(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月5日(05.03.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/044817 A1

(51) 国際特許分類:
H01S 5/042 (2006.01)　*G01S 7/484* (2006.01)
G01B 11/25 (2006.01)　*H01S 5/42* (2006.01)

(21) 国際出願番号：　PCT/JP2019/027701

(22) 国際出願日：　2019年7月12日(12.07.2019)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

(30) 優先権データ：
特願 2018-163941　2018年8月31日(31.08.2018)　JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

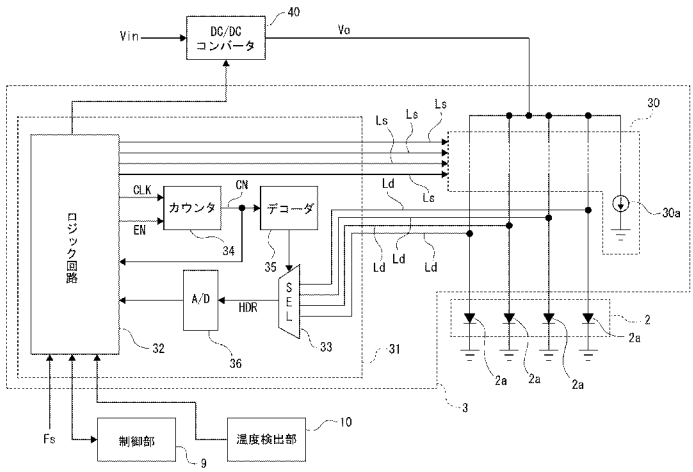
(72) 発明者: 田畑　満志 (**TABATA, Mitsushi**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 増田 貴志(**MASUDA, Takashi**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 岩田 雅信, 外 (**IWATA, Masanobu** et al.); 〒1010032 東京都千代田区岩本町１丁目３番９号 ハクセイビル８階 テクノピア国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) **Title:** LIGHT SOURCE DEVICE, DETECTION METHOD, AND SENSING MODULE

(54) 発明の名称： 光源装置、検出方法、センシングモジュール



9 Control unit
10 Temperature detection unit
32 Logic circuit
34 Counter
35 Decoder
40 DC/DC converter

(57) **Abstract:** The purpose of the present invention is to reduce the size of a light source device provided with a light emitting unit in which a plurality of light emitting elements comprising vertical cavity surface emitting lasers are arrayed, while making it possible to detect voltage for each of the light emitting elements. A light source device of the present technology is provided with: a light emitting unit in which a plurality of light emitting elements comprising vertical cavity surface emitting lasers are arrayed; and a detection unit which detects a voltage at the anode or cathode of the plurality of light emitting elements in the light emitting unit separately by time-division. In this way, the need for providing a circuit for voltage detection for each light emitting element is eliminated, and a decrease in device size can be achieved.

WO 2020/044817 A1

[続葉有]

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:垂直共振器面発光レーザによる発光素子が複数配列された発光部を備えた光源装置について、発光素子ごとに電圧を検出し分けることを可能としながら装置サイズの小型化を図る。本技術に係る光源装置は、垂直共振器面発光レーザによる発光素子が複数配列された発光部と、発光部における複数の発光素子のアノード又はカソードにおける電圧を時分割により個別検出する検出部とを備える。これにより、発光素子ごとに電圧検出のための回路を設ける必要がなくなり、装置サイズの小型化を図ることができる。

明　細　書

発明の名称 ： 光源装置、検出方法、センシングモジュール

技術分野

[0001] 本技術は、垂直共振器面発光レーザによる発光素子が複数配列された発光部を備えた光源装置と、それら発光素子の電圧を検出する検出方法と、前記発光部より発せられ被写体によって反射された光を受光して撮像するイメージセンサを備えたセンシングモジュールとに関する。

背景技術

[0002] レーザ光を発する発光素子として、ＶＣＳＥＬ（Vertical Cavity Surface Emitting LASER：垂直共振器面発光レーザ）としての発光素子が知られている（例えば下記特許文献１、２を参照）。

ＶＣＳＥＬとしての発光素子は、共振器が半導体の基板面に対して垂直方向に形成されて、レーザ光を垂直方向に出射するように構成され、近年においては、例えばＳＴＬ（Structured Light：構造化光）方式やＴｏＦ（Time of Flight：光飛行時間）方式による被写体の測距を行う際の光源として広く用いられる。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１２－１９５４３６号公報

特許文献2：特開２０１５－１０３７２７号公報

発明の概要

発明が解決しようとする課題

[0004] ここで、被写体の測距としてＳＴＬ方式やＴｏＦ方式による測距を行う場合は、ＶＣＳＥＬとしての発光素子を二次元に複数配列した光源装置が用いられる。具体的には、それら複数の発光素子を発光させて得られる光を被写体に照射し、被写体からの反射光を受光して得られる画像に基づいて被写体の測距が行われる。

[0005] ここで、発光素子を適切に発光させる上では、発光素子に生じる電圧を検出して電源電圧を制御したり回路を停止させることが有効である。また、安全性を高める上では、発光素子の電圧異常を検知して電源電圧を制御することが有効である。

[0006] しかしながら、発光素子ごとに電圧検出のための回路を設けることは回路規模の拡大化を招き、光源装置の小型化が困難となるため望ましくない。

[0007] 本技術は上記の事情に鑑み為されたものであり、垂直共振器面発光レーザによる発光素子が複数配列された発光部を備えた光源装置について、発光素子ごとに電圧を検出し分けることを可能としながら装置サイズの小型化を図ることを目的とする。

課題を解決するための手段

[0008] 本技術に係る光源装置は、垂直共振器面発光レーザによる発光素子が複数配列された発光部と、前記発光部における複数の前記発光素子のアノード又はカソードにおける電圧を時分割により個別検出する検出部とを備えるものである。

[0009] これにより、発光素子ごとに電圧検出のための回路を設ける必要がなくなる。

[0010] 上記した本技術に係る光源装置においては、前記検出部は、クロックに従って検出対象とする前記発光素子を切り替えると共に、前記クロックに同期して計数を行うカウンタを有することが望ましい。

[0011] カウンタの計数値により、検出した電圧値が何れの発光素子の電圧値であるかを特定可能とされる。

[0012] 上記した本技術に係る光源装置においては、前記検出部は、前記発光素子ごとの前記電圧の検出ラインと、前記検出ラインごとに挿入されＯＮ／ＯＦＦ制御可能に構成されたボルテージフォロアとを有することが望ましい。

[0013] これにより、検出ラインの時分割選択機能のみでなく検出ラインにおける電圧低下防止機能を兼ね備えることが可能とされる。

[0014] 上記した本技術に係る光源装置においては、カレントミラー回路により複

数の前記発光素子に駆動電流を流す駆動回路を備えたことが望ましい。

[0015] これにより、発光素子に定電流を流すにあたって定電流制御機能付の電源回路を用いる必要がなくなる。

[0016] 上記した本技術に係る光源装置においては、前記カレントミラー回路が前記発光素子のアノード側に接続され、前記検出部は、前記発光素子のアノードにおける電圧を検出することが望ましい。

[0017] これにより、発光素子、及びカレントミラー回路における駆動素子それぞれの特性個体差を考慮した適切な電圧検出を行うことが可能とされる。

[0018] 上記した本技術に係る光源装置においては、前記カレントミラー回路が前記発光素子のカソード側に接続され、前記検出部は、前記発光素子のカソードにおける電圧を検出することが望ましい。

[0019] これにより、発光素子、及びカレントミラー回路における駆動素子それぞれの特性個体差を考慮した適切な電圧検出を行うことが可能とされる。

[0020] 上記した本技術に係る光源装置においては、前記検出部が前記個別検出した電圧に基づき前記発光素子の異常判定を行う判定部を備えたことが望ましい。

[0021] これにより、発光素子ごとに電圧異常検出のための回路を設ける必要がなくなる。

[0022] 上記した本技術に係る光源装置においては、前記判定部は、前記電圧の値が所定範囲内の値であるか否かの判定を前記発光素子の異常有無の判定として行うことが望ましい。

[0023] これにより、断線、短絡、地絡等に起因した発光素子の電圧異常の有無を適切に判定することが可能とされる。

[0024] 上記した本技術に係る光源装置においては、複数の前記発光素子の駆動に共通に用いられる電源電圧を生成する電源回路と、前記検出部が検出した前記電圧に基づいて前記電源回路を制御する制御部と、を備えたことが望ましい。

[0025] これにより、共通の電源回路が生成する共通の電源電圧に基づき複数の発

光素子が駆動される構成において、例えば発光素子の電圧異常が認められた場合は電源回路の動作を停止させる等して安全性を高めたり、また検出電圧が高い発光素子に合わせて電源電圧の高さを調整することで発光対象とする全ての発光素子を適切に発光させる等の電源制御を行うことが可能とされる。

[0026] 上記した本技術に係る光源装置においては、前記制御部は、前記検出部が所定閾値以上の前記電圧を検出したことに応じて前記電源電圧を高めるように前記電源回路を制御することが望ましい。

[0027] これにより、共通の電源回路が生成する共通の電源電圧に基づき複数の発光素子が駆動される構成において、該共通の電源電圧の高さを検出電圧が高い発光素子の電圧に合わせて調整することが可能とされる。

[0028] 上記した本技術に係る光源装置においては、前記発光素子ごとに設けられたスイッチを有し前記発光部における前記発光素子を個別駆動可能に構成された駆動回路を備えたことが望ましい。

[0029] これにより、発光部を任意の発光パターン（二次元の明暗パターン）により発光させることが可能とされる。

[0030] また、本技術に係る検出方法は、垂直共振器面発光レーザによる発光素子が複数配列された発光部における複数の前記発光素子のアノード又はカソードにおける電圧を時分割により個別検出する検出方法である。

さらに、本技術に係るセンシングモジュールは、上記した本技術に係る光源装置と、該光源装置が備える発光部より発せられ被写体によって反射された光を受光して撮像するイメージセンサとを備えるものである。

[0031] このような検出方法やセンシングモジュールによっても、上記した本技術に係る光源装置と同様の作用が得られる。

発明の効果

[0032] 本技術によれば、垂直共振器面発光レーザによる発光素子が複数配列された発光部を備えた光源装置について、発光素子ごとに電圧を検出し分けることを可能としながら装置サイズの小型化を図ることができる。

なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0033] [図1]本技術に係る光源装置の一実施形態としての測距装置の構成例を示した図である。

[図2]ＳＴＬ（Structured Light）方式による測距手法の説明図である。

[図3]実施形態としての光源装置の回路構成例を示した図である。

[図4]実施形態としての光源装置が備える駆動回路の変形例を示した図である。

[図5]実施形態としての光源装置の変形例としての回路構成を示した図である。

[図6]実施形態としての光源装置の基板構成例を示した図である。

[図7]実施形態としての光源装置の他の基板構成例を示した図である。

[図8]実施形態としての光源装置のさらに他の基板構成例を示した図である。

[図9]実施形態としての光源装置が備える温度センサの配置例を示した図である。

[図10]実施形態としての光源装置が備える発光部の構造例を示した図である。

[図11]実施形態としての光源装置が備える発光部の他の構造例を示した図である。

[図12]実施形態としての電圧検出を実現するための構成例についての説明図である。

[図13]実施形態の時分割検出に用いられるクロックと、時分割検出される電圧値（ＨＤＲ）と、異常検出信号との関係を例示した図である。

[図14]実施形態としての異常判定及び電源制御を実現するにあたり実行されるべき具体的な処理の手順を示したフローチャートである。

[図15]発光部を駆動する駆動部の各構成要素のチップ上での配置態様を例示した図である。

[図16]カウンタを省略した変形例についての説明図である。

[図17]イネーブル機能付のボルテージフォロアを用いる変形例についての説明図である。

発明を実施するための形態

[0034] 以下、添付図面を参照し、本技術に係る実施形態を次の順序で説明する。

＜１．測距装置の構成＞

＜２．測距手法について＞

＜３．発光駆動に係る回路構成について＞

＜４．基板構成のバリエーション＞

＜５．ＶＣＳＥＬの構造例＞

＜６．実施形態としての電圧検出及び制御＞

＜７．実施形態のまとめ及び変形例＞

＜８．本技術＞

[0035] ＜１．測距装置の構成＞

図１は、本技術に係る光源装置の一実施形態としての測距装置１の構成例を示している。

図示のように測距装置１は、発光部２、駆動部３、電源回路４、発光側光学系５、撮像側光学系６、イメージセンサ７、画像処理部８、制御部９、及び温度検出部１０を備えている。

発光部２は、複数の光源により光を発する。後述するように、本例の発光部２は、各光源としてＶＣＳＥＬ（Vertical Cavity Surface Emitting LASER：垂直共振器面発光レーザ）による発光素子２ａを有しており、それら発光素子２ａが例えばマトリクス状等の所定態様により配列されて構成されている。

[0036] 駆動部３は、発光部２を駆動するための電気回路を有して構成される。

電源回路４は、例えば測距装置１に設けられた不図示のバッテリ等からの入力電圧（後述する入力電圧Ｖｉｎ）に基づき、駆動部３の電源電圧（後述する出力電圧Ｖｏ）を生成する。駆動部３は、該電源電圧に基づいて発光部

２を駆動する。

[0037] 発光部２より発せられた光は、発光側光学系５を介して測距対象としての被写体Ｓに照射される。そして、このように照射された光の被写体Ｓからの反射光は、撮像側光学系６を介してイメージセンサ７の撮像面に入射する。

[0038] イメージセンサ７は、例えばＣＣＤ（Charge Coupled Device）センサやＣＭＯＳ（Complementary Metal Oxide Semiconductor）センサ等の撮像素子とされ、上記のように撮像側光学系６を介して入射する被写体Ｓからの反射光を受光し、電気信号に変換して出力する。

イメージセンサ７は、受光した光を光電変換して得た電気信号について、例えばＣＤＳ(Correlated Double Sampling)処理、ＡＧＣ(Automatic Gain Control)処理などを実行し、さらにＡ／Ｄ(Analog/Digital)変換処理を行う。そしてデジタルデータとしての画像信号を、後段の画像処理部８に出力する。

また、本例のイメージセンサ７は、フレーム同期信号Ｆｓを駆動部３に出力する。これにより駆動部３は、発光部２における発光素子２ａをイメージセンサ７のフレーム周期に応じたタイミングで発光させることが可能とされる。

[0039] 画像処理部８は、例えばＤＳＰ（Digital Signal Processor）等により画像処理プロセッサとして構成される。画像処理部８は、イメージセンサ７から入力されるデジタル信号（画像信号）に対して、各種の画像信号処理を施す。

[0040] 制御部９は、例えばＣＰＵ（Central Processing Unit）、ＲＯＭ（Read Only Memory）、ＲＡＭ（Random Access Memory）等を有するマイクロコンピュータ、或いはＤＳＰ等の情報処理装置を備えて構成され、発光部２による発光動作を制御するための駆動部３の制御や、イメージセンサ７による撮像動作に係る制御を行う。

[0041] 制御部９は、測距部９ａとしての機能を有する。測距部９ａは、画像処理部８を介して入力される画像信号（つまり被写体Ｓからの反射光を受光して

得られる画像信号）に基づき、被写体Ｓまでの距離を測定する。本例の測距部９ａは、被写体Ｓの三次元形状の特定を可能とするために、被写体Ｓの各部について距離の測定を行う

ここで、測距装置１における具体的な測距の手法については後に改めて説明する。

[0042] 温度検出部１０は、発光部２の温度を検出する。温度検出部１０としては、例えばダイオードを用いて温度検出を行う構成を採ることができる。

本例では、温度検出部１０により検出された温度の情報は駆動部３に供給され、これにより駆動部３は該温度の情報に基づいて発光部２の駆動を行うことが可能とされる。

[0043] ＜２．測距手法について＞

測距装置１における測距手法としては、例えばＳＴＬ（Structured Light：構造化光）方式やＴｏＦ（Time of Flight：光飛行時間）方式による測距手法を採用することができる。

ＳＴＬ方式は、例えばドットパターンや格子パターン等の所定の明暗パターンを有する光を照射された被写体Ｓを撮像して得られる画像に基づいて距離を測定する方式である。

図２は、ＳＴＬ方式の説明図である。

ＳＴＬ方式では、例えば図２Ａに示すようなドットパターンによるパターン光Ｌｐを被写体Ｓに照射する。パターン光Ｌｐは、複数のブロックＢＬに分割されており、各ブロックＢＬにはそれぞれ異なるドットパターンが割当てられている（ブロックＢＬ間でドットパターンが重複しないようにされている）。

図２Ｂは、ＳＴＬ方式の測距原理についての説明図である。

ここでは、壁Ｗとその前に配置された箱ＢＸとが被写体Ｓとされ、該被写体Ｓに対してパターン光Ｌｐが照射された例としている。図中の「Ｇ」はイメージセンサ７による画角を模式的に表している。

また、図中の「ＢＬｎ」はパターン光Ｌｐにおける或るブロックＢＬの光

を意味し、「ｄｎ」はイメージセンサ７による撮像画像に映し出されるブロックＢＬｎのドットパターンを意味している。

ここで、壁Ｗの前の箱ＢＸが存在しない場合、撮像画像においてブロックＢＬｎのドットパターンは図中の「ｄｎ’」の位置に映し出される。すなわち、箱ＢＸが存在する場合と箱ＢＸが存在しない場合とで、撮像画像においてブロックＢＬｎのパターンが映し出される位置が異なるものであり、具体的には、パターンの歪みが生じる。

[0044] ＳＴＬ方式は、このように照射したパターンが被写体Ｓの物体形状によって歪むことを利用して被写体Ｓの形状や奥行きを求める方式となる。具体的には、パターンの歪み方から被写体Ｓの形状や奥行きを求める方式である。

[0045] ＳＴＬ方式を採用する場合、イメージセンサ７としては、例えばグローバルシャッタ方式によるＩＲ（Infrared：赤外線）イメージセンサが用いられる。そして、ＳＴＬ方式の場合、測距部９ａは、発光部２がパターン光を発光するように駆動部３を制御すると共に、画像処理部８を介して得られる画像信号についてパターンの歪みを検出し、パターンの歪み方に基づいて距離を計算する。

[0046] 続いて、ＴｏＦ方式は、発光部２より発された光が対象物で反射されてイメージセンサ７に到達するまでの光の飛行時間（時間差）を検出することで、対象物までの距離を測定する方式である。

ＴｏＦ方式として、いわゆるダイレクトＴｏＦ方式を採用する場合、イメージセンサ７としてはＳＰＡＤ（Single Photon Avalanche Diode）を用い、また発光部２はパルス駆動する。この場合、測距部９ａは、画像処理部８を介して入力される画像信号に基づき、発光部２より発せられイメージセンサ７により受光される光について発光から受光までの時間差を計算し、該時間差と光の速度とに基づいて被写体Ｓの各部の距離を計算する。

なお、ＴｏＦ方式として、いわゆるインダイレクトＴｏＦ方式（位相差法）を採用する場合、イメージセンサ７としては例えばＩＲイメージセンサが用いられる。

[0047] ＜３．発光駆動に係る回路構成について＞

図３は、図１に示した発光部２と駆動部３と電源回路４とを有して構成された光源装置１００の回路構成例を示している。なお、図３では光源装置１００の回路構成例と共に、図１に示したイメージセンサ７と制御部９を併せて示している。

本例では、発光部２と駆動部３と電源回路４は共通の基板（後述する基板Ｂ）上に形成されている。ここでは、少なくとも発光部２を含み、発光部２と共通の基板上に形成される構成単位を光源装置１００と呼んでいる。

[0048] 図示のように光源装置１００は、発光部２と駆動部３と電源回路４と共に温度検出部１０を備えている。

発光部２は、前述したようにＶＣＳＥＬとしての発光素子２ａを複数備えている。図３では図示の都合から発光素子２ａの数を「４」としているが、発光部２における発光素子２ａの数はこれに限らず、少なくとも２以上とされればよい。

[0049] 電源回路４は、ＤＣ／ＤＣコンバータ４０を備え、直流電圧による入力電圧Ｖｉｎに基づき、直流電圧による出力電圧Ｖｏを生成する。この出力電圧Ｖｏは、駆動部３が発光部２を駆動するための電源電圧として用いられる。

本例では、ＤＣ／ＤＣコンバータ４０は出力電圧Ｖｏの高さ（電流値）を調整可能に構成されている。

[0050] 駆動部３は、駆動回路３０と駆動制御部３１とを備えている。

駆動回路３０は、発光素子２ａごとに駆動素子Ｑ１及びスイッチＳＷを有すると共に、電流制御素子Ｑ２と定電流源３０ａとを有している。

駆動素子Ｑ１及び電流制御素子Ｑ２にはＦＥＴ（field-effect transistor）が用いられ、本例ではＰチャンネル型のＭＯＳＦＥＴ（MOS：metal-oxide-semiconductor）が用いられている。

[0051] 各駆動素子Ｑ１は、ＤＣ／ＤＣコンバータ４０の出力ライン、すなわち出力電圧Ｖｏの供給ラインに対して並列の関係に接続され、電流制御素子Ｑ２は、駆動素子Ｑ１に対して並列接続されている。

具体的に、各駆動素子Ｑ１及び電流制御素子Ｑ２は、ソースがＤＣ／ＤＣコンバータ４０の出力ラインに接続されている。各駆動素子Ｑ１のドレインは、発光部２における発光素子２ａのうちそれぞれ対応する一つの発光素子２ａのアノードと接続されている。

図示のように各発光素子２ａのカソードはグランド（ＧＮＤ）に接続されている。

[0052] 電流制御素子Ｑ２は、ドレインが定電流源３０ａを介してグランドに接続され、ゲートがドレインと定電流源３０ａとの接続点に接続されている。

各駆動素子Ｑ１のゲートは、それぞれ対応する一つのスイッチＳＷを介して電流制御素子Ｑ２のゲートに接続されている。

[0053] 上記構成による駆動回路３０においては、スイッチＳＷがＯＮとされた駆動素子Ｑ１が導通し、導通した駆動素子Ｑ１に接続された発光素子２ａに出力電圧Ｖｏに基づく駆動電圧Ｖｄが印加され、該発光素子２ａが発光する。

[0054] このとき、発光素子２ａには駆動電流Ｉｄが流れるが、上記構成による駆動回路３０においては駆動素子Ｑ１と電流制御素子Ｑ２がカレントミラー回路を構成しており、駆動電流Ｉｄの電流値は定電流源３０ａの電流値に応じた値に制御される。

[0055] 駆動制御部３１は、駆動回路３０におけるスイッチＳＷのＯＮ／ＯＦＦ制御を行うことで、発光素子２ａのＯＮ／ＯＦＦを制御する。図中では、駆動制御部３１が各スイッチＳＷを個別にＯＮ／ＯＦＦ制御するための制御信号ラインをそれぞれ制御信号ラインＬｓと表記している。

駆動制御部３１にはイメージセンサ７よりフレーム同期信号Ｆｓが供給されており、これにより駆動制御部３１は発光素子２ａのＯＮタイミングやＯＦＦタイミングをイメージセンサ７のフレーム周期に同期させることが可能とされている。

また、駆動制御部３１は、発光素子２ａのＯＮ／ＯＦＦ制御を制御部９からの指示に基づき行うことが可能に構成されている。

[0056] また、駆動制御部３１は、温度検出部１０により検出された発光部２の温

度に基づき発光素子２ａのＯＮ／ＯＦＦ制御を行うことも可能とされている。

さらに、駆動制御部３１は、電源回路４におけるＤＣ／ＤＣコンバータ４０に対する指示を行って出力電圧Ｖｏを調整させることが可能とされるが、これについては後に改めて説明する。

[0057] 図示のように駆動部３には、発光素子２ａごとに、発光素子２ａに生じる電圧を検出するための検出ラインＬｄが形成されている。具体的に、図３に示す構成においては、各検出ラインＬｄはそれぞれが対応する発光素子２ａのアノードに接続されている。

本例の駆動制御部３１には、各検出ラインＬｄに得られる電圧、すなわち発光素子２ａごとの電圧を個別に検出するための構成が設けられているが、これについては後に改めて説明する。

[0058] ここで、図３では、駆動素子Ｑ１と電流制御素子Ｑ２によるカレントミラー回路を発光素子２ａのアノード側に設けた構成を例示したが、図４に示す駆動回路３０Ａのように、カレントミラー回路を発光素子２ａのカソード側に設けた構成とすることもできる。

この場合、発光部２における各発光素子２ａは、アノードがＤＣ／ＤＣコンバータ４０の出力ラインに接続されている。

この場合、カレントミラー回路を構成する駆動素子Ｑ１及び電流制御素子Ｑ２には、Ｎチャンネル型のＭＯＳＦＥＴが用いられる。電流制御素子Ｑ２は、ドレイン及びゲートが定電流源３０ａを介してＤＣ／ＤＣコンバータ４０の出力ラインに接続され、ソースはグランドに接続される。

各駆動素子Ｑ１は、ドレインが対応する発光素子２ａのカソードに接続され、ソースがグランドに接続される。各駆動素子Ｑ１のゲートは、それぞれ対応するスイッチＳＷを介して電流制御素子Ｑ２のゲートとドレインに接続される。

[0059] この場合も駆動制御部３１がスイッチＳＷのＯＮ／ＯＦＦ制御を行うことで、発光素子２ａをＯＮ／ＯＦＦさせることができる。

[0060] また、この場合は、カレントミラー回路が発光素子２ａのカソード側に接続されたことに対応して、各検出ラインＬｄは、それぞれ対応する発光素子２ａのカソードに対して接続されている。すなわち、この場合の駆動制御部３１は、発光素子２ａのカソードにおける電圧を検出する。

[0061] 図５は、変形例としての光源装置１００Ａの構成例を示している。

光源装置１００Ａは、電源回路４に代えて電源回路４Ａが設けられ、また駆動部３に代えて駆動部３Ａが設けられた点が光源装置１００と異なる。

電源回路４Ａは、複数のＤＣ／ＤＣコンバータ４０を有する（図の例では二つ）。一方のＤＣ／ＤＣコンバータ４０には入力電圧Ｖｉｎ１が、他方のＤＣ／ＤＣコンバータ４０には入力電圧Ｖｉｎ２が供給される。駆動部３Ａは、それぞれが異なるＤＣ／ＤＣコンバータ４０から出力電圧Ｖｏを入力する複数の駆動回路３０を備えている。図示のように各駆動回路３０においては、定電流源３０ａに代えて可変電流源３０ｂが設けられている。可変電流源３０ｂは、電流値が可変の電流源とされる。

この場合、発光部２における発光素子２ａは、それぞれＯＮ／ＯＦＦ制御される駆動回路３０が異なる複数の発光素子群に分けられる。

この場合の駆動制御部３１は、各駆動回路３０におけるスイッチＳＷのＯＮ／ＯＦＦ制御を行う。

[0062] なお、図５では図示の都合から検出ラインＬｄを省略しているが、この場合、各検出ラインＬｄは、駆動素子Ｑ１と電流制御素子Ｑ２によるカレントミラー回路が発光素子２ａのアノード側に接続されていることから、それぞれ対応する発光素子２ａのアノードに接続する。すなわち、この場合の駆動制御部３１は、発光素子２ａのアノードにおける電圧を検出する。

[0063] 図５に示す光源装置１００Ａのように、少なくともＤＣ／ＤＣコンバータ４０と駆動回路３０の組を複数系統に分けた構成とすることで、系統ごとに発光素子２ａの駆動電流Ｉｄを異なる値とすることができる。例えば、系統ごとに出力電圧Ｖｏの電圧値、及び可変電流源３０ｂの電流値を異ならせることで、系統ごとに駆動電流Ｉｄの値を異ならせることができる。また、Ｄ

Ｃ／ＤＣコンバータ４０が駆動電流Ｉｄについて定電流制御を行う構成であれば、各ＤＣ／ＤＣコンバータ４０間でそれぞれ定電流制御の目標値を異ならせることで、系統ごとに駆動電流Ｉｄの値を異ならせることもできる。

[0064] 図５のような構成を採る場合には、発光部２における発光強度分布や温度分布等に応じて系統ごとに出力電圧Ｖｏや駆動電流Ｉｄの値を異ならせることが考えられる。例えば、発光部２における温度が高い箇所に対応した系統について駆動電流Ｉｄを増やし且つ出力電圧Ｖｏを上げる等が考えられる。

[0065] ＜４．基板構成のバリエーション＞

ここで、光源装置１００としては、図６乃至図８に示す構成とすることができる。

光源装置１００としては、図６Ａに示すように、発光部２としての回路が形成されたチップＣｐ２と、駆動部３としての回路が形成されたチップＣｐ３と、電源回路４が形成されたチップＣｐ４とを同一の基板Ｂ上に形成した構成とすることができる。

また、駆動部３と電源回路４は、同一のチップＣｐ３４に形成することもでき、その場合、光源装置１００は、図６Ｂに示すようにチップＣｐ２とチップＣｐ３４とを同一の基板Ｂ上に形成した構成とすることもできる。

[0066] また、チップＣｐに対して他のチップＣｐを搭載した構成とすることもできる。

その場合、光源装置１００としては、例えば図７Ａのように、チップＣｐ２を搭載したチップＣｐ３とチップＣｐ４とを基板Ｂ上に形成した構成や、図７Ｂのようにチップ Ｃｐ２とチップＣｐ４とを搭載したチップＣｐ３を基板Ｂ上に形成した構成、或いは、図７Ｃのようにチップ Ｃｐ２を搭載したチップＣｐ３４を基板Ｂ上に形成した構成とすることができる。

[0067] また、光源装置１００は、イメージセンサ７を含む構成とすることもできる。

例えば、図８Ａでは、チップＣｐ２、チップＣｐ３、チップＣｐ４と共に、イメージセンサ７としての回路が形成されたチップＣｐ７を同一の基板Ｂ

上に形成した光源装置１００の構成を例示している。

また、図８Ｂでは、チップＣｐ２を搭載したチップＣｐ３４とチップＣｐ７とを同一の基板Ｂ上に形成した光源装置１００の構成を例示している。

[0068] なお、前述した光源装置１００Ａについても、図６乃至図８で説明したものと同様の構成を採ることが可能である。

[0069] ここで、温度検出部１０について、ダイオード等の温度検出素子は、例えば図６Ａ、図６Ｂ、図８Ａのようにチップ Ｃｐ２が基板Ｂ上に形成されている場合には、基板Ｂにおけるチップ Ｃｐ２の近傍位置（例えば基板Ｂ上におけるチップ Ｃｐ２の側方位置等）に形成すればよい。

また、図７Ａ乃至図７Ｃや図８Ｂのようにチップ Ｃｐ２が他のチップ Ｃｐに搭載された構成においては、温度検出素子は該他のチップ Ｃｐにおけるチップ Ｃｐ２の近傍位置（例えばチップ Ｃｐ２の真下となる位置等）に形成すればよい。

[0070] 温度検出部１０は、ダイオード等の温度検出素子を有する温度センサ１０ａを複数有する構成とすることもできる。

図９は、温度検出部１０が複数の温度センサ１０ａを有する場合における各温度センサ１０ａの配置例を示している。

この図９の例では、複数の温度センサ１０ａを一箇所に集中して位置させず、発光素子２ａが配列される面に平行な面内において離散的に配置している。具体的に、複数の温度センサ１０ａは、例えば縦２×横２＝４個等の所定個数の発光素子２ａで成る発光ブロックごとに一つずつ配置することができる。このとき、各温度センサ１０ａは、発光素子２ａが配列される面に平行な面内において等間隔に配置することもできる。

なお、図９では、９個の発光素子２ａに対し４個の温度センサ１０ａを配置した例を示しているが、発光素子２ａ、温度センサ１０ａの配置数はこれに限定されるものではない。

[0071] 図９の例のように複数の温度センサ１０ａを離散的に配置することで、発光部２の面内温度分布を検出することが可能となる。また、発光面における

エリアごとの温度を検出し分けることができ、さらには、温度センサ１０ａの配置数を増やすことで発光素子２ａごとの温度を検出し分けることも可能である。

[0072] ＜５．ＶＣＳＥＬの構造例＞

続いて、発光部２が形成されたチップＣｐ２の構造例について図１０及び図１１を参照して説明しておく。

図１０は、図６Ａ、図６Ｂ、図８Ａのように基板Ｂ上に形成される場合のチップＣｐ２の構造例を示し、図１１は、図７Ａ乃至図７Ｃや図８Ｂのように他のチップＣｐ上に搭載される場合のチップＣｐ２の構造例を示している。

なお、図１０、図１１では一例として、駆動回路３０（カレントミラー回路）が発光素子２ａのアノード側に挿入された場合（図３参照）に対応した構造例を示す。

[0073] 図１０に示すように、チップＣｐ２は、各発光素子２ａに対応する部分がメサＭとして形成されている。

チップＣｐ２は、その基板として半導体基板２０が用いられ、半導体基板２０の下層側にはカソード電極Ｔｃが形成されている。半導体基板２０には、例えばＧａＡｓ（ヒ化ガリウム）基板が用いられる。

[0074] 半導体基板２０上において、各メサＭには、下層側から上層側にかけて順に第一多層膜反射鏡層２１、活性層２２、第二多層膜反射鏡層２５、コンタクト層２６、及びアノード電極Ｔａが形成されている。

第二多層膜反射鏡層２５の一部（具体的には下端部）には、電流狭窄層２４が形成されている。また、活性層２２を含み、第一多層膜反射鏡層２１と第二多層膜反射鏡層２５とに挟まれた部分が共振器２３とされる。

[0075] 第一多層膜反射鏡層２１は、Ｎ型導電性を示す化合物半導体で形成され、第二多層膜反射鏡層２５はＰ型導電性を示す化合物半導体で形成されている。

[0076] 活性層２２は、レーザ光を発生させるための層とされ、電流狭窄層２４は

、活性層２２に効率よく電流を注入し、レンズ効果をもたらす層とされる。

[0077] 電流狭窄層２４は、メサＭを形成後に、酸化されていない状態で選択酸化が行われ、中心部の酸化領域（又は選択酸化領域という）２４ａと、酸化領域２４ａの周囲の酸化されていない未酸化領域２４ｂとを有する。電流狭窄層２４においては、これら酸化領域２４ａと未酸化領域２４ｂとにより電流狭窄構造が形成され、未酸化領域２４ｂとしての電流狭窄領域に電流が導電する。

[0078] コンタクト層２６は、アノード電極Ｔａとのオーミック接触を確実にするために設けられている。

アノード電極Ｔａは、コンタクト層２６上において、基板Ｂを平面視した際に例えば環状（リング状）等の中央部が開口された形状により形成されている。コンタクト層２６において、上部にアノード電極Ｔａが形成されてない部分は開口部２６ａとされている。

活性層２２で発生した光は、共振器２３内を往復した後、開口部２６ａを介して外部に出射される。

[0079] ここで、チップＣｐ２におけるカソード電極Ｔｃは、基板Ｂにおける配線層に形成されたグランド配線Ｌｇを介してグランドに接続される。

また、図中において、パッドＰａは、基板Ｂ上に形成されたアノード電極用のパッドを表している。このパッドＰａは、基板Ｂの配線層に形成された配線Ｌｄを介して、駆動回路３０が有する何れか一つの駆動素子Ｑ１のドレインと接続されている。

[0080] 図中では、一つの発光素子２ａのみについて、アノード電極Ｔａが、チップＣｐ２上に形成されたアノード配線Ｌａ及びボンディングワイヤＢＷを介して一つのパッドＰａに接続されることを示しているが、基板Ｂには発光素子２ａごとのパッドＰａ及び配線Ｌｄが形成され、またチップＣｐ２上には発光素子２ａごとのアノード配線Ｌａがそれぞれ形成されており、個々の発光素子２ａのアノード電極Ｔａは、それぞれ対応するアノード配線Ｌａ及びボンディングワイヤＢＷを介して対応するパッドＰａに接続される。

[0081] 続いて、図１１の場合、チップＣｐ２としては裏面照射型のチップＣｐ２を用いる。すなわち、図１０の例のように半導体基板２０の上層側方向（表面方向）に光を出射するのではなく、半導体基板２０の裏面方向に光を出射するタイプのチップＣｐ２を用いる。

この場合、アノード電極Ｔａには、光出射用の開口は形成されず、コンタクト層２６に開口部２６ａは形成されない。

[0082] 駆動部３（駆動回路３０）が形成されたチップＣｐ３（又はチップＣｐ３４：以下、図１１の説明において同様）においては、発光素子２ａごとに、アノード電極Ｔａとの電気的接続を行うためのパッドＰａが形成されている。チップＣｐ３の配線層には、パッドＰａごとに配線Ｌｄが形成されている。図示は省略したが、これら配線Ｌｄにより、各パッドＰａは、チップＣｐ３内に形成された駆動回路３０における対応する一つの駆動素子Ｑ１のドレインと接続される。

[0083] また、チップＣｐ２において、カソード電極Ｔｃは、それぞれ配線Ｌｃ１、配線Ｌｃ２を介して電極Ｔｃ１、電極Ｔｃ２と接続されている。電極Ｔｃ１、電極Ｔｃ２は、それぞれチップＣｐ３に形成されたパッドＰｃ１、パッドＰｃ２と接続するための電極とされる。

チップＣｐ３の配線層には、パッドＰｃ１と接続されたグランド配線Ｌｇ１、パッドＰｃ２と接続されたグランド配線Ｌｇ２が形成されている。図示は省略したが、これらグランド配線Ｌｇ１、Ｌｇ２はグランドに接続されている。

[0084] チップＣｐ２における各アノード電極ＴａとチップＣｐ３における各パッドＰａとの接続、及びチップＣｐ２における電極Ｔｃ１、電極Ｔｃ２とチップＣｐ３におけるパッドＰｃ１、パッドＰｃ２との接続はそれぞれ半田バンプＨｂを介して行われている。

つまり、この場合におけるチップＣｐ２のチップＣｐ３に対する実装は、いわゆるフリップチップ実装により行われている。

[0085] ＜６．実施形態としての電圧検出及び制御＞

図１２は、実施形態としての電圧検出を実現するための構成例についての説明図であり、光源装置１００における駆動部３の内部構成例（特に駆動制御部３１の内部構成例）と共に、発光部２、ＤＣ／ＤＣコンバータ４０、制御部９、及び温度検出部１０を示している。

本例において、駆動制御部３１は、発光部２における複数の発光素子２ａの電圧を時分割により個別検出する。このための構成として、駆動制御部３１は、セレクタ３３、カウンタ３４、デコーダ３５、及びＡ／Ｄコンバータ３６を有している。

また、駆動制御部３１は、駆動回路３０における各スイッチＳＷのＯＮ／ＯＦＦ制御を行うロジック回路３２を有している。

[0086] ここで、ロジック回路３２は、制御部９と接続され、発光素子２ａのＯＮ／ＯＦＦ制御を制御部９からの指示に基づき行うことが可能に構成されている。このとき、ロジック回路３２は、イメージセンサ７から供給されるフレーム同期信号Ｆｓに基づき、各発光素子２ａのＯＮタイミングやＯＦＦタイミングをイメージセンサ７のフレーム周期に同期させる。また、ロジック回路３２は、温度検出部１０により検出された発光部２の温度に基づき発光素子２ａのＯＮ／ＯＦＦ制御を行うことも可能とされている。

[0087] セレクタ３３は、少なくとも検出ラインＬｄの本数と同数の入力端子を有しており、各入力端子はそれぞれ対応する検出ラインＬｄを介して対応する発光素子２ａのアノードと接続されている。本例において、セレクタ３３としては、例えば検出ラインＬｄごとにトランスファゲート回路等のスイッチ回路が設けられた構成とされる。

[0088] カウンタ３４には、ロジック回路３２よりクロックＣＬＫが入力される。カウンタ３４は、ロジック回路３２より入力されるイネーブル信号ＥＮによってステータスがイネーブルとされることで、クロックＣＬＫに基づく計数動作を開始すると共に、計数動作により得られるカウント値ＣＮの出力を開始する。図示のようにカウント値ＣＮは、デコーダ３５及びロジック回路３２にそれぞれ供給される。

デコーダ３５は、カウント値ＣＮに応じてセレクタ３３に対する検出ラインＬｄの選択指示を行う。

セレクタ３３は、各検出ラインＬｄのうちデコーダ３５より指示された単一の検出ラインＬｄに得られる電圧値を出力値ＨＤＲとしてＡ／Ｄコンバータ３６に出力する。

Ａ／Ｄコンバータ３６は入力された電圧値（アナログ値）をデジタルサンプリングし、サンプリングした電圧値（デジタル値）をロジック回路３２に出力する。

[0089] ここで、ロジック回路３２は、上記したセレクタ３３、カウンタ３４、デコーダ３５、及びＡ／Ｄコンバータ３６により時分割で検出される発光素子２ａの電圧値に基づき、発光素子２ａごとの電圧に係る異常判定（電圧異常判定）を行う。

[0090] 図１３は、時分割検出に用いられるクロックＣＬＫと、ロジック回路３２に入力される出力値ＨＤＲ（デジタル値）と、ロジック回路３２が内部で生成する異常検出信号Ｄｅｒの関係を例示した図である。なお、この図では発光素子２ａの数が７以上のｎ個とされた場合を例示している。

図中、出力値ＨＤＲに付した番号は、ロジック回路３２に電圧値が入力される発光素子２ａの別（換言すれば、セレクタ３３により選択される検出ラインＬｄの別）を表している。

エラー検出信号Ｄｅｒは、このように順次異なる発光素子２ａの出力値ＨＤＲが入力される下で、出力値ＨＤＲの異常が判定されたことに応じて立ち上げられる（或いは立ち下げられる）信号として生成される。図中では、５番目の発光素子２ａ（５番目に電圧値がロジック回路３２に入力される発光素子２ａ）の出力値ＨＤＲが異常と判定されたことに応じ、該５番目のタイミングでエラー検出信号Ｄｅｒが立ち上げられた例を示している。

[0091] 本例では、発光素子２ａの電圧異常有無の判定は、出力値ＨＤＲが上限閾値ＴＨｕと下限閾値ＴＨｄ（ＴＨｕ＞ＴＨｄ）とで規定される所定範囲内の値であるか否かの判定として行う。

これにより、断線、短絡、地絡等に起因した発光素子２ａの電圧異常の有無を適切に判定することができる。

ロジック回路３２は、上記の判定により発光素子２ａの電圧異常が認められた場合は、エラーフラグをレジスタに書き込む。このようにレジスタにエラーフラグを書き込むことで、例えば制御部９等に対して発光部２に異常が生じた旨を通知することができる。

[0092] ここで、本例では、ロジック回路３２にはカウンタ３４よりカウント値ＣＮが入力されるが、ロジック回路３２は、入力されるカウント値ＣＮに基づき、検出対象とされている発光素子２ａの特定を行うことが可能とされる。特に、上記のような異常判定を行う場合には、異常有無のみでなく異常が発生した発光素子２ａの特定を行うことが可能とされる。

[0093] また、本例のロジック回路３２は、出力値ＨＤＲに基づいて出力電圧Ｖｏの制御を行う。

具体的に、ロジック回路３２は、Ａ／Ｄコンバータ３６より入力される出力値ＨＤＲが閾値ＴＨｅ以上（ただしＴＨｄ＜ＴＨｅ＜ＴＨｕ）であるか否かを判定し、出力値ＨＤＲが閾値ＴＨｅ以上である場合には、出力電圧Ｖｏを高めるための電源制御信号をＤＣ／ＤＣコンバータ４０に出力する。

[0094] ここで、本例では、各発光素子２ａの駆動は、共通の電源回路（ＤＣ／ＤＣコンバータ４０）が生成する共通の電源電圧（出力電圧Ｖｏ）に基づき行っている。このような構成とすることで、発光素子２ａごとに電源電圧の調整を可能とする構成を採る場合と比較して回路規模縮小化が図られる。

このとき、発光素子２ａは個体によって順方向電圧（ＶＦ）のバラツキ等の特性バラツキが生じるため、本例のように複数の発光素子２ａを共通の電源電圧に基づき駆動する構成の場合には、検出電圧の高い発光素子の電圧に合わせて電源電圧の高さを調整することが、発光対象とする全ての発光素子２ａを適切に発光させる上で重要である。

このため、上記のような電源制御を行うことで、共通の電源電圧の高さを、検出電圧の高い発光素子２ａの電圧に合わせて調整している。

これにより、複数の発光素子２ａを共通の電源電圧に基づき駆動する構成を採ることによる回路規模縮小化を図りながら、発光対象とする全ての発光素子２ａを適切に発光させることができる。

[0095] 図１４は、上記により説明した異常判定及び電源制御を実現するにあたりロジック回路３２が行うべき具体的な処理の手順を示したフローチャートである。

先ず、ロジック回路３２はステップＳ１０１のカウンタ始動制御処理として、イネーブル信号ＥＮによってカウンタ３４をイネーブル状態とする処理を行う。これにより、カウンタ３４が始動し、時分割による電圧検出が開始される。なお、このような時分割による電圧検出を開始するタイミングとしては、例えば測距を開始する直前、電源ＯＮ時、一定時間おき等とすることが考えられる。また、測距装置１が例えばスマートフォンやタブレット端末等の情報処理端末とされる場合には、スリープ解除に応じて電圧検出を開始することも考えられる。

[0096] ステップＳ１０１に続くステップＳ１０２でロジック回路３２は、検出電圧値が所定範囲内の値か否か、すなわちＡ／Ｄコンバータ３６より入力される出力値ＨＤＲが下限閾値ＴＨｄ以上且つ上限閾値ＴＨｕ以下であるか否かを判定する。

ステップＳ１０２において、出力値ＨＤＲが下限閾値ＴＨｄ以上且つ上限閾値ＴＨｕ以下であり、検出電圧値が所定範囲内の値であると判定した場合、ロジック回路３２はステップＳ１０３に進み、検出電圧値が閾値ＴＨｅ以上か否かを判定し、検出電圧値が閾値ＴＨｅ以上である場合は、ステップＳ１０４で電源制御信号を出力する処理、すなわち出力電圧Ｖｏを高めることを指示する電源制御信号をＤＣ／ＤＣコンバータ４０に出力する処理を行った上で、ステップＳ１０５でカウント値ＣＮの確認処理を行う。

一方、検出電圧値が閾値ＴＨｅ以上でなければ、ロジック回路３２はステップＳ１０４の出力処理をパスしてステップＳ１０５でカウント値ＣＮの確認処理を行う。

[0097] ステップＳ１０５のカウント値ＣＮの確認処理として、ロジック回路３２はカウント値ＣＮが最大値ＣＮｍａｘ以上か否かを判定する。最大値ＣＮｍａｘは、電圧検出対象とする発光素子２ａの数と同値に設定されている。

ステップＳ１０５において、カウント値ＣＮが最大値ＣＮｍａｘ以上でなければ、ロジック回路３２はステップＳ１０６でカウント値ＣＮが更新されるまで待機し、ステップＳ１０２の判定処理に戻る。これにより、次の発光素子２ａについて電圧異常有無が判定される。

また、ステップＳ１０５において、カウント値ＣＮが最大値ＣＮｍａｘ以上であれば、ロジック回路３２はこの図に示す一連の処理を終える。

[0098] ステップＳ１０２において、検出電圧値が所定範囲内の値でなければ（下限閾値ＴＨｄ以上且つ上限閾値ＴＨｕ以下でなければ）、ロジック回路３２はステップＳ１０７に進んでエラーフラグをレジスタに書き込んだ上で、ステップＳ１０８で駆動停止制御処理を実行し、この図に示す一連の処理を終える。ステップＳ１０８の駆動停止制御処理としては、例えばＤＣ／ＤＣコンバータ４０を停止させる等、発光素子２ａの発光駆動を停止させるための制御を行う。

[0099] 図１５は、駆動部３を構成する各要素のチップ上での配置態様を例示した図である。

前述の通り、駆動部３はチップＣｐ３（又はチップＣｐ３４：以下図１５の説明において同じ）として実装することができ、また、チップＣｐ３上には発光部２としてのチップＣｐ２をフリップチップ実装することができる（例えば図１１を参照）。

駆動部３における駆動回路３０（駆動素子Ｑ１や電流制御素子Ｑ２）については、図中に領域ｐ３０と例示するように、チップＣｐ３におけるチップＣｐ２の真下となる位置に配置することができる。また、駆動制御部３１におけるセレクタ３３については、チップＣｐ３における領域ｐ３０に隣接した領域ｐ３３に配置することができ、Ａ／Ｄコンバータ３６については領域ｐ３３に対し領域ｐ３０とは逆側に隣接する領域ｐ３６に配置することがで

きる。そして、この領域ｐ３６に対し領域ｐ３３とは逆側に隣接する領域ｐ３２には、ロジック回路３２やカウンタ３４、デコーダ３５等を配置することができる。

例えばこのような配置により、ロジック回路３２としての発熱源と発光部２及び駆動回路３０としての発熱源とが離間され、温度上昇の抑制を図ることができる。

[0100] ここで、上記では、時分割検出を行うための構成例としてカウンタ３４を用いた構成例を挙げたが、図１６に示す駆動制御部３１Ａのように、カウンタ３４を省略した構成を採ることもできる。

この場合、ロジック回路３２は、カウント値ＣＮを基に検出電圧値と発光素子２ａとの対応関係を特定することはできなくなる。しかしながら、例えば、ロジック回路３２がスイッチＳＷの制御により複数の発光素子２ａをスキャン駆動させる場合には、ロジック回路３２は何れの発光素子２ａを発光させているかを把握可能であるため、発光中の発光素子２ａに接続された検出ラインＬｄをセレクタ３３に選択させるようにデコーダ３５を制御することで、検出電圧値と発光素子２ａとの対応関係を特定することが可能となる。

[0101] また、上記では、セレクタ３３としてトランスファゲートを使用したセレクタを用いる例を挙げたが、図１７に例示する選択回路３７のように、イネーブル機能付のボルテージフォロアを用いた構成を採ることもできる。

図示のように選択回路３７においては、検出ラインＬｄごとにオペアンプＯＰが設けられ、各オペアンプＯＰは、非反転端子が対応する検出ラインＬｄと接続され、反転端子が出力端子と接続されてボルテージフォロアとして機能する。図示のように各オペアンプＯＰは、出力端子と反転端子との接続点が出力値ＨＤＲのラインに接続されている。

この場合、デコーダ３５は、カウンタ３４のカウント値ＣＮ又はロジック回路３２からの指示に従って各オペアンプＯＰのＯＮ／ＯＦＦ制御を行うことで、ＯＮ状態（イネーブル）とするオペアンプＯＰを順時に切り替える。

これにより、選択回路３７の出力値ＨＤＲは、複数の発光素子２ａの電圧値を順時切り替えて表すものとなる。

[0102] 上記のような選択回路３７を用いることで、セレクタ３３としての機能（つまり検出ラインＬｄの時分割選択機能）のみでなく検出ラインＬｄにおける電圧低下防止機能を兼ね備えることができる。

[0103] なお、図示による説明は省略するが、図４に示したように発光素子２ａのカソードにおける電圧を検出する構成とする場合にも、上記した時分割による電圧検出や電圧異常判定、及び検出電圧に基づく電源制御について同様の構成を採ることができる。

[0104] ＜７．実施形態のまとめ及び変形例＞

上記のように実施形態としての光源装置（測距装置１）は、垂直共振器面発光レーザによる発光素子（同２ａ）が複数配列された発光部（同２）と、発光部における複数の発光素子のアノード又はカソードにおける電圧を時分割により個別検出する検出部（セレクタ３３若しくは選択回路３７、デコーダ３５、及びＡ／Ｄコンバータ３６）とを備えるものである。

[0105] これにより、発光素子ごとに電圧検出のための回路を設ける必要がなくなる。

従って、電圧検出のための回路規模縮小化が図られ、垂直共振器面発光レーザによる発光素子が複数配列された発光部を備えた光源装置について、発光素子ごとに電圧を検出し分けることを可能としながら装置サイズの小型化を図ることができる。

[0106] また、実施形態としての光源装置においては、検出部は、クロックに従って検出対象とする発光素子を切り替えると共に、クロックに同期して計数を行うカウンタ（同３４）を有している。

[0107] カウンタの計数値により、検出した電圧値が何れの発光素子の電圧値であるかを特定可能とされる。

従って、電圧異常が生じた際、異常の生じた発光素子を特定することができる。

[0108] さらに、実施形態としての光源装置においては、検出部は、発光素子ごとの電圧の検出ライン（同Ｌｄ）と、検出ラインごとに挿入されＯＮ／ＯＦＦ制御可能に構成されたボルテージフォロア（オペアンプＯＰ）とを有している。

[0109] これにより、検出ラインの時分割選択機能のみでなく検出ラインにおける電圧低下防止機能を兼ね備えることができる。

[0110] さらにまた、実施形態としての光源装置においては、カレントミラー回路により複数の発光素子に駆動電流を流す駆動回路（同３０又は３０Ａ）を備えている。

[0111] これにより、発光素子に定電流を流すにあたって定電流制御機能付の電源回路を用いる必要がなくなる。

従って、回路構成の簡略化を図ることができる。

[0112] また、実施形態としての光源装置においては、カレントミラー回路が発光素子のアノード側に接続され、検出部は、発光素子のアノードにおける電圧を検出している（図１２等を参照）。

[0113] これにより、発光素子、及びカレントミラー回路における駆動素子それぞれの特性個体差を考慮した適切な電圧検出を行うことができる。

[0114] さらに、実施形態としての光源装置においては、カレントミラー回路が発光素子のカソード側に接続され、検出部は、発光素子のカソードにおける電圧を検出している。

[0115] これにより、発光素子、及びカレントミラー回路における駆動素子それぞれの特性個体差を考慮した適切な電圧検出を行うことができる。

[0116] さらにまた、実施形態としての光源装置においては、検出部が個別検出した電圧に基づき発光素子の異常判定を行う判定部（ロジック回路３２）を備えている。

[0117] これにより、発光素子ごとに電圧異常検出のための回路を設ける必要がなくなる。

従って、光源装置の回路規模縮小化を図ることができる。

[0118] また、実施形態としての光源装置においては、判定部は、電圧の値が所定範囲内の値であるか否かの判定を発光素子の異常有無の判定として行っている。

[0119] これにより、断線、短絡、地絡等に起因した発光素子の電圧異常の有無を適切に判定することができる。

[0120] さらに、実施形態としての光源装置においては、複数の発光素子の駆動に共通に用いられる電源電圧を生成する電源回路（同４）と、検出部が検出した電圧に基づいて電源回路を制御する制御部（ロジック回路３２）とを備えている。

[0121] これにより、共通の電源回路が生成する共通の電源電圧に基づき複数の発光素子が駆動される構成において、例えば発光素子の電圧異常が認められた場合は電源回路の動作を停止させる等して安全性を高めたり、また検出電圧が高い発光素子に合わせて電源電圧の高さを調整することで発光対象とする全ての発光素子を適切に発光させる等の電源制御を行うことが可能とされる。

従って、共通の電源回路が生成する共通の電源電圧に基づき複数の発光素子が駆動される構成において、発光素子ごとに個別検出した電圧に基づく適切な電源制御を行うことができる。

[0122] さらにまた、実施形態としての光源装置においては、制御部は、検出部が所定閾値（閾値ＴＨｅ）以上の電圧を検出したことに応じて電源電圧を高めるように電源回路を制御している。

[0123] これにより、共通の電源回路が生成する共通の電源電圧に基づき複数の発光素子が駆動される構成において、該共通の電源電圧の高さを検出電圧が高い発光素子の電圧に合わせて調整することが可能とされる。

従って、発光素子ごとに電源電圧を調整可能な構成を採ることなく、発光対象とする全ての発光素子を適切に発光させることができる。すなわち、発光素子ごとに電源電圧を調整可能に構成した場合の回路規模増大化の防止を図りながら、電源電圧を共用する全ての発光素子を適切に発光させることが

できる。

[0124] また、実施形態としての光源装置においては、発光素子ごとに設けられたスイッチ（同ＳＷ）を有し発光部における発光素子を個別駆動可能に構成された駆動回路（同３０又は３０Ａ）を備えている。

[0125] これにより、発光部を任意の発光パターン（二次元の明暗パターン）により発光させることが可能とされる。

従って、測距用の発光に関して発光パターンを可変とすることが要求される場合において、発光パターンが固定の発光部を複数設ける必要がなくなり、光源装置の部品点数削減及び小型化を図ることができる。

また、個別駆動可能に構成される場合には、発光素子の駆動制御部は駆動中（発光中）の発光素子を把握可能であるため、発光させていない発光素子の電圧検出時に検出電圧値が一定値以上であると、発光中の他の発光素子の配線と短絡していることも判定可能となる。

[0126] また、実施形態としての検出方法は、垂直共振器面発光レーザによる発光素子が複数配列された発光部における複数の発光素子のアノード又はカソードにおける電圧を時分割により個別検出する検出方法である。

さらに、実施形態としてのセンシングモジュールは、上記した実施形態としての光源装置と、該光源装置が備える発光部（同２）より発せられ被写体によって反射された光を受光して撮像するイメージセンサ（同７）とを備えるものである（例えば、図８に示す構成を参照）。

[0127] このような実施形態としての駆動方法やセンシングモジュールによっても、上記した実施形態としての光源装置と同様の作用及び効果を得ることができる。

[0128] なお、上記では、発光素子２ａごとにスイッチＳＷを設けて、発光素子２ａごとの個別駆動を可能とする構成を例示したが、本技術において、発光素子２ａごとの個別駆動を可能に構成することは必須ではない。

[0129] また、上記では本技術が測距装置に適用される例を挙げたが、本技術は測距用の光源への適用に限定されるものではない。

[0130] なお、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

[0131] ＜８．本技術＞

なお本技術は以下のような構成も採ることができる。

（１）

垂直共振器面発光レーザによる発光素子が複数配列された発光部と、

前記発光部における複数の前記発光素子のアノード又はカソードにおける電圧を時分割により個別検出する検出部と、を備える

光源装置。

（２）

前記検出部は、

クロックに従って検出対象とする前記発光素子を切り替えると共に、

前記クロックに同期して計数を行うカウンタを有する

前記（１）に記載の光源装置。

（３）

前記検出部は、

前記発光素子ごとの前記電圧の検出ラインと、

前記検出ラインごとに挿入されＯＮ／ＯＦＦ制御可能に構成されたボルテージフォロアとを有する

前記（１）又は（２）に記載の光源装置。

（４）

カレントミラー回路により複数の前記発光素子に駆動電流を流す駆動回路を備えた

前記（１）乃至（３）の何れかに記載の光源装置。

（５）

前記カレントミラー回路が前記発光素子のアノード側に接続され、

前記検出部は、

前記発光素子のアノードにおける電圧を検出する

前記（４）に記載の光源装置。

（６）

前記カレントミラー回路が前記発光素子のカソード側に接続され、

前記検出部は、

前記発光素子のカソードにおける電圧を検出する

前記（４）に記載の光源装置。

（７）

前記検出部が前記個別検出した電圧に基づき前記発光素子の異常判定を行う判定部を備えた

前記（１）乃至（６）の何れかに記載の光源装置。

（８）

前記判定部は、

前記電圧の値が所定範囲内の値であるか否かの判定を前記発光素子の異常有無の判定として行う

前記（７）に記載の光源装置。

（９）

複数の前記発光素子の駆動に共通に用いられる電源電圧を生成する電源回路と、

前記検出部が検出した前記電圧に基づいて前記電源回路を制御する制御部と、を備えた

前記（１）乃至（８）の何れかに記載の光源装置。

（１０）

前記制御部は、

前記検出部が所定閾値以上の前記電圧を検出したことに応じて前記電源電圧を高めるように前記電源回路を制御する

前記（９）に記載の光源装置。

（１１）

前記発光素子ごとに設けられたスイッチを有し前記発光部における前記発

光素子を個別駆動可能に構成された駆動回路を備えた

前記（１）乃至（１０）の何れかに記載の光源装置。

符号の説明

[0132] １　測距装置、２　発光部、２ａ　発光素子、３，３Ａ　駆動部、７　イメージセンサ、１０　温度検出部、Ｓ　被写体、Ｂ　基板、Ｃｐ２、Ｃｐ３、Ｃｐ４、Ｃｐ３４、Ｃｐ７　チップ、３０、３０Ａ　駆動回路、３１，３１Ａ　駆動制御部、Ｑ１　駆動素子、Ｑ２　電流制御素子、ＳＷ　スイッチ、３２　ロジック回路、３３　セレクタ、３４　カウンタ、３５　デコーダ、３６　Ａ／Ｄコンバータ、３７　選択回路、１００，１００Ａ　光源装置

請求の範囲

[請求項1] 垂直共振器面発光レーザによる発光素子が複数配列された発光部と、

前記発光部における複数の前記発光素子のアノード又はカソードにおける電圧を時分割により個別検出する検出部と、を備える

光源装置。

[請求項2] 前記検出部は、

クロックに従って検出対象とする前記発光素子を切り替えると共に、

前記クロックに同期して計数を行うカウンタを有する

請求項１に記載の光源装置。

[請求項3] 前記検出部は、

前記発光素子ごとの前記電圧の検出ラインと、

前記検出ラインごとに挿入されＯＮ／ＯＦＦ制御可能に構成されたボルテージフォロアとを有する

請求項１に記載の光源装置。

[請求項4] カレントミラー回路により複数の前記発光素子に駆動電流を流す駆動回路を備えた

請求項１に記載の光源装置。

[請求項5] 前記カレントミラー回路が前記発光素子のアノード側に接続され、

前記検出部は、

前記発光素子のアノードにおける電圧を検出する

請求項４に記載の光源装置。

[請求項6] 前記カレントミラー回路が前記発光素子のカソード側に接続され、

前記検出部は、

前記発光素子のカソードにおける電圧を検出する

請求項４に記載の光源装置。

[請求項7] 前記検出部が前記個別検出した電圧に基づき前記発光素子の異常判

定を行う判定部を備えた

請求項１に記載の光源装置。

[請求項8] 前記判定部は、

前記電圧の値が所定範囲内の値であるか否かの判定を前記発光素子の異常有無の判定として行う

請求項７に記載の光源装置。

[請求項9] 複数の前記発光素子の駆動に共通に用いられる電源電圧を生成する電源回路と、

前記検出部が検出した前記電圧に基づいて前記電源回路を制御する制御部と、を備えた

請求項１に記載の光源装置。

[請求項10] 前記制御部は、

前記検出部が所定閾値以上の前記電圧を検出したことに応じて前記電源電圧を高めるように前記電源回路を制御する

請求項９に記載の光源装置。

[請求項11] 前記発光素子ごとに設けられたスイッチを有し前記発光部における前記発光素子を個別駆動可能に構成された駆動回路を備えた

請求項１に記載の光源装置。

[請求項12] 垂直共振器面発光レーザによる発光素子が複数配列された発光部における複数の前記発光素子のアノード又はカソードにおける電圧を時分割により個別検出する

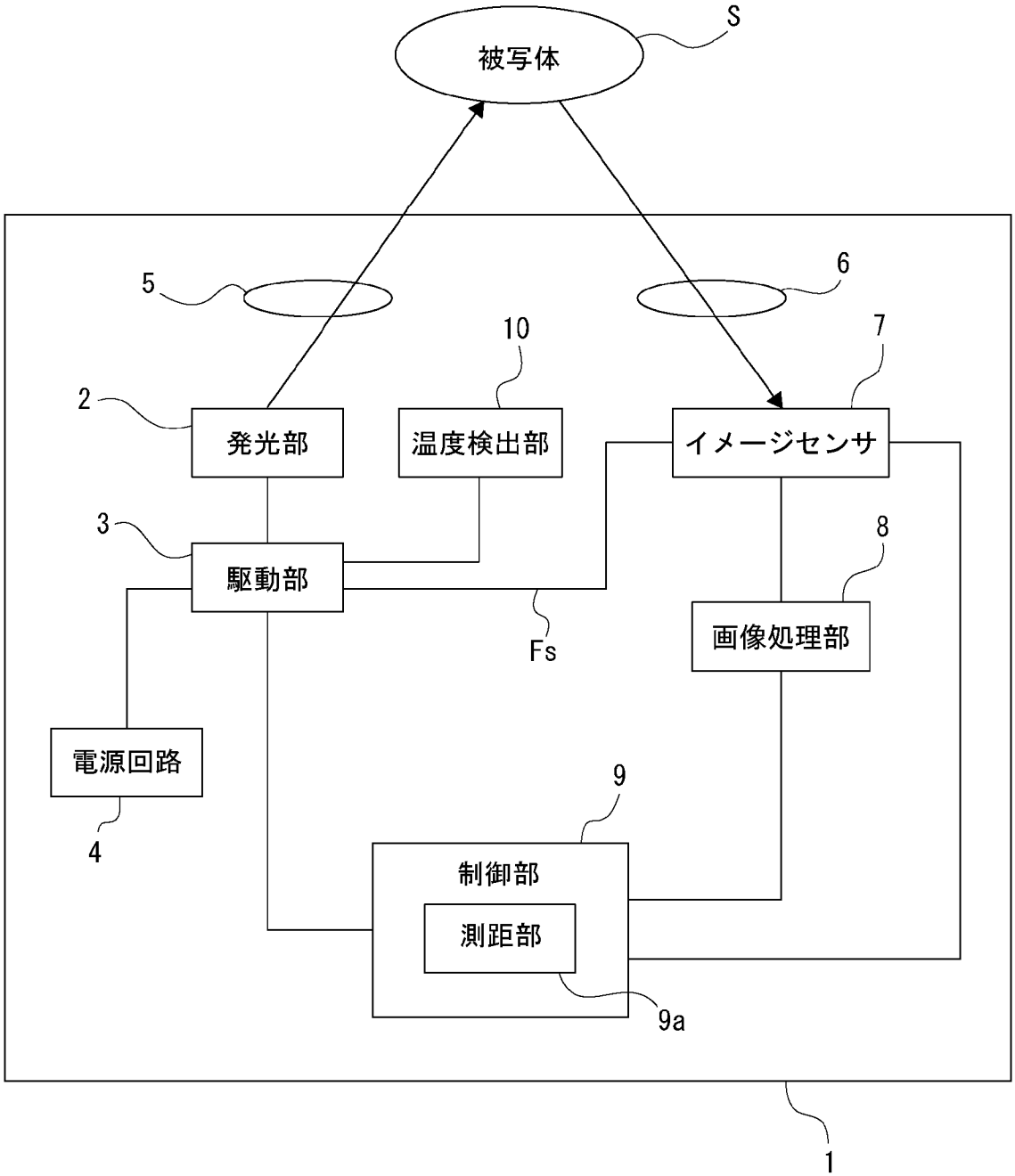
検出方法。

[請求項13] 垂直共振器面発光レーザによる発光素子が複数配列された発光部と、前記発光部における複数の前記発光素子のアノード又はカソードにおける電圧を時分割により個別検出する検出部と、を有する光源装置と、

前記発光部より発せられ被写体によって反射された光を受光して撮像するイメージセンサと、を備える

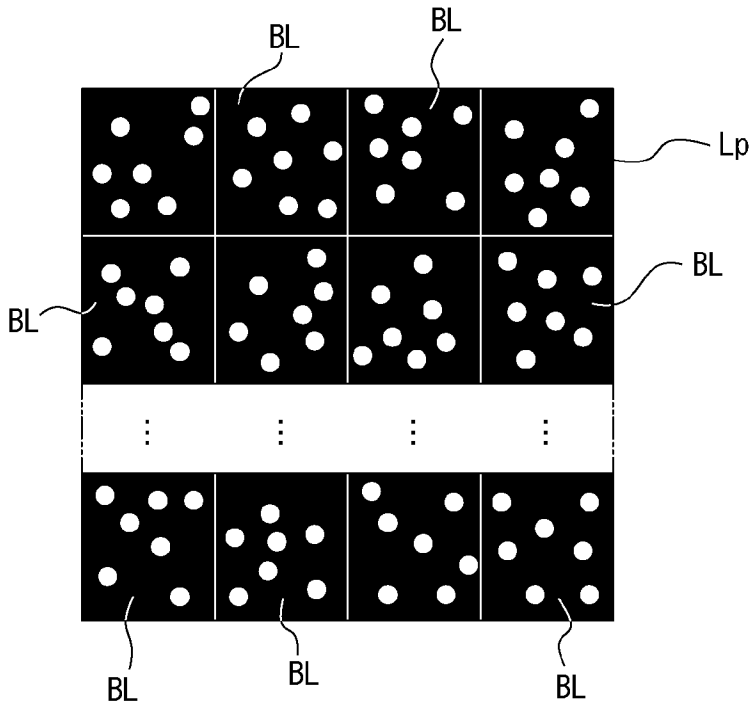
センシングモジュール。

[図1]

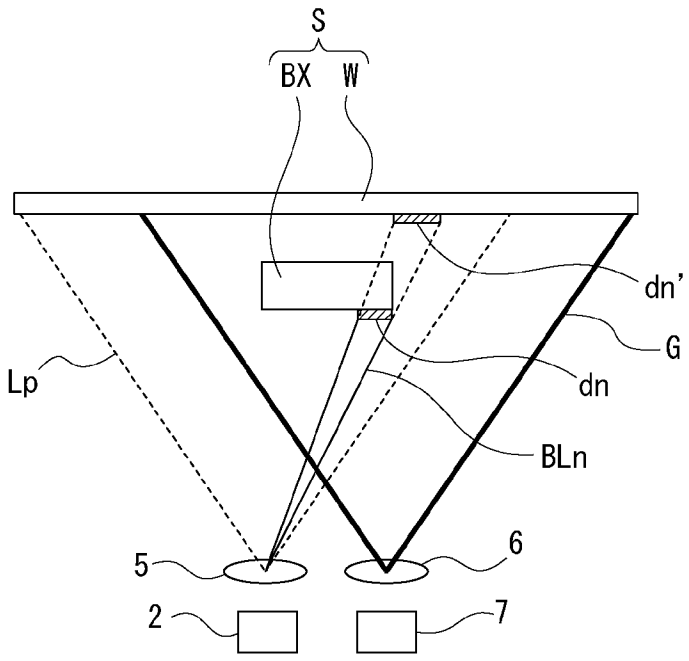

S
被写体
5
6
10
7
2
発光部
温度検出部
イメージセンサ
3
8
駆動部
Fs
画像処理部
電源回路
9
4
制御部
測距部
9a
1

[図2]

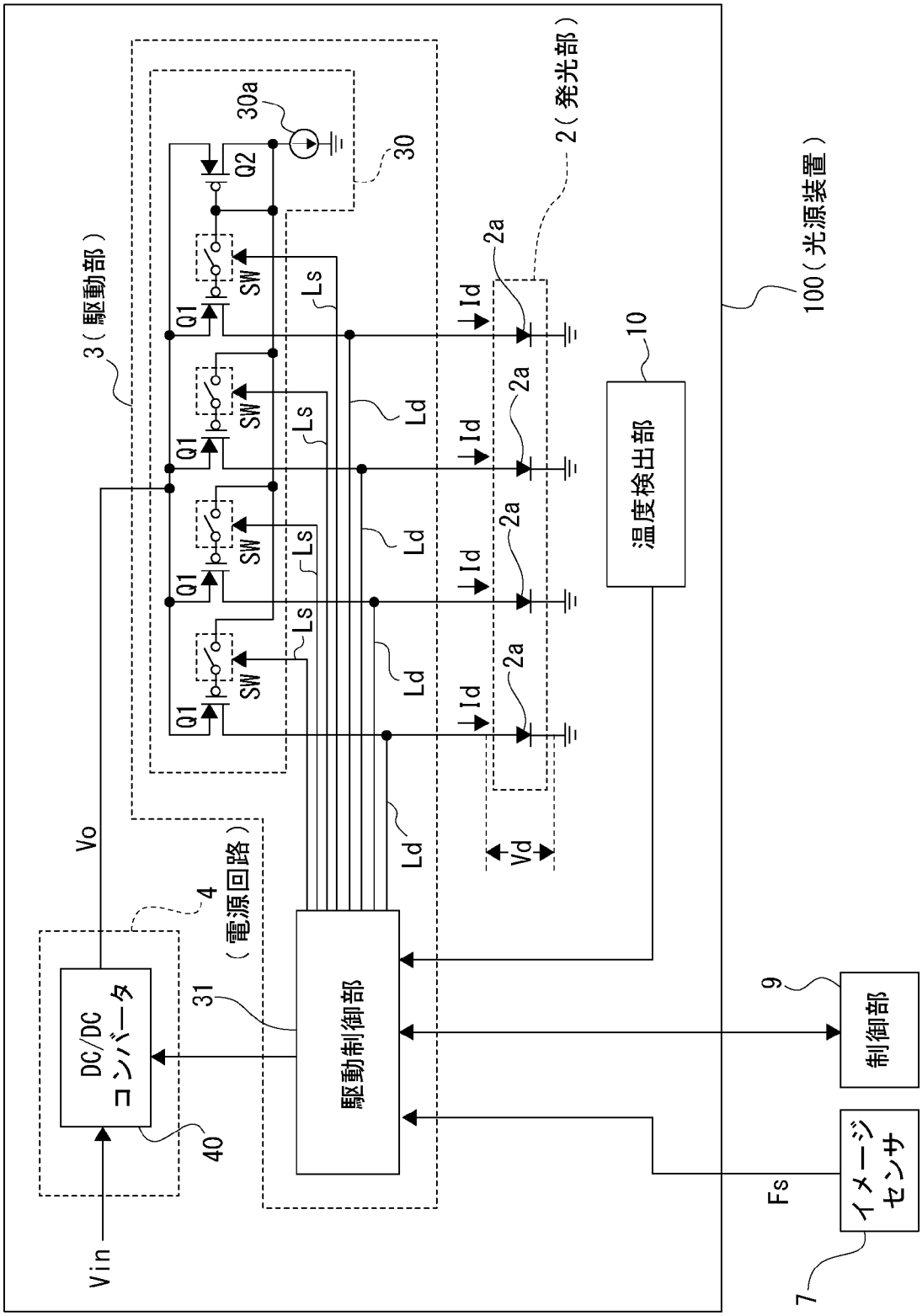
A



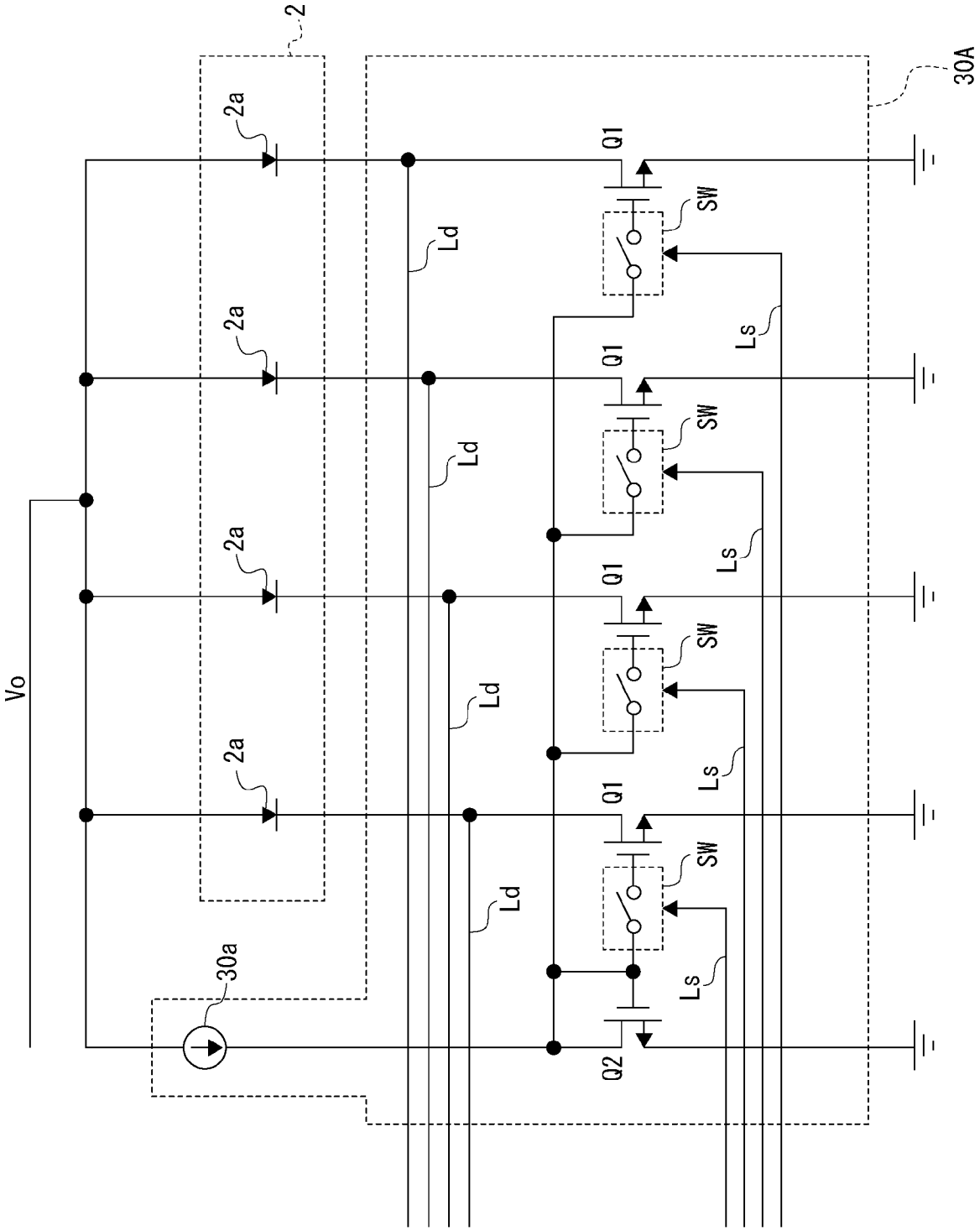
B



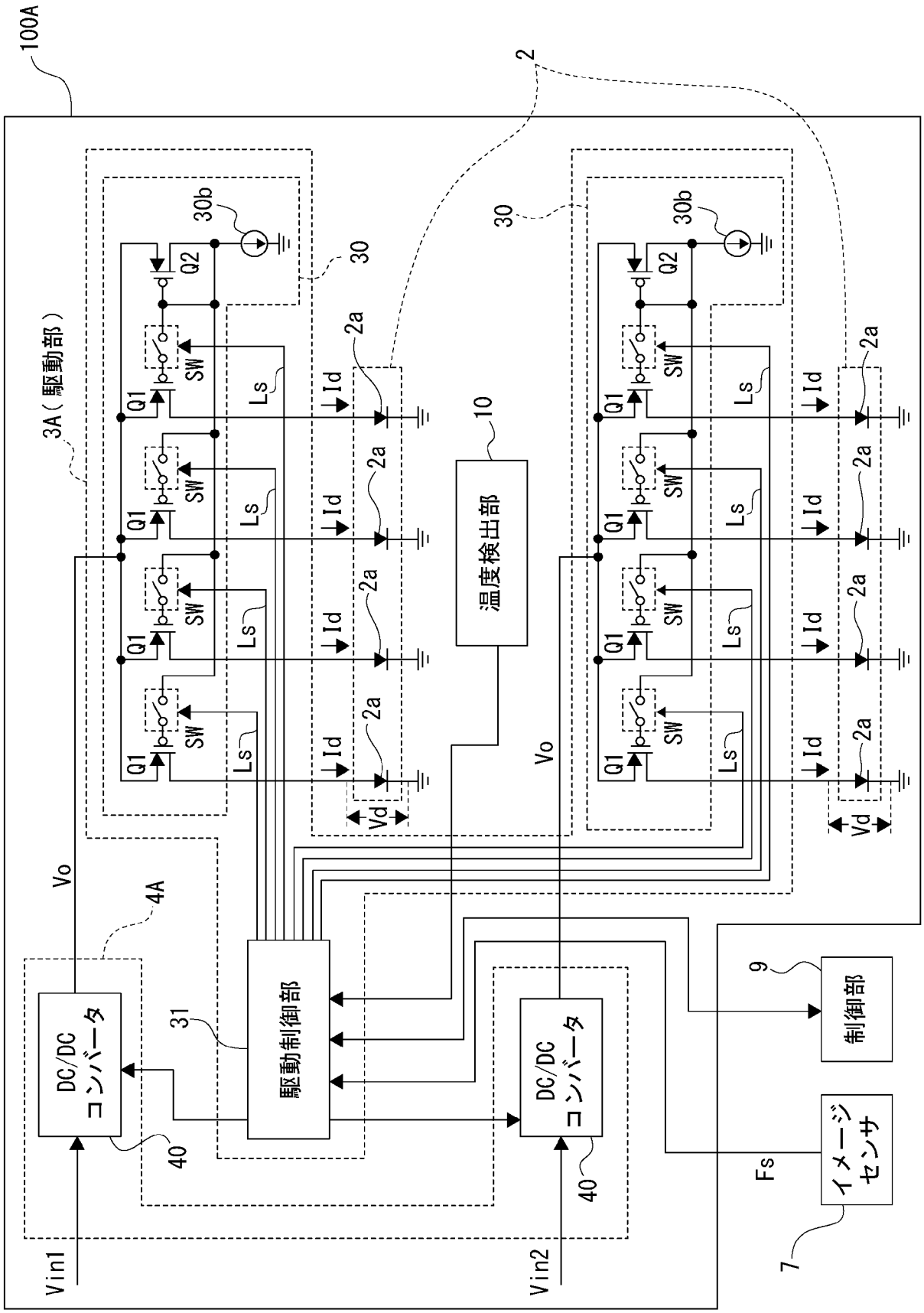
[図3]


100（光源装置）
2（発光部）
3（駆動部）
4
（電源回路）
30
30a
Q1
Q2
SW
Ls
Ld
Id
2a
Vd
Vo
Vin
DC/DC
コンバータ
40
31
駆動制御部
温度検出部
10
9
制御部
Fs
イメージ
センサ
7

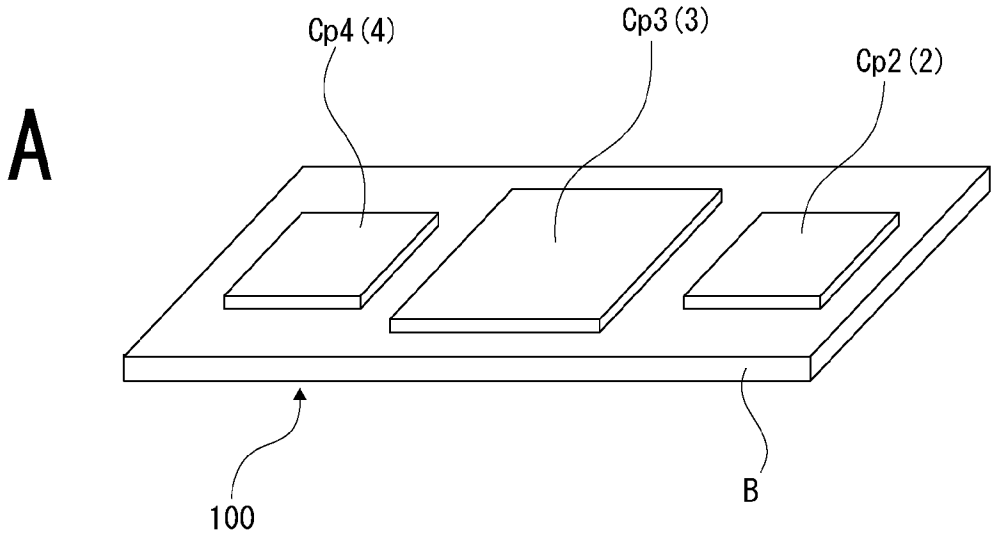
[図4]

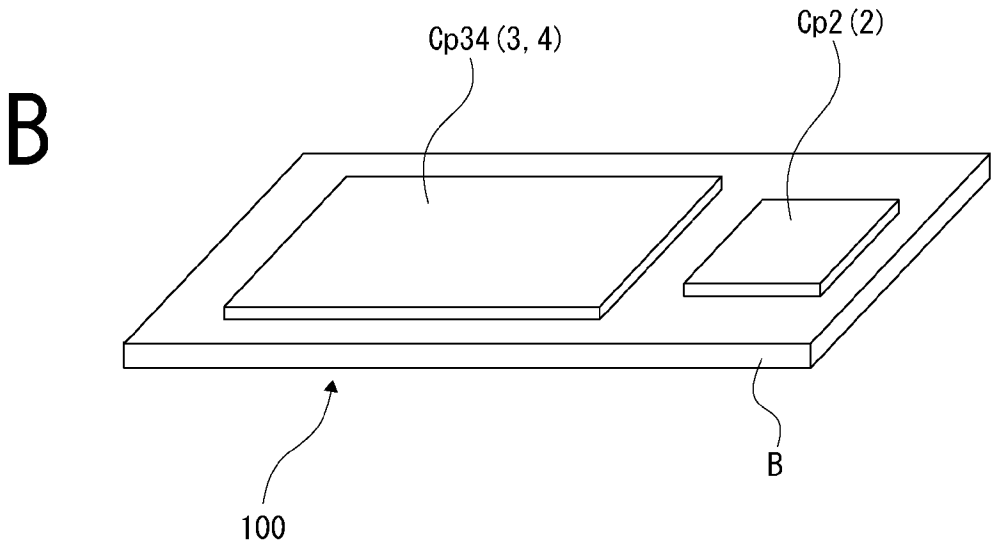


[図5]

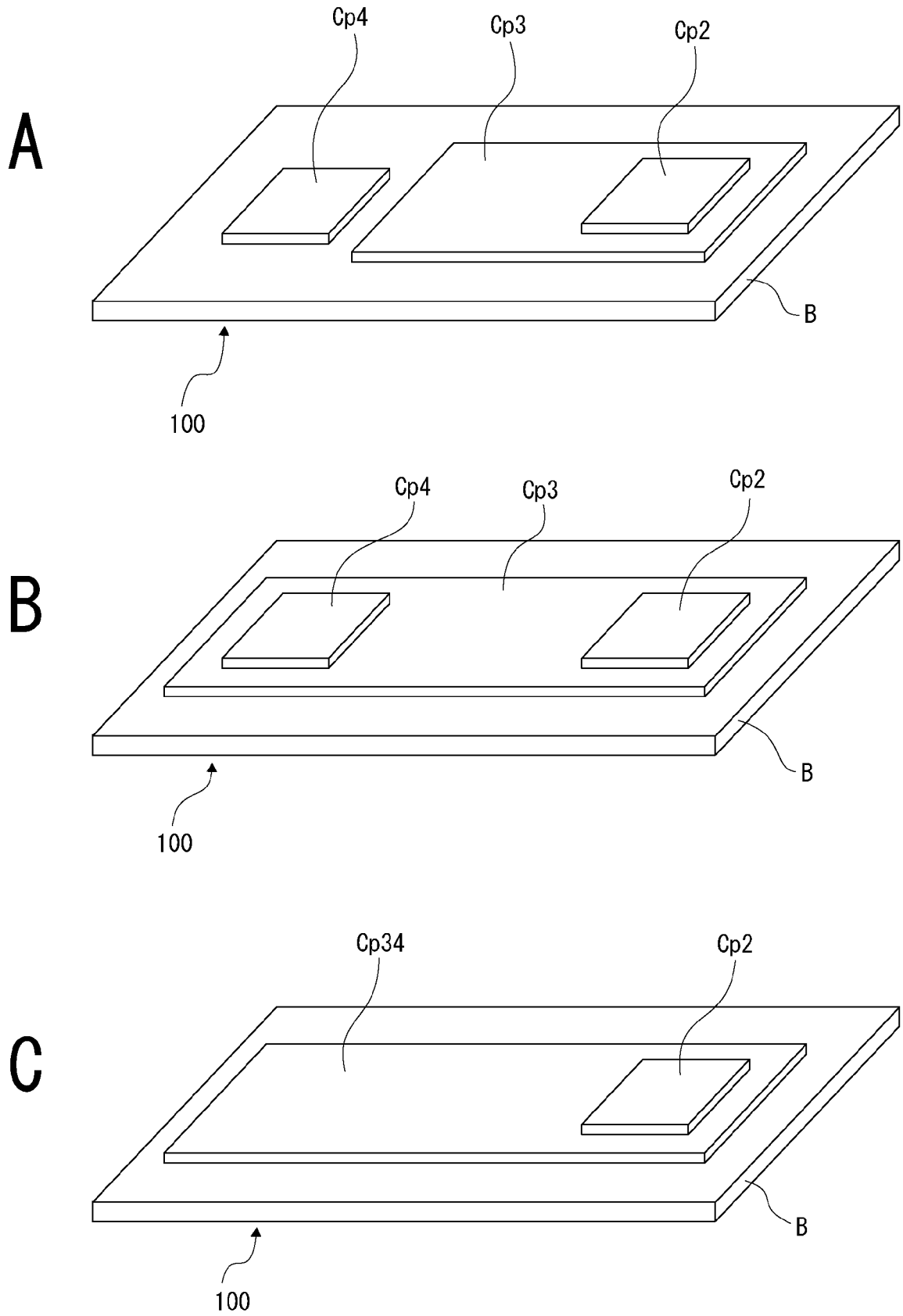

100A
2
3A（駆動部）
30
30b
Q2
Q1
SW
Ls
Id
2a
Vd
10
温度検出部
Vo
4A
DC/DC
コンバータ
31
駆動制御部
40
Vin1
Vin2
9
制御部
Fs
イメージ
センサ
7

[図6]

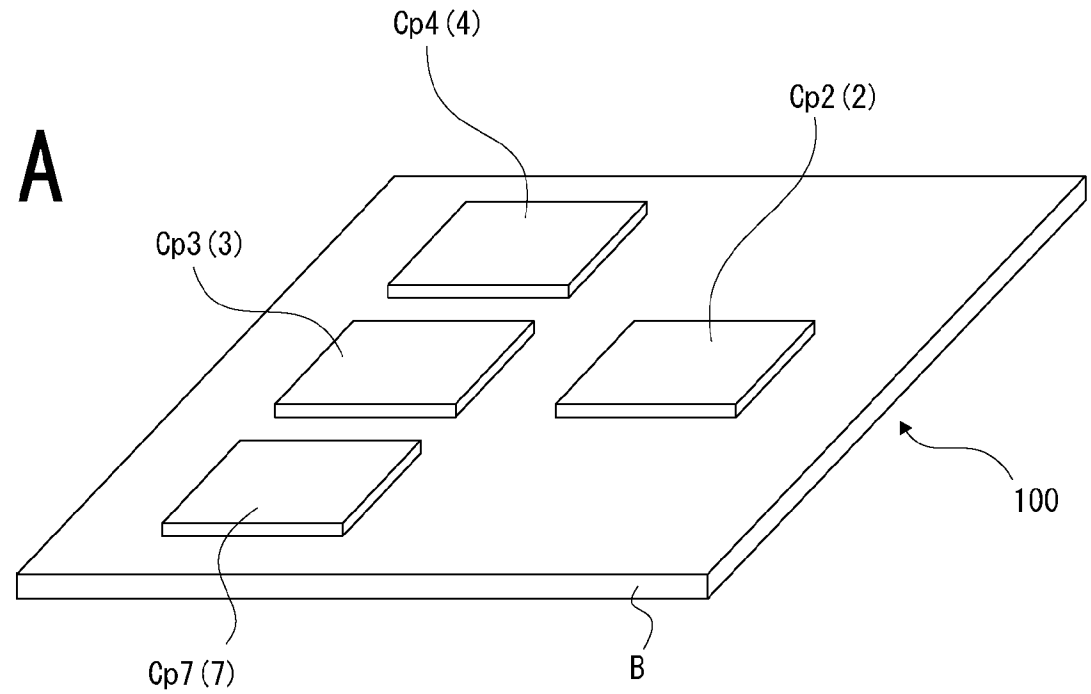


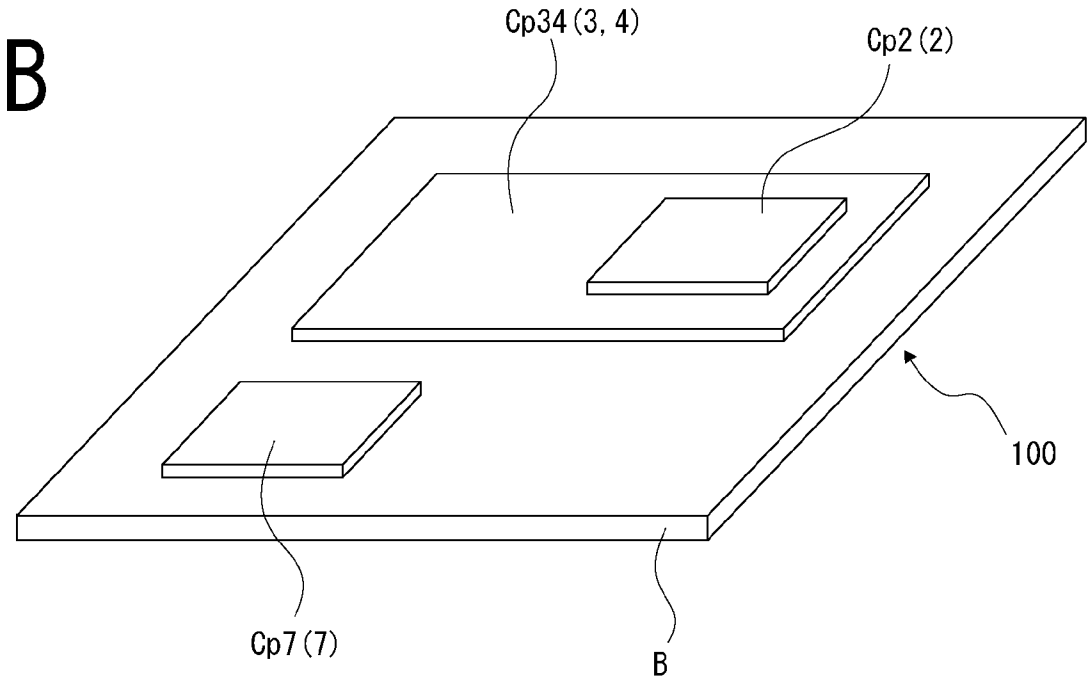


[図7]

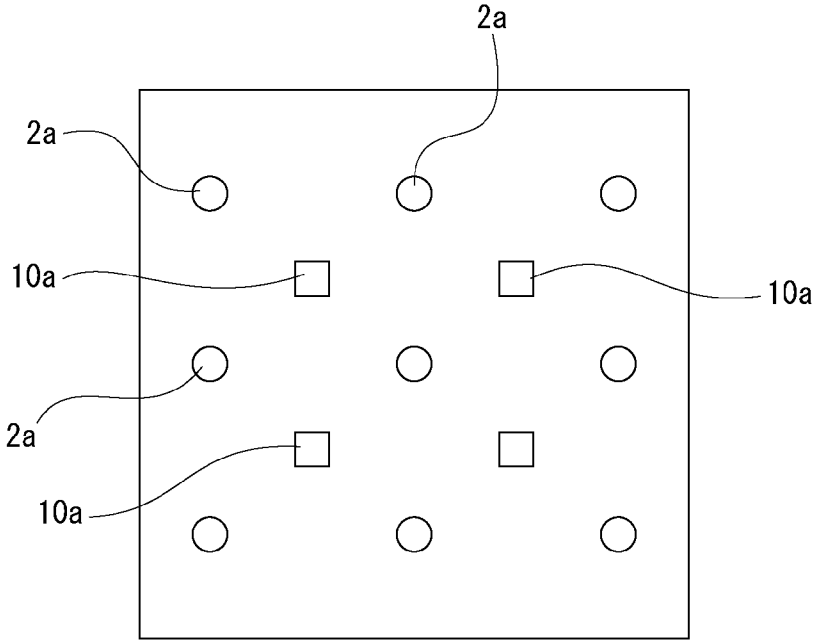


[図8]

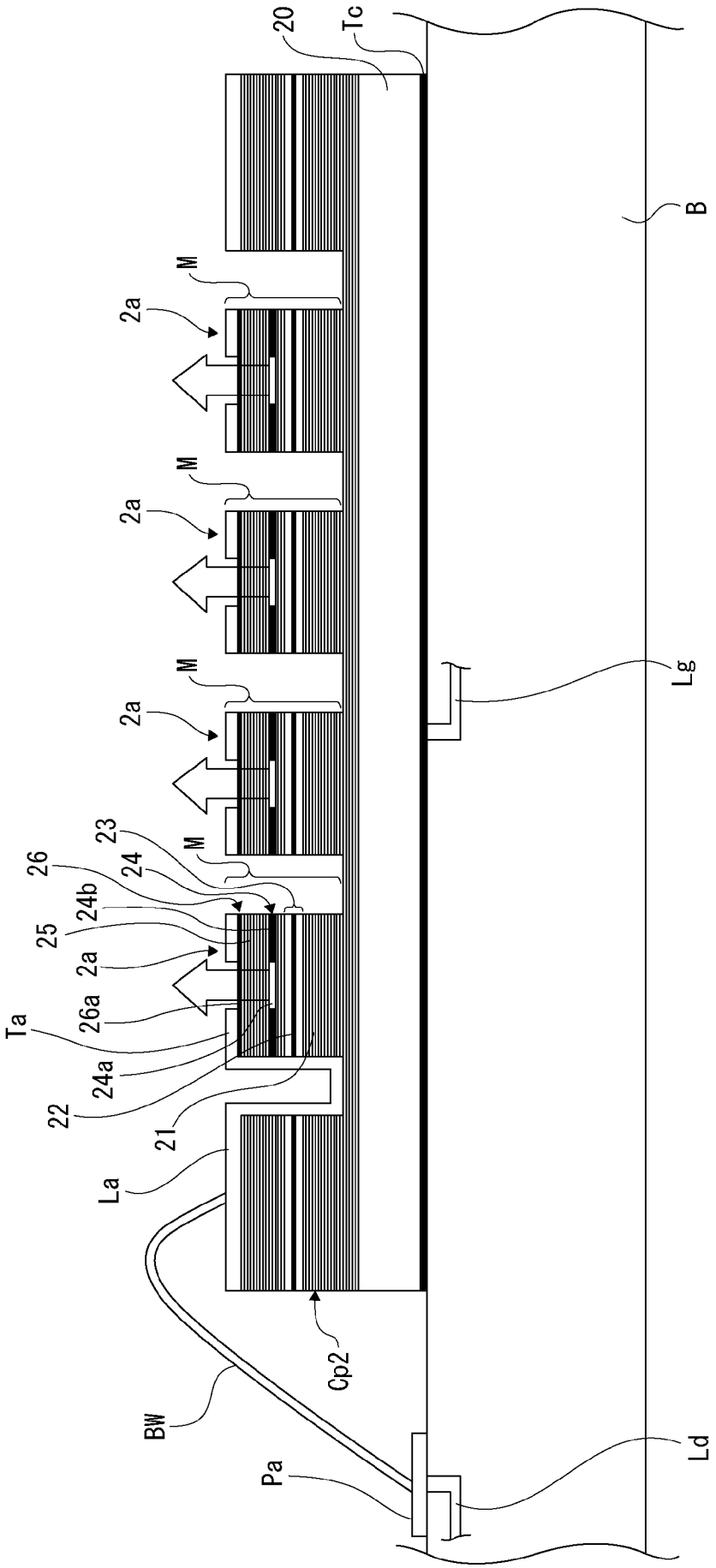




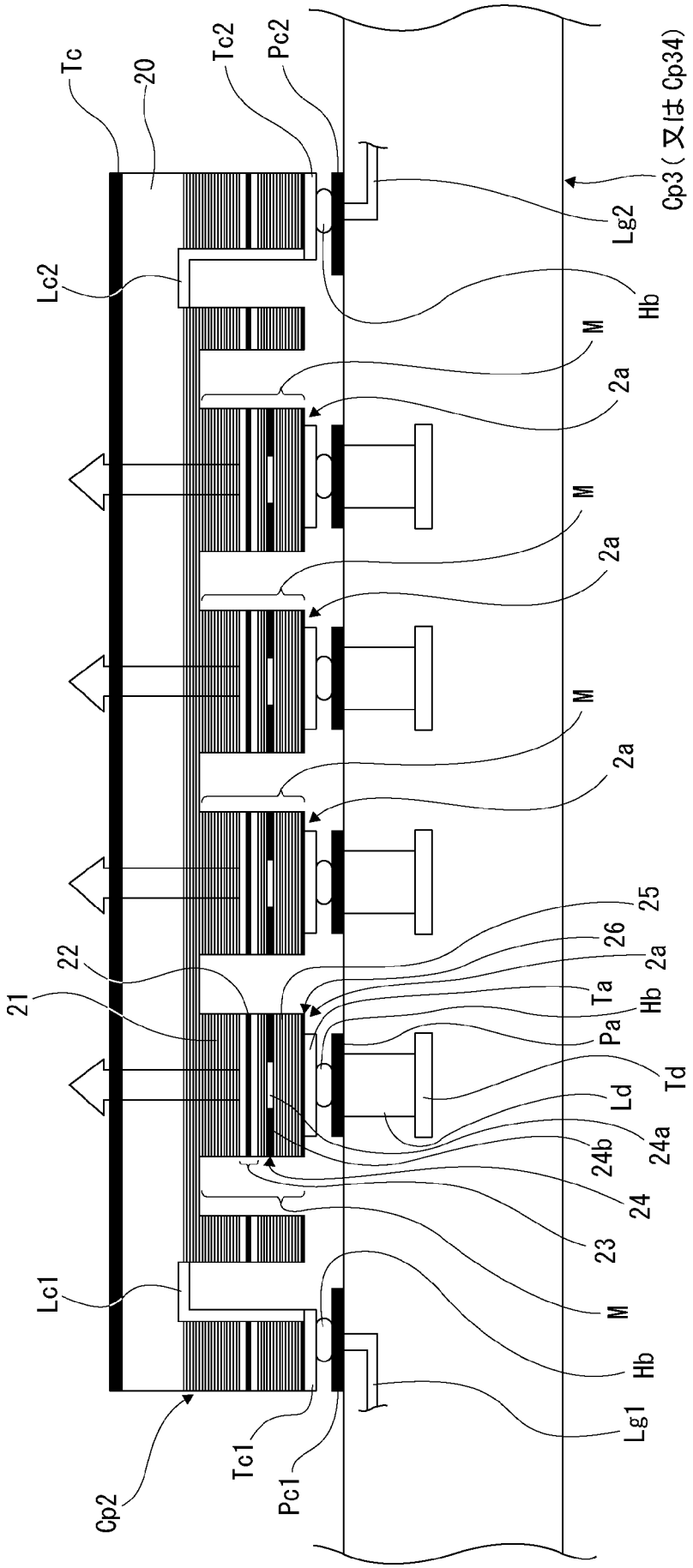
[図9]



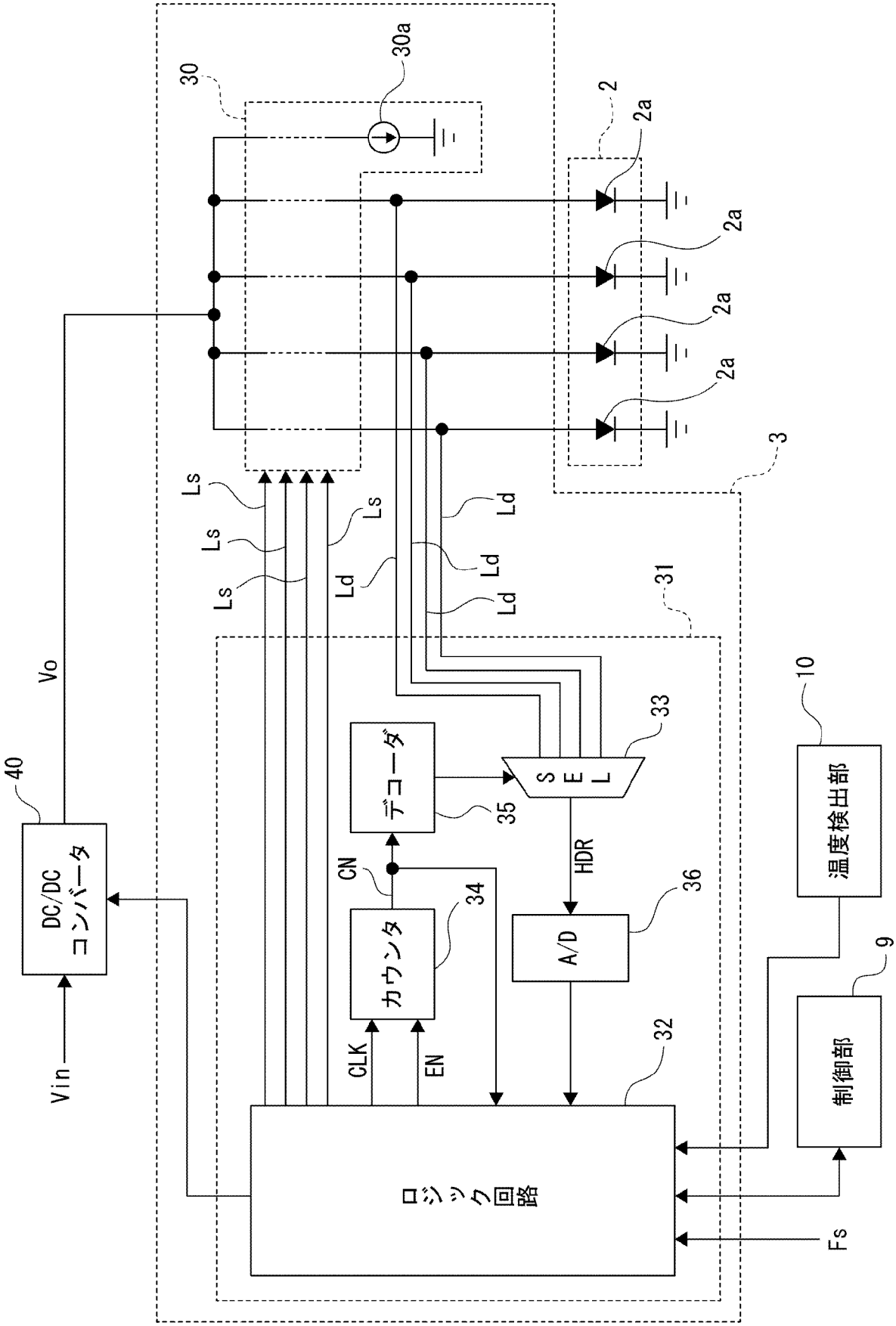
[図10]



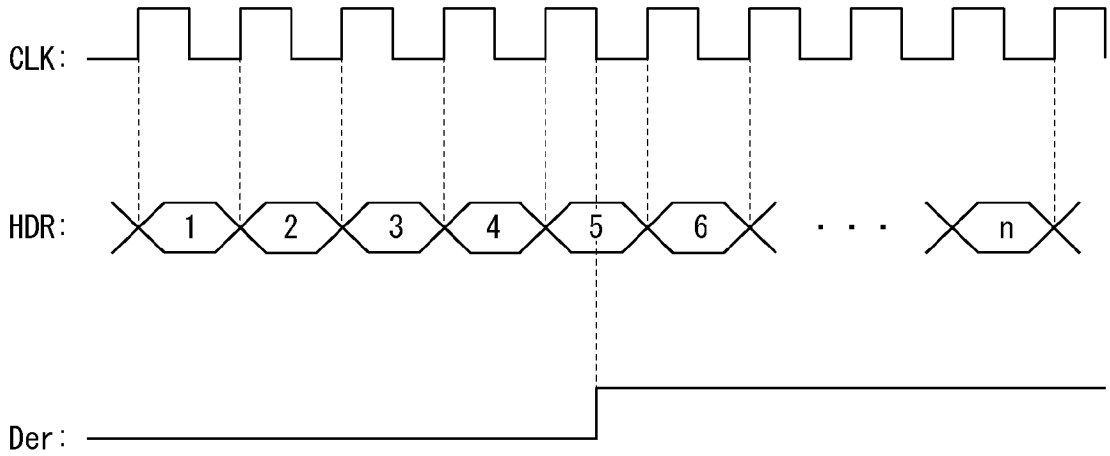
[図11]


Tc
20
Tc2
Pc2
Cp3（又は Cp34）
Lg2
Lc2
Hb
M
2a
M
2a
M
2a
25
26
2a
22
21
Ta
Hb
Pa
Td
Ld
24b
24a
24
23
M
Hb
Lg1
Lc1
Tc1
Pc1
Cp2

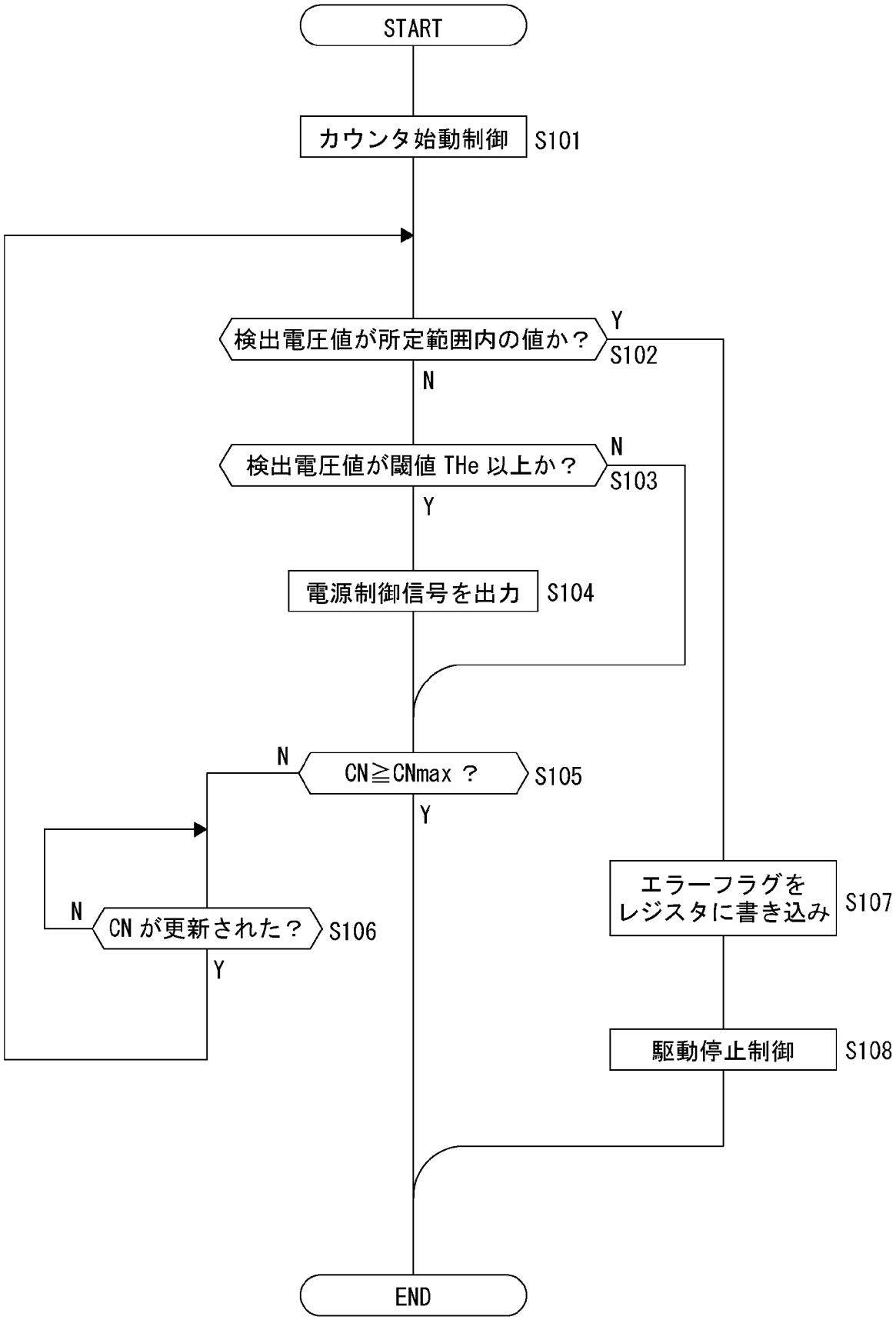
[図12]


30
30a
2
2a
2a
2a
2a
3
Ls
Ls
Ls
Ls
Ld
Ld
Ld
Ld
31
Vo
40
DC/DC
コンバータ
Vin
デコーダ
35
S
E
L
33
CN
カウンタ
34
CLK
EN
HDR
A/D
36
32
ロジック回路
10
温度検出部
9
制御部
Fs

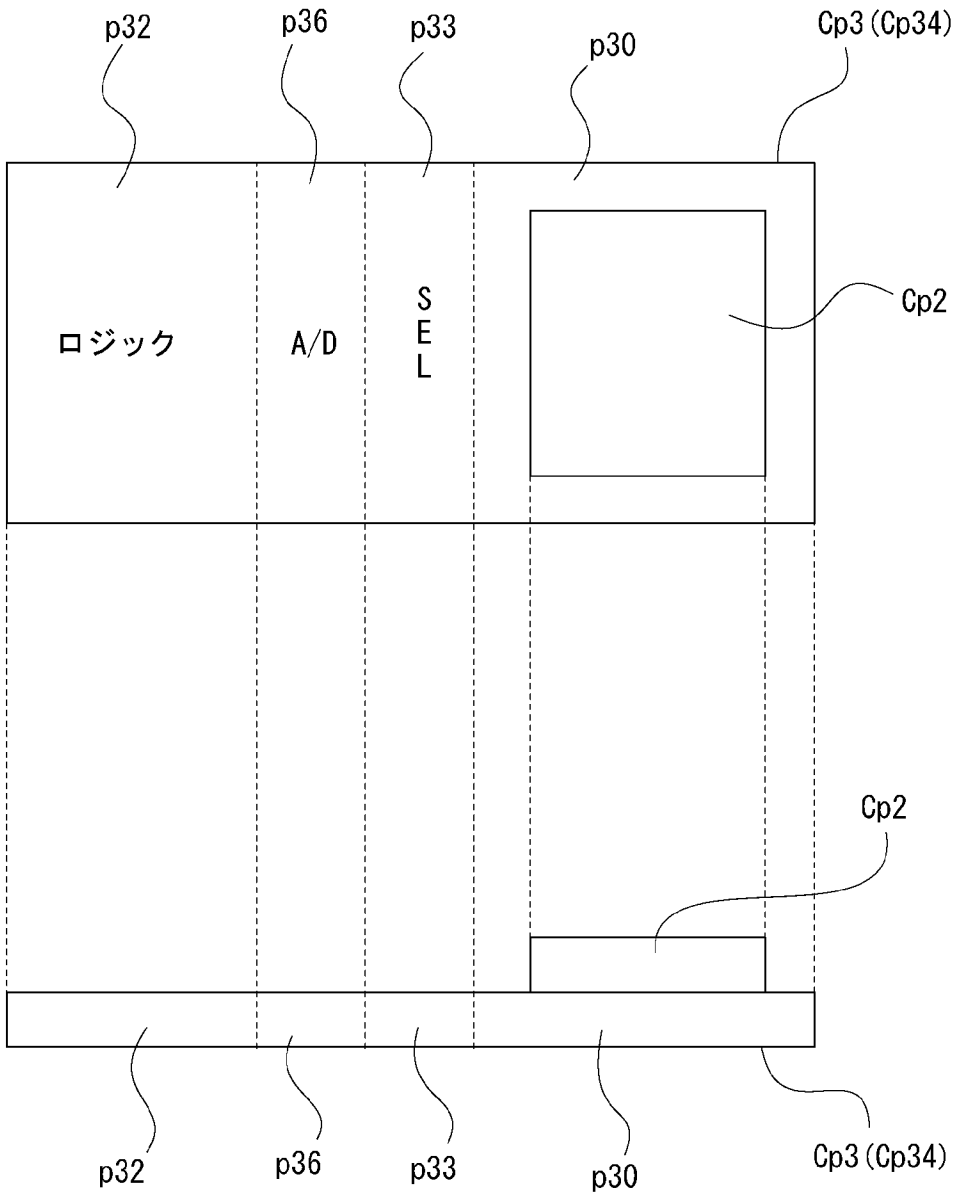
[図13]



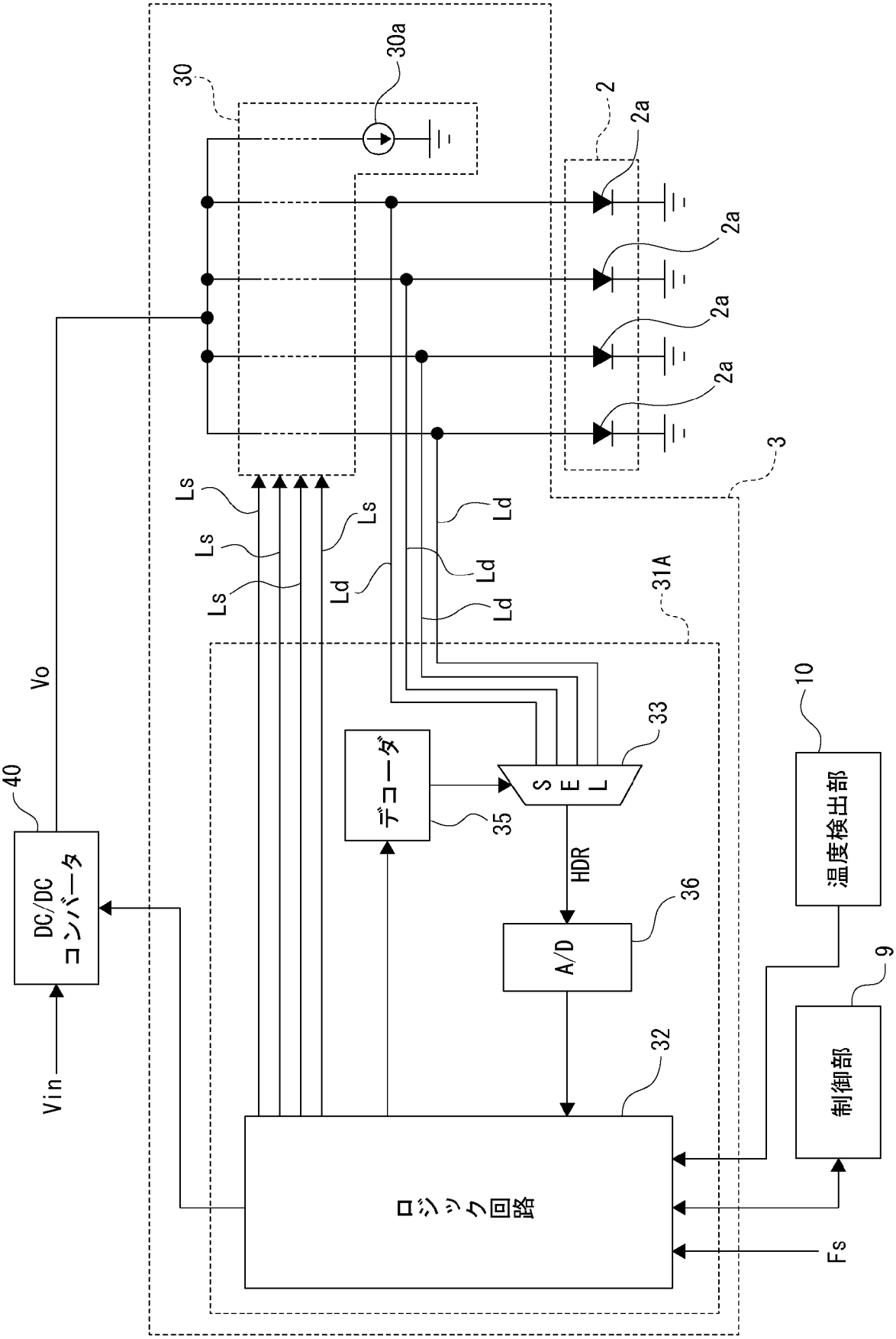
[図14]


START
カウンタ始動制御
S101
検出電圧値が所定範囲内の値か？
Y
S102
N
検出電圧値が閾値 THe 以上か？
N
S103
Y
電源制御信号を出力
S104
N
CN≧CNmax ？
S105
Y
エラーフラグを
レジスタに書き込み
S107
N
CN が更新された？
S106
Y
駆動停止制御
S108
END

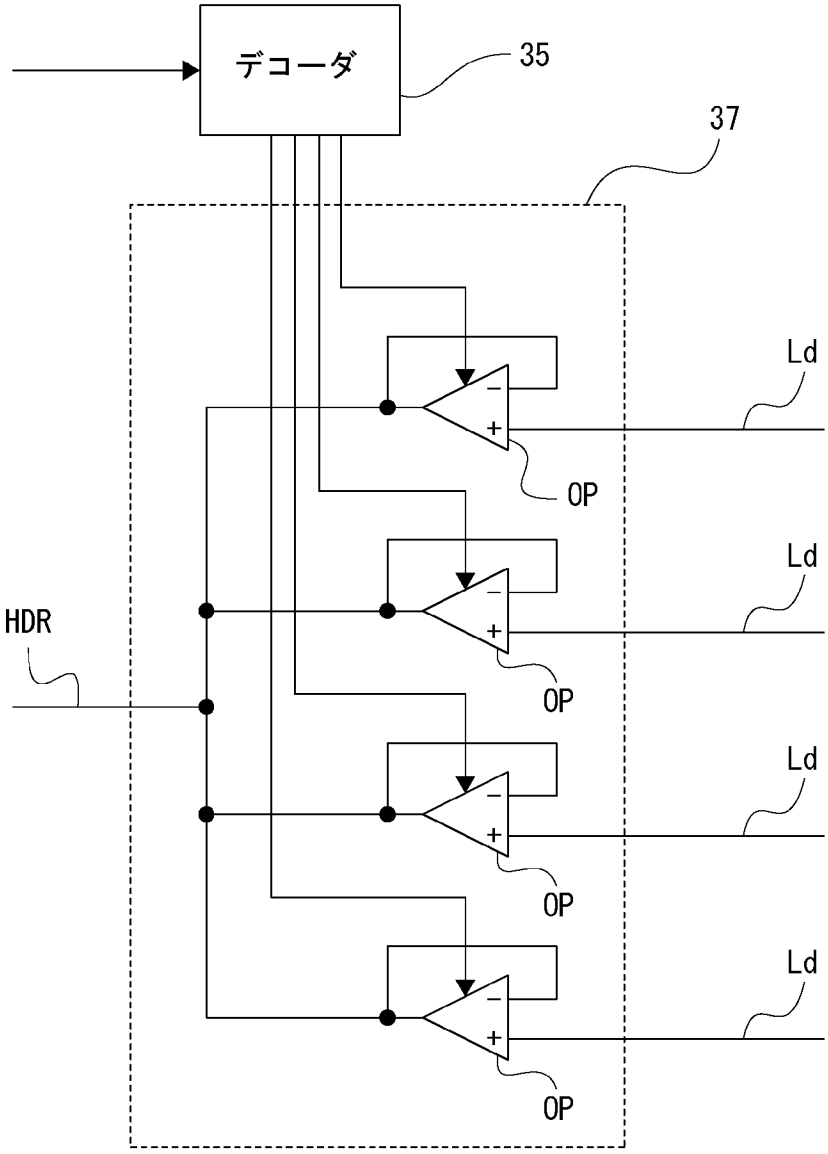
[図15]


p32
p36
p33
p30
Cp3 (Cp34)
ロジック
A/D
S
E
L
Cp2
Cp2
p32
p36
p33
p30
Cp3 (Cp34)

[図16]


30
30a
2
2a
2a
2a
2a
3
Ls
Ls
Ls
Ls
Ld
Ld
Ld
Ld
31A
Vo
40
DC/DC
コンバータ
Vin
デコーダ
35
33
S
E
L
HDR
36
A/D
32
ロジック回路
10
温度検出部
9
制御部
Fs

[図17]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/027701

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01S5/042(2006.01)i, G01B11/25(2006.01)i, G01S7/484(2006.01)i, H01S5/42(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01S5/00-5/50, H01L33/00-33/46, G01S7/48-7/51, 17/00-17/95

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-4713 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 10 January 2008, paragraphs [0001], [0004], [0013], [0022], [0024]-[0025], [0027]-[0028], [0033], [0041]-[0042], [0047], [0058], [0061], fig. 1, 3-4 (Family: none)	1-13
Y	JP 2006-147874 A (FUJITSU LTD.) 08 June 2006, paragraphs [0003], [0007], [0028], fig. 3-4, 11 (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 12 September 2019 (12.09.2019)	Date of mailing of the international search report 24 September 2019 (24.09.2019)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/027701

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2017/0115497 A1 (PRINCETON OPTRONICS, INC.) 27 April 2017, paragraphs [0051], [0133]-[0134], fig. 27 & JP 2018-534592 A & WO 2017/069954 A1 & KR 10-2018-0088647 A & CN 108604053 A	1-13
Y	US 2015/0362585 A1 (PRINCETON OPTRONICS INC.) 17 December 2015, paragraphs [0092], [0100]-[0101], fig. 8-11 & EP 2827175 A2	1-13
Y	JP 1-126828 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 18 May 1989, page 2, lower right column, lines 5-15, page 3, upper right column, line 12 to lower right column, line 3, fig. 1 (Family: none)	3
Y	JP 2006-78556 A (SEIKO EPSON CORP.) 23 March 2006, paragraphs [0071]-[0076], fig. 4-5 & US 2006/0050065 A1, paragraphs [0143]-[0148], fig. 4-5 & KR 10-2006-0050818 A & CN 1746963 A & TW 200630947 A	3
Y	JP 2014-204110 A (KOIZUMI LIGHTING TECHNOLOGY CORP.) 27 October 2014, paragraphs [0024], [0043], fig. 2 & CN 104105274 A	7-8
Y	JP 2012-204176 A (TOSHIBA LIGHTING & TECHNOLOGY CORPORATION) 22 October 2012, paragraphs [0027], [0030], fig. 1 (Family: none)	7-8
A	JP 2016-176721 A (RICOH CO., LTD.) 06 October 2016, entire text, all drawings & US 2016/0274223 A1 & EP 3070497 A1	1-13

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０２７７０１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01S5/042(2006.01)i, G01B11/25(2006.01)i, G01S7/484(2006.01)i, H01S5/42(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01S5/00-5/50, H01L33/00-33/46, G01S7/48-7/51,17/00-17/95

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2008-4713 A（松下電器産業株式会社）2008.01.10, 段落 0001, 0004, 0013, 0022, 0024-0025, 0027-0028, 0033, 0041-0042, 0047, 0058, 0061, 図 1, 3-4 （ファミリーなし）	1-13
Y	JP 2006-147874 A（富士通株式会社）2006.06.08, 段落 0003, 0007, 0028, 図 3-4, 11 （ファミリーなし）	1-12

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１２．０９．２０１９	２４．０９．２０１９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｋ　３７１５
高椋　健司
電話番号　０３－３５８１－１１０１　内線　３２５５

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	US 2017/0115497 A1 (PRINCETON OPTRONICS, INC.) 2017.04.27, 段落 0051,0133-0134,図 27 & JP 2018-534592 A & WO 2017/069954 A1 & KR 10-2018-0088647 A & CN 108604053 A	1-13
Y	US 2015/0362585 A1 (PRINCETON OPTRONICS INC.) 2015.12.17, 段落 0092,0100-0101,図 8-11 & EP 2827175 A2	1-13
Y	JP 1-126828 A (松下電器産業株式会社) 1989.05.18, 第 2 頁右下欄第 5-15 行,第 3 頁右上欄第 12 行-同頁右下欄第 3 行, 第 1 図 (ファミリーなし)	3
Y	JP 2006-78556 A (セイコーエプソン株式会社) 2006.03.23, 段落 0071-0076,図 4-5 & US 2006/0050065 A1, 段落 0143-0148,図 4-5 & KR 10-2006-0050818 A & CN 1746963 A & TW 200630947 A	3
Y	JP 2014-204110 A (コイズミ照明株式会社) 2014.10.27, 段落 0024,0043,図 2 & CN 104105274 A	7-8
Y	JP 2012-204176 A (東芝ライテック株式会社) 2012.10.22, 段落 0027,0030,図 1 (ファミリーなし)	7-8
A	JP 2016-176721 A (株式会社リコー) 2016.10.06, 全文,全図 & US 2016/0274223 A1 & EP 3070497 A1	1-13