



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I664720 B

(45)公告日：中華民國 108 (2019) 年 07 月 01 日

(21)申請案號：104102004

(22)申請日：中華民國 104 (2015) 年 01 月 21 日

(51)Int. Cl. : **H01L27/146 (2006.01)**

(30)優先權：2014/01/21	美國	61/929,842
2014/12/11	美國	14/567,777
2015/01/14	世界智慧財產權組織	PCT/JP2015/000129

(71)申請人：日商索尼半導體解決方案公司(日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)

日本

(72)發明人：井本努 IMOTO, TSUTOMU (JP)；馬淵圭司 MABUCHI, KEIJI (JP)

(74)代理人：陳長文

(56)參考文獻：

US 4728802

US 8513753B1

審查人員：修宇鋒

申請專利範圍項數：6 項 圖式數：54 共 95 頁

(54)名稱

成像器件及電子裝置

IMAGING DEVICE AND ELECTRONIC APPARATUS

(57)摘要

本發明提供一種成像器件，其包含：光伏打類型像素，其等具有取決於照射光而針對各像素產生光伏打電力之光電轉換區域；及一元件隔離區域，其經提供於鄰近像素之該等光電轉換區域之間且處於實質上包圍該光電轉換區域之一狀態。

There is provided an imaging device that includes photovoltaic type pixels that have photoelectric conversion regions generating photovoltaic power for each pixel depending on irradiation light; and an element isolation region that is provided between the photoelectric conversion regions of adjacent pixels and in a state of substantially surrounding the photoelectric conversion region.

指定代表圖：

- 符號簡單說明：
- 10 . . . 光伏打類型
像素
 - 11 . . . PN 接面二極
體
 - 12 . . . 放大器
 - 13 . . . 開關

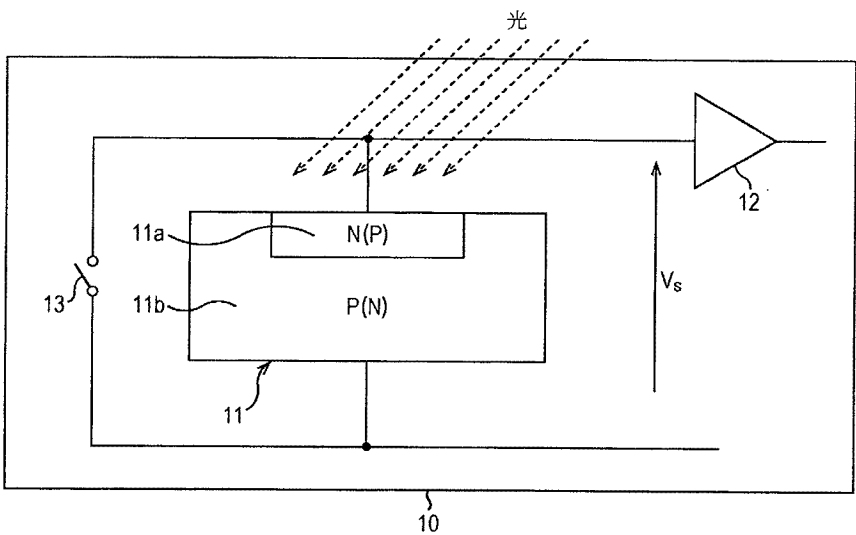


圖 6

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

成像器件及電子裝置

IMAGING DEVICE AND ELECTRONIC APPARATUS

相關申請案的交叉參考

本申請案主張2014年1月21日申請之臨時申請案第61/929842號及2014年12月11日申請之申請案第14/567777號之優先權利，該等案之全部內容以引用的方式併入本文中。

【技術領域】

本發明係關於一種成像器件及電子裝置，且明確言之係關於一種可解決諸如歸因於一PN接面二極體之串擾之一問題之成像器件及電子裝置。

【先前技術】

在相關技術中，已知一種作為一成像器件之電荷累積類型成像器件(在下文中稱為一累積類型成像器件)，具有由一數位相機表示之一成像功能之一電子裝置裝備有該成像器件。

在累積類型成像器件中，當入射過量的光且一累積電荷量超過一飽和電荷量時，一信號電荷之一過量部分流至一N型基板中而超出一溢流障壁或流至一傳送閘下方之一浮動擴散層中而超出一電位障壁。因此，由於累積類型成像器件之一動態範圍受限於一電荷累積區域之飽和電荷量，故難以實現一大動態範圍，且因此存在可能發生曝光過度或曝光不足之一問題。

因此，作為能夠解決此一問題之一固態成像器件，提出一種由光伏打類型像素組態之對數感測器(例如，參見PTL 1或PTL 2)。

圖1繪示組態PTL 1中所揭示之對數感測器之光伏打類型像素之一像素之一等效電路。

在一光伏打類型像素1中，取決於入射光2而藉由一PN接面二極體3產生與一光電流值之一對數成比例之光伏打電力，所產生之光伏打電力由一放大器4放大且變成一影像信號，且所產生之影像信號透過一開關6輸出至一垂直信號線7。此外，3藉由一開關5重設PN接面二極體。

如上文所描述，在光伏打類型像素1中，由於所產生之影像信號輸出至一後續階段而未累積，故即使在入射過量的入射光2時，像素信號仍未飽和。

此外，光伏打類型像素1可操作為一累積類型。

[引文清單]

[專利文獻]

[PTL 1]

EP1354360

[PTL 2]

US2011/0025898A1

【發明內容】

[技術問題]

然而，作為分析光伏打類型像素1之一結果，發現以下缺點。

一第一缺點係所謂的串擾。圖2係繪示圖1中所繪示之光伏打類型像素之一像素結構之一實例之一橫截面視圖且繪示串擾之一概觀。

明確言之，當取決於入射光2而產生光伏打電力時，在一順向方向上加偏壓於PN接面二極體(其係一光感測器)，且因此由於電子自一N型區域擴散至一P型基板中(如由圖2之一虛線箭頭線A所表示)，故擴散的電子可到達鄰近光感測器(PN接面二極體)。在此情況中，由於

鄰近像素亦為一光伏打類型像素，故發生串擾。此外，儘管未繪示，然即使光伏打類型像素1之鄰近像素係累積類型像素，仍類似地發生串擾。

一第二缺點在於，像素信號量隨溫度之一改變係大的。一像素信號電壓 V_{PD} 可由以下表達式(1)表示。

[數學表達式1]

$$V_{PD} = -\frac{kT}{q} \ln\left(\frac{I_{\lambda}}{I_s} + 1\right) \dots (1)$$

此處， I_{λ} 係光電流， I_s 係PN接面二極體3中之一反向飽和電流且係隨溫度之增加而以指數方式增加之一值。因此，當 I_s 隨溫度之增加而以指數方式增加時，像素信號電壓 V_{PD} 顯著地減少。

將更詳細說明該描述。圖3繪示圖1中所繪示之光伏打類型像素1在各溫度下之入射光之照度(標準化)與PN接面二極體3之一輸出電壓之間的一關係。自圖3可瞭解，當溫度減少時，即使在相同照度下，所產生的電壓仍顯著減少。

一第三缺點在於，低照度靈敏度係低的且變動抑制係困難的。如表達式(1)中所表示，為增加靈敏度，必須降低 I_s 。然而，已知 I_s 由雜質污染或晶體缺陷而增加。然而，因為採取高度的程序控制，所以抑制全部此等問題變得昂貴。

一第四缺點在於，當一光伏打類型像素1操作為累積類型時，暗電流增加。

圖4繪示光伏打類型像素1之照射時間與輸出電壓之間的一關係(PTL 2，圖2)。

其中光伏打類型像素操作為累積類型之一情況對應於圖式之一線性區域且可確認暗電流之發生。

將詳細給出描述。圖5係在將一反向偏壓施加於圖1中所繪示之

光伏打類型像素1之光感測器(PN接面二極體3)附近時之一放大視圖。當光伏打類型像素1操作為累積類型時，施加反向偏壓於光感測器，且在此情況中，由於一空乏層如圖式中所繪示般擴展且接著Si/SiO₂界面定位於該空乏層中，故暗電流歸因於界面狀態之影響而增加。

鑒於此一情境而提出本發明，且期望實現在低照度靈敏度及低照度S/N方面極佳且在實現一廣動態範圍時串擾低之一成像器件。

[問題解決方案]

根據本發明之一第一實施例之一成像器件包含：光伏打類型像素，其等具有取決於照射光而針對各像素產生光伏打電力之光電轉換區域；及一元件隔離區域，其提供於鄰近像素之光電轉換區域之間且處於實質上包圍光電轉換區域之一狀態。

元件隔離區域可由阻斷光伏打類型像素之信號電荷至鄰近像素之擴散之一材料予以組態。

本發明之第一實施例之成像器件可進一步包含一累積類型像素，其經提供而鄰近於光伏打類型像素。

一PN接面二極體可形成於光電轉換區域中而作為一光感測器。

光伏打類型像素可進一步包含一傳送閘及浮動擴散層，且可操作為一累積類型及光伏打類型像素。

本發明之第一實施例之成像器件可進一步包含一累積類型像素，其提供於鄰近於該累積類型及光伏打類型像素之一位置中。

本發明之第一實施例之成像器件可進一步包含一累積類型及光伏打類型像素，其具有光電轉換區域、一傳送閘及浮動擴散層，其中光伏打類型像素以及累積類型及光伏打類型像素可經形成而鄰近於彼此。

各像素中之光電轉換區域與一像素電路區域之間的一部分經絕緣。

根據本發明之一第二實施例之一電子裝置係裝備有一成像器件之一電子裝置，其中該成像器件包含：光伏打類型像素，其等具有取決於照射光而針對各像素產生光伏打電力之光電轉換區域；及一元件隔離區域，其提供於鄰近像素之光電轉換區域之間且處於實質上包圍光電轉換區域之一狀態。

在本發明之第一及第二實施例中，取決於入射光而藉由提供於各像素中光電轉換區域產生光伏打電力，且藉由元件隔離區域阻止由光伏打電力產生之一擴散電流到達鄰近像素，該元件隔離區域提供於鄰近像素之光電轉換區域之間且處於實質上包圍光電轉換區域之一狀態。

[發明之有利效應]

根據本發明之第一實施例，可抑制像素之間的串擾。

根據本發明之第二實施例，可獲得在低照度中具有極佳靈敏度及S/N之一影像。

【圖式簡單說明】

圖1係組態一對數感測器之一光伏打類型像素之一像素之一等效電路圖。

圖2係對應於圖1之等效電路之一像素結構之一橫截面視圖。

圖3係繪示針對相同照度在各溫度下產生之一電壓之一視圖。

圖4係繪示一光伏打類型像素之照射時間與一輸出電壓之間的一關係之一視圖。

圖5係繪示在一反向偏壓下一光感測器中產生之一空乏層之擴展之一視圖。

圖6係本發明之一第一實施例之一光伏打類型像素之一等效電路圖。

圖7係對應於圖6之光伏打類型像素之一像素結構之一俯視圖。

圖8係對應於圖6之光伏打類型像素之一像素結構之一橫截面視圖。

圖9係對應於圖6之光伏打類型像素之一像素結構之一橫截面視圖。

圖10係繪示在將圖6之光伏打類型像素應用於一表面照射類型成像器件時之一第一組態實例之一橫截面視圖。

圖11係繪示圖10之第一組態實例之一修改實例之一橫截面視圖。

圖12係繪示在將圖6之光伏打類型像素應用於一表面照射類型成像器件時之一第二組態實例之一橫截面視圖。

圖13係繪示在將圖6之光伏打類型像素應用於一表面照射類型成像器件時之一第三組態實例之一橫截面視圖。

圖14係繪示在將圖6之光伏打類型像素應用於一表面照射類型成像器件時之一第四組態實例之一橫截面視圖。

圖15係繪示在將圖6之光伏打類型像素應用於一後表面照射類型成像器件時之一第五組態實例之一橫截面視圖。

圖16係繪示圖15中所繪示之第五組態實例之一第一修改實例之一橫截面視圖。

圖17係繪示圖15中所繪示之第五組態實例之一第二修改實例之一橫截面視圖。

圖18係繪示在將圖6之光伏打類型像素應用於一後表面照射類型成像器件時之一第六組態實例之一橫截面視圖。

圖19係繪示在將圖6之光伏打類型像素應用於一後表面照射類型成像器件時之一第七組態實例之一橫截面視圖。

圖20係繪示圖19之第七組態實例之一修改實例之一橫截面視圖。

圖21係第一至第七組態實例之一等效電路圖。

圖22係繪示其中光伏打類型像素及累積類型像素連接至相同垂直信號線之一成像器件之一組態實例之一視圖。

圖23係繪示其中光伏打類型像素及累積類型像素分別連接至不同垂直信號線之一成像器件之一組態實例之一視圖。

圖24係繪示光伏打類型像素之一驅動時序之一實例之一視圖。

圖25係繪示累積類型像素之一驅動時序之一實例之一視圖。

圖26A係繪示其上安裝光伏打類型像素及累積類型像素之一成像器件之一輸出影像之一實例之一視圖。

圖26B係繪示其上安裝光伏打類型像素及累積類型像素之一成像器件之一輸出影像之一實例之一視圖。

圖26C係繪示其上安裝光伏打類型像素及累積類型像素之一成像器件之一輸出影像之一實例之一視圖。

圖27係繪示用於獲得圖26C中所繪示之一輸出影像之一驅動時序之一實例之一視圖。

圖28係繪示光伏打類型像素及累積類型像素之一配置之一實例之一視圖。

圖29係繪示對應於圖28之配置實例之一驅動時序之一視圖。

圖30A係繪示光伏打類型像素及累積類型像素之一配置之另一實例之一視圖。

圖30B係繪示光伏打類型像素及累積類型像素之一配置之另一實例之一視圖。

圖30C係繪示光伏打類型像素及累積類型像素之一配置之另一實例之一視圖。

圖30D係繪示光伏打類型像素及累積類型像素之一配置之另一實例之一視圖。

圖30E係繪示光伏打類型像素及累積類型像素之一配置之另一實

例之一視圖。

圖30F係繪示光伏打類型像素及累積類型像素之一配置之另一實例之一視圖。

圖31係本發明之一第二實施例之一累積類型及光伏打類型像素之一等效電路圖。

圖32係對應於圖31之累積類型及光伏打類型像素之一像素結構之一俯視圖。

圖33係對應於圖31之累積類型及光伏打類型像素之像素結構之一橫截面視圖。

圖34係圖31之累積類型及光伏打類型像素之一電位分佈之一視圖。

圖35係圖31之累積類型及光伏打類型像素之電位分佈之一視圖。

圖36係繪示在將圖31之累積類型及光伏打類型像素應用於一表面照射類型成像器件時之一第八組態實例之一橫截面視圖。

圖37係繪示在將圖31之累積類型及光伏打類型像素應用於一後表面照射類型成像器件時之一第九組態實例之一橫截面視圖。

圖38係繪示圖31之一放大器中可採用之一第一組態實例之一等效電路圖。

圖39係繪示圖31之一放大器中可採用之一第二組態實例之一等效電路圖。

圖40係本發明之第二實施例之累積類型及光伏打類型像素之另一等效電路圖。

圖41係在將累積類型及光伏打類型像素操作為累積類型像素時之一時序圖。

圖42係在將累積類型及光伏打類型像素操作為光伏打類型像素

時之一時序圖。

圖43係在針對一圖框內部之各列切換累積類型像素及光伏打類型像素之輸出時之一時序圖。

圖44係在針對一圖框內部之各列切換累積類型像素及光伏打類型像素之輸出時之一時序圖。

圖45係繪示在針對一圖框內部之各列切換累積類型像素及光伏打類型像素之輸出時獲得之一效應之一視圖。

圖46係用於獲得比圖43及圖44之驅動時序中更高之一圖框速率之一等效電路圖。

圖47係繪示一較高圖框速率之一時序圖。

圖48係在採用圖46之電路組態且自不同列同時輸出累積類型像素之一像素信號及光伏打類型像素之一像素信號時之一驅動時序圖。

圖49係繪示用於在一圖框內部之相同列中依行為單位來選擇累積類型像素之驅動時序及光伏打類型像素之驅動時序之一選擇電路之一組態實例之一視圖。

圖50係繪示在一圖框內部之相同列中依行為單位來選擇累積類型像素之驅動時序及光伏打類型像素之驅動時序時獲得之一效應之一視圖。

圖51A係在自一圖框內部之全部像素輸出累積類型像素信號及光伏打類型像素信號兩者時之一時序圖。

圖51B係在自一圖框內部之全部像素輸出累積類型像素信號及光伏打類型像素信號兩者時之一時序圖。

圖51C係在自一圖框內部之全部像素輸出累積類型像素信號及光伏打類型像素信號兩者時之一時序圖。

圖52係繪示在自一圖框內部之全部像素輸出累積類型像素信號及光伏打類型像素信號兩者時獲得之一效應之一視圖。

圖53係繪示一PN接面二極體11之輸出電壓特性之一視圖。

圖54係繪示光伏打類型像素之一輸出值之一校準方法之輪廓之一視圖。

【實施方式】

在下文中，參考圖式詳細描述用於實施本發明之最佳模式(在下文中稱為實施例)。

(1.第一實施例)

將參考圖式來描述根據一第一實施例之一光伏打類型像素。此外，將相同參考數字適當地給予各視圖中之共同部分。

圖6繪示根據第一實施例之一光伏打類型像素之一等效電路。一光伏打類型像素10具有一PN接面二極體11、一放大器12及一開關13。取決於入射光，PN接面二極體11產生與一光電流值之一對數成比例之光伏打電力。放大器12放大經產生光伏打電力且將因其獲得之一像素信號輸出至一後續階段。開關13藉由使PN接面二極體11短路而產生暗時之一二極體輸出電壓。

此外，在圖6之等效電路中，一N型區域中產生之光伏打電力由放大器12放大且用作一信號電壓，但可切換圖6之N型區域及一P型區域之導電類型(如括弧中顯示)，且P型區域中產生之一電壓可用作信號電壓。在以下描述中，除非另有指定，否則將其中N型區域之一電位用作信號電壓之一情況描述為一實例。

圖7繪示對應於光伏打類型像素10之一像素結構之 2×2 像素之一上表面之一配置視圖，圖6中繪示該光伏打類型像素10之等效電路。

如圖式中所繪示，光伏打類型像素10具有由一元件隔離區域35分離之一光電轉換區域21。圖6之PN接面二極體11形成於光電轉換區域21中。一像素電路區域22可提供於與光電轉換區域21或元件隔離區域35重疊之像素中之一適當區域中，且除PN接面二極體11之外，放

大器12、開關13等形成於像素電路區域22中。

圖8繪示像素結構在圖7之線VIII-VIII中之一截面且圖9繪示像素結構在圖7之線IX-IX中之一截面。如自圖8及圖9之截面可明白，藉由元件隔離區域35執行光電轉換區域21與光電轉換區域21之間的隔離。

明確言之，如圖9中所繪示，形成於光電轉換區域21中之PN接面二極體11係由一P型區域31、一N型區域32、用於與該P型區域31歐姆接觸之一電極33及用於與該N型區域32歐姆接觸之一電極34予以組態。

例如，P型區域31係諸如其中引入受體雜質之Si及Ge之IV族半導體、諸如GaAs、InP及InGaAs之III-V族半導體或選自Hg、Zn、Cd、Te等之II-VI族半導體。

例如，N型區域32係諸如其中引入施體雜質之Si及Ge之IV族半導體、諸如GaAs、InP及InGaAs之III-V族半導體或選自Hg、Zn、Cd、Te等之II-VI族半導體。

電極33及34係取決於電極33及34之各者所接觸之P型區域31或N型區域32之一材料而選擇。例如，若P型區域31及N型區域32係Si，則例如將Al、Ti/W層壓膜等選擇為電極33及34。

元件隔離區域35經提供以抑制鄰近於彼此之光電轉換區域21 (PN接面二極體11)之間的一洩漏電流。因此，元件隔離區域35經佈置以實質上包圍光電轉換區域21 (PN接面二極體11)之一周邊。

此外，佈置在P型區域31上方之元件隔離區域35a及佈置在P型區域31下方之元件隔離區域35d之至少一者具有光學透明性，以引起入射光到達PN接面二極體11。

元件隔離區域35由以下材料之一者或其等之一組合予以組態。

絕緣材料(SiO₂、SiN、BSG、PSG、SiON等)

導電半導體(例如，在PN接面二極體11係Si、n-Si及相對於P型區

域31之一反向導電類型之類似物之條件下)

金屬(P型區域31之一歐姆電極及一肖特基電極(Schottky electrode))

此外，作為元件隔離區域35之導電半導體可為與PN接面二極體11之P型區域31或N型區域32相同的材料，且係由一不同類型半導體材料予以組態且接著形成一異質接面。當為相同材料時，N型區域相對於P型區域31係反向導電類型。另外，若光電轉換區域及元件隔離區域由諸如GaAs之III-V族半導體予以組態，則將硼等以一高濃度離子植入於元件隔離區域35中，且可藉由使結晶度降級而使用一高電阻材料。

如上文所描述，由於藉由提供元件隔離區域35而防止自N型區域32擴散至P型區域31之電子或P型區域內產生之電子到達鄰近像素，故可抑制對鄰近像素之串擾。

圖10係其中將第一實施例之光伏打類型像素10應用於一表面照射類型成像器件之一情況中之一組態實例(在下文中稱為一第一組態實例)之一橫截面視圖。

在第一組態實例中， SiO_2 係用於元件隔離區域35a (其覆蓋N型區域32之一上側)，導電半導體(n-Si)係用於元件隔離區域35b，且導電半導體(n-Si)之一N型基板51用作元件隔離區域35d (其覆蓋P型區域31之一下側)。

像素電路區域22之一NMOS電晶體(Tr.) 36a經形成於P型區域31中，且一PMOS電晶體36b經形成於元件隔離區域35b中。

在第一組態實例中，N型基板51及元件隔離區域35b用作自N型區域32至P型區域31之擴散電流之一收集器，且防止擴散電流流至鄰近光電轉換區域21中，且藉此可抑制串擾。

將描述第一組態實例之一製造方法。首先，藉由一現有方法將

一低濃度之一N型磊晶生長層52層壓於N型基板51上。接著，藉由一現有方法將一N型雜質(例如，磷或砷)及一P型雜質(例如，硼)離子植入於磊晶生長層52中，執行活化退火，且使高濃度之P型區域及N型區域(未繪示)分別形成於P型區域31、N型區域32、元件隔離區域35b及電極33及34之形成區域中。

接著，熱氧化磊晶生長層52之Si表面，且接著形成元件隔離區域35a。藉由蝕刻移除P型區域31及N型區域32上的氧化物膜，將金屬嵌入於其中，且接著形成電極33及34。作為嵌入為電極33及34之金屬，(例如)可使用Al、Ti/W層壓膜等。

此後，藉由一現有方法來形成一佈線層54，且最後藉由一現有方法來形成包含一晶載透鏡(on-chip lens)之一聚光層55。

圖11繪示第一組態實例之一修改實例。即，如圖11中所繪示，將一P型區域58插入至元件隔離區域35b及元件隔離區域35b中，且諸如一NMOS電晶體36c之一元件可形成於其中。可藉由在將受體雜質引入於P型區域31中之一步驟之前及之後引入P型區域58之雜質來形成P型區域58。

(第一實施例之光伏打類型像素10的具體組態實例)

接著，圖12係其中將第一實施例之光伏打類型像素10應用於表面照射類型成像器件之一組態實例(在下文中稱為一第二組態實例)之一橫截面視圖。

第二組態實例係藉由將一磊晶生長層(磊晶層) 52、一佈線層54及一聚光層55依此順序層壓於一N型基板51上而組態。

在第二組態實例中，SiO₂用於元件隔離區域35a (其覆蓋N型區域32之上側)，SiO₂與導電半導體(n-Si)之一組合用於元件隔離區域35b，且導電半導體之N型基板51用作元件隔離區域35d (其覆蓋P型區域31之下側)。

將描述第二組態實例之一製造方法。首先，藉由一現有方法將低濃度之N型磊晶生長層52層壓於N型基板51上。接著，將一N型雜質(例如，磷或砷)及一P型雜質(例如，硼)離子植入於磊晶生長層52中，且藉由一現有方法執行活化退火，且接著使高濃度之P型區域及N型區域(未繪示)分別形成於N型區域53、P型區域31、N型區域32及電極33及34之形成區域中。

接著，藉由一現有方法使諸如一MOS電晶體36之一主動元件及諸如MOS電容器及擴散層電阻之一被動元件形成於像素電路區域22中。

隨後，蝕刻形成磊晶生長層52之元件隔離區域35b之區域，將SiO₂嵌入於其中，且形成元件隔離區域35b。為蝕刻，可使用反應性離子蝕刻、一陽極氧化方法等。此外，為嵌入SiO₂，可在熱氧化蝕刻表面之Si之後使用一ALD方法、一CVD方法或CMP技術之一組合。

接著，熱氧化磊晶生長層52之Si表面，形成元件隔離區域35a，藉由蝕刻移除P型區域31及N型區域32上之氧化物膜，將金屬嵌入於其中，且接著形成電極33及34。對於嵌入為電極33及34之金屬，例如可使用Al、Ti/W層壓膜等。

此後，藉由一現有方法形成佈線層54，且最後藉由一現有方法形成包含一晶載透鏡之聚光層55。

此外，在圖12中，未繪示P型區域31及N型區域32之各者內之雜質之分佈，但為增加靈敏度，藉由加寬形成於兩側之間的空乏層之一寬度，兩側之一邊界區域之雜質濃度減少，且接著可形成一有效p-i-n界面。在此情況中，一i層可為低濃度之一N型層或低濃度之一P型層。然而，在圖12之組態實例中，N型區域32經繪示為比P型區域31更窄，但當提供低濃度之N型層時，N型區域32經形成為比P型區域31更寬。

接著，圖13繪示第二組態實例之一修改實例(在下文中稱為一第

三組態實例)。在第三組態實例中，一元件隔離區域35b由SiO₂層300、嵌入於SiO₂層300內且藉由SiO₂層300而與一P型區域31分離之一金屬層301及一N型區域53予以組態。由於金屬層301用作相對於入射光之一反射鏡且抑制自P型區域31至鄰近像素之光洩漏，故進一步抑制串擾且亦改良靈敏度。

圖13中繪示之第三組態實例可藉由以上述第二組態實例之製造方法將作為在熱氧化蝕刻表面之Si之後所嵌入之材料之SiO₂替換為諸如W或Al之一金屬而製造。

接著，圖14係其中將第一實施例之光伏打類型像素10應用於表面照射類型成像器件之另一組態實例(在下文中稱為一第四組態實例)之一橫截面視圖。

在第四組態實例中，一光伏打類型像素61 (對應於光伏打像素10) 及一累積類型像素62佈置在跨一元件隔離區域35b而鄰近於彼此之光電轉換區域中。

此外，圖14之光伏打類型像素61與圖12中所繪示之第二組態實例相同，但可採用圖10中所繪示之第一組態實例、圖11中所繪示之修改實例或圖13中所繪示之第三組態實例。另一方面，對於累積類型像素62之部分，可應用如圖14中所繪示之現有組態。

如視圖中所繪示，光伏打類型像素61之一PN接面區域實質上由元件隔離區域35a、35b及35d予以包圍，但不一定藉由元件隔離區域35b包圍累積類型像素62之光電轉換區域100與鄰近累積類型像素62之光電轉換區域之間的一部分。

對於第四組態實例之製造方法，可將圖11中所繪示之第一組態實例之製造程序增加至現有累積類型像素62之製造方法。

接著，圖15係其中將第一實施例之光伏打類型像素10應用於一後表面照射類型成像器件之一組態實例(在下文中稱為一第五組態實

例)之一橫截面視圖。

在第五組態實例中，一光電轉換區域21及一像素電路區域22形成於相同基板(感測器基板56)上。各光電轉換區域21實質上由元件隔離區域35a、35b及35d予以包圍，且元件隔離區域35a至35d由SiO₂所形成。

將描述第五組態實例之一製造方法。首先，藉由一佈線層54將其中形成一信號處理電路及類似物之一電路基板57及其中形成像素(光伏打類型像素)之感測器基板56附接至彼此，且將感測器基板56之後表面拋光至一預先判定的厚度。接著，自後表面側蝕刻形成元件隔離區域35b之感測器基板56之一區域且嵌入SiO₂，且接著形成元件隔離區域35b。此外，SiO₂氧化物膜形成於感測器基板56之後表面上而作為元件隔離區域35d，且最後層壓一聚光層55。

此外，為拋光感測器基板56，例如可使用一現有拋光材料來應用機械拋光與一CMP方法之一組合。為蝕刻感測器基板56，例如可應用一反應性離子蝕刻方法。為嵌入SiO₂，可應用一化學氣相沈積方法。此外，類似於圖13中所繪示之第三組態實例，可嵌入SiO₂及金屬而非嵌入SiO₂。

在圖15中所繪示之第五組態實例中，作為圖16中所繪示之一第一修改實例，元件隔離區域35d係由SiO₂層400及層壓於其上之HfO薄膜401予以組態，且SiO₂層400與一P型區域31之界面附近之電洞濃度可增加。此外，作為圖17中所繪示之一第二修改實例，將受體雜質引入至SiO₂層400附近之P型區域31中，且可形成電洞濃度比P型區域31之電洞濃度更高之一P型區域402。

接著，圖18係其中將第一實施例之光伏打類型像素10應用於後表面照射類型成像器件之一情況之另一組態實例(在下文中稱為一第六組態實例)之一橫截面視圖。

在第六組態實例中，一光電轉換區域21及一像素電路區域(MOS電晶體36及類似物)形成於其他基板上(一感測器基板56及一電路基板57)。各光電轉換區域21實質上由元件隔離區域35a、35b及35d予以包圍，且元件隔離區域35a、35b及35d由SiO₂所形成。

產生一光伏打電力之一N型區域32藉由一電極34及一佈線200連接至電路基板57之一MOS電晶體36a之閘極。

對於第六組態實例之一製造方法，可使用圖15中所繪示之第五組態實例之製造方法。

此外，在第六組態實例中，繪示其中感測器基板56及電路基板57藉由佈線層54附接至彼此之一情況，但感測器基板56上之電極及電路基板57上之電極可藉由使用安裝技術而凸塊連接至彼此，且可採用一所謂的混合式感測器之一組態。

接著，圖19係其中將第一實施例之光伏打類型像素10應用於後表面照射類型成像器件之另一組態實例(在下文中稱為一第七組態實例)之一橫截面視圖。在第七組態實例中，一光伏打類型像素61 (對應於光伏打像素10)及一累積類型像素62佈置在鄰近光電轉換區域中。

此外，第七組態實例中之光伏打類型像素61與圖15中所繪示之第五組態實例相同，但可採用圖18中所繪示之第六組態實例。另一方面，對於累積類型像素62之部分，可應用如圖19中所繪示之現有組態。

圖20係其中將第一實施例之光伏打類型像素10應用於後表面照射類型成像器件之另一組態實例(在下文中稱為一第八組態實例)之一橫截面視圖。在第八組態實例中，類似於第七組態實例，一光伏打類型像素61 (對應於光伏打像素10)及一累積類型像素62佈置在鄰近光電轉換區域中。此外，類似於第六組態實例，一光電轉換區域21及一像素電路區域(MOS電晶體36及類似物)形成於其他基板(一感測器基板

56及一電路基板57)上，且產生光伏打電力之一N型區域32及累積類型像素62之一FD藉由一電極34及一佈線200分別連接至一電路基板57之一MOS電晶體36a之一閘極。

上述第一實施例之光伏打類型像素10之各組態實例可由一已知電路(例如，PTL 1之圖1之一電路、PTL 2之圖3a及圖3b之電路等)予以組態。當然，如圖21中所繪示，一PN接面二極體之一P型區域中產生之一正電位取為一信號且可變形以施加至組態一放大器12之一空乏類型MOSFET之一閘極。

圖22繪示其中一光伏打類型像素61及一累積類型像素62連接至相同垂直信號線之一成像器件之一組態實例。在該組態實例中，可藉由將光伏打類型像素61及累積類型像素62佈置在相同成像器件中而不增加垂直信號線之數目且不犧牲表面照射類型之孔徑比而混合光伏打類型像素61及累積類型像素62。

圖23繪示其中一光伏打類型像素61及一累積類型像素62分別連接至其他垂直信號線之一成像器件之一組態實例。在該組態中，由於光伏打類型像素61及累積類型像素62之像素信號可同時輸出至一行信號處理區段，故可獲得一較高圖框速率。此外，由於一行信號處理電路可取決於各輸出電壓範圍而最佳設計，故可降低相對於各像素信號之電路雜訊且獲得良好影像品質。

接著，圖24繪示光伏打類型像素61之一驅動時序之一實例。

當一曝光時期開始時，一重設73在該曝光時期中關閉。因此，PN接面二極體11斷開，一經產生光電流由PN接面二極體11之一順向電流抵消，且產生一順向電壓使得一淨DC電流為零。

當一曝光時期結束時，一讀取列SEL 75之一控制信號開啟且由放大器12放大之一PN接面二極體11之一順向電壓VSG 1輸出至垂直信號線。輸出之像素輸出經AD轉換且變成一VSG 1之一數位輸出值。

接著，一重設73開啟且一輸出電壓(暗時之電壓) VDK 2在PN接面二極體11短路時輸出至垂直信號線。所輸出之像素輸出經AD轉換且變成VDK 2之一數位輸出值。藉由減去VSG 1及VDK 2之數位輸出值獲得之一值係像素之一數位輸出值。

此外，作為暗時之電壓，可讀取曝光時期之前之輸出電壓VDK 1。可藉由在曝光時期之前讀取VDK 1或在曝光時期之後讀取VDK 2而在光伏打類型像素61中執行步驟1及步驟2之兩個讀取方法。在以下描述中，採用步驟2 (其中在曝光時期之後循序讀取信號電壓VSG 1及暗時之電壓VDK 2之步驟)。

在與光伏打類型像素61一起佈置在相同成像器件上之累積類型像素62之驅動時序中，可採用如圖25中所繪示之相關技術中已知之累積類型像素之驅動時序。

接著，圖26A至圖26C繪示來自其上安裝光伏打類型像素61及累積類型像素62之成像器件之三種類型的輸出影像之實例。

在圖26A中，在其中在複數個圖框(此處，僅各自繪示在輸出影像自一線性影像切換至一對數影像之前及之後之三個圖框)內僅讀取光伏打類型像素61及累積類型像素62之一者之一情況中，按時間序列配置一輸出影像。可藉由針對複數個圖框切換圖24及圖25之驅動時序而獲得此一影像輸出順序。此外，此處由光伏打類型像素輸出組態之一影像稱為對數影像，且由累積類型像素輸出組態之一影像稱為線性影像。

在圖26B中，在其中交替讀取光伏打類型像素61及累積類型像素62且針對一圖框合成及輸出對數影像及線性影像之一情況中，按時間序列配置一讀取像素及一輸出影像。可藉由針對一圖框切換圖24及圖25之驅動時序且藉由一已知方法合成對數影像及線性影像而獲得此一影像輸出順序。可藉由使用影像中之一低照度部分中之累積類型像素

之信號而獲得良好低照度靈敏度及S/N，且可藉由使用超過累積像素之一動態範圍之一高照度部分中之對數類型像素之信號而獲得具有一較高照度之一色調及色彩再現。

在圖26C中，在其中讀取光伏打類型像素61及累積類型像素62兩者且針對一圖框合成及輸出對數影像及線性影像之一情況中，按時間序列配置一讀取像素及一輸出影像。在此情況中，由於光伏打類型像素61及累積類型像素62之曝光時間重疊且線性影像及對數影像之成像時序彼此接近，故可抑制由一合成影像中之成像時間差引起之假影之產生。此外，可以比圖26B之一情況的一圖框速率更高的一圖框速率輸出合成影像。

圖27繪示用於獲得圖26C中所繪示之輸出影像之一圖框時期中之光伏打類型像素61及累積類型像素62之一驅動時序之一實例。

在累積類型像素62中，在時期A中，一快門列SEL 75、一RST 74及一TG 71開啟，且電荷累積區域(PD)及一浮動擴散層(FD)之電荷經掃描使得一電子快門關閉。在下一時期B中，信號電荷累積於PD中。此外，在一時期C中，一讀取列SEL 75及RST 74開啟且FD內部之電荷再次經掃描，且在一時期E中，讀取暗時之一電壓(P相電壓) VDK。此外，在一時期G中，TG 71開啟且將累積於PD中之電荷傳送至FD，FD中產生信號電壓，且在一時期I中，讀取由放大器12放大之一信號電壓VSG。

同時，在形成於與累積類型像素62相同的列中之光伏打類型像素61中，曝光自先前圖框之一時期K開始且PN接面二極體11中產生光伏打電力。接著，在時期C中，讀取列SEL 75開啟且由放大器12放大PN接面二極體11中產生之光伏打電力，且接著輸出至垂直信號線，且讀取為信號電壓VSG 1。實質上，在時期G、H、I及J中，RST 73開啟，PN接面二極體11短路，且在一時期I中，讀取暗時之電壓VDK 2。

接著，圖28繪示成像器件中之 2×2 像素之光伏打類型像素61及累積類型像素62之一配置之一實例。此外，在圖28中，R (紅色)、G (綠色)及B (藍色)分別繪示覆蓋各像素之一彩色濾光片之一色彩，Log繪示光伏打類型像素61，且Lin繪示累積類型像素62。

圖29繪示圖28之一第 $(2n-1)$ 行及一第 $(2m-1)$ 列之累積類型像素62及一第 $(2n-1)$ 行及一第 $2m$ 列之光伏打類型像素61之驅動時序。

在第 $(2n-1)$ 行中，針對一列讀取時期(水平同步時期及1H時期)交替地讀取光伏打類型像素61及累積類型像素62。同時，在鄰近一第 $2n$ 列(未繪示)中，在全部讀取時期中，讀取累積類型像素62。即，可在一圖框內同時讀取光伏打類型像素61及累積類型像素62。

由於在共同曝光時期B結束時同時讀取光伏打類型像素61及累積類型像素62，故相同列之光伏打類型像素61與累積類型像素62之間未出現一曝光時序差。因此，對數影像與線性影像之間未出現影像偏移。因此，當合成兩者時，抑制歸因於影像偏移之假影之出現，且可獲得良好影像品質之一合成影像。

圖30A至圖30F繪示成像器件中之光伏打類型像素61及累積類型像素62之配置之另一實例。此外，在圖30A至圖30F中，R、G、B及W (無色或補色)分別繪示覆蓋各像素之彩色濾光片之色彩，Log繪示光伏打類型像素61，且Lin繪示累積類型像素62。

圖30A係其中在組態一拜耳陣列(Bayer array)之四個像素中一像素係G之光伏打類型像素61且另外三個像素係累積類型像素62之一配置實例。

圖30B係其中圖30A中所繪示之配置中之G之光伏打類型像素61由W之光伏打類型像素61取代之一配置實例。

圖30C係其中在組態拜耳陣列之四個像素中一像素係G之累積類型像素62且另外三個像素係光伏打類型像素61之一配置實例。

圖30D係其中圖30C中所繪示之配置中之G之累積類型像素62由W之累積類型像素62取代之一配置實例。

圖30E係其中組態拜耳陣列之全部四個像素皆為光伏打類型像素61之一配置實例。

圖30F係其中圖30E中所繪示之配置中之G之兩個光伏打類型像素61之一像素由W之光伏打類型像素61取代之一配置實例。

作為圖30A及圖30C中繪示之配置實例，可用未飽和之累積類型像素62之輸出值來校準光伏打類型像素61之像素輸出值，且可藉由緊密地佈置相同色彩之累積類型像素62及光伏打類型像素61來補償光伏打類型像素61之溫度特性變動或各像素之特性變動。因此，在線性影像及對數影像之合成影像中，可獲得一平滑色調或邊界漸變的線性影像及對數影像。

此外，例如，在圖30B中所繪示之配置實例中，即使R、G及B之三個累積類型像素62之一者之輸出飽和，仍可藉由使用未飽和之剩餘累積類型像素62之輸出及光伏打類型像素61之輸出而獲得一特定程度之色彩再現性及色調。

作為圖30B、圖30D及圖30F中所繪示之配置實例，可藉由提供W之像素而增加光伏打類型像素61或累積類型像素62之靈敏度，且獲得呈一較低照度之對數影像及具有良好S/N之線性影像。

(2.第二實施例)

接著，將描述一第二實施例之亦可操作為一累積類型像素之一光伏打類型像素(在下文中稱為一累積類型及光伏打類型像素)。

圖31繪示根據第二實施例之累積類型及光伏打類型像素之一等效電路。一累積類型及光伏打類型像素70由一PN接面二極體11、一放大器12、一TG 71、一FD 72、一RST 73、一RST 74及一Sel 75予以組態。

PN接面二極體11由一P型區域31及一N型區域(電荷累積區域) 32予以組態(皆在圖19中)，且取決於入射光而執行光電轉換，且累積因其產生之信號電壓或產生光伏打電力。

TG 71將經產生信號電荷傳送至FD 72。此外，TG 71藉由用形成於TG 71下方之一通道使FD 72中之N型區域32短路而將經產生光伏打電力傳送至FD 72。

FD 72係N型區域且將信號電荷轉換為信號電壓。RST 73將FD 72重設至一GND電位。RST 74將FD 72重設至一VDD電位。放大器12放大FD 72之電位。Sel 75將放大器12之一輸出信號傳送至一垂直信號線VSL。

圖32繪示對應於累積類型及光伏打類型像素70之一像素結構之2×2像素之一上表面之一配置視圖，圖31中繪示該累積類型及光伏打類型像素70之等效電路。如圖式中所繪示，累積類型及光伏打類型像素70具有實質上由一元件隔離區域35隔離之一光電轉換區域21。圖31之PN接面二極體11、TG 71及FD 72形成於光電轉換區域21中。放大器12、RST 73、RST 74、Sel 75等形成於提供於與光電轉換區域21或元件隔離區域35重疊之一適當區域中之像素電路區域22中。

圖33繪示像素結構在圖32之線XXXIII-XXXIII中之一截面。如圖式中所繪示，藉由元件隔離區域35執行光電轉換區域21與光電轉換區域21之間的隔離。

如藉由比較圖32與第一實施例之光伏打類型像素10之橫截面視圖(圖8及圖9)可明白，累積類型及光伏打類型像素70與光伏打類型像素10在結構上不同之處在於，FD 72提供於其由元件隔離區域35a、35b、35c及35d包圍之內部，電極(歐姆電極) 34連接至FD 72，且TG 71經提供以控制FD 72與N型區域(電荷累積區域) 32之間的電位障壁。

接著，圖34及圖35係累積類型及光伏打類型像素70之電位分佈視圖，圖34對應於圖33之線A且圖35對應於圖33之線B。此外，在圖34及圖35中，繪示其中元件隔離區域35a係SiO₂且35b及35d係N型區域之一情況。如圖式中所繪示，較佳地，累積類型及光伏打類型像素70之N型區域(電荷累積區域)32之周邊之電位障壁之一高度實質上在全部方向上均勻，且分佈至一P型中性區域之電位之一高度。

歸因於此電位分佈，可將圖31中所繪示之累積類型及光伏打類型像素70操作為累積類型像素或光伏打類型像素。

(第二實施例之累積類型及光伏打類型像素70之具體組態實例)

圖36係在將第二實施例之累積類型及光伏打類型像素70應用於表面照射類型成像器件時之一組態實例(在下文中稱為一第八組態實例)之一橫截面視圖。

此外，第八組態實例之元件隔離區域35a至35d使用與圖12中繪示之第二組態實例之元件隔離區域35a至35d相同的材料，但可為與圖11中所繪示之第一組態實例或圖13中所繪示之第三組態實例之元件隔離區域35a至35d相同的組態。

將描述第八組態實例之一製造方法。可藉由稍微修改如下文描述之相關技術之表面照射類型及累積類型像素(例如，圖14中所繪示之第四組態實例中之累積類型像素62)之製造方法且藉由增加元件隔離區域35a至35d之一形成程序來製造第八組態實例。

將受體雜質引入至形成相關技術之累積類型像素中之溢流障壁之一區域(N型基板51與P型區域31中之N型區域32之間的一區域)中以形成P型中性區域。因此，當將第八組態實例操作為光伏打類型像素時，可產生與第一實施例之光伏打類型像素相同的光伏打電力。

將受體雜質引入至產生負固定電荷之P型區域31或一膜(其嵌入於元件隔離區域35b之SiO₂內部)中，使得將P型區域31與元件隔離區域

35b之界面附近之一電洞濃度設定為具有一預先判定的濃度或更高。作為產生負固定電荷之膜，例如可使用氧化鉛膜，且作為一膜沈積方法，可使用一化學氣相沈積方法、一濺鍍方法、一原子層沈積方法等。因此，當將第八組態實例操作為累積類型像素時，可使暗電流降低至與相關技術之累積類型像素相同地位準。

接著，圖37係在將第二實施例之累積類型及光伏打類型像素70應用於後表面照射類型成像器件時之一組態實例(在下文中稱為一第九組態實例)之一橫截面視圖。

此外，第九組態實例之元件隔離區域35a至35d使用與圖15中所繪示之第五組態實例之元件隔離區域35a至35d相同的材料，但可為與圖16或圖17中所繪示之第一或第二修改實例相同的組態。此外，元件隔離區域35a至35d可為與圖18中所繪示之第六組態實例或圖19中所繪示之第七組態實例相同的組態。另外，類似於圖13中所繪示之第三組態實例，元件隔離區域35b亦可以SiO₂或金屬組態。

將描述第九組態實例之一製造方法。可藉由稍微修改如下文描述之相關技術之後表面照射類型及累積類型像素之製造方法且藉由增加元件隔離區域35a至35d之一形成程序來製造第九組態實例。即，將一受體雜質引入至產生負固定電荷之P型區域31或一膜(其嵌入於元件隔離區域35b之SiO₂內部)中，使得將P型區域31與元件隔離區域35b之界面附近的電洞濃度設定為具有一預先判定的濃度或更高。作為產生負固定電荷之膜，(例如)可使用氧化鉛膜，且作為一膜沈積方法，可使用一化學氣相沈積方法、一濺鍍方法、一原子層沈積方法等。因此，當將第九組態實例操作為累積類型像素時，可將暗電流降低至與相關技術之累積類型像素相同的位準。

(累積類型及光伏打類型像素70之等效電路之放大器12的組態實例)

接著，圖38繪示能夠採用圖31中繪示之累積類型及光伏打類型像素70之等效電路中之放大器12之一第一組態實例。

第一組態實例係在將放大器12組態為使用一空乏型MOSFET之一源極隨耦器類型放大器時之累積類型及光伏打類型像素70之一組態實例。當將相同像素操作為光伏打類型像素時，除藉由使用空乏型MOSFET操作為累積類型像素時之正信號電壓之外，亦可放大一負信號電壓。

圖39繪示能夠採用圖31中所繪示之累積類型及光伏打類型像素70之等效電路中之放大器12之一第二組態實例。第二組態實例係在其中操作為圖38之一源極隨耦器類型放大器之一恆定電流源之一充電MOSFET (未繪示)佈置在垂直信號線上之一情況中累積類型及光伏打類型像素70之一組態實例。藉由將充電MOSFET佈置在像素外部，可獲得等效於相關技術之累積類型像素之一孔徑比或一飽和電荷量。

圖40繪示可用圖31之等效電路取代之累積類型及光伏打類型像素70之一等效電路。在其中圖31之重設73及一重設74開啟之一時期中，等效電路之一重設73開啟。此外，在圖40之等效電路中，在其中圖31之等效電路中之重設73開啟之一時期中，將一GND電位施加至一VRESET，且在其中重設74開啟之一時期中，將一VDD電位施加至VRESET。因此，可藉由將一信號施加至重設73而不管是否以光伏打類型或累積類型操作累積類型及光伏打類型像素70來簡單判定一FD之一重設時期。取決於累積類型及光伏打類型像素70是操作為光伏打類型還是累積類型，可藉由將一電壓施加至VRESET而判定是將FD電位設定為VDD還是GND之電位。

接著，圖41繪示在將累積類型及光伏打類型像素70操作為累積類型像素時之一驅動時序之一實例。

驅動時序與圖25中所繪示之相關技術之累積類型像素之驅動時

序相同，惟重設73通常固定至GND除外。即，在重設73通常固定至GND之條件下，累積類型及光伏打類型像素70可經驅動而類似於相關技術之累積類型像素。

圖42繪示在將累積類型及光伏打類型像素70操作為光伏打類型像素時之一驅動時序之一實例。

驅動時序與圖24中所繪示之光伏打類型像素61之驅動時序相同，惟重設74通常固定至GND除外。即，在重設74通常固定至GND之條件下，累積類型及光伏打類型像素70可經驅動而類似於光伏打類型像素61。

因此，在針對各圖框適當地選擇圖41中繪示之驅動時序及圖42中繪示之驅動時序之條件下，可實現圖26A或圖26B中所繪示之影像輸出序列。

然而，在累積類型及光伏打類型像素70中，由於全部像素皆可由對數影像及線性影像予以組態，故可獲得在任何影像中之解析度高於應用第一實施例之成像器件之影像。

此外，若利用其中全部像素皆操作為累積類型及光伏打類型兩者之特性，則可在一圖框內依列為單位來切換累積類型及光伏打類型之像素輸出。

圖43及圖44繪示每當針對一圖框內之各列切換累積類型及光伏打類型之像素輸出時切換之一驅動時序之一實例。即，採用其中針對一第一至第(i-1)列將累積類型及光伏打類型像素70操作為圖41中所繪示之累積類型像素之驅動時序，且採用其中針對一第i至第V列將累積類型及光伏打類型像素70操作為圖42中所繪示之光伏打類型像素之驅動時序。

藉由如圖43及圖44中所繪示般驅動累積類型及光伏打類型像素70，可獲得圖45中所繪示之效應。圖45繪示當高照度之一目標突然出

現在線性影像之視訊記錄期間之一場景中時獲得之效應。

在其中出現高照度之目標之一區域中，累積類型像素之一部分之一輸出飽和。在此情況中，在成像器件中，藉由一控制電路(未繪示)偵測到其中累積類型輸出飽和之像素，且一特定列之像素之驅動時序在下一圖框中選擇性地自累積類型改變至光伏打類型。因此，在下一圖框中，藉由用光伏打類型驅動之像素成像其中捕獲高照度之目標之列，而藉由累積類型時序成像其中未捕獲高照度之目標之列。在低照度之區域中，S/N係良好的，且即使在高照度之目標中，仍可藉由如上述般合成所成像之對數影像及線性影像而獲得具有良好色調及色彩再現性之高解析度之一合成影像。

接著，圖46繪示用於獲得圖43及圖44中所繪示之驅動時序之一較高圖框速率之一像素之一等效電路之一實例。

如圖式中所繪示，各像素連接至兩個垂直信號線VSL 1及VSL 2，且可藉由選擇電晶體75及75a來選擇是以垂直信號線VSL 1還是垂直信號線VSL 2執行像素輸出。兩個垂直信號線VSL 1及VSL 2連接至彼此獨立之行信號處理區段1及2，且行信號處理區段1及2可同時地且與來自垂直信號線VSL 1及VSL 2之像素輸出並行地執行諸如AD轉換之行信號處理。

在其中將累積類型及光伏打類型像素70操作為累積類型之列中及在其中將累積類型及光伏打類型像素70操作為光伏打類型之列中，可藉由採用圖46中所繪示之電路組態來使用兩個垂直信號線VSL 1及VSL 2。在此情況中，在其中將累積類型及光伏打類型像素70驅動為累積類型之列中及在其中將累積類型及光伏打類型像素70驅動為光伏打類型之列中，可同時輸出像素信號。因此，作為圖47中所繪示之時序圖，由於可在光伏打類型之讀取(圖式中之時期A)結束之前開始累積類型之讀取，故可增加圖框速率。

接著，圖48繪示在採用圖46中所繪示之電路組態且自不同列同時輸出累積類型之像素信號及光伏打類型之像素信號時之一驅動時序之一實例。

在圖式中，同時讀取累積類型之一P相電壓及光伏打類型之一信號電壓，且同時讀取累積類型之一D相電壓及光伏打類型之暗時之一電壓。由於可如上述般藉由同步化而同時AD轉換一特定列之累積類型像素信號及另一列之光伏打類型像素信號，故可獲得一較高圖框速率。此外，在光伏打類型驅動之一曝光時期中，TG 71之一電壓可設定為低於VDD之電位(圖式中之L及M)。因此，可降低一PN接面二極體11之一有效接面電容且使PN接面二極體11中產生之光伏打電力在一較短時間內穩定。

接著，圖49繪示用於依行為單位來選擇一圖框內之相同列中之累積類型之驅動時序及光伏打類型之驅動時序之一選擇電路之一實例。

此外，在圖式中，TG 71表示光伏打類型時序之一傳送閘信號。一TG 71a表示累積類型時序之一傳送閘信號。重設73及74表示光伏打類型時序之重設信號。重設73a及74a表示累積類型時序之重設信號。一ROWSEL 76係在一列選擇時期期間開啟之一信號。

一模式選擇線500係傳輸光伏打類型及累積類型之時序選擇信號(針對0 V選擇累積類型且針對VDD選擇光伏打類型)之一信號線，且係針對各像素行或一預先判定的行間距提供。一信號選擇電路501經提供以藉由模式選擇線之信號電壓來選擇傳輸至傳送閘71及重設閘73及74之信號。一傳輸鎖存電路具有終端D、E及Q，且當ROWSEL 76開啟時，終端D之輸入電壓輸出至終端Q，且接著當ROWSEL 76關閉時，終端Q之電壓在關閉時保持直至下一次開啟。

在圖式中所繪示之選擇電路中，當讀取列之ROWSEL 76開啟

時，取決於模式選擇線500之信號電壓而藉由一MOS開關選擇累積類型或光伏打類型之驅動信號，且透過傳輸鎖存電路將該驅動信號傳輸至傳送閘71及重設閘73及74。即，是將一特定像素驅動為累積類型還是驅動為光伏打類型係藉由模式選擇線500之信號電壓予以決定。因此，可視情況藉由針對各行改變模式選擇信號500之信號電壓來針對各行選擇一選定列之各像素之驅動時序。

當ROWSEL 76關閉時，由於傳輸鎖存電路之輸出電壓被保持，故累積類型或光伏打類型之信號電壓被保持，直至下一次選擇該列。因此，儘管一圖框時期，仍以累積類型或光伏打類型之時序之一者驅動各像素。

此外，可針對各像素或例如可針對拜耳陣列之各重複時期提供圖49中繪示之選擇電路。另外，可針對各較大區域提供選擇電路。在任一情況中，較佳地，像素結構係後表面照射類型且選擇電路佈置在一電路基板57上使得選擇電路不限制像素之孔徑比或累積電荷量。

藉由提供圖49之選擇電路可獲得圖50中所繪示之效應。圖50繪示當高照度之目標突然出現在線性影像之視訊記錄期間之場景中時獲得之效應。

在其中捕獲高照度之目標之一區域中，累積類型像素之一部分之一輸出飽和。在成像器件中，藉由一控制電路(未繪示)偵測到其中輸出飽和之像素，且其中輸出飽和之像素之一區域之驅動時序在下一圖框中選擇性地改變至光伏打類型。在下一圖框中，由於光伏打類型之選擇信號輸出至其中捕獲高照度之目標之區域之模式選擇線500，故以光伏打類型之驅動時序成像高照度之目標且以累積類型之驅動時序成像另一區域。

在除其中捕獲高照度之目標之區域外之一區域中，S/N係良好的，且即使在高照度之目標中，仍可藉由如上述般合成及輸出所成像

之對數影像及線性影像而獲得具有良好色調或色彩再現性之高解析度之一合成影像。

接著，圖51A至圖51C繪示在自一圖框內之全部像素輸出累積類型像素信號及光伏打類型像素信號兩者時之驅動時序之一實例。

如圖式中所繪示，緊接在以圖48中所繪示之光伏打類型之驅動時序輸出光伏打類型像素信號之後，以圖48中所繪示之累積類型時序驅動各像素，且接著輸出累積類型像素信號。因此，可藉由組態一圖框之全部像素獲得對數影像及線性影像兩者。

此外，在圖51A至圖51C之情況中，由於光伏打類型及累積類型之曝光時期係連續的，故兩者之曝光時序之偏移係小的。因此，由於對數影像及線性影像之影像偏移降低，故抑制兩者之合成影像中之假影產生。

此外，藉由使用圖51A至圖51C之驅動時序，可獲得圖52中所繪示之效應。圖52繪示當高照度之目標突然出現在線性影像之視訊記錄期間之場景中時獲得之效應。

在其中捕獲高照度之目標之一區域中，累積類型之一部分之一輸出飽和。然而，由於一圖框內之全部像素皆輸出光伏打類型及累積類型兩者之像素信號，故藉由參考其中一累積類型輸出藉由將該輸出儲存至一線緩衝器或一圖框緩衝器而飽和之像素中之光伏打類型輸出，可合成對數影像及線性影像。因此，如圖52中所繪示，在除其中自其中出現高照度之目標之第一圖框捕獲高照度之目標之區域外之一區域中，S/N係良好的，且即使在高照度之目標中，仍可獲得具有良好色調或色彩再現性之高解析度之一合成影像。

此外，可以圖51A中所繪示之驅動時序操作圖46中所繪示之電路組態，且在此情況中，可同時輸出分別來自不同列之光伏打類型像素信號及累積類型像素信號，以在圖51C之一時期a中執行。因此，可增

加圖51A至圖51C之驅動時序之圖框速率。

[FD 37之輸出電壓特性]

接著，圖53繪示對應於圖36中所繪示之第八組態實例中其中TG 71開啟之一狀態中之照射光之FD 72之輸出電壓之模擬結果。如圖式中所繪示，可瞭解，FD 72之輸出電壓相對於照度以對數方式增加。即，可瞭解，第八組態實例亦操作為光伏打類型像素。

[光伏打類型像素之輸出值之校準]

圖54繪示藉由使用相同像素或鄰近像素之累積類型像素之輸出值的光伏打類型像素之一輸出值之一校準方法之一輪廓。

此外，在圖式中， I_s 及 V_s 表示在以累積類型時序驅動像素且累積電荷量飽和時之一曝光量及一像素輸出值。一曲線圖G1示意性地表示在以累積類型時序驅動任一像素時累積類型之輸出值與曝光量之間的一關係，或在假定以累積類型時序驅動像素之條件下像素輸出值與預期曝光量之間的一關係。一曲線圖G2示意性地表示當在校準之前以光伏打類型時序驅動曲線圖G1之像素時光伏打類型之輸出值與曝光量之間的一關係。一曲線圖G3示意性地表示藉由將曲線圖G2之像素輸出值自一對數值轉換為一線性值而獲得之像素輸出值與曝光量之間的一關係。一曲線圖G4示意性地表示在使用曲線圖G3與曲線圖G1之一比較結果來校準曲線圖G2之光伏打類型之輸出值之後光伏打類型之輸出值與曝光量之間的一關係。

此處，「任一像素之累積類型之輸出值(或，其預期值)」指示組態一成像器件之相同色彩之複數個像素之累積類型輸出之一平均值(或，其預期值)，或一個別像素之累積類型之一輸出值(或，其預期值)。類似地，「任一像素之光伏打類型之輸出值」指示組態一成像器件之相同色彩之複數個像素之光伏打類型輸出之一平均值，或一個別像素之光伏打類型之一輸出值。

首先，藉由其中一信號量在驅動為累積類型時不飽和之一曝光量 I_1 獲取一累積類型像素輸出 $V1$ 及一光伏打類型像素輸出 $V2$ 。接著，將光伏打類型像素輸出 $V2$ 之一值自對數值轉換為線性值，且在線性轉換之後獲得光伏打類型之一輸出值 $V3$ 。計算光伏打類型之輸出值之一校準參數，使得光伏打類型之輸出值 $V3$ 與累積類型像素輸出 $V1$ 重合。此後，藉由使用該校準參數校準光伏打類型之輸出值，可獲得平滑地導致累積類型像素輸出之光伏打類型輸出。

此處，當以累積類型時序驅動任一像素時，累積類型像素輸出 $V1$ 可為信號量，且當以光伏打類型時序驅動相同像素時，光伏打類型像素輸出 $V2$ 可為信號量。

另外，當以光伏打類型時序驅動任一像素時，光伏打類型像素輸出 $V2$ 可為信號量，且當以累積類型時序驅動該像素時，累積類型像素輸出 $V1$ 可為一信號量預測值。此處，可使用諸如內插之一方法而自相同色彩之一像素或複數個像素附近之累積類型之輸出值獲得信號量預測值。

此外，可針對各個別感測器、或可針對各預先判定的像素區域、或可針對一個別像素而判定上述校準參數。此外，可在成像器件之裝運之前以一檢測步驟計算校準參數，或可在成像器件之裝運之後自所成像之一影像計算校準參數。

因此，如上述般獲得之校準參數記錄於其中形成像素之基板54、電路基板57、或形成於安裝在與基板54相同的封裝上之另一基板(未繪示)中之一儲存元件中，且接著在合成對數影像及線性影像時可參考校準參數。

另外，傳送校準參數且將其儲存於成像器件外部之一成像處理器件(未繪示)中，且接著在藉由該影像處理器件合成對數影像及線性影像時可參考校準參數。

如上文所描述，即使在光伏打類型像素之輸出值隨溫度改變時，仍可藉由校準光伏打類型之輸出值而獲得對於累積類型像素之輸出值連續之輸出值。因此，當合成操作為累積類型像素時之影像及操作為光伏打類型像素時之影像時，可抑制照度或色階差異。

[綜述]

如上文所描述，根據第一及第二實施例，可藉由提供元件隔離區域而阻斷信號電荷至鄰近像素之擴散。

因此，抑制光伏打類型像素附近之串擾，且在第一實施例中，可佈置光伏打類型像素及累積類型像素使其等鄰近於彼此而不使影像品質或靈敏度降級。

此外，例如可藉由佈置光伏打類型像素及累積類型像素使其等鄰近於彼此而在相同成像器件中獲得線性輸出影像及對數輸出影像，而無需使用大規模且昂貴之一光學系統，諸如使用一半反射鏡。

接著，可藉由在相同成像器件中獲得線性輸出影像及對數輸出影像而獲得在一廣照度範圍內具有較少雜訊之影像，而不使一低照度部分曝光不足或使目標之一高照度部分曝光過度。

此外，根據第二實施例，由於相同像素可操作為光伏打類型像素及累積類型像素而不增加暗電流，故可藉由使用目標之低照度部分中之累積類型之輸出值且使用目標之高照度部分中之光伏打類型之輸出值來使影像同步。因此，可獲得線性輸出影像及對數輸出影像而不犧牲解析度。

此外，當藉由使用線性輸出值來校準log輸出值時，可藉由使用累積類型之輸出值來校準光伏打類型之輸出值而抵消光伏打類型之輸出值之溫度之改變。因此，可降低線性輸出影像與log輸出影像之間的界面中之照度或色階差異。

此外，除由一數位相機表示之成像裝置之外，上述第一及第二

實施例亦可應用於具有一成像功能之任何電子裝置。

此外，本發明之實施例不限於上述實施例，且在不脫離本發明之範疇之情況下，可進行各種修改。

本發明可採取以下組態。

(1)一種成像器件，其包含：光伏打類型像素，其等具有取決於照射光而針對各像素產生光伏打電力之光電轉換區域；及一元件隔離區域，其提供於鄰近像素之光電轉換區域之間且處於實質上包圍光電轉換區域之一狀態。

(2)根據(1)之成像器件，其中元件隔離區域由阻斷光伏打類型像素之信號電荷至鄰近像素之擴散之一材料予以組態。

(3)根據(1)或(2)之成像器件，其進一步包含：一累積類型像素，其提供於鄰近於該光伏打類型像素之一位置中。

(4)根據(1)至(3)中任一項之成像器件，其中一PN接面二極體形成於光電轉換區域中而作為一光感測器。

(5)根據(1)至(4)中任一項之成像器件，其中該光伏打類型像素進一步包含一傳送閘及浮動擴散層，且操作為一累積類型及光伏打類型像素。

(6)根據(5)之成像器件，其進一步包含：一累積類型像素，其位在鄰近於該累積類型及光伏打類型像素之一位置中。

(7)根據(1)至(4)中任一項之成像器件，其進一步包含：一累積類型及光伏打類型像素，其具有光電轉換區域、一傳送閘及浮動擴散層，其中該光伏打類型像素及該累積類型及光伏打類型像素經形成而鄰近於彼此。

(8)根據(1)至(7)中任一項之成像器件，其中各像素中之光電轉換區域與一像素電路區域之間的一部分經絕緣。

(9)一種裝備有一成像器件之電子裝置，其中該成像器件包含：

光伏打類型像素，其等具有取決於照射光而針對各像素產生光伏打電力之光電轉換區域；及一元件隔離區域，其提供於鄰近像素之光電轉換區域之間且處於實質上包圍光電轉換區域之一狀態。

熟習此項技術者應瞭解，取決於設計要求及其他因素，可發生各種修改、組合、子組合及變更，只要該等修改、組合、子組合及變更落於隨附申請專利範圍或其等之等效物之範疇內。

【符號說明】

1	光伏打類型像素
2	入射光
3	PN接面二極體
4	放大器
5	開關
6	開關
7	垂直信號線
10	光伏打類型像素
11	PN接面二極體
12	放大器
13	開關
21	光電轉換區域
22	像素電路區域
31	P型區域
32	N型區域
33	電極
34	電極
35	元件隔離區域
35a	元件隔離區域

35b	元件隔離區域
35d	元件隔離區域
36	MOS電晶體
36a	NMOS電晶體/MOS電晶體
36b	PMOS電晶體
36c	NMOS電晶體
51	N型基板
52	N型磊晶生長層
53	N型區域
54	佈線層
55	聚光層
56	感測器基板
57	電路基板
58	P型區域
61	光伏打類型像素
62	累積類型像素
70	累積類型及光伏打類型像素
71	傳送閘(TG)
71a	傳送閘(TG)
72	浮動擴散層(FD)
73	重設(RST)/重設閘
73a	重設(RST)
74	重設(RST)/重設閘
74a	重設(RST)
75	選擇電晶體(Sel)
75a	選擇電晶體

76	ROWSEL
100	光電轉換區域
200	佈線
300	SiO ₂ 層
301	金屬層
400	SiO ₂ 層
401	HfO薄膜
402	P型區域
500	模式選擇線
501	信號選擇電路
VSL	垂直信號線
VSL1	垂直信號線
VSL2	垂直信號線

I664720

發明摘要

※ 申請案號：

※ 申請日：

※IPC 分類：H01L

【發明名稱】

成像器件及電子裝置

IMAGING DEVICE AND ELECTRONIC APPARATUS

【中文】

本發明提供一種成像器件，其包含：光伏打類型像素，其等具有取決於照射光而針對各像素產生光伏打電力之光電轉換區域；及一元件隔離區域，其經提供於鄰近像素之該等光電轉換區域之間且處於實質上包圍該光電轉換區域之一狀態。

【英文】

There is provided an imaging device that includes photovoltaic type pixels that have photoelectric conversion regions generating photovoltaic power for each pixel depending on irradiation light; and an element isolation region that is provided between the photoelectric conversion regions of adjacent pixels and in a state of substantially surrounding the photoelectric conversion region.

【代表圖】

【本案指定代表圖】：第（ 6 ）圖。

【本代表圖之符號簡單說明】：

- 10 光伏打類型像素
- 11 PN接面二極體
- 12 放大器
- 13 開關

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

圖式

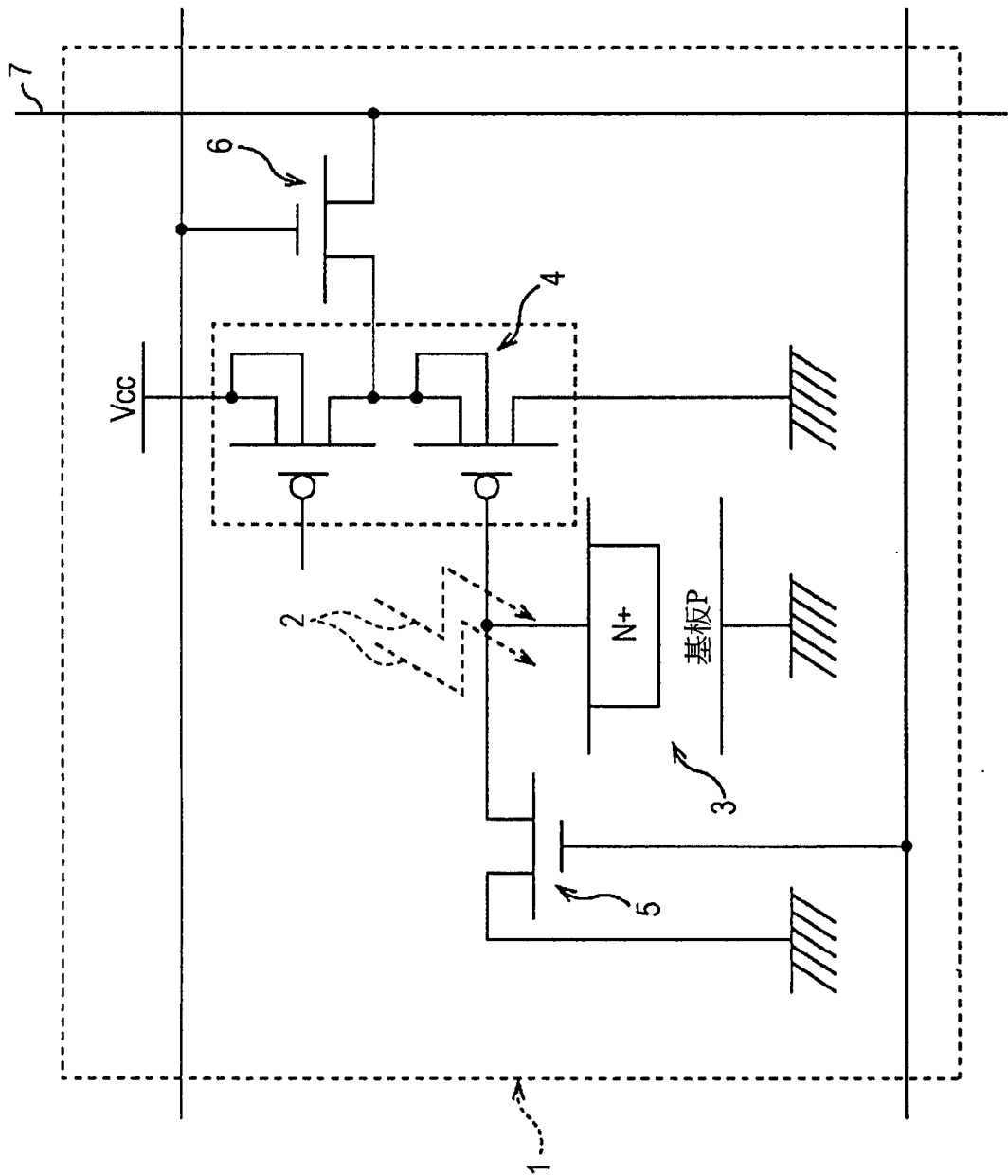


圖 1

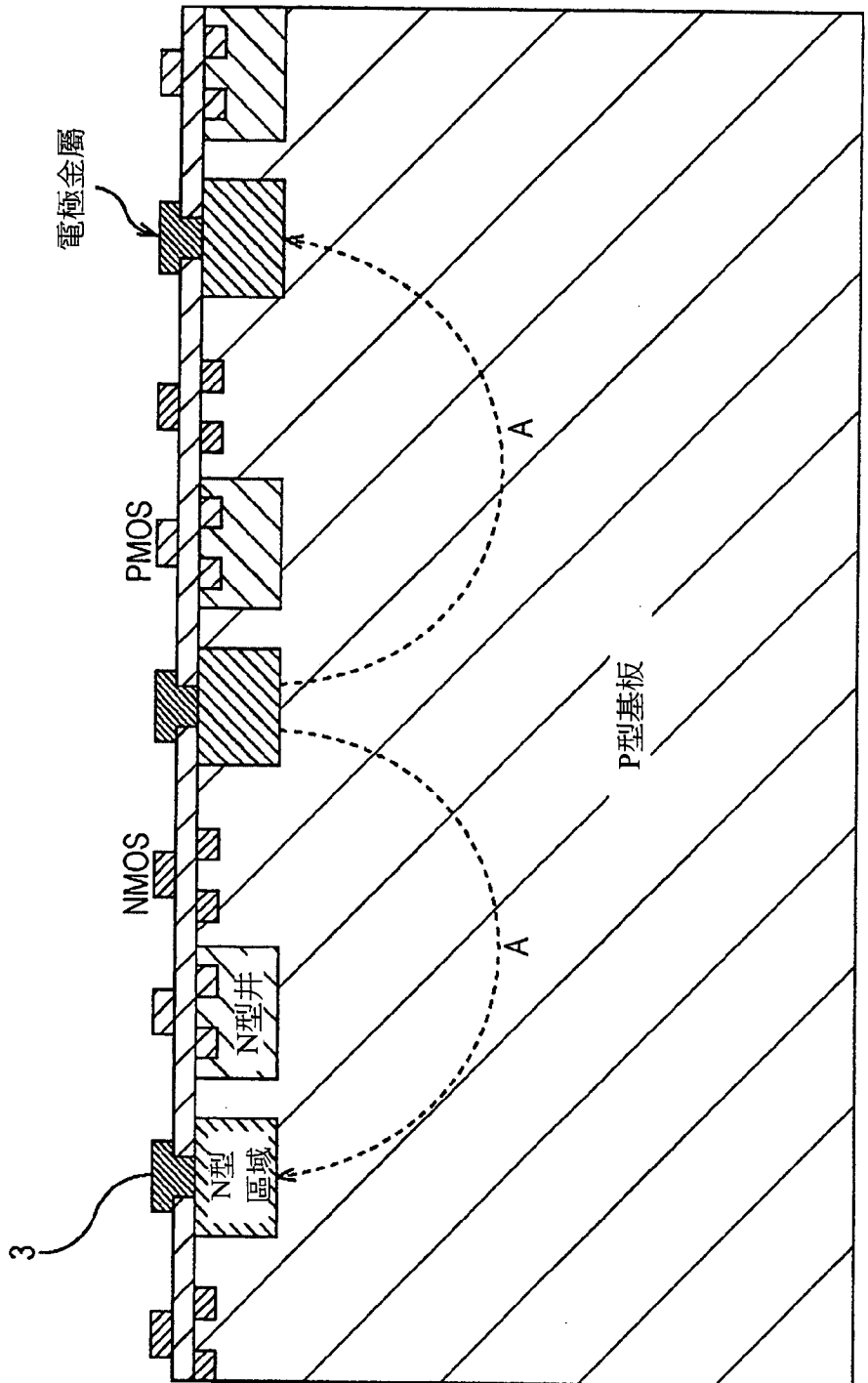


圖 2

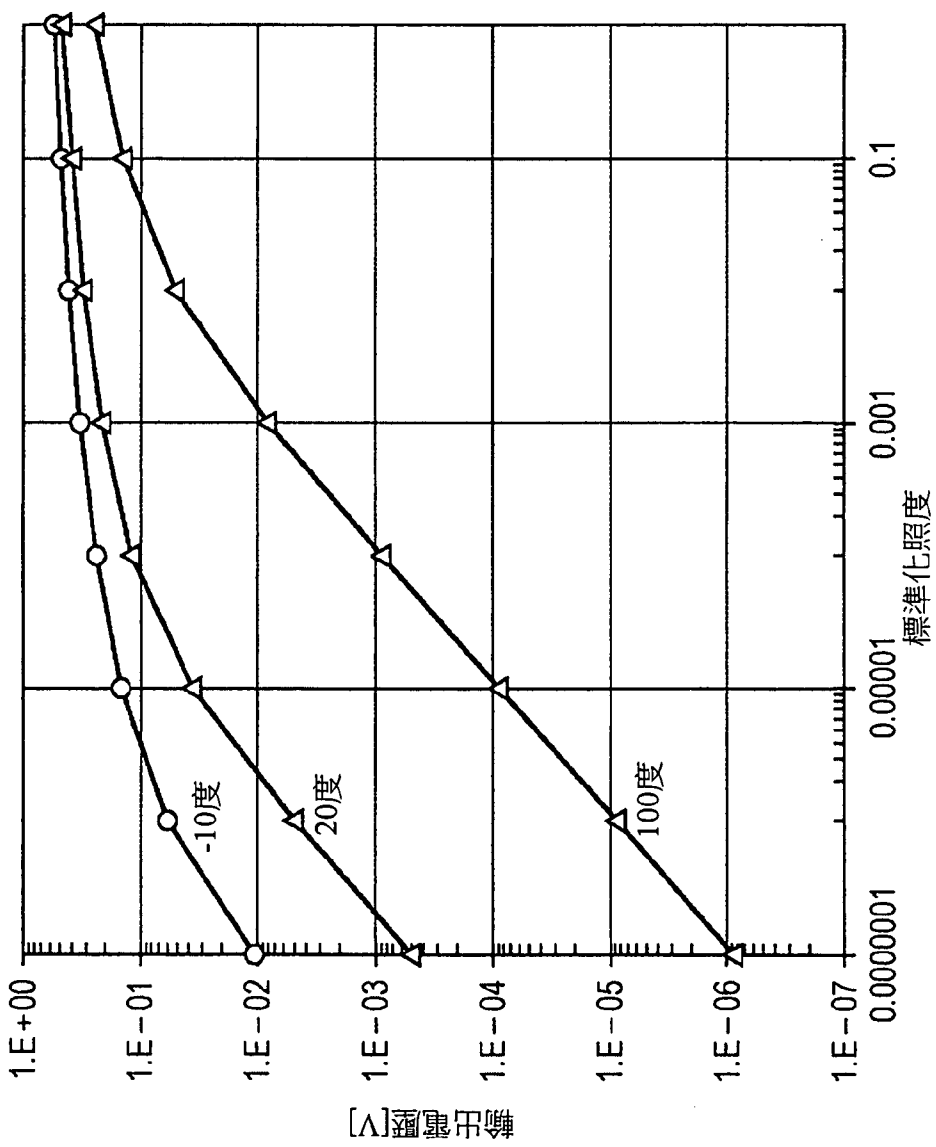
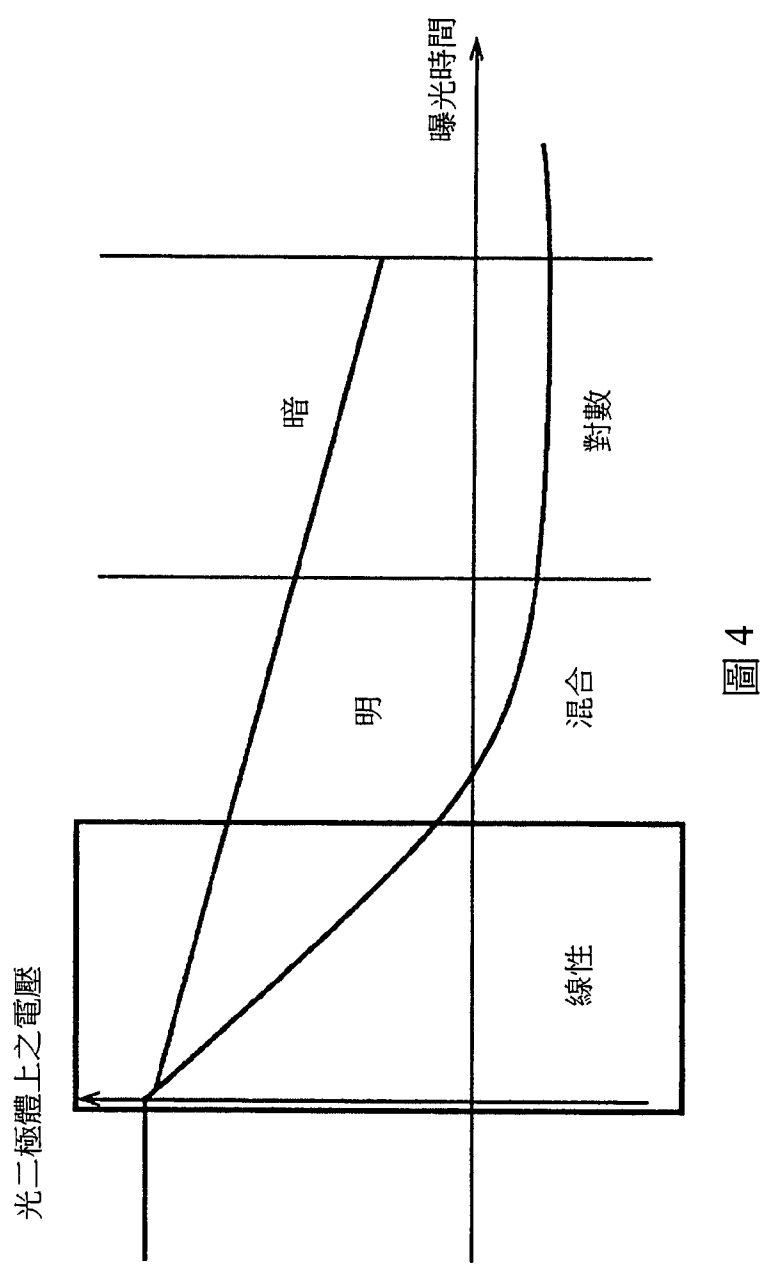


圖 3





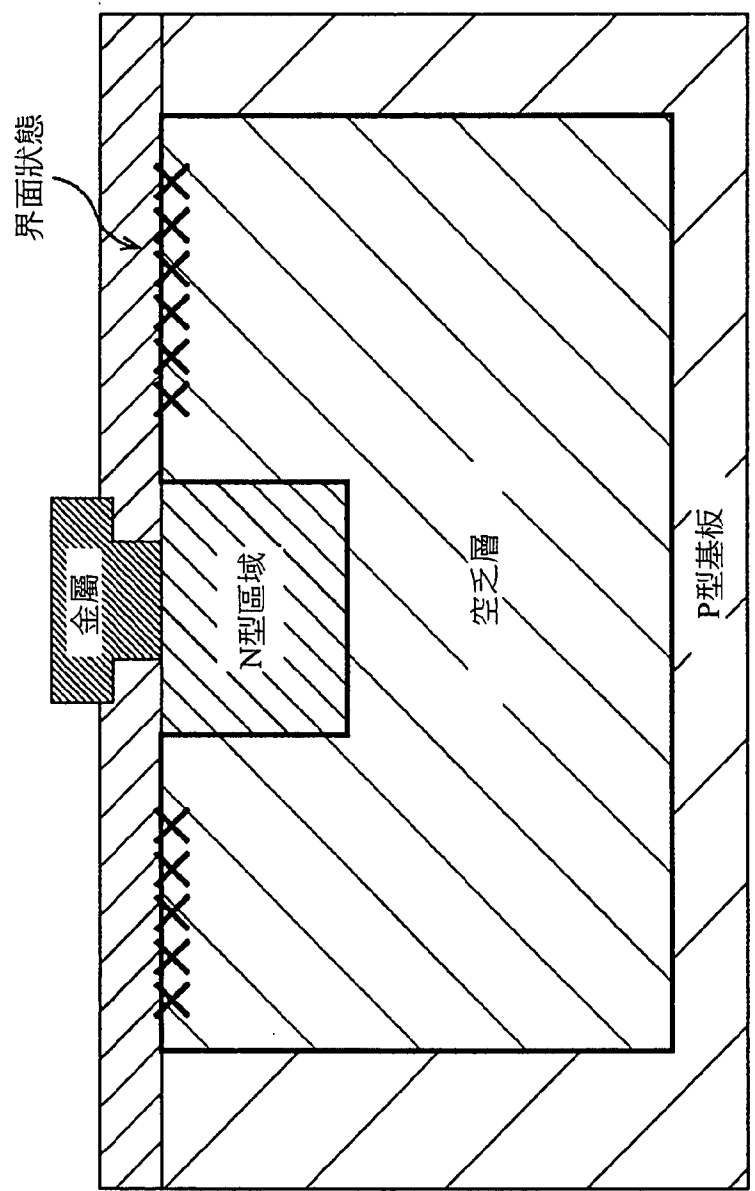


圖 5

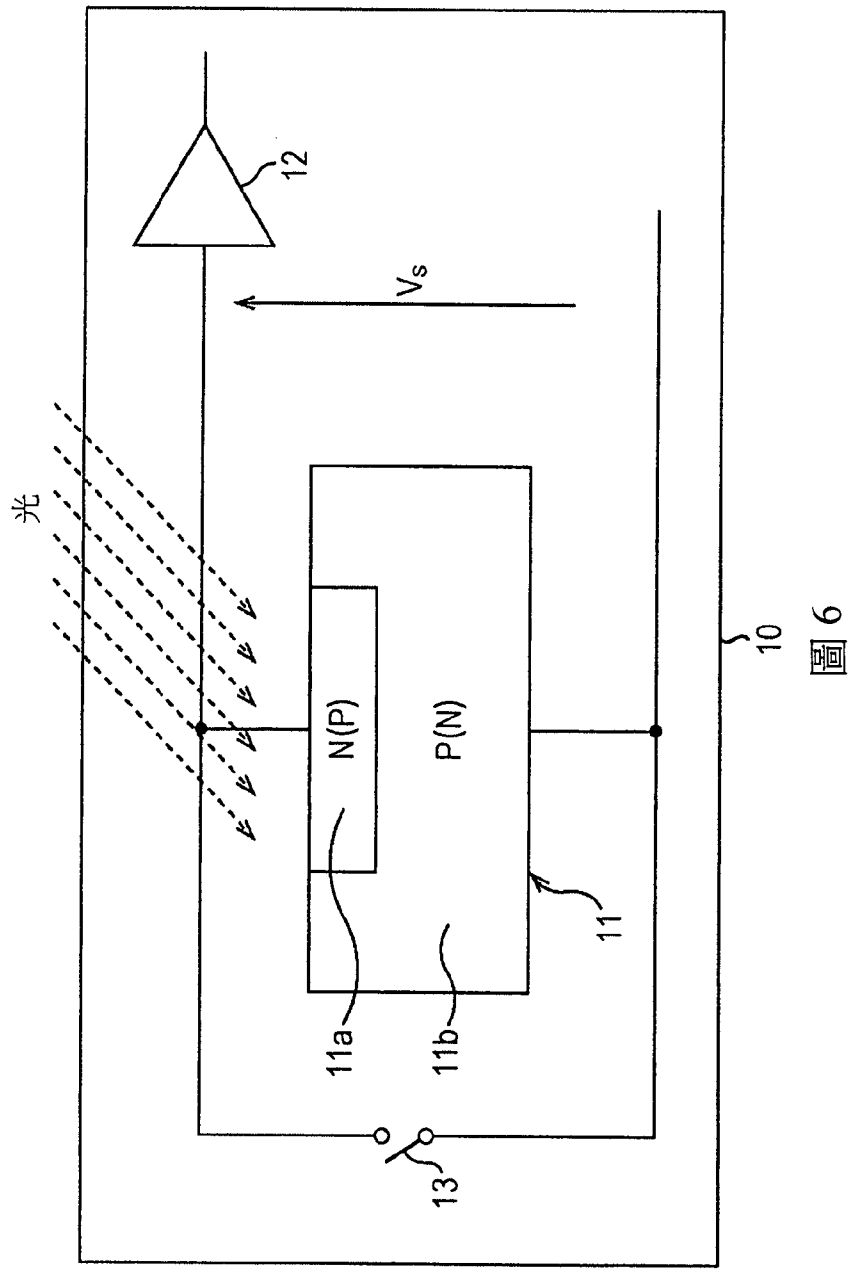


圖 6

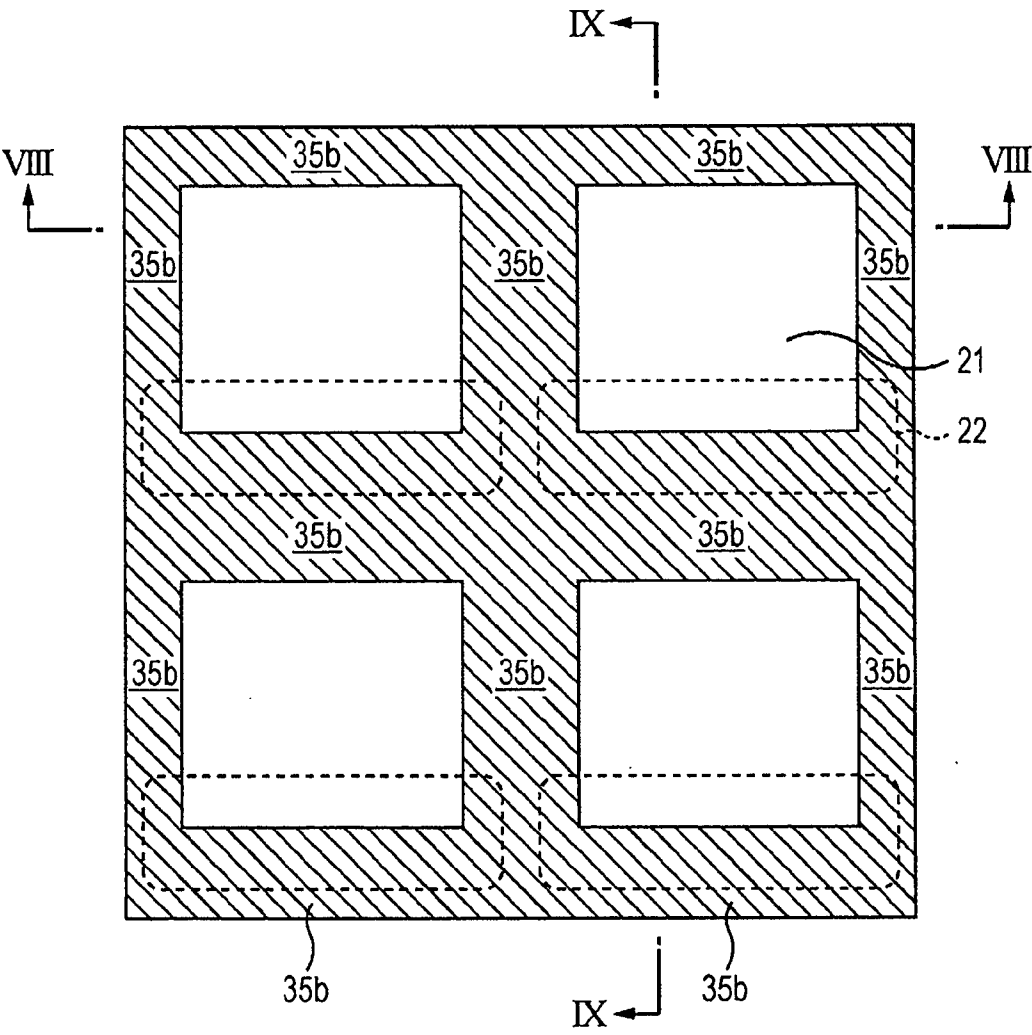


圖 7

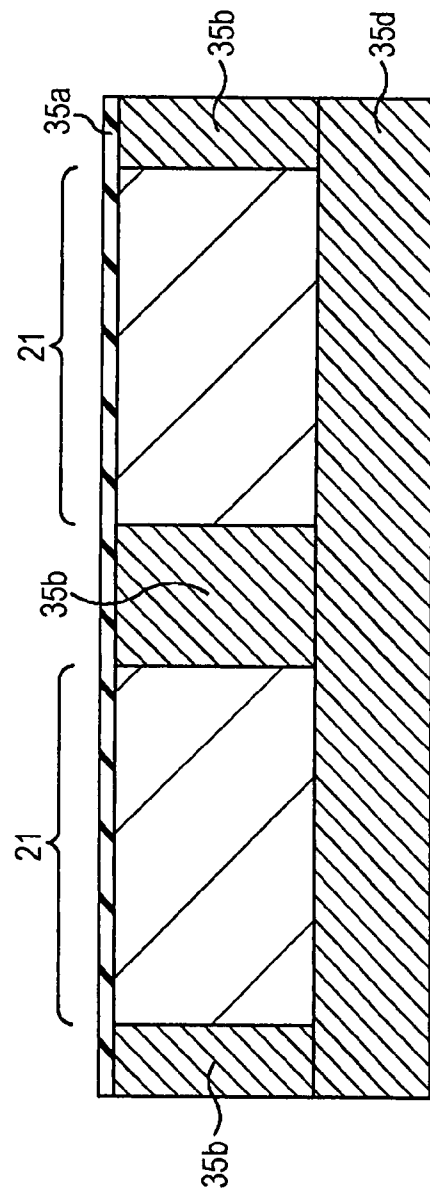


圖 8

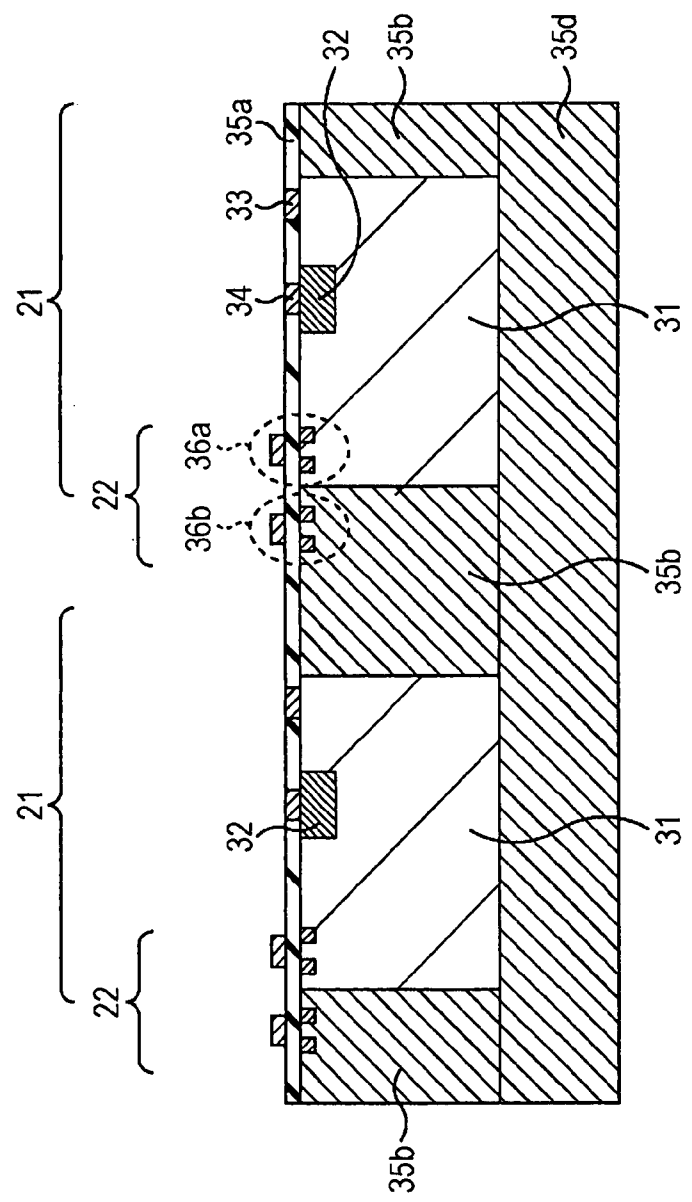


圖 9

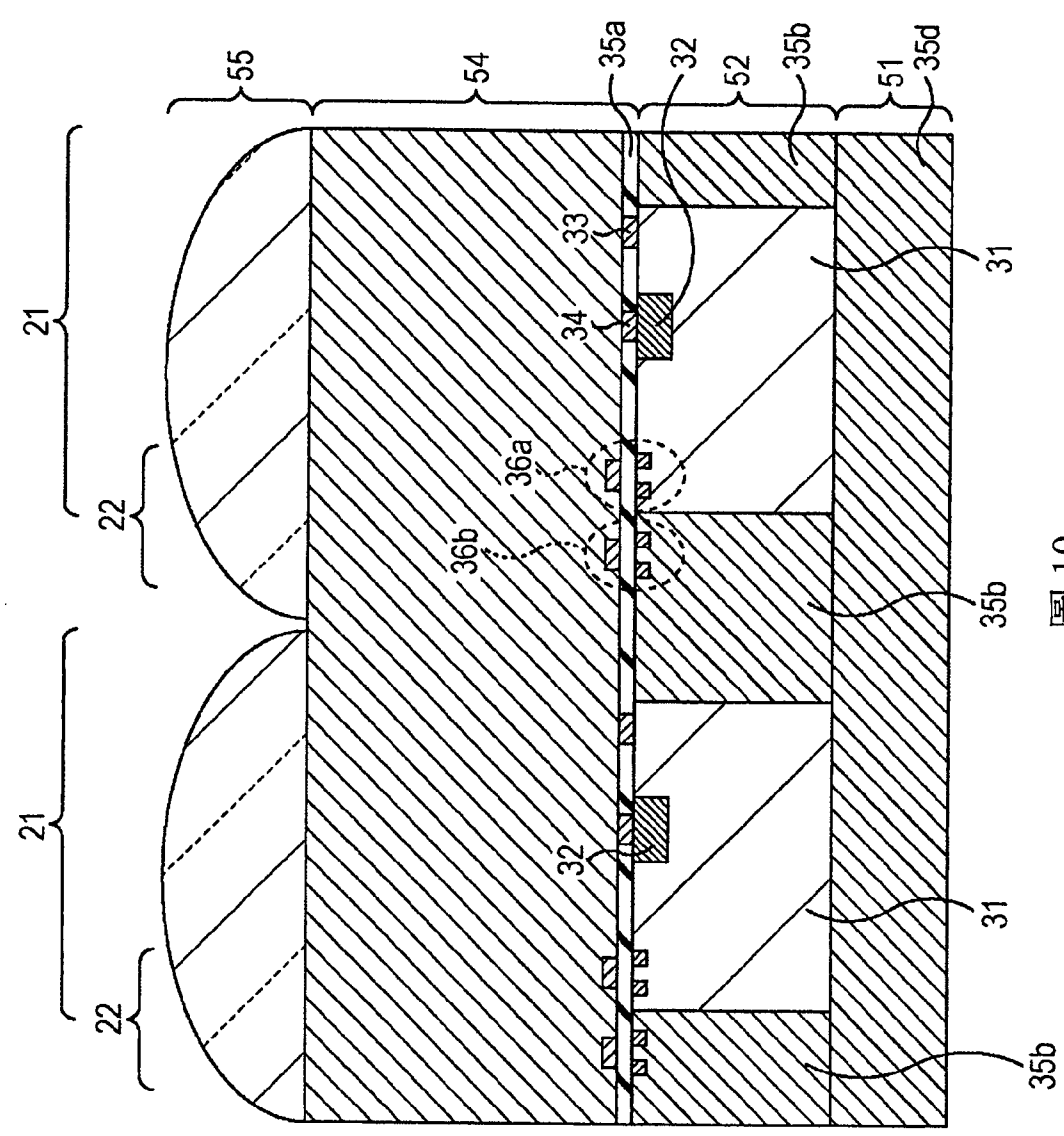


圖 10

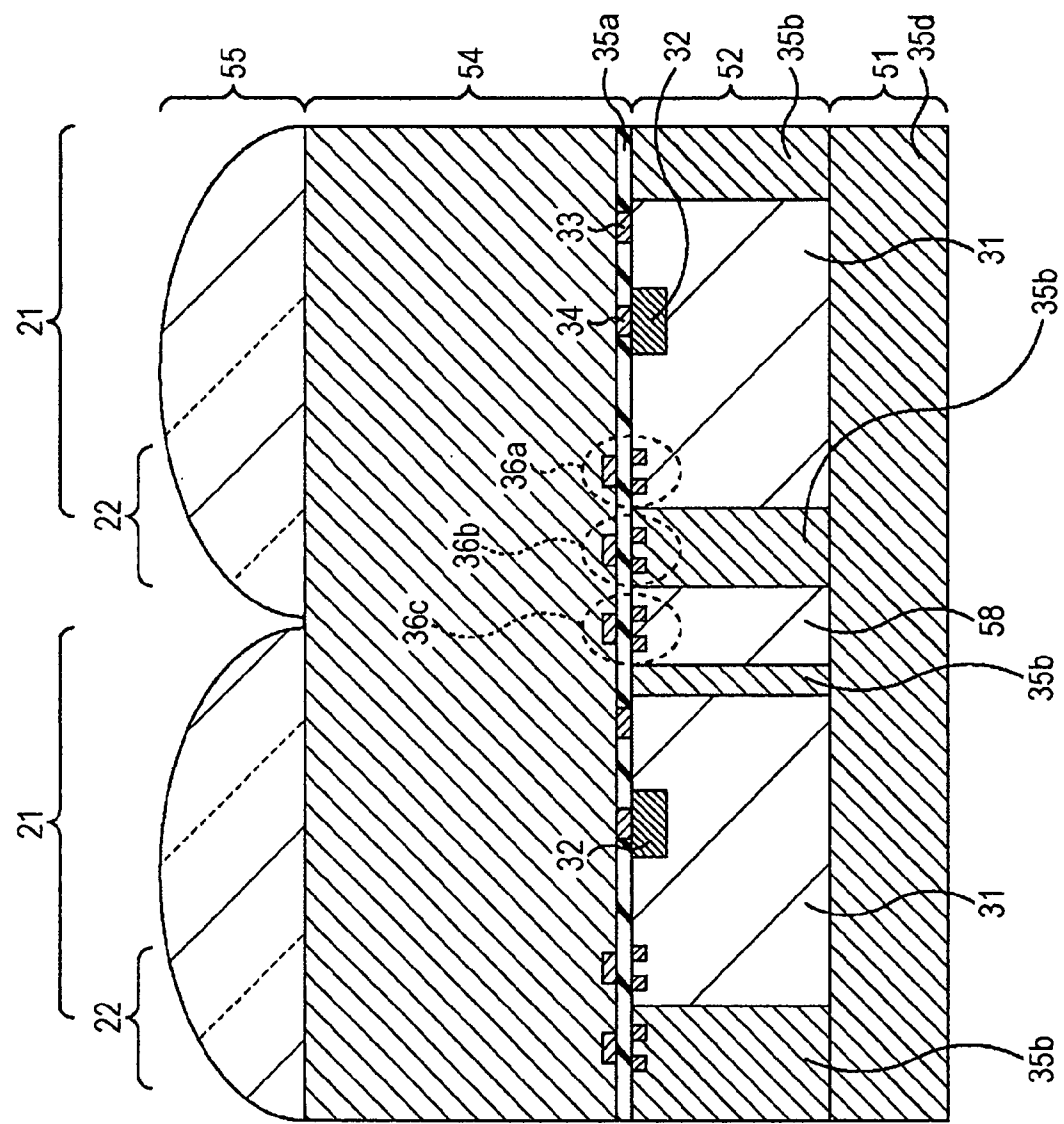
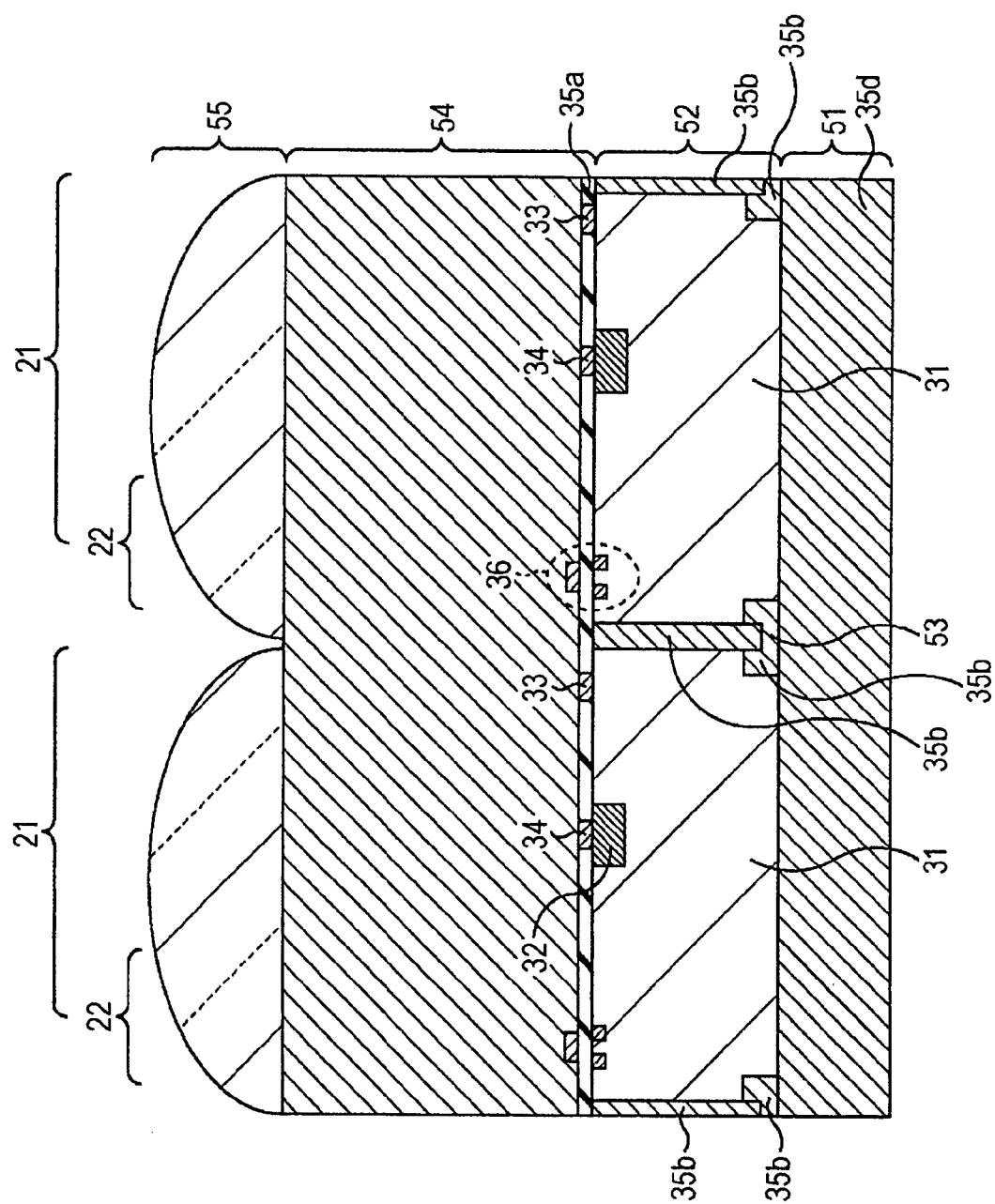


圖 11



12回

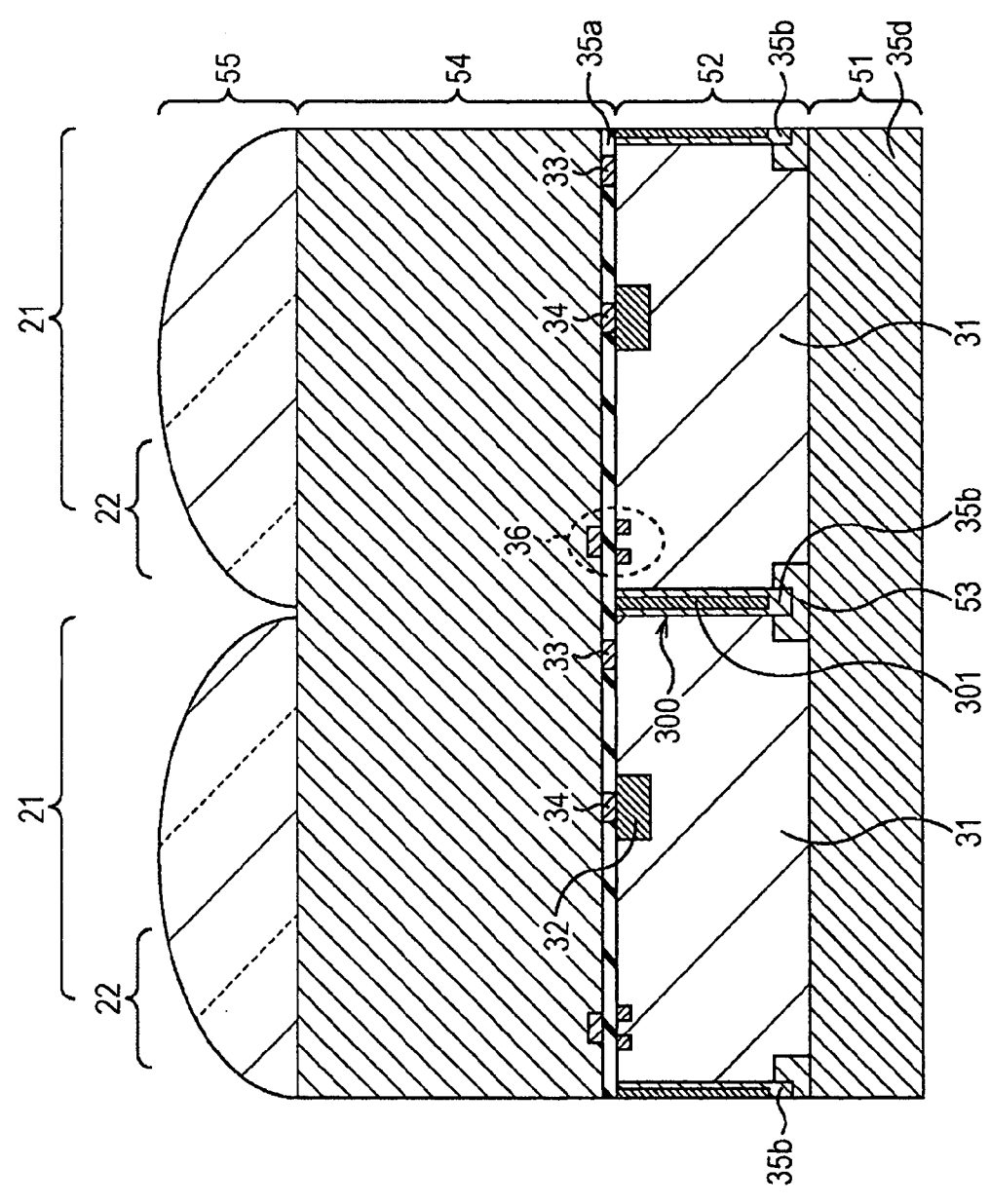


圖 13

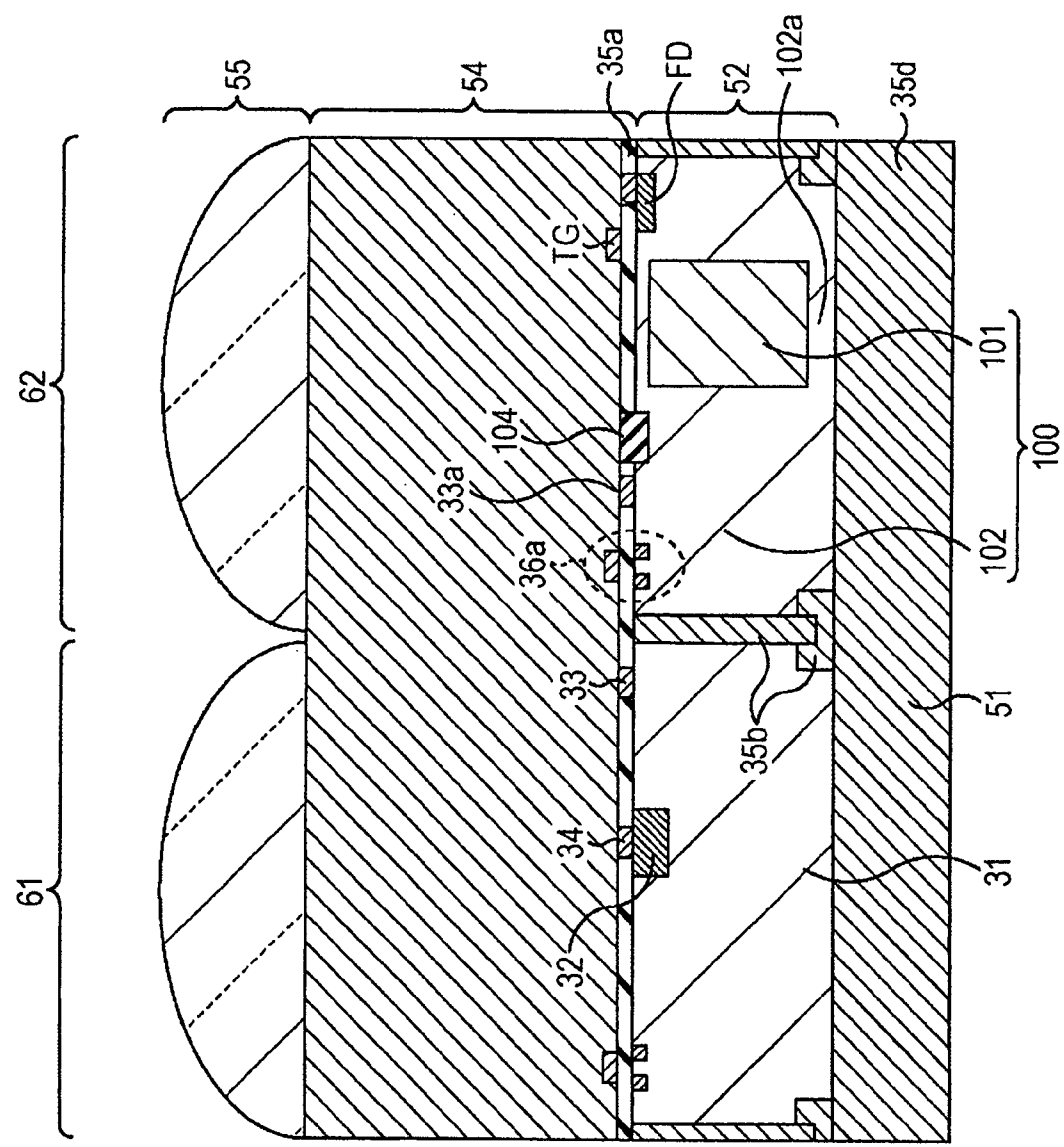


圖 14

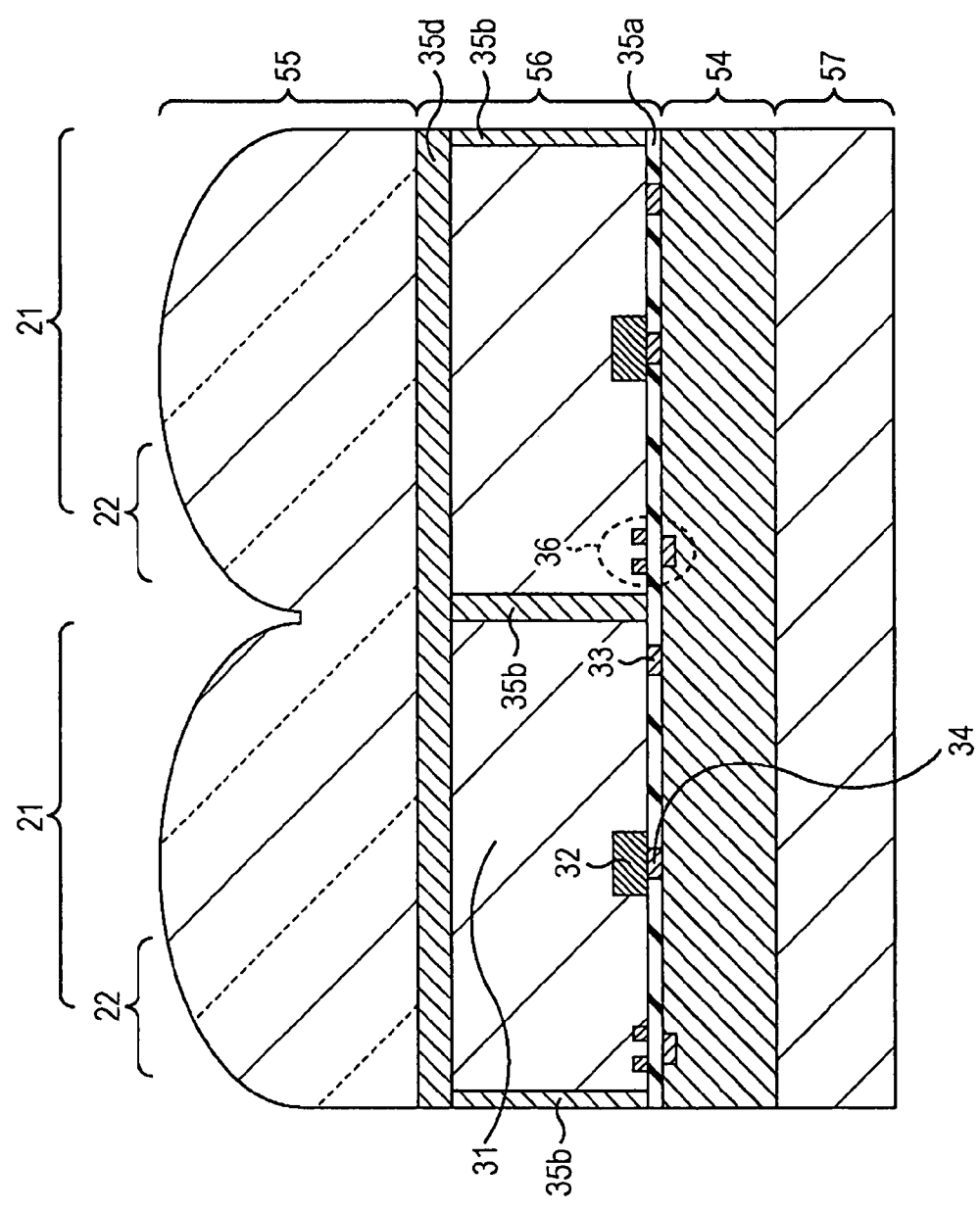


圖 15

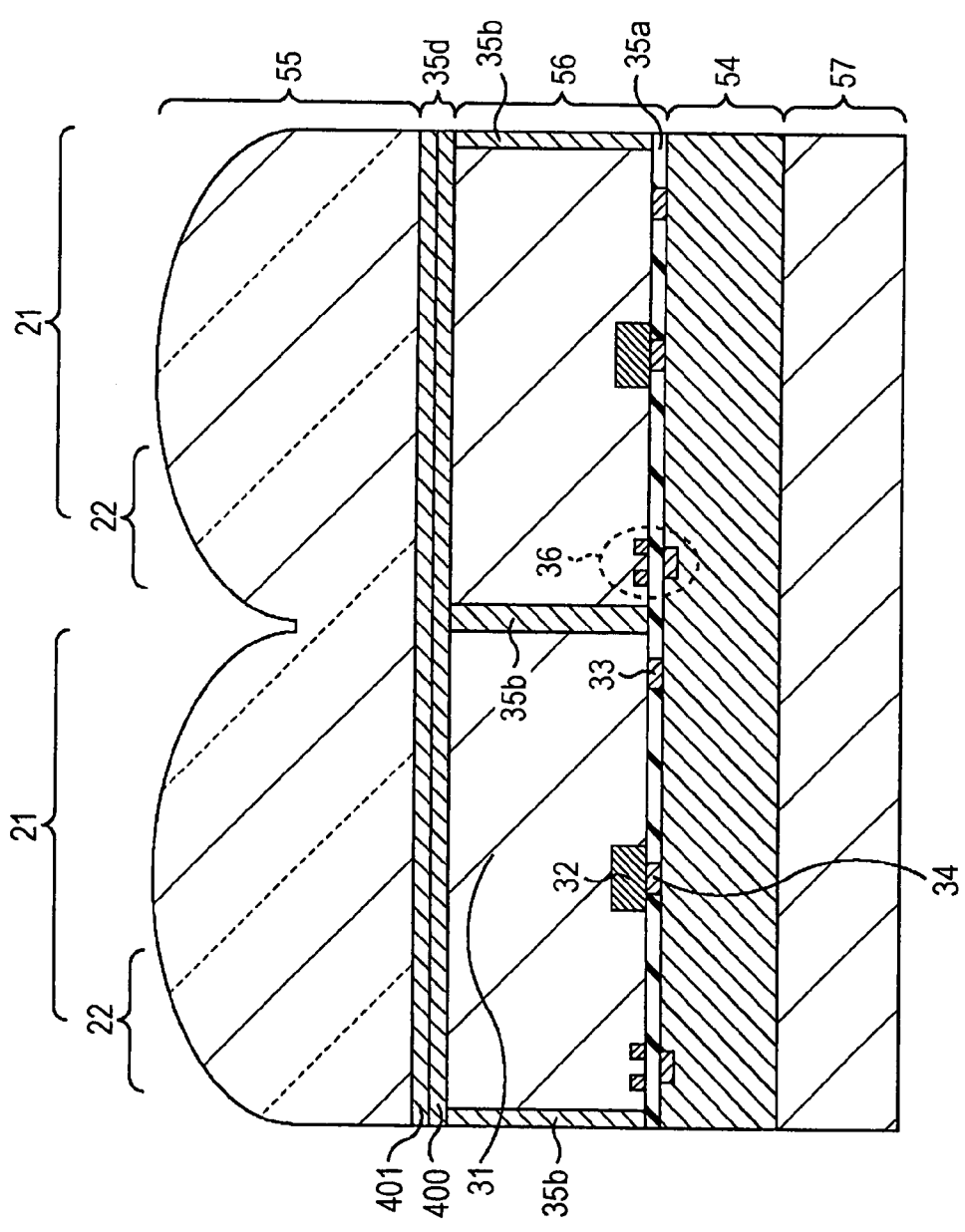


圖 16

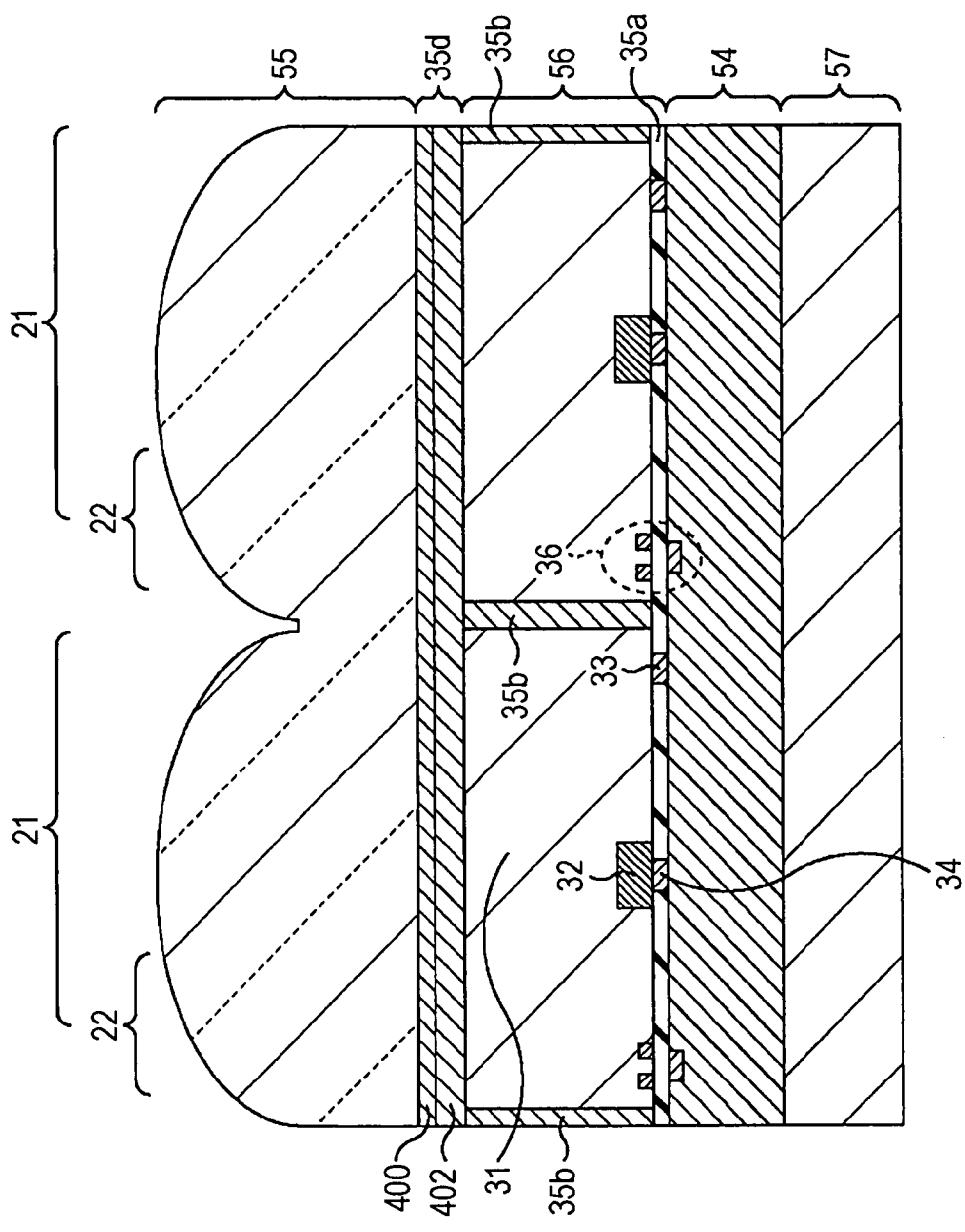


圖 17

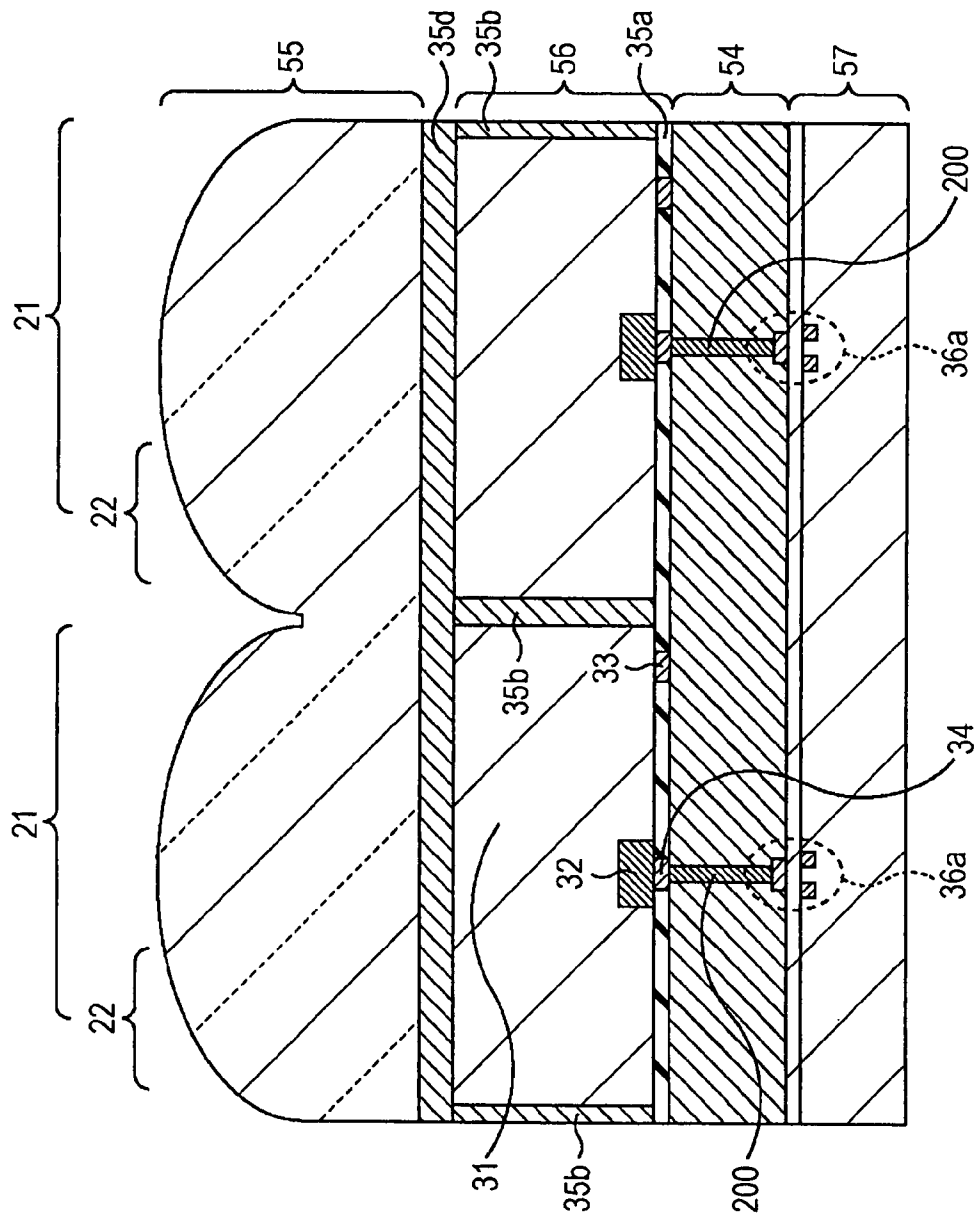


圖 18

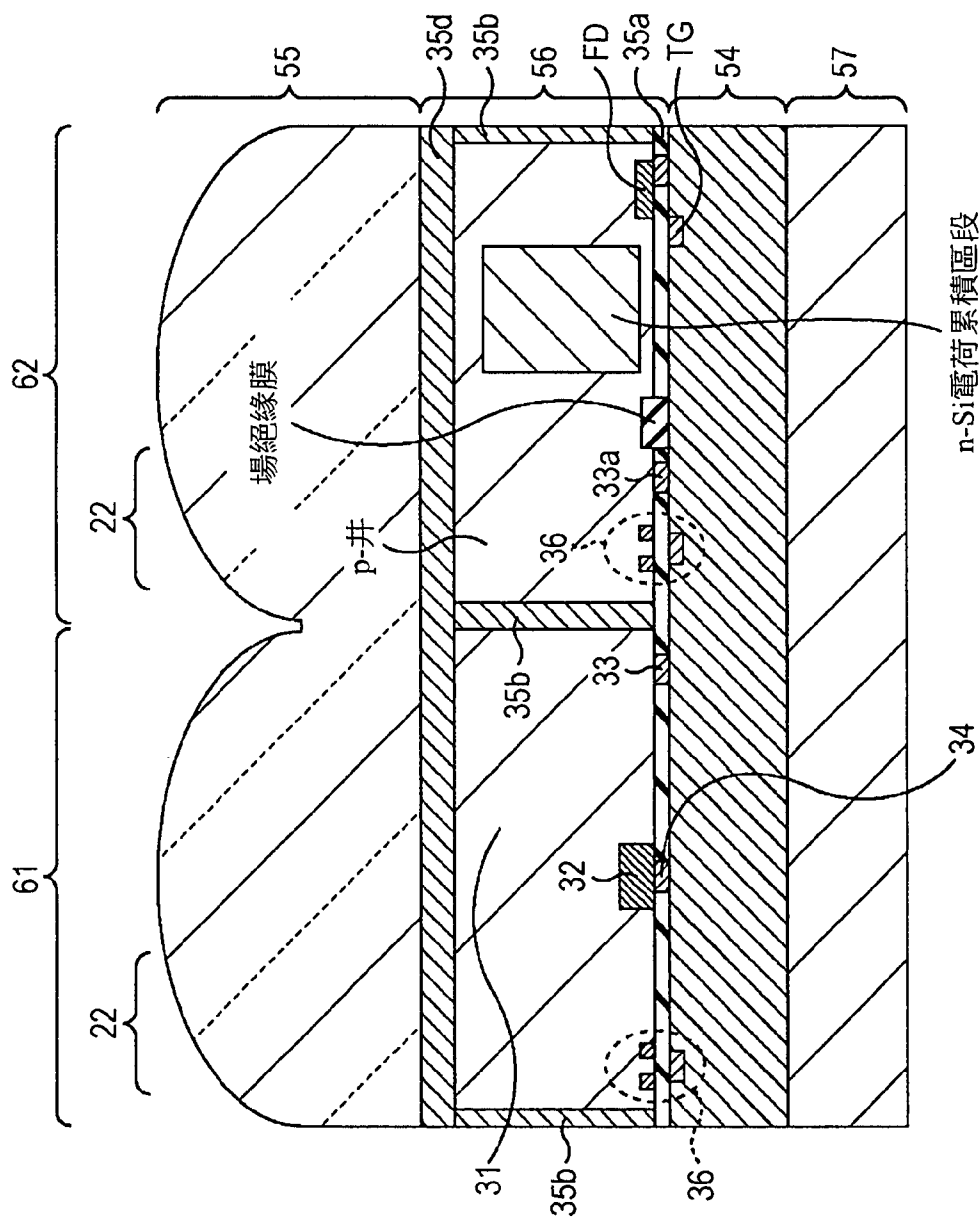


圖 19

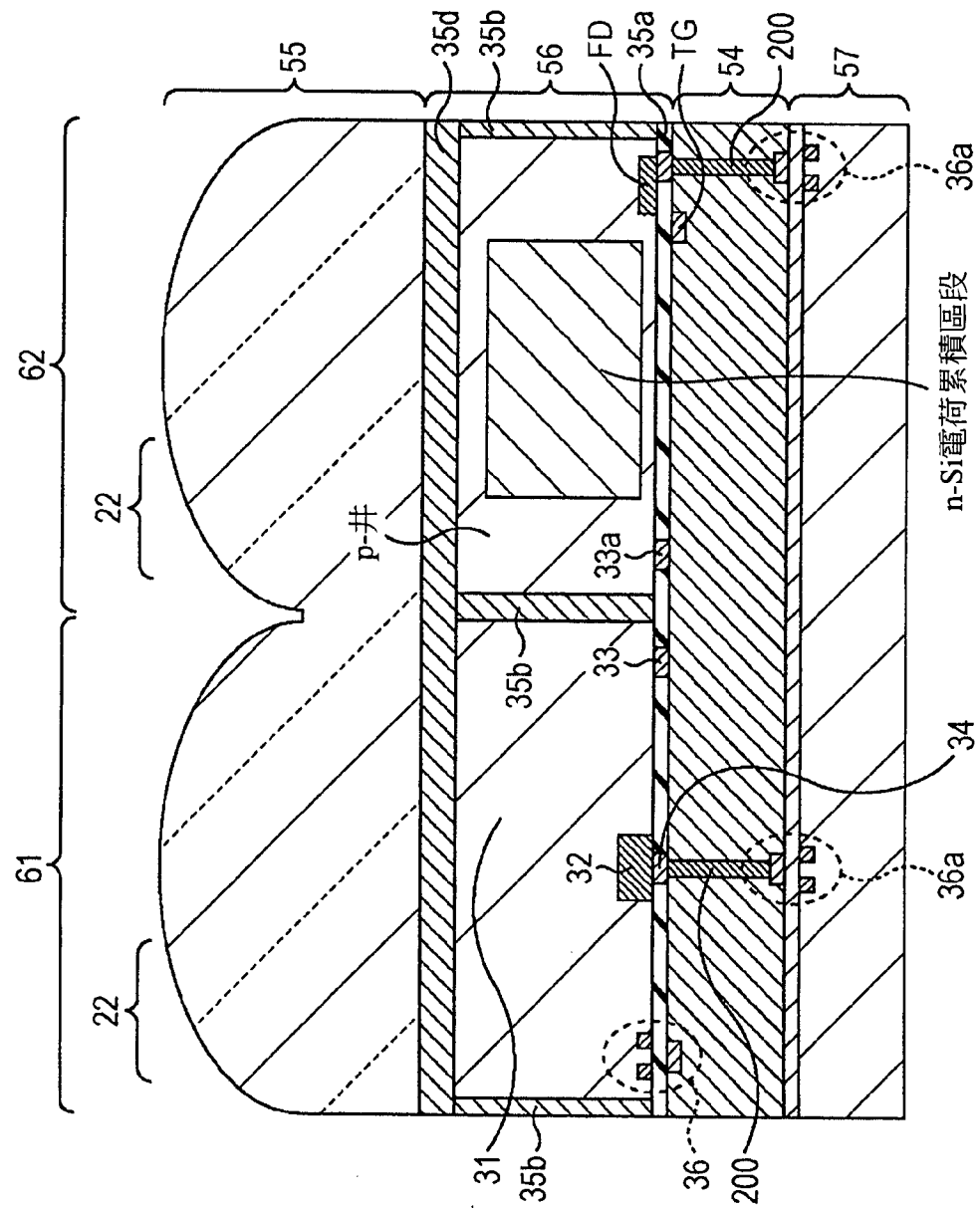


圖 20

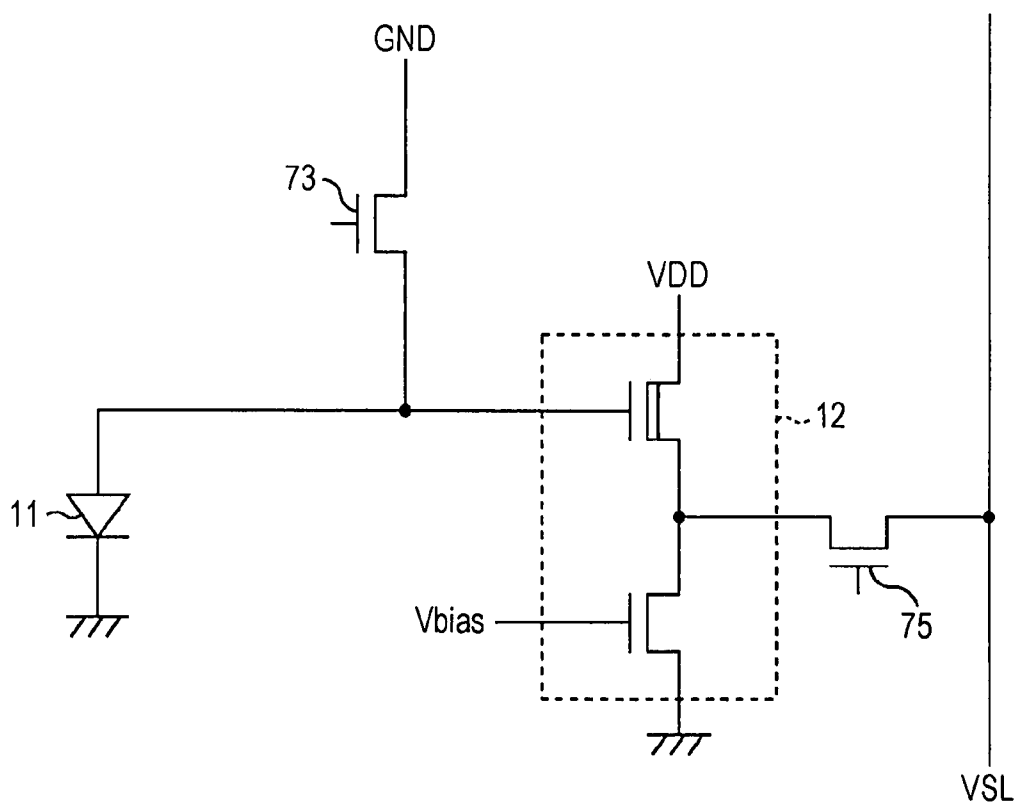


圖 21

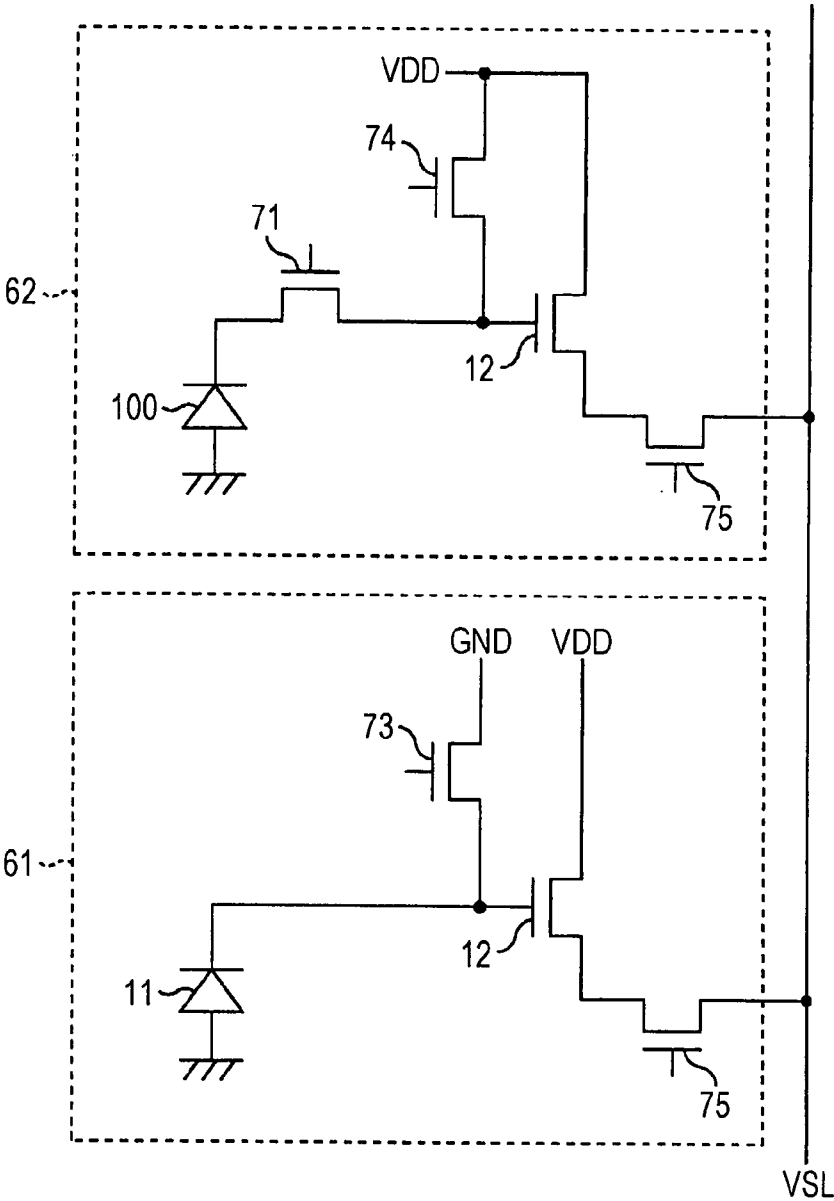


圖 22

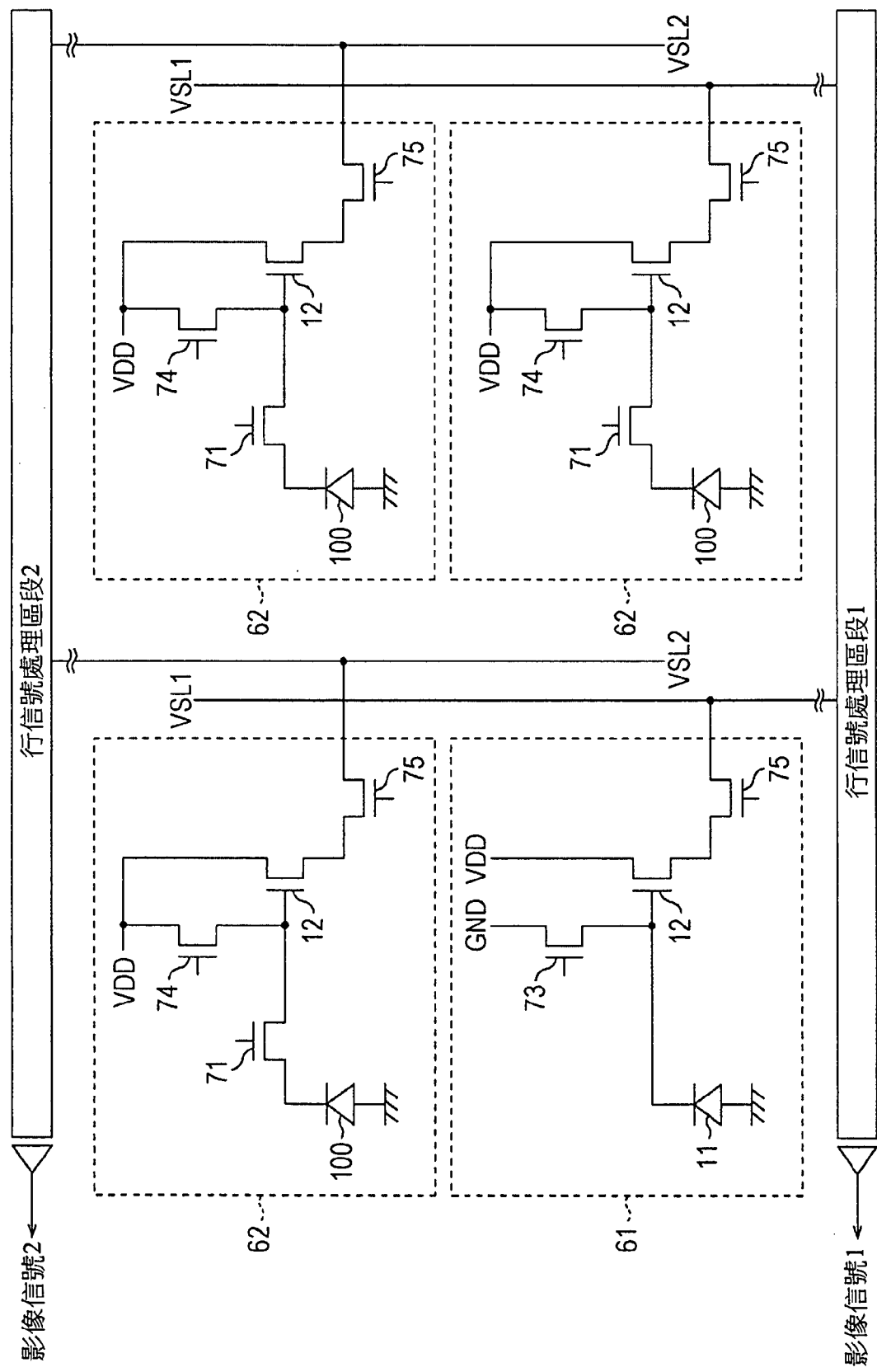
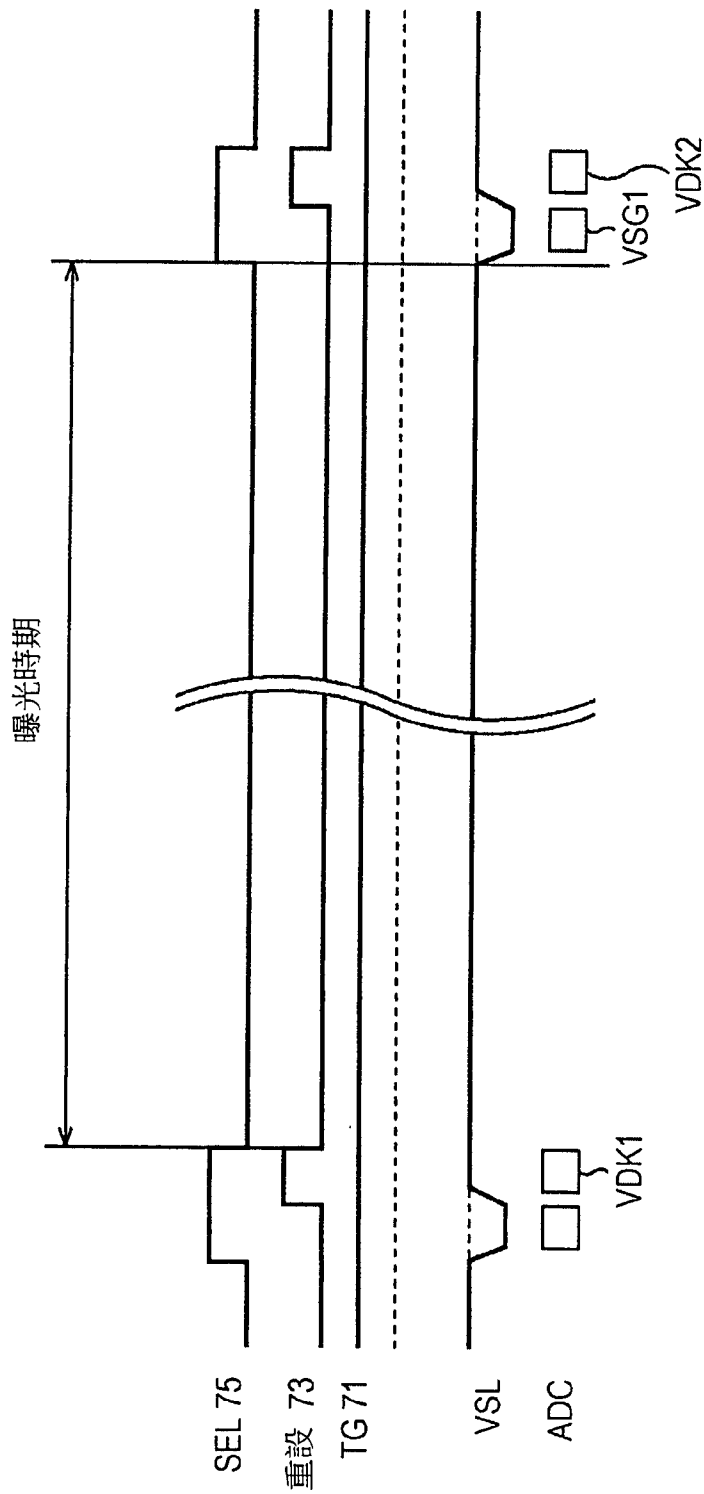


圖 23



步驟1 (P相→D相)之像素信號輸出= VSG1-VDK1
步驟2 (D相→P相)之像素信號輸出= VSG1-VDK2

圖 24

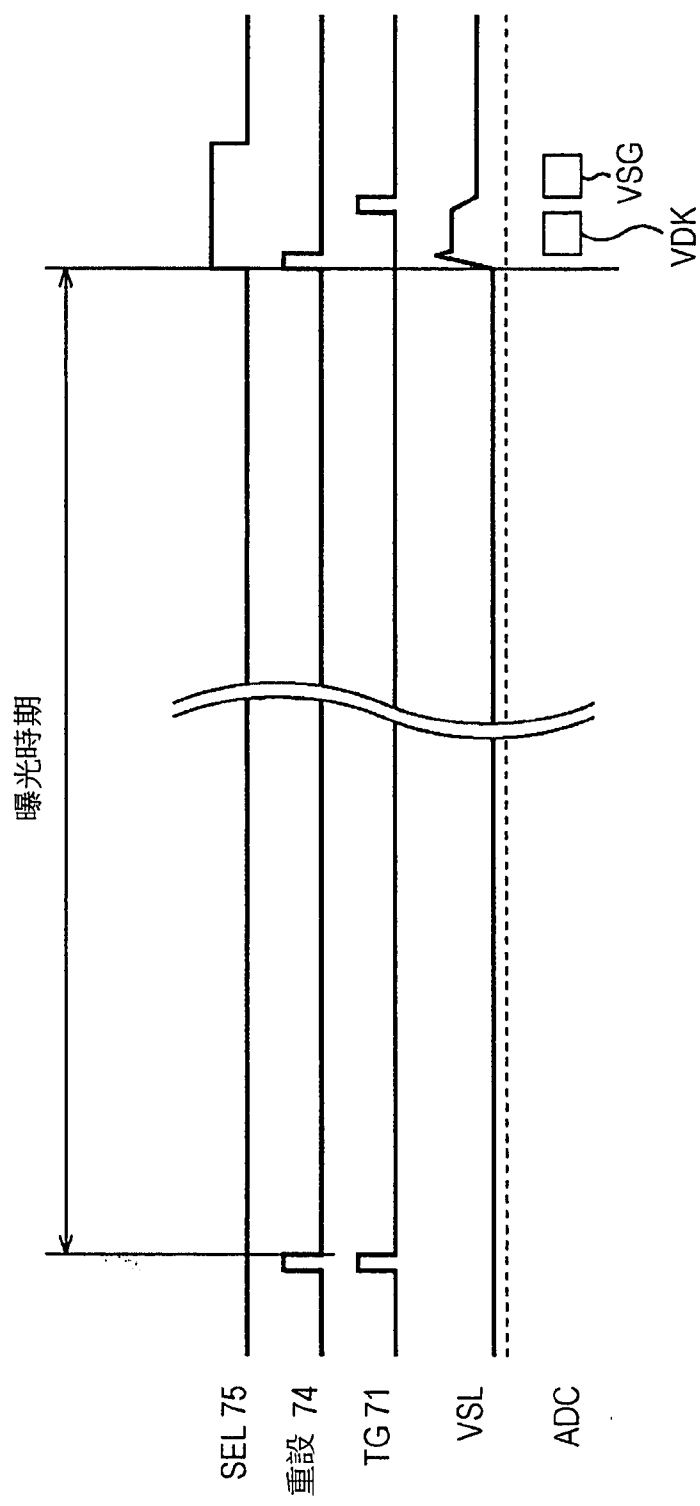


圖 25

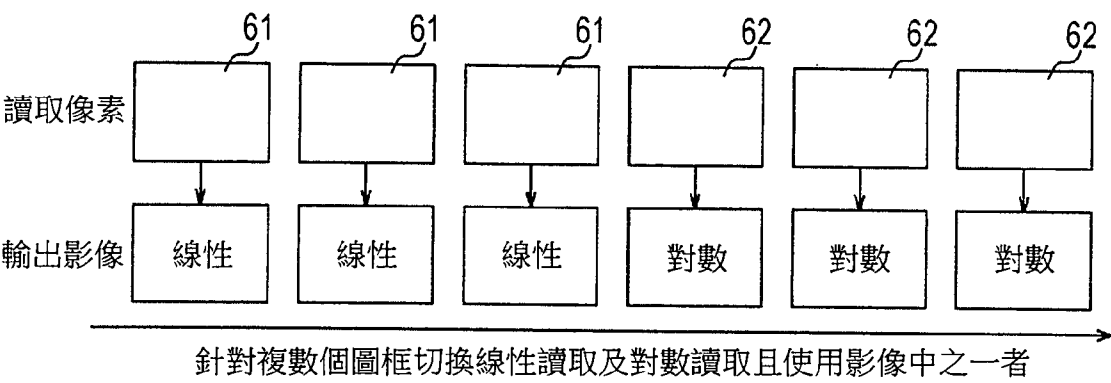


圖 26A

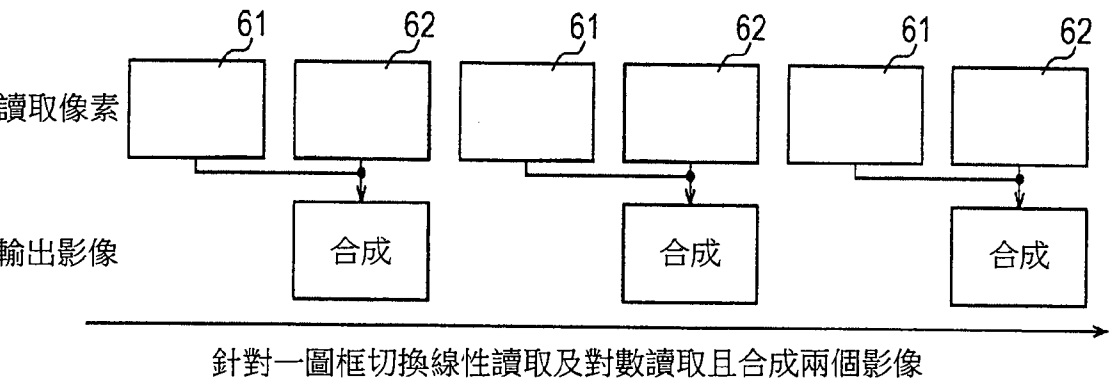


圖 26B

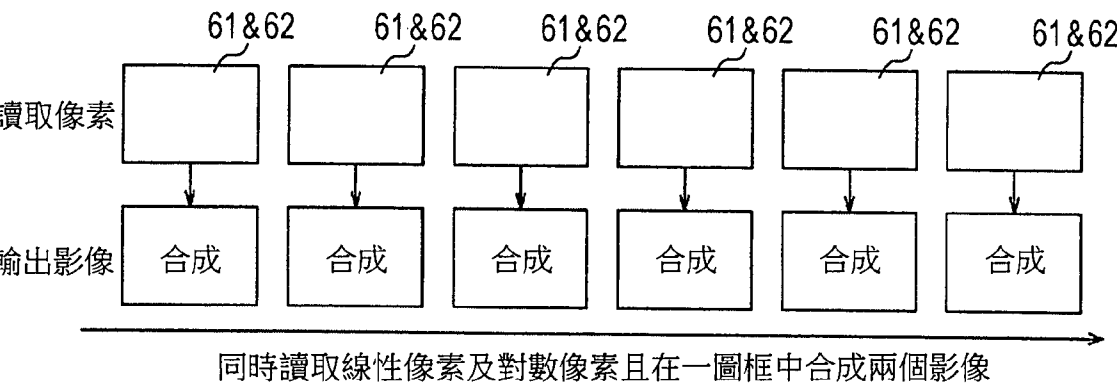


圖 26C

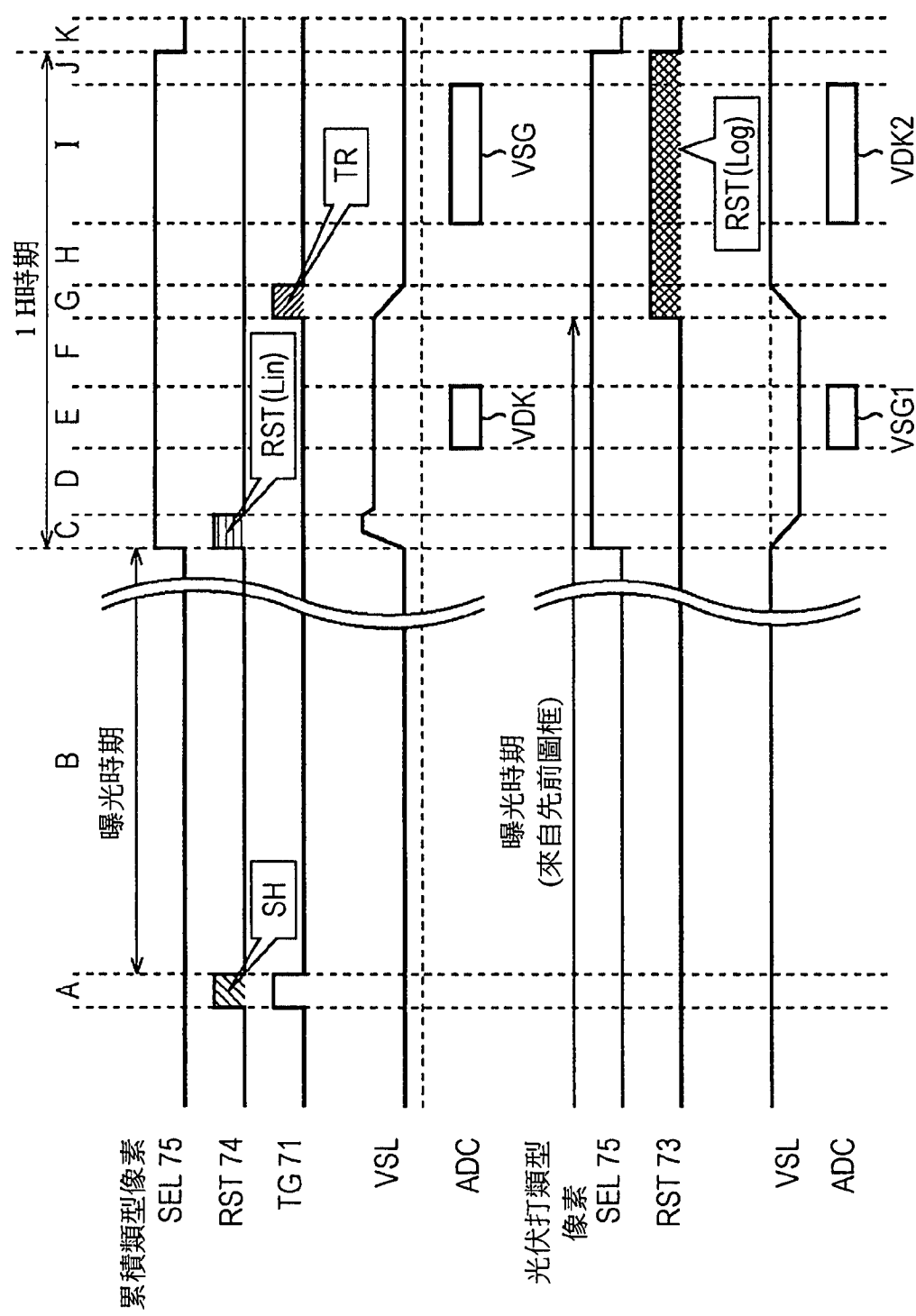
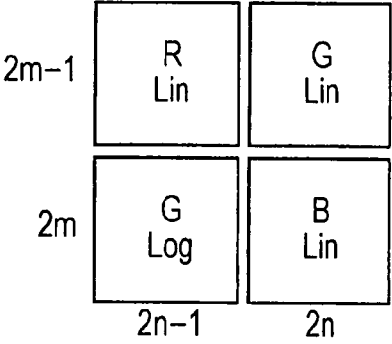


圖 27



$m=1, 2, 3, \dots$
 $n=1, 2, 3, \dots$

圖 28

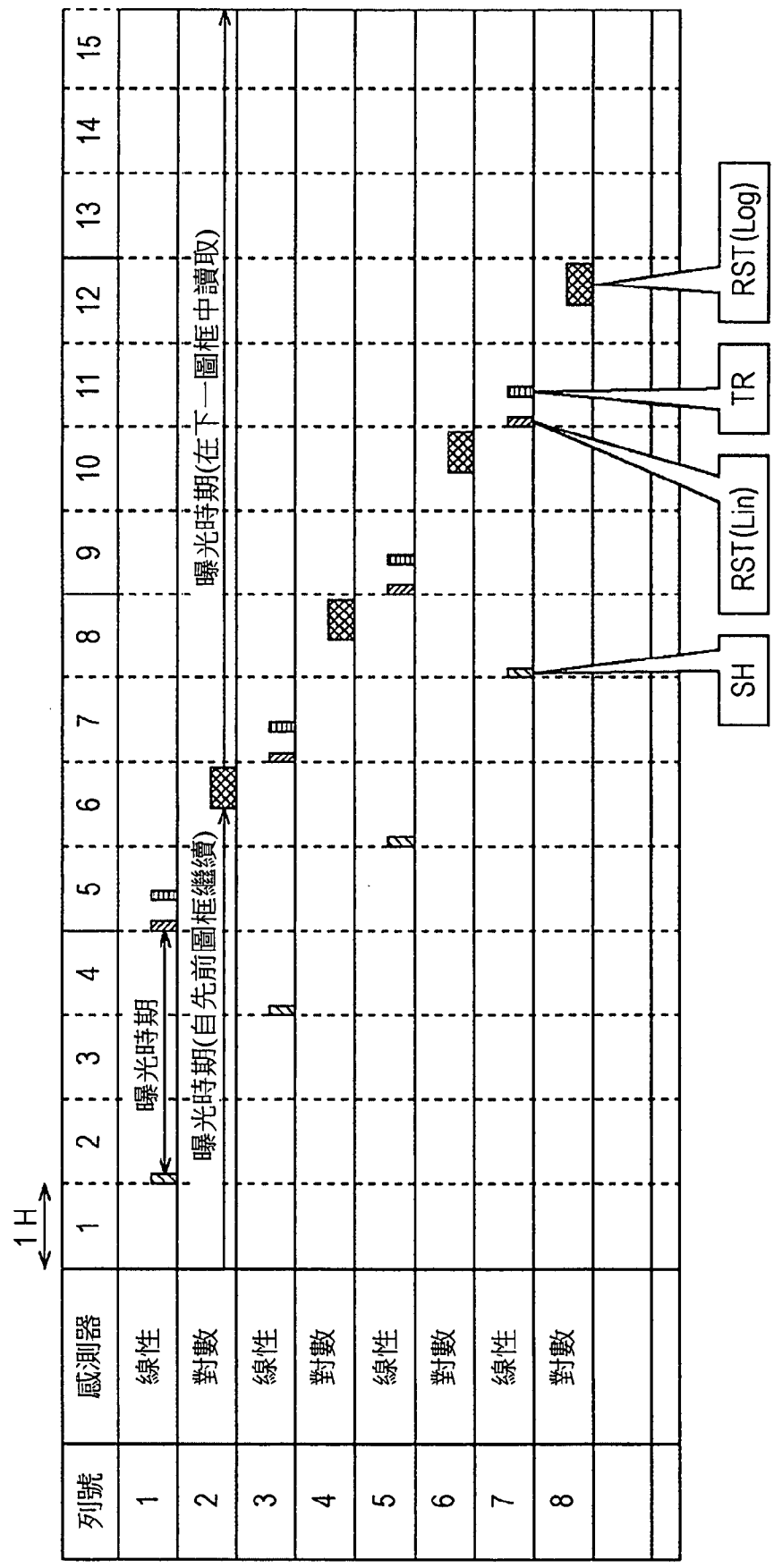


圖 29

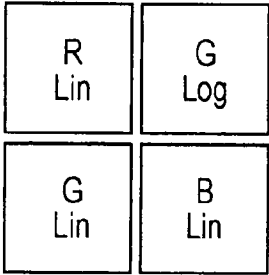


圖 30A

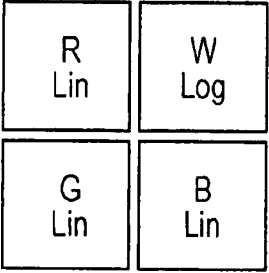


圖 30B

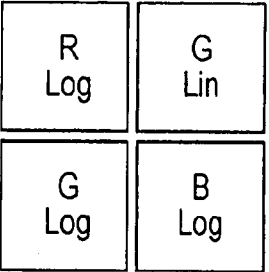


圖 30C

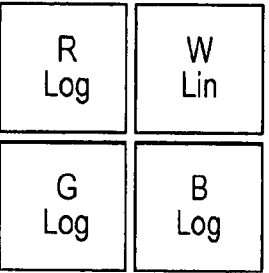


圖 30D

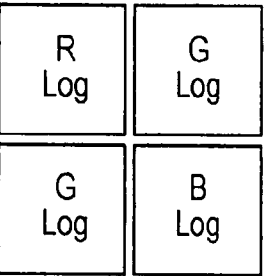


圖 30E

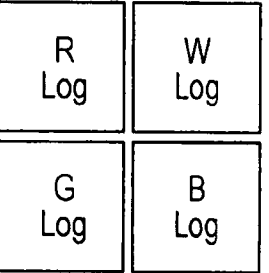


圖 30F

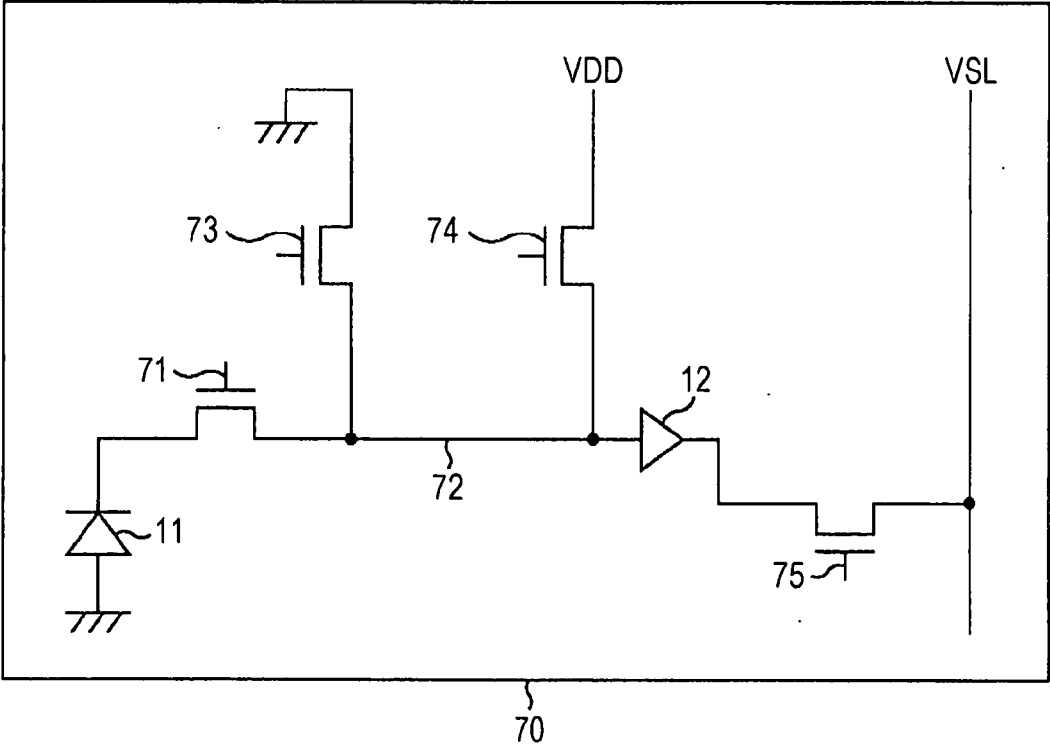


圖 31

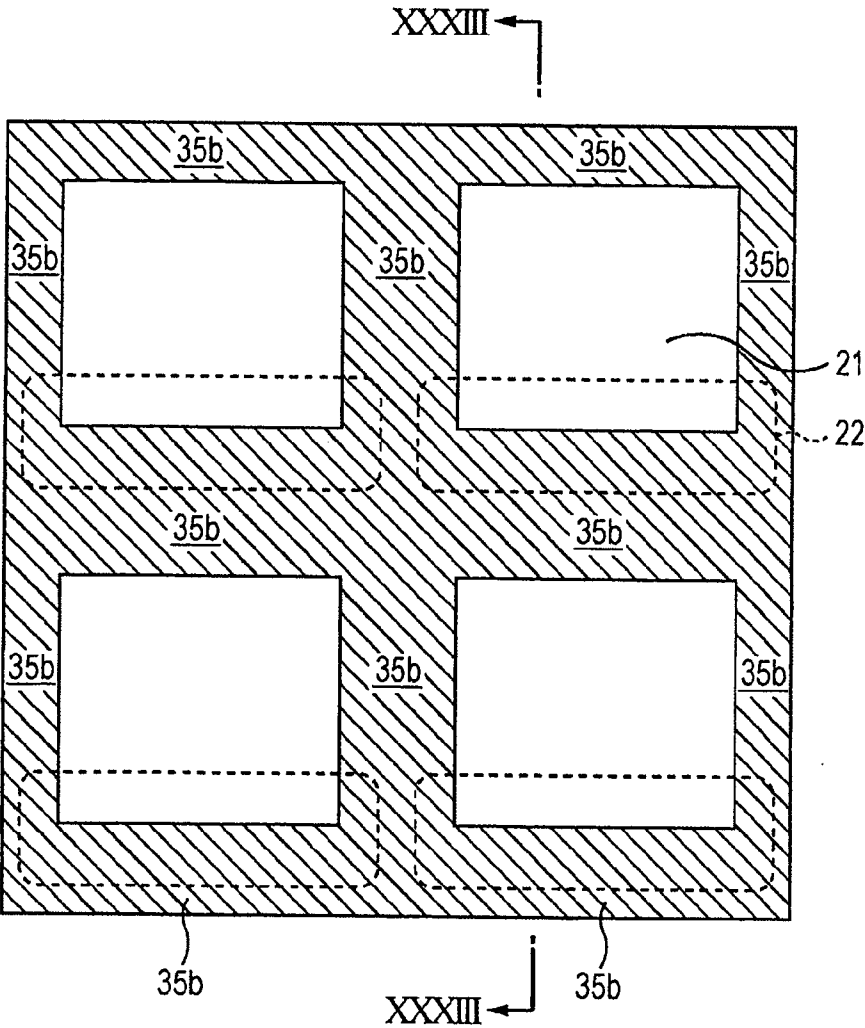


圖 32



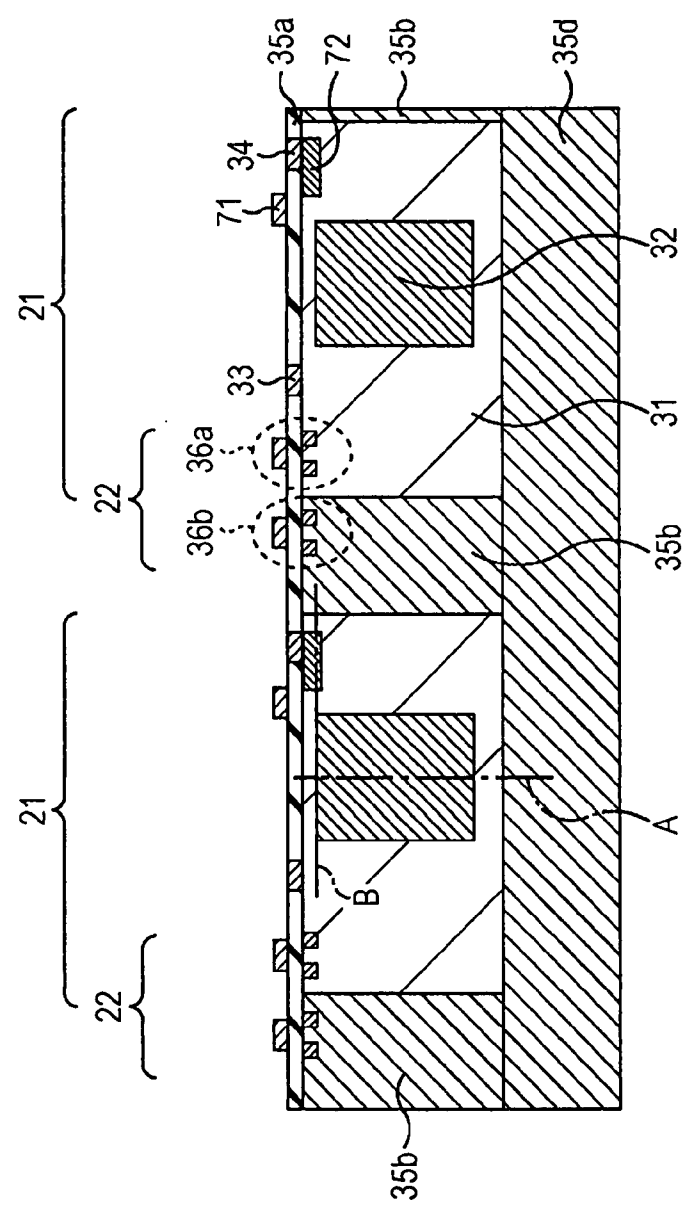


圖 33

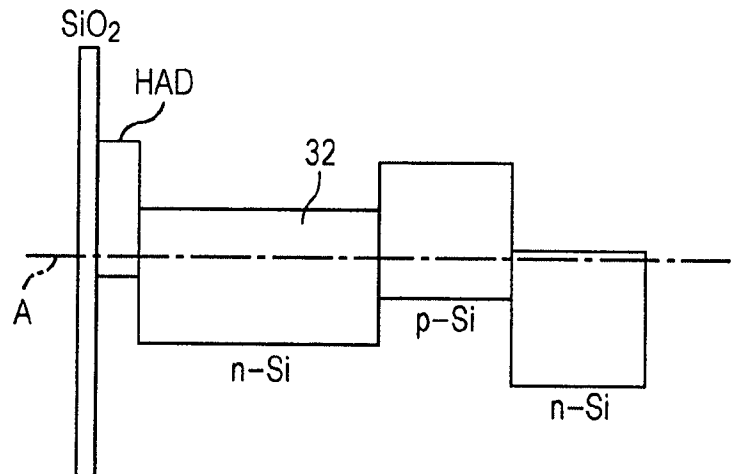


圖 34

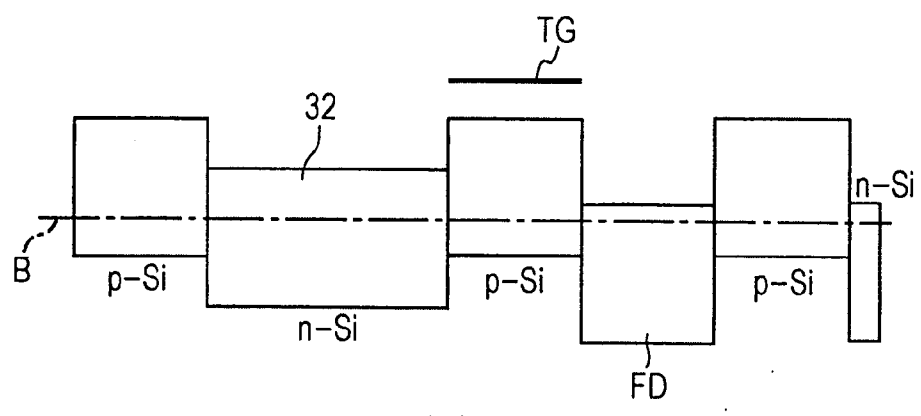


圖 35

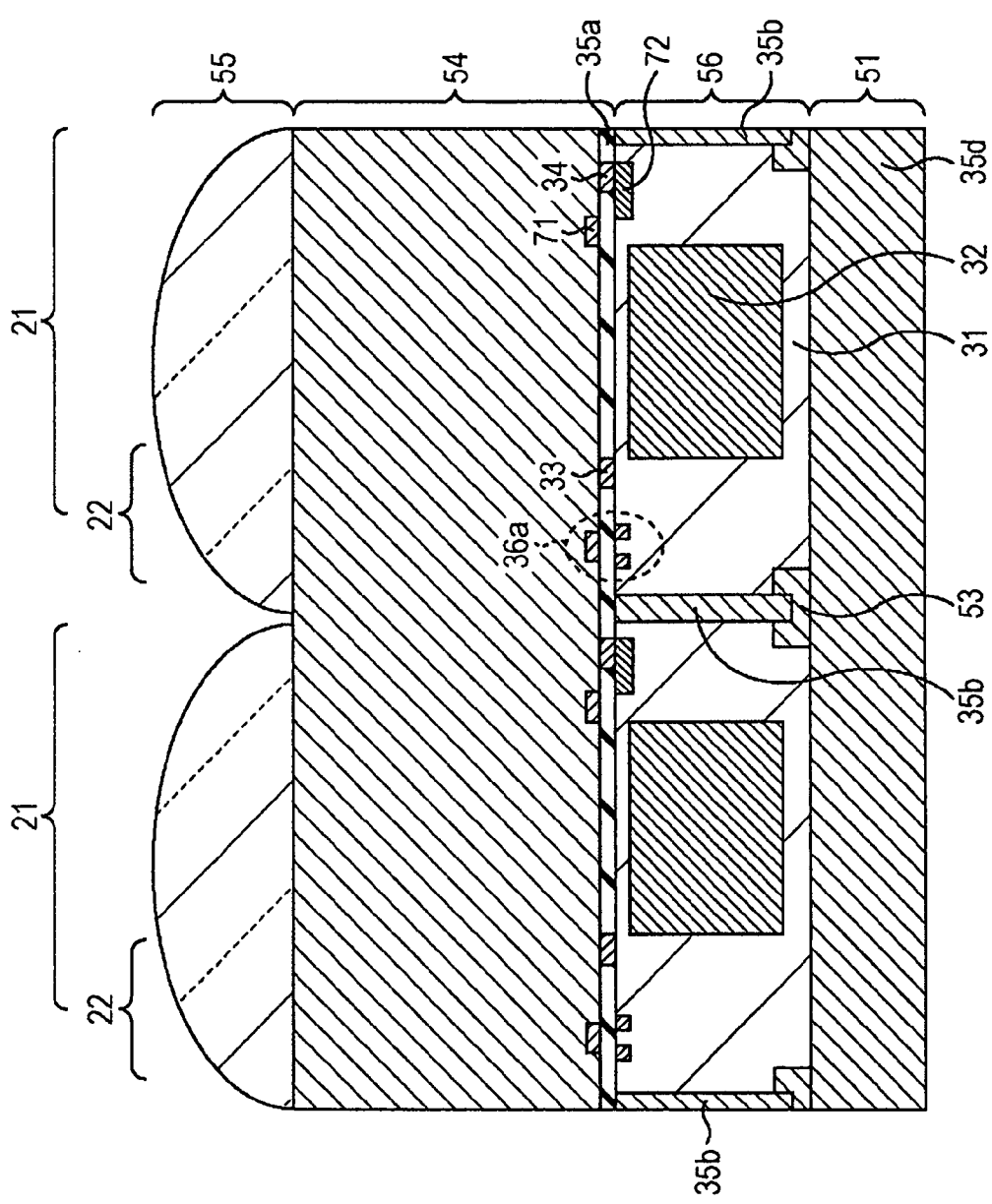


圖 36

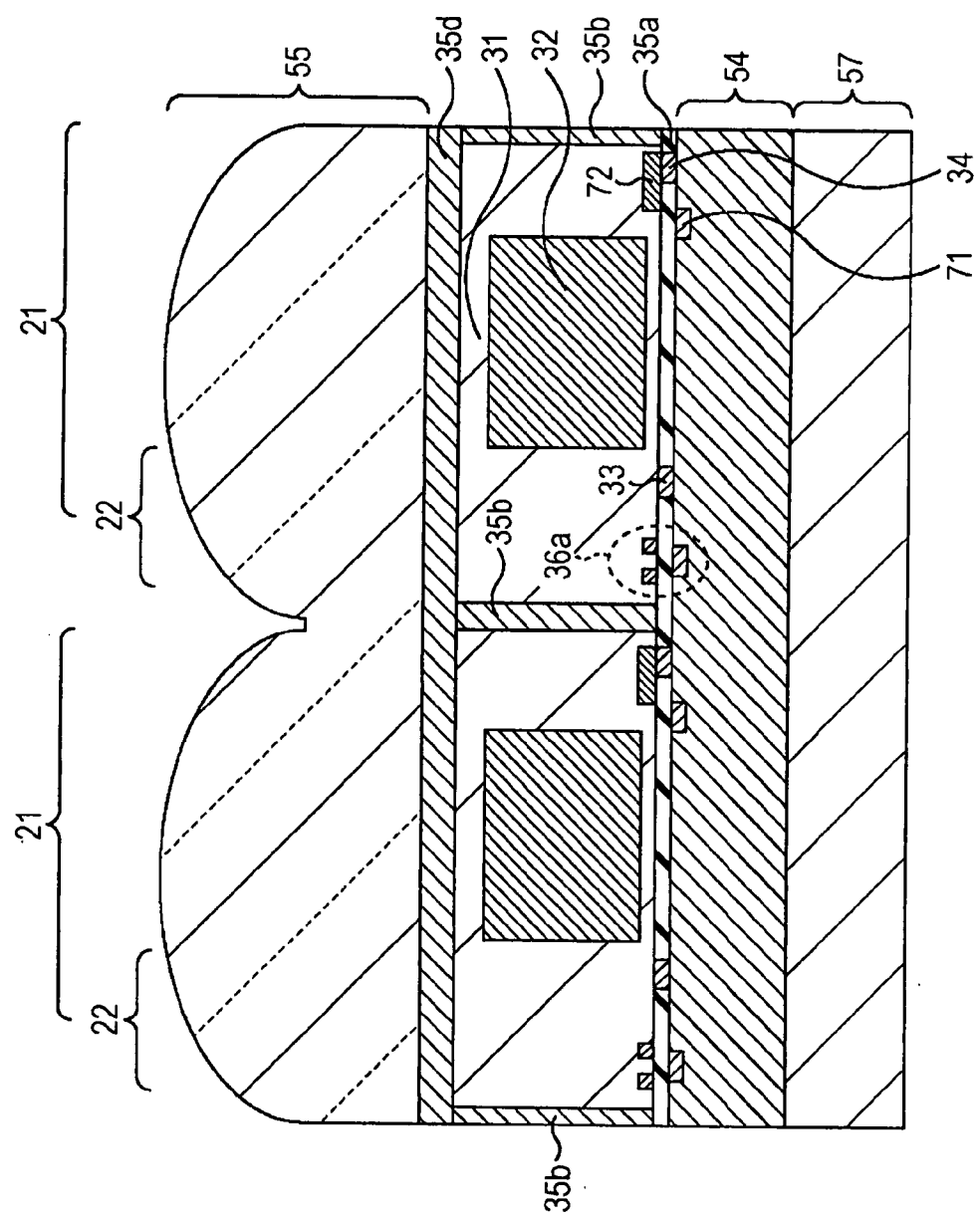
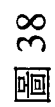


圖 37



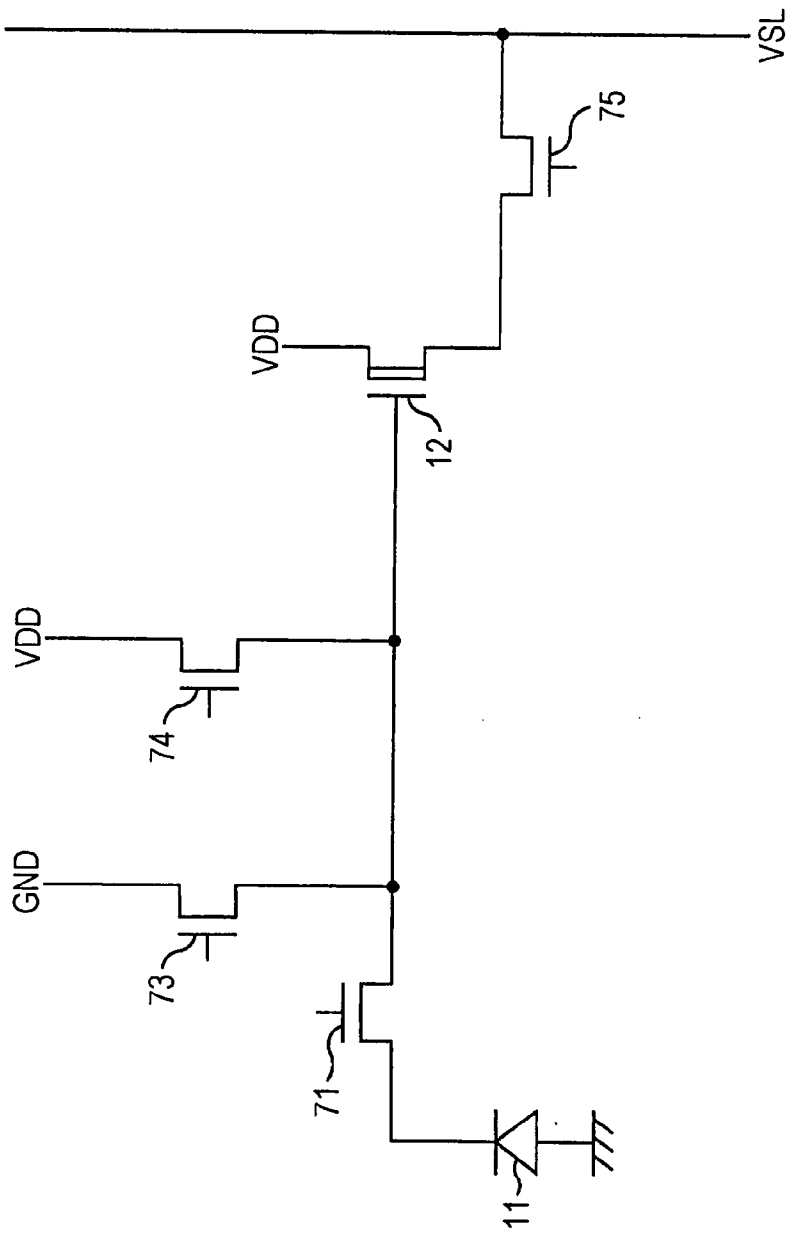


圖 39

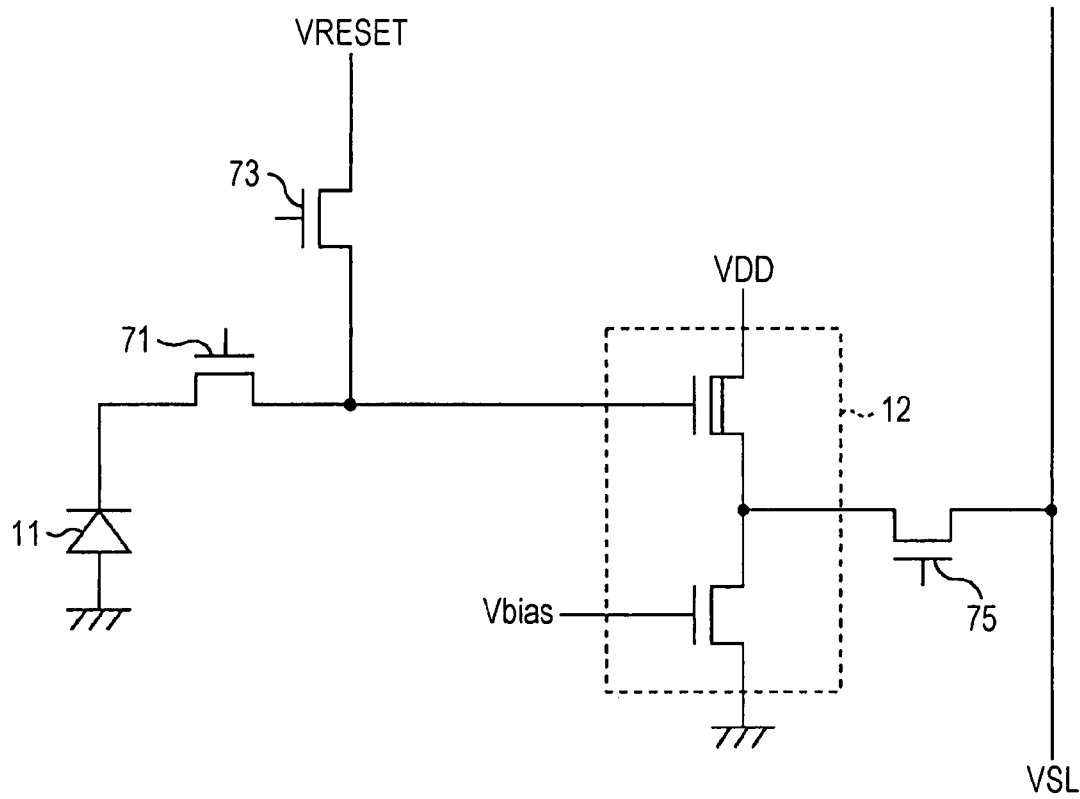


圖 40

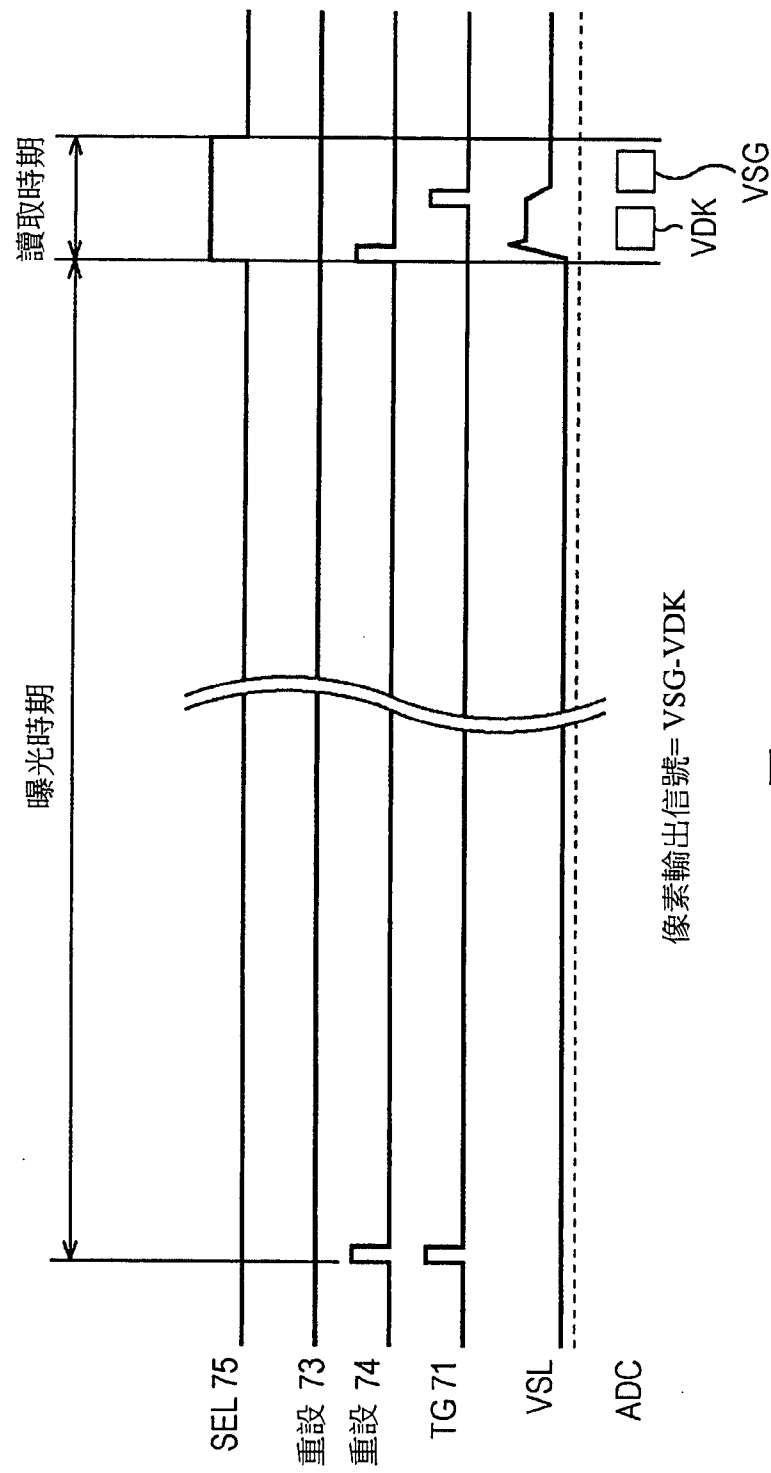
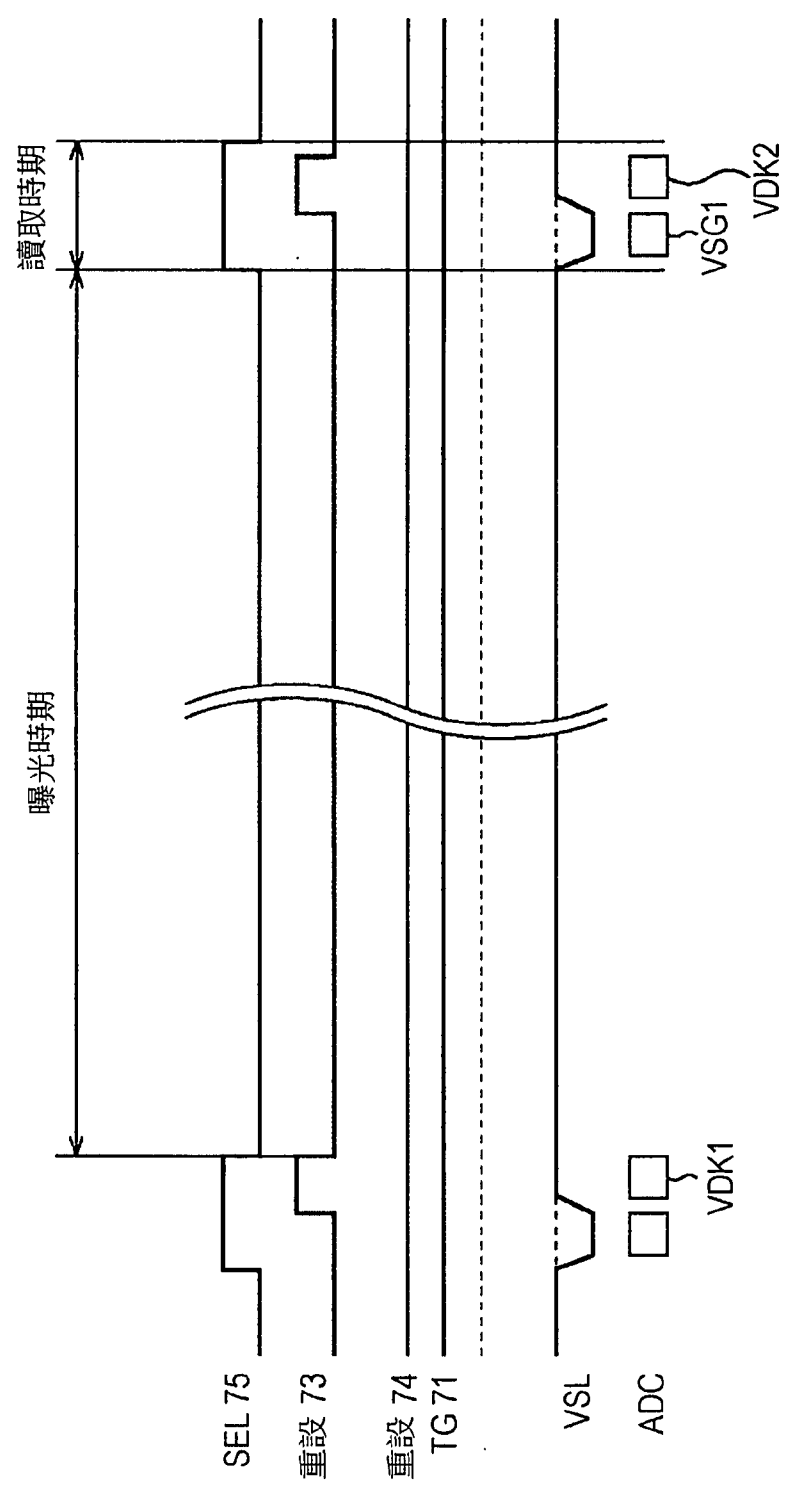
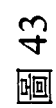


圖 41



步驟1 (P相→D相)之像素輸出信號= VSG1-VDK1
步驟2 (D相→P相)之像素輸出信號= VSG1-VDK2

圖 42



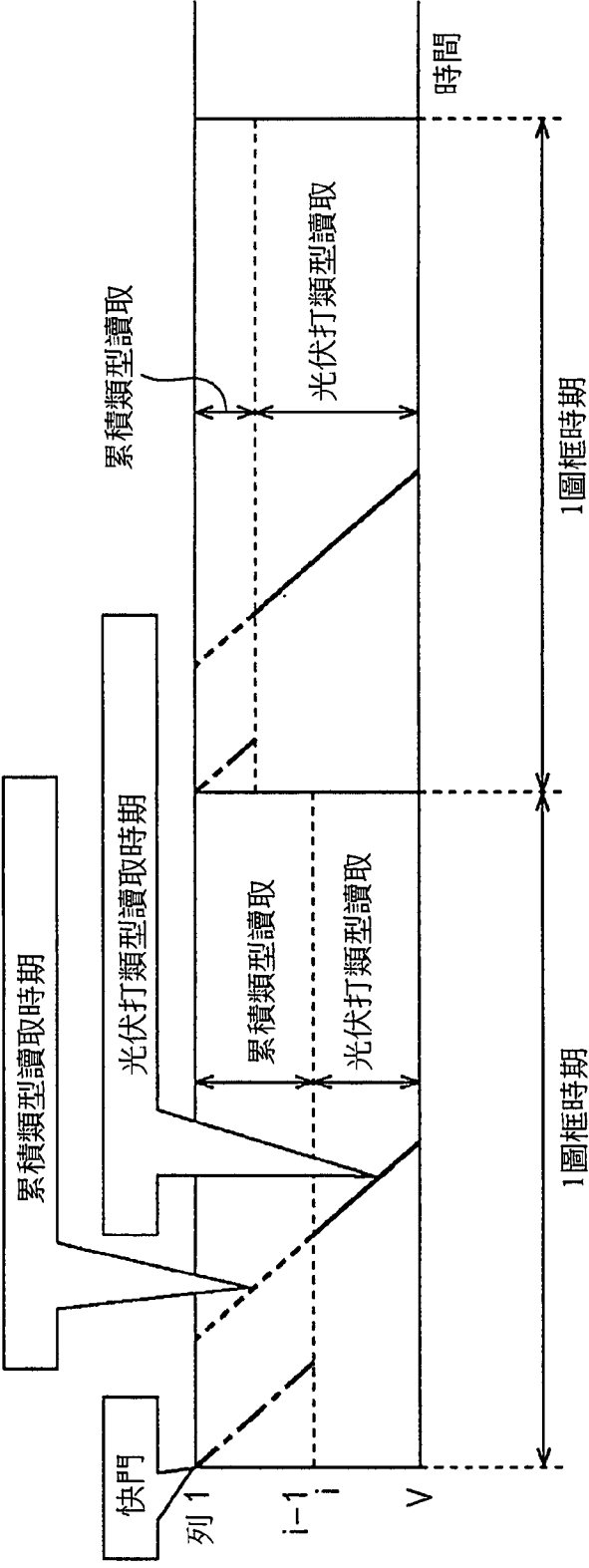


圖 44

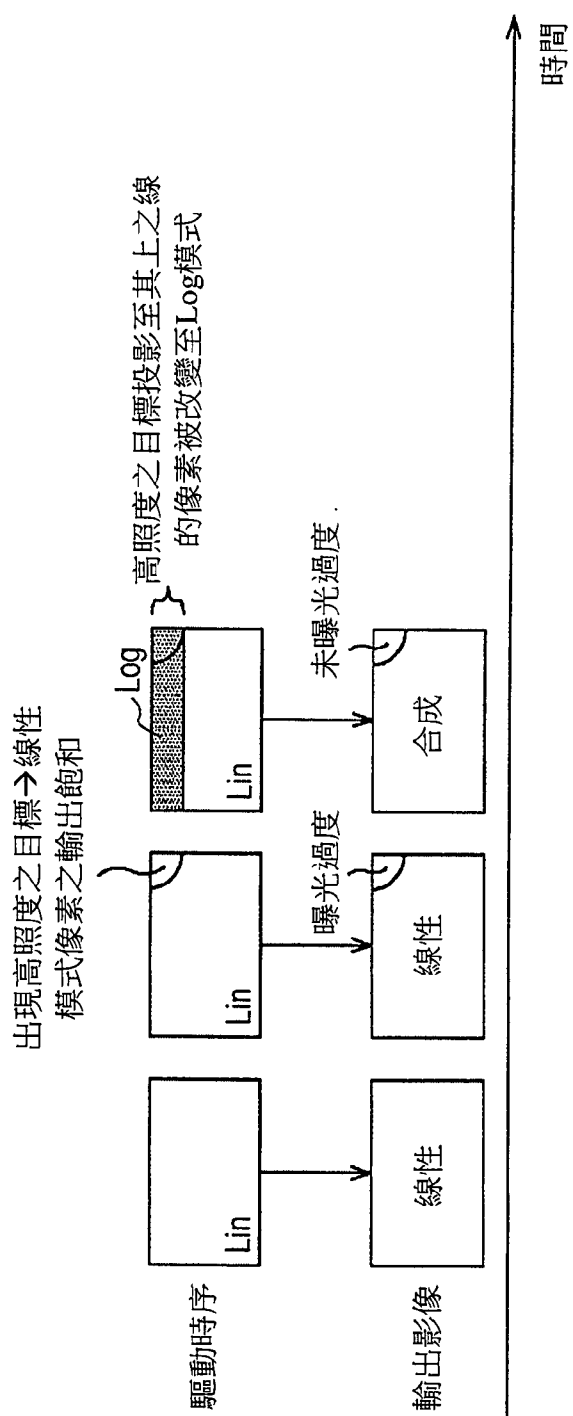


圖 45

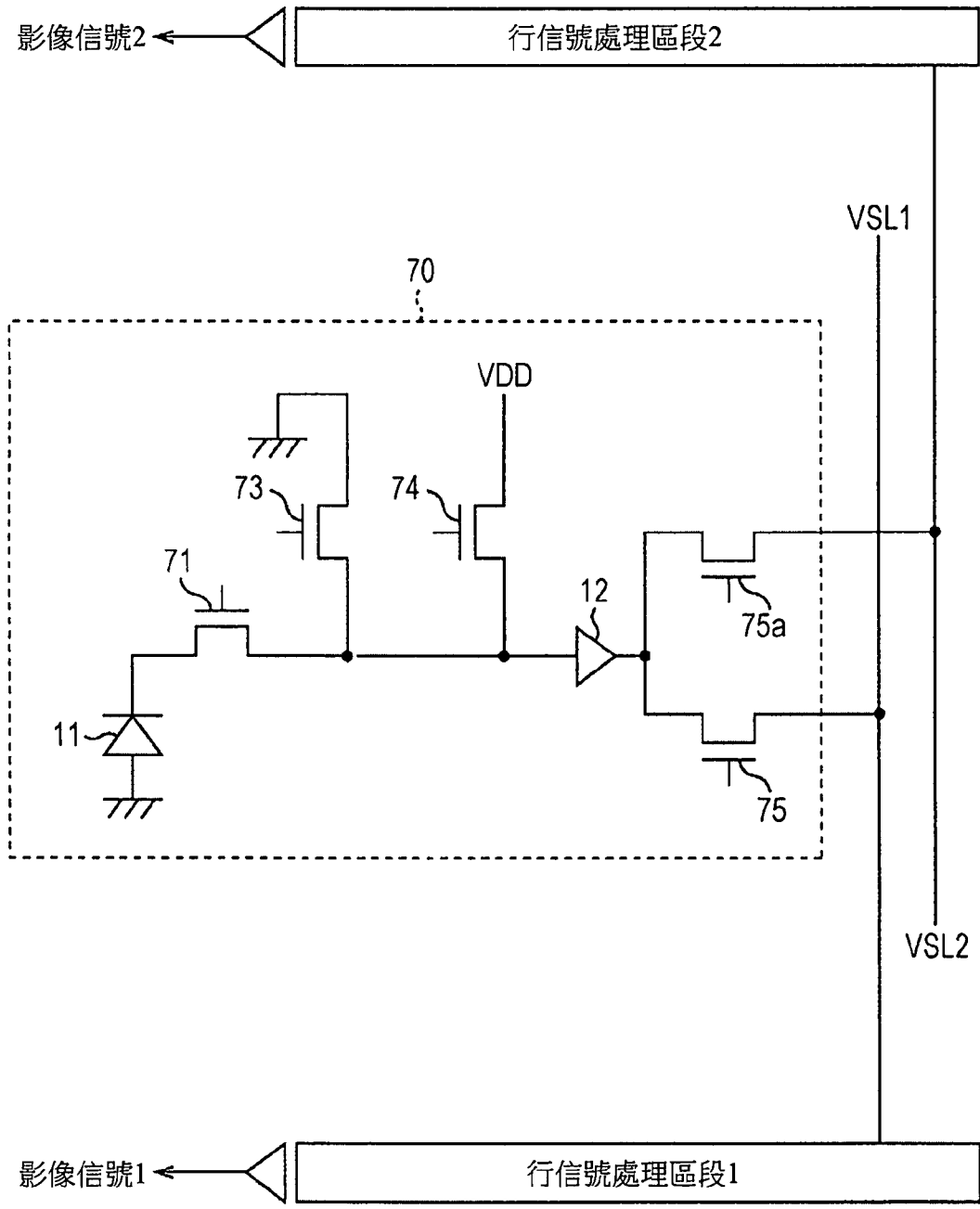


圖 46

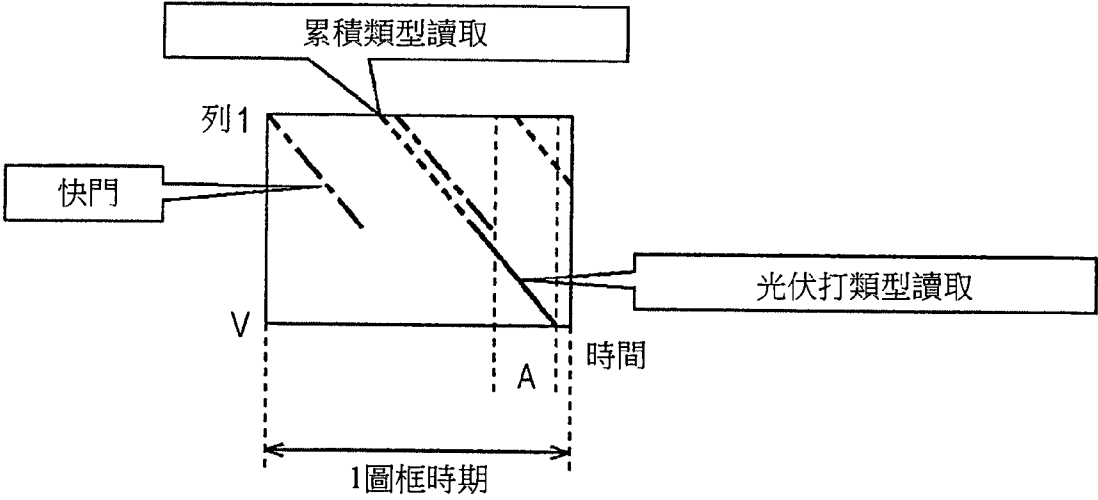


圖 47

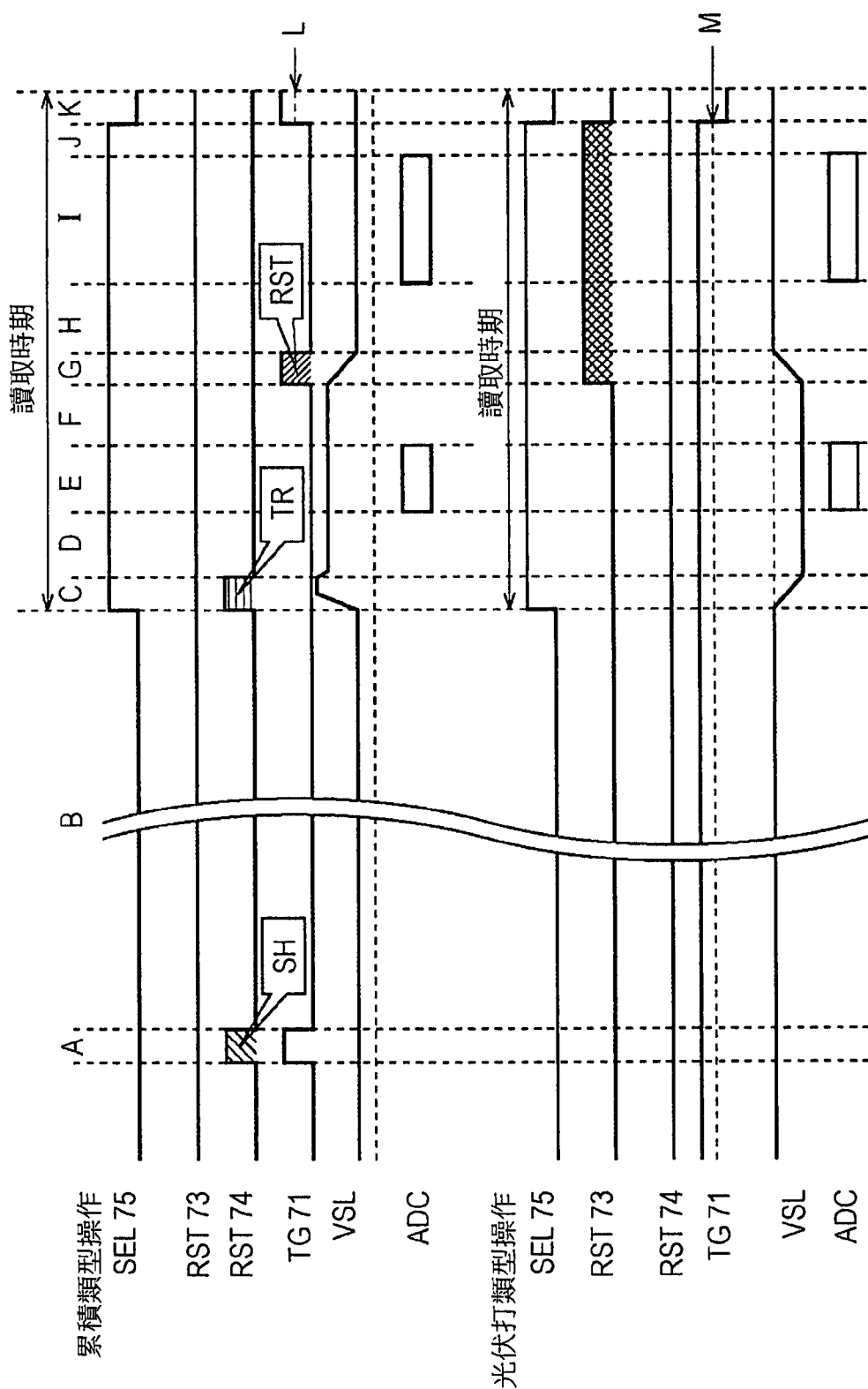


圖 48

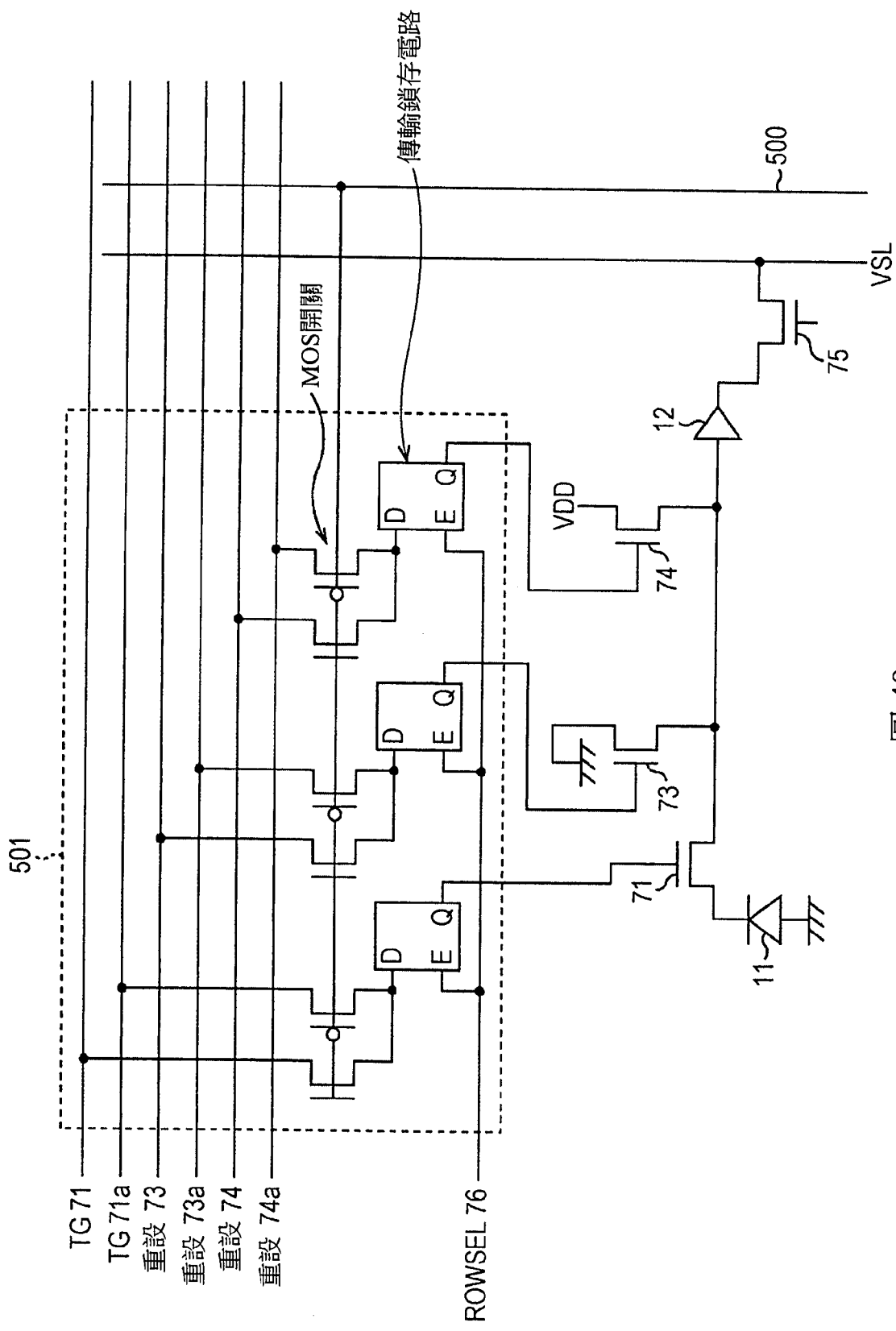


圖 49

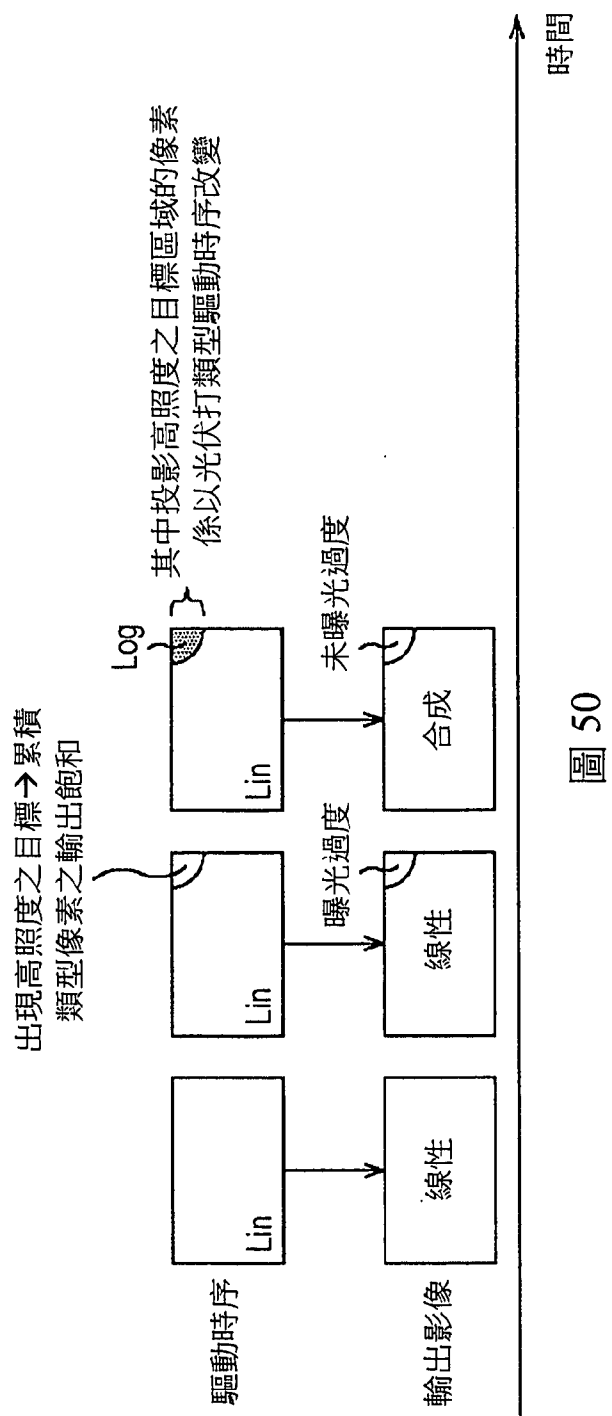


圖 50

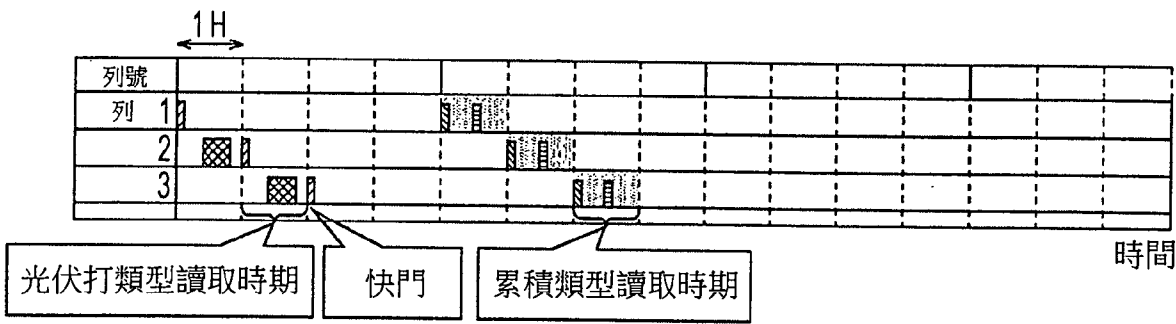


圖 51A

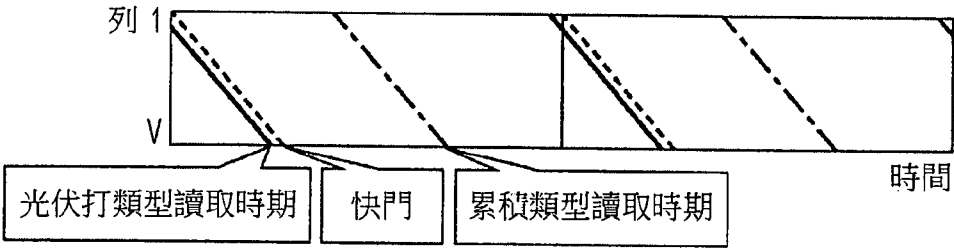


圖 51B

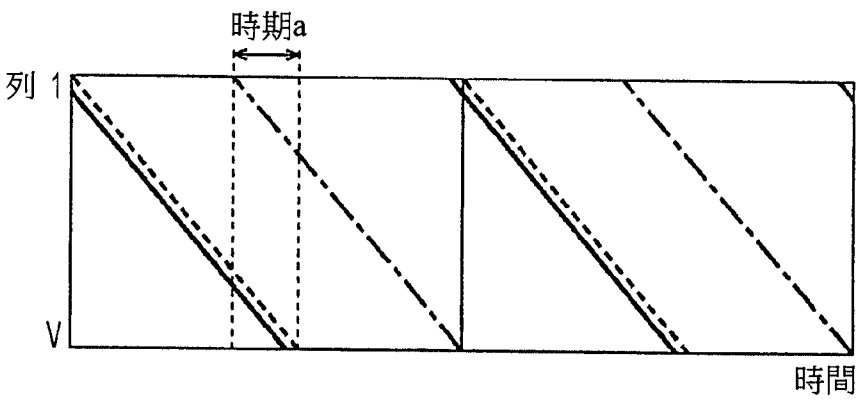


圖 51C

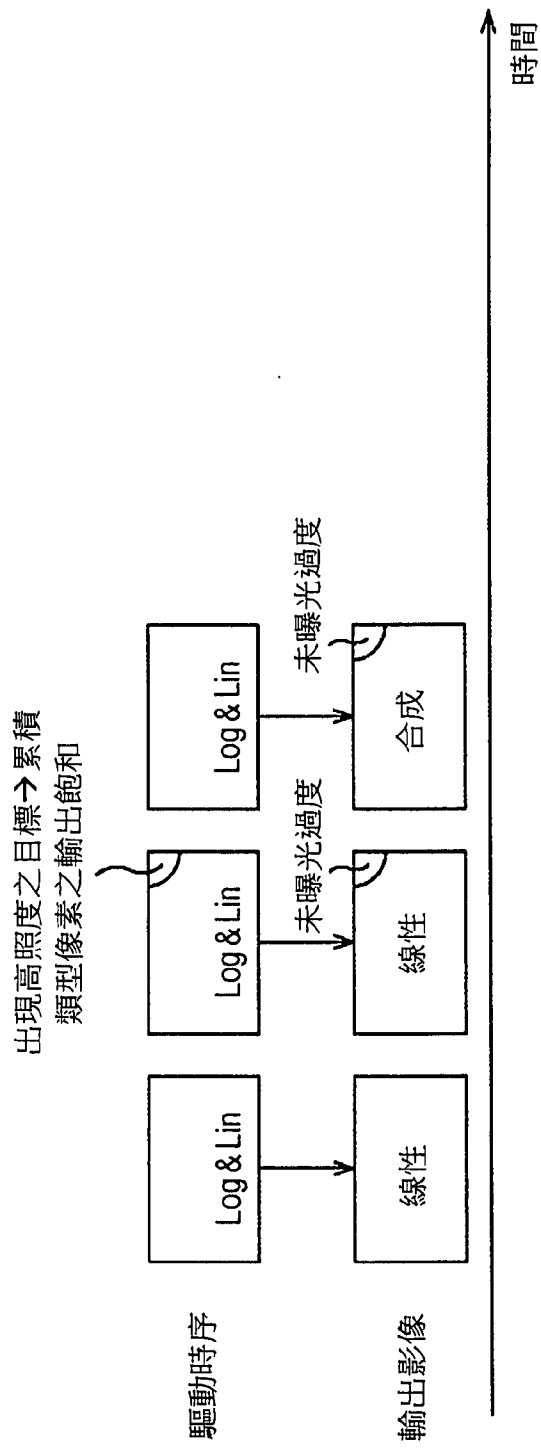


圖 52

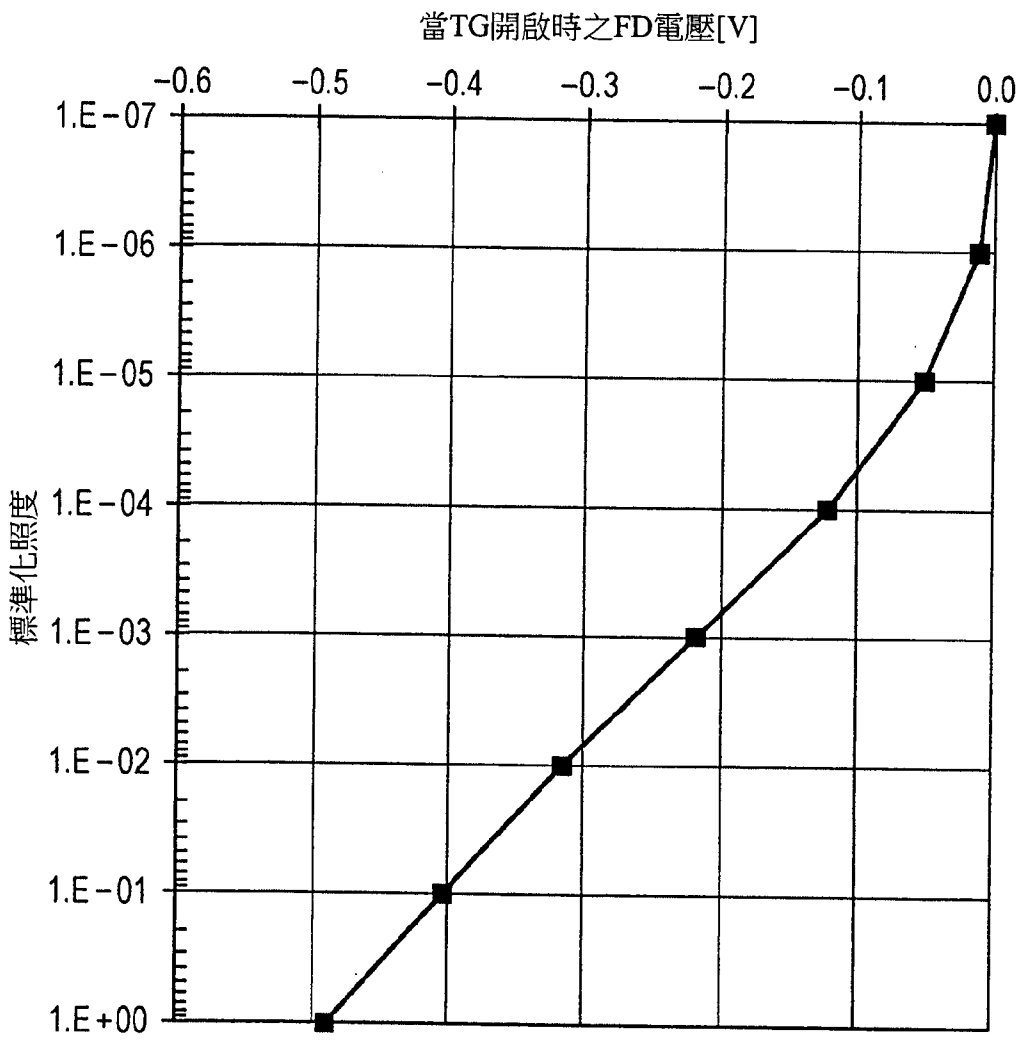


圖 53

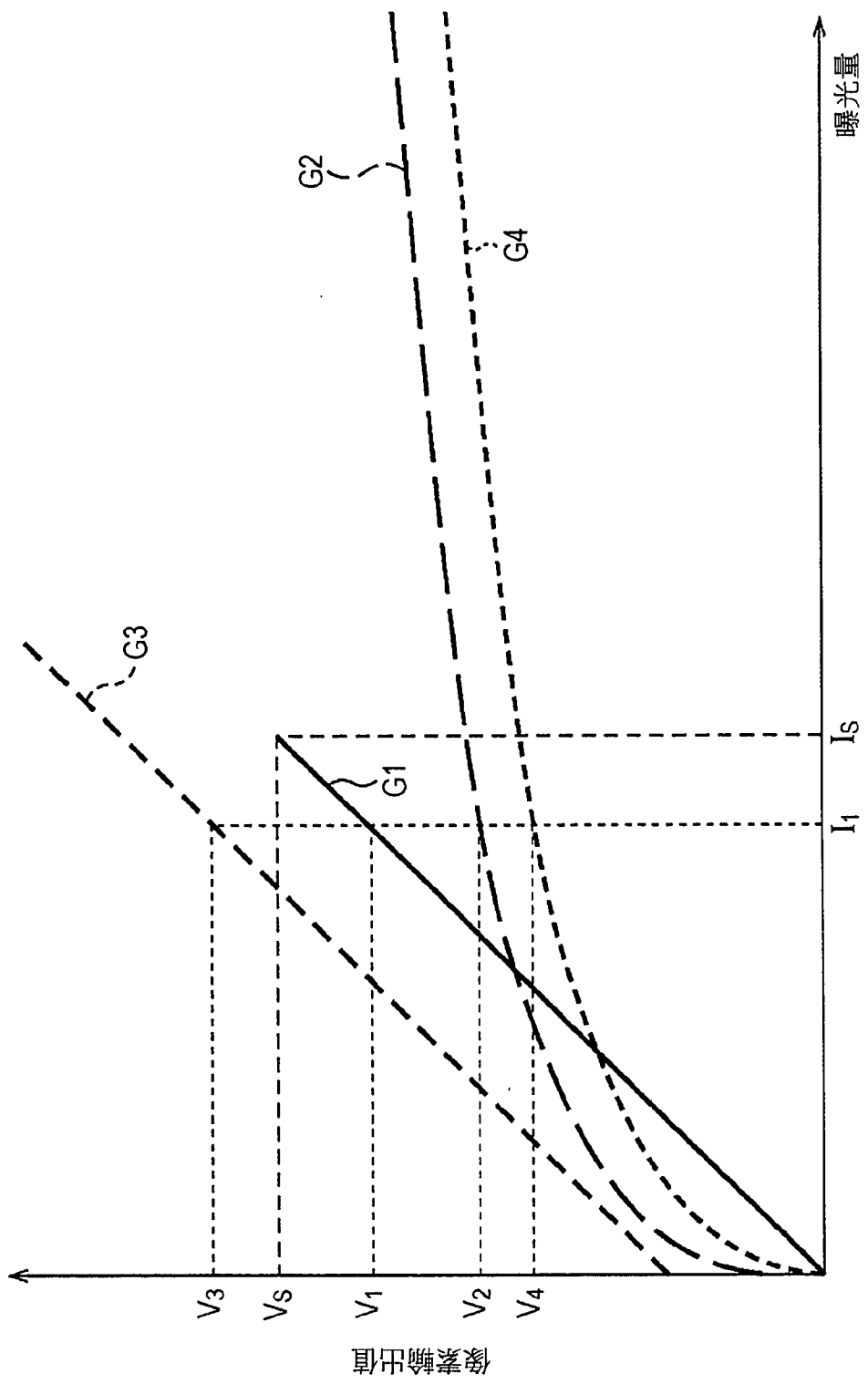


圖 54

申請專利範圍

1. 一種成像器件，其包括：

光伏打類型像素，其等具有取決於照射光而針對各像素產生光伏打電力之光電轉換區域，其中一PN接面二極體經形成於該光電轉換區域中作為一光感測器；

一元件隔離區域，其經提供於鄰近像素之該等光電轉換區域之間且處於實質上包圍該光電轉換區域之一狀態；及

一累積類型像素，其具有包含一電荷累積區段之一光電轉換區域、一傳送閘及一浮動擴散層，其中該累積類型像素經提供於鄰近於該等光伏打類型像素之一者之一位置中。

2. 如請求項1之成像器件，

其中該元件隔離區域係以阻斷該等光伏打類型像素之信號電荷至該鄰近像素之擴散之一材料組態。

3. 如請求項1或2之成像器件，

其中該光伏打類型像素進一步包含一傳送閘及浮動擴散層，且操作為一累積類型及光伏打類型像素。

4. 如請求項1或2之成像器件，進一步包括：

一累積類型及光伏打類型像素，其具有該光電轉換區域、一傳送閘及浮動擴散層，

其中該光伏打類型像素及該累積類型與光伏打類型像素經形成為鄰近彼此。

5. 如請求項1或2之成像器件，

其中各像素中之該光電轉換區域與一像素電路區域之間的一部分經絕緣。

6. 一種裝備有一成像器件之電子裝置，

其中該成像器件包含

光伏打類型像素，其等具有取決於照射光而針對各像素產生光伏打電力之光電轉換區域，其中一PN接面二極體經形成於該光電轉換區域中作為一光感測器，

一元件隔離區域，其經提供於鄰近像素之該等光電轉換區域之間且處於實質上包圍該光電轉換區域之一狀態；及

一累積類型像素，其具有包含一電荷累積區段之一光電轉換區域、一傳送閘及一浮動擴散層，其中該累積類型像素經提供於鄰近於該等光伏打類型像素之一者之一位置中。