

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 7 月 17 日(17.07.2014)



(10) 国際公開番号
WO 2014/109221 A1

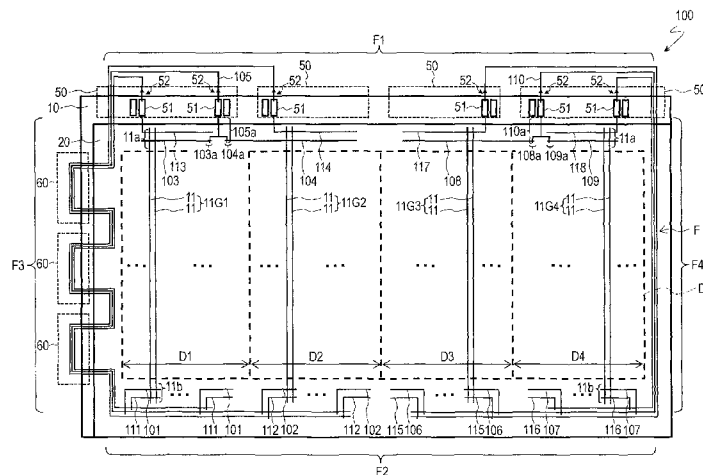
- (51) 国際特許分類:
G09F 9/30 (2006.01) *G09F 9/00* (2006.01)
G02F 1/1345 (2006.01)
- (21) 国際出願番号: PCT/JP2013/084471
- (22) 国際出願日: 2013 年 12 月 24 日(24.12.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-002949 2013 年 1 月 10 日(10.01.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 伊藤 了基(ITO Ryohki).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目 8 番 1 6 号 大阪証券取引所ビル 10 階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: ACTIVE MATRIX SUBSTRATE, DISPLAY DEVICE, DEFECT MODIFICATION METHOD FOR DISPLAY DEVICE, AND METHOD FOR MANUFACTURING DISPLAY DEVICE

(54) 発明の名称: アクティブマトリクス基板、表示装置、表示装置の欠陥修正方法および表示装置の製造方法



(57) Abstract: An active matrix substrate (10) is provided with first wiring (101), second wiring (102), third wiring (103), fourth wiring (104), and a fifth wiring (105) provided in a nondisplay region (F). The first wiring crosses at least part of a first bus line group with an insulating layer interposed therebetween in a non-input side end part of the bus line. The second wiring crosses at least part of a second bus line group with an insulating layer interposed therebetween in a non-input side end part of the bus line. The third wiring crosses the first bus line group on the input side end part with an insulating layer interposed therebetween and does not cross the second bus line group. The fourth wiring crosses the second bus line group on the input side end part with an insulating layer interposed therebetween and does not cross the first bus line group. The fifth wiring is guided so as to cross the first, second, third, and fourth wirings with an insulating layer interposed therebetween. The third wiring and fourth wiring are electrically isolated.

(57) 要約:

[続葉有]



WO 2014/109221 A1



アクティブマトリクス基板（１０）は、非表示領域Ｆに設けられた第１配線（１０１）、第２配線（１０２）、第３配線（１０３）、第４配線（１０４）および第５配線（１０５）を備える。第１配線は、第１バスライン群のうちの少なくとも一部のバスラインの非入力側端部に絶縁層を介して交差する。第２配線は、第２バスライン群のうちの少なくとも一部のバスラインの非入力側端部に絶縁層を介して交差する。第３配線は、第１バスライン群の入力側端部に絶縁層を介して交差し、且つ、第２バスライン群には交差しない。第４配線は、第２バスライン群の入力側端部に絶縁層を介して交差し、且つ、第１バスライン群には交差しない。第５配線は、第１、第２、第３および第４配線に絶縁層を介して交差するように引き回されている。第３配線と第４配線とは、電氣的に分離されている。

明 細 書

発明の名称：

アクティブマトリクス基板、表示装置、表示装置の欠陥修正方法および表示装置の製造方法

技術分野

[0001] 本発明は、アクティブマトリクス基板に関する。また、本発明は、表示装置や表示装置の欠陥修正方法、表示装置の製造方法にも関する。

背景技術

[0002] 液晶表示装置は、薄型で低消費電力であるという特徴を有し、様々な分野に広く用いられている。特に、画素ごとに薄膜トランジスタ（ＴＦＴ）を備えたアクティブマトリクス型の液晶表示装置は、高いコントラスト比および優れた応答特性を有し、高性能であるため、テレビやモニタ、ノートパソコンなどに用いられており、近年その市場規模が拡大している。

[0003] アクティブマトリクス型液晶表示装置は、複数のＴＦＴが形成されたアクティブマトリクス基板と、アクティブマトリクス基板に対向するように設けられたカラーフィルタ基板とを備え、これらの間に挟持された液晶層の配向状態を制御することによって表示を行う。

[0004] アクティブマトリクス基板には、上述したＴＦＴの他、ＴＦＴに走査信号を供給するための多数のゲートバスラインや、ＴＦＴに表示信号を供給するための多数のソースバスラインが形成されている。アクティブマトリクス基板は、絶縁性基板上に、半導体膜や絶縁膜、導体膜を堆積する工程と、これらの膜をパターンニングする工程とを繰り返すことによって作製される。そのため、バスライン（上述したゲートバスラインやソースバスライン）に断線が発生することがある。断線箇所よりも下流側に位置する画素のＴＦＴには、正常に信号が供給されなくなるので、その画素では所望の表示を行うことができない。

[0005] このように、バスラインの断線は、表示欠陥の原因となる。そこで、バス

ラインの断線に起因した表示欠陥を、額縁領域（非表示領域）に設けられたリペア配線を用いて修正する技術が提案されている。

[0006] 例えば特許文献 1 には、非表示領域に第 1、第 2 および第 3 のリペア配線が設けられた表示装置が開示されている。この表示装置では、複数本のソースバスライン（ドレインバスライン）は、 m 個のグループに分割されている。ソースバスラインの各グループについて n 本の第 1 のリペア配線が形成されており、 n 本の第 1 のリペア配線のそれぞれは、対応するグループのすべてのソースバスラインに絶縁膜を介して交差している。また、表示領域に対して第 1 のリペア配線とは反対側に、ソースバスラインの各グループについて n 本の第 2 のリペア配線が形成されている。 n 本の第 2 のリペア配線のそれぞれも、対応するグループのすべてのソースバスラインに絶縁膜を介して交差している。そして、すべての（つまり $m \times n$ 本の）第 2 のリペア配線に絶縁膜を介して交差するように、 $2 \times n$ 本の第 3 のリペア配線が形成されている。第 1 のリペア配線は、その一端および他端が、対応する第 3 のリペア配線にそれぞれ電氣的に接続されている。また、第 2 のリペア配線は、その両端において第 3 のリペア配線と交差している。

[0007] 特許文献 1 の表示装置では、ソースバスラインに断線が発生した場合、断線しているソースバスラインと第 1 のリペア配線との交差部にレーザ光を照射してこれらを電氣的に接続するとともに、断線しているソースバスラインと第 2 のリペア配線との交差部にレーザ光を照射してこれらを電氣的に接続する。さらに、断線しているソースバスラインに接続された第 2 のリペア配線と第 3 のリペア配線との交差部にもレーザ光を照射してこれらを電氣的に接続する。これにより、断線しているソースバスラインの断線箇所よりも上流側の部分と下流側の部分とが、第 1、第 2 および第 3 のリペア配線を介して電氣的に接続される。そのため、断線しているソースバスライン全体に表示信号が供給されるようになる。

先行技術文献

特許文献

[0008] 特許文献1：特開2001-166704号公報

発明の概要

発明が解決しようとする課題

[0009] しかしながら、上述したようにリペア配線を用いて表示欠陥の修正を行う場合、リペア配線にぶら下がる容量（負荷）に起因した表示信号の遅延（鈍り）が発生することがある。表示信号の遅延は、表示不良の原因となる。例えばノーマリホワイト方式で表示を行うTNモードの液晶表示装置では、上述したような表示信号の遅延が発生すると、薄い輝線がライン状の表示不良として視認されてしまう。特許文献1の技術では、そのような問題の発生を防止するために、第1のリペア配線および第2のリペア配線は、ソースバスラインとの接続箇所の近傍でレーザ光の照射により切断される。ところが、バスラインが挟ピッチで配置されている場合（つまり表示パネルが高精細でバスラインの本数が多い場合）には、切断箇所が確保できず、切断を無理に行った場合には、2次不良の発生が懸念される。

[0010] 本発明は、上記問題に鑑みてなされたものであり、その目的は、バスラインの断線に起因した表示欠陥の修正に好適な構造を有するアクティブマトリクス基板およびそのようなアクティブマトリクス基板を備えた表示装置を提供することにある。

課題を解決するための手段

[0011] 本発明の実施形態によるアクティブマトリクス基板は、表示領域および前記表示領域の外側に設けられた非表示領域を有する表示装置に用いられるアクティブマトリクス基板であって、それぞれが所定の方に延びる複数本のバスラインであって、第1バスライン群および前記第1バスライン群に隣接する第2バスライン群を含む複数のバスライン群に区分される複数本のバスラインと、前記非表示領域に設けられた少なくとも1本の第1配線であって、それぞれが前記第1バスライン群のうちの少なくとも一部のバスラインの、信号入力側とは反対側の端部に絶縁層を介して交差する少なくとも1本の第1配線と、前記非表示領域に設けられた少なくとも1本の第2配線であって

て、それぞれが前記第2バスライン群のうちの少なくとも一部のバスラインの、信号入力側とは反対側の端部に絶縁層を介して交差する少なくとも1本の第2配線と、前記非表示領域に設けられた第3配線であって、前記第1バスライン群の信号入力側の端部に絶縁層を介して交差し、且つ、前記第2バスライン群には交差しない第3配線と、前記非表示領域に設けられた第4配線であって、前記第2バスライン群の信号入力側の端部に絶縁層を介して交差し、且つ、前記第1バスライン群には交差しない第4配線と、前記非表示領域に設けられた第5配線であって、前記第1、第2、第3および第4配線に絶縁層を介して交差するように引き回された第5配線と、を備え、前記第3配線と前記第4配線とは、電氣的に分離されており、前記第3配線は、前記第3配線の、前記第4配線側の端部で前記第5配線と交差しており、前記第4配線は、前記第4配線の、前記第3配線側の端部で前記第5配線と交差している。

[0012] ある実施形態において、前記少なくとも1本の第1配線は、複数本の第1配線であり、前記少なくとも1本の第2配線は、複数本の第2配線である。

[0013] ある実施形態において、前記少なくとも1本の第1配線は、1本の第1配線であり、前記少なくとも1本の第2配線は、1本の第2配線である。

[0014] ある実施形態において、前記複数のバスライン群は、第3バスライン群および前記第3バスライン群に隣接する第4バスライン群をさらに含み、前記アクティブマトリクス基板は、前記非表示領域に設けられた少なくとも1本の第6配線であって、それぞれが前記第3バスライン群のうちの少なくとも一部のバスラインの、信号入力側とは反対側の端部に絶縁層を介して交差する少なくとも1本の第6配線と、前記非表示領域に設けられた少なくとも1本の第7配線であって、それぞれが前記第4バスライン群のうちの少なくとも一部のバスラインの、信号入力側とは反対側の端部に絶縁層を介して交差する少なくとも1本の第7配線と、前記非表示領域に設けられた第8配線であって、前記第3バスライン群の信号入力側の端部に絶縁層を介して交差し、且つ、前記第4バスライン群には交差しない第8配線と、前記非表示領域

に設けられた第9配線であって、前記第4バスライン群の信号入力側の端部に絶縁層を介して交差し、且つ、前記第3バスライン群には交差しない第9配線と、前記非表示領域に設けられた第10配線であって、前記第6、第7、第8および第9配線に絶縁層を介して交差するように引き回された第10配線と、をさらに備え、前記第8配線と前記第9配線とは、電氣的に分離されており、前記第8配線は、前記第8配線の、前記第9配線側の端部で前記第10配線と交差しており、前記第9配線は、前記第9配線の、前記第8配線側の端部で前記第10配線と交差しており、前記第5配線と前記第10配線とは互いに電氣的に分離されている。

[0015] 本発明の実施形態による表示装置は、上述した構成を有するアクティブマトリクス基板を備える。

[0016] ある実施形態において、前記複数本のバスラインは、表示信号が供給される複数本のソースバスラインである。

[0017] ある実施形態において、前記アクティブマトリクス基板は、それぞれが前記所定の方向に交差する方向に延びる複数本のゲートバスラインをさらに備え、前記非表示領域は、前記複数本のソースバスラインの信号入力側の端部が位置する第1の部分と、前記複数本のソースバスラインの信号入力側とは反対側の端部が位置する第2の部分と、前記複数本のゲートバスラインの信号入力側の端部が位置する第3の部分と、前記複数本のゲートバスラインの信号入力側とは反対側の端部が位置する第4の部分とを含む。

[0018] ある実施形態において、前記第5配線は、前記複数本のゲートバスラインと同一の導電膜から形成されている。

[0019] ある実施形態において、前記第5配線は、前記複数本のソースバスラインと同一の導電膜から形成されている。

[0020] ある実施形態において、上述した構成を有する表示装置は、前記非表示領域の前記第1の部分において前記アクティブマトリクス基板の端部に取り付けられた第1フレキシブルプリント基板をさらに備える。

[0021] ある実施形態において、前記第5配線は、前記第1フレキシブルプリント

基板に形成された部分を含む。

[0022] ある実施形態において、上述した構成を有する表示装置は、前記非表示領域の前記第3の部分において前記アクティブマトリクス基板の端部に取り付けられた第2フレキシブルプリント基板をさらに備える。

[0023] ある実施形態において、前記第5配線は、前記非表示領域の前記第3の部分には位置しないように引き回されている。

[0024] ある実施形態において、上述した構成を有する表示装置は、前記複数のゲートバスラインに走査信号を供給するゲートドライバをさらに備え、前記ゲートドライバは、前記非表示領域の前記第3の部分において前記アクティブマトリクス基板上に一体的に形成されており、前記第5配線は、前記非表示領域の前記第3の部分においては前記ゲートドライバよりも外側に位置するように引き回されている。

[0025] 本発明の実施形態による表示装置の欠陥修正方法は、上述した構成を有する表示装置に用いられる表示装置の欠陥修正方法であって、前記第1バスライン群および前記第2バスライン群のバスラインから、断線しているバスラインを特定する工程と、前記第1配線および前記第2配線の一方と、前記第3配線および前記第4配線の一方と、前記第5配線とを含む配線経路であって、前記特定されたバスラインの信号入力側の端部と信号入力側とは反対側の端部とを電氣的に接続する配線経路を形成する工程と、を包含する。

[0026] ある実施形態において、前記配線経路を形成する工程は、前記特定されたバスラインが前記第1バスライン群のバスラインである場合には、前記特定されたバスラインと、前記第1配線、前記第3配線および前記第5配線とを電氣的に接続する工程を含み、前記特定されたバスラインが前記第2バスライン群のバスラインである場合には、前記特定されたバスラインと、前記第2配線、前記第4配線および前記第5配線とを電氣的に接続する工程を含む。

[0027] 本発明の実施形態による表示装置の製造方法は、前記アクティブマトリクス基板を備えた表示装置を作製する工程と、上述した表示装置の欠陥修正方

法によって前記表示装置の表示欠陥を修正する工程と、を包含する。

発明の効果

[0028] 本発明の実施形態によると、バスラインの断線に起因した表示欠陥の修正に好適な構造を有するアクティブマトリクス基板およびそのようなアクティブマトリクス基板を備えた表示装置が提供される。

図面の簡単な説明

[0029] [図1]本発明の実施形態における液晶表示装置100を模式的に示す平面図である。

[図2]本発明の実施形態における液晶表示装置100の1つの画素に対応した領域を模式的に示す平面図である。

[図3]本発明の実施形態における液晶表示装置100の1つの画素に対応した領域を模式的に示す断面図であり、図2中の3A-3A'線に沿った断面図である。

[図4]本発明の実施形態における液晶表示装置100を模式的に示す平面図である。

[図5]本発明の実施形態における液晶表示装置100を模式的に示す平面図である。

[図6]比較例の液晶表示装置700を模式的に示す平面図である。

[図7]本発明の実施形態における液晶表示装置100を模式的に示す平面図である。

[図8]本発明の実施形態における液晶表示装置100を模式的に示す平面図である。

[図9]液晶表示装置100が備える第3配線103のコンタクト部103C近傍を模式的に示す平面図である。

[図10]液晶表示装置100が備える第3配線103のコンタクト部103C近傍を模式的に示す図であり、図9中の10A-10A'線に沿った断面図である。

[図11]本発明の実施形態における液晶表示装置200を模式的に示す平面図

である。

[図12]本発明の実施形態における液晶表示装置300を模式的に示す平面図である。

[図13]本発明の実施形態における液晶表示装置400を模式的に示す平面図である。

発明を実施するための形態

[0030] 以下、図面を参照しながら本発明の実施形態を説明する。なお、本発明は以下の実施形態に限定されるものではない。

[0031] (実施形態1)

図1、図2および図3に、本実施形態における液晶表示装置100を示す。図1は、液晶表示装置100を模式的に示す平面図である。図2は、液晶表示装置100の1つの画素に対応する領域を模式的に示す平面図である。図3は、図2中の3A-3A'線に沿った断面図である。

[0032] 液晶表示装置100は、図1に示すように、表示領域Dと、非表示領域Fとを有する。表示領域Dは、マトリクス状に配列された複数の画素によって規定される。表示領域Dは、第1、第2、第3および第4のブロックD1、D2、D3およびD4に分割されている。非表示領域Fは、表示領域の外側（周囲）に設けられている。非表示領域Fは、第1、第2、第3および第4の部分F1、F2、F3およびF4を有する額縁状の領域であり、「額縁領域」と呼ばれることもある。

[0033] 液晶表示装置100は、図3に示すように、アクティブマトリクス基板（以下では「TFT基板」と呼ぶ。）10と、TFT基板10に対向するように設けられた対向基板（「カラーフィルタ基板」と呼ばれることもある。）20と、TFT基板10および対向基板20の間に設けられた液晶層30とを備える。

[0034] TFT基板10は、表示信号が供給される複数本のソースバスライン（信号配線）11と、走査信号が供給される複数本のゲートバスライン（走査配線）12と、各画素に設けられた薄膜トランジスタ（TFT）13と、TFT

T 1 3 に電氣的に接続された画素電極 1 4 とを有する。

[0035] 複数本のソースバスライン 1 1 のそれぞれは、所定の方法（図 1 および図 3 における上下方向）に延びる。複数本のゲートバスライン 1 2 のそれぞれは、ソースバスライン 1 1 の延びる方向に交差する方向（ここでは直交する方向であり、図 1 および図 3 における左右方向）に延びる。ソースバスライン 1 1 の信号入力側の端部（以下では「入力側端部」と呼ぶ。） 1 1 a は、非表示領域 F の第 1 の部分 F 1 に位置する。これに対し、ソースバスライン 1 1 の信号入力側とは反対側の端部（以下では「非入力側端部」と呼ぶ。） 1 1 b は、非表示領域 F の第 2 の部分 F 2 に位置する。また、ゲートバスライン 1 2 の信号入力側の端部（以下では「入力側端部」と呼ぶ。）は、非表示領域 F の第 3 の部分 F 3 に位置し、ゲートバスライン 1 2 の信号入力側とは反対側の端部（以下では「非入力側端部」と呼ぶ。）は、非表示領域 F の第 4 の部分 F 4 に位置する。

[0036] T F T 1 3 は、ゲート電極 1 3 a、ゲート絶縁膜 1 5、ソース電極 1 3 b、ドレイン電極 1 3 c および半導体層 1 3 d を有する。

[0037] ゲート電極 1 3 a は、複数本のゲートバスライン 1 2 のうちの対応する 1 本に電氣的に接続されている。ゲート絶縁膜 1 5 は、ゲート電極 1 3 a を覆うように形成されている。

[0038] ソース電極 1 3 b は、複数本のソースバスライン 1 1 のうちの対応する 1 本に電氣的に接続されている。ドレイン電極 1 3 c は、画素電極 1 4 に電氣的に接続されている。半導体層 1 3 d は、ゲート絶縁膜 1 5 を介してゲート電極 1 3 a 上に位置するように設けられている。半導体層 1 3 d としては、例えばアモルファスシリコン層や酸化物半導体層が用いられる（勿論これらに限定されるものではない）。酸化物半導体層の材料としては、例えば、 In-Ga-Zn-O 系半導体（以下、「IGZO 系半導体」と略する。）を用いることができる。ここで、IGZO 系半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、Ga および Zn の割合（組成比）は特に限定されず、例えば $\text{In : Ga : Zn} = 2 :$

2 : 1、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ 等を含む。 IGZO 系半導体は、アモルファスでもよいし、結晶質でもよい。アモルファス IGZO 系半導体は、低温で製造でき、また、高い移動度を実現できるという利点を有する。結晶質 IGZO 系半導体としては、 c 軸が層面に概ね垂直に配向した結晶質 IGZO 系半導体が好ましい。このような IGZO 系半導体の結晶構造は、例えば、特開2012-134475号公報に開示されている。参考のために、特開2012-134475号公報の開示内容の全てを本明細書に援用する。

[0039] TFT13を覆うように、層間絶縁膜16が設けられており、画素電極14は、この層間絶縁膜16上に設けられている。層間絶縁膜16には、画素電極14をTFT13のドレイン電極13cに電氣的に接続するためのコンタクトホール16aが形成されている。画素電極14は、典型的には、透明な導電材料（例えばITO）から形成されている。

[0040] 本実施形態におけるTFT基板10は、さらに、ゲートバスライン12に平行に延びる複数本のCsバスライン（補助容量配線）17を有する。Csバスライン17は、補助容量対向電圧（Cs電圧）を供給される。TFT13のドレイン電極13cから延設された補助容量電極18と、Csバスライン17の補助容量電極18に重なる部分と、これらの間に位置する層間絶縁膜16とにより、補助容量が構成される。

[0041] TFT基板10の構成要素（上述したソースバスライン11、ゲートバスライン12、TFT13など）は、絶縁性基板（例えばガラス基板）10aに支持されている。TFT基板10の液晶層30側の表面には、配向膜（不図示）が設けられている。

[0042] 対向基板20は、カラーフィルタ21、ブラックマトリクス22および対向電極（共通電極）23を有する。対向電極23は、透明な導電材料（例えばITO）から形成されている。

[0043] 対向基板20の構成要素（上述したカラーフィルタ21など）は、透明な絶縁性基板（例えばガラス基板）20aに支持されている。対向基板20の

液晶層 30 側の表面には、配向膜（不図示）が設けられている。

[0044] 液晶層 30 は、水平配向膜によって配向規制される水平配向型の液晶層であってもよいし、垂直配向膜によって配向規制される垂直配向型の液晶層であってもよい。液晶表示装置 100 の表示モードに特に制限はなく、用いられる表示モードに応じて、水平配向型または垂直配向型の液晶層 30 が設けられる。表示モードとしては、公知の種々の表示モードが用いられる。例えば、TN（Twisted Nematic）モード、MVA（Multi-domain Vertical Alignment）モード、CPA（Continuous Pinwheel Alignment）モード、IPS（In-Plane Switching）モードおよびFFS（Fringe Field Switching）モードを用いることができる。なお、IPSモードやFFSモードのような横電界モードを用いる場合には、TF基板側に共通電極が設けられる。

[0045] 液晶表示装置 100 は、さらに、非表示領域 F の第 1 の部分 F1 において TF基板 10 の端部に取り付けられた複数の第 1 フレキシブルプリント基板（以下では「第 1 FPC」と呼ぶ。）50 と、非表示領域 F の第 3 の部分 F3 において TF基板 10 の端部に取り付けられた複数の第 2 フレキシブルプリント基板（以下では「第 2 FPC」と呼ぶ。）60 とを備える。また、液晶表示装置 100 は、第 1 FPC 50 に接続された少なくとも 1 つのソース側プリント配線板（ソース側 PWB：不図示）と、第 2 FPC 60 に接続された少なくとも 1 つのゲート側プリント配線板（ゲート側 PWB：不図示）とを備える。

[0046] 第 1 FPC 50 には、ソースバスライン 11 に表示信号を供給するソースドライバ（不図示）が実装されている。ソースバスライン 11 の入力側端部 11a は、ソースドライバに電氣的に接続されている。

[0047] 第 2 FPC 60 には、ゲートバスライン 12 に走査信号を供給するゲートドライバ（不図示）が実装されている。ゲートバスライン 12 の入力側端部は、ゲートドライバに電氣的に接続されている。

[0048] 本実施形態では、複数本のソースバスライン 11 は、複数のバスライン群に区分される。より具体的には、複数本のソースバスライン 11 は、第 1 バ

スライン群 1 1 G 1、第 2 バスライン群 1 1 G 2、第 3 バスライン群 1 1 G 3 および第 4 バスライン群 1 1 G 4 に区分される。第 1 バスライン群 1 1 G 1 は、表示領域 D の第 1 のブロック D 1 に位置しており、第 2 バスライン群 1 1 G 2 は、表示領域 D の第 2 のブロック D 2 に位置している。また、第 3 バスライン群 1 1 G 3 は、表示領域 D の第 3 のブロック D 3 に位置しており、第 4 バスライン群 1 1 G 4 は、表示領域 D の第 4 のブロック D 4 に位置している。従って、第 1 バスライン群 1 1 G 1、第 2 バスライン群 1 1 G 2、第 3 バスライン群 1 1 G 3 および第 4 バスライン群 1 1 G 4 は、右側から左側に向かってこの順で配置されている。つまり、第 1 バスライン群 1 1 G 1 および第 2 バスライン群 1 1 G 2 は互いに隣接しており、第 3 バスライン群 1 1 G 3 および第 4 バスライン群 1 1 G 4 は互いに隣接している。

[0049] 本実施形態における液晶表示装置 1 0 0 は、ソースバスライン 1 1 に断線が発生した場合に、断線に起因した表示欠陥を修正し得る配線構造を非表示領域 F 内に有する。以下、この配線構造を具体的に説明する。

[0050] まず、表示領域 D の第 1 のブロック D 1 および第 2 のブロック D 2 に対応した欠陥修正用配線構造を説明する。

[0051] 液晶表示装置 1 0 0 の非表示領域 F には、図 1 に示すように、複数本の第 1 配線（以下では「第 1 リペア配線」と呼ぶ。） 1 0 1 および複数本の第 2 配線（以下では「第 2 リペア配線」と呼ぶ。） 1 0 2 が設けられている。また、非表示領域 F には、第 3 配線（以下では「第 3 リペア配線」と呼ぶ。） 1 0 3、第 4 配線（以下では「第 4 リペア配線」と呼ぶ。） 1 0 4 および第 5 配線（以下では「第 5 リペア配線」と呼ぶ。） 1 0 5 が設けられている。

[0052] 複数本の第 1 リペア配線 1 0 1 および複数本の第 2 リペア配線 1 0 2 は、非表示領域 F の第 2 の部分 F 2 に位置している。各第 1 リペア配線 1 0 1 は、第 1 バスライン群 1 1 G 1 のうちの一部のソースバスライン 1 1 の非入力側端部 1 1 b に絶縁層を介して交差する。これに対し、各第 2 リペア配線 1 0 2 は、第 2 バスライン群 1 1 G 2 のうちの一部のソースバスライン 1 1 の非入力側端部 1 1 b に絶縁層を介して交差する。本実施形態では、第 1 リペ

ア配線 101 および第 2 リペア配線 102 の主な部分は、ゲートバスライン 12 と同一の導電膜から（つまりゲートメタル層から）形成されており、ゲート絶縁膜 15 を介してソースバスライン 11 に交差している。

[0053] 第 3 リペア配線 103 および第 4 リペア配線 104 は、非表示領域 F の第 1 の部分 F1 に位置している。第 3 リペア配線 103 は、第 1 バスライン群 11G1 の入力側端部 11a に絶縁層を介して交差し、且つ、第 2 バスライン群 11G2 には交差しない。これに対し、第 4 リペア配線 104 は、第 2 バスライン群 11G2 の入力側端部 11a に絶縁層を介して交差し、且つ、第 1 バスライン群 11G1 には交差しない。第 3 リペア配線 103 と、第 4 リペア配線 104 とは、電氣的に分離されている。本実施形態では、第 3 リペア配線 103 および第 4 リペア配線 104 の主な部分は、ゲートメタル層から形成されており、ゲート絶縁膜 15 を介してソースバスライン 11 に交差している。

[0054] 第 5 リペア配線 105 は、第 1 リペア配線 101、第 2 リペア配線 102、第 3 リペア配線 103 および第 4 リペア配線 104 に絶縁層を介して交差するように引き回されている。具体的には、第 5 リペア配線 105 は、非表示領域 F の第 1 の部分 F1 から第 3 の部分 F3 を介して第 2 の部分 F2 に至るように引き回されている。第 5 リペア配線 105 の主な部分は、ゲートメタル層から形成されている。また、本実施形態では、第 5 リペア配線 105 は、TF T 基板 10 以外に形成された部分を含んでいる。具体的には、第 5 リペア配線 105 は、第 1 FPC50、ソース側 PWB および第 2 FPC60 に形成された部分を含んでいる。このように、第 5 リペア配線 105 の一部は、TF T 基板 10 以外にも形成され得る。また、第 5 リペア配線 105 の、非表示領域 F の第 1 の部分 F1 に位置する部分 105a は、第 1 FPC50 の外部接続端子 51 に接続されており、外部接続端子 51 の後段には、増幅回路 52 が配置されている。

[0055] 第 3 リペア配線 103 は、第 4 リペア配線 104 側の端部 103a で第 5 リペア配線 105 と交差している。一方、第 4 リペア配線 104 は、第 3 リ

ペア配線 103 側の端部 104a で第 5 リペア配線 105 と交差している。第 3 リペア配線 103 の、第 5 リペア配線 105 に交差する部分（端部 103a）は、ソースバスライン 11 と同一の導電膜から（つまりソースメタル層から）形成されている。また、第 4 リペア配線 104 の、第 5 リペア配線 105 に交差する部分（端部 104a）も、ソースメタル層から形成されている。同様に、第 1 リペア配線 101 および第 2 リペア配線 102 の、第 5 リペア配線 105 に交差する部分も、ソースメタル層から形成されている。第 1 リペア配線 101、第 2 リペア配線 102、第 3 リペア配線 103 および第 4 リペア配線 104 のそれぞれの、ソースメタル層から形成された部分は、適当な箇所でゲートメタル層から形成された部分と電氣的に接続されている。

[0056] 次に、表示領域 D の第 3 のブロック D3 および第 4 のブロック D4 に対応した欠陥修正用配線構造を説明する。

[0057] 液晶表示装置 100 の非表示領域 F には、図 1 に示すように、複数本の第 6 配線（以下では「第 6 リペア配線」と呼ぶ。）106 および複数本の第 7 配線（以下では「第 7 リペア配線」と呼ぶ。）107 が設けられている。また、非表示領域 F には、第 8 配線（以下では「第 8 リペア配線」と呼ぶ。）108、第 9 配線（以下では「第 9 リペア配線」と呼ぶ。）109 および第 10 配線（以下では「第 10 リペア配線」と呼ぶ。）110 が設けられている。

[0058] 複数本の第 6 リペア配線 106 および複数本の第 7 リペア配線 107 は、非表示領域 F の第 2 の部分 F2 に位置している。各第 6 リペア配線 106 は、第 3 バスライン群 11G3 のうちの一部のソースバスライン 11 の非入力側端部 11b に絶縁層を介して交差する。これに対し、各第 7 リペア配線 107 は、第 4 バスライン群 11G4 のうちの一部のソースバスライン 11 の非入力側端部 11b に絶縁層を介して交差する。本実施形態では、第 6 リペア配線 106 および第 7 リペア配線 107 の主な部分は、ゲートメタル層から形成されており、ゲート絶縁膜 15 を介してソースバスライン 11 に交差

している。

[0059] 第8リペア配線108および第9リペア配線109は、非表示領域Fの第1の部分F1に位置している。第8リペア配線108は、第3バスライン群11G3の入力側端部11aに絶縁層を介して交差し、且つ、第4バスライン群11G4には交差しない。これに対し、第9リペア配線109は、第4バスライン群11G4の入力側端部11aに絶縁層を介して交差し、且つ、第3バスライン群11G3には交差しない。第8リペア配線108と、第9リペア配線109とは、電氣的に分離されている。本実施形態では、第8リペア配線108および第9リペア配線109の主な部分は、ゲートメタル層から形成されており、ゲート絶縁膜15を介してソースバスライン11に交差している。

[0060] 第10リペア配線110は、第6リペア配線106、第7リペア配線107、第8リペア配線108および第9リペア配線109に絶縁層を介して交差するように引き回されている。具体的には、第10リペア配線110は、非表示領域Fの第1の部分F1から第4の部分F4を介して第2の部分F2に至るように引き回されている。第10リペア配線110の主な部分は、ゲートメタル層から形成されている。また、本実施形態では、第10リペア配線110は、TF T基板10以外に形成された部分を含んでいる。具体的には、第10リペア配線110は、第1FPC50およびソース側PWBに形成された部分を含んでいる。このように、第10リペア配線110の一部は、TF T基板10以外にも形成され得る。第10リペア配線110の、非表示領域Fの第1の部分F1に位置する部分110aは、第1FPC50の外部接続端子51に接続されており、外部接続端子51の後段には、増幅回路52が配置されている。

[0061] 第8リペア配線108は、第9リペア配線109側の端部108aで第10リペア配線110と交差している。第9リペア配線109は、第8リペア配線108側の端部109aで第10リペア配線110と交差している。第8リペア配線108の、第10リペア配線110に交差する部分（端部10

8 a) は、ソースメタル層から形成されている。また、第9リペア配線109の、第10リペア配線110に交差する部分（端部109a）も、ソースメタル層から形成されている。同様に、第6リペア配線106および第7リペア配線107の、第10リペア配線110に交差する部分も、ソースメタル層から形成されている。第6リペア配線106、第7リペア配線107、第8リペア配線108および第9リペア配線109のそれぞれの、ソースメタル層から形成された部分は、適当な箇所でゲートメタル層から形成された部分と電氣的に接続されている。第5リペア配線105と、第10リペア配線110とは、互いに電氣的に分離されている。

[0062] また、本実施形態における液晶表示装置100では、表示領域Dの第1のブロックD1および第2のブロックD2と、第3のブロックD3および第4のブロックD4のそれぞれに対応して、さらなる欠陥修正用配線構造が設けられている。

[0063] まず、表示領域Dの第1のブロックD1および第2のブロックD2に対応したさらなる欠陥修正用配線構造を説明する。

[0064] 液晶表示装置100の非表示領域Fには、図1に示すように、複数本の第11配線（以下では「第11リペア配線」と呼ぶ。）111および複数本の第12配線（以下では「第2リペア配線」と呼ぶ。）112が設けられている。また、非表示領域Fには、第13配線（以下では「第13リペア配線」と呼ぶ。）113および第14配線（以下では「第14リペア配線」と呼ぶ。）114が設けられている。

[0065] 複数本の第11リペア配線111および複数本の第12リペア配線112は、非表示領域Fの第2の部分F2に位置している。各第11リペア配線111は、第1バスライン群11G1のうちの一部のソースバスライン11の非入力側端部11bに絶縁層を介して交差する。これに対し、各第12リペア配線112は、第2バスライン群11G2のうちの一部のソースバスライン11の非入力側端部11bに絶縁層を介して交差する。本実施形態では、第11リペア配線111および第12リペア配線112の主な部分は、ゲー

トメタル層から形成されており、ゲート絶縁膜 15 を介してソースバスライン 11 に交差している。

[0066] 第 13 リペア配線 113 は、第 1 バスライン群 11G1 の入力側端部 11a に絶縁層を介して交差し、且つ、第 2 バスライン群 11G2 には交差しない。また、第 13 リペア配線 113 は、第 11 リペア配線 111 にも絶縁層を介して交差するように引き回されている。具体的には、第 13 リペア配線 113 は、非表示領域 F の第 1 の部分 F1 から第 3 の部分 F3 を介して第 2 の部分 F2 に至るように引き回されている。本実施形態では、第 13 リペア配線 113 は、TF T 基板 10 以外に形成された部分を含んでいる。具体的には、第 13 リペア配線 113 は、第 1 FPC50、ソース側 PWB および第 2 FPC60 に形成された部分を含んでいる。このように、第 13 リペア配線 113 の一部は、TF T 基板 10 以外にも形成され得る。第 13 リペア配線 113 の、非表示領域 F の第 1 の部分 F1 に位置する部分は、第 1 FPC50 の外部接続端子 51 に接続されており、外部接続端子 51 の後段には、増幅回路 52 が配置されている。

[0067] 第 14 リペア配線 114 は、第 2 バスライン群 11G2 の入力側端部 11a に絶縁層を介して交差し、且つ、第 1 バスライン群 11G1 には交差しない。また、第 14 リペア配線 114 は、第 12 リペア配線 112 にも絶縁層を介して交差するように引き回されている。具体的には、第 14 リペア配線 114 は、非表示領域 F の第 1 の部分 F1 から第 3 の部分 F3 を介して第 2 の部分 F2 に至るように引き回されている。本実施形態では、第 14 リペア配線 114 は、TF T 基板 10 以外に形成された部分を含んでいる。具体的には、第 14 リペア配線 114 は、第 1 FPC50、ソース側 PWB および第 2 FPC60 に形成された部分を含んでいる。このように、第 14 リペア配線 114 の一部は、TF T 基板 10 以外にも形成され得る。第 14 リペア配線 114 の、非表示領域 F の第 1 の部分 F1 に位置する部分は、第 1 FPC50 の外部接続端子 51 に接続されており、外部接続端子 51 の後段には、増幅回路 52 が配置されている。

[0068] 第13リペア配線113と、第14リペア配線114とは、電氣的に分離されている。本実施形態では、第13リペア配線113および第14リペア配線114の主な部分は、ゲートメタル層から形成されており、ゲート絶縁膜15を介してソースバスライン11に交差している。また、第11リペア配線111の、第13リペア配線113に交差する部分は、ソースメタル層から形成されており、第12リペア配線112の、第14リペア配線114に交差する部分も、ソースメタル層から形成されている。第11リペア配線111および第12リペア配線112のそれぞれの、ソースメタル層から形成された部分は、適当な箇所でゲートメタル層から形成された部分と電氣的に接続されている。

[0069] 次に、表示領域Dの第3のブロックD3および第4のブロックD4に対応したさらなる欠陥修正用配線構造を説明する。

[0070] 液晶表示装置100の非表示領域Fには、図1に示すように、複数本の第15配線（以下では「第15リペア配線」と呼ぶ。）115および複数本の第16配線（以下では「第16リペア配線」と呼ぶ。）116が設けられている。また、非表示領域Fには、第17配線（以下では「第17リペア配線」と呼ぶ。）117および第18配線（以下では「第18リペア配線」と呼ぶ。）118が設けられている。

[0071] 複数本の第15リペア配線115および複数本の第16リペア配線116は、非表示領域Fの第2の部分F2に位置している。各第15リペア配線115は、第3バスライン群11G3のうちの一部のソースバスライン11の非入力側端部11bに絶縁層を介して交差する。これに対し、各第16リペア配線116は、第4バスライン群11G4のうちの一部のソースバスライン11の非入力側端部11bに絶縁層を介して交差する。本実施形態では、第15リペア配線115および第16リペア配線116の主な部分は、ゲートメタル層から形成されており、ゲート絶縁膜15を介してソースバスライン11に交差している。

[0072] 第17リペア配線117は、第3バスライン群11G3の入力側端部11

aに絶縁層を介して交差し、且つ、第4バスライン群11G4には交差しない。また、第17リペア配線117は、第15リペア配線115にも絶縁層を介して交差するように引き回されている。具体的には、第17リペア配線113は、非表示領域Fの第1の部分F1から第4の部分F4を介して第2の部分F2に至るように引き回されている。本実施形態では、第17リペア配線117は、TF T基板10以外に形成された部分を含んでいる。具体的には、第17リペア配線117は、第1FPC50およびソース側PWBに形成された部分を含んでいる。このように、第17リペア配線117の一部は、TF T基板10以外にも形成され得る。第17リペア配線117の、非表示領域Fの第1の部分F1に位置する部分は、第1FPC50の外部接続端子51に接続されており、外部接続端子51の後段には、増幅回路52が配置されている。

[0073] 第18リペア配線118は、第4バスライン群11G2の入力側端部11aに絶縁層を介して交差し、且つ、第3バスライン群11G3には交差しない。また、第18リペア配線118は、第16リペア配線116にも絶縁層を介して交差するように引き回されている。具体的には、第18リペア配線118は、非表示領域Fの第1の部分F1から第4の部分F4を介して第2の部分F2に至るように引き回されている。本実施形態では、第18リペア配線118は、TF T基板10以外に形成された部分を含んでいる。具体的には、第18リペア配線118は、第1FPC50およびソース側PWBに形成された部分を含んでいる。このように、第18リペア配線118の一部は、TF T基板10以外にも形成され得る。第18リペア配線118の、非表示領域Fの第1の部分F1に位置する部分は、第1FPC50の外部接続端子51に接続されており、外部接続端子51の後段には、増幅回路52が配置されている。

[0074] 第17リペア配線117と、第18リペア配線118とは、電氣的に分離されている。本実施形態では、第17リペア配線117および第18リペア配線118の主な部分は、ゲートメタル層から形成されており、ゲート絶縁

膜 15 を介してソースバスライン 11 に交差している。また、第 15 リペア配線 115 の、第 17 リペア配線 117 に交差する部分は、ソースメタル層から形成されており、第 16 リペア配線 116 の、第 18 リペア配線 118 に交差する部分も、ソースメタル層から形成されている。第 15 リペア配線 115 および第 16 リペア配線 116 のそれぞれの、ソースメタル層から形成された部分は、適当な箇所ゲートメタル層から形成された部分と電氣的に接続されている。

[0075] 上述したような配線構造を有する液晶表示装置 100 において、ソースバスライン 11 に断線が発生した場合に表示欠陥を修正する方法を説明する。以下では、表示領域 D の第 1 のブロック D1 および第 2 のブロック D2 に着目して説明を行うが、第 3 のブロック D3 および第 4 のブロック D4 についても以下の説明と同様にして表示欠陥の修正を行うことができる。

[0076] まず、第 1 バスライン群 11G1 および第 2 バスライン群 11G2 のソースバスライン 11 から、断線しているソースバスライン 11 を特定する。この工程（断線バスライン特定工程）は、ソースバスライン 11、ゲートバスライン 12 および対向電極 23 に所定の検査信号を入力した状態で、目視により表示状態を確認することによって行うことができる。断線が発生しているソースバスライン 11 に接続され、且つ、断線箇所よりも下流側の画素は、正常に表示信号を供給されないため、本来とは異なる表示状態となる。例えばノーマリホワイト方式で、本来であれば画素が黒表示状態となるような検査信号を入力した場合、断線が発生しているソースバスライン 11 に接続され、且つ、断線箇所よりも下流側の画素は、白表示状態のままである。

[0077] 次に、第 1 リペア配線 101 および第 2 リペア配線 102 の一方と、第 3 リペア配線 103 および第 4 リペア配線 104 の一方と、第 5 リペア配線 105 とを含む配線経路であって、断線が発生していると特定されたソースバスライン 11 の入力側端部 11a と非入力側端部 11b とを電氣的に接続する配線経路を形成する。この工程（配線経路形成工程）は、特定されたソースバスライン 11 が第 1 バスライン群 11G1 のソースバスライン 11 であ

る場合には、特定されたソースバスライン11と、第1リペア配線101、第3リペア配線103および第5リペア配線105とを電氣的に接続する工程を含む。また、配線経路形成工程は、特定されたソースバスライン11が第2バスライン群11G2のソースバスライン11である場合には、特定されたソースバスライン11と、第2リペア配線102、第4リペア配線104および第5リペア配線105とを電氣的に接続する工程を含む。以下、この配線経路形成工程をより具体的に説明する。

[0078] 図4に示すように、第1バスライン群11G1のあるソースバスライン11'に断線が発生した場合（断線箇所R）、ソースバスライン11'と第1リペア配線101との交差部（接続箇所c1）にレーザ光を照射してこれらを接続する。また、第1リペア配線101と第5リペア配線105との交差部（接続箇所c2）にレーザ光を照射してこれらを接続する。さらに、ソースバスライン11'と第3リペア配線103との交差部（接続箇所c3）にレーザ光を照射してこれらを接続し、第3リペア配線103と第5リペア配線105との交差部（接続箇所c4）にレーザ光を照射してこれらを接続する。レーザ光の照射には、例えばYAGレーザを用いることができる。

[0079] 上述した4箇所での接続を行うことにより、断線が発生しているソースバスライン11'の入力側端部11aと非入力側端部11bとを電氣的に接続する配線経路が形成され、ソースバスライン11'の断線箇所Rよりも下流側には、この配線経路を介して表示信号が供給される（図4中に白抜き矢印で模式的に示されている）。

[0080] これに対し、図5に示すように、第2バスライン群11G2のあるソースバスライン11'に断線が発生した場合（断線箇所R）、ソースバスライン11'と第2リペア配線102との交差部（接続箇所c5）にレーザ光を照射してこれらを接続する。また、第2リペア配線102と第5リペア配線105との交差部（接続箇所c6）にレーザ光を照射してこれらを接続する。さらに、ソースバスライン11'と第4リペア配線104との交差部（接続箇所c7）にレーザ光を照射してこれらを接続し、第4リペア配線104と

第5リペア配線105との交差部（接続箇所c8）にレーザ光を照射してこれらを接続する。

[0081] 上述した4箇所での接続を行うことにより、断線が発生しているソースバスライン11'の入力側端部11aと非入力側端部11bとを電氣的に接続する配線経路が形成され、ソースバスライン11'の断線箇所Rよりも下流側には、この配線経路を介して表示信号が供給される（図5中に白抜き矢印で模式的に示されている）。

[0082] このような欠陥修正方法は、液晶表示装置100の製造方法における1工程として好適に実行され得る。例えば、既に説明したような配線構造を有するTFT基板10を備えた液晶表示装置100を作製する（用意する）工程の後に、上述した欠陥修正方法によって液晶表示装置100の表示欠陥を修正する工程を実行すればよい。液晶表示装置100を用意する工程は、公知の方法を用いて実行することができる。また、表示欠陥を修正する工程の前に用意される液晶表示装置100は、一部の構成要素（偏光板など）が取り付けられる前の状態のものであってもよい。

[0083] なお、本実施形態では、第1バスライン群11G1に対応して設けられる第3リペア配線103と、第2バスライン群11G2に対応して設けられる第4リペア配線104とは、電氣的に分離されている。これに対し、図6に示す比較例の液晶表示装置700のような構成を採用することも考えられる。

[0084] 図6に示す比較例の液晶表示装置700では、液晶表示装置100の第3リペア配線103および第4リペア配線104に代えて、第1バスライン群11G1に対応した部分701aと、第2バスライン群11G2に対応した部分701bとが連続している（つまり電氣的に接続されている）配線701が設けられている。また、液晶表示装置100の第8リペア配線108および第9リペア配線109に代えて、第3バスライン群11G3に対応した部分702aと、第4バスライン群11G4に対応した部分702bとが連続している（つまり電氣的に接続されている）配線702が設けられている。

- [0085] 比較例の液晶表示装置 700 において、配線 701 を用いて欠陥修正を行った場合、配線 701 は、液晶表示装置 100 の第 3 リペア配線 103 や第 4 リペア配線 104 よりも多くのソースバスライン 11 に交差しているため、容量（負荷）が大きく、表示信号の遅延が発生するおそれがある。
- [0086] これに対し、本実施形態の液晶表示装置 100 では、第 3 リペア配線 103 と第 4 リペア配線 104 とが電氣的に分離されているので、修正に用いられるリペア配線の容量（負荷）に起因した表示信号の遅延を抑制することができ、修正に用いられるリペア配線（第 3 リペア配線 103 または第 4 リペア配線 104）をレーザ光の照射により切断する必要がない。そのため、液晶表示パネルが高精細である場合であっても、より確実に欠陥修正を行うことができる。
- [0087] また、本実施形態の液晶表示装置 100 では、第 3 リペア配線 103 および第 4 リペア配線 104 の両方が第 5 リペア配線 105 に交差しており、第 3 リペア配線 103 を含む配線経路と、第 4 リペア配線 104 を含む配線経路とは、1 つの外部接続端子 51（および 1 つの増幅回路 52）を共用し得る。そのため、1 つの外部接続端子 51（および 1 つの増幅回路 52）で、広い領域のソースバスライン 11 の断線修正（断線に起因する表示欠陥の修正）が可能であるので、本実施形態の液晶表示装置 100 は、狭額縁化の点で有利である。
- [0088] なお、本実施形態の液晶表示装置 100 では、第 11 リペア配線 111、第 12 リペア配線 112、第 13 リペア配線 113 および第 14 リペア配線 114 を用いた欠陥修正も可能である。つまり、第 11 リペア配線 111 および第 12 リペア配線 112 の一方と、第 13 リペア配線 113 および第 14 リペア配線 114 の一方とを含む配線経路であって、断線が発生していると特定されたソースバスライン 11 の入力側端部 11a と非入力側端部 11b とを電氣的に接続する配線経路を形成すればよい。この工程（配線経路形成工程）は、特定されたソースバスライン 11 が第 1 バスライン群 11G1 のソースバスライン 11 である場合には、特定されたソースバスライン 11

と、第11リペア配線111および第13リペア配線113とを電氣的に接続する工程を含む。また、配線経路形成工程は、特定されたソースバスライン11が第2バスライン群11G2のソースバスライン11である場合には、特定されたソースバスライン11と、第12リペア配線112および第14リペア配線114とを電氣的に接続する工程を含む。以下、この配線経路形成工程をより具体的に説明する。

[0089] 図7に示すように、第1バスライン群11G1のあるソースバスライン11'に断線が発生した場合（断線箇所R）、ソースバスライン11'と第11リペア配線111との交差部（接続箇所c9）にレーザ光を照射してこれらを接続する。また、第11リペア配線111と第13リペア配線113との交差部（接続箇所c10）にレーザ光を照射してこれらを接続する。さらに、ソースバスライン11'と第13リペア配線113との交差部（接続箇所c11）にレーザ光を照射してこれらを接続する。

[0090] 上述した3箇所での接続を行うことにより、断線が発生しているソースバスライン11'の入力側端部11aと非入力側端部11bとを電氣的に接続する配線経路が形成され、ソースバスライン11'の断線箇所Rよりも下流側には、この配線経路を介して表示信号が供給される（図7中に白抜き矢印で模式的に示されている）。

[0091] これに対し、図8に示すように、第2バスライン群11G2のあるソースバスライン11'に断線が発生した場合（断線箇所R）、ソースバスライン11'と第12リペア配線112との交差部（接続箇所c12）にレーザ光を照射してこれらを接続する。また、第12リペア配線112と第14リペア配線114との交差部（接続箇所c13）にレーザ光を照射してこれらを接続する。さらに、ソースバスライン11'と第14リペア配線114との交差部（接続箇所c14）にレーザ光を照射してこれらを接続する。

[0092] 上述した3箇所での接続を行うことにより、断線が発生しているソースバスライン11'の入力側端部11aと非入力側端部11bとを電氣的に接続する配線経路が形成され、ソースバスライン11'の断線箇所Rよりも下流

側には、この配線経路を介して表示信号が供給される（図8中に白抜き矢印で模式的に示されている）。

[0093] なお、第1バスライン群11G1および第2バスライン群11G2において（つまり表示領域Dの第1のブロックD1および第2のブロックD2において）断線が発生しているソースバスライン11が1本だけである場合、第11リペア配線111、第12リペア配線112、第13リペア配線113および第14リペア配線114を用いた欠陥修正（図7および図8に示した欠陥修正）を優先的に行うことが好ましい。第11リペア配線111、第12リペア配線112、第13リペア配線113および第14リペア配線114を用いた欠陥修正は、第1リペア配線101、第2リペア配線102、第3リペア配線103、第4リペア配線104および第5リペア配線105を用いた欠陥修正（図4および図5に示した欠陥修正）よりも、接続箇所が少ないからである。

[0094] また、既に説明したように、第3リペア配線103、第4リペア配線104および第5リペア配線105の主な部分は、ゲートメタル層から形成されており、第3リペア配線103および第4リペア配線104と第5リペア配線105とを重畳させる（絶縁層を介して交差させる）ために、第3リペア配線103および第4リペア配線104を、第5リペア配線105との交差点近傍でゲートメタル層からソースメタル層に繋ぎ換えている。以下では、このような繋ぎ換えが行われている部分をコンタクト部と呼ぶ。

[0095] このような構成を採用することにより、TFT基板10の、対向基板20に覆われていない部分（いわゆる実装領域）に引き出されている配線を、より確実に保護することができる。半導体層13dとしてアモルファスシリコン層や酸化物半導体層を有するボトムゲート型のTFT13を用いる場合、ソースメタル層よりもゲートメタル層の方が、多くの（具体的にはゲート絶縁膜15の分だけ多く）絶縁膜に覆われているので、実装領域では、ゲートメタル層から配線（第3リペア配線103、第4リペア配線104および第5リペア配線105）を形成することにより、より確実な保護を図ることが

できる。また、同様の理由で、ソースバスライン 11 の実装領域に引き出されている部分もゲートメタル層から形成されていることが（つまりソースバスライン 11 を実装領域に引き出す際にソースメタル層からゲートメタル層に繋ぎ換えることが）好ましい。

[0096] ここで、図 9 および図 10 を参照しながら、第 3 リペア配線 103 のコンタクト部 103C 近傍の構造の一例を示す。図 9 は、コンタクト部 103C 近傍を模式的に示す平面図であり、図 10 は、図 9 中の 10A-10A' 線に沿った断面図である。なお、以下の説明では、第 3 リペア配線 103 のうち、ゲートメタル層から形成された部分を「ゲート層」と呼び、ソースメタル層から形成された部分を「ソース層」と呼ぶ。

[0097] 図 9 および図 10 に示すように、コンタクト部 103C においては、第 3 リペア配線 103 のゲート層 103g を露出するようにコンタクトホール CH がゲート絶縁膜 15 および層間絶縁膜（ここではパッシベーション層 16a および有機絶縁層 16b を含む）16 に形成されている。このコンタクトホール CH を覆うように、画素電極 14 と同一の導電膜から形成された接続電極 14' が形成されている。第 3 リペア配線 103 のゲート層 103g とソース層 103s とは、この接続電極 14' を介して電氣的に接続されている。

[0098] ソースバスライン 11 のコンタクト部においても、同様の構造により、ソースメタル層からゲートメタル層への繋ぎ換えを行うことができる。なお、ここでは、ソース層 103s が下層（例えば Ti 層）103s1 および上層（例えば Al 層）103s2 を含む積層構造を有するとともに、コンタクト部 103C に、TF T 13 の半導体層 13d と同一の半導体膜から形成された半導体層 13d' が設けられている構成を例示しているが、勿論、コンタクト部 103C の構造はこれに限定されるものではない。

[0099] なお、第 5 リペア配線 105 の主な部分（TF T 基板 10 上に形成されている部分）を、ソースバスライン 11 と同一の導電膜から（つまりソースメタル層から）形成してもよい。第 5 リペア配線 105 がソースメタル層から

形成されていると、上述したようなコンタクト部が不要であるので、コンタクト抵抗が無くなる。また、コンタクト部を形成しなくてもよいので、コンタクト不良が発生せず、そのことによって歩留りのさらなる向上を図ることができる。

[0100] 一方、既に説明したように、第5リペア配線105の主な部分（TFT基板10上に形成されている部分）を、ゲートバスライン12と同一の導電膜から（つまりゲートメタル層から）形成してもよい。第5リペア配線105がゲートメタル層から形成されている構成は、第5リペア配線105の保護という観点から好ましい。

[0101] なお、本実施形態では、表示領域Dが4つのブロックに分割された構成（つまり複数本のソースバスライン11が4つのバスライン群に区分される構成）を例示したが、表示領域Dの分割数（バスライン群の数）は4に限定されるものではない。表示領域Dの分割数（バスライン群の数）は、5以上であってもよいし、3以下であってもよい。

[0102] （実施形態2）

図11に、本実施形態における液晶表示装置200を示す。図11は、液晶表示装置200を模式的に示す平面図である。以下では、液晶表示装置200が、実施形態1における液晶表示装置100と異なる点を中心に説明を行う。

[0103] 本実施形態における液晶表示装置200は、図11に示すように、第11リペア配線111～第18リペア配線118が設けられていない点において、実施形態1における液晶表示装置100と異なっている。第11リペア配線111～第18リペア配線118を省略することにより、狭額縁化を図ることができる。

[0104] なお、第11リペア配線111～第18リペア配線118を省略する代わりに、第1リペア配線101～第10リペア配線110を省略する構成も考えられるが、そのような構成よりも、本実施形態のように、第11リペア配線111～第18リペア配線118を省略することが好ましい。第1リペア

配線１０１～第１０リペア配線１１０の方を残すことにより、外部接続端子５１および増幅回路５２の数が少なくてすむので、いっそうの狭額縁化を図ることができる。

[0105] また、本実施形態における液晶表示装置２００は、第１リペア配線１０１、第２リペア配線１０２、第６リペア配線１０６および第７リペア配線１０７がそれぞれ１本だけ設けられている点においても、実施形態１における液晶表示装置１００と異なっている。本実施形態のように、第１リペア配線１０１、第２リペア配線１０２、第６リペア配線１０６および第７リペア配線１０７がそれぞれ１本だけ設けられる構成は、狭額縁化の点で有利である。また、実施形態１の液晶表示装置１００のように、第１リペア配線１０１、第２リペア配線１０２、第６リペア配線１０６および第７リペア配線１０７がそれぞれ複数本設けられる構成を採用すると、表示領域Ｄの１つのブロック内での断線修正可能な本数が増加するので、歩留まりを向上させることができる。

[0106] （実施形態３）

図１２に、本実施形態における液晶表示装置３００を示す。図１２は、液晶表示装置３００を模式的に示す平面図である。以下では、液晶表示装置３００が、実施形態２における液晶表示装置２００と異なる点を中心に説明を行う。

[0107] 本実施形態における液晶表示装置３００は、第５リペア配線１０５が、非表示領域Ｆの第３の部分Ｆ３には位置しないように引き回されている点において、実施形態２における液晶表示装置２００と異なっている。液晶表示装置３００の第５リペア配線１０５は、非表示領域Ｆの第１の部分Ｆ１から第４の部分Ｆ４を介して第２の部分Ｆ２に至るように引き回されている。

[0108] 実施形態２における液晶表示装置２００の第５リペア配線１０５を、第３の部分Ｆ３において第２ＦＰＣ６０に形成された部分を含まないように（つまり第２ＦＰＣ６０を経由しないように）設けることは可能であるが、その場合、第５リペア配線１０５がゲートバスライン１２に交差してしまい、第

５リペア配線１０５の容量（負荷）が増加してしまう。

[0109] これに対し、本実施形態のように、第５リペア配線１０５を非表示領域Ｆの第３の部分Ｆ３には位置しないように引き回すことにより、上述したような容量（負荷）の増加を防止することができる。

[0110] （実施形態４）

図１３に、本実施形態における液晶表示装置４００を示す。図１３は、液晶表示装置４００を模式的に示す平面図である。以下では、液晶表示装置４００が、実施形態２における液晶表示装置２００と異なる点を中心に説明を行う。

[0111] 本実施形態における液晶表示装置４００では、第２ＦＰＣ６０は設けられておらず、ゲートドライバ７０は、非表示領域Ｆの第３の部分においてＴＦＴ基板１０上に形成されている。つまり、ゲートドライバ（ゲートドライバ回路）７０は、ＴＦＴ基板１０上に一体的に（モノリシックに）形成されている。そして、液晶表示装置４００の第５リペア配線１０５は、非表示領域Ｆの第３の部分Ｆ３においてはゲートドライバ７０（およびゲートドライバ用配線７１）よりも外側に位置するように引き回されている。このような構成を採用することにより、第５リペア配線１０５の容量（負荷）の増加を防止することができる。

[0112] 上述したように、本発明の実施形態によると、バスラインの断線に起因した表示欠陥の修正に好適な構造を有するアクティブマトリクス基板およびそのようなアクティブマトリクス基板を備えた表示装置が提供される。

[0113] なお、上記の説明では、液晶表示装置および液晶表示装置用のアクティブマトリクス基板を例としたが、本発明の実施形態は液晶表示装置や液晶表示装置用のアクティブマトリクス基板に限定されるものではない。本発明の実施形態は、有機ＥＬ（Electro Luminescence）表示装置やＦＥＤ（Field Emission Display）などの他の表示装置や、これらの表示装置用のアクティブマトリクス基板にも好適に用いられる。

[0114] また、上記の説明では、ソースバスラインの断線に起因した表示欠陥の修

正が可能な配線構造を有する構成を例示したが、ゲートバスラインに対して同様の配線構造を形成することにより、ゲートバスラインの断線に起因した表示欠陥の修正が可能となる。具体的には、第1バスライン群および第1バスライン群に隣接する第2バスライン群を含む複数のバスライン群に区分される複数本のゲートバスラインを備えるアクティブマトリクス基板において、非表示領域に以下の5種類の配線（リペア配線）を設けることにより、ゲートバスラインの断線に起因した表示欠陥の修正が可能となる。

- [0115] （１）それぞれが第1バスライン群のうちの少なくとも一部のゲートバスラインの非入力側端部に絶縁層を介して交差する少なくとも1本の第1配線；
- （２）それぞれが第2バスライン群のうちの少なくとも一部のゲートバスラインの非入力側端部に絶縁層を介して交差する少なくとも1本の第2配線；
- （３）第1バスライン群の入力側端部に絶縁層を介して交差し、且つ、第2バスライン群には交差しない第3配線；
- （４）第2バスライン群の入力側端部に絶縁層を介して交差し、且つ、第1バスライン群には交差しない第4配線であって、第3配線と電氣的に分離された第4配線；
- （５）第1、第2、第3および第4配線に絶縁層を介して交差するように引き回された第5配線。

産業上の利用可能性

- [0116] 本発明の実施形態によると、バスラインの断線に起因した表示欠陥の修正に好適な構造を有するアクティブマトリクス基板およびそのようなアクティブマトリクス基板を備えた表示装置が提供される。

符号の説明

- [0117] 1 0 アクティブマトリクス基板（TFT基板）
- 1 1 ソースバスライン
- 1 1 G 1 第1バスライン群

- 1 1 G 2 第2バスライン群
- 1 1 G 3 第3バスライン群
- 1 1 G 4 第4バスライン群
- 1 2 ゲートバスライン
- 1 3 薄膜トランジスタ (T F T)
- 1 4 画素電極
- 2 0 対向基板 (カラーフィルタ基板)
- 2 3 対向電極
- 3 0 液晶層
- 5 0 第1フレキシブルプリント基板
- 6 0 第2フレキシブルプリント基板
- 1 0 0、2 0 0、3 0 0、4 0 0 液晶表示装置
- 1 0 1 第1配線 (第1リペア配線)
- 1 0 2 第2配線 (第2リペア配線)
- 1 0 3 第3配線 (第3リペア配線)
- 1 0 4 第4配線 (第4リペア配線)
- D 表示領域
- F 非表示領域 (額縁領域)

請求の範囲

- [請求項1] 表示領域および前記表示領域の外側に設けられた非表示領域を有する表示装置に用いられるアクティブマトリクス基板であって、
- それぞれが所定の方向に延びる複数本のバスラインであって、第1バスライン群および前記第1バスライン群に隣接する第2バスライン群を含む複数のバスライン群に区分される複数本のバスラインと、
- 前記非表示領域に設けられた少なくとも1本の第1配線であって、それぞれが前記第1バスライン群のうちの少なくとも一部のバスラインの、信号入力側とは反対側の端部に絶縁層を介して交差する少なくとも1本の第1配線と、
- 前記非表示領域に設けられた少なくとも1本の第2配線であって、それぞれが前記第2バスライン群のうちの少なくとも一部のバスラインの、信号入力側とは反対側の端部に絶縁層を介して交差する少なくとも1本の第2配線と、
- 前記非表示領域に設けられた第3配線であって、前記第1バスライン群の信号入力側の端部に絶縁層を介して交差し、且つ、前記第2バスライン群には交差しない第3配線と、
- 前記非表示領域に設けられた第4配線であって、前記第2バスライン群の信号入力側の端部に絶縁層を介して交差し、且つ、前記第1バスライン群には交差しない第4配線と、
- 前記非表示領域に設けられた第5配線であって、前記第1、第2、第3および第4配線に絶縁層を介して交差するように引き回された第5配線と、を備え、
- 前記第3配線と前記第4配線とは、電氣的に分離されており、前記第3配線は、前記第3配線の、前記第4配線側の端部で前記第5配線と交差しており、前記第4配線は、前記第4配線の、前記第3配線側の端部で前記第5配線と交差しているアクティブマトリクス基板。
- [請求項2] 前記少なくとも1本の第1配線は、複数本の第1配線であり、

前記少なくとも 1 本の第 2 配線は、複数本の第 2 配線である請求項 1 に記載のアクティブマトリクス基板。

[請求項3] 前記少なくとも 1 本の第 1 配線は、1 本の第 1 配線であり、
前記少なくとも 1 本の第 2 配線は、1 本の第 2 配線である請求項 1 に記載のアクティブマトリクス基板。

[請求項4] 前記複数のバスライン群は、第 3 バスライン群および前記第 3 バスライン群に隣接する第 4 バスライン群をさらに含み、

前記アクティブマトリクス基板は、

前記非表示領域に設けられた少なくとも 1 本の第 6 配線であって、それぞれが前記第 3 バスライン群のうちの少なくとも一部のバスラインの、信号入力側とは反対側の端部に絶縁層を介して交差する少なくとも 1 本の第 6 配線と、

前記非表示領域に設けられた少なくとも 1 本の第 7 配線であって、それぞれが前記第 4 バスライン群のうちの少なくとも一部のバスラインの、信号入力側とは反対側の端部に絶縁層を介して交差する少なくとも 1 本の第 7 配線と、

前記非表示領域に設けられた第 8 配線であって、前記第 3 バスライン群の信号入力側の端部に絶縁層を介して交差し、且つ、前記第 4 バスライン群には交差しない第 8 配線と、

前記非表示領域に設けられた第 9 配線であって、前記第 4 バスライン群の信号入力側の端部に絶縁層を介して交差し、且つ、前記第 3 バスライン群には交差しない第 9 配線と、

前記非表示領域に設けられた第 10 配線であって、前記第 6、第 7、第 8 および第 9 配線に絶縁層を介して交差するように引き回された第 10 配線と、をさらに備え、

前記第 8 配線と前記第 9 配線とは、電氣的に分離されており、前記第 8 配線は、前記第 8 配線の、前記第 9 配線側の端部で前記第 10 配線と交差しており、前記第 9 配線は、前記第 9 配線の、前記第 8 配線

側の端部で前記第 10 配線と交差しており、

前記第 5 配線と前記第 10 配線とは互いに電氣的に分離されている請求項 1 から 3 のいずれかに記載のアクティブマトリクス基板。

[請求項 5] 請求項 1 から 4 のいずれかに記載のアクティブマトリクス基板を備えた表示装置。

[請求項 6] 前記複数本のバスラインは、表示信号が供給される複数本のソースバスラインである請求項 5 に記載の表示装置。

[請求項 7] 前記アクティブマトリクス基板は、それぞれが前記所定の方に交差する方向に延びる複数本のゲートバスラインをさらに備え、

前記非表示領域は、前記複数本のソースバスラインの信号入力側の端部が位置する第 1 の部分と、前記複数本のソースバスラインの信号入力側とは反対側の端部が位置する第 2 の部分と、前記複数本のゲートバスラインの信号入力側の端部が位置する第 3 の部分と、前記複数本のゲートバスラインの信号入力側とは反対側の端部が位置する第 4 の部分とを含む請求項 6 に記載の表示装置。

[請求項 8] 前記第 5 配線は、前記複数本のゲートバスラインと同一の導電膜から形成されている請求項 7 に記載の表示装置。

[請求項 9] 前記第 5 配線は、前記複数本のソースバスラインと同一の導電膜から形成されている請求項 7 に記載の表示装置。

[請求項 10] 前記非表示領域の前記第 1 の部分において前記アクティブマトリクス基板の端部に取り付けられた第 1 フレキシブルプリント基板をさらに備える請求項 7 から 9 のいずれかに記載の表示装置。

[請求項 11] 前記第 5 配線は、前記第 1 フレキシブルプリント基板に形成された部分を含む請求項 10 に記載の表示装置。

[請求項 12] 前記非表示領域の前記第 3 の部分において前記アクティブマトリクス基板の端部に取り付けられた第 2 フレキシブルプリント基板をさらに備える請求項 10 または 11 に記載の表示装置。

[請求項 13] 前記第 5 配線は、前記非表示領域の前記第 3 の部分には位置しない

ように引き回されている請求項 1 2 に記載の表示装置。

[請求項14] 前記複数のゲートバスラインに走査信号を供給するゲートドライバをさらに備え、

前記ゲートドライバは、前記非表示領域の前記第 3 の部分において前記アクティブマトリクス基板上に一体的に形成されており、

前記第 5 配線は、前記非表示領域の前記第 3 の部分においては前記ゲートドライバよりも外側に位置するように引き回されている請求項 1 0 または 1 1 に記載の表示装置。

[請求項15] 請求項 5 から 1 4 のいずれかに記載の表示装置に用いられる表示装置の欠陥修正方法であって、

前記第 1 バスライン群および前記第 2 バスライン群のバスラインから、断線しているバスラインを特定する工程と、

前記第 1 配線および前記第 2 配線の一方と、前記第 3 配線および前記第 4 配線の一方と、前記第 5 配線とを含む配線経路であって、前記特定されたバスラインの信号入力側の端部と信号入力側とは反対側の端部とを電氣的に接続する配線経路を形成する工程と、を包含する表示装置の欠陥修正方法。

[請求項16] 前記配線経路を形成する工程は、

前記特定されたバスラインが前記第 1 バスライン群のバスラインである場合には、前記特定されたバスラインと、前記第 1 配線、前記第 3 配線および前記第 5 配線とを電氣的に接続する工程を含み、

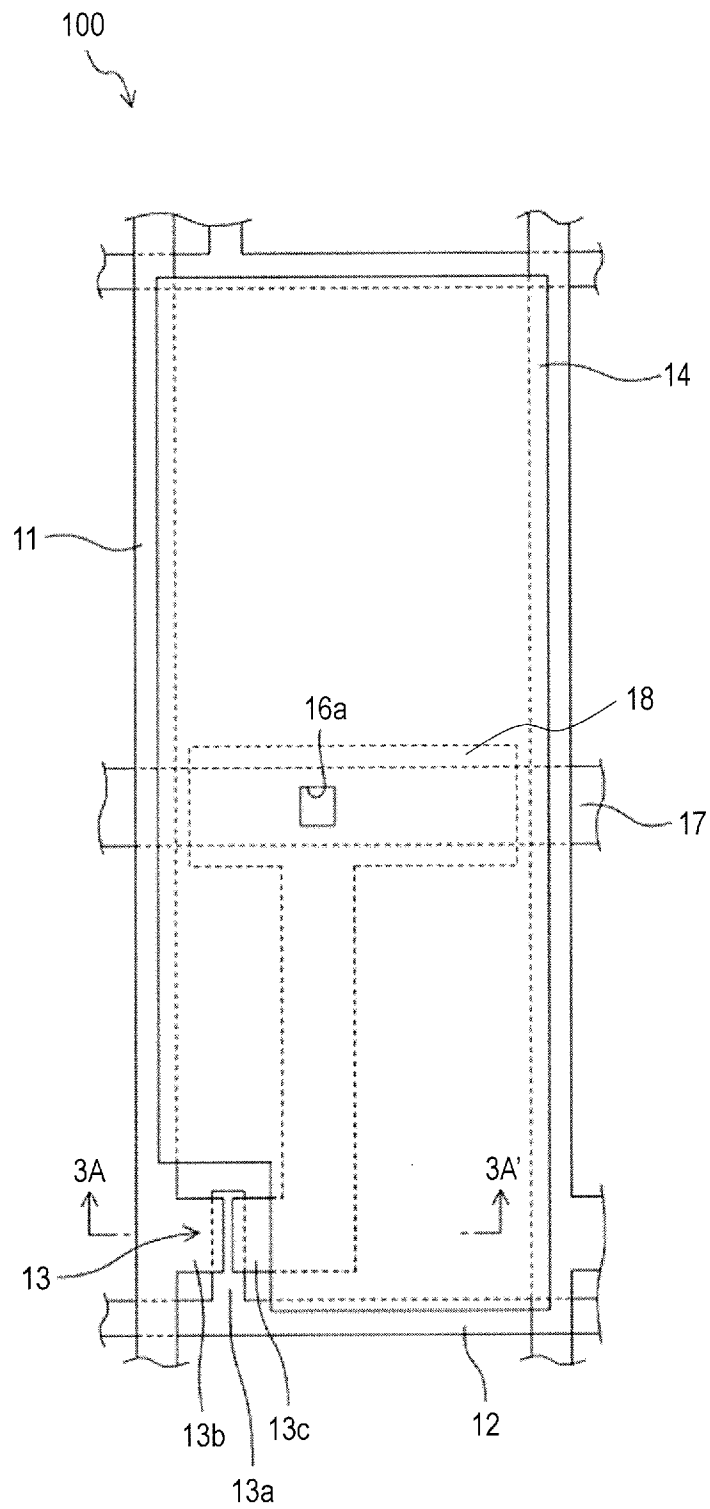
前記特定されたバスラインが前記第 2 バスライン群のバスラインである場合には、前記特定されたバスラインと、前記第 2 配線、前記第 4 配線および前記第 5 配線とを電氣的に接続する工程を含む請求項 1 5 に記載の表示装置の欠陥修正方法。

[請求項17] 前記アクティブマトリクス基板を備えた表示装置を作製する工程と、

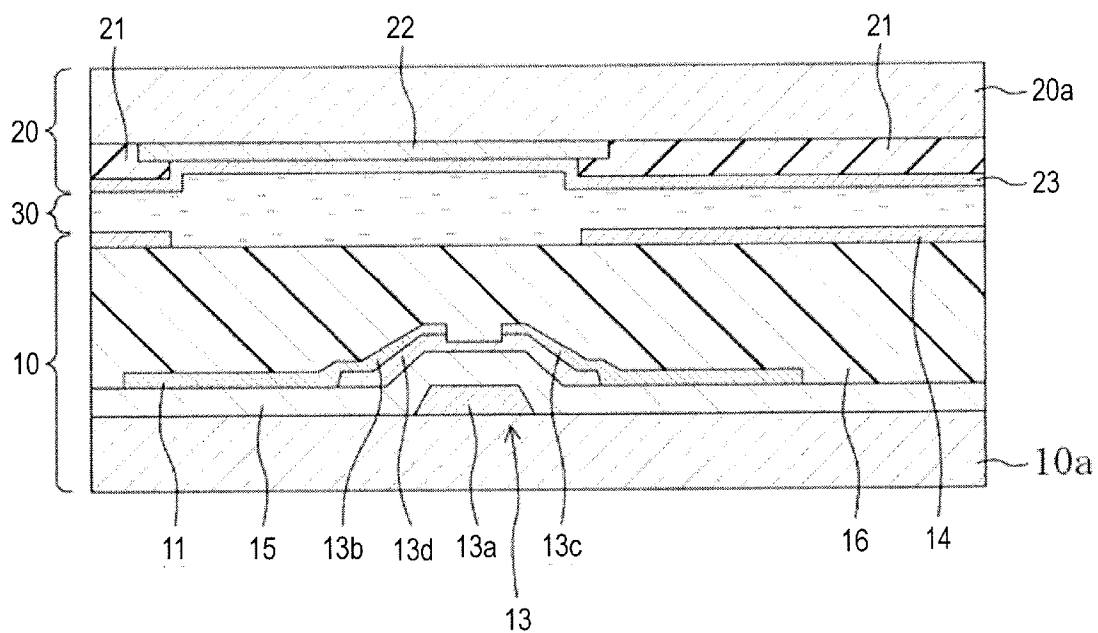
請求項 1 5 または 1 6 に記載の表示装置の欠陥修正方法によって前

記表示装置の表示欠陥を修正する工程と、を包含する表示装置の製造方法。

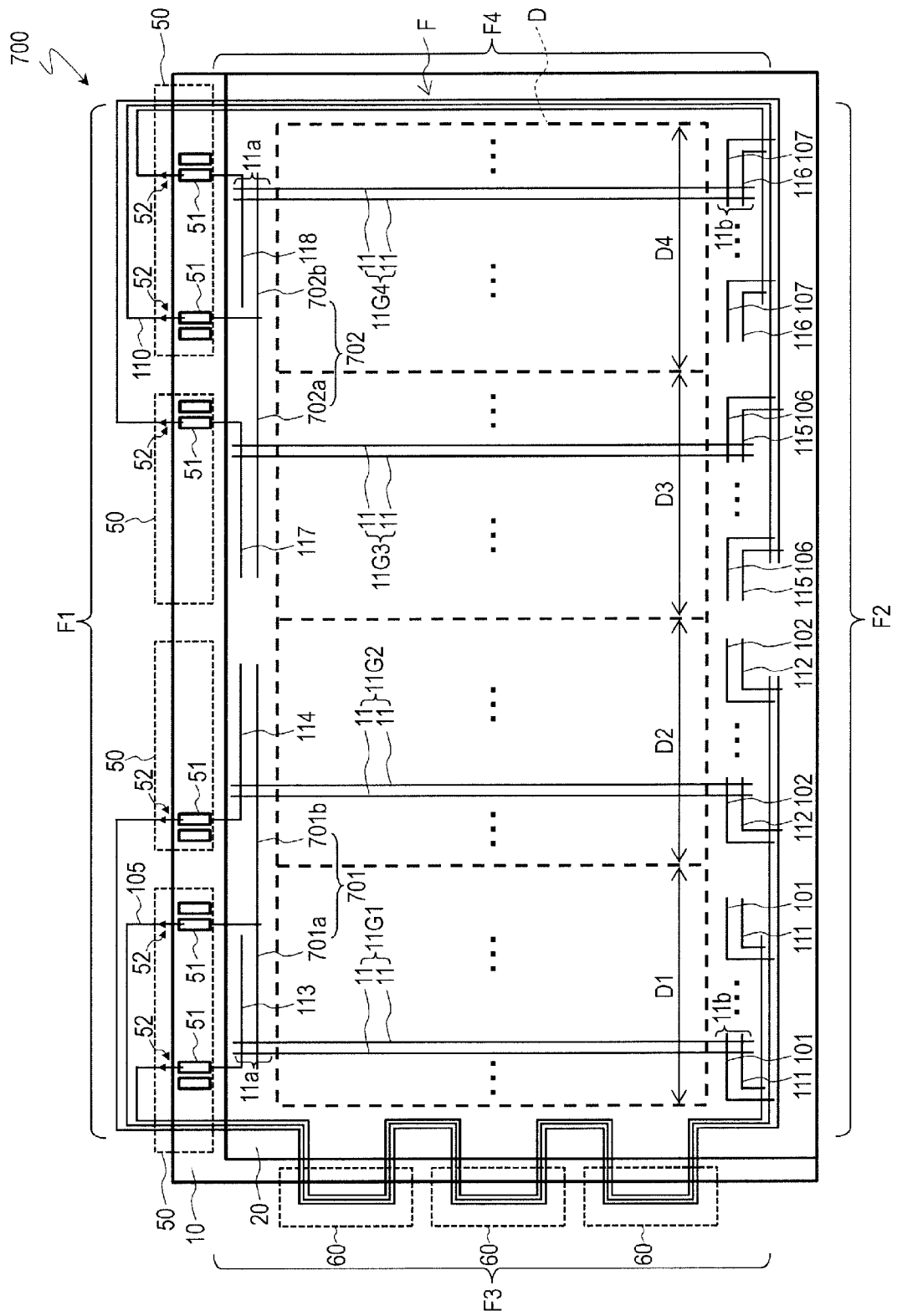
[図2]



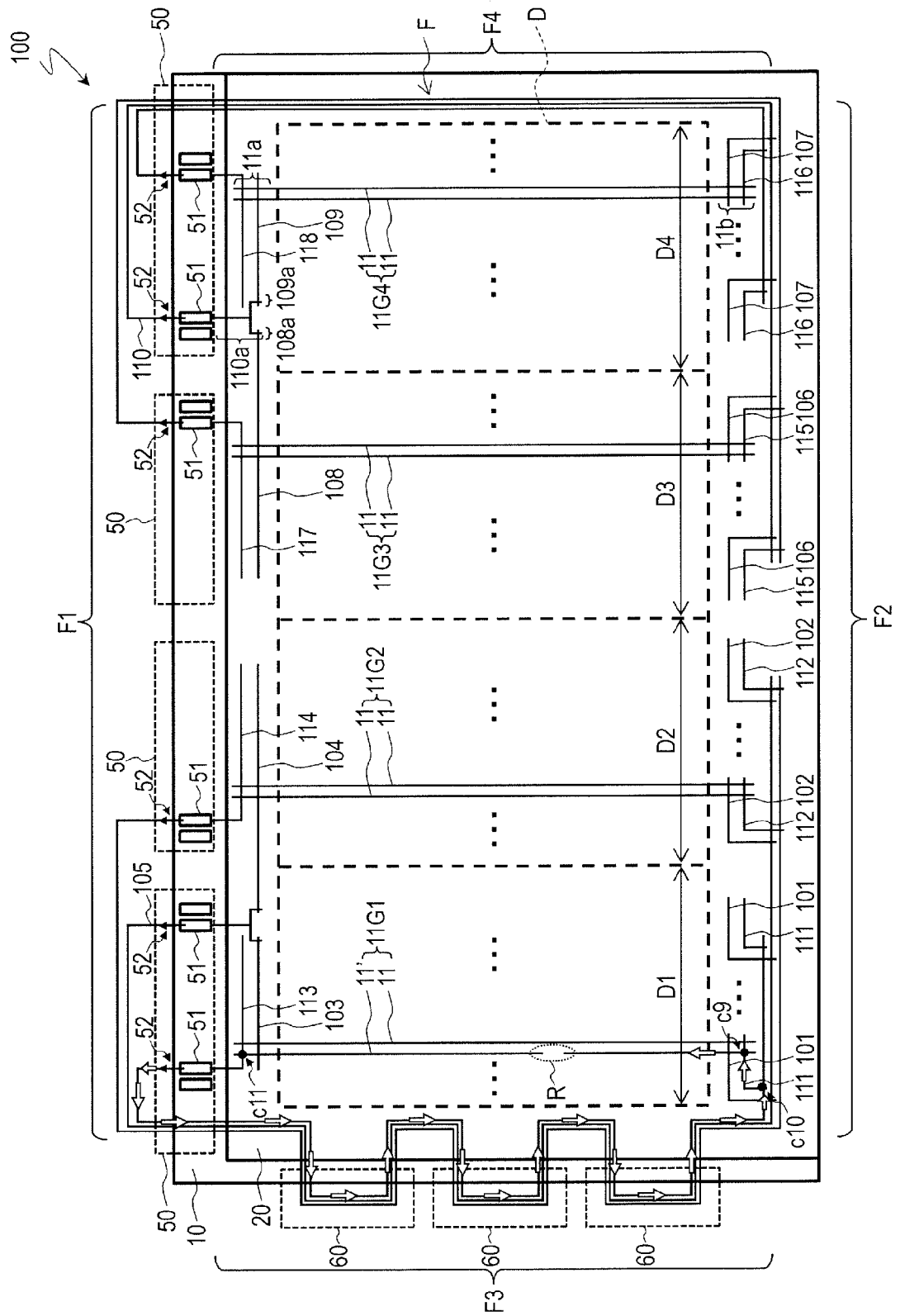
100



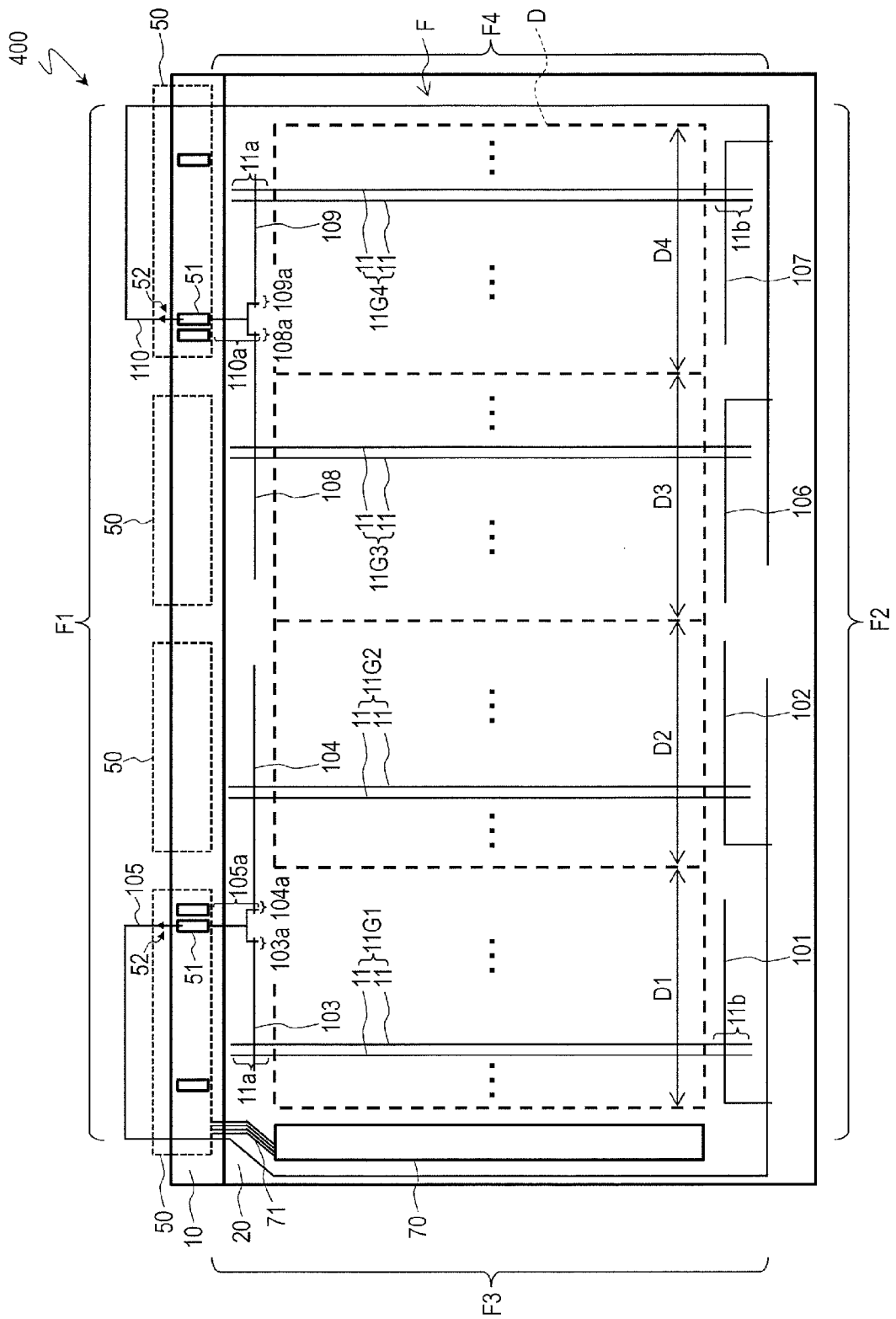
[図6]



[図7]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/084471

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/30(2006.01)i, G02F1/1345(2006.01)i, G09F9/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/00-9/46, G02F1/13-1/141, H01L27/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-43521 A (Fujitsu Ltd.), 13 February 2003 (13.02.2003), paragraphs [0003], [0007] to [0008], [0014] to [0028]; fig. 1 to 6, 41 to 42 (Family: none)	1, 3, 5-12, 15-17
Y		2, 4, 13-14
Y	JP 10-170946 A (Fujitsu Ltd.), 26 June 1998 (26.06.1998), paragraphs [0028] to [0032]; fig. 5 (Family: none)	2
Y	WO 2010/041361 A1 (Sharp Corp.), 15 April 2010 (15.04.2010), paragraphs [0112] to [0121]; fig. 6 & US 2011/0122105 A1 & EP 2337009 A1 & CN 102084411 A & RU 2467365 C	4, 13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 March, 2014 (05.03.14)

Date of mailing of the international search report
18 March, 2014 (18.03.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/084471

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-165237 A (Samsung Electronics Co., Ltd.), 17 July 2008 (17.07.2008), paragraphs [0033] to [0043]; fig. 1 & US 2009/0284679 A1 & KR 10-2008-0060499 A & CN 101211026 A & TW 200839391 A	14
A	JP 10-253978 A (Advanced Display Inc.), 25 September 1998 (25.09.1998), entire text; all drawings (Family: none)	1-17
A	JP 2009-20477 A (AU Optronics Corp.), 29 January 2009 (29.01.2009), entire text; all drawings & US 2009/0021665 A1 & TW 200905342 A	1-17
A	JP 2007-47277 A (Toshiba Matsushita Display Technology Co., Ltd.), 22 February 2007 (22.02.2007), entire text; all drawings (Family: none)	1-17

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09F9/30(2006.01)i, G02F1/1345(2006.01)i, G09F9/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09F9/00-9/46, G02F1/13-1/141, H01L27/32

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2003-43521 A（富士通株式会社）2003.02.13, 段落【0003】、【0007】 - 【0008】、【0014】 - 【0028】、図 1-6, 41-42	1, 3, 5-12, 15-17
Y	（ファミリーなし）	2, 4, 13-14
Y	JP 10-170946 A（富士通株式会社）1998.06.26, 段落【0028】 - 【0032】、図 5 （ファミリーなし）	2

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 3 . 2 0 1 4

国際調査報告の発送日

1 8 . 0 3 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

田辺 正樹

2 I

4 4 0 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 3

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2010/041361 A1 (シャープ株式会社) 2010. 04. 15, 段落[0112]-[0121], 図 6 & US 2011/0122105 A1 & EP 2337009 A1 & CN 102084411 A & RU 2467365 C	4, 13
Y	JP 2008-165237 A (三星電子株式会社) 2008. 07. 17, 段落【0033】 - 【0043】, 図 1 & US 2009/0284679 A1 & KR 10-2008-0060499 A & CN 101211026 A & TW 200839391 A	14
A	JP 10-253978 A (株式会社アドバンスト・ディスプレイ) 1998. 09. 25, 全文, 全図 (ファミリーなし)	1-17
A	JP 2009-20477 A (友達光電股▲ふん▼有限公司) 2009. 01. 29, 全文, 全図 & US 2009/0021665 A1 & TW 200905342 A	1-17
A	JP 2007-47277 A (東芝松下ディスプレイテクノロジー株式会社) 2007. 02. 22, 全文, 全図 (ファミリーなし)	1-17