

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成26年1月16日(2014.1.16)

【公表番号】特表2013-538513(P2013-538513A)

【公表日】平成25年10月10日(2013.10.10)

【年通号数】公開・登録公報2013-056

【出願番号】特願2013-525884(P2013-525884)

【国際特許分類】

H 03M 1/12 (2006.01)

【F I】

H 03M 1/12 A

【手続補正書】

【提出日】平成25年11月19日(2013.11.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

装置であって、

アナログ入力信号を受け取る複数のトラックアンドホールド(T/H)回路と、

前記トラックアンドホールド回路の各々に結合されるマルチプレクサと、

前記マルチプレクサに結合されるアナログ・デジタル・コンバータ(ADC)と、

クロック信号を受け取り、前記トラックアンドホールド回路の各々と前記マルチプレクサとに結合されるクロッキング回路であって、前記トラックアンドホールド回路のためのトラッキング位相が全般的にはオーバーラップしないように前記クロッキング回路が前記トラックアンドホールド回路を制御し、前記クロッキング回路が、各トラックアンドホールド回路と前記ADC間の結合を前記マルチプレクサで制御する、前記クロッキング回路と、

前記アナログ・デジタル・コンバータに結合されるデジタル・アナログ・コンバータ(DAC)と、

前記デジタル・アナログ・コンバータと前記マルチプレクサとの出力信号間の差を判定するように前記デジタル・アナログ・コンバータと前記マルチプレクサとに結合される加算器と、

前記加算器に結合される増幅器と、

を含む、装置。

【請求項2】

請求項1に記載の装置であって、

前記クロッキング回路がクロック分周器を更に含む、装置。

【請求項3】

装置であって、

シーケンス内で互いに直列に結合される複数のステージであって、前記シーケンスの第1のステージがアナログ入力信号を受け取り、各ステージが残余信号を出力し、各ステージが、

前記アナログ入力信号又は前のステージからの前記残余信号を受け取る複数のトラックアンドホールド(T/H)回路と、

前記トラックアンドホールド回路の各々に結合されるマルチプレクサと、

前記マルチプレクサに結合される第1のアナログ・デジタル・コンバータ(ADC)と、

を含む、前記複数のステージと、

クロック信号を受け取り、前記トラックアンドホールド回路の各々と前記マルチプレクサとに結合されるクロッキング回路であって、各ステージのための前記トラックアンドホールド回路のためのトラッキング位相が全般的にはオーバーラップしないように前記クロッキング回路が前記トラックアンドホールド回路を制御し、前記クロッキング回路が、各ステージのための各トラックアンドホールド回路と各第1のアナログ・デジタル・コンバータとの間の結合を各ステージのための前記マルチプレクサで制御する、前記クロッキング回路と、

その残余信号を受け取るように前記シーケンスの最後のステージに結合される第2のアナログ・デジタル・コンバータと、

デジタル出力信号を生成するように前記各ステージと前記第2のアナログ・デジタル・コンバータとに結合されるデジタル出力回路と、

を含む、装置。

【請求項4】

請求項3に記載の装置であって、

各ステージが、

前記第1のアナログ・デジタル・コンバータに結合されるデジタル・アナログ・コンバータ(DAC)と、

前記デジタル・アナログ・コンバータと前記マルチプレクサとの出力信号間の差を判定するように前記デジタル・アナログ・コンバータと前記マルチプレクサとに結合される加算器と、

前記加算器に結合される増幅器と、

を更に含む、装置。

【請求項5】

請求項4に記載の装置であって、

前記クロッキング回路がクロック分周器を更に含む、装置。

【請求項6】

装置であって、

シーケンス内で互いに直列に結合される複数のステージであって、前記シーケンスの第1のステージがアナログ入力信号を受け取り、各ステージが残余信号を出力し、各ステージが、

前記アナログ入力信号又は前のステージからの前記残余信号を受け取る第1のトラックアンドホールド(T/H)回路と、

前記アナログ入力信号又は前記前のステージからの前記残余信号を受け取る第2のトラックアンドホールド回路と、

前記第1及び第2のトラックアンドホールド回路に結合されるマルチプレクサと、

前記マルチプレクサに結合される第1のアナログ・デジタル・コンバータ(ADC)と、

を含む、前記複数のステージと、

クロック信号を受け取り、前記トラックアンドホールド回路の各々と前記マルチプレクサとに結合されるクロッキング回路であって、各ステージのための前記トラックアンドホールド回路のためのトラッキング位相が全般的にはオーバーラップしないように前記クロッキング回路が前記トラックアンドホールド回路を制御し、前記クロッキング回路が、各ステージのための各トラックアンドホールド回路と各第1のアナログ・デジタル・コンバータとの間の結合を各ステージのための前記マルチプレクサで制御する、前記クロッキング回路と、

その残余信号を受け取るように前記シーケンスの最後のステージに結合される第2のアナログ・デジタル・コンバータと、

デジタル出力信号を生成するように前記各ステージと前記第2のアナログ・デジタル・コンバータとに結合されるデジタル出力回路と、
を含む、装置。

【請求項7】

請求項6に記載の装置であって、
各ステージが、
前記第1のアナログ・デジタル・コンバータに結合されるデジタル・アナログ・コンバータ(DAC)と、
前記デジタル・アナログ・コンバータと前記マルチプレクサとの出力信号間の差を判定するように前記デジタル・アナログ・コンバータと前記マルチプレクサとに結合される加算器と、
前記加算器に結合される増幅器と、
を更に含む、装置。

【請求項8】

請求項7に記載の装置であって、
前記クロッキング回路がクロック分周器を更に含む、装置。

【請求項9】

請求項8に記載の装置であって、
前記クロック分周器が、二分されたクロック信号を生成するように2分周クロック分周器である、装置。

【請求項10】

請求項9に記載の装置であって、
各第1のトラックアンドホールド回路が、前記二分されたクロック信号が第1の論理状態にあるときそのトラック位相にあり、前記二分されたクロック信号が第2の論理状態にあるときそのホールド位相にあり、各第1のトラックアンドホールド回路が、前記二分されたクロック信号が前記第2の論理状態にあるとき、そのマルチプレクサを介してその第1のアナログ・デジタル・コンバータに結合される、装置。

【請求項11】

請求項10に記載の装置であって、
各第2のトラックアンドホールド回路が、前記二分されたクロック信号が前記第1の論理状態にあるときそのホールド位相にあり、前記二分されたクロック信号が前記第2の論理状態にあるときそのトラック位相にあり、各第2のトラックアンドホールド回路が、前記二分されたクロック信号が前記第1の論理状態にあるとき、そのマルチプレクサを介してその第1のアナログ・デジタル・コンバータに結合される、装置。

【請求項12】

請求項11に記載の装置であって、
前記第1の論理状態が論理高であり、前記第2の論理状態が論理低である、装置。