

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/336

H01L 21/8232 H01L 29/772



[12] 发明专利说明书

[21] ZL 专利号 00130304. X

[45] 授权公告日 2004 年 10 月 27 日

[11] 授权公告号 CN 1173390C

[22] 申请日 2000. 10. 30 [21] 申请号 00130304. X

[71] 专利权人 世界先进积体电路股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 曾鸿辉

审查员 钟 翊

[74] 专利代理机构 北京三友知识产权代理有限公司

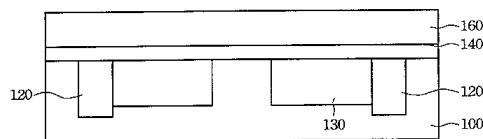
代理人 刘朝华

权利要求书 2 页 说明书 7 页 附图 5 页

[54] 发明名称 具嵌入式栅极的金属氧化物半导体场效应晶体管的形成方法

[57] 摘要

一种具嵌入式栅极的金属氧化物半导体场效应晶体管的形成方法，在一半导体基板上形成隔离区域及源极/漏极区域；在半导体基板上陆续形成第一介电层和第二介电层，利用非等向性蚀刻技术在半导体基板上形成一沟渠，以热氧化技术形成一层氧化硅层，利用非等向性蚀刻技术在沟渠的侧壁上形成第一间隙壁，在沟渠的底壁上形成一层栅极介电层和栅极插塞，并形成金属氧化物半导体场效应晶体管的源极电极、漏极电极和嵌入式栅极的电极。



I S S N 1 0 0 8 - 4 2 7 4

1、一种具嵌入式栅极的金属氧化物半导体场效应晶体管的形成方法，其特征在于：它包括如下步骤：

- a、在一半导体基板上形成隔离区域；
- 5 b、在所述半导体基板上形成源极/漏极区域；
- c、在所述半导体基板上陆续形成第一介电层和第二介电层；
- d、利用非等向性蚀刻技术在所述半导体基板上形成一沟渠；
- e、利用热氧化技术形成一层氧化硅层；
- f、利用非等向性蚀刻技术在所述沟渠的侧壁上形成第一间隙壁；
- 10 g、在所述沟渠的底壁上形成一层栅极介电层；
- h、形成所述金属氧化物半导体场效应晶体管的源极电极、漏极电极和嵌入式栅极的电极。

2、如权利要求1所述的具嵌入式栅极的金属氧化物半导体场效应晶体管的形成方法，其特征在于：所述第一介电层和第二介电层具有蚀刻选择性。

15 3、如权利要求1所述的具嵌入式栅极的金属氧化物半导体场效应晶体管的形成方法，其特征在于：所述第二介电层的厚度介于1000埃至2000埃之间。

4、如权利要求1所述的具嵌入式栅极的金属氧化物半导体场效应晶体管的形成方法，其特征在于：所述第二介电层是氮化硅层。

20 5、如权利要求1所述的具嵌入式栅极的金属氧化物半导体场效应晶体管的形成方法，其特征在于：所述第二介电层是氮氧化硅层。

6、如权利要求1所述的具嵌入式栅极的金属氧化物半导体场效应晶体管的形成方法，其特征在于：所述沟渠的宽度小于0.1微米。

7、如权利要求1所述的具嵌入式栅极的金属氧化物半导体场效应晶体管的形成方法，其特征在于：所述栅极介电层的厚度小于20埃。

25 8、如权利要求1所述的具嵌入式栅极的金属氧化物半导体场效应晶体管的形成方法，其特征在于：该步骤h形成所述金属氧化物半导体场效应晶体管的

源极电极、漏极电极和嵌入式栅极的电极的方法包含有：

- A、形成一导电层以填满所述沟渠；
- B、将所述导电层中位于所述沟渠外的部分去除，以形成栅极插塞；
- C、将所述第二介电层去除；
- 5 D、在所述栅极插塞的侧壁上形成第二间隙壁；
- E、形成所述源极/漏极区域及所述栅极插塞的金属接触点。

9、如权利要求 8 所述的具嵌入式栅极的金属氧化物半导体场效应晶体管的形成方法，其特征在于：所述导电层中位于所述沟渠外的部分是以化学机械研磨法去除。

- 10 10、如权利要求 8 所述的具嵌入式栅极的金属氧化物半导体场效应晶体管的形成方法，其特征在于：所述形成第二间隙壁的方法是：先沉积一层介电层，再利用非等向性蚀刻技术进行回蚀刻。

具嵌入式栅极的金属氧化物半导体场效应晶体管的形成方法

技术领域

本发明是揭露一种形成金属氧化物半导体场效应晶体管 (MOSFET) 的方法，
5 特别是关于一种具嵌入式栅极 (recessed-gate) 的金属氧化物半导体场效应晶
体管的形成方法。

背景技术

近年来随着半导体制造工业以及半导体设备工业的快速进步，超大型积体
电路 (ultra-large scale integrated circuits; ULSI) 的产业有着极为快速的
10 发展。超大型积体电路通常由为数庞大的金属氧化物半导体场效应晶体管
(MOSFETS) 所组成，其中每一个金属氧化物半导体场效应晶体管包含一源极
(source) 和一漏极 (drain)，以及位于二者之间的栅极 (gate)。为求增加积
体电路的元件密度 (device density) 和操作速率 (operating speed)，必须
不断地努力缩小电晶体的特征尺寸 (feature size)。特别的是电晶体的 P 型通
15 道或 N 型通道的通道长度 (channel length) 与元件的操作速率习习相关，为
求增加积体电路的操作速率，势必不断地努力缩小电晶体的通道长度。

能否将电晶体的通道长度缩短的关键技术在于微影制程
(photolithography process)。常用技术是以步进机 (stepper) 来进行微影
制程，近年来为求达到更小尺寸的微影极限 (photolithography limit)，已
20 渐渐使用扫描机 (Scanner) 来取代步进机。一般而言，在微影制程中所能获致
最短的电晶体的通道长度，便等于步进机或扫描机的微影极限。

为了形成通道长度为次 0.1 微米 (sub. 0.1 μ m) 级的电晶体，美国专利
第 6,093,947 号中揭露了一种具嵌入式栅极 (recessed, gate) 的金属氧化
物半导体场效应晶体管，参考图 1，依据该专利案的第二实施例，首先在一半

导体基板 10 上陆续形成一层垫氧化硅层 (pad oxide layer) 34 和一层介电层 36, 其中半导体基板 10 上包含有大多数个浅沟渠隔离区域 (shallow trench isolation regions)、源极区域 (source regions) 14 和漏极区域 (drain regions) 16。其次, 在半导体基板 10 上形成一孔洞 (hole) 38, 其包含有底壁及侧壁。接下来先形成一层氧化硅层, 再利用非等向性蚀刻技术进行回蚀刻, 以在孔洞 38 的侧壁上形成氧化硅间隙壁区域 (oxide spacer regions) 22;

接着参考图 2, 在孔洞 38 的底壁上形成栅极氧化硅层 (gate oxide layer) 24, 其次在孔洞 38 及介电层 36 上形成一层复晶硅层 (polysilicon layer) 40, 再以化学机械研磨法 (CMP process) 将位于孔洞 38 外的复晶硅层 40 去除;

接下来参考图 3, 将介电层 36 去除, 以裸露出垫氧化硅层 34 和氧化硅间隙壁区域 22 的外壁;

最后如图 4 所示, 在垫氧化硅层 34 上形成氮化硅间隙壁 19, 并形成金属接触点 32、26, 以完成具嵌入式栅极的金属氧化物半导体场效应晶体管的制程。其主要缺陷在于:

其所形成的金属氧化物半导体场效应晶体管的通道长度取决于氧化硅间隙壁区域 22 间的间隔, 而氧化硅间隙壁区域 22 间的间隔则取决于原始的氧化硅层的厚度, 以及回蚀刻制程的蚀刻终点的掌控。以目前的化学气相沉积技术而言, 并不易在一片 8 寸的半导体基板上形成厚度绝对均匀的氧化硅层; 尤有甚者, 回蚀刻制程的蚀刻终点的掌握更是相当地困难。因此在实际制程中, 氧化硅间隙壁区域 22 间的间隔大小以及间隔的均匀度非常难以控制。其结果使得在一片 8 寸的半导体基板上所形成的金属氧化物半导体场效应晶体管的通道长度相当地不一致, 使得所形成电晶体的起始电压和饱和电流等电性不正确, 且差异度甚大。

因此, 发展出一种新的方法以形成具有精确且稳定的电性的金属氧化物半导体场效应晶体管, 特别是具嵌入式栅极的金属氧化物半导体场效应晶体管,

便成为积体电路业界一项十分重要的课题。

发明内容

本发明的主要目的是提供一种形成金属氧化物半导体场效应晶体管的方法。

5 本发明的次要目的是提供一种具嵌入式栅极的金属氧化物半导体场效应晶体管的形成方法。

本发明的制程首先在一半导体基板上形成浅沟渠隔离，再利用的微影及离子布值技术形成源极/漏极区域，并在所述半导体基板上陆续形成第一介电层和第二介电层，其中所述第一介电层和第二介电层之间必须有蚀刻选择性；接下来利用微影及非等向性蚀刻技术在所述半导体基板上形成沟渠，所述沟渠是位于源极/漏极区域之间，延伸穿透部分的源极/漏极区域；

下面为本发明重点所在，对所述半导体基板进行热氧化制程，以在所述沟渠内形成一层氧化硅层，其厚度介于 100 埃至 300 埃之间；接下来利用非等向性蚀刻技术蚀刻所述氧化硅层，将位于沟渠底壁上的水平方向的氧化硅层去除，以在所述沟渠的侧壁上形成第一间隙壁，本发明的特征在于，所述第一间隙壁之间的

15 之间的距离可以精确地控制，其原因是所述氧化硅层是以热氧化制程所形成，其厚度可以精确地控制，并且在整个半导体基板上的厚度的均匀性极佳。

接下来在所述沟渠内的底壁上形成一层栅极介电层，其厚度为 20 埃以下，其次形成一层导电层，再利用一平坦化制程 (planarization process) 将位于沟渠外的导电层去除，以形成栅极插塞 (gate plug)；后续进行一道选择性蚀刻制程，将所述第二介电层去除，并在所述第一间隙壁的侧壁上形成第二间隙壁。最后，以传统的

20 技术进行一连串的沉积、微影和蚀刻的步骤，以形成所述源极/漏极区域的金属接触点及所述栅极插塞的金属接触点，以完成本发明所揭露的具嵌入式栅极的金属氧化物半导体场效应晶体管。

本发明的重点在于，所述第一间隙壁之间的距离可以精确地控制，其原因是所述氧化硅层是以热氧化制程所形成，其厚度可以精确地控制，并且在整个

25

半导体基板上的厚度的均匀性极佳。因此，后续在所述沟渠内所形成的金属氧化物半导体场效应晶体管的栅极的通道长度便可以精确地控制，并且在整个半导体基板上每一电晶体的通道长度相当一致。如此一来，利用本发明的技术所形成的具有嵌入式栅极的金属氧化物半导体场效应晶体管便可获致极稳定且控制精确的电性，诸如所述金属氧化物半导体场效应晶体管的起始电压和饱和电

5 流都可精确地控制，并且在整个半导体基板上的每一电晶体的电性都相当一致。

下面结合较佳实施例和附图进一步说明。

附图说明

- 图 1 是常用浅沟渠、垫氧化硅层、介电层和孔洞的制程的剖面示意图。
- 10 图 2 是常用孔洞的底壁上形成栅极氧化硅层和栅极导电层的制程剖面图。
- 图 3 是常用介电层去除的制程剖面示意图。
- 图 4 是常用完成具嵌入式栅极的金属氧化物半导体场效应晶体管的制程剖面示意图。
- 图 5 是本发明中形成浅沟渠隔离、第一介电层和第二介电层的制程剖面图。
- 15 图 6 是本发明的在半导体基板上形成沟渠的制程剖面示意图。
- 图 7 是本发明的在沟渠内形成一层氧化硅层的制程剖面示意图。
- 图 8 是本发明的在沟渠的侧壁上形成第一间隙壁的制程剖面示意图。
- 图 9 是本发明在沟渠内的底壁上形成一层栅极介电层的制程剖面示意图。
- 图 10 是本发明的形成栅极插塞的制程剖面示意图。
- 20 图 11 是本发明的去除第二介电层的制程剖面示意图。
- 图 12 是本发明的完成具嵌入式栅极的金属氧化物半导体场效应晶体管的制程剖面示意图。

具体实施方式

参阅图 5，本发明是揭露一种形成金属氧化物半导体场效应晶体管的方法，

特别是关于一种具嵌入式栅极的金属氧化物半导体场效应晶体管的形成方法。

本发明中形成浅沟渠隔离、第一介电层和第二介电层的制程是，首先提供一p型单晶的半导体基板100，并在半导体基板100上形成浅沟渠隔离120；接下来，利用传统的微影及离子布值技术形成源极/漏极区域130，并在半导体基板100上陆续形成第一介电层140和第二介电层160。

所述浅沟渠隔离120的形成方法，是首先利用传统的微影及非等向性蚀刻技术在所述半导体基板100的表面上形成浅沟渠；在将光阻以氧气电浆去除之后，利用低压化学沉积法或电浆增强式化学沉积法形成一层氧化硅层以填满该浅沟渠，再利用化学机械研磨法将半导体基板100表面上的该氧化硅层去除。

对于N型金属氧化物半导体场效应晶体管而言，所述源极/漏极区域130的掺杂离子是砷(As)或磷(P)离子；对于P型金属氧化物半导体场效应晶体管而言，所述源极/漏极区域130的掺杂离子是硼(B)离子；所述源极/漏极区域130的掺杂浓度介于 $2E15$ - $9E15$ 离子/平方公分之间；离子的植入能量介于15至25 keV之间，使掺杂离子的植入深度介于1000至2000埃之间。所述第一介电层140是以传统的低压化学沉积法或电浆增强式化学沉积法所形成，其厚度介于50至200埃之间。所述第一介电层140是二氧化硅层、氧化钛层(TiO_2)或氧化钽层(Ta_2O_5)。所述第二介电层160是氮化硅层或氮氧化硅层，以传统的低压化学沉积法或电浆增强式化学沉积法所形成，其厚度介于1000至2000埃之间。其中所述第一介电层140和第二介电层160之间必须有蚀刻选择性。

接下来请参考图6，利用微影及非等向性蚀刻技术在所述半导体基板100上形成沟渠180。所述沟渠180是位于源极/漏极区域130之间，延伸穿透部分的源极/漏极区域130，如图6所示。在本发明的一个实施例中，所述沟渠的宽度小于0.1微米；在本发明的另一个实施例中，所述沟渠的宽度等于0.1微米。

接下来请参考图7，其为本发明重点所在，将所述半导体基板100进行热氧化制程，在所述沟渠180内形成一层氧化硅层220，其厚度介于100埃至300

埃之间。本发明利用热氧化制程形成所述氧化硅层 220 的目的在于使用热氧化制程可以精确地控制所形成的氧化硅层的厚度，且在整个半导体基板 100 上的厚度均匀性极佳。此外，因为所述氧化硅层 220 是利用热氧化制程所形成，因此所形成的氧化硅层 220 会深入所述沟渠 180 的底壁和侧壁内，如图 7 所示。

5 接下来请参考图 8，利用非等向性蚀刻技术蚀刻所述氧化硅层 220，将位于沟渠 180 底壁上的水平方向的氧化硅层 220 去除，以在所述沟渠 180 的侧壁上形成第一间隙壁 230。本发明的特征在于，所述第一间隙壁 230 之间的距离可以精确地控制，其原因是所述氧化硅层 220 是以热氧化技术所形成，其厚度可以精确地控制，并且在整个半导体基板 100 上的厚度的均匀性极佳。

10 接下来进行一道湿蚀刻制程，以 NH_4F 和 HF 的混合溶液对所述半导体基板 100 进行湿蚀刻，以去除半导体基板 100 表面上的晶格缺陷。其中所述 NH_4F 和 HF 的混合溶液仅会蚀刻硅基板，对于其他各层不会有损害。

接下来请参考图 9，在所述沟渠 180 内的底壁的半导体基板 100 上形成一层栅极介电层 300。所述栅极介电层 300 为一层氧化硅层或含氮的氧化硅层，
15 利用热氧化制程或化学气相沉积法所形成。在本发明的一个实施例中，栅极介电层 300 的厚度为 20 埃或 20 埃以下。

接下来形成一层导电层 320，其位于栅极介电层 300 和第二介电层 160 之上，厚度介于 1000-3000 埃之间，所述导电层 320 是一层掺有 P 型或 N 型杂质的复晶硅层，由传统的低压化学沉积法或电浆增强式化学沉积法所形成，在本
20 发明的一个实施例中，杂质是在导电层 320 的沉积过程中，同步沉积而掺入导电层 320 中；在本发明的另一个实施例中，是先形成本征的 (intrinsic) 复晶硅层，再以离子布值技术将杂质掺入导电层 320 中。

参阅图 10，利用平坦化技术将位于沟渠 180 外的导电层 320 除去，以形成栅极插塞 320a，在本发明的一个实施例中，平坦化制程是化学机械研磨法；在
25 本发明的另一个实施例中，平坦化制程是回蚀刻法。

参阅图 11，进行选择性的蚀刻制程，将第二介电层 160 除去，在本发明的一

个实施例中，是以湿蚀刻技术进行，将半导体基板 100 浸入热磷酸溶液中。

参阅图 12，先形成一层介电层，再以非等向性蚀刻技术进行回蚀刻，在第一间隙壁 220 的侧壁上形成第二间隙壁 400。

最后，使用传统的技术进行一连串的沉积、微影和蚀刻，以形成源极/漏极
5 区域的金属接触点 420，完成本发明的具嵌入式栅极的金属氧化物半导体场效应晶体管。所述的金属接触点为金属钨、铜或铜铝合金，其沉积方法包括化学气相沉积法、溅镀法、高密度感应耦合电浆沉积法或高密度离子化金属电浆沉积法。

上述为本发明的较佳实施例，并非限制本发明，凡作些微的改变与调整，
10 仍将不脱离本发明的精神和保护范围。

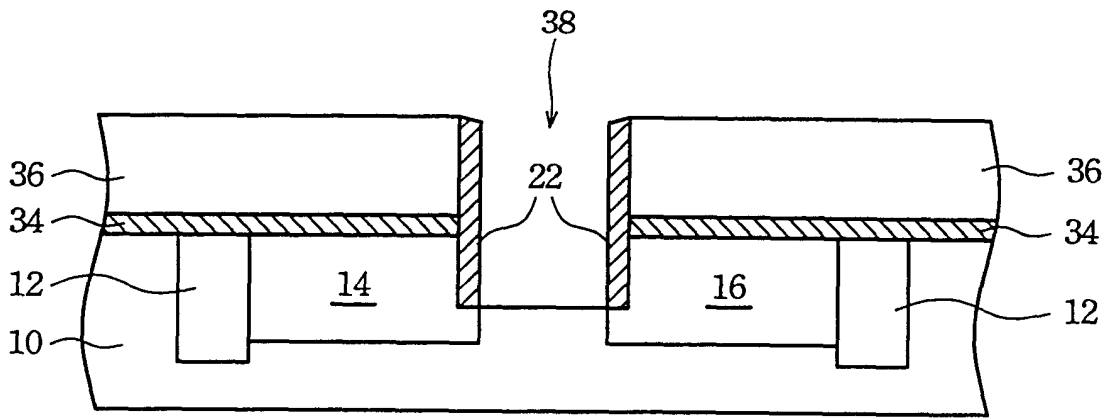


图 1

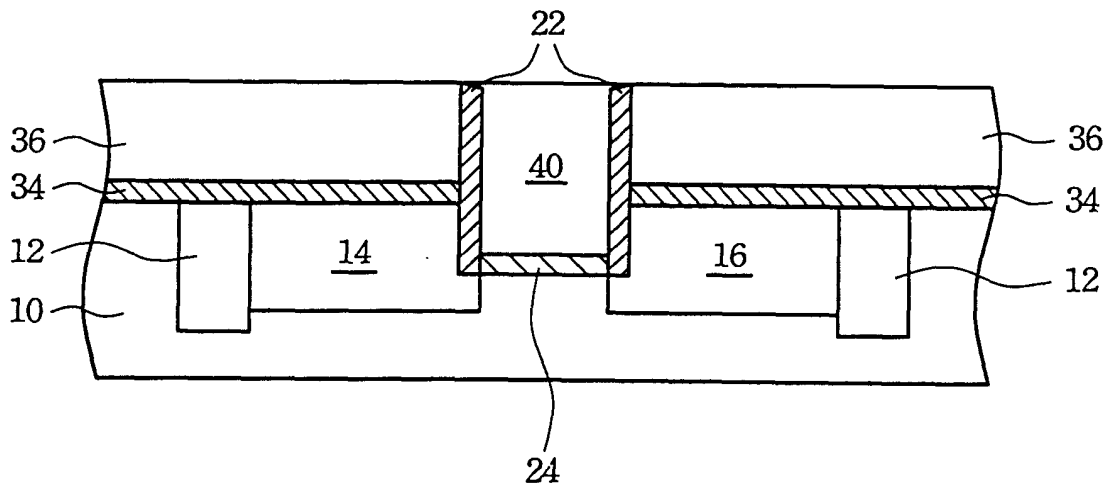


图 2

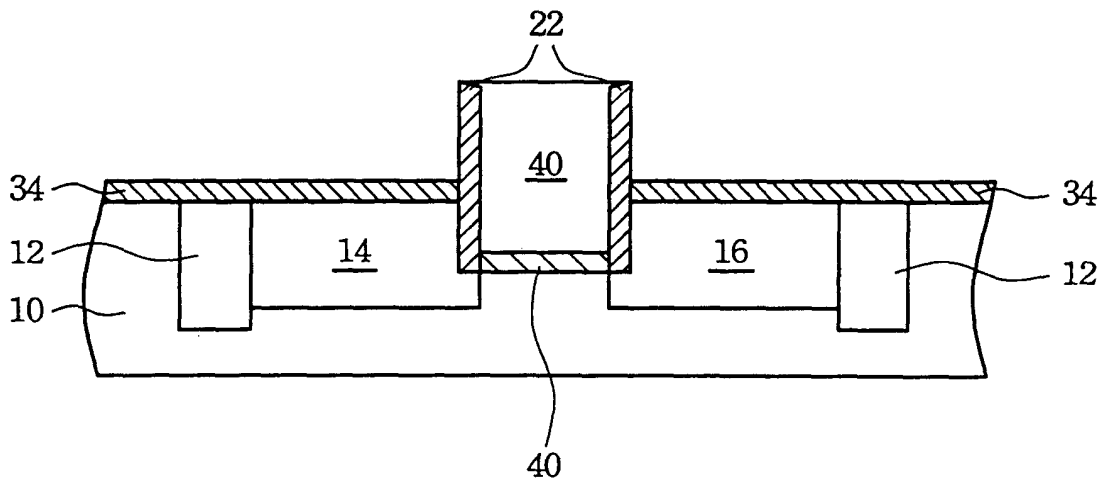


图 3

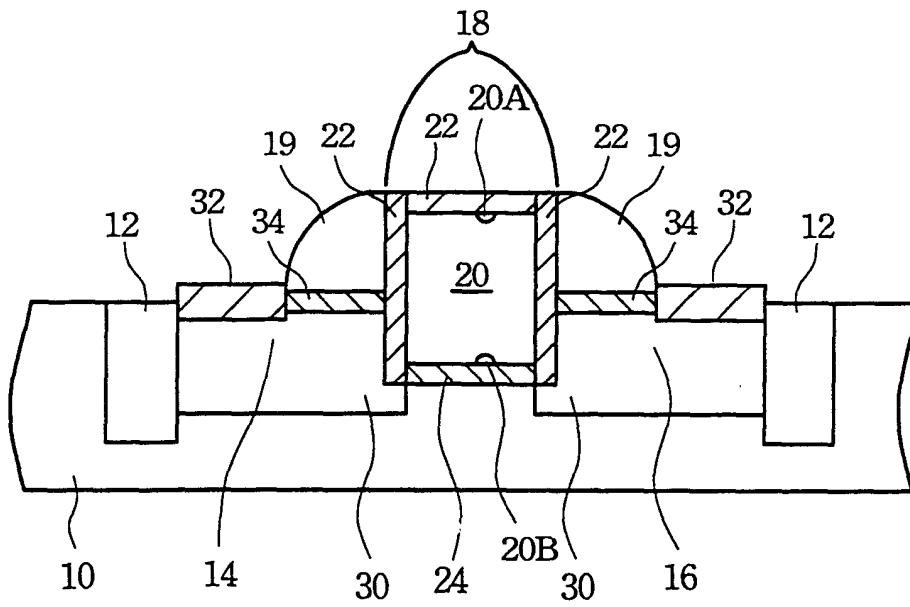


图 4

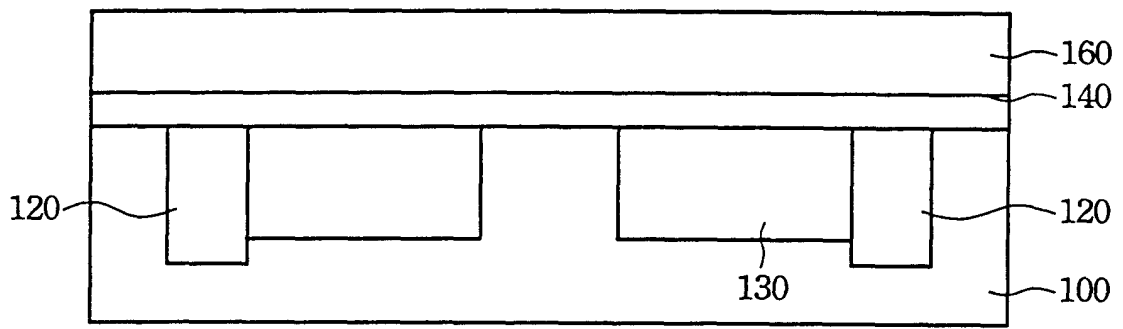


图 5

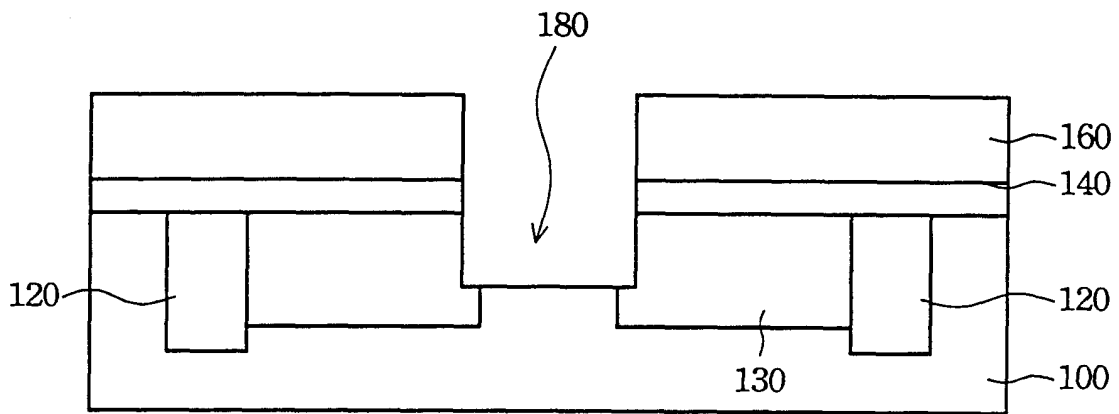


图 6

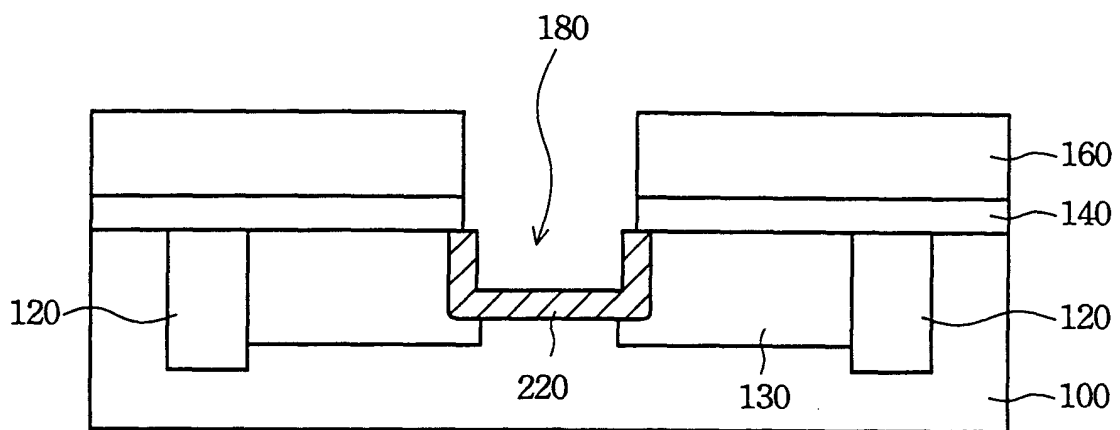


图 7

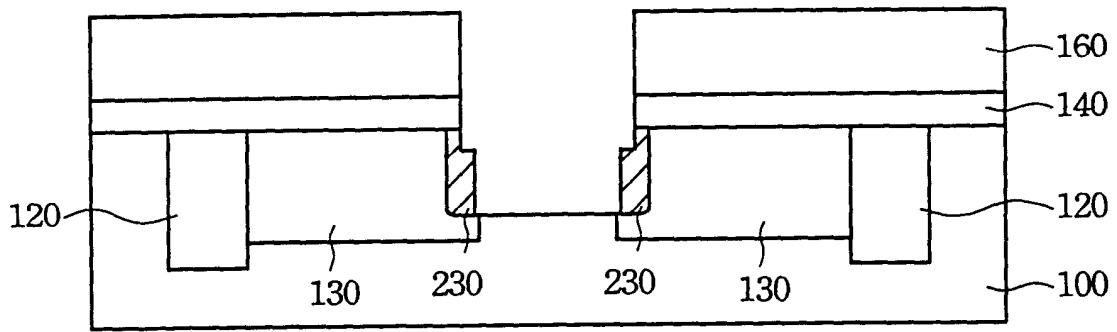


图 8

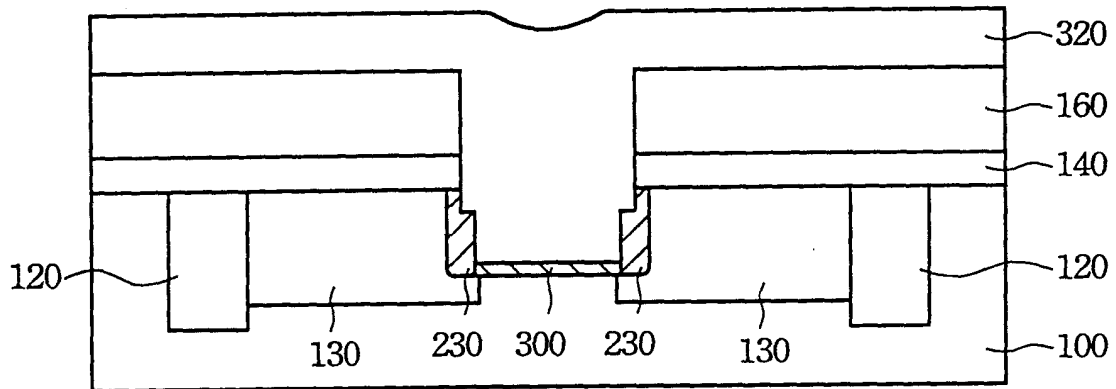


图 9

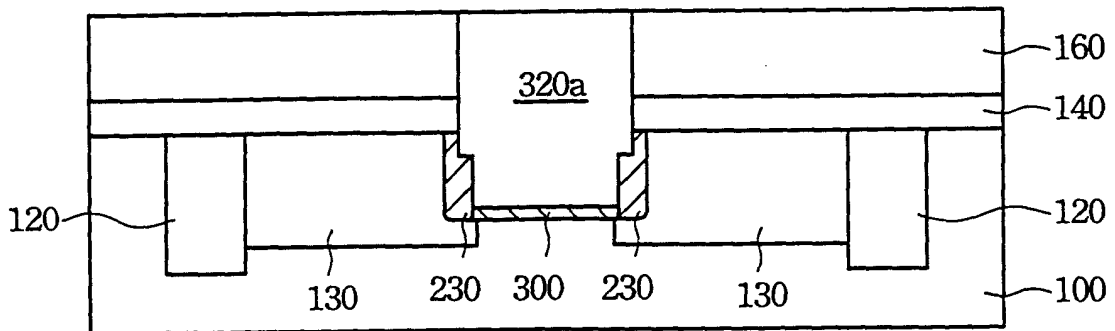


图 10

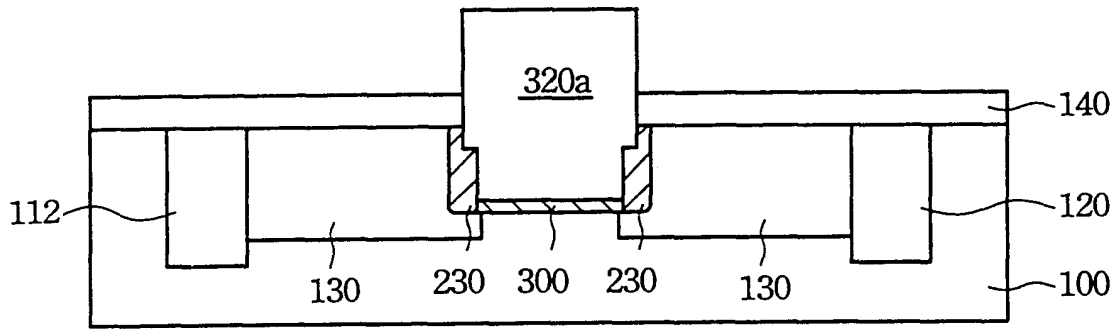


图 1 1

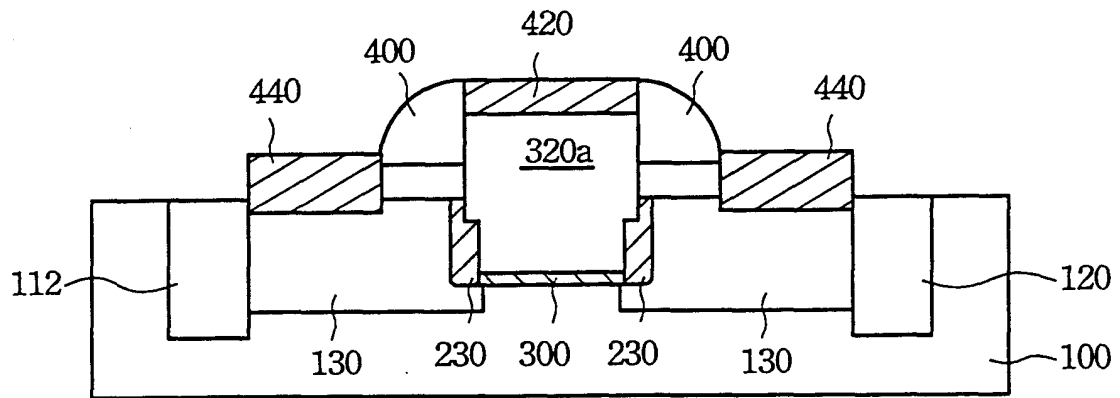


图 1 2