

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02013/115052

発行日 平成27年5月11日 (2015. 5. 11)

(43) 国際公開日 平成25年8月8日 (2013. 8. 8)

(51) Int. Cl.	F I	テーマコード (参考)
H01L 21/336 (2006.01)	H01L 29/78 616K	2H192
H01L 29/786 (2006.01)	H01L 29/78 618B	4M104
H01L 21/28 (2006.01)	H01L 21/28 301B	5F110
GO2F 1/1368 (2006.01)	H01L 21/28 301R	
	H01L 29/78 616U	

審査請求 有 予備審査請求 未請求 (全 21 頁) 最終頁に続く

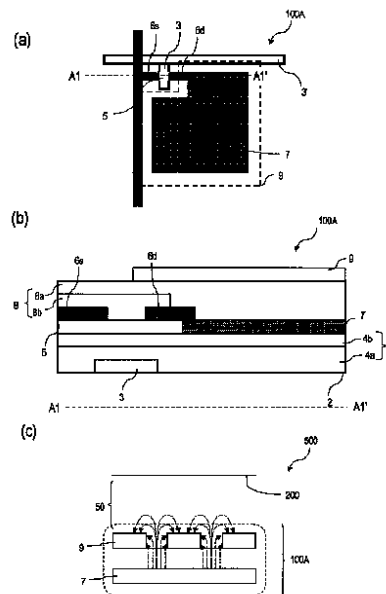
出願番号 特願2013-556351 (P2013-556351)	(71) 出願人 00005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(21) 国際出願番号 PCT/JP2013/051422	
(22) 国際出願日 平成25年1月24日 (2013. 1. 24)	
(31) 優先権主張番号 特願2012-18751 (P2012-18751)	(74) 代理人 100101683 弁理士 奥田 誠司
(32) 優先日 平成24年1月31日 (2012. 1. 31)	(74) 代理人 100155000 弁理士 喜多 修市
(33) 優先権主張国 日本国 (JP)	(74) 代理人 100139930 弁理士 山下 亮司
	(74) 代理人 100125922 弁理士 三宅 章子
	(74) 代理人 100135703 弁理士 岡部 英隆
	(74) 代理人 100184985 弁理士 田中 悠

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

半導体装置 (100A) は、基板 (2) と、基板 (2) の上に形成されたゲート電極 (3) と、ゲート電極 (3) の上に形成されたゲート絶縁層 (4) と、ゲート絶縁層 (4) の上に形成された酸化半導体層 (5) と、酸化半導体層 (5) に電氣的に接続されたソース電極 (6s) およびドレイン電極 (6d) と、ドレイン電極 (6d) と電氣的に接続された第1透明電極 (7) と、ソース電極 (6s) およびドレイン電極 (6d) の上に形成された誘電体層 8a を含む層間絶縁層 (8) と、層間絶縁層 (8) の上に形成された第2透明電極 (9) とを有し、第2透明電極 (9) の少なくとも一部は、誘電体層 (8a) を介して第1透明電極 (7) と重なっており、酸化半導体層 (5) および第1透明電極 (7) は、同一の酸化膜から形成されている。



【特許請求の範囲】

【請求項 1】

基板と、
前記基板の上に形成されたゲート電極と、
前記ゲート電極の上に形成されたゲート絶縁層と、
前記ゲート絶縁層の上に形成された酸化物半導体層と、
前記酸化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、
前記ドレイン電極と電氣的に接続された第 1 透明電極と、
前記ソース電極および前記ドレイン電極の上に形成された誘電体層を含む層間絶縁層と

10

、
前記層間絶縁層の上に形成された第 2 透明電極とを有し、
前記第 2 透明電極の少なくとも一部は、前記誘電体層を介して前記第 1 透明電極と重なっており、
前記酸化物半導体層および前記第 1 透明電極は、同一の酸化物膜から形成されている、
半導体装置。

【請求項 2】

前記第 1 透明電極の上に前記ドレイン電極が形成され、
前記第 1 透明電極は前記ドレイン電極に直接接している、請求項 1 に記載の半導体装置。

20

【請求項 3】

前記ソース電極および前記ドレイン電極の上に形成された絶縁保護層をさらに有し、
前記絶縁保護層は、前記酸化物半導体層のチャンネル領域と接するように形成されており、
前記絶縁保護層は酸化物から形成されている、請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記ゲート絶縁層および前記誘電体層の少なくとも 1 つは、酸化物絶縁層を含み、
前記酸化物絶縁層は、前記酸化物半導体層と接している、請求項 1 から 3 のいずれかに記載の半導体装置。

【請求項 5】

前記酸化物膜は、In、Ga および Zn を含む、請求項 1 から 4 のいずれかに記載の半導体装置。

30

【請求項 6】

前記第 1 透明電極は、前記酸化物半導体層よりも高い濃度で不純物を含み、
前記層間絶縁層のうち前記第 1 透明電極上に位置する部分は、他の部分よりも高い濃度で不純物を含んでいる、請求項 1 から 5 のいずれかに記載の半導体装置。

【請求項 7】

基板を用意する工程 (a) と、
基板上にゲート電極およびゲート絶縁層を形成する工程 (b) と、
前記ゲート絶縁層の上に酸化物半導体膜を形成する工程 (c) と、
前記酸化物半導体膜の上にソース電極およびドレイン電極を形成する工程 (d) と、
前記酸化物半導体膜のチャンネル領域を保護する保護層を形成した後、前記酸化物半導体膜の一部を低抵抗化させる低抵抗化処理を行って第 1 透明電極を形成し、前記酸化物半導体膜のうち前記第 1 透明電極が形成されなかった部分が酸化物半導体層となる工程 (e) と、
前記ソース電極および前記ドレイン電極の上に誘電体層を形成する工程 (f) と、
前記誘電体層の上に第 2 透明電極を形成する工程 (g) とを包含し、
前記第 2 透明電極の少なくとも一部は前記誘電体層を介して前記第 1 透明電極と重なる、
半導体装置の製造方法。

40

【請求項 8】

前記工程 (e) は、前記工程 (d) と前記工程 (f) との間に行われる、請求項 7 に記

50

載の半導体装置の製造方法。

【請求項 9】

前記工程 (e) は、前記工程 (f) と前記工程 (g) との間に行われる、請求項 7 に記載の半導体装置の製造方法。

【請求項 10】

前記工程 (e) は、前記誘電体層越しに、前記酸化物半導体膜の一部に不純物を注入して前記第 1 透明電極を形成する工程を含む、請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

前記工程 (e) は、前記工程 (g) の後に行われる、請求項 7 に記載の半導体装置の製造方法。

10

【請求項 12】

前記工程 (e) は、前記誘電体層および前記第 2 透明電極越しに、前記酸化物半導体膜の一部に不純物を注入して前記第 1 透明電極を形成する工程を含む、請求項 11 に記載の半導体装置の製造方法。

【請求項 13】

前記保護層は、酸化物絶縁層である、請求項 8 に記載の半導体装置の製造方法。

【請求項 14】

前記基板の法線方向から見たとき、前記保護層の端部は前記ドレイン電極と重なる、請求項 7 から 13 のいずれかに記載の半導体装置の製造方法。

【請求項 15】

前記酸化物半導体層は In - Ga - Zn - O 系の半導体を含む請求項 1 から 6 のいずれかに記載の半導体装置。

20

【請求項 16】

前記酸化物半導体膜は In - Ga - Zn - O 系の半導体を含む請求項 7 から 14 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化物半導体を用いて形成された半導体装置およびその製造方法に関し、特に、液晶表示装置や有機 EL 表示装置のアクティブマトリクス基板およびその製造方法に関する。ここで、半導体装置は、アクティブマトリクス基板やそれを備える表示装置を含む。

30

【背景技術】

【0002】

液晶表示装置等に用いられるアクティブマトリクス基板は、画素毎に薄膜トランジスタ (Thin Film Transistor; 以下、「TFT」) などのスイッチング素子を備えている。スイッチング素子として TFT を備えるアクティブマトリクス基板は TFT 基板と呼ばれる。

【0003】

TFT としては、従来から、アモルファスシリコン膜を活性層とする TFT (以下、「アモルファスシリコン TFT」) や多結晶シリコン膜を活性層とする TFT (以下、「多結晶シリコン TFT」) が広く用いられている。

40

【0004】

近年、TFT の活性層の材料として、アモルファスシリコンや多結晶シリコンに代わって、酸化物半導体を用いることが提案されている。このような TFT を「酸化物半導体 TFT」と称する。酸化物半導体は、アモルファスシリコンよりも高い移動度を有している。このため、酸化物半導体 TFT は、アモルファスシリコン TFT よりも高速で動作することが可能である。また、酸化物半導体膜は、多結晶シリコン膜よりも簡便なプロセスで形成できる。

【0005】

50

特許文献1には、酸化物半導体TFTを備えるTFT基板の製造方法が開示されている。特許文献1に記載の製造方法によると、酸化物半導体層の一部を低抵抗化して画素電極を形成することにより、TFT基板の製造工程数を削減することができる。

【0006】

近年、液晶表示装置等の高精細化が進むに連れて、画素開口率の低下が問題となっている。なお、画素開口率とは、表示領域に占める画素（例えば、透過型液晶表示装置において、表示に寄与する光を透過する領域）の面積比率をいい、以下では、単に、「開口率」という。

【0007】

特に、モバイル用途の中小型の透過型液晶表示装置は、表示領域の面積が小さいので、当然に個々の画素の面積も小さく、高精細化による開口率の低下が顕著になる。また、モバイル用途の液晶表示装置の開口率が低下すると、所望の輝度を得るために、バックライトの輝度を増大させる必要があり、消費電力の増大を招くという問題も起こる。

10

【0008】

高い開口率を得るためには、画素毎に設けられるTFTや補助容量などの不透明な材料で形成される素子の占める面積を小さくすればよいが、TFTや補助容量は、当然に、その機能を果たすために最低限必要なサイズがある。TFTとして酸化物半導体TFTを用いると、アモルファスシリコンTFTを用いる場合よりも、TFTを小型化できるという利点を得られる。なお、補助容量は、画素の液晶層（電気的には、「液晶容量」と呼ばれる）に印加された電圧を保持するために、液晶容量に対して電氣的に並列に設けられる容量であり、一般に、補助容量の少なくとも一部は画素と重なるように形成される。

20

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2011-91279号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、高開口率化に対する要求は強く、酸化物半導体TFTを用いるだけでは、その要求に応えられない。また、表示装置の低価格化も進んでおり、高精細化で、高開口率の表示装置を安価に製造する技術の開発も求められている。

30

【0011】

そこで、本発明の一実施形態は、簡便なプロセスで製造することができ、且つ、従来よりも高精細で高開口率の表示装置を実現することが可能なTFT基板およびその製造方法を提供することを主な目的とする。

【課題を解決するための手段】

【0012】

本発明による実施形態の半導体装置は、基板と、前記基板の上に形成されたゲート電極と、前記ゲート電極の上に形成されたゲート絶縁層と、前記ゲート絶縁層の上に形成された酸化物半導体層と、前記酸化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、前記ドレイン電極と電氣的に接続された第1透明電極と、前記ソース電極および前記ドレイン電極の上に形成された誘電体層を含む層間絶縁層と、前記層間絶縁層の上に形成された第2透明電極とを有し、前記第2透明電極の少なくとも一部は、前記誘電体層を介して前記第1透明電極と重なっており、前記酸化物半導体層および前記第1透明電極は、同一の酸化物膜から形成されている。

40

【0013】

ある実施形態において、前記第1透明電極の上に前記ドレイン電極が形成され、前記第1透明電極は前記ドレイン電極に直接接している。

【0014】

ある実施形態において、上述の半導体装置は、前記ソース電極および前記ドレイン電極

50

の上に形成された絶縁保護層をさらに有し、前記絶縁保護層は、前記酸化物半導体層のチャンネル領域と接するように形成されており、前記絶縁保護層は酸化物から形成されている。

【0015】

ある実施形態において、前記ゲート絶縁層および前記誘電体層の少なくとも一つは、酸化物絶縁層を含み、前記酸化物絶縁層は、前記酸化物半導体層と接している。

【0016】

ある実施形態において、前記酸化物膜は、In、GaおよびZnを含む。

【0017】

ある実施形態において、前記第1透明電極は、前記酸化物半導体層よりも高い濃度で不純物を含み、前記層間絶縁層のうち前記第1透明電極上に位置する部分は、他の部分よりも高い濃度で不純物を含んでいる。

10

【0018】

ある実施形態において、前記酸化物半導体層はIn-Ga-Zn-O系の半導体を含む。

【0019】

本発明による実施形態の半導体装置の製造方法は、基板を用意する工程(a)と、基板上にゲート電極およびゲート絶縁層を形成する工程(b)と、前記ゲート絶縁層の上に酸化物半導体膜を形成する工程(c)と、前記酸化物半導体膜の上にソース電極およびドレイン電極を形成する工程(d)と、前記酸化物半導体膜のチャンネル領域を保護する保護層を形成した後、前記酸化物半導体膜の一部を低抵抗化させる低抵抗化処理を行って第1透明電極を形成し、前記酸化物半導体膜のうち前記第1透明電極が形成されなかった部分が酸化物半導体層となる工程(e)と、前記ソース電極および前記ドレイン電極の上に誘電体層を形成する工程(f)と、前記誘電体層の上に第2透明電極を形成する工程(g)とを包含し、前記第2透明電極の少なくとも一部は前記誘電体層を介して前記第1透明電極と重なる。

20

【0020】

ある実施形態において、前記工程(e)は、前記工程(d)と前記工程(f)との間に行われる。

【0021】

ある実施形態において、前記工程(e)は、前記工程(f)と前記工程(g)との間に行われる。

30

【0022】

ある実施形態において、前記工程(e)は、前記誘電体層越しに不純物を注入して前記第1透明電極を形成する工程を含む。

【0023】

ある実施形態において、前記工程(e)は、前記工程(g)の後に行われる。

【0024】

ある実施形態において、前記工程(e)は、前記誘電体層および前記第2透明電極越しに不純物を注入して前記第1透明電極を形成する工程を含む。

40

【0025】

ある実施形態において、前記保護層は、酸化物絶縁層である。

【0026】

ある実施形態において、前記基板の法線方向から見たとき、前記保護層の端部は前記ドレイン電極と重なる。

【0027】

ある実施形態において、前記酸化物半導体膜はIn-Ga-Zn-O系の半導体を含む。

【発明の効果】

【0028】

50

本発明の実施形態によると、簡便なプロセスで製造することができ、且つ、従来よりも高精細で高開口率の表示装置を実現することが可能なTFT基板およびその製造方法が提供される。

【図面の簡単な説明】

【0029】

【図1】(a)は、本発明による実施形態におけるTFT基板100Aの模式的な平面図であり、(b)は、(a)のA1-A1'線に沿ったTFT基板100Aの模式的な断面図であり、(c)は、TFT基板100Aを有する液晶表示装置500の模式的な断面図である。

【図2】(a)は、改変例のTFT基板100A'の模式的な平面図であり、(b)は、(a)のA2-A2'線に沿ったTFT基板100A'の模式的な断面図である。

【図3】(a)~(f)は、本発明による実施形態におけるTFT基板100Aの製造工程の一例を説明する模式的な工程断面図である。

【図4】本発明による他の実施形態におけるTFT基板100Bの模式的な断面図である。

【図5】(a)~(c)は、本発明による実施形態におけるTFT基板100Bの製造工程を説明する模式的な工程断面図である。

【図6】(a)~(c)は、本発明による他の実施形態におけるTFT基板100Bの製造工程を説明する模式的な工程断面図である。

【図7】(a)~(c)は、本発明によるさらに他の実施形態におけるTFT基板100Bの製造工程を説明する模式的な工程断面図である。

【発明を実施するための形態】

【0030】

以下、図面を参照しながら、本発明による実施形態の半導体装置を説明する。本実施形態の半導体装置は、酸化物半導体からなる活性層を有する薄膜トランジスタ(酸化物半導体TFT)を備える。なお、本実施形態の半導体装置は、酸化物半導体TFTを備えていればよく、アクティブマトリクス基板、各種表示装置、電子機器などを広く含む。

【0031】

ここでは、液晶表示装置に用いられる酸化物半導体TFTを例に本発明による実施形態の半導体装置を説明する。

【0032】

図1(a)は本実施形態によるTFT基板100Aの模式的な平面図であり、図1(b)は図1(a)のA1-A1'線に沿った半導体装置(TFT基板)100Aの模式的な断面図である。図1(c)は、TFT基板100Aを有する液晶表示装置500の模式的な断面図である。図1(c)の破線矢印は電界方向を表している。

【0033】

TFT基板100Aは、基板2と、基板2の上に形成されたゲート電極3と、ゲート電極3の上に形成されたゲート絶縁層4と、ゲート絶縁層4の上に形成された酸化物半導体層5と、酸化物半導体層5に電氣的に接続されたソース電極6sおよびドレイン電極6dと、ドレイン電極6dと電氣的に接続された第1透明電極7と、ソース電極6sおよびドレイン電極6dの上に形成された誘電体層8aを含む層間絶縁層8と、層間絶縁層8の上に形成された第2透明電極9とを有する。第2透明電極9の少なくとも一部は誘電体層8aを介して第1透明電極7と重なっており、酸化物半導体層5および第1透明電極7は、同一の酸化物膜から形成されている。

【0034】

TFT基板100Aでは、第2透明電極9の少なくとも一部が誘電体層8aを介して第1透明電極7と重なっていることにより補助容量を形成している。従って、TFT基板100Aが有する補助容量は透明なので(可視光を透過するので)、開口率を低下させることがない。従って、TFT基板100Aは、従来のように金属膜(ゲートメタル層またはソースメタル層)を用いて形成された不透明な電極を有する補助容量を備えるTFT基板

10

20

30

40

50

よりも、高い開口率を有し得る。また、補助容量によって開口率が低下することがないので、補助容量の容量値（補助容量の面積）を必要に応じて、大きくできるという利点も得られる。

【0035】

さらに、第1透明電極7の上にドレイン電極6dが形成され、第1透明電極7はドレイン電極6dに直接接していることが好ましい。このような構造を採用すると、第1透明電極7をドレイン電極6dの略端部まで形成することができるので、TFT基板100Aは、特許文献1に記載されているTFT基板よりも高い開口率を有し得る。

【0036】

次に、TFT基板100Aの各構成要素を詳細に説明する。

10

【0037】

基板2は、典型的には透明基板であり、例えばガラス基板である。ガラス基板の他、プラスチック基板を用いることもできる。プラスチック基板は、熱硬化性樹脂または熱可塑性樹脂で形成された基板、さらには、これらの樹脂と無機繊維（例えば、ガラス繊維、ガラス繊維の不織布）との複合基板を含む。耐熱性を有する樹脂材料としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルホン（PES）、アクリル樹脂、ポリアミド樹脂を例示することができる。また、反射型液晶表示装置に用いる場合には、基板2として、シリコン基板を用いることもできる。

【0038】

ゲート電極3は、ゲート配線3'に電氣的に接続されている。ゲート電極3およびゲート配線3'は、例えば、上層がW（タングステン）層であり、下層がTa₂N₅（窒化タンタル）層である積層構造を有する。このほか、ゲート電極3およびゲート配線3'は、Mo（モリブデン）/Al（アルミニウム）/Moから形成された積層構造を有してもよく、単層構造、2層構造、4層以上の積層構造を有してもよい。さらに、ゲート電極3aは、Cu（銅）、Al、Cr（クロム）、Ta（タンタル）、Ti（チタン）、MoおよびWから選ばれた元素、またはこれらの元素を成分とする合金もしくは金属窒化物などから形成されてもよい。ゲート電極3の厚さは約50nm以上600nm以下（本実施形態において、ゲート電極3の厚さは約420nm）である。

20

【0039】

ゲート絶縁層4は、下層ゲート絶縁層4aと上層ゲート絶縁層4bとを有する。上層ゲート絶縁層4bは酸化物絶縁層を含むことが好ましく、酸化物絶縁層は酸化物半導体層5と直接接触していることが好ましい。酸化物絶縁層が酸化物半導体層5と直接接触すると、酸化物絶縁層に含まれる酸素が酸化物半導体層5に供給され、酸化物半導体層5の酸素欠損による半導体特性の劣化を防ぐことができる。上層ゲート絶縁層4bは例えばSiO₂（酸化シリコン）層である。下層ゲート絶縁層4aは例えばSiN_x（窒化シリコン）層である。本実施形態において、下層ゲート絶縁層4aの厚さは約325nmであり、上層ゲート絶縁層4bの厚さは約50nmであり、ゲート絶縁層4の厚さは約375nmである。このほかゲート絶縁層4としては、例えばSiO₂（酸化シリコン）、SiN_x（窒化シリコン）、SiO_xN_y（酸化窒化シリコン、x>y）、SiN_xO_y（窒化酸化シリコン、x>y）、Al₂O₃（酸化アルミニウム）または酸化タンタル（Ta₂O₅）から形成された単層または積層を用いることができる。ゲート絶縁層4の厚さは、例えば約50nm以上600nm以下である。なお、基板2からの不純物などの拡散防止のため、下層ゲート絶縁層4aはSiN_x、またはSiN_xO_y（窒化酸化シリコン、x>y）から形成されることが好ましい。上層ゲート絶縁層4bは酸化物半導体層5の半導体特性の劣化防止の観点から、SiO₂またはSiO_xN_y（酸化窒化シリコン、x>y）から形成されることが好ましい。さらに、低い温度でゲートリーク電流の少ない緻密なゲート絶縁層4を形成させるには、Ar（アルゴン）などの希ガスを用いながらゲート絶縁層4を形成するとよい。

30

40

【0040】

酸化物半導体層5は、例えばIn-Ga-Zn-O系の半導体（以下、「IGZO系半

50

導体」と略する。)を含む。ここで、IGZO系半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、GaおよびZnの割合（組成比）は特に限定されず、例えばIn：Ga：Zn = 2：2：1、In：Ga：Zn = 1：1：1、In：Ga：Zn = 1：1：2等を含む。IGZO系半導体は、アモルファスでもよいし、結晶質でもよい。結晶質IGZO系半導体としては、c軸が層面に概ね垂直に配向した結晶質IGZO系半導体が好ましい。このようなIGZO系半導体の結晶構造は、例えば、特開2012-134475号公報に開示されている。参考のために、特開2012-134475号公報の開示内容の全てを本明細書に援用する。

【0041】

酸化物半導体層5を構成する酸化物半導体材料は、IGZO系半導体に限定されず、例えばZn-O系半導体（ZnO）、In-Zn-O系半導体（IZO（登録商標））、Zn-Ti-O系半導体（ZTO）、Cd-Ge-O系半導体、Cd-Pb-O系半導体、CdO（酸化カドニウム）、Mg-Zn-O系半導体、In-Sn-Zn-O系半導体（例えばIn₂O₃-SnO₂-ZnO）、In-Ga-Sn-O系半導体などであってもよい。さらに、酸化物半導体層5は、1族元素、13族元素、14族元素、15族元素および17族元素等のうち一種、又は複数種の不純物元素が添加されたZnOの非晶質（アモルファス）状態、多結晶状態又は非晶質状態と多結晶状態が混在する微結晶状態のもの、又は何も不純物元素が添加されていないものを含んでもよい。酸化物半導体層5として、アモルファス酸化物半導体層を用いると、低温で製造でき、かつ、高い移動度を実現できる。酸化物半導体層5の厚さは例えば約50nmである。酸化物半導体層5の厚さは、例えば約30nm以上約100nm以下であってもよい。

【0042】

ソース電極6sおよびドレイン電極6dは、例えば、Ti/Al/Tiから形成された積層構造を有する。このほか、ソース電極6sおよびドレイン電極6dは、Mo/Al/Moから形成された積層構造を有してもよく、単層構造、2層構造または4層以上の積層構造を有してもよい。さらに、ソース電極6sおよびドレイン電極6dは、Al、Cr、Ta、Ti、MoおよびWから選ばれた元素、またはこれらの元素を成分とする合金もしくは金属窒化物などから形成されてもよい。ソース電極6sおよびドレイン電極6dの厚さは、それぞれ約50nm以上600nm以下（本実施形態において、ソース電極6sおよびドレイン電極の厚さは約350nm）である。

【0043】

層間絶縁層8は、誘電体層8aと絶縁保護層8bとを有する。後述するが、絶縁保護層8bは形成されない場合もある。誘電体層8aは、例えばSiN_xから形成されている。誘電体層8aは第1透明電極7と第2透明電極9との間に形成され、補助容量を形成している。このように、透明電極7および9ならびに透明な誘電体層8aから補助容量を形成すると、TFT基板100Aを表示パネルに用いたとき、高い開口率を有する表示パネルを製造できる。誘電体層8aの厚さは、例えば約100nm以上500nm以下（本実施形態において、誘電体層8aの厚さは約200nm）である。このほか誘電体層8aは、例えばSiO_xN_y（酸化窒化シリコン、x>y）、SiN_xO_y（窒化酸化シリコン、x>y）、Al₂O₃（酸化アルミニウム）またはTa₂O₅（酸化タンタル）から形成され得る。

【0044】

絶縁保護層8bは、酸化物半導体層5のチャネル領域と接するように形成されている。絶縁保護層8bは絶縁酸化物（例えばSiO₂）から形成されることが好ましい。絶縁保護層8bが絶縁酸化物から形成されると、上述したように酸化物半導体層5の酸素欠損による半導体特性の劣化を防ぐことができる。このほか絶縁保護層8bは、例えばSiON（酸化窒化シリコン、窒化酸化シリコン）、Al₂O₃またはTa₂O₅から形成され得る。絶縁保護層8bの厚さは、例えば約50nm以上300nm以下（本実施形態において、絶縁保護層8bの厚さは約150nm）である。

【0045】

10

20

30

40

50

第1透明電極7は、例えばIn-Ga-Zn-O系の酸化物（IGZO系酸化物）を含む導電体層である。第1透明電極7の厚さは例えば約50nmである。第1透明電極7の厚さは、例えば約20nm以上約200nm以下であってもよい。詳細は後述するが、第1透明電極7と酸化物半導体層5とは同じ透明な酸化物膜から形成されている。第1透明電極7と酸化物半導体層5とを同一の酸化物膜から形成すると、製造プロセスが簡略化でき製造コストを削減し得る。酸化物膜としては、例えば、IGZO系半導体膜などのIGZO系酸化物を含む膜を用いることができる。なお、前述のように、本明細書では、IGZO系酸化物のうち半導体特性を示すものをIGZO系半導体と略する。

【0046】

詳細は後述するが、第1透明電極7は、酸化物半導体層5よりも高い濃度でp型不純物（例えば、B（ボロン））またはn型不純物（例えば、P（リン））を含み、層間絶縁層8のうち第1透明電極7上に位置する部分は、他の部分よりも高い濃度でp型不純物またはn型不純物を含んでいる場合もある。

10

【0047】

第2透明電極9は、透明導電膜（例えばITO（Indium Tin Oxide）、またはIZO膜）から形成されている。第2透明電極9の厚さは、例えば20nm以上200nm以下（本実施形態において第2透明電極9の厚さは約100nm）である。

【0048】

図1(c)に示すように、TFT基板100Aは、例えば、Fringe Field Switching（FFS）モードの液晶表示装置500に用いられる。このとき、下層の第1透明電極7を画素電極（表示信号電圧が供給される）とし、上層の第2透明電極9を共通電極（共通電圧または対向電圧が供給される）として用いる。第2透明電極9には、少なくとも1以上のスリットが設けられる。このような構造のFFSモードの液晶表示装置500は、例えば、特開2011-53443号公報に開示されている。特開2011-53443号公報の開示内容の全てを参考のために本明細書に援用する。

20

【0049】

液晶表示装置500は、TFT基板100Aおよび対向基板200と、TFT基板100Aと対向基板200との間に形成された液晶層50とを有する。液晶表示装置500において、対向基板200の液晶層50側には、透明電極（例えばITO）などから形成され得た対向電極を備えていない。TFT基板100Aに形成された第1透明電極（画素電極）7と第2透明電極（共通電極）9とにより生じた横方向の電界により、液晶層50中の液晶分子の配向を制御して、表示させている。

30

【0050】

TFT基板100Aは、図2に示すTFT基板100A'に改変し得る。図2(a)は、改変例のTFT基板100A'の模式的な平面図であり、図2(b)は、図2(a)のA2-A2'線に沿ったTFT基板100A'の模式的な断面図である。

【0051】

図2(a)および図2(b)に示すTFT基板100A'は、ゲート配線3'上に酸化物半導体層5を有し、基板2の法線方向から見たとき、ゲート配線3'とソース電極6sおよびドレイン電極6dとが重なる構造を有する点で、TFT基板100Aとは異なる。TFT基板100A'は、TFT基板100Aよりもさらに高い開口率を有し得る。

40

【0052】

なお、TFT基板100A'は、TFT基板100Aに比べて、ゲート・ドレイン間の寄生容量(Cgd)が大きいという欠点を有している。よく知られているように、ゲート・ドレイン間の寄生容量(Cgd)が大きいと、フィードスルー電圧が大きくなる。フィードスルー電圧は、画像の焼き付きや、フリッカーの原因となる。フィードスルー電圧を低下させるためには、画素の全容量(液晶容量Clc+補助容量Cs+ゲート・ドレイン間の寄生容量Cgd)に対するゲート・ドレイン間の寄生容量(Cgd)の比率を小さくすればよい。TFT基板100A'は、透明電極を備える透明な補助容量を有しているので、開口率を低下させることなく、補助容量の面積を大きくすることによって容量値を増

50

大させることができる。すなわち、TFT基板100A'のように、ゲート・ドレイン間の寄生容量(Cgd)が大きくなる構造を採用しても、フィードスルー電圧を十分に小さくできる。

【0053】

また、画素の全容量が大きいということは、画素に所定の電圧を印加するために、多くの電荷を必要とする。TFT基板100A'は、従来のアモルファスTFTよりも電流供給能力の高い、酸化物半導体TFTを備えているので、画素の容量の増大によって表示品位が低下することがない。

【0054】

次に、TFT基板100Aの製造方法を説明する。

10

【0055】

本発明の実施形態における半導体装置の製造方法は、基板2を用意する工程(a)と、基板2上にゲート電極3およびゲート絶縁層4を形成する工程(b)と、ゲート絶縁層4の上に酸化物半導体膜5'を形成する工程(c)と、酸化物半導体膜5'の上にソース電極6sおよびドレイン電極6dを形成する工程(d)と、酸化物半導体膜5'のチャネル領域を保護する保護層を形成した後、酸化物半導体膜5'の一部を低抵抗化させる低抵抗化処理を行って第1透明電極7を形成する工程(e)と、ソース電極6sおよびドレイン電極6dの上に誘電体層8aを形成する工程(f)と、誘電体層8aの上に第2透明電極9を形成する工程(g)とを包含し、第2透明電極9の少なくとも一部は誘電体層8aを介して第1透明電極7と重なる。

20

【0056】

このような半導体装置の製造方法は、簡略化された半導体装置の製造方法であるので、製造コストを削減し得る。

【0057】

次に、図3を参照しながら、TFT基板100Aの製造方法の一例を詳細に説明する。

【0058】

図3(a)~図3(f)は、TFT基板100Aの製造方法の一例を説明するための模式的な工程断面図である。

【0059】

まず、図3(a)に示すように、基板2上にゲート電極3を形成する。基板2としては、例えばガラス基板などの透明絶縁性の基板を用いることができる。ゲート電極3はスパッタ法で基板2上に導電膜を形成した後、フォトリソグラフィ法により導電膜のパターニングを行うことによって形成できる。ここでは、導電膜として、基板2側からTaN膜(厚さ:約50nm)およびW膜(厚さ:約370nm)をこの順で有する2層構造の積層膜を用いる。なお、第1導電膜として、例えば、Ti、Mo、Ta、W、Cu、AlまたはCrなどの単層膜、それらを含む積層膜、合金膜またはこれらの窒化金属膜などを用いてもよい。

30

【0060】

続いて、図3(b)に示すように、CVD(Chemical Vapor deposition)法により、ゲート電極3を覆うように下層ゲート絶縁層4aおよび上層ゲート絶縁層4bを形成する。ここでは、下層ゲート絶縁層4aはSiN_x膜(厚さ:約325nm)から形成され、上層ゲート絶縁層4bはSiO₂膜(厚さ:約50nm)から形成される。上層および下層ゲート絶縁層4aおよび4bとしては、例えばSiO₂、SiN_x、SiO_xN_y(酸化窒化シリコン、x>y)、SiN_xO_y(窒化酸化シリコン、x>y)、Al₂O₃またはTa₂O₅から形成され得る。

40

【0061】

続いて、図3(c)に示すように、上層ゲート絶縁層4b上に酸化物半導体膜5'をスパッタ法にて形成する。酸化物半導体膜5'としてIGZO系半導体膜を用いた。酸化物半導体膜5'の厚さは約50nmである。

【0062】

50

この後、酸化物半導体 5' の上に、スパッタ法によりソース電極 6 s およびドレイン電極 6 d を形成する導電膜(不図示)を形成する。次に、ハーフトーンマスクを用いたフォトリソグラフィ法、ドライエッチング法およびアッシング法により上記の導電膜および酸化物半導体膜 5' を同時にパターンングして、酸化物半導体膜 5' を所望の形状にパターンングするとともにソース電極 6 s およびドレイン電極 6 d を形成する。このように、1枚のフォトマスクで、ソース電極 6 s およびドレイン電極 6 d の形成ならびに酸化物半導体膜 5' のパターンングを行えるので、製造プロセスを簡略化でき、製造コストを削減し得る。ソース電極 6 s およびドレイン電極 6 d は、例えば Ti / Al / Ti の積層構造を有する。下層の Ti 層の厚さは約 50 nm であり、Al 層の厚さは約 200 nm であり、上層の Ti 層の厚さは約 100 nm である。

10

【0063】

続いて、図 3 (d) に示すように、酸化物半導体層 5 のチャネル領域を覆うように絶縁保護層 8 b をスパッタ法およびフォトリソグラフィ法で形成する。絶縁保護層 8 b は例えば絶縁酸化物(例えば SiO_2) から形成され、その厚さは約 150 nm である。また、基板 2 の法線方向から見たとき、絶縁保護層 8 b の端部はドレイン電極 6 d と重なることが好ましい。ドレイン電極 6 d の端部付近まで第 1 透明電極 7 を形成することができるからである。

【0064】

その後、酸化物半導体膜 5' の一部に低抵抗化処理 L を施す。酸化物半導体 5' のうちソース電極 6 s、ドレイン電極 6 d および絶縁保護層 8 b で覆われた部分は、低抵抗化処理 L は行われぬ。これにより、図 3 (e) に示すように、酸化物半導体膜 5' のうち、低抵抗化処理 L が施された部分には第 1 透明電極 7 が形成され、低抵抗化処理 L が施されていない部分には酸化物半導体層 5 が形成される。当然ながら、低抵抗化処理 L が施された部分の電気抵抗は、低抵抗化処理 L が施されていない部分の電気抵抗よりも小さい。低抵抗化処理 L には、例えばプラズマ処理や、p 型不純物または n 型不純物のドーピングなどが挙げられる。低抵抗化処理 L として、p 型不純物または n 型不純物のドーピングを用いた場合、第 1 透明電極 7 の不純物の濃度は酸化物半導体層 5 の不純物の濃度よりも大きい。また、不純物の拡散により、ドレイン電極 6 d の下にある酸化物半導体膜 5' の一部も低抵抗化され、第 1 透明電極 7 の一部となる場合がある。後述するが、ドーピング装置を用いて不純物の注入する場合は、絶縁層越しに不純物を注入して低抵抗化処理を行える

20

30

【0065】

その他低抵抗化処理 L として、例えば、CVD 装置を用いた水素プラズマ処理、エッチング装置を用いたアルゴンプラズマ処理、還元雰囲気下でのアニール処理などがあげられる。

【0066】

続いて、図 3 (f) に示すように、第 1 透明電極 7 および絶縁保護層 8 b の上に、CVD 法で誘電体層 8 a を形成して層間絶縁層 8 を形成する。誘電体層 8 a は、例えば SiN_x から形成されている。誘電体層 8 a の厚さは約 200 nm である。なお、誘電体層 8 a には不図示のコンタクトホールが公知の方法で形成されている。

40

【0067】

続いて、図 1 (b) に示したように、誘電体層 8 a の上にスパッタ法などで第 2 透明電極 9 を形成する。第 2 透明電極 9 の少なくとも一部は、誘電体層 8 a を介して第 1 透明電極 7 と重なる。第 2 透明電極 9 は例えば ITO から形成され、その厚さは約 100 nm である。

【0068】

また、図示していないが、この第 2 透明電極 9 を形成する透明導電膜は共通電極だけでなく、ソース配線(ソースバスライン)と同じ導電膜から形成されたソースメタル層、またはゲート配線(ゲートバスライン)と同じ導電膜から形成されたゲートメタル層と電気的な接続をさせる際に用いられる引き出し配線として活用できる。これにより、例えば駆

50

動回路を一体的に形成したTFT基板を形成することができ、これにより高品位な表示装置を製造することが可能となる。

【0069】

次に、図4を参照しながら本発明による実施形態におけるTFT基板100Bを説明する。図4は、TFT基板100Bの模式的な断面図であり、図1(b)のTFT基板100Aの断面図に対応している。TFT基板100Aと共通する構成要素には同じ参照符号を付し、説明の重複を避ける。

【0070】

図4に示すTFT基板100Bは、TFT基板100Aの絶縁保護層8bが形成されていない半導体装置である。従って、TFT基板100Bにおいて、層間絶縁層8は誘電体層8aを有し、絶縁保護層8bを有していない。TFT基板100Bにおいて、誘電体層8aは絶縁酸化物(例えばSiO₂)から形成されることが好ましい。上述したように、酸化物半導体層5の半導体特性の劣化を防ぐことができるからである。

10

【0071】

また、詳細は後述するが、TFT基板100Bにおいて、層間絶縁層8のうち第1透明電極7上に位置する部分は、他の部分よりも高い濃度でp型不純物またはn型不純物を含んでいる場合もある。

【0072】

次に、図5を参照しながらTFT基板100Bの製造方法の一例を説明する。図5(a)~図5(c)はTFT基板100Bの製造方法を説明する模式的な工程断面図である。

20

【0073】

上述したように、基板2上にゲート電極3、ゲート絶縁層4、酸化物半導体膜5'、ソース電極6sおよびドレイン電極6dを形成する(図3(a)~図3(c)を参照)。

【0074】

続いて、図5(a)に示すように、酸化物半導体膜5'のうちチャネル領域と接するように保護層(レジストマスク層という場合がある)Rを公知の方法で形成する。レジストマスク層Rは、例えば感光性の樹脂から形成される。また、基板2の法線方向から見たとき、レジストマスク層Rの端部はドレイン電極6dと重なることが好ましい。ドレイン電極6dの端部付近まで第1透明電極7を形成することができるからである。

30

【0075】

その後、上述した方法で酸化物半導体膜5'の一部に低抵抗化処理Lを施す。酸化物半導体膜5'のうちソース電極6s、ドレイン電極6dおよびレジストマスク層Rで覆われた部分は低抵抗化処理Lが施されない。上述したように、低抵抗化処理Lにより、第1透明電極7と酸化物半導体層5とが形成される(図5(b)参照)。この後、レジストマスク層Rは公知の方法で除去される。

【0076】

続いて、図5(c)に示すように、上述した方法で誘電体層8aを有する層間絶縁層8をソース電極6s、ドレイン電極6dおよび第1透明電極7の上に形成する。

【0077】

続いて、図4に示したように、上述した方法で第2透明電極9を誘電体層8aの上に形成する。

40

【0078】

次に、図6を参照しながらTFT基板100Bの製造方法の他の一例を説明する。図6(a)~図6(c)はTFT基板100Bの製造方法を説明する模式的な工程断面図である。

【0079】

上述したように、基板2上にゲート電極3、ゲート絶縁層4、酸化物半導体膜5'、ソース電極6sおよびドレイン電極6dを形成する(図3(a)~図3(c)を参照)。

【0080】

続いて、図6(a)に示すように、ソース電極6sおよび酸化物導電膜5'の上に、誘

50

電体層 8 a を含む層間絶縁層 8 を形成する。

【0081】

続いて、図 6 (b) に示すように、酸化物導電膜 5 ' のうちチャネル領域を保護するレジストマスク層 R を公知の方法で形成する。レジストマスク層 R は、誘電体層 8 a の上に形成される。基板 2 の法線方向から見たとき、酸化物半導体膜 5 ' のうちのチャネル領域とレジストマスク層 R とは重なる。また、基板 2 の法線方向から見たとき、レジストマスク層 R の端部はドレイン電極 6 d と重なることが好ましい。ドレイン電極 6 d の端部付近まで第 1 透明電極 7 を形成することができるからである。

【0082】

その後、上述した方法で酸化物半導体膜 5 ' の一部に低抵抗化処理 L を施す。酸化物半導体膜 5 ' のうちソース電極 6 s 、ドレイン電極 6 d およびレジストマスク層 R で覆われた部分は低抵抗化処理 L が施されない。上述したように、低抵抗化処理 L により、第 1 透明電極 7 と酸化物半導体層 5 とが形成される (図 6 (c) 参照) 。この後、レジストマスク層 R は公知の方法で除去される。

10

【0083】

続いて、図 4 に示したように、上述した方法で第 2 透明電極 9 を誘電体層 8 a の上に形成する。

【0084】

次に、図 7 を参照しながら TFT 基板 100 B の製造方法のさらに他の一例を説明する。図 7 (a) ~ 図 7 (c) は TFT 基板 100 B の製造方法を説明する模式的な工程断面図である。

20

【0085】

上述したように、基板 2 上にゲート電極 3 、ゲート絶縁層 4 、酸化物半導体膜 5 ' 、ソース電極 6 s およびドレイン電極 6 d を形成する (図 3 (a) ~ 図 3 (c) を参照) 。

【0086】

続いて、図 7 (a) に示すように、ソース電極 6 s および酸化物導電膜 5 ' の上に、誘電体層 8 a を含む層間絶縁層 8 を形成する。

【0087】

続いて、図 7 (b) に示すように、上述した方法で、誘電体層 8 a の上に第 2 透明電極 9 を形成する。

30

【0088】

続いて、図 7 (c) に示すように、酸化物導電膜 5 ' のうちチャネル領域を保護するレジストマスク層 R を公知の方法で形成する。レジストマスク層 R は、誘電体層 8 a の上に形成される。基板 2 の法線方向から見たとき、酸化物半導体膜 5 ' のうちのチャネル領域とレジストマスク層 R とは重なる。また、基板 2 の法線方向から見たとき、レジストマスク層 R の端部はドレイン電極 6 d と重なることが好ましい。ドレイン電極 6 d の端部付近まで第 1 透明電極 7 を形成することができるからである。

【0089】

その後、上述した方法で酸化物半導体膜 5 ' の一部に低抵抗化処理 L を施す。低抵抗化処理 L は、酸化物半導体膜 5 ' のうちソース電極 6 s 、ドレイン電極 6 d およびレジストマスク層 R で覆われた部分は低抵抗化処理 L が施されない。上述したように、低抵抗化処理 L により、第 1 透明電極 7 と酸化物半導体層 5 とが形成される (図 4 参照) 。この後、レジストマスク層 R は公知の方法で除去される。

40

【0090】

上述した TFT 基板 100 B の製造方法のうち、少なくとも誘電体層 8 a 越しに p 型不純物または n 型不純物をドーピングして低抵抗化処理 L を行なって TFT 基板 100 B を製造する場合、層間絶縁層 8 のうち第 1 透明電極 7 上に位置する部分は、他の部分よりも高い濃度で p 型不純物または n 型不純物を含んでいる。

【0091】

以上、本発明の実施形態によると、製造コストを抑えつつ、表示品位の高い表示パネル

50

を製造し得る半導体装置およびその半導体装置の製造方法が提供される。

【産業上の利用可能性】

【0092】

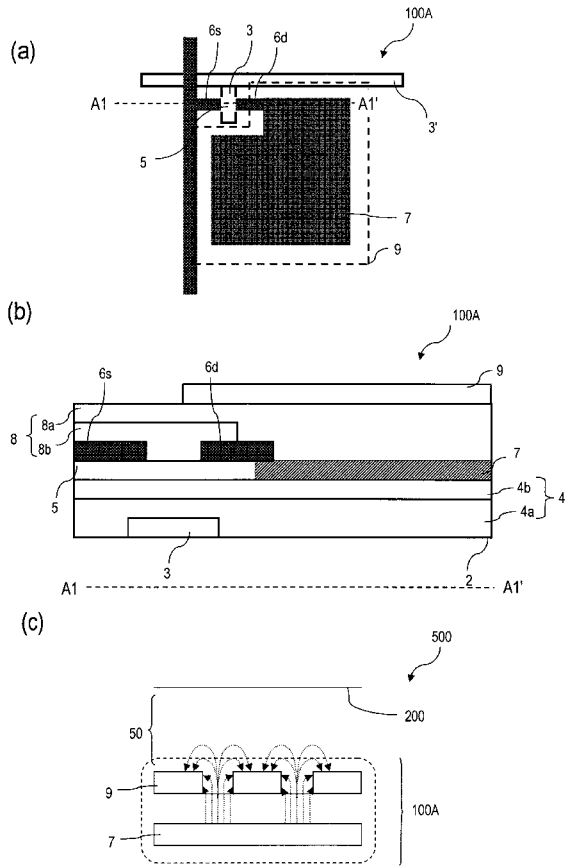
本発明の実施形態は、アクティブマトリクス基板等の回路基板、液晶表示装置、有機エレクトロルミネセンス（EL）表示装置および無機エレクトロルミネセンス表示装置等の表示装置、イメージセンサー装置等の撮像装置、画像入力装置や指紋読み取り装置等の電子装置などの薄膜トランジスタを備えた装置に広く適用できる。

【符号の説明】

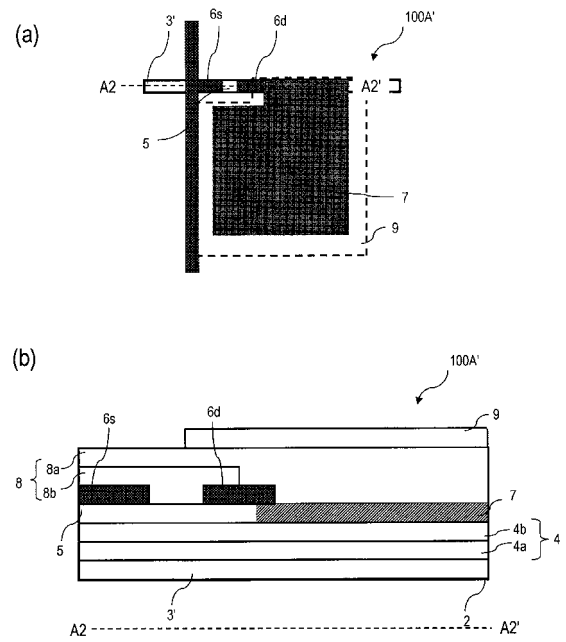
【0093】

2	基板	10
3	ゲート電極	
4	ゲート絶縁層	
4 a	下層ゲート絶縁層	
4 b	上層ゲート絶縁層	
5	酸化物半導体層	
6 s	ソース電極	
6 d	ドレイン電極	
7	第1透明電極	
8	層間絶縁層	
8 a	誘電体層	20
8 b	絶縁保護層	
9	第2透明電極	
5 0	液晶層	
1 0 0 A	半導体装置（TFT基板）	
2 0 0	対向基板	
5 0 0	液晶表示装置	

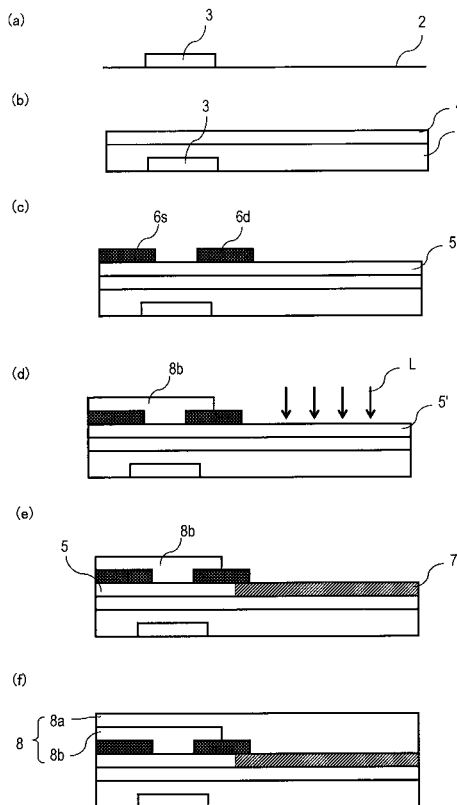
【 図 1 】



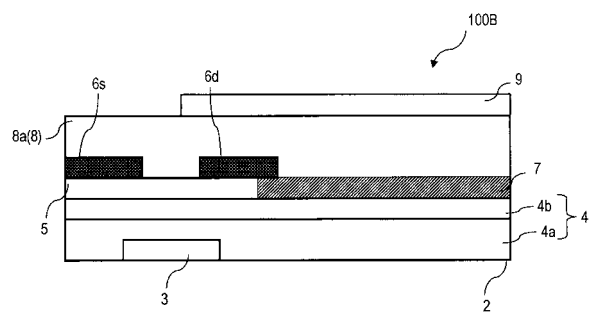
【 図 2 】



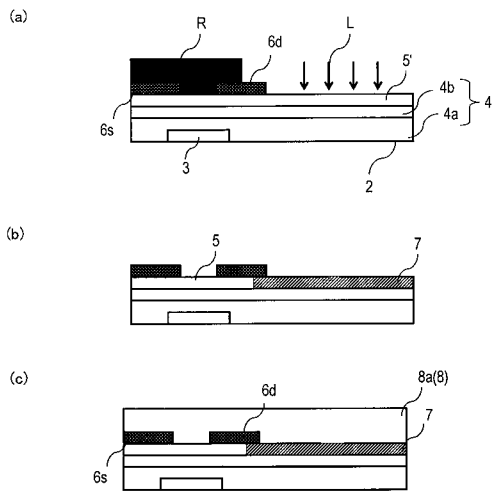
【 図 3 】



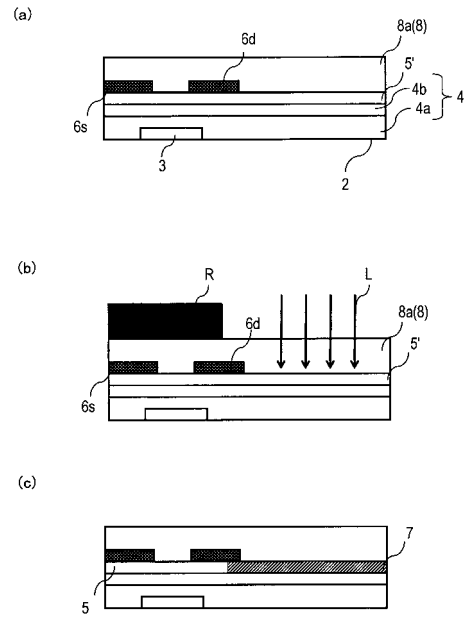
【 図 4 】



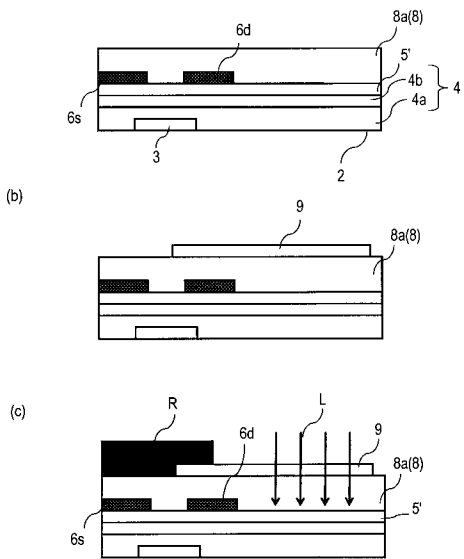
【 図 5 】



【 図 6 】



【 図 7 】



【手続補正書】

【提出日】平成26年9月1日(2014.9.1)

【手続補正1】

【補正対象書類名】図面

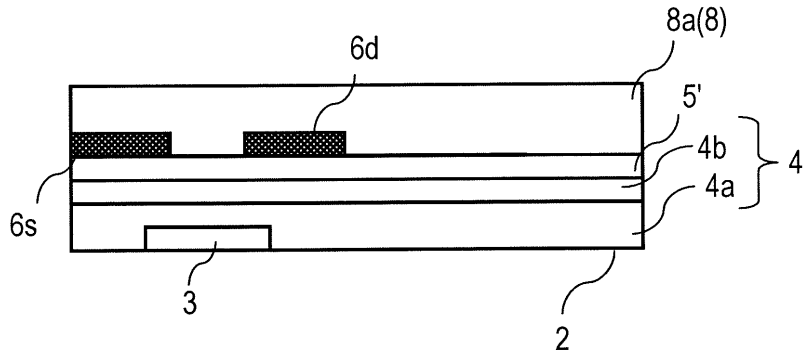
【補正対象項目名】図7

【補正方法】変更

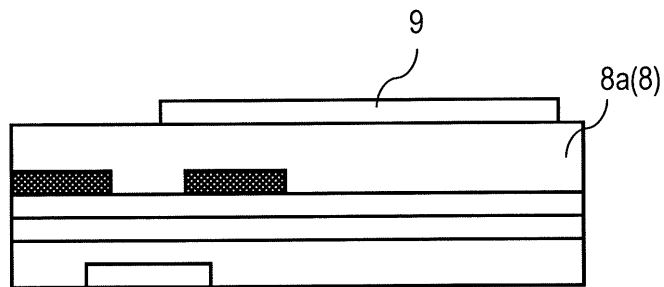
【補正の内容】

【図7】

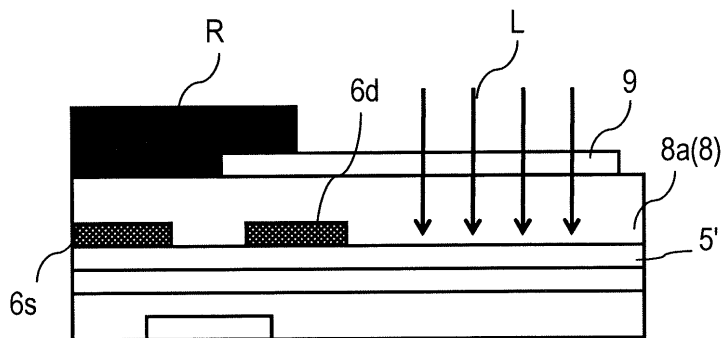
(a)



(b)



(c)



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2013/051422
A. CLASSIFICATION OF SUBJECT MATTER H01L21/336(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L29/786(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L21/336, G02F1/1368, G09F9/30, H01L29/786 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013 Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2011/010415 A1 (Sharp Corp.), 27 January 2011 (27.01.2011), paragraphs [0068] to [0095]; fig. 7 & US 2012/0108018 A1 & EP 002458577 A1 & CN 102473362 A	1-5, 7-9, 11, 13-16 6, 10, 12
A	WO 2011/030582 A1 (Sharp Corp.), 17 March 2011 (17.03.2011), paragraphs [0019] to [0026]; fig. 1 (Family: none)	1-5, 7-9, 11, 13-16
Y	JP 2011-91279 A (Canon Inc.), 06 May 2011 (06.05.2011), entire text; all drawings (Family: none)	1-16
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 04 April, 2013 (04.04.13)		Date of mailing of the international search report 16 April, 2013 (16.04.13)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer Telephone No.
Facsimile No.		

国際調査報告		国際出願番号 PCT/JP2013/051422									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L21/336(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L29/786(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L21/336, G02F1/1368, G09F9/30, H01L29/786											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2013年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2013年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2013年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2013年	日本国実用新案登録公報	1996-2013年	日本国登録実用新案公報	1994-2013年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2013年										
日本国実用新案登録公報	1996-2013年										
日本国登録実用新案公報	1994-2013年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y	WO 2011/010415 A1 (シャープ株式会社) 2011.01.27, [0068]-[0095], 第7図 & US 2012/0108018 A1 & EP 002458577 A1 & CN 102473362 A	1-5, 7-9, 11, 13-16									
A		6, 10, 12									
Y	WO 2011/030582 A1 (シャープ株式会社) 2011.03.17, [0019]-[0026], 図1 (ファミリーなし)	1-5, 7-9, 11, 13-16									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 04.04.2013		国際調査報告の発送日 16.04.2013									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 井上 弘亘	50 3248								
		電話番号 03-3581-1101 内線 3559									

国際調査報告

国際出願番号 PCT/JP2013/051422

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-91279 A (キャノン株式会社) 2011.05.06, 全文、全図 (ファミリーなし)	1-16

フロントページの続き

(51) Int. Cl. F I テーマコード (参考)
 H 0 1 L 29/78 6 1 2 Z
 G 0 2 F 1/1368

(81) 指定国 AP (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, RU, TJ, T M), EP (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, R S, SE, SI, SK, SM, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, H U, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI , NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(72) 発明者 宮本 忠芳
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
 (72) 発明者 伊東 一篤
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
 (72) 発明者 森 重恭
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
 (72) 発明者 宮本 光伸
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
 (72) 発明者 小川 康行
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
 (72) 発明者 中澤 淳
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
 (72) 発明者 松尾 拓哉
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
 (72) 発明者 内田 誠一
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム (参考) 2H192 AA24 BB12 BB73 CB05 CB37 CB83 CC04 CC32 CC72 DA32
 EA74 FB02 HA84 JA32
 4M104 AA03 AA09 BB02 BB04 BB13 BB14 BB16 BB17 BB18 BB32
 BB36 CC01 CC05 DD88 EE05 EE06 EE15 EE16 EE17 FF17
 FF18 GG08
 5F110 AA16 BB01 CC07 DD01 DD02 DD05 EE01 EE02 EE03 EE04
 EE06 EE14 EE15 EE44 FF01 FF02 FF03 FF04 FF09 FF29
 GG01 GG13 GG15 GG17 GG25 GG43 GG58 HK03 HK04 HK06
 HK07 HK22 HK33 HL07 HL23 NN03 NN04 NN22 NN23 NN35
 NN73 QQ30

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。