

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4360121号
(P4360121)

(45) 発行日 平成21年11月11日(2009.11.11)

(24) 登録日 平成21年8月21日(2009.8.21)

(51) Int.Cl.		F I
G09G 3/30 (2006.01)		G09G 3/30 J
G09G 3/20 (2006.01)		G09G 3/20 624B
		G09G 3/20 641D
		G09G 3/20 642A
		G09G 3/20 670J

請求項の数 5 (全 46 頁)

(21) 出願番号	特願2003-146758 (P2003-146758)	(73) 特許権者	000002185
(22) 出願日	平成15年5月23日(2003.5.23)		ソニー株式会社
(65) 公開番号	特開2004-347993 (P2004-347993A)		東京都港区港南1丁目7番1号
(43) 公開日	平成16年12月9日(2004.12.9)	(74) 代理人	100094053
審査請求日	平成16年5月24日(2004.5.24)		弁理士 佐藤 隆久
		(72) 発明者	内野 勝秀
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	山下 淳一
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	山本 哲郎
			東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 画素回路、表示装置、および画素回路の駆動方法

(57) 【特許請求の範囲】

【請求項1】

流れる電流によって輝度が変化する電気光学素子を駆動する画素回路であって、
 輝度情報に応じたデータ信号が供給されるデータ線と、
 第1、第2、および第3の制御線と、
 第1および第2のノードと、
 第1および第2の基準電位と、
 第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、
 上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、
 上記データ線と上記画素容量素子の第1端子または第2端子のいずれかとの間に接続され、上記第1の制御線により導通制御される第1のスイッチと、
 上記電気光学素子が非発光期間に上記第1のノードの電位を固定電位に遷移させるための第1の回路と、
 上記第1のスイッチが導通状態に保持されてデータ線を伝播されるデータを書き込むときに、上記第1のノードを所定電位に保持させる第2の回路と、
 電圧源と、を有し、
 上記駆動トランジスタが電界効果トランジスタであり、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、
 上記第1の回路は、上記電界効果トランジスタのソースと上記電気光学素子との間に接

10

20

続され、上記第2の制御線により導通制御される第2のスイッチを含み、

上記第2の回路は、上記第1のノードと上記電圧源との間に接続され、上記第3の制御線により導通制御される第3のスイッチを含み、

上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、および上記電気光学素子が直列に接続されている

画素回路。

【請求項2】

上記電気光学素子を駆動する場合、

第1ステージとして、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが非導通状態に保持され、上記第3の制御線により上記第3のスイッチが非導通状態に保持され、

第2ステージとして、上記第1の制御線により上記第1のスイッチが導通状態に保持され、上記第3の制御線により上記第3のスイッチが導通状態に保持されて、上記第1のノードが所定電位に保持された状態で、上記データ線を伝播されるデータが上記画素容量素子に書き込まれた後、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、

第3ステージとして、上記第3の制御線により上記第3のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが導通状態に保持される

請求項1記載の画素回路。

【請求項3】

マトリクス状に複数配列された画素回路と、

上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、

上記画素回路のマトリクス配列に対応して配線された第1、第2、および第3の制御線と、

電圧源と、

第1および第2の基準電位と、を有し、

上記画素回路は、

輝度情報に応じたデータ信号が供給されるデータ線と、

第1および第2のノードと、

第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、

上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、

上記データ線と上記画素容量素子の第1端子または第2端子のいずれかとの間に接続され、上記第1の制御線により導通制御される第1のスイッチと、

上記電気光学素子が非発光期間に上記第1のノードの電位を固定電位に遷移させるための第1の回路と、

上記第1のスイッチが導通状態に保持されてデータ線を伝播されるデータを書き込むときに、上記第1のノードを所定電位に保持させる第2の回路と、を有し、

上記駆動トランジスタが電界効果トランジスタであり、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、

上記第1の回路は、上記電界効果トランジスタのソースと上記電気光学素子との間に接続され、上記第2の制御線により導通制御される第2のスイッチを含み、

上記第2の回路は、上記第1のノードと上記電圧源との間に接続され、上記第3の制御線により導通制御される第3のスイッチを含み、

上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、および上記電気光学素子が直列に接続されている

表示装置。

【請求項4】

上記電気光学素子を駆動する場合、

第 1 ステージとして、上記第 1 の制御線により上記第 1 のスイッチが非導通状態に保持され、上記第 2 の制御線により上記第 2 のスイッチが非導通状態に保持され、上記第 3 の制御線により上記第 3 のスイッチが非導通状態に保持され、

第 2 ステージとして、上記第 1 の制御線により上記第 1 のスイッチが導通状態に保持され、上記第 3 の制御線により上記第 3 のスイッチが導通状態に保持されて、上記第 1 のノードが所定電位に保持された状態で、上記データ線を伝播されるデータが上記画素容量素子に書き込まれた後、上記第 1 の制御線により上記第 1 のスイッチが非導通状態に保持され、

第 3 ステージとして、上記第 3 の制御線により上記第 3 のスイッチが非導通状態に保持され、上記第 2 の制御線により上記第 2 のスイッチが導通状態に保持される

10

請求項 3 記載の表示装置。

【請求項 5】

流れる電流によって輝度に変化する電気光学素子と、
輝度情報に応じたデータ信号が供給されるデータ線と、

第 1、第 2、および第 3 の制御線と、

第 1 および第 2 のノードと、

第 1 および第 2 の基準電位と、

第 1 端子と第 2 端子間で電流供給ラインを形成し、上記第 2 のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、

上記第 1 のノードと上記第 2 のノードとの間に接続された画素容量素子と、

20

上記データ線と上記画素容量素子の第 1 端子または第 2 端子のいずれかとの間に接続され、上記第 1 の制御線により導通制御される第 1 のスイッチと、

上記電気光学素子が非発光期間に上記第 1 のノードの電位を固定電位に遷移させるための第 1 の回路と、

上記第 1 のスイッチが導通状態に保持されてデータ線を伝播されるデータを書き込むときに、上記第 1 のノードを所定電位に保持させる第 2 の回路と、

電圧源と、を有し、

上記駆動トランジスタが電界効果トランジスタであり、ドレインが上記第 1 の基準電位または第 2 の基準電位に接続され、ゲートが上記第 2 のノードに接続され、

上記第 1 の回路は、上記電界効果トランジスタのソースと上記電気光学素子との間に接続され、上記第 2 の制御線により導通制御される第 2 のスイッチを含み、

30

上記第 2 の回路は、上記第 1 のノードと上記電圧源との間に接続され、上記第 3 の制御線により導通制御される第 3 のスイッチを含み、

上記第 1 の基準電位と第 2 の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第 1 のノード、および上記電気光学素子が直列に接続されている画素回路の駆動方法であって、

上記第 1 の制御線により上記第 1 のスイッチを非導通状態に保持し、上記第 2 の制御線により上記第 2 のスイッチを非導通状態に保持し、上記第 3 の制御線により上記第 3 のスイッチを非導通状態に保持し、

上記第 1 の制御線により上記第 1 のスイッチを導通状態に保持し、上記第 3 の制御線により上記第 3 のスイッチを導通状態に保持し、上記第 1 のノードを所定電位に保持させた状態で、上記データ線を伝播されるデータを上記画素容量素子に書き込んだ後、上記第 1 の制御線により上記第 1 のスイッチを非導通状態に保持し、

40

上記第 3 の制御線により上記第 3 のスイッチを非導通状態に保持し、上記第 2 の制御線により上記第 2 のスイッチを導通状態に保持する

画素回路の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機 EL (Electroluminescence) ディスプレイなどの、電流値によって輝度

50

が制御される電気光学素子を有する画素回路、およびこの画素回路がマトリクス状に配列された画像表示装置のうち、特に各画素回路内部に設けられた絶縁ゲート型電界効果トランジスタによって電気光学素子に流れる電流値が制御される、いわゆるアクティブマトリクス型画像表示装置、並びに画素回路の駆動方法に関するものである。

【0002】

【従来の技術】

画像表示装置、たとえば液晶ディスプレイなどでは、多数の画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像を表示する。これは有機ELディスプレイなどにおいても同様であるが、有機ELディスプレイは各画素回路に発光素子を有する、いわゆる自発光型のディスプレイであり、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い、等の利点を有する。

10

また、各発光素子の輝度はそれに流れる電流値によって制御することによって発色の階調を得る、すなわち発光素子が電流制御型であるという点で液晶ディスプレイなどとは大きく異なる。

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とが可能であるが、前者は構造が単純であるものの、大型かつ高精細のディスプレイの実現が難しいなどの問題があるため、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子、一般にはTFT(Thin Film Transistor、薄膜トランジスタ)によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

20

【0004】

図34は、一般的な有機EL表示装置の構成を示すブロック図である。

この表示装置1は、図34に示すように、画素回路(PXLC)2aが $m \times n$ のマトリクス状に配列された画素アレイ部2、水平セクタ(HSEL)3、ライトスキャナ(WSCN)4、水平セクタ3により選択され輝度情報に応じたデータ信号が供給されるデータ線DTL1~DTLn、およびライトスキャナ4により選択駆動される走査線WSL1~WSLmを有する。

なお、水平セクタ3はライトスキャナ4に関しては、多結晶シリコン上に形成する場合や、MOSIC等で画素の周辺に形成することもある。

30

【0005】

図35は、図34の画素回路2aの一構成例を示す回路図である(たとえば特許文献1、2参照)。

図35の画素回路は、多数提案されている回路のうちで最も単純な回路構成であり、いわゆる2トランジスタ駆動方式の回路である。

【0006】

図35の画素回路2aは、pチャネル薄膜電界効果トランジスタ(以下、TFTという)11およびTFT12、キャパシタC11、発光素子である有機EL素子(OLED)13を有する。また、図35において、DTLはデータ線を、WSLは走査線をそれぞれ示している。

40

有機EL素子は多くの場合整流性があるため、OLED(Organic Light Emitting Diode)と呼ばれることがあり、図35その他では発光素子としてダイオードの記号を用いているが、以下の説明においてOLEDには必ずしも整流性を要求するものではない。

図35ではTFT11のソースが電源電位VCCに接続され、発光素子13のカソード(陰極)は接地電位GNDに接続されている。図35の画素回路2aの動作は以下の通りである。

【0007】

ステップST1:

走査線WSLを選択状態(ここでは低レベル)とし、データ線DTLに書き込み電位Vda

50

taを印加すると、TF T 1 2が導通してキャパシタC 1 1が充電または放電され、TF T 1 1のゲート電位はVdataとなる。

【0008】

ステップS T 2 :

走査線W S Lを非選択状態(ここでは高レベル)とすると、データ線D T LとTF T 1 1とは電氣的に切り離されるが、TF T 1 1のゲート電位はキャパシタC 1 1によって安定に保持される。

【0009】

ステップS T 3 :

TF T 1 1および発光素子1 3に流れる電流は、TF T 1 1のゲート・ソース間電圧V g sに応じた値となり、発光素子1 3はその電流値に応じた輝度で発光し続ける。

上記ステップS T 1のように、走査線W S Lを選択してデータ線に与えられた輝度情報を画素内部に伝える操作を、以下「書き込み」と呼ぶ。

上述のように、図3 5の画素回路2 aでは、一度Vdataの書き込みを行えば、次に書き換えられるまでの間、発光素子1 3は一定の輝度で発光を継続する。

【0010】

上述したように、画素回路2 aでは、ドライブトランジスタであるTF T 1 1のゲート印加電圧を変化させることで、E L発光素子1 3に流れる電流値を制御している。

このとき、pチャネルのドライブトランジスタのソースは電源電位VCCに接続されており、このTF T 1 1は常に飽和領域で動作している。よって、下記の式1に示した値を持つ定電流源となっている。

【0011】

【数1】

$$I_{ds} = 1/2 \cdot \mu (W/L) C_{ox} (V_{gs} - |V_{th}|)^2 \quad \dots (1)$$

【0012】

単純マトリクス型画像表示装置では、各発光素子は、選択された瞬間にのみ発光するのに対し、アクティブマトリクスでは、上述したように、書き込み終了後も発光素子が発光を継続するため、単純マトリクスに比べて発光素子のピーク輝度、ピーク電流を下げられるなどの点で、とりわけ大型・高精細のディスプレイでは有利となる。

【0013】

図3 6は、有機E L素子の電流 - 電圧(I - V)特性の経時変化を示す図である。図3 6において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。

【0014】

一般的に、有機E L素子のI - V特性は、図3 6に示すように、時間が経過すると劣化してしまう。

しかしながら、図3 5の2トランジスタ駆動は定電流駆動のために有機E L素子には上述したように定電流が流れ続け、有機E L素子のI - V特性が劣化してもその発光輝度は経時劣化することはない。

【0015】

ところで、図3 5の画素回路2 aは、pチャネルのTF Tにより構成されているが、nチャネルのTF Tにより構成することができれば、TF T作成において従来のアモルファスシリコン(a - S i)プロセスを用いることができるようになる。これにより、TF T基板の低コスト化が可能となる。

【0016】

次に、トランジスタをnチャネルTF Tに置き換えた画素回路について考察する。

【0017】

図3 7は、図3 5の回路のpチャネルTF TをnチャネルTF Tに置き換えた画素回路を示す回路図である。

【0018】

10

20

30

40

50

図37の画素回路2bは、nチャンネルTFT21およびTFT22、キャパシタC21、発光素子である有機EL素子(OLED)23を有する。また、図37において、DTLはデータ線を、WSLは走査線をそれぞれ示している。

【0019】

この画素回路2bでは、ドライブトランジスタとしてTFT21のドレイン側が電源電位VCCに接続され、ソースはEL素子23のアノードに接続されており、ソースフォロワー回路を形成している。

【0020】

図38は、初期状態におけるドライブトランジスタとしてのTFT21とEL素子23の動作点を示す図である。図38において、横軸はTFT21のドレイン・ソース間電圧 V_{ds} を、縦軸はドレイン・ソース間電流 I_{ds} をそれぞれ示している。

10

【0021】

図38に示すように、ソース電圧はドライブトランジスタであるTFT21とEL素子23との動作点で決まり、その電圧はゲート電圧によって異なる値を持つ。

このTFT21は飽和領域で駆動されるので、動作点のソース電圧に対する V_{gs} に関して上記式1に示した方程式の電流値の電流 I_{ds} を流す。

【0022】

【特許文献1】

USP5,684,365

【特許文献2】

特開平8-234683号公報

20

【0023】

【発明が解決しようとする課題】

しかしながら、ここでも同様にEL素子のI-V特性は経時劣化してしまう。図39に示すように、この経時劣化により動作点の変動が起きてしまい、同じゲート電圧を印加していてもそのソース電圧は変動する。

これにより、ドライブトランジスタであるTFT21のゲート・ソース間電圧 V_{gs} は変化してしまい、流れる電流値が変動する。同時にEL素子23に流れる電流値も変化するので、EL素子23のI-V特性が劣化すると、図37のソースフォロワー回路ではその発光輝度は経時変化してしまう。

30

【0024】

また、図40に示すように、ドライブトランジスタとしてのnチャンネルTFT21のソースを接地電位GNDに接続し、ドレインをEL素子23のカソードに接続し、EL素子23のアノードを電源電位VCCに接続する回路構成も考えられる。

【0025】

この方式では、図35のpチャンネルTFTによる駆動と同様に、ソースの電位が固定されており、ドライブトランジスタとしてTFT21は定電流源として動作して、EL素子のI-V特性の劣化による輝度変化も防止できる。

【0026】

しかしながら、この方式ではドライブトランジスタをEL素子のカソード側に接続する必要があり、このカソード接続は新規にアノード・カソードの電極の開発が必要であり、現状の技術では非常に困難であるとされている。

40

以上より、従来の方式では輝度変化のない、nチャンネルトランジスタ使用の有機EL素子の開発はなされていなかった。

【0027】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、発光素子の電流-電圧特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行え、nチャンネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャンネルトランジスタをELの駆動素子として用いることができる画素回路、表示装置、および画素回路の駆動方法を提供することにある。

50

【 0 0 2 8 】

【課題を解決するための手段】

上記目的を達成するため、本発明の第1の観点は、流れる電流によって輝度が変化する電気光学素子を駆動する画素回路であって、輝度情報に応じたデータ信号が供給されるデータ線と、第1の制御線と、第1および第2のノードと、第1および第2の基準電位と、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、上記データ線と上記画素容量素子の第1端子または第2端子のいずれかとの間に接続され、上記第1の制御線により導通制御される第1のスイッチと、上記電気光学素子が非発光期間に上記第1のノードの電位を固定電位に遷移させるための第1の回路と、を有し、上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、および上記電気光学素子が直列に接続されている。

10

【 0 0 2 9 】

好適には、第2の制御線をさらに有し、上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第1のノードに接続され、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、上記第1の回路は、上記第1ノードと固定電位との間に接続され、上記第2の制御線により導通制御される第2のスイッチを含む。

20

【 0 0 3 0 】

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1の制御線により上記第1のスイッチが非導通状態に保持された状態で、上記第2の制御線により上記第2のスイッチが導通状態に保持されて、上記第1のノードが固定電位に接続させられ、第2ステージとして、上記第1の制御線により上記第1のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記画素容量素子が書き込まれた後、上記第1のスイッチが非導通状態に保持され、第3ステージとして、上記第2の制御線により上記第2のスイッチが非導通状態に保持される。

【 0 0 3 1 】

好適には、第2の制御線をさらに有し、上記駆動トランジスタが電界効果トランジスタであり、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、上記第1の回路は、上記電界効果トランジスタのソースと上記電気光学素子との間に接続され、上記第2の制御線により導通制御される第2のスイッチを含む。

30

【 0 0 3 2 】

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが非導通状態に保持され、第2ステージとして、上記第1の制御線により上記第1のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記画素容量素子が書き込まれた後、上記第1のスイッチが非導通状態に保持され、第3ステージとして、上記第2の制御線により上記第2のスイッチが導通状態に保持される。

40

【 0 0 3 3 】

好適には、第2の制御線をさらに有し、上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第1のノードに接続され、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、上記第1の回路は、上記第1のノードと上記電気光学素子との間に接続され、上記第2の制御線により導通制御される第2のスイッチを含む。

【 0 0 3 4 】

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが非導通状態に保持され、第2ステージとして、上記第1の制御線により上記第1

50

のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記画素容量素子が書き込まれた後、上記第1のスイッチが非導通状態に保持され、第3ステージとして、上記第2の制御線により上記第2のスイッチが導通状態に保持される。

【0035】

また、本発明の第1の観点の画素回路は、流れる電流によって輝度が変化する電気光学素子を駆動する画素回路であって、輝度情報に応じたデータ信号が供給されるデータ線と、第1、第2、および第3の制御線と、第1および第2のノードと、第1および第2の基準電位と、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、上記データ線と上記画素容量素子の第1端子または第2端子のいずれかとの間に接続され、上記第1の制御線により導通制御される第1のスイッチと、上記電気光学素子が非発光期間に上記第1のノードの電位を固定電位に遷移させるための第1の回路と、上記第1のスイッチが導通状態に保持されてデータ線を伝播されるデータを書き込むときに、上記第1のノードを所定電位に保持させる第2の回路と、電圧源と、を有し、上記駆動トランジスタが電界効果トランジスタであり、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、上記第1の回路は、上記電界効果トランジスタのソースと上記電気光学素子との間に接続され、上記第2の制御線により導通制御される第2のスイッチを含み、上記第2の回路は、上記第1のノードと上記電圧源との間に接続され、上記第3の制御線により導通制御される第3のスイッチを含み、上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、および上記電気光学素子が直列に接続されている。

【0037】

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが非導通状態に保持され、上記第3の制御線により上記第3のスイッチが非導通状態に保持され、第2ステージとして、上記第1の制御線により上記第1のスイッチが導通状態に保持され、上記第3の制御線により上記第3のスイッチが導通状態に保持されて、上記第1のノードが所定電位に保持された状態で、上記データ線を伝播されるデータが上記画素容量素子に書き込まれた後、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、第3ステージとして、上記第3の制御線により上記第3のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが導通状態に保持される。

【0038】

好適には、第2および第3の制御線と、電圧源と、をさらに有し、上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第1のノードに接続され、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、上記第1の回路は、上記第1のノードと上記電気光学素子との間に接続され、上記第2の制御線により導通制御される第2のスイッチを含み、上記第2の回路は、上記第1のノードと上記電圧源との間に接続され、上記第3の制御線により導通制御される第3のスイッチを含む。

【0039】

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが非導通状態に保持され、上記第3の制御線により上記第3のスイッチが非導通状態に保持され、第2ステージとして、上記第1の制御線により上記第1のスイッチが導通状態に保持され、上記第3の制御線により上記第3のスイッチが導通状態に保持されて、上記第1のノードが所定電位に保持された状態で、上記データ線を伝播されるデータが上記画素容量素子に書き込まれた後、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、第3ステージとして、上記第3の制御線により上記第3のスイッチが非

10

20

30

40

50

導通状態に保持され、上記第2の制御線により上記第2のスイッチが導通状態に保持される。

【0040】

好適には、上記第1のスイッチが導通状態に保持されてデータ線を伝播されるデータを書き込むときに、上記第2のノードを固定電位に保持させる第2の回路を、有する。

また、上記固定電位は、上記第1の基準電位または第2の基準電位である。

【0041】

好適には、第2、第3、および第4の制御線、をさらに有し、上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第1のノードに接続され、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、上記第1の回路は、上記第1のノードと上記電気光学素子との間に接続され、上記第2の制御線により導通制御される第2のスイッチと、上記電界効果トランジスタのソースと上記第1のノードとの間に接続され、上記第3の制御線により導通制御される第3のスイッチを含み、上記第2の回路は、上記第1のノードと上記固定電位との間に接続され、上記第4の制御線により導通制御される第4のスイッチを含む。

【0042】

また、好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが非導通状態に保持され、上記第3の制御線により上記第3のスイッチが非導通状態に保持され、上記第4の制御線により上記第3のスイッチが非導通状態に保持され、第2ステージとして、上記第1の制御線により上記第1のスイッチが導通状態に保持され、上記第4の制御線により上記第4のスイッチが導通状態に保持されて、上記第2のノードが固定電位に保持された状態で、上記データ線を伝播されるデータが上記画素容量素子に書き込まれた後、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、上記第4の制御線により上記第4のスイッチが非導通状態に保持され、第3ステージとして、上記第2の制御線により上記第2のスイッチが導通状態に保持され、上記第3の制御線により上記第3のスイッチが導通状態に保持される。

【0043】

本発明の第2の観点は、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、上記画素回路のマトリクス配列に対応して配線された第1、第2、および第3の制御線と、電圧源と、第1および第2の基準電位と、を有し、上記画素回路は、輝度情報に応じたデータ信号が供給されるデータ線と、第1および第2のノードと、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、上記データ線と上記画素容量素子の第1端子または第2端子のいずれかとの間に接続され、上記第1の制御線により導通制御される第1のスイッチと、上記電気光学素子が非発光期間に上記第1のノードの電位を固定電位に遷移させるための第1の回路と、上記第1のスイッチが導通状態に保持されてデータ線を伝播されるデータを書き込むときに、上記第1のノードを所定電位に保持させる第2の回路と、を有し、上記駆動トランジスタが電界効果トランジスタであり、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、上記第1の回路は、上記電界効果トランジスタのソースと上記電気光学素子との間に接続され、上記第2の制御線により導通制御される第2のスイッチを含み、上記第2の回路は、上記第1のノードと上記電圧源との間に接続され、上記第3の制御線により導通制御される第3のスイッチを含み、上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、および上記電気光学素子が直列に接続されている。

【0044】

本発明の第3の観点は、流れる電流によって輝度が変化する電気光学素子と、輝度情報

10

20

30

40

50

に応じたデータ信号が供給されるデータ線と、第1、第2、および第3の制御線と、第1および第2のノードと、第1および第2の基準電位と、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、上記データ線と上記画素容量素子の第1端子または第2端子のいずれかとの間に接続され、上記第1の制御線により導通制御される第1のスイッチと、上記電気光学素子が非発光期間に上記第1のノードの電位を固定電位に遷移させるための第1の回路と、上記第1のスイッチが導通状態に保持されてデータ線を伝播されるデータを書き込むときに、上記第1のノードを所定電位に保持させる第2の回路と、電圧源と、を有し、上記駆動トランジスタが電界効果トランジスタであり、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、上記第1の回路は、上記電界効果トランジスタのソースと上記電気光学素子との間に接続され、上記第2の制御線により導通制御される第2のスイッチを含み、上記第2の回路は、上記第1のノードと上記電圧源との間に接続され、上記第3の制御線により導通制御される第3のスイッチを含み、上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、および上記電気光学素子が直列に接続されている画素回路の駆動方法であって、上記第1の制御線により上記第1のスイッチを非導通状態に保持し、上記第2の制御線により上記第2のスイッチを非導通状態に保持し、上記第3の制御線により上記第3のスイッチを非導通状態に保持し、上記第1の制御線により上記第1のスイッチを導通状態に保持し、上記第3の制御線により上記第3の
スイッチを導通状態に保持し、上記第1のノードを所定電位に保持させた状態で、上記データ線を伝播されるデータを上記画素容量素子に書き込んだ後、上記第1の制御線により上記第1のスイッチを非導通状態に保持し、上記第3の制御線により上記第3のスイッチを非導通状態に保持し、上記第2の制御線により上記第2のスイッチを導通状態に保持する。

10

20

【0045】

本発明によれば、たとえば駆動トランジスタのソース電極を、スイッチを介して固定電位に接続し、ドライブトランジスタのゲートとソース間に画素容量を有することから、発光素子のI-V特性の経時劣化による輝度変化が補正される。

駆動トランジスタがnチャネルの場合に、固定電位を接地電位とすることで、発光素子に印加する電位を接地電位にして発光素子の非発光期間が作り出される。

30

また、ソース電極と接地電位とを接続している第2のスイッチのオフ時間を調節することで、発光素子の発光・非発光の期間を調整し、Duty駆動が行われる。

また、固定電位を接地電位付近もしくはそれ以下の低電位にすることで、もしくはゲート電圧を上げることで、固定電位に接続されるスイッチトランジスタのしきい値 V_{th} のパラツキに起因の画質劣化が抑制される。

また、駆動トランジスタがpチャネルの場合に、固定電位を発光素子のカソード電極に接続されている電源電位とすることで、発光素子に印加する電位を電源電位としEL素子の非発光期間が作り出される。

そして、駆動トランジスタの特性をnチャネルとすることで、ソースフォロワーが可能となり、アノード接続ができる。

40

また、駆動トランジスタを全てnチャネル化することが可能となり、一般的なアモルファスシリコンのプロセスを導入することが可能となり、低コスト化が可能となる。

【0046】

また、第2のスイッチングトランジスタが発光素子と駆動トランジスタの間にレイアウトされているために、非発光期間には駆動トランジスタに電流は流れず、パネルの消費電力が抑えられる。

また、接地電位として発光素子のカソード側の電位、たとえば第2の基準電位を用いることで、パネル内部のTFT側にはGND配線を有する必要が無い。

また、パネルのTFT基板のGND配線を削除できることで、画素内のレイアウトや周辺

50

回路部のレイアウトが容易になる。

さらに、パネルのT F T基板のG N D配線を削除できることで、周辺回路部の電源電位（第1の基準電位）と接地電位（第2の基準電位）とのオーバーラップが必要なく、V c cラインを低抵抗でレイアウトでき、高ユニフォーミティを達成できる。

【0047】

また、たとえば画素容量素子を駆動トランジスタのソースに接続し、非発光期間に容量の一方側を電源まで昇圧することで、パネル内部のT F T側にG N D配線を有する必要がなくなる。

また、信号線書き込み時間に電源配線側の第4のスイッチをオンし、低インピーダンスにすることで、画素書き込みに対するカップリングの効果を短時間で補正して、高ユニフォーミティの画質が得られる。

10

また、電源配線の電位をV c c電位と同一にすることで、パネル配線を削減することができる。

【0048】

また、本発明によれば、駆動トランジスタのゲート電極を、スイッチを介して固定電位に接続し、駆動トランジスタのゲートとソース間に画素容量を有することで、発光素子のI - V特性の経時劣化による輝度変化が補正される。

たとえば駆動トランジスタがnチャネルの場合に、固定電位を駆動トランジスタのドレイン電極が接続されている固定電位とすることで画素内に固定電位は電源電位のみとする。

20

また、駆動トランジスタのゲート側およびソース側に接続されているスイッチングトランジスタのゲート電圧を上げる、若しくはサイズを大きくすることで、スイッチトランジスタのしきい値バラツキに起因する画質劣化が抑制される。

また、駆動トランジスタがpチャネルの場合に、固定電位を駆動トランジスタのドレイン電極が接続されている固定電位とすることで、画素内に固定電位をG N Dのみとする。

そして、駆動トランジスタのゲート側およびソース側に接続されているスイッチングトランジスタのゲート電圧を上げる、若しくはサイズを大きくすることで、スイッチトランジスタのしきい値のバラツキに起因する画質劣化が抑制される。

【0049】

【発明の実施の形態】

30

以下、本発明の実施形態を添付図面に関連付けて説明する。

【0050】

第1実施形態

図1は、本第1の実施形態に係る画素回路を採用した有機E L表示装置の構成を示すブロック図である。

図2は、図1の有機E L表示装置において本第1の実施形態に係る画素回路の具体的な構成を示す回路図である。

【0051】

この表示装置100は、図1および図2に示すように、画素回路(P X L C)101がm × nのマトリクス状に配列された画素アレイ部102、水平セクタ(H S E L)103、ライトスキャナ(W S C N)104、ドライブスキャナ(D S C N)105、水平セクタ103により選択され輝度情報に応じたデータ信号が供給されるデータ線D T L 101 ~ D T L 10n、ライトスキャナ104により選択駆動される走査線W S L 101 ~ W S L 10m、およびドライブスキャナ105により選択駆動される駆動線D S L 101 ~ D S L 10mを有する。

40

【0052】

なお、画素アレイ部102において、画素回路101はm × nのマトリクス状に配列されるが、図2においては図面の簡単化のために2 (= m) × 3 (= n)のマトリクス状に配列した例を示している。

また、図2においても、図面の簡単化のために一つの画素回路の具体的な構成を示してい

50

る。

【0053】

本第1の実施形態に係る画素回路101は、図2に示すように、nチャネルTFT111～TFT113、キャパシタC111、有機EL素子(OLE D:電気光学素子)からなる発光素子114、およびノードND111, ND112を有する。

また、図2において、DTL101はデータ線を、WSL101は走査線を、DSL101は駆動線をそれぞれ示している。

これらの構成要素のうち、TFT111が本発明に係る電界効果トランジスタを構成し、TFT112が第1のスイッチを構成し、TFT113が第2のスイッチを構成し、キャパシタC111が本発明に係る画素容量素子を構成している。

10

また、走査線WSL101が本発明に係る第1の制御線に対応し、駆動線DSL101が第2の制御線に対応する。

また、電源電圧VCCの供給ライン(電源電位)が第1の基準電位に相当し、接地電位GNDが第2の基準電位に相当している。

【0054】

画素回路101において、TFT111のソースと第2の基準電位(本実施形態では接地電位GND)との間に発光素子(OLE D)114が接続されている。具体的には、発光素子114のアノードがTFT111のソースに接続され、カソード側が接地電位GNDに接続されている。発光素子114のアノードとTFT111のソースとの接続点によりノードND111が構成されている。

20

TFT111のソースがTFT113のドレインおよびキャパシタC111の第1電極に接続され、TFT111のゲートがノードND112に接続されている。

TFT113のソースが固定電位(本実施形態では接地電位GND)に接続され、TFT113のゲートが駆動線DSL101に接続されている。また、キャパシタC111の第2電極がノードND112に接続されている。

データ線DTL101とノードND112に第1のスイッチとしてのTFT112のソース・ドレインがそれぞれ接続されている。そして、TFT112のゲートが走査線WSL101に接続されている。

【0055】

このように、本実施形態に係る画素回路101は、ドライブトランジスタとしてのTFT111のゲート・ソース間にキャパシタC111が接続され、TFT111のソース電位をスイッチトランジスタとしてのTFT113に介して固定電位に接続するよう構成されている。

30

【0056】

次に、上記構成の動作を、画素回路の動作を中心に、図3(A)～(F)および図4(A)～(F)に関連付けて説明する。

なお、図4(A)は画素配列の第1行目の走査線WSL101に印加される走査信号ws[101]を、図4(B)は画素配列の第2行目の走査線WSL102に印加される走査信号ws[102]を、図4(C)は画素配列の第1行目の駆動線DSL101に印加される駆動信号ds[101]を、図4(D)は画素配列の第2行目の駆動線DSL102に印加される駆動信号ds[102]を、図4(E)はTFT111のゲート電位Vgを、図4(F)はTFT111のソース電位Vsをそれぞれ示している。

40

【0057】

まず、通常のEL発光素子114の発光状態時は、図4(A)～(D)に示すように、ライトスキナ104より走査線WSL101, WSL102, …への走査信号ws[101], ws[102], …が選択的にローレベルに設定され、ドライブスキナ105により駆動線DSL101, DSL102, …への駆動信号ds[101], ds[102], …が選択的にローレベルに設定される。

その結果、画素回路101においては、図3(A)に示すように、TFT112とTFT113がオフした状態に保持される。

50

【 0 0 5 8 】

次に、E L 発光素子 1 1 4 の非発光期間において、図 4 (A) ~ (D) に示すように、ライトスキャナ 1 0 4 より走査線 W S L 1 0 1 , W S L 1 0 2 , . . . への走査信号 $w s [101]$, $w s [102]$, . . . がローレベルに保持され、ドライブスキャナ 1 0 5 により駆動線 D S L 1 0 1 , D S L 1 0 2 , . . . への駆動信号 $d s [101]$, $d s [102]$, . . . が選択的にハイレベルに設定される。

その結果、画素回路 1 0 1 においては、図 3 (B) に示すように、T F T 1 1 2 はオフ状態に保持されたままで、T F T 1 1 3 がオンする。

このとき、T F T 1 1 3 を介して電流が流れ、図 4 (F) に示すように、T F T 1 1 1 のソース電位 $V s$ は接地電位 G N D まで下降する。そのため、E L 発光素子 1 1 4 に印加される電圧も 0 V となり、E L 発光素子 1 1 4 は非発光となる。

10

【 0 0 5 9 】

次に、E L 発光素子 1 1 4 の非発光期間において、図 4 (A) ~ (D) に示すように、ドライブスキャナ 1 0 5 により駆動線 D S L 1 0 1 , D S L 1 0 2 , . . . への駆動信号 $d s [101]$, $d s [102]$, . . . がハイレベルに保持されたまま、ライトスキャナ 1 0 4 より走査線 W S L 1 0 1 , W S L 1 0 2 , . . . への走査信号 $w s [101]$, $w s [102]$, . . . が選択的にハイレベルに設定される。

その結果、画素回路 1 0 1 においては、図 3 (C) に示すように、T F T 1 1 3 がオン状態に保持されたままで、T F T 1 1 2 がオンする。これにより、水平セレクタ 1 0 3 によりデータ線 D T L 1 0 1 に伝搬された入力信号 ($V i n$) が画素容量としてのキャパシタ C 1 1 1 に書き込まれる。

20

このとき、図 4 (F) に示すように、ドライブトランジスタとしての T F T 1 1 1 のソース電位 $V s$ は接地電位レベル (G N D レベル) にあるため、図 4 (E) , (F) に示すように、T F T 1 1 1 のゲート・ソース間の電位差は入力信号の電圧 $V i n$ と等しくなる。

【 0 0 6 0 】

その後、E L 発光素子 1 1 4 の非発光期間において、図 4 (A) ~ (D) に示すように、ドライブスキャナ 1 0 5 により駆動線 D S L 1 0 1 , D S L 1 0 2 , . . . への駆動信号 $d s [101]$, $d s [102]$, . . . がハイレベルに保持されたまま、ライトスキャナ 1 0 4 より走査線 W S L 1 0 1 , W S L 1 0 2 , . . . への走査信号 $w s [101]$, $w s [102]$, . . . が選択的にローレベルに設定される。

30

その結果、画素回路 1 0 1 においては、図 3 (D) に示すように、T F T 1 1 2 がオフ状態となり、画素容量としてのキャパシタ C 1 1 1 への入力信号の書き込みが終了する。

【 0 0 6 1 】

その後、図 4 (A) ~ (D) に示すように、ライトスキャナ 1 0 4 より走査線 W S L 1 0 1 , W S L 1 0 2 , . . . への走査信号 $w s [101]$, $w s [102]$, . . . はローレベルに保持され、ドライブスキャナ 1 0 5 により駆動線 D S L 1 0 1 , D S L 1 0 2 , . . . への駆動信号 $d s [101]$, $d s [102]$, . . . が選択的にローレベルに設定される。

その結果、画素回路 1 0 1 においては、図 3 (E) に示すように、T F T 1 1 3 がオフ状態となる。

T F T 1 1 3 がオフすることで、図 4 (F) に示すように、ドライブトランジスタとしての T F T 1 1 1 のソース電位 $V s$ は上昇し、E L 発光素子 1 1 4 にも電流が流れる。

40

【 0 0 6 2 】

T F T 1 1 1 のソース電位 $V s$ は変動するにもかかわらず、T F T 1 1 1 のゲート・ソース間には容量があるために、図 4 (E) , (F) に示すように、ゲート・ソース電位は常に $V i n$ にて保たれている。

このとき、ドライブトランジスタとしての T F T 1 1 1 は飽和領域で駆動しているので、この T F T 1 1 1 に流れる電流値 $I d s$ は前述した式 1 で示された値となり、その値は T F T 1 1 1 のゲート・ソース電圧である $V i n$ にて決められる。この電流 $I d s$ は E L 発光素子 1 1 4 にも同様に流れ、E L 発光素子 1 1 4 は発光する。

E L 発光素子 1 1 4 の等価回路は図 3 (F) に示すようになっているため、このときノー

50

ドND111の電位はEL発光素子114に電流 I_{ds} が流れるゲート電位まで上昇する。

この電位上昇に伴い、キャパシタ111(画素容量 C_s)を介してノードND112の電位も同様に上昇する。これにより、前述した通りTF T111のゲート・ソース電位は V_{in} に保たれる。

【0063】

ここで、従来のソースフォロワー方式での問題点について、本発明の回路において考える。本回路においても、EL発光素子は発光時間が長くなるに従い、その $I-V$ 特性は劣化する。そのため、ドライブトランジスタが同じ電流値を流したとしても、EL発光素子に印加される電位は変化し、ノードND111の電位は下降する。

しなしながら、本回路ではドライブトランジスタのゲート・ソース間電位が一定に保たれたままノードND111の電位は下降するので、ドライブトランジスタ(TF T111)に流れる電流は変化しない。よって、EL発光素子に流れる電流も変化せず、EL発光素子の $I-V$ 特性が劣化しても、入力電圧 V_{in} に相当した電流が常に流れつづけ、従来の問題は解決できる。

【0064】

以上説明したように、本第1の実施形態によれば、ドライブトランジスタとしてのTF T111のソースが発光素子114のアノードに接続され、ドレインが電源電位 V_{CC} に接続され、TF T111のゲート・ソース間にキャパシタ C_{111} が接続され、TF T111のソース電位をスイッチトランジスタとしてのTF T113に介して固定電位に接続する

よう構成されていることから、以下の効果を得ることができる。
EL発光素子の $I-V$ 特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

n チャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、 n チャネルトランジスタをEL発光素子の駆動素子として用いることができる。

また、 n チャネルのみで画素回路のトランジスタを構成することができ、TF T作成において $a-Si$ プロセスを用いることができるようになる。これにより、TF T基板の低コスト化が可能となる。

【0065】

第2実施形態

図5は、本第2の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図6は、図5の有機EL表示装置において本第2の実施形態に係る画素回路の具体的な構成を示す回路図である。

【0066】

この表示装置200は、図5および図6に示すように、画素回路(PXLC)201が $m \times n$ のマトリクス状に配列された画素アレイ部202、水平セレクタ(HSEL)203、ライトスキャナ(WSCN)204、ドライブスキャナ205(DSCN)、水平セレクタ203により選択され輝度情報に応じたデータ信号が供給されるデータ線DTL201~DTL20n、ライトスキャナ204Aにより選択駆動される走査線WSL201~WSL20m、およびドライブスキャナ205により選択駆動される駆動線DSL201~DSL20mを有する。

【0067】

なお、画素アレイ部202において、画素回路201は $m \times n$ のマトリクス状に配列されるが、図12においては図面の簡単化のために $2(=m) \times 3(=n)$ のマトリクス状に配列した例を示している。

また、図6においても、図面の簡単化のために一つの画素回路の具体的な構成を示している。

【0068】

本第2の実施形態に係る画素回路201は、図6に示すように、nチャンネルTFT211～TFT213、キャパシタC211、有機EL素子(OLED:電気光学素子)からなる発光素子214、およびノードND211, ND212を有する。

また、図6において、DTL201はデータ線を、WSL201は走査線を、DSL201は駆動線をそれぞれ示している。

これらの構成要素のうち、TFT211が本発明に係る電界効果トランジスタを構成し、TFT212が第1のスイッチを構成し、TFT213が第2のスイッチを構成し、キャパシタC211が本発明に係る画素容量素子を構成している。

また、走査線WSL201が本発明に係る第1の制御線に対応し、駆動線DSL201が第2の制御線に対応する。

また、電源電圧VCCの供給ライン(電源電位)が第1の基準電位に相当し、接地電位GNDが第2の基準電位に相当している。

【0069】

画素回路201において、TFT211のソースと発光素子214のアノードとの間に、TFT213のソース・ドレインがそれぞれ接続され、TFT211のドレインが電源電位VCCに接続され、発光素子214のカソードが接地電位GNDに接続されている。すなわち、電源電位VCCと接地電位GNDとの間に、ドライブトランジスタとしてのTFT211、スイッチングトランジスタとしてのTFT213、および発光素子214が直列に接続されている。そして、発光素子214のアノードとTFT213のソースとの接続点によりノードND211が構成されている。

TFT211のゲートがノードND212に接続されている。そして、ノードND211とND212との間、すなわち、TFT211のゲートと発光素子214のアノードとの間に、画素容量CsとしてのキャパシタC211が接続されている。キャパシタC211の第1電極がノードND211に接続され、第2電極がノードND212に接続されている。

TFT213のゲートが駆動線DSL201に接続されている。また、データ線DTL201とノードND212に第1のスイッチとしてのTFT212のソース・ドレインがそれぞれ接続されている。そして、TFT212のゲートが走査線WSL201に接続されている。

【0070】

このように、本実施形態に係る画素回路201は、ドライブトランジスタとしてのTFT211のソースと発光素子214のアノードとがスイッチングトランジスタとしてのTFT213により接続され、TFT211のゲートと発光素子214のアノード間にキャパシタC211が接続されている。

【0071】

次に、上記構成の動作を、画素回路の動作を中心に、図7(A)～(E)および図8(A)～(F)に関連付けて説明する。

なお、図8(A)は画素配列の第1行目の走査線WSL201に印加される走査信号ws[201]を、図8(B)は画素配列の第2行目の走査線WSL202に印加される走査信号ws[202]を、図8(C)は画素配列の第1行目の駆動線DSL201に印加される駆動信号ds[201]を、図8(D)は画素配列の第2行目の駆動線DSL202に印加される駆動信号ds[202]を、図8(E)はTFT211のゲート電位Vgを、図8(F)はTFT211のアノード側電位、すなわちノードND211の電位VND211をそれぞれ示している。

【0072】

まず、通常のEL発光素子214の発光状態時は、図8(A)～(D)に示すように、ライトスキャナ204より走査線WSL201, WSL202, …への走査信号ws[201], ws[202], …が選択的にローレベルに設定され、ドライブスキャナ205により駆動線DSL201, DSL202, …への駆動信号ds[201], ds[202], …が選択的にハイレベルに設定される。

10

20

30

40

50

その結果、画素回路 201 においては、図 7 (A) に示すように、T F T 2 1 2 がオフ状態に保持され、T F T 2 1 3 がオン状態に保持される。

このとき、ドライブトランジスタとしての T F T 2 1 1 と E L 発光素子 2 1 4 には電流 I_{ds} が流れる。

【 0 0 7 3 】

次に、E L 発光素子 2 1 4 の非発光期間において、図 8 (A) ~ (D) に示すように、ライトスキャナ 2 0 4 より走査線 W S L 2 0 1 , W S L 2 0 2 , . . . への走査信号 w_s [201] , w_s [202] , . . . はローレベルに保持され、ドライブスキャナ 2 0 5 により駆動線 D S L 2 0 1 , D S L 2 0 2 , . . . への駆動信号 d_s [201] , d_s [202] , . . . が選択的にローレベルに設定される。

10

その結果、画素回路 201 においては、図 7 (B) に示すように、T F T 2 1 2 はオフ状態に保持されたままで、T F T 2 1 3 がオフする。

このとき、E L 発光素子 2 1 4 に保持されていた電位は、供給源が無くなるために降下する。この電位は E L 発光素子 2 1 4 のしきい電圧 V_{th} まで降下する。しかし、E L 発光素子 2 1 4 にもオフ電流が流れるために、さらに非発光期間が続くとその電位は G N D まで降下する。

一方、ドライブトランジスタとしての T F T 2 1 1 は、ゲート電位が高いためにオン状態に保持され、T F T 2 1 1 のソース電位は電源電圧 V_{cc} まで昇圧される。この昇圧は短時間にて行われ、 V_{cc} 昇圧後は T F T 2 1 1 には電流は流れない。

つまり、以上より本第 2 の実施形態の画素回路では、非発光期間に画素回路内に電流を流さないで動作させることができ、パネルの消費電力を抑制することができる。

20

【 0 0 7 4 】

次に、E L 発光素子 2 1 4 の非発光期間において、図 8 (A) ~ (D) に示すように、ドライブスキャナ 2 0 5 により駆動線 D S L 2 0 1 , D S L 2 0 2 , . . . への駆動信号 d_s [201] , d_s [202] , . . . がローレベルに保持されたまま、ライトスキャナ 2 0 4 より走査線 W S L 2 0 1 , W S L 2 0 2 , . . . への走査信号 w_s [201] , w_s [202] , . . . が選択的にハイレベルに設定される。

その結果、画素回路 201 においては、図 7 (C) に示すように、T F T 2 1 3 がオフ状態に保持されたままで、T F T 2 1 2 がオンする。これにより、水平セレクト 2 0 3 によりデータ線 D T L 2 0 1 に伝搬された入力信号 (V_{in}) が画素容量 C_s としてのキャパシタ C 2 1 1 に書き込まれる。

30

このとき、図 8 (F) に示すように、スイッチングトランジスタとしての T F T 2 1 3 のアノード側電位 V_a 、すなわちノード N D 2 1 1 の電位 V_{ND211} は接地電位レベル (G N D レベル) にあるため、画素容量 C_s としてのキャパシタ C 2 1 1 には入力信号の電圧 V_{in} と等しい電位が保持される。

【 0 0 7 5 】

その後、E L 発光素子 2 1 4 の非発光期間において、図 8 (A) ~ (D) に示すように、ドライブスキャナ 2 0 5 により駆動線 D S L 2 0 1 , D S L 2 0 2 , . . . への駆動信号 d_s [201] , d_s [202] , . . . はローレベルに保持されたまま、ライトスキャナ 2 0 4 より走査線 W S L 2 0 1 , W S L 2 0 2 , . . . への走査信号 w_s [201] , w_s [202] , . . . が選択的にローレベルに設定される。

40

その結果、画素回路 201 においては、図 7 (D) に示すように、T F T 2 1 2 がオフ状態となり、画素容量としてのキャパシタ C 2 1 1 への入力信号の書き込みが終了する。

【 0 0 7 6 】

その後、図 8 (A) ~ (D) に示すように、ライトスキャナ 2 0 4 より走査線 W S L 2 0 1 , W S L 2 0 2 , . . . への走査信号 w_s [201] , w_s [202] , . . . がローレベルに保持されたまま、ドライブスキャナ 2 0 5 により駆動線 D S L 2 0 1 , D S L 2 0 2 , . . . への駆動信号 d_s [201] , d_s [202] , . . . が選択的にハイレベルに設定される。

その結果、画素回路 201 において、図 7 (E) に示すように、T F T 2 1 3 がオン状態となる。

50

TFT213がオンしたことに伴い、EL発光素子214に電流が流れ、TFT211のソース電位は降下する。このように、ドライブトランジスタとしてのTFT211のソース電位は変動するにもかかわらず、TFT211のゲートと発光素子214のアノード間には容量があるために、ゲート・アノード電位は常に V_{in} にて保たれている。このとき、ドライブトランジスタとしてのTFT211は飽和領域で駆動しているため、このTFT211に流れる電流値 I_{ds} は前述した式1で示された値となり、それはドライブトランジスタのゲート・ソース電圧 V_{gs} である。

ここで、TFT213は非飽和領域にて動作しているため、単純な抵抗値とみなされる。よって、TFT211のゲート・ソース電圧は V_{in} からTFT213による電圧降下の値を引いたものとなる。つまり、TFT211を流れる電流量は V_{in} によって決められるといえる。

【0077】

以上より、EL発光素子214は発光時間が長くなるに従い、そのI-V特性は劣化しても、本第2の実施形態の画素回路201では、ドライブトランジスタとしてのTFT211のゲート・ソース間電位が一定に保たれたままノードND211の電位は下降するので、TFT211に流れる電流は変化しない。

よって、EL発光素子214に流れる電流も変化せず、EL発光素子214のI-V特性が劣化しても、入力電圧 V_{in} に相当した電流が常に流れつづけ、従来の問題は解決できる。

加えて、TFT213のゲートのオン電圧を上げることで、TFT213のしきい値 V_{th} のばらつきによる、抵抗値ばらつきを抑制することができる。

【0078】

なお、図6において、発光素子214のカソード電極の電位を接地電位GNDにしているが、これはどのような電位でも構わない。

【0079】

また、図9に示すように、画素回路のトランジスタはnチャンネルではなく、pチャンネルTFT221~223で画素回路を構成しても構わない。この場合はEL発光素子224のアノード側に電源が接続され、カソード側にドライブトランジスタとしてのTFT221が接続される。

【0080】

さらに、スイッチングトランジスタとしてのTFT212、TFT213はドライブトランジスタとしてのTFT211と異なる極性のトランジスタでも構わない。

【0081】

ここで、本第2の実施形態に係る画素回路201と前述した第1の実施形態に係る画素回路101とを比較する。

本第2の実施形態に係る画素回路201と第1の実施形態に係る画素回路101とが基本的に異なる点は、スイッチングトランジスタとしてのTFT213とTFT113との接続位置が異なることにある。

【0082】

一般的に有機EL素子のI-V特性は、時間に対して劣化してしまう。しかしながら、第1の実施形態に係る画素回路101では、TFT111のゲート・ソース間の電位差 V_s が常に保持されているために、TFT111を流れる電流が一定であるため、有機EL素子のI-V特性が劣化してもその輝度は保たれる。

第1の実施形態に係る画素回路101では、TFT112がオフしてTFT113がオンしているときに、ドライブトランジスタTFT111のソース電位 V_s は接地電位になり、有機EL素子は発光せず非発光期間となる。同時に画素容量の第1電極(片側)も接地電位GNDとなる。しかし、この非発光期間においても、ゲート・ソース間電圧は保持され続けており、この画素回路101内には電源(V_{cc})からGNDへと電流が流れる。

一般的に有機EL素子には発光期間と非発光期間があり、パネルの輝度は発光の強度と発

10

20

30

40

50

光期間の積にて決められる。通常発光期間が短い程、動画特性は良くなるので、短い発光期間にてパネルを使用することが望ましい。ここで発光期間を短くしたときに同じ輝度を得るには、EL素子の発光強度を上げる必要があり、ドライブトランジスタにはより多くの電流を流す必要がある。

【0083】

ここで、第1の実施形態に係る画素回路101に関してさらに考察する。

第1の実施形態に係る画素回路101では、上述の通り、非発光期間にも電流が流れる。よって、非発光期間を短くし、流れる電流量を上げると、非発光期間においても電流が流れ続けるために、消費電流が増加する。

また、第1の実施形態に係る画素回路101では、電源電位VCCと接地電位GND配線がパネル内に必要である。そのため、TFT側のパネル内部に二種類の配線をレイアウトする必要がある。VCCとGNDは電圧降下を防ぐために、低抵抗で配線する必要がある。よって、二種類の配線を行うと、配線によるレイアウト面積を拡大する必要がある。そのため、パネルの高精細化に従い画素ピッチが小さくなると、トランジスタなどの配置が困難になるおそれがある。同時にパネル内部にてVCC配線とGND配線とのオーバーラップする領域が増えるおそれがあり、歩留まり向上を抑制するおそれがある。

これに対して、第2の実施形態に係る画素回路201によれば、上述した第1の実施形態の効果を得られることはもとより、消費電流、配線の削減、歩留まりが向上する等の効果を得ることができる。

【0084】

本第2の実施形態によれば、EL発光素子のI-V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

nチャンネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャンネルトランジスタをEL発光素子の駆動素子として用いることができる。

また、nチャンネルのみで画素回路のトランジスタを構成することができ、TFT作成においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

さらに、第2の実施形態によれば、TFT側のGND配線を削除することができ、周辺の配線レイアウトや画素レイアウトが容易になる。

また、TFT側のGND配線を削除することができ、TFT基板のGND配線-VCC配線のオーバーラップを取り除くことができ、歩留まりを向上することができる。

また、TFT側のGND配線を削除することができ、TFT基板のGND配線-VCC配線のオーバーラップをなくせることで、低抵抗でVCC配線をレイアウトすることができ、高ユニフォーム性の画質を得ることができる。

【0085】

第3実施形態

図10は、本第3の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図11は、図10の有機EL表示装置において本第3の実施形態に係る画素回路の具体的な構成を示す回路図である。

【0086】

本第3の実施形態に係る表示装置200Aが第2の実施形態に係る表示装置200と異なる点は、画素回路における画素容量CsとしてのキャパシタC211の接続位置が異なる点にある。

具体的には、第2の実施形態に係る画素回路201では、キャパシタC211をドライブトランジスタとしてのTFT211のゲートとEL発光素子214のアノード側との間に接続している。

これに対して、本第3の実施形態に係る画素回路201Aでは、キャパシタC211をドライブトランジスタとしてのTFT211のゲートとソース間に接続している。具体的に

10

20

30

40

50

は、キャパシタ C 2 1 1 の第 1 電極が T F T 2 1 1 のソースとスイッチングトランジスタとしての T F T 2 1 3 との接続点 (ノード N D 2 1 1 A) に接続され、第 2 電極がノード N D 2 1 2 に接続されている。

その他の構成は、上述した第 2 の実施形態と同様である。

【 0 0 8 7 】

次に、上記構成の動作を、画素回路の動作を中心に、図 1 2 (A) ~ (E) および図 1 3 (A) ~ (F) に関連付けて説明する。

【 0 0 8 8 】

まず、通常の E L 発光素子 2 1 4 の発光状態時は、図 1 3 (A) ~ (D) に示すように、ライトスキャナ 2 0 4 より走査線 W S L 2 0 1 , W S L 2 0 2 , . . . への走査信号 $w s [201]$, $w s [202]$, . . . が選択的にローレベルに設定され、ドライブスキャナ 2 0 5 により駆動線 D S L 2 0 1 , D S L 2 0 2 , . . . への駆動信号 $d s [201]$, $d s [202]$, . . . が選択的にハイレベルに設定される。

その結果、画素回路 2 0 1 においては、図 1 2 (A) に示すように、T F T 2 1 2 がオフ状態に保持され、T F T 2 1 3 がオン状態に保持される。

このとき、ドライブトランジスタとしての T F T 2 1 1 と E L 発光素子 2 1 4 には電流 $I d s$ が流れる。

【 0 0 8 9 】

次に、E L 発光素子 2 1 4 の非発光期間において、図 1 3 (A) ~ (D) に示すように、ライトスキャナ 2 0 4 より走査線 W S L 2 0 1 , W S L 2 0 2 , . . . への走査信号 $w s [201]$, $w s [202]$, . . . はローレベルに保持され、ドライブスキャナ 2 0 5 により駆動線 D S L 2 0 1 , D S L 2 0 2 , . . . への駆動信号 $d s [201]$, $d s [202]$, . . . が選択的にローレベルに設定される。

その結果、画素回路 2 0 1 においては、図 1 2 (B) に示すように、T F T 2 1 2 はオフ状態に保持されたままで、T F T 2 1 3 がオフする。

このとき、E L 発光素子 2 1 4 に保持されていた電位は、供給源が無くなるために降下する。この電位は E L 発光素子 2 1 4 のしきい電圧 $V t h$ まで降下する。しかし、E L 発光素子 2 1 4 にもオフ電流が流れるために、さらに非発光期間が続くとその電位は G N D まで降下する。

一方、ドライブトランジスタとしての T F T 2 1 1 は、ゲート電位が高いためにオン状態に保持され、図 1 3 (F) に示すように、T F T 2 1 1 のソース電位 $V s$ は電源電圧 $V c c$ まで昇圧される。この昇圧は短時間にて行われ、 $V c c$ 昇圧後は T F T 2 1 1 には電流は流れない。

つまり、以上より本第 3 の実施形態の画素回路 2 0 1 A では、非発光期間に画素回路内に電流を流さないで動作させることができ、パネルの消費電力を抑制することができる。

【 0 0 9 0 】

次に、E L 発光素子 2 1 4 の非発光期間において、図 1 3 (A) ~ (D) に示すように、ドライブスキャナ 2 0 5 により駆動線 D S L 2 0 1 , D S L 2 0 2 , . . . への駆動信号 $d s [201]$, $d s [202]$, . . . がローレベルに保持されたまま、ライトスキャナ 2 0 4 より走査線 W S L 2 0 1 , W S L 2 0 2 , . . . への走査信号 $w s [201]$, $w s [202]$, . . . が選択的にハイレベルに設定される。

その結果、画素回路 2 0 1 においては、図 1 2 (C) に示すように、T F T 2 1 3 がオフ状態に保持されたままで、T F T 2 1 2 がオンする。これにより、水平セレクト 2 0 3 によりデータ線 D T L 2 0 1 に伝搬された入力信号 ($V i n$) が画素容量 $C s$ としてのキャパシタ C 2 1 1 に書き込まれる。

このとき、図 1 3 (F) に示すように、スイッチングトランジスタとしての T F T 2 1 3 のソース $V s$ は電源電位 $V C C$ であるため、画素容量 $C s$ としてのキャパシタ C 2 1 1 には入力信号の電圧 $V i n$ に対して、 $(V i n - V C C)$ と等しい電位が保持される。

【 0 0 9 1 】

その後、E L 発光素子 2 1 4 の非発光期間において、図 1 3 (A) ~ (D) に示すように

10

20

30

40

50

、ドライブスキャナ205により駆動線DSL201, DSL202, …への駆動信号 $d_s[201]$, $d_s[202]$, …がローレベルに保持されたまま、ライトスキャナ204より走査線WSL201, WSL202, …への走査信号 $w_s[201]$, $w_s[202]$, …が選択的にローレベルに設定される。

その結果、画素回路201においては、図12(D)に示すように、TF T 2 1 2がオフ状態となり、画素容量としてのキャパシタC211への入力信号の書き込みが終了する。

【0092】

その後、図13(A)~(D)に示すように、ライトスキャナ204より走査線WSL201, WSL202, …への走査信号 $w_s[201]$, $w_s[202]$, …がローレベルに保持されたまま、ドライブスキャナ205により駆動線DSL201, DSL202, …への駆動信号 $d_s[201]$, $d_s[202]$, …が選択的にハイレベルに設定される。

10

その結果、画素回路201において、図12(E)に示すように、TF T 2 1 3がオン状態となる。

TF T 2 1 3がオンしたことに伴い、EL発光素子214に電流が流れ、TF T 2 1 1のソース電位は降下する。このように、ドライブトランジスタとしてのTF T 2 1 1のソース電位は変動するにもかかわらず、TF T 2 1 1のゲートとソース間には容量があり、他のトランジスタなどは接続されていないことから、TF T 2 1 1のゲート・ソース間電圧は、常に $(V_{in} - V_{CC})$ にて保たれている。このとき、ドライブトランジスタとしてのTF T 2 1 1は飽和領域で駆動しているので、このTF T 2 1 1に流れる電流値 I_{ds} は

20

前述した式1で示された値となり、それはドライブトランジスタのゲート・ソース間電圧 V_{gs} であり、 $(V_{in} - V_{CC})$ である。

つまり、TF T 2 1 1を流れる電流量は V_{in} によって決められるといえる。

【0093】

以上より、EL発光素子214は発光時間が長くなるに従い、そのI-V特性は劣化しても、本第3の実施形態の画素回路201Aでは、ドライブトランジスタとしてのTF T 2 1 1のゲート・ソース間電位が一定に保たれたままノードND211Aの電位は下降するので、TF T 2 1 1に流れる電流は変化しない。

よって、EL発光素子214に流れる電流も変化せず、EL発光素子214のI-V特性が劣化しても、入力電圧 V_{in} に相当した電流が常に流れつづけ、従来の問題は解決できる。

30

加えて、TF T 2 1 1のゲート・ソース間には画素容量 C_s 以外のトランジスタ等は有していないために、従来方式のようににしきい値 V_{th} ばらつきによってドライブトランジスタとしてのTF T 2 1 1のゲート・ソース間電圧 V_{gs} が変化することは全くない。

【0094】

なお、図11において、発光素子214のカソード電極の電位を接地電位GNDにしているが、これはどのような電位でも構わない。むしろ、負電源にした方が、 V_{cc} の電位を下げることができ、入力信号電圧の電位も下げることができる。これにより、外部ICに負担をかけないで設計することが可能である。

また、GND配線を必要としないためにパネルへの入力ピン数を削減することができ、画素レイアウトも容易になる。加えて、VCCとGNDラインのパネル内部での交差部がなくなるので、歩留まりも向上しやすくなる。

40

【0095】

また、図14に示すように、画素回路のトランジスタはnチャンネルではなく、pチャンネルTF T 2 3 1~233で画素回路を構成しても構わない。この場合はEL発光素子234のアノード側に電源が接続され、カソード側にドライブトランジスタとしてのTF T 2 3 1が接続される。

【0096】

さらに、スイッチングトランジスタとしてのTF T 2 1 2, TF T 2 1 3はドライブトランジスタとしてのTF T 2 1 1と異なる極性のトランジスタでも構わない。

【0097】

50

本第3の実施形態によれば、EL発光素子のI-V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

nチャンネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャンネルトランジスタをEL発光素子の駆動素子として用いることができる。

また、nチャンネルのみで画素回路のトランジスタを構成することができ、TFT作成においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

さらに、第2の実施形態によれば、TFT側のGND配線を削除することができ、周辺の配線レイアウトや画素レイアウトが容易になる。

また、TFT側のGND配線を削除することができ、TFT基板のGND配線-VCC配線のオーバーラップを取り除くことができ、歩留まりを向上することができる。

また、TFT側のGND配線を削除することができ、TFT基板のGND配線-VCC配線のオーバーラップをなくせることで、低抵抗でVCC配線をレイアウトすることができ、高ユニフォーム性の画質を得ることができる。

【0098】

第4実施形態

図15は、本第4の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図16は、図15の有機EL表示装置において本第4の実施形態に係る画素回路の具体的な構成を示す回路図である。

【0099】

この表示装置300は、図15および図16に示すように、画素回路(PXLC)301がm×nのマトリクス状に配列された画素アレイ部302、水平セクタ(HSEL)303、第1のライトスキヤナ(WSCN1)304、第2のライトスキヤナ(WSCN2)305、ドライブスキヤナ306(DSCN)、定電圧源(CVS)307、水平セクタ303により選択され輝度情報に応じたデータ信号が供給されるデータ線DTL301~DTL30n、ライトスキヤナ304により選択駆動される走査線WSL301~WSL30m、ライトスキヤナ305により選択駆動される走査線WSL311~WSL31m、およびドライブスキヤナ306により選択駆動される駆動線DSL301~DSL30mを有する。

【0100】

なお、画素アレイ部302において、画素回路301はm×nのマトリクス状に配列されるが、図15においては図面の簡単化のために2(=m)×3(=n)のマトリクス状に配列した例を示している。

また、図16においても、図面の簡単化のために一つの画素回路の具体的な構成を示している。

【0101】

本第4の実施形態に係る画素回路301は、図16に示すように、nチャンネルTFT311~TFT314、キャパシタC311、有機EL素子(OLED:電気光学素子)からなる発光素子315、およびノードND311,ND312を有する。

また、図23において、DTL301はデータ線を、WSL301,WSL311は走査線を、DSL301は駆動線をそれぞれ示している。

これらの構成要素のうち、TFT311が本発明に係る電界効果トランジスタを構成し、TFT312が第1のスイッチを構成し、TFT313が第2のスイッチを構成し、TFT314が第3のスイッチを構成し、キャパシタC311が本発明に係る画素容量素子を構成している。

また、走査線WSL301が本発明に係る第1の制御線に対応し、駆動線DSL301が第2の制御線に対応し、走査線WSL311が第3の制御線に対応する。

【0102】

10

20

30

40

50

また、電源電圧VCCの供給ライン（電源電位）が第1の基準電位に相当し、接地電位GNDが第2の基準電位に相当している。

【0103】

画素回路301において、TFT311のソースと発光素子315のアノードとの間に、TFT313のソース・ドレインがそれぞれ接続され、TFT311のドレインが電源電位VCCに接続され、発光素子315のカソードが接地電位GNDに接続されている。すなわち、電源電位VCCと接地電位GNDとの間に、ドライブトランジスタとしてのTFT311、スイッチングトランジスタとしてのTFT313、および発光素子315が直列に接続されている。そして、TFT311のソースとTFT313との接続点によりノードND311が構成されている。

10

TFT311のゲートがノードND312に接続されている。そして、ノードND311とND312との間、すなわち、TFT311のゲートとソースとの間に、画素容量CsとしてのキャパシタC311が接続されている。キャパシタC311の第1電極がノードND311に接続され、第2電極がノードND312に接続されている。

TFT313のゲートが駆動線DSL301に接続されている。また、データ線DTL301とノードND312に第1のスイッチとしてのTFT312のソース・ドレインがそれぞれ接続されている。そして、TFT312のゲートが走査線WSL301に接続されている。

さらに、TFT311のソース（ノードND311）と定電圧源307との間にTFT314のソース・ドレインがそれぞれ接続され、TFT314のゲートが走査線WSL311に接続されている。

20

【0104】

このように、本実施形態に係る画素回路301は、ドライブトランジスタとしてのTFT311のソースと発光素子315のアノードとがスイッチングトランジスタとしてのTFT313により接続され、TFT311のゲートとソース間にキャパシタC311が接続され、かつ、TFT311のソース電位がTFT314を介して定電圧源307（固定電圧ライン）に接続されて構成されている。

【0105】

次に、上記構成の動作を、画素回路の動作を中心に、図17(A)～(E)および図18(A)～(H)に関連付けて説明する。

30

なお、図18(A)は画素配列の第1行目の走査線WSL301に印加される走査信号ws[301]を、図18(B)は画素配列の第2行目の走査線WSL302に印加される走査信号ws[302]を、図18(C)は画素配列の第1行目の走査線WSL311に印加される走査信号ws[311]を、図18(D)は画素配列の第2行目の走査線WSL312に印加される走査信号ws[312]を、図18(E)は画素配列の第1行目の駆動線DSL301に印加される駆動信号ds[301]を、図18(F)は画素配列の第2行目の駆動線DSL302に印加される駆動信号ds[302]を、図8(G)はTFT311のゲート電位Vgを、図18(H)はTFT311のアノード側電位、すなわちノードND311の電位VND311をそれぞれ示している。

【0106】

40

まず、通常のEL発光素子315の発光状態時は、図18(A)～(F)に示すように、ライトスキャナ304より走査線WSL301, WSL302, …への走査信号ws[301], ws[302], …が選択的にローレベルに設定され、ライトスキャナ305よりWSL311, WSL312, …への走査信号ws[311], ws[312], …が選択的にローレベルに設定され、ドライブスキャナ306により駆動線DSL301, DSL302, …への駆動信号ds[301], ds[302], …が選択的にハイレベルに設定される。

その結果、画素回路301においては、図17(A)に示すように、TFT312, 314がオフ状態に保持され、TFT313がオン状態に保持される。

このとき、ドライブトランジスタとしてのTFT311は飽和領域で駆動しているため、

50

そのゲート・ソース間電圧 V_{gs} に対して電流 I_{ds} が、 $TFT311$ と EL 発光素子 315 に流れる。

【0107】

次に、 EL 発光素子 315 の非発光期間において、図 18 (A) ~ (F) に示すように、ライトスキャナ 304 より走査線 $WSL301$, $WSL302$, ... への走査信号 $ws[301]$, $ws[302]$, ... がローレベルに保持され、ライトスキャナ 305 より $WSL311$, $WSL312$, ... への走査信号 $ws[311]$, $ws[312]$, ... がローレベルに保持され、ドライブスキャナ 306 により駆動線 $DSL301$, $DSL302$, ... への駆動信号 $ds[301]$, $ds[302]$, ... が選択的にローレベルに設定される。

その結果、画素回路 301 においては、図 17 (B) に示すように、 $TFT312$, $TFT314$ はオフ状態に保持されたままで、 $TFT313$ がオフする。このとき、 EL 発光素子 315 に保持されていた電位は、供給源が無くなるために降下し、 EL 発光素子 315 は非発光になる。この電位は EL 発光素子 315 のしきい電圧 V_{th} まで降下する。しかし、 EL 発光素子 315 にもオフ電流が流れるために、さらに非発光期間が続くとその電位は GND まで降下する。

一方、ドライブトランジスタとしての $TFT311$ は、ゲート電位が高いためにオン状態に保持され、図 18 (G) に示すように、 $TFT311$ のソース電位は電源電圧 V_{cc} まで昇圧される。この昇圧は短時間にて行われ、 V_{cc} 昇圧後は $TFT311$ には電流は流れない。

つまり、以上より本第 4 の実施形態の画素回路 301 では、非発光期間に画素回路内に電流を流さないで動作させることができ、パネルの消費電力を抑制することができる。

【0108】

次に、 EL 発光素子 315 の非発光期間において、図 18 (A) ~ (F) に示すように、ドライブスキャナ 306 により駆動線 $DSL301$, $DSL302$, ... への駆動信号 $ds[301]$, $ds[302]$, ... がローレベルに保持されたまま、ライトスキャナ 304 より走査線 $WSL301$, $WSL302$, ... への走査信号 $ws[301]$, $ws[302]$, ... が選択的にハイレベルに設定され、ライトスキャナ 305 より $WSL311$, $WSL312$, ... への走査信号 $ws[311]$, $ws[312]$, ... が選択的にハイレベルに設定される。

その結果、画素回路 301 においては、図 17 (C) に示すように、 $TFT313$ がオフ状態に保持されたままで、 $TFT312$, $TFT314$ がオンする。これにより、水平セクタ 303 によりデータ線 $DTL301$ に伝搬された入力信号 (V_{in}) が画素容量 C_s としてのキャパシタ $C311$ に書き込まれる。

この信号線電圧を書き込むときに $TFT314$ をオンしておくことが重要である。 $TFT314$ がない場合には、 $TFT312$ がオンして映像信号が画素容量 C_s に書き込まれると、 $TFT311$ のソース電位 V_s はカップリングが入る。これに対して、ノード $ND311$ を定電圧源 307 に接続する $TFT314$ をオンすると、低インピーダンスの配線ラインに接続されることになるため、 $TFT311$ のソース電位には配線ラインの電圧値が書き込まれる。

このとき、配線ラインの電位を V_o とすると、ドライブトランジスタとしての $TFT311$ のソース電位は V_o となるため、画素容量 C_s には入力信号の電圧 V_{in} に対して、 $(V_{in} - V_o)$ と等しい電位が保持される。

【0109】

その後、 EL 発光素子 315 の非発光期間において、図 18 (A) ~ (F) に示すように、ドライブスキャナ 306 により駆動線 $DSL301$, $DSL302$, ... への駆動信号 $ds[301]$, $ds[302]$, ... がローレベルに保持され、ライトスキャナ 306 により走査線 $WSL311$, $WSL312$, ... への走査信号 $ws[311]$, $ws[312]$, ... がハイレベルに保持されたまま、ライトスキャナ 304 より走査線 $WSL301$, $WSL302$, ... への走査信号 $ws[301]$, $ws[302]$, ... が選択的にローレベルに設定される。

10

20

30

40

50

その結果、画素回路301においては、図17(D)に示すように、TFT312がオフ状態となり、画素容量としてのキャパシタC311への入力信号の書き込みが終了する。このとき、TFT311のソース電位は低インピーダンスを維持している必要があるため、TFT314はオンしたままである。

【0110】

その後、図18(A)~(F)に示すように、ライトスキャナ304より走査線WSL301, WSL302, ...への駆動信号 $d_s[301]$, $d_s[302]$, ...がローレベルに保持されたまま、ライトスキャナ305より走査線WSL311, WSL312, ...への走査信号 $w_s[311]$, $w_s[312]$, ...がローレベルに設定された後、ドライブスキャナ306により駆動線DSL301, DSL302, ...への駆動信号 $d_s[301]$, $d_s[302]$, ...が選択的にハイレベルに設定される。

10

その結果、画素回路301において、図17(E)に示すように、TFT314がオフした後に、TFT313がオン状態となる。

TFT313がオンしたことに伴い、EL発光素子315に電流が流れ、TFT311のソース電位は降下する。このように、ドライブトランジスタとしてのTFT311のソース電位は変動するにもかかわらず、TFT311のゲートとEL発光素子315のアノード間には容量があるために、TFT311のゲート・ソース間電圧は、常に $(V_{in} - V_o)$ にて保たれている。

【0111】

このとき、ドライブトランジスタとしてのTFT311は飽和領域で駆動しているため、このTFT311に流れる電流値 I_{d_s} は前述した式1で示された値となり、それはドライブトランジスタのゲート・ソース電圧 V_{g_s} であり、 $(V_{in} - V_o)$ である。つまり、TFT311を流れる電流量は V_{in} によって決められるといえる。

20

【0112】

このように、信号書き込み期間中にTFT314をオンしてTFT311のソースを低インピーダンスにしておくことで、画素容量のTFT311のソース側を常に固定電位にしておくことができ、信号線書き込み時のカップリングによる画質劣化を考慮する必要が無く、短時間にて信号線電圧を書き込むことができる。また、画素容量を増加させ、リーク特性に対して対策することもできる。

【0113】

以上より、EL発光素子315は発光時間が長くなるに従い、そのI-V特性は劣化しても、本第4の実施形態の画素回路301では、ドライブトランジスタとしてのTFT311のゲート・ソース間電位が一定に保たれたままノードND311の電位は下降するので、TFT311に流れる電流は変化しない。

30

よって、EL発光素子315に流れる電流も変化せず、EL発光素子315のI-V特性が劣化しても、入力電圧 V_{in} に相当した電流が常に流れつづけ、従来問題は解決できる。

加えて、TFT311のゲート・ソース間には画素容量 C_s 以外のトランジスタ等は有していないために、従来方式のようにしきい値 V_{th} ばらつきによってドライブトランジスタとしてのTFT311のゲート・ソース間電圧 V_{g_s} が変化することは全くない。

40

【0114】

なお、TFT314につながれている配線の電位(定電圧源)に関して制約は無いが、図19に示すように、その電位をVCCと同じくすると、信号線の配線を削減することができる。これによって、パネル配線部、画素部のレイアウトが容易に行うことができる。また、パネル入力のパッドを削減することもできる。

一方、ドライブトランジスタとしてのTFT311のゲート・ソース間電圧 V_{g_s} は前述したように、 $V_{in} - V_o$ によって決定される。よって、たとえば図20に示すように、 V_o を接地電位GND等の低い電位に設定すると、入力信号電圧 V_{in} はGNDレベル近辺の低電位にて作成することができ、周辺ICの信号の昇圧処理などを必要としない。さらに、スイッチングトランジスタとしてのTFT313のオン電圧を低下させることもで

50

き、外部 IC に負担をかけないで設計することが可能となる。

【 0 1 1 5 】

また、図 1 6 において、発光素子 3 1 5 のカソード電極の電位を接地電位 G N D にしているが、これはどのような電位でも構わない。むしろ、負電源にした方が、V c c の電位を下げることができ、入力信号電圧の電位も下げることができる。これにより、外部 IC に負担をかけないで設計することが可能である。

【 0 1 1 6 】

また、図 2 1 に示すように、画素回路のトランジスタは n チャンネルではなく、p チャンネル T F T 3 2 1 ~ 3 2 4 で画素回路を構成しても構わない。この場合は E L 発光素子 3 2 4 のアノード側に電源が接続され、カソード側にドライブトランジスタとしての T F T 3 2 1 が接続される。

10

【 0 1 1 7 】

さらに、スイッチングトランジスタとしての T F T 3 1 2 , T F T 3 1 3 , T F T 3 1 4 はドライブトランジスタとしての T F T 3 1 1 と異なる極性のトランジスタでも構わない。

【 0 1 1 8 】

本第 4 の実施形態によれば、E L 発光素子の I - V 特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

n チャンネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、n チャンネルトランジスタを E L 発光素子の駆動素子として用いることができる。

20

また、n チャンネルのみで画素回路のトランジスタを構成することができ、T F T 作成において a - S i プロセスを用いることができるようになる。これにより、T F T 基板の低コスト化が可能となる。

さらに、第 4 の実施形態によれば、たとえば黒信号でも短時間にて信号線電圧を書き込むことができ、ユニフォーミティの高い画質を得ることができる。同時に信号線容量を増加させ、リーク特性を抑制することができる。

また、T F T 側の G N D 配線を削除することができ、周辺の配線レイアウトや画素レイアウトが容易になる。

また、T F T 側の G N D 配線を削除することができ、T F T 基板の G N D 配線 - V C C 配線のオーバーラップを取り除くことができ、歩留まりを向上することができる。

30

また、T F T 側の G N D 配線を削除することができ、T F T 基板の G N D 配線 - V C C 配線のオーバーラップをなくせることで、低抵抗で V C C 配線をレイアウトすることができ、高ユニフォーミティの画質を得ることができる。

さらにまた、入力信号電圧を G N D 近辺にすることができ、外部駆動システムへの負担を軽減することができる。

【 0 1 1 9 】

第 5 実施形態

図 2 2 は、本第 5 の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。

40

図 2 3 は、図 2 2 の有機 E L 表示装置において本第 5 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【 0 1 2 0 】

本第 5 の実施形態に係る表示装置 3 0 0 A が第 4 の実施形態に係る表示装置 3 0 0 と異なる点は、画素回路における画素容量 C s としてのキャパシタ C 3 1 1 の接続位置が異なる点にある。

具体的には、第 4 実施形態に係る画素回路 3 0 1 では、キャパシタ C 3 1 1 をドライブトランジスタとしての T F T 3 1 1 のゲートと E L 発光素子 3 1 5 のアノード側との間に接続している。

これに対して、本第 5 の実施形態に係る画素回路 3 0 1 A では、キャパシタ C 3 1 1 をド

50

ライプトランジスタとしてのTF T 3 1 1のゲートとソース間に接続している。具体的には、キャパシタC 3 1 1の第1電極がTF T 3 1 1のソースとスイッチングトランジスタとしてのTF T 3 1 3との接続点(ノードND 3 1 1 A)に接続され、第2電極がノードND 3 1 2に接続されている。

その他の構成は、上述した第4の実施形態と同様である。

【0121】

次に、上記構成の動作を、画素回路の動作を中心に、図24(A)~(E)および図25(A)~(H)に関連付けて説明する。

【0122】

まず、通常のEL発光素子315の発光状態時は、図25(A)~(F)に示すように、
 ライトスキャナ304より走査線WSL301, WSL302, ...への走査信号ws[301], ws[302], ...が選択的にローレベルに設定され、ライトスキャナ305よりWSL311, WSL312, ...への走査信号ws[311], ws[312], ...が選択的にローレベルに設定され、ドライブスキャナ306により駆動線DSL301, DSL302, ...への駆動信号ds[301], ds[302], ...が選択的にハイレベルに設定される。

10

その結果、画素回路301においては、図24(A)に示すように、TF T 3 1 2, 3 1 4がオフ状態に保持され、TF T 3 1 3がオン状態に保持される。

このとき、ドライブトランジスタとしてのTF T 3 1 1は飽和領域で駆動しているため、そのゲート・ソース間電圧Vgsに対して電流Idsが、TF T 3 1 1とEL発光素子315に流れる。

20

【0123】

次に、EL発光素子315の非発光期間において、図25(A)~(F)に示すように、
 ライトスキャナ304より走査線WSL301, WSL302, ...への走査信号ws[301], ws[302], ...が選択的にローレベルに保持され、ライトスキャナ305よりWSL311, WSL312, ...への走査信号ws[311], ws[312], ...が選択的にローレベルに保持され、ドライブスキャナ306により駆動線DSL301, DSL302, ...への駆動信号ds[301], ds[302], ...が選択的にローレベルに設定される。

その結果、画素回路301においては、図24(B)に示すように、TF T 3 1 2, TF T 3 1 4はオフ状態に保持されたままで、TF T 3 1 3がオフする。このとき、EL発光素子315に保持されていた電位は、供給源が無くなるために降下し、EL発光素子315は非発光になる。この電位はEL発光素子315のしきい電圧Vthまで降下する。しかし、EL発光素子315にもオフ電流が流れるために、さらに非発光期間が続くとその電位はGNDまで降下する。

30

一方、EL発光素子315のアノード側の電圧降下に伴い、ドライブトランジスタとしてのTF T 3 1 1のゲート電位にもキャパシタC 3 1 1を介して低下する。これと並行して、TF T 3 1 1には電流が流れ、そのソース電位は上昇する。

これにより、TF T 3 1 1はカットオフ状態になり、TF T 3 1 1に電流は流れない。

つまり、以上より本第5の実施形態の画素回路301Aでは、非発光期間に画素回路内に電流を流さないで動作させることができ、パネルの消費電力を抑制することができる。

40

【0124】

次に、EL発光素子315の非発光期間において、図25(A)~(F)に示すように、
 ドライブスキャナ306により駆動線DSL301, DSL302, ...への駆動信号ds[301], ds[302], ...がローレベルに保持されたまま、ライトスキャナ304より走査線WSL301, WSL302, ...への走査信号ws[301], ws[302], ...が選択的にハイレベルに設定され、ライトスキャナ305よりWSL311, WSL312, ...への走査信号ws[311], ws[312], ...が選択的にハイレベルに設定される。

その結果、画素回路A 3 0 1においては、図24(C)に示すように、TF T 3 1 3が

50

オフ状態に保持されたままで、 $TFT312$ 、 $TFT314$ がオンする。これにより、水平セクタ303によりデータ線 $DTL301$ に伝搬された入力信号(V_{in})が画素容量 C_s としてのキャパシタ $C311$ に書き込まれる。

この信号線電圧を書き込むときに $TFT314$ をオンしておくことが重要である。 $TFT314$ がない場合には、 $TFT312$ がオンして映像信号が画素容量 C_s に書き込まれると、 $TFT311$ のソース電位 V_s はカップリングが入る。これに対して、ノード $ND311$ を定電圧源307に接続する $TFT314$ をオンすると、低インピーダンスの配線ラインに接続されることになるため、 $TFT311$ のソース電位には配線ラインの電圧値が書き込まれる。

このとき、配線ラインの電位を V_o とすると、ドライブトランジスタとしての $TFT311$ のソース電位は V_o となるため、画素容量 C_s には入力信号の電圧 V_{in} に対して、 $(V_{in} - V_o)$ と等しい電位が保持される。

【0125】

その後、 EL 発光素子315の非発光期間において、図25(A)~(F)に示すように、ドライブスキャナ306により駆動線 $DSL301$ 、 $DSL302$ 、 \dots への駆動信号 $d_s[301]$ 、 $d_s[302]$ 、 \dots がローレベルに保持され、ライトスキャナ305により走査線 $WSL311$ 、 $WSL312$ 、 \dots への走査信号 $w_s[311]$ 、 $w_s[312]$ 、 \dots がハイレベルに保持されたまま、ライトスキャナ304より走査線 $WSL301$ 、 $WSL302$ 、 \dots への走査信号 $w_s[301]$ 、 $w_s[302]$ 、 \dots が選択的にローレベルに設定される。

その結果、画素回路301Aにおいては、図24(D)に示すように、 $TFT312$ がオフ状態となり、画素容量としてのキャパシタ $C311$ への入力信号の書き込みが終了する。

このとき、 $TFT311$ のソース電位は低インピーダンスを維持している必要があるため、 $TFT314$ はオンしたままである。

【0126】

その後、図25(A)~(F)に示すように、ライトスキャナ304より走査線 $WSL301$ 、 $WSL302$ 、 \dots への走査信号 $w_s[301]$ 、 $w_s[302]$ 、 \dots がローレベルに保持されたまま、ライトスキャナ305より走査線 $WSL311$ 、 $WSL312$ 、 \dots への走査信号 $w_s[311]$ 、 $w_s[312]$ 、 \dots がローレベルに設定された後、ドライブスキャナ306により駆動線 $DSL301$ 、 $DSL302$ 、 \dots への駆動信号 $d_s[301]$ 、 $d_s[302]$ 、 \dots が選択的にハイレベルに設定される。

その結果、画素回路301において、図24(E)に示すように、 $TFT314$ がオフした後に、 $TFT313$ がオン状態となる。

$TFT313$ がオンしたことに伴い、 EL 発光素子315に電流が流れ、 $TFT311$ のソース電位は降下する。このように、ドライブトランジスタとしての $TFT311$ のソース電位は変動するにもかかわらず、 $TFT311$ のゲートと EL 発光素子315のアノード間には容量があり、 $TFT311$ のゲートと EL 発光素子315のアノード間電圧は、常に $(V_{in} - V_{CC})$ にて保たれている。

【0127】

ここで、 $TFT313$ は非飽和領域にて動作しているため、単純な抵抗値とみなされる。よって、 $TFT311$ のゲート・ソース電圧は $(V_{in} - V_o)$ から $TFT313$ による電圧降下の値を引いたものとなる。つまり、 $TFT311$ を流れる電流量は V_{in} によって決められるといえる。

【0128】

このように、信号書き込み期間中に $TFT314$ をオンして $TFT311$ のソースを低インピーダンスにしておくことで、画素容量の $TFT311$ のソース側を常に固定電位にしておくことができ、信号線書き込み時のカップリングによる画質劣化を考慮する必要が無く、短時間にて信号線電圧を書き込むことができる。また、画素容量を増加させ、リーク特性に対して対策することもできる。

10

20

30

40

50

【0129】

このとき、ドライブトランジスタとしてのTFT311は飽和領域で駆動しているので、このTFT311に流れる電流値 I_{ds} は前述した式1で示された値となり、それはドライブトランジスタのゲート・ソース電圧 V_{gs} であり、 $(V_{in} - V_{CC})$ である。つまり、TFT311を流れる電流量は V_{in} によって決められるといえる。

【0130】

以上より、EL発光素子315は発光時間が長くなるに従い、そのI-V特性は劣化しても、本第4の実施形態の画素回路301では、ドライブトランジスタとしてのTFT311のゲート・ソース間電位が一定に保たれたままノードND211の電位は下降するので、TFT311に流れる電流は変化しない。

よって、EL発光素子315に流れる電流も変化せず、EL発光素子315のI-V特性が劣化しても、入力電圧 V_{in} に相当した電流が常に流れつづけ、従来の問題は解決できる。

【0131】

なお、TFT314につながれている配線の電位(定電圧源)に関して制約は無いが、図26に示すように、その電位を V_{CC} と同じくすると、信号線の配線を削減することができる。これによって、パネル配線部、画素部のレイアウトが容易に行うことができる。また、パネル入力のパッドを削減することもできる。

一方、ドライブトランジスタとしてのTFT311のゲート・ソース間電圧 V_{gs} は前述したように、 $V_{in} - V_o$ によって決定される。よって、たとえば図27に示すように、 V_o を接地電位GND等の低い電位に設定すると、入力信号電圧 V_{in} はGNDレベル近辺の低電位にて作成することができ、周辺ICの信号の昇圧処理などを必要としない。さらに、スイッチングトランジスタとしてのTFT313のオン電圧を低下させることもでき、外部ICに負担をかけないで設計することが可能となる。

【0132】

また、図23において、発光素子315のカソード電極の電位を接地電位GNDにしているが、これはどのような電位でも構わない。むしろ、負電源にした方が、 V_{CC} の電位を下げることができ、入力信号電圧の電位も下げることができる。これにより、外部ICに負担をかけないで設計することが可能である。

【0133】

また、図28に示すように、画素回路のトランジスタはnチャンネルではなく、pチャンネルTFT321~324で画素回路を構成しても構わない。この場合はEL発光素子334のアノード側に電源が接続され、カソード側にドライブトランジスタとしてのTFT331が接続される。

【0134】

さらに、スイッチングトランジスタとしてのTFT312, TFT313, TFT314はドライブトランジスタとしてのTFT311と異なる極性のトランジスタでも構わない。

【0135】

本第5の実施形態によれば、EL発光素子のI-V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

nチャンネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャンネルトランジスタをEL発光素子の駆動素子として用いることができる。

また、nチャンネルのみで画素回路のトランジスタを構成することができ、TFT作成においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

さらに、第4の実施形態によれば、たとえば黒信号でも短時間にて信号線電圧を書き込むことができ、ユニフォーマリティの高い画質を得ることができる。同時に信号線容量を増加させ、リーク特性を抑制することができる。

10

20

30

40

50

また、TFT側のGND配線を削除することができ、周辺の配線レイアウトや画素レイアウトが容易になる。

また、TFT側のGND配線を削除することができ、TFT基板のGND配線 - VCC配線のオーバーラップを取り除くことができ、歩留まりを向上することができる。

また、TFT側のGND配線を削除することができ、TFT基板のGND配線 - VCC配線のオーバーラップをなくせることで、低抵抗でVCC配線をレイアウトすることができ、高ユニフォーム性の画質を得ることができる。

さらにまた、入力信号電圧をGND近辺にすることができ、外部駆動システムへの負担を軽減することができる。

【0136】

第6実施形態

図29は、本第6の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図30は、図29の有機EL表示装置において本第6の実施形態に係る画素回路の具体的な構成を示す回路図である。

【0137】

この表示装置400は、図29および図30に示すように、画素回路(PXLC)401が $m \times n$ のマトリクス状に配列された画素アレイ部402、水平セレクタ(HSEL)403、ライトスキャナ(WSCN)404、第1のドライブスキャナ(DSCN1)405、第2のドライブスキャナ(DSCN2)406、第3のドライブスキャナ(DSCN3)407、水平セレクタ403により選択され輝度情報に応じたデータ信号が供給されるデータ線DTL401~DTL40n、ライトスキャナ404により選択駆動される走査線WSL401~WSL40m、第1のライトスキャナ405により選択駆動される駆動線DSL401~DSL40m、第2のライトスキャナ406により選択駆動される駆動線DSL411~DSL41m、および第3のライトスキャナ407により選択駆動される駆動線DSL421~DSL42mを有する。

【0138】

なお、画素アレイ部402において、画素回路401は $m \times n$ のマトリクス状に配列されるが、図29においては図面の簡単化のために $2 (= m) \times 3 (= n)$ のマトリクス状に配列した例を示している。

また、図30においても、図面の簡単化のために一つの画素回路の具体的な構成を示している。

【0139】

本第6の実施形態に係る画素回路301は、図40に示すように、 n チャンネルTFT411~TFT415、キャパシタC411、有機EL素子(OLED:電気光学素子)からなる発光素子416、およびノードND411, ND412を有する。

また、図23において、DTL401はデータ線を、WSL401は走査線を、DSL401, DSL411, DSL421は駆動線をそれぞれ示している。

これらの構成要素のうち、TFT411が本発明に係る電界効果トランジスタを構成し、TFT412が第1のスイッチを構成し、TFT413が第2のスイッチを構成し、TFT414が第3のスイッチを構成し、TFT415が第4のスイッチを構成し、キャパシタC411が本発明に係る画素容量素子を構成している。

また、走査線WSL401が本発明に係る第1の制御線に対応し、駆動線DSL401が第2の制御線に対応し、駆動線WSL411が第3の制御線に対応し、駆動線WSL421が第4の制御線に対応する。

【0140】

また、電源電圧VCCの供給ライン(電源電位)が第1の基準電位に相当し、接地電位GNDが第2の基準電位に相当している。

【0141】

画素回路301において、TFT311のソースとノードND411との間に、TFT

10

20

30

40

50

4 1 4 のソース・ドレインがそれぞれ接続され、ノードND 4 1 1 と発光素子 3 1 5 のアノードとの間に、T F T 4 1 3 のソース・ドレインがそれぞれ接続され、T F T 4 1 1 のドレインが電源電位 VCC に接続され、発光素子 4 1 5 のカソードが接地電位 GND に接続されている。すなわち、電源電位 VCC と接地電位 GND との間に、ドライブトランジスタとしての T F T 4 1 1 、スイッチングトランジスタとしての T F T 4 1 4 , T F T 4 1 3 、および発光素子 4 1 6 が直列に接続されている。

T F 4 1 1 のゲートがノードND 4 1 2 に接続されている。そして、ノードND 4 1 1 とND 4 1 2 との間、すなわち、T F T 4 1 1 のゲートとソース側との間に、画素容量 C s としてのキャパシタ C 4 1 1 が接続されている。キャパシタ C 4 1 1 の第 1 電極がノードND 4 1 1 に接続され、第 2 電極がノードND 4 1 2 に接続されている。

10

T F T 4 1 3 のゲートが駆動線 D S L 4 0 1 に接続され、T F T 4 1 4 のゲートが駆動線 D S L 4 1 1 に接続されている。また、データ線 D T L 4 0 1 とノードND 4 1 1 (キャパシタ C 4 1 1 の第 1 電極との接続点) との間に第 1 のスイッチとしての T F T 4 1 2 のソース・ドレインがそれぞれ接続されている。そして、T F T 4 1 2 のゲートが走査線 W S L 4 0 1 に接続されている。

さらに、ノードND 4 1 1 と電源電位 VCC との間に T F T 4 1 5 のソース・ドレインがそれぞれ接続され、T F T 4 1 5 のゲートが駆動線 D S L 4 2 1 に接続されている。

【 0 1 4 2 】

このように、本実施形態に係る画素回路 4 0 1 は、ドライブトランジスタとしての T F T 4 1 1 のソースと発光素子 4 1 6 のアノードとがスイッチングトランジスタとしての T F T 4 1 4 , T F T 4 1 3 により接続され、T F T 4 1 1 のゲートとソース側ノードND 4 1 1 間にキャパシタ C 4 1 1 が接続され、かつ、T F T 3 1 1 のゲート (ノードND 4 1 2) が T F T 4 1 5 を介して電源電位 VCC (固定電圧ライン) に接続されて構成されている。

20

【 0 1 4 3 】

次に、上記構成の動作を、画素回路の動作を中心に、図 3 1 (A) ~ (F) 、図 3 2 、および図 3 3 (A) ~ (H) に関連付けて説明する。

図 3 3 (A) は画素配列の第 1 行目の走査線 W S L 4 0 1 に印加される走査信号 w s [401] を、図 3 3 (B) は画素配列の第 2 行目の走査線 W S L 4 0 2 に印加される走査信号 w s [402] を、図 3 3 (C) は画素配列の第 1 行目の駆動線 W S L 4 0 1 , W S L 4 1 1 に印加される駆動信号 d s [401] , d s [411] を、図 3 3 (D) は画素配列の第 2 行目の駆動線 W S L 4 0 2 , W S L 4 1 2 に印加される駆動信号 d s [402] , d s [412] を、図 3 3 (E) は画素配列の第 1 行目の駆動線 D S L 4 2 1 に印加される駆動信号 d s [421] を、図 3 3 (F) は画素配列の第 2 行目の駆動線 D S L 4 2 1 に印加される駆動信号 d s [422] を、図 3 3 (G) は T F T 4 1 1 のゲート電位 V g 、すなわちノードND 4 1 2 の電位 VND412 を、図 3 3 (H) は T F T 4 1 1 のアノード側電位、すなわちノードND 4 1 1 の電位 VND411 をそれぞれ示している。

30

なお、T F T 4 1 3 と T F T 4 1 4 とはどちらが先にオン、またはオフしても問題がないことから、図 3 3 (C) , (D) に示すように駆動線 W S L 4 0 1 と W S L 4 1 1 、並びに、駆動線 W S L 4 0 2 , W S L 4 1 2 に印加される駆動信号 d s [401] と d s [411] 、駆動信号 d s [402] と d s [412] を同タイミングとしている。

40

【 0 1 4 4 】

まず、通常の E L 発光素子 4 1 6 の発光状態時は、図 3 3 (A) ~ (F) に示すように、ライトスキャナ 4 0 4 より走査線 W S L 4 0 1 , W S L 4 0 2 , … への走査信号 w s [401] , w s [402] , … が選択的にローレベルに設定され、ドライブスキャナ 4 0 5 により駆動線 D S L 4 0 1 , D S L 4 0 2 , … への駆動信号 d s [401] , d s [402] , … が選択的にハイレベルに設定され、ドライブスキャナ 4 0 6 により駆動線 D S L 4 1 1 , D S L 4 1 2 , … への駆動信号 d s [411] , d s [412] , … が選択的にハイレベルに設定され、ドライブスキャナ 4 0 7 により駆動線 D S L 4 2 1 , D S L 4 2 2 , … への駆動信号 d s [421] , d s [422] , … が選択的にローレベルに設定される。

50

その結果、画素回路401においては、図31(A)に示すように、TF T 4 1 4とTF T 4 1 3がオンした状態に保持され、TF T 4 1 2とTF T 4 1 5がオフした状態に保持される。

【0145】

まず、通常のEL発光素子416の非発光状態時は、図33(A)~(F)に示すように、ライトスキャナ404により走査線WS L 4 0 1, WS L 4 0 2, ...への走査信号ws [401], ws [402], ...がローレベルに保持され、ドライブスキャナ407により駆動線DSL 4 2 1, DSL 4 2 2, ...への駆動信号ds [421], ds [422], ...がローレベルに保持され、ドライブスキャナ405により駆動線DSL 4 0 1, DSL 4 0 2, ...への駆動信号ds [401], ds [402], ...が選択的にローレベルに設定され、ドライブスキャナ406により駆動線DSL 4 1 1, DSL 4 1 2, ...への駆動信号ds [411], ds [412], ...が選択的にローレベルに設定される。

10

その結果、画素回路301においては、図31(B)に示すように、TF T 4 1 2, TF T 4 1 5がオフ状態に保持されたままで、TF T 4 1 3, 4 1 4がオフする。

このとき、EL発光素子416に保持されていた電位は、供給源が無くなるために降下し、EL発光素子416は非発光になる。この電位はEL発光素子416のしきい電圧V_{th}まで降下する。しかし、EL発光素子416にもオフ電流が流れるために、さらに非発光期間が続くとその電位はGNDまで降下する。

一方、ドライブトランジスタとしてのTF T 3 1 1は、ゲート電位が高いためにオン状態に保持され、TF T 4 1 1のソース電位は電源電圧V_{cc}まで昇圧する。この昇圧は短時間にて行われ、V_{cc}昇圧後はTF T 4 1 1には電流は流れなくなる。

20

つまり、以上より本第6の実施形態の画素回路401では、非発光期間に画素回路内に電流を流さないで動作させることができ、パネルの消費電力を抑制することができる。

【0146】

この状態で次に、図33(A)~(F)に示すように、ドライブスキャナ405により駆動線DSL 4 0 1, DSL 4 0 2, ...への駆動信号ds [401], ds [402], ...がローレベルに保持され、ドライブスキャナ406により駆動線DSL 4 1 1, DSL 4 1 2, ...への駆動信号ds [411], ds [412], ...がローレベルに保持された状態で、ドライブスキャナ407により駆動線DSL 4 2 1, DSL 4 2 2, ...への駆動信号ds [421], ds [422], ...が選択的にハイレベルに設定され、ライトスキャナ404より走査線WS L 4 0 1, WS L 4 0 2, ...への走査信号ws [401], ws [402], ...が選択的にハイレベルに設定される。

30

その結果、画素回路401においては、図31(C)に示すように、TF T 4 1 3, 4 1 4がオフ状態に保持されたままで、TF T 4 1 2, TF T 3 5 4がオンする。これにより、水平セクタ303によりデータ線DT L 5 0 1に伝搬された入力信号が画素容量C_sとしてのキャパシタC 4 1 1に書き込まれる。

このとき、画素容量C_sとしてのキャパシタC 4 1 1には、電源電圧V_{CC}と入力電圧V_{in}との差(V_{CC} - V_{in})と等しい電位が保持される。

【0147】

その後、EL発光素子416の非発光期間において、図33(A)~(F)に示すように、ドライブスキャナ405により駆動線DSL 4 0 1, DSL 4 0 2, ...への駆動信号ds [401], ds [402], ...がローレベルに保持され、ドライブスキャナ406により駆動線DSL 4 1 1, DSL 4 1 2, ...への駆動信号ds [411], ds [412], ...がローレベルに保持された状態で、ドライブスキャナ407により駆動線DSL 4 2 1, DSL 4 2 2, ...への駆動信号ds [421], ds [422], ...が選択的にローレベルに設定され、ライトスキャナ404より走査線WS L 4 0 1, WS L 4 0 2, ...への走査信号ws [401], ws [402], ...が選択的にローレベルに設定される。

40

その結果、画素回路401においては、図31(D)に示すように、TF T 4 1 5, 4 1 2がオフ状態となり、画素容量としてのキャパシタC 4 1 1への入力信号の書き込みが終了する。

50

このとき、キャパシタC 4 1 1には容量端の電位にかかわらず電源電圧VCCと入力電圧V_{in}との差($V_{CC} - V_{in}$)と等しい電位が保持されている。

【0148】

その後、図33(A)~(F)に示すように、ドライブスキャナ405により駆動線DSL401, DSL402, ...への駆動信号d s [401], d s [402], ...がローレベルに保持され、ドライブスキャナ407により駆動線DSL421, DSL422, ...への駆動信号d s [421], d s [422], ...がローレベルに保持され、ライトスキャナ404より走査線WSL401, WSL402, ...への走査信号w s [401], w s [402], ...がローレベルに保持された状態で、ドライブスキャナ406により駆動線DSL411, DSL412, ...への駆動信号d s [411], d s [412], ...が選択的にハイレベルに設定される。

10

その結果、画素回路401においては、図31(E)に示すように、T414がオンする。TF T 4 1 4をオンすることで、ドライブトランジスタT411のゲート・ソース間電位は画素容量としてのキャパシタC 4 1 1に充電されていた電位差($V_{CC} - V_{in}$)となる。そして、図33(H)に示すように、TF T 4 1 1のソース電位の値にかかわらず、この電位差を保持したまま、ドライブトランジスタT411のソース電位はV_{CC}まで上昇してゆく。

【0149】

そして、図33(A)~(F)に示すように、ドライブスキャナ407により駆動線DSL421, DSL422, ...への駆動信号d s [421], d s [422], ...がローレベルに保持され、ライトスキャナ404より走査線WSL401, WSL402, ...への走査信号w s [401], w s [402], ...がローレベルに保持され、ドライブスキャナ406により駆動線DSL411, DSL412, ...への駆動信号d s [411], d s [412], ...がハイレベルに保持された状態で、ドライブスキャナ405により駆動線DSL401, DSL402, ...への駆動信号d s [401], d s [402], ...が選択的にハイレベルに保持される。

20

その結果、画素回路401において、図33(F)に示すように、TF T 4 1 3がオン状態となる。

TF T 4 1 3がオンしたことに伴い、TF T 4 1 1のソース電位は降下する。このように、ドライブトランジスタとしてのTF T 3 1 1のソース電位は変動するにもかかわらず、TF T 4 1 1のゲートとEL発光素子416のアノード間には容量があるために、TF T 4 1 1のゲート・ソース間電圧は、常に($V_{CC} - V_{in}$)にて保たれている。

30

【0150】

このとき、ドライブトランジスタとしてのTF T 4 1 1は飽和領域で駆動しているため、このTF T 4 1 1に流れる電流値I_{ds}は前述した式1で示された値となり、それはドライブトランジスタTF T 4 1 1のゲート・ソース電圧V_{gs}によって決定される。この電流はEL発光素子416にも流れ、EL発光素子416は電流値に比例した輝度で発光する。

【0151】

EL発光素子の等価回路は図32に示されるようにトランジスタで記述することができるため、図32中、ノードND411の電位は発光素子416に電流I_{ds}が流れるゲート電位まで上昇して止まる。この電位の変化に伴いノードND412の電位も変化する。最終的なノードND411の電位をV_xとすると、ノードND412の電位は($V_x + V_{CC} - V_{in}$)と記述され、ドライブトランジスタであるTF T 4 1 1のゲート・ソース間電位は($V_x + V_{CC}$)に保たれる。

40

【0152】

以上より、EL発光素子416は発光時間が長くなるに従い、そのI-V特性は劣化しても、本第6の実施形態の画素回路401では、ドライブトランジスタとしてのTF T 4 1 1のゲート・ソース間電位が一定に保たれたままノードND411の電位は下降するので、TF T 3 4 1に流れる電流は変化しない。

50

よって、E L 発光素子 4 1 6 に流れる電流も変化せず、E L 発光素子 4 1 6 の I - V 特性が劣化しても、ゲート - ソース間電位 (V c c - V i n) に相当する電流が常に流れつづけ、E L の経時劣化に対する従来の問題は解決できる。

また、本発明の回路では画素内に固定電位は電源である V c c しかないため、太く配線せざるを得なかった G N D ラインを必要としない。これにより画素面積を小さくすることができる。さらに、非発光期間においては T F T 4 1 3 , 4 1 4 はオフしており、回路に電流は流れない。すなわち、非発光時間に回路に電流を流さないことで消費電力の低減も図ることができる。

【 0 1 5 3 】

以上説明したように、本第 6 の実施形態によれば、E L 発光素子の I - V 特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

n チャンネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、n チャンネルトランジスタを発光素子の駆動素子として用いることができる。

また、n チャンネルのみで画素回路のトランジスタを構成することができ、T F T 作成において a - S i プロセスを用いることができるようになる。これにより、T F T 基板の低コスト化が可能となる。

また、本発明では固定電位に画素電源を使用することができるため、画素面積を小さくすることができる、パネルの高精細化が期待できる。

さらにまた、E L 発光素子の非発光時間に回路に電流を流さないことで消費電力の低減が可能となる。

【 0 1 5 4 】

【 発明の効果 】

以上説明したように、本発明によれば、E L 発光素子の I - V 特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

n チャンネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、n チャンネルトランジスタを発光素子の駆動素子として用いることができる。

また、n チャンネルのみで画素回路のトランジスタを構成することができ、T F T 作成において a - S i プロセスを用いることができるようになる。これにより、T F T 基板の低コスト化が可能となる。

さらに、たとえば黒信号でも短時間にて信号線電圧を書き込むことができ、ユニフォーミティの高い画質を得ることができる。同時に信号線容量を増加させ、リーク特性を抑制することができる。

また、T F T 側の G N D 配線を削除することができ、周辺の配線レイアウトや画素レイアウトが容易になる。

また、T F T 側の G N D 配線を削除することができ、T F T 基板の G N D 配線 - V C C 配線のオーバーラップを取り除くことができ、歩留まりを向上することができる。

また、T F T 側の G N D 配線を削除することができ、T F T 基板の G N D 配線 - V C C 配線のオーバーラップをなくせることで、低抵抗で V C C 配線をレイアウトすることができ、高ユニフォーミティの画質を得ることができる。

また、本発明では固定電位に画素電源を使用することができるため、画素面積を小さくすることができる、パネルの高精細化が期待できる。

さらにまた、E L 発光素子の非発光時間に回路に電流を流さないことで消費電力の低減が可能となる。

さらにまた、入力信号電圧を G N D 近辺にすることができ、外部駆動システムへの負担を軽減することができる。

【 図面の簡単な説明 】

【 図 1 】 第 1 の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。

10

20

30

40

50

【図 2】 図 1 の有機 E L 表示装置において第 1 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 3】 図 2 の回路の動作を説明するための等価回路を示す図である。

【図 4】 図 2 の回路の動作を説明するためのタイミングチャートである。

【図 5】 第 2 の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。

【図 6】 図 5 の有機 E L 表示装置において第 2 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 7】 図 6 の回路の動作を説明するための等価回路を示す図である。

【図 8】 図 6 の回路の動作を説明するためのタイミングチャートである。

10

【図 9】 第 2 の実施形態に係る画素回路の他の構成例を示す回路図である。

【図 10】 第 3 の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。

【図 11】 図 10 の有機 E L 表示装置において第 3 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 12】 図 11 の回路の動作を説明するための等価回路を示す図である。

【図 13】 図 11 の回路の動作を説明するためのタイミングチャートである。

【図 14】 第 3 の実施形態に係る画素回路の他の構成例を示す回路図である。

【図 15】 第 4 の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。

20

【図 16】 図 15 の有機 E L 表示装置において第 4 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 17】 図 16 の回路の動作を説明するための等価回路を示す図である。

【図 18】 図 16 の回路の動作を説明するためのタイミングチャートである。

【図 19】 固定電圧ラインを電源電位 VCC とした画素回路を示す回路図である。

【図 20】 固定電圧ラインを接地電位 GND とした画素回路を示す回路図である。

【図 21】 第 4 の実施形態に係る画素回路の他の構成例を示す回路図である。

【図 22】 第 5 の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。

【図 23】 図 22 の有機 E L 表示装置において第 5 の実施形態に係る画素回路の具体的な構成を示す回路図である。

30

【図 24】 図 23 の回路の動作を説明するための等価回路を示す図である。

【図 25】 図 23 の回路の動作を説明するためのタイミングチャートである。

【図 26】 固定電圧ラインを電源電位 VCC とした画素回路を示す回路図である。

【図 27】 固定電圧ラインを接地電位 GND とした画素回路を示す回路図である。

【図 28】 第 5 の実施形態に係る画素回路の他の構成例を示す回路図である。

【図 29】 第 6 の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。

【図 30】 図 29 の有機 E L 表示装置において第 5 の実施形態に係る画素回路の具体的な構成を示す回路図である。

40

【図 31】 図 30 の回路の動作を説明するための等価回路を示す図である。

【図 32】 図 30 の回路の動作を説明するための等価回路を示す図である。

【図 33】 図 30 の回路の動作を説明するためのタイミングチャートである。

【図 34】 一般的な有機 E L 表示装置の構成を示すブロック図である。

【図 35】 図 34 の画素回路の一構成例を示す回路図である。

【図 36】 有機 E L 素子の電流 - 電圧 (I - V) 特性の経時変化を示す図である。

【図 37】 図 35 の回路の p チャンネル T F T を n チャンネル T F T に置き換えた画素回路を示す回路図である。

【図 38】 初期状態におけるドライブトランジスタとしての T F T と E L 素子の動作点を示す図である。

50

【図39】 経時変化後のドライブトランジスタとしてのTFTとEL素子の動作点を示す図である。

【図40】 ドライブトランジスタとしてのnチャンネルTFTのソースを接地電位に接続した画素回路を示す回路図である。

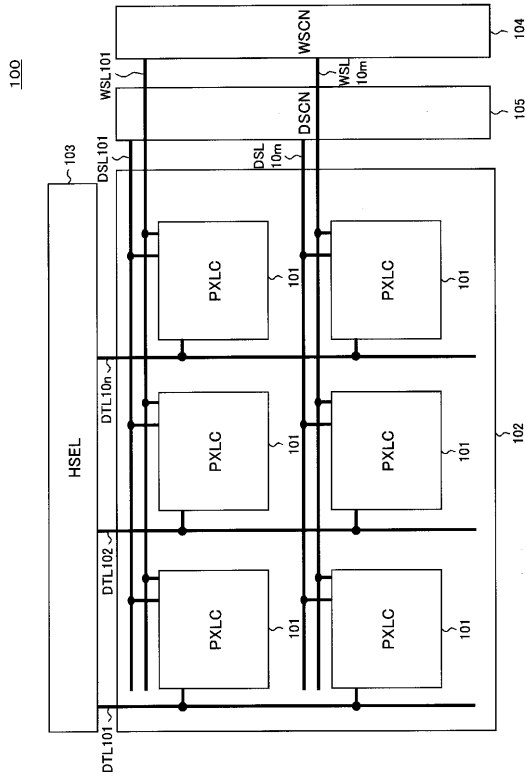
【符号の説明】

100...表示装置、101...画素回路(PXLC)、102...画素アレイ部、103...水平セレクタ(HSEL)、104...ライトスキャナ(WSCN)、105...ドライブスキャナ(DSCN)、DTL101~DTL10n...データ線、WSL101~WSL10m...走査線、DSL101~DSL10m...駆動線、111~113...TFT、114...発光素子、ND111, ND112...ノード、200, 200A...表示装置、201, 201A...画素回路(PXLC)、202, 202A...画素アレイ部、203...水平セレクタ(HSEL)、204...ライトスキャナ(WSCN)、205...ドライブスキャナ(DSCN)、DTL201~DTL20n...データ線、WSL201~WSL20m...走査線、DSL201~DSL20m...駆動線、211~213...TFT、214...発光素子、ND211, ND211A, ND212...ノード、300, 300A...表示装置、301, 301A...画素回路(PXLC)、302, 302A...画素アレイ部、303...水平セレクタ(HSEL)、304, 305...ライトスキャナ(WSCN)、306...ドライブスキャナ(DSCN)、307...定電圧源(CVS)、DTL301~DTL30n...データ線、WSL301~WSL30m, WSL311~WSL31m...走査線、DSL301~DSL30m...駆動線、311~314...TFT、315...発光素子、ND311, ND311A, ND312...ノード、400...表示装置、401...画素回路(PXLC)、402...画素アレイ部、403...水平セレクタ(HSEL)、404...ライトスキャナ(WSCN)、405~407...ドライブスキャナ(DSCN)、DTL401~DTL40n...データ線、WSL401~WSL40m, DSL301~DSL30m, DSL411~DSL41m, DSL421~DSL42m...駆動線、411~415...TFT、416...発光素子、ND411, ND412...ノード。

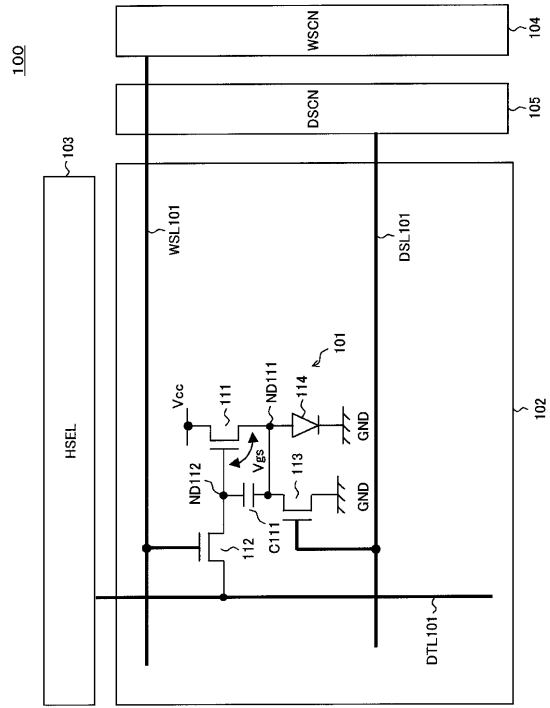
10

20

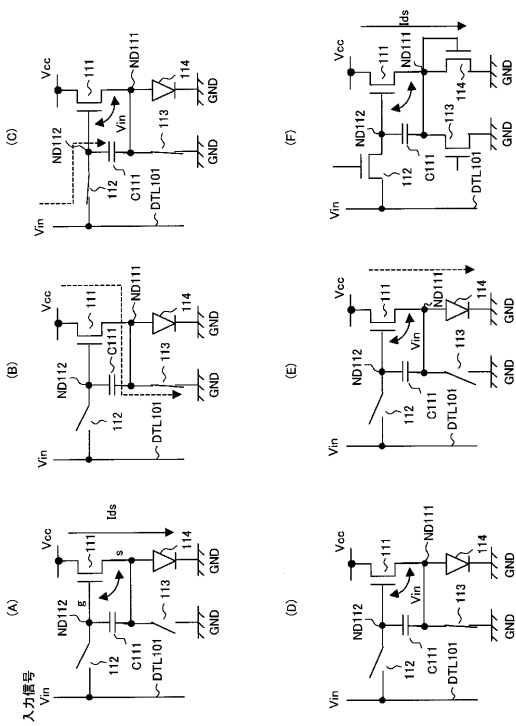
【図1】



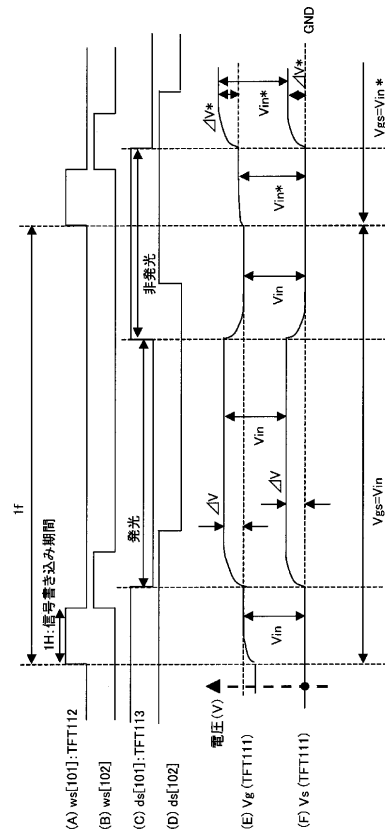
【図2】



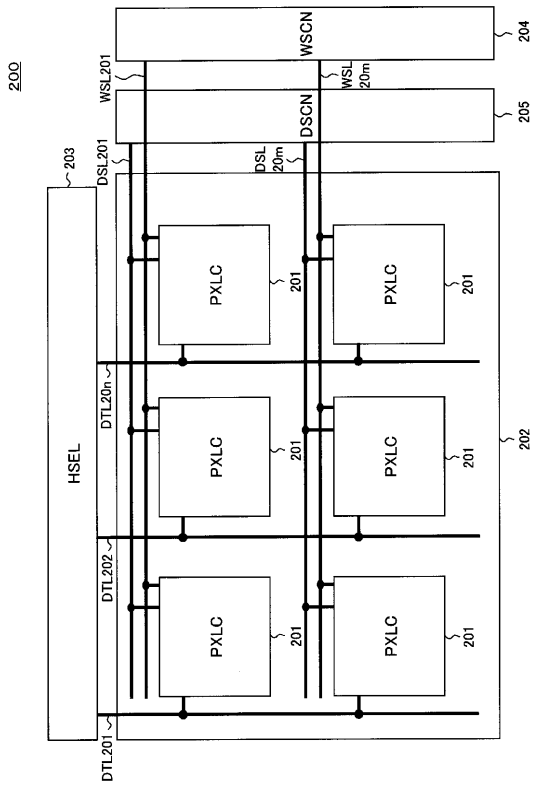
【図3】



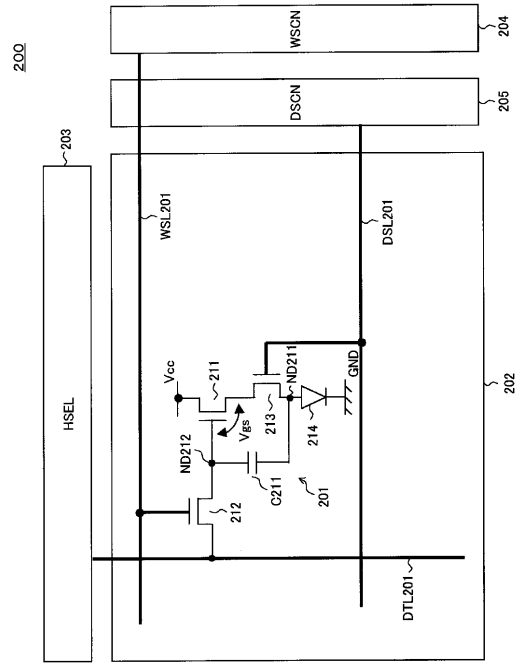
【図4】



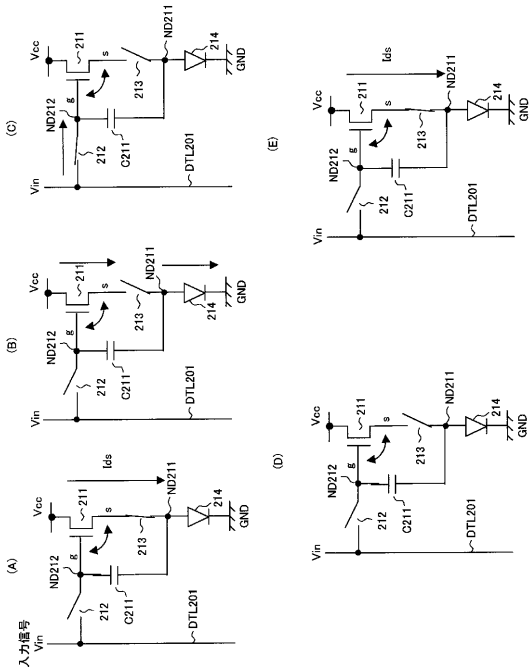
【図5】



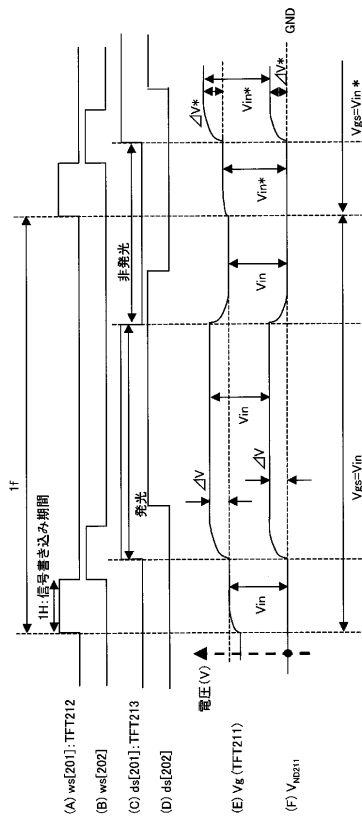
【図6】



【図7】

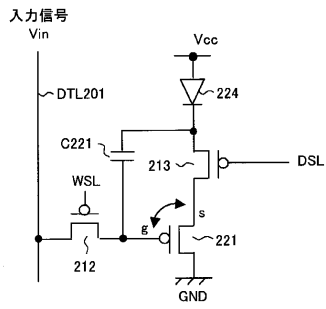


【図8】

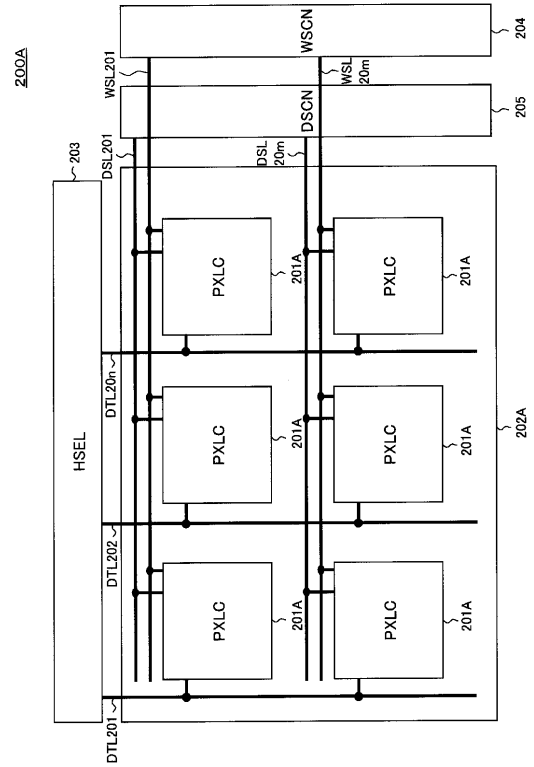


(A) wsf[201]: TFT212
 (B) wsf[202]
 (C) dsf[201]: TFT213
 (D) dsf[202]
 (E) Vg (TFT211)
 (F) Vgs211

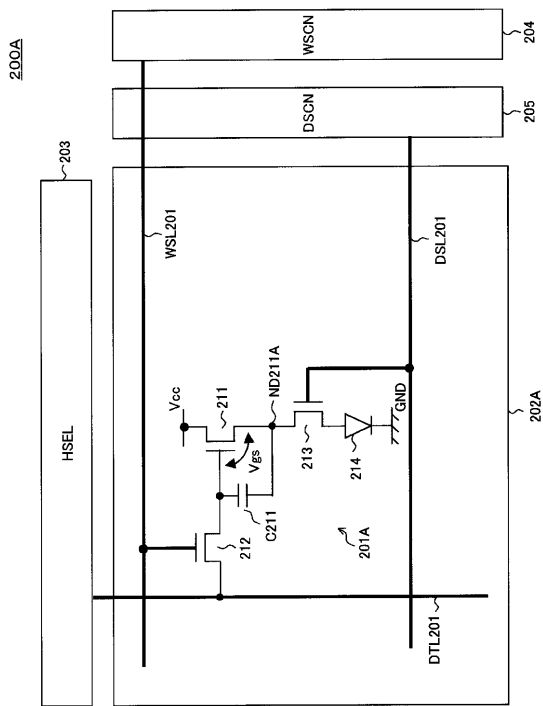
【図 9】



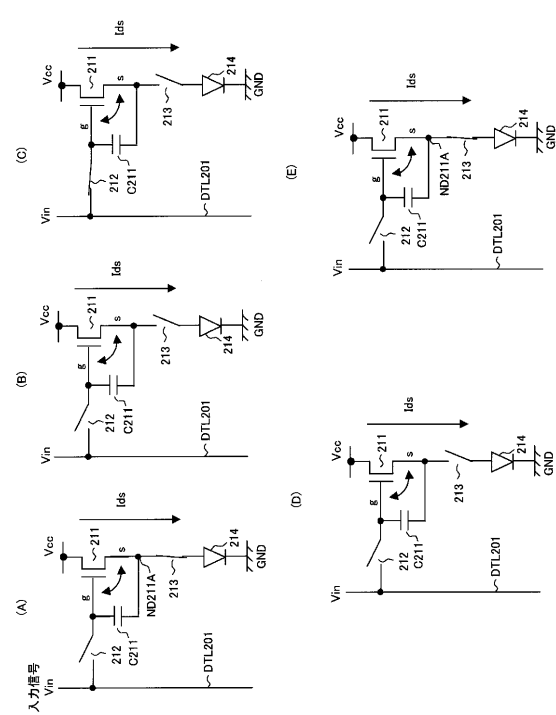
【図 10】



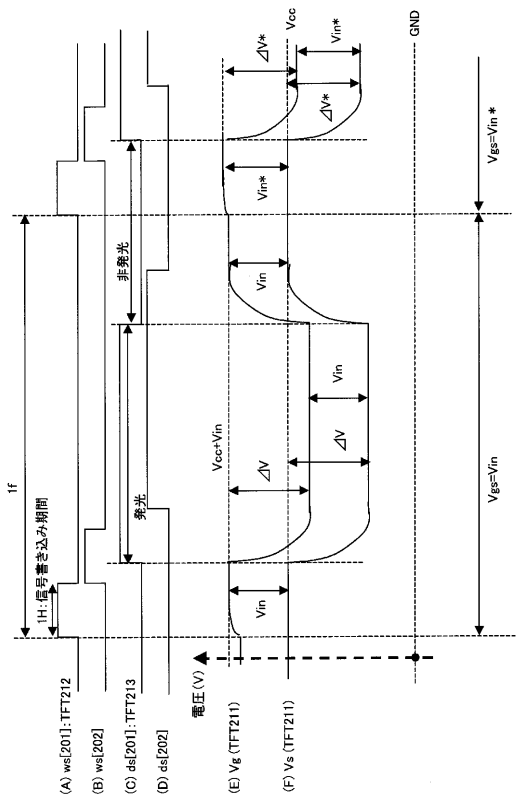
【図 11】



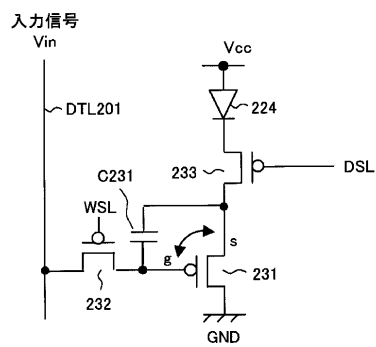
【図 12】



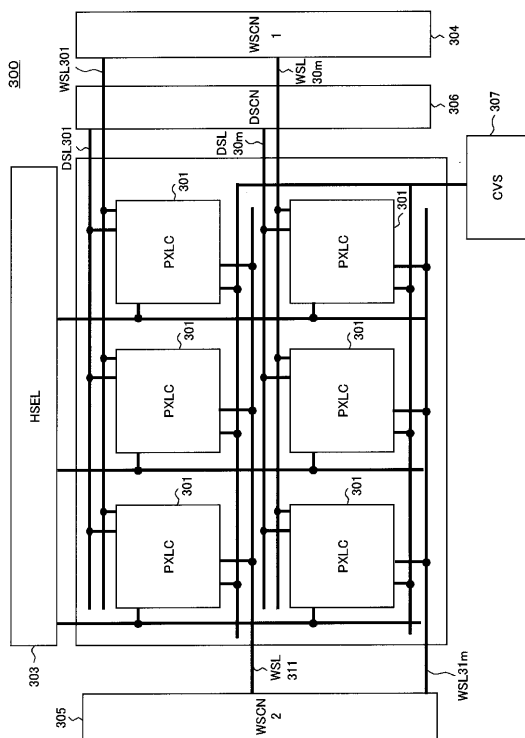
【図 13】



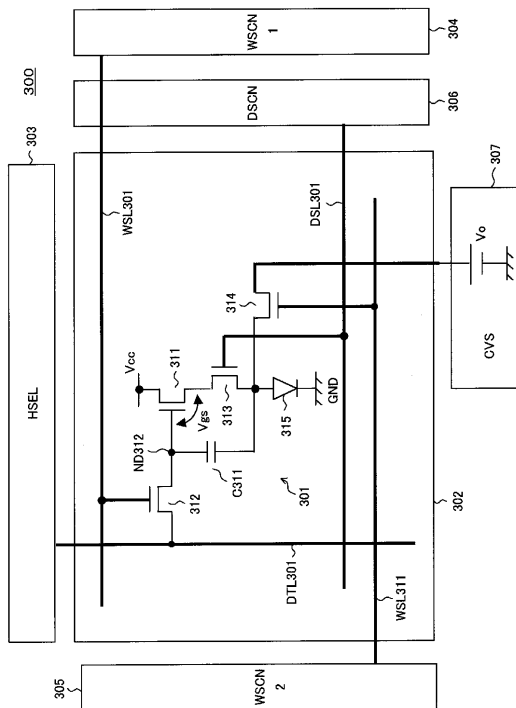
【図 14】



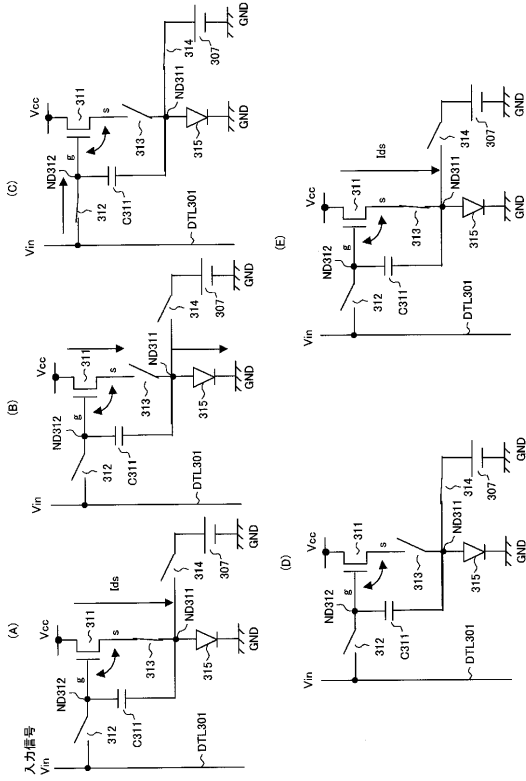
【図 15】



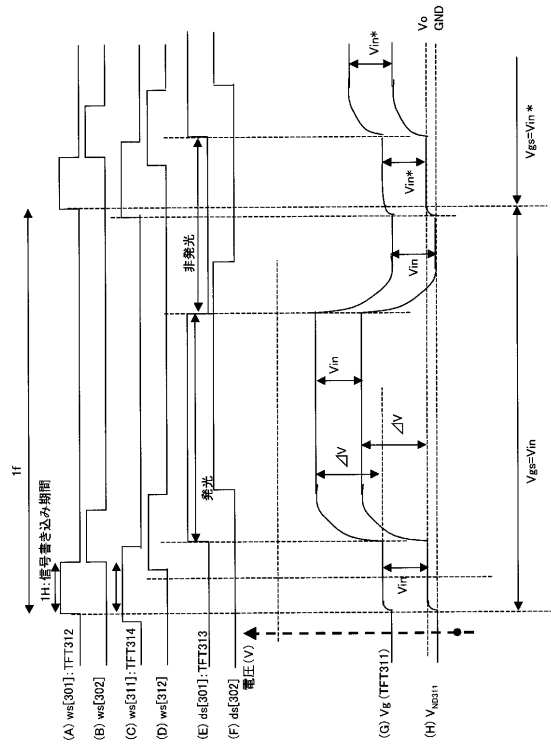
【図 16】



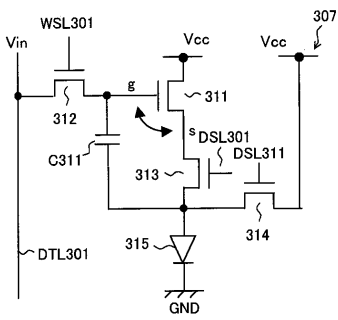
【 図 17 】



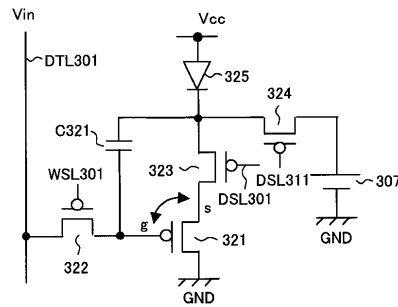
【 図 18 】



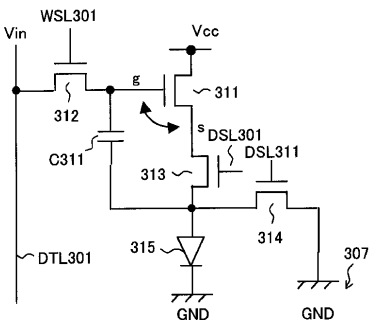
【 図 19 】



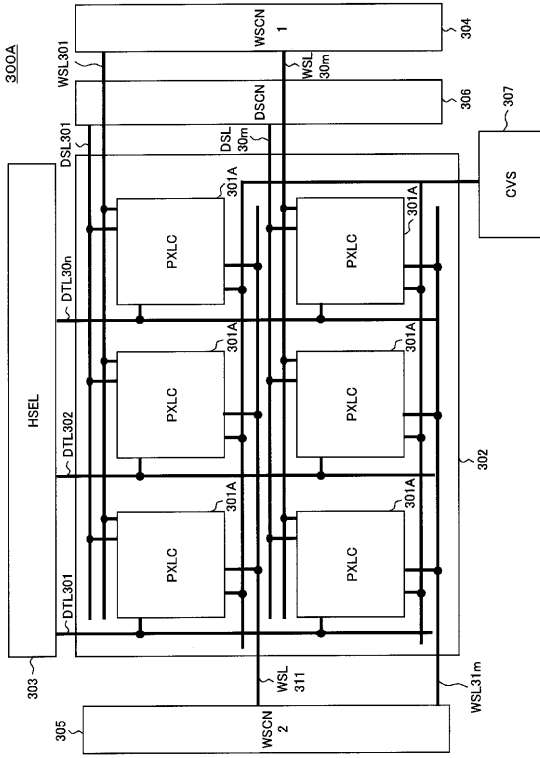
【 図 21 】



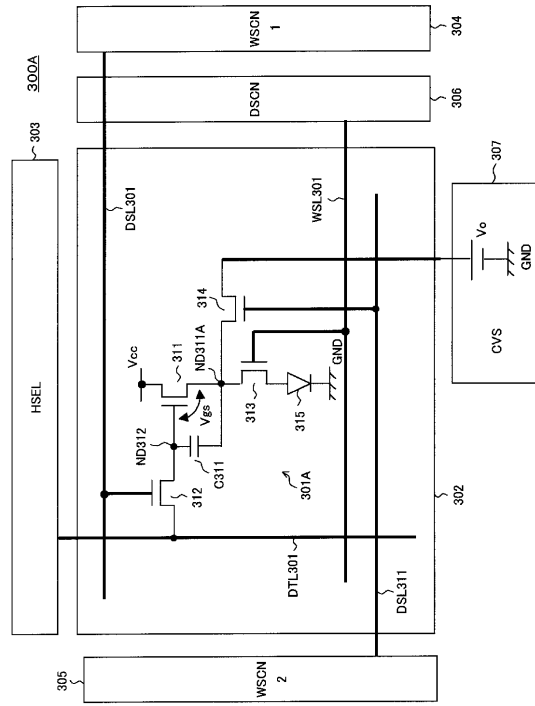
【 図 20 】



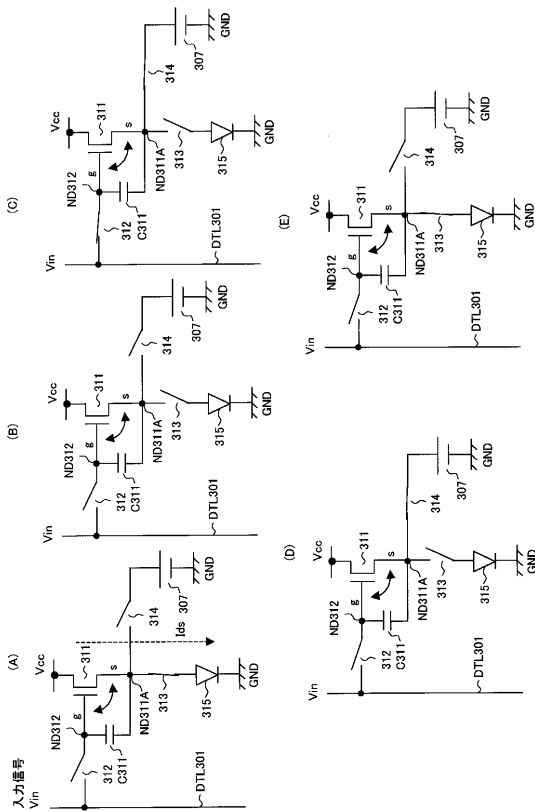
【 2 2 】



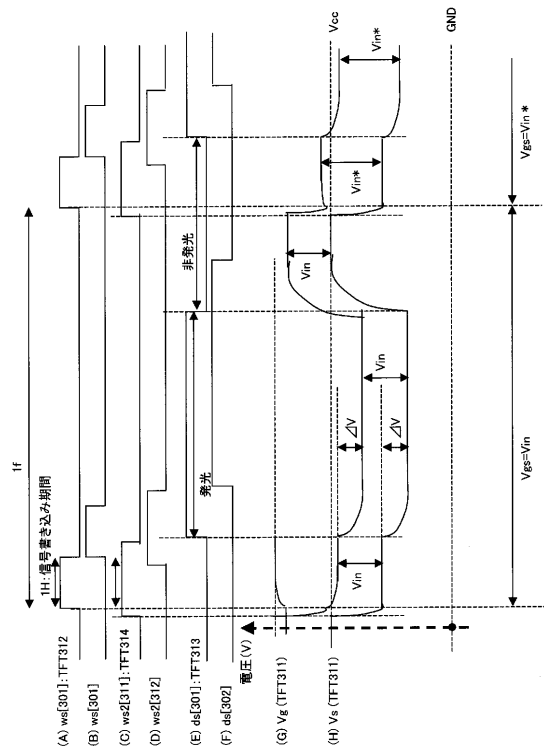
【 2 3 】



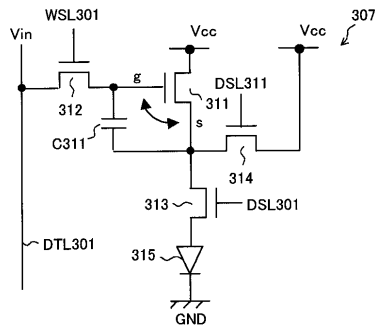
【 2 4 】



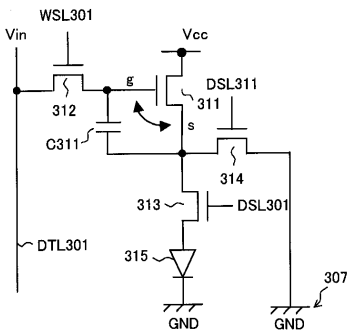
【 2 5 】



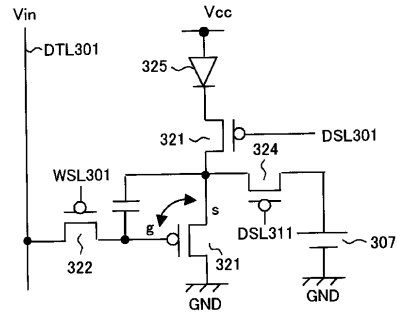
【 26 】



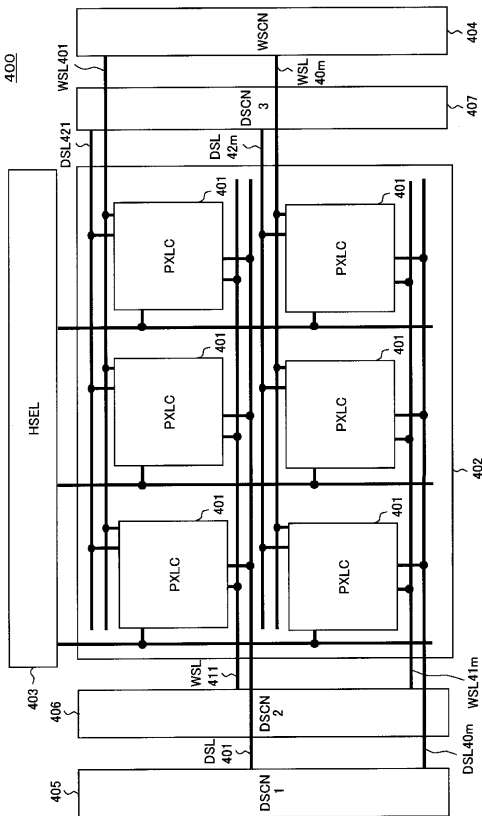
【 27 】



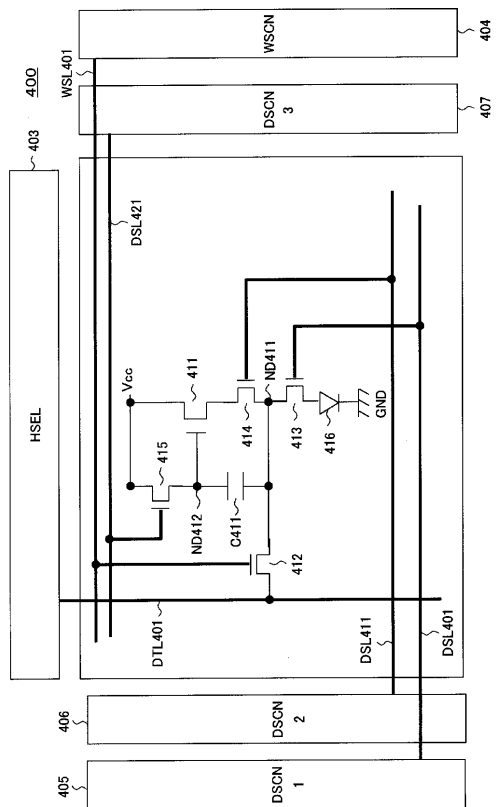
【 28 】



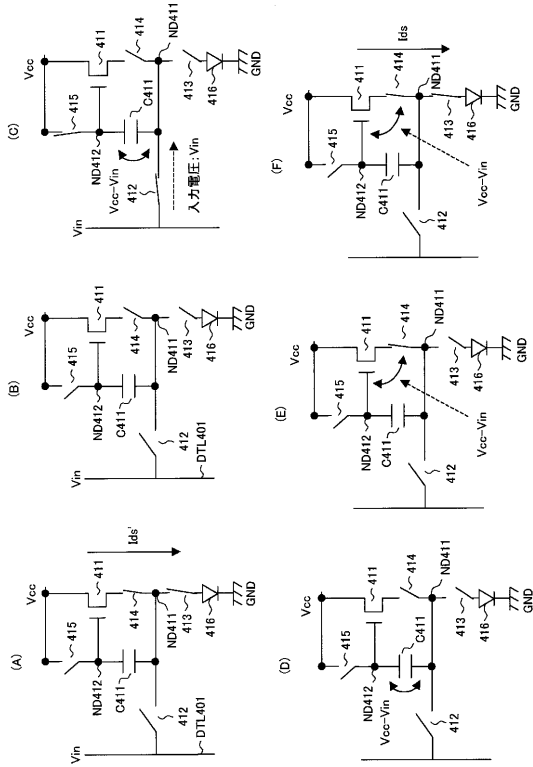
【 29 】



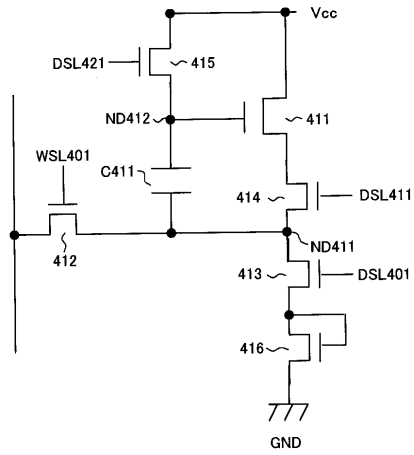
【 30 】



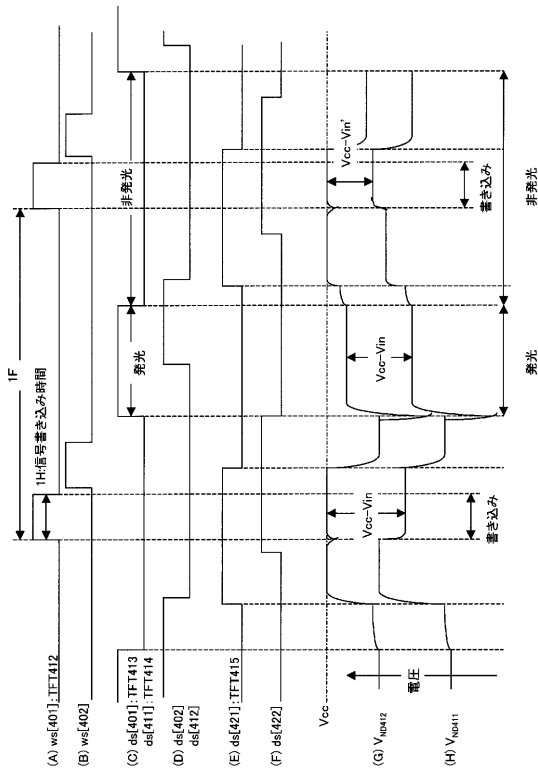
【 図 3 1 】



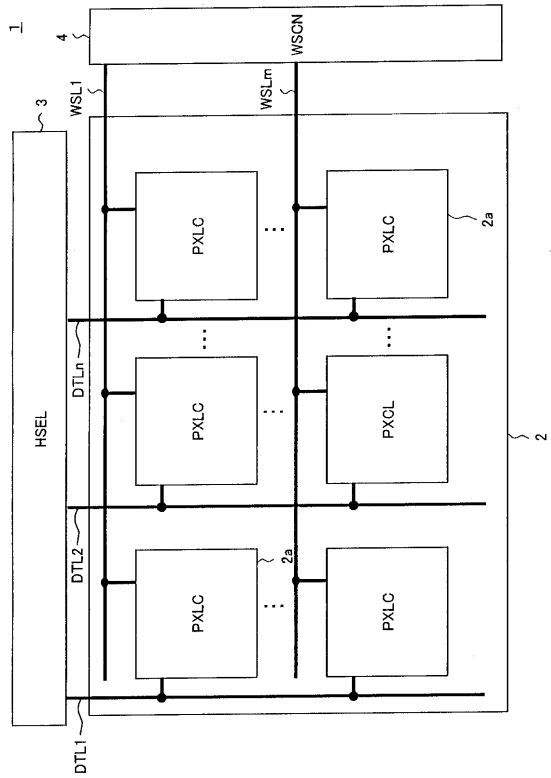
【 図 3 2 】



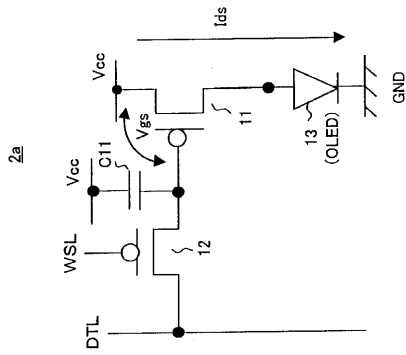
【 図 3 3 】



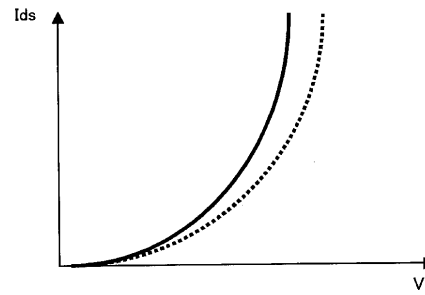
【 図 3 4 】



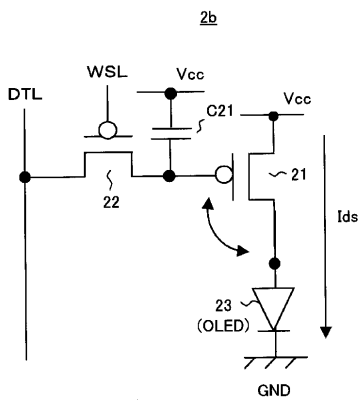
【 図 3 5 】



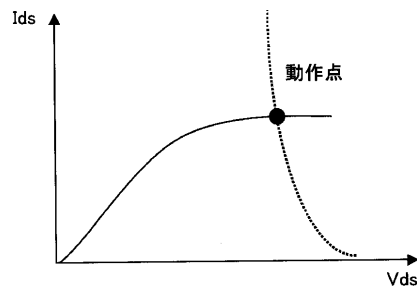
【 図 3 6 】



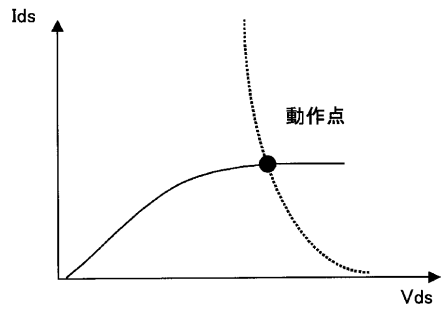
【 図 3 7 】



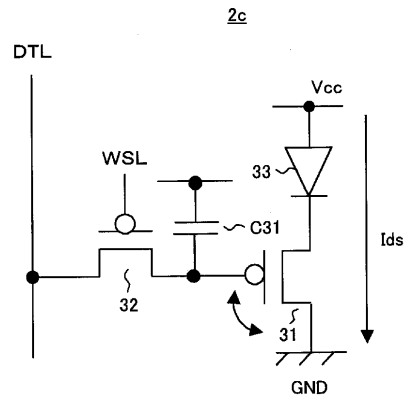
【 図 3 8 】



【 図 3 9 】



【 図 4 0 】



フロントページの続き

審査官 堀部 修平

(56)参考文献 中国特許出願公開第1417767(CN, A)

特開2003-173154(JP, A)

特開2002-297083(JP, A)

特開2003-255897(JP, A)

特開2003-271095(JP, A)

国際公開第02/075709(WO, A1)

特開2003-108075(JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00-3/38