



(19) **RU** ⁽¹¹⁾ **2 189 642** ⁽¹³⁾ **C2**
 (51) МПК⁷ **G 11 B 20/10**

РОССИЙСКОЕ АГЕНТСТВО
 ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

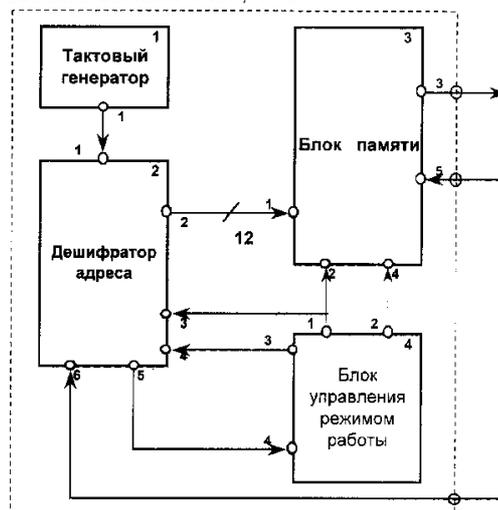
(21), (22) Заявка: 2000100473/28, 10.01.2000
 (24) Дата начала действия патента: 10.01.2000
 (46) Дата публикации: 20.09.2002
 (56) Ссылки: Пузаков А. Генератор телеграфного текста. - Радио. - 1989, № 3, с.25 и 26. SU 1771533 А, 23.10.1992. SU 1788521 А, 15.01.1993. RU 2008728 С1, 28.02.1994.
 (98) Адрес для переписки:
 197045, Санкт-Петербург, П-45, Выборгская наб., 73/1, Военно-морская академия, Зам. начальника академии по учебной и научной работе

(71) Заявитель:
 Военно-морская академия им. Адмирала Флота Советского Союза Н.Г.Кузнецова
 (72) Изобретатель: Стифеев В.М.
 (73) Патентообладатель:
 Военно-морская академия им. Адмирала Флота Советского Союза Н.Г.Кузнецова

(54) УСТРОЙСТВО ГЕНЕРАЦИИ СИГНАЛА

(57) Изобретение относится к устройствам генерации полностью известного сигнала. Устройство содержит тактовый генератор, дешифратор адреса, блок памяти, с выхода которого снимается генерируемый сигнал, и блок управления режимами работы со схемами формирования сигналов запуска, управления режимом работы, управления электронным коммутатором. Формируемый сигнал в цифровом виде записывается предварительно в блок памяти устройства. В дешифраторе адреса имеется схема формирования сигнала об окончании перебора адресов ячеек блока памяти. Сигнал с ее выхода переводит устройство в режим готовности к чтению/записи информации из/в блок памяти. В дешифраторе адреса имеется также электронный коммутатор, управляемый с возможностью переключения входа дешифратора адреса на прием тактовой последовательности от внутреннего или внешнего генератора. Сигнал от блока управления режимом работы действует на коммутатор таким образом, что в режиме генерации вход дешифратора адреса подключен к внутреннему тактовому генератору, а в

режиме записи в блок памяти - к внешнему. Устройство характеризуется повышенной эксплуатационной надежностью, увеличенным объемом памяти и расширенными функциональными возможностями. 7 ил., 4 табл.



Фиг. 2

RU 2 189 642 C2

RU 2 189 642 C2



(19) **RU** ⁽¹¹⁾ **2 189 642** ⁽¹³⁾ **C2**
 (51) Int. Cl.⁷ **G 11 B 20/10**

RUSSIAN AGENCY
 FOR PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: 2000100473/28, 10.01.2000
 (24) Effective date for property rights: 10.01.2000
 (46) Date of publication: 20.09.2002
 (98) Mail address:
 197045, Sankt-Peterburg, P-45, Vyborgskaja
 nab., 73/1, Voennno-morskaja akademija, Zam.
 nachal'nika akademii po uchebnoj i nauchnoj
 rabote

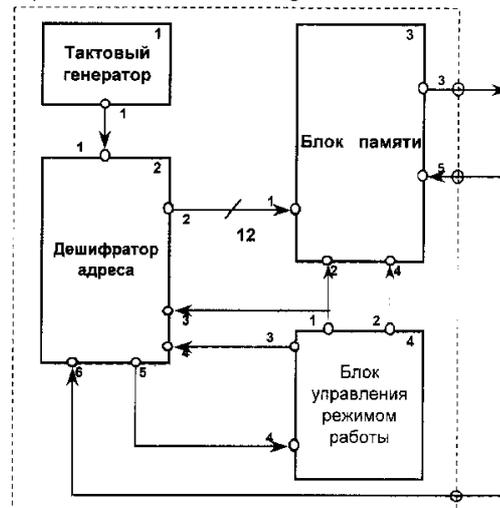
(71) Applicant:
 Voennno-morskaja akademija im. Admirala Flota
 Sovetskogo Sojuza N.G.Kuznetsova
 (72) Inventor: Stifeev V.M.
 (73) Proprietor:
 Voennno-morskaja akademija im. Admirala Flota
 Sovetskogo Sojuza N.G.Kuznetsova

(54) **SIGNAL GENERATING DEVICE**

(57) Abstract:

FIELD: generation of fully known signal.
 SUBSTANCE: device has clock generator,
 address decoder, memory unit from whose
 output generated signal is picked off, and
 mode-of-operation control unit with trigger,
 mode-control, and electronic-switch control
 signals. Signal generated in digital form is
 pre-entered in device memory unit. Address
 decoder has circuit for generating signal
 indicating end of memory location address
 search. Signal taken off memory unit output
 changes device over to ready mode for data
 read/write out/in memory unit. Address
 decoder also has electronic switch
 controlled for changing address decoder
 input over to clock sequence reception from
 inherent or peripheral generators. Signal
 arriving from control unit acts on switch so
 that in generation mode address decoder
 input is connected to inherent generator and
 in memory-unit write mode, to peripheral
 one. EFFECT: enhanced operating reliability

and memory capacity, enlarged functional
 capabilities of device. 7 dwg



Фиг. 2

RU 2 189 642 C2

RU 2 189 642 C2

Изобретение относится к области радиоэлектроники, в частности к устройствам генерации полностью известного сигнала.

Устройства генерации полностью известного сигнала должны отвечать ряду требований, а именно:

- многократно формировать стабильный по временным параметрам сигнал;
- иметь возможность оперативного изменения состава сигнала, т.е. комбинации служебных и информационных посылок.

Известны устройства для записи в цифровом виде сигналов и последующей их многократной генерации [1-4].

Известно также устройство для многократной генерации сигнала, который в цифровом виде хранится в блоке памяти устройства, куда предварительно загружается путем преобразования в цифровой вид демодулированного сигнала из радиоканала [5].

Недостатками известных устройств являются:

- сложное схемотехническое решение устройств [1-5], выполненных либо на большом количестве микросхем [1-4], либо с применением большою количества дискретных элементов [5], что снижает их эксплуатационную надежность;

- применение в качестве блока памяти в устройстве [5] микросхемы оперативного запоминающего устройства динамического типа, что требует формирования дополнительных сигналов регенерации памяти и также снижает надежность устройства;

- необходимость предварительного формирования состава генерируемого сигнала при помощи специального дополнительного устройства.

Наиболее близким по технической сущности к заявляемому устройству является, выбранное в качестве прототипа, устройство для генерации телеграфного текста [6]. Указанное устройство содержит контрольный генератор 1, тактовый генератор (ТГ) 2, устройство дешифрации адреса (ДША) 3, блок памяти (БлП) 4, блок формирования выходного сигнала (БФВС) 5 и схему логического сложения с инверсией 6.

Блок-схема прототипа представлена на фиг.1. Выход 1 КГ 1 подключен ко входу 1 схемы логического сложения с инверсией 6. Выход 1 ТГ 2 подключен ко входу 1 ДША 3. Выход 2 ДША 3 подключен ко входу 1 БлП 4, выход 3 ДША 3 подключен ко входу 2 БФВС 5. Входы 4 и 5 ДША 3 подключены к общей шине питания устройства. Выход 3 БлП 4 подключен ко входу 4 БФВС 5. вход 2 БлП 4 подключен к общей шине питания устройства. Выход 1 БФВС 5 подключен ко входу 2 схемы логического сложения с инверсией 6, вход 3 БФВС 5 подключен к общей шине питания устройства. С выхода 3 схемы логического сложения с инверсией 6 снимается генерируемый выходной сигнал.

Указанный генератор формирует в телеграфном коде небольшой по объему неизменяемый в процессе эксплуатации сигнал.

Прототип работает следующим образом.

При включении питания начинают работать в режиме непрерывной генерации КГ 1 и ТГ 2. Сигнал в виде непрерывной последовательности прямоугольных

импульсов с выхода 1 КГ 1 поступает на вход 1 схемы логического сложения с инверсией 6. Сигнал в виде непрерывной последовательности прямоугольных импульсов с выхода 1 ТГ 1 поступает на вход 1 ДША 3. На входы 4 и 5 ДША 3, вход 2 БлП 4 и вход 3 БФВС 5 подается сигнал низкого логического уровня за счет того, что эти входы подключены к общей шине питания устройства. Этим сигналом производится "обнуление" ДША 3 и разрешается его работа по подсчету поступающих на вход 1 импульсов от ТГ 2. Этим же сигналом разрешается считывание информации из БлП 4 и работа БФВС 5. На выходах 2 и 3 ДША 3 формируется восьмиразрядный код адреса. При этом пять младших разрядов кода адреса с выхода 2 ДШЛ 3 поступают на вход 1 БлП 4, а три старших разряда кода адреса с выхода 3 ДША 3 поступают на вход 2 БФВС 5.

Поступающий на вход 1 БлП 4 код адреса активизирует соответствующую этому коду восьмиразрядную ячейку памяти, и так как на вход 2 БлП 4 подан сигнал низкого логического уровня, разрешающий чтение информации из ячеек БлП 4, то на восьмиразрядном выходе 3 БлП 4 появляется информация, записанная в выбранной ячейке. Эта информация представляет собой комбинацию сигналов низкого и высокого логических уровней в восьми разрядах. На вход 3 БФВС 5 подан сигнал низкого логического уровня, разрешающий прохождение сигналов с одного из его 8-ми разрядов восьмиразрядного входа 4 БФВС 5 на его выход 1. Поступающий на трехразрядный вход 2 БФВС 5 код с выхода 3 ДША 3 и определяет, какой из восьми сигналов на входе 4 БФВС 5 должен пройти на выход 1 БФВС 5.

Описанный процесс иллюстрируется таблицей 1. В указанной таблице сигнал низкого логического уровня обозначен как "Н", в графе "Вход 1 ДША" записано количество импульсов, поступивших со входа 1 ТГ 2, а в графе "Выход 3 ДША" - число от 0 до 8 в двоичном представлении, а в графе "Выход 2 ДША" - число от 0 до 32 в двоичном представлении. Цифры от 1 до 8 обозначают соответствующий разряд формируемого ДША 3 кода адреса на своих выходах 2 и 3. Цифрами "0" и "1" в графах "Выход 2(3) ДША" обозначены соответственно значения низкого и высокого логических уровней в сформированной ДША восьмиразрядной кодовой комбинации адреса. Это соответствует двоичному представлению десятичных чисел.

В результате поступления на вход 1 БлП 4 кода адреса в виде двоично числа от 0 до 32 происходит обращение к одной из 32-х восьмиразрядных ячеек памяти, выдающей на выход 3 БлП 4 свое содержимое. Из поступающей на вход 4 БФВС 5 восьмиразрядной комбинации на выход 1 БФВС 5 проходит значение только одного разряда, номер которого задан поступающим на вход 2 БФВС 5 трехразрядным кодом с выхода 3 ДША 3.

Таким образом, при значении "000" на входе 2 БФВС 5 на его выход будет считано значение первого разряда выданной на выходе 3 БлП 4 восьмиразрядной комбинации из ячейки, адрес которой задан на входе 1 БлП 4, при коде "001" - значение второго

разряда и т.д. Описанный процесс иллюстрируется таблицей 2, где как "(цифра) x $Z_{цифра}$ " обозначено значение соответствующего разряда выбранной 8-ми разрядной ячейки БлП 4 (цифра).

Сигнал с выхода 1 БФВС 5 поступает на вход 2 схемы логического сложения с инверсией 6 в виде чередующихся сигналов низкого и высокого логических уровней. Частота этого сигнала определяется частотой ТГ 2, а значение (низкий или высокий логический уровень) - значением, считанным из соответствующего разряда ячейки памяти БлП 4, адрес которой определен ДША 3 путем подачи на вход 1 БлП 4 соответствующего кода. На входе 1 схемы логического сложения с инверсией 6 присутствует последовательность импульсов от КГ 1. Схема логического сложения с инверсией 6 представляет собой логический элемент "И-НЕ", который формирует на выходе сигнал низкого уровня, если на оба его входа поданы сигналы высокого уровня

$$V_1 + V_2 = H_3 (1)$$

где $V(H)_{1(2,3)}$ - сигнал (V - высокий уровень, H - низкий уровень) на соответствующем (1, 2, 3) входе (выходе) элемента.

Таким образом, для получения на выходе устройства требуемого сигнала необходимо произвести предварительную запись в блок памяти 4 содержание сигнала. В отличие от упомянутых устройств [1-5] в прототипе блок памяти реализован на микросхеме постоянного запоминающего устройства (ПЗУ), программируемого при помощи специального программатора. При этом в ПЗУ заносятся все временные параметры формируемого сигнала, т.е. как смысловые посылки, так и служебные (паузы, разделяющие формируемые знаки смыслового текста, старт-стопные посылки и т.п.). Применение ПЗУ повышает эксплуатационную надежность устройства.

Однако прототипу присущи недостатки, ограничивающие его использование в качестве генератора полностью известного сигнала:

1. Так как блок памяти построен на микросхеме ПЗУ, то для подготовки цифрового портрета сигнала необходимо использовать специальный программатор. Это, в свою очередь, не позволяет оперативно изменять содержание формируемого сигнала.

2. В прототипе не реализована функция окончания генерации записанного в блоке памяти сигнала и автоматической остановки устройства после генерации всего объема записанной информации.

3. Объем памяти прототипа явно недостаточен для формирования сложных по содержанию сигналов.

Техническим результатом изобретения является создание устройства генерации сигнала, надежного в эксплуатации, с увеличенным объемом памяти и расширенным набором функциональных возможностей, способного многократно генерировать стабильный полностью известный сигнал.

Указанный технический результат изобретения достигается путем разработки устройства с увеличенным в 16 раз объемом блока памяти и возможностью оперативного

изменения содержания генерируемого сигнала. Это достигнуто за счет применения в блоке памяти оперативного запоминающего устройства (ОЗУ) статического типа, которое в отличие от ПЗУ может быть легко перепрограммировано без применения специального программатора, что невозможно для прототипа.

Изобретение иллюстрируется чертежом, где на фиг.2 представлена блок-схема устройства генерации сигнала. На фиг.3 представлено схематехническое решение дешифратора адреса (ДША) устройства, на фиг. 4 - схематехническое решение блока памяти (БлП) устройства, на фиг.5 - принципиальная схема блока управления режимом работы устройства, на фиг.6 и 7 - временные диаграммы для различных режимов работы устройства.

Устройство содержит тактовый генератор (ТГ) 1, дешифратор адреса (ДША) 2, блок памяти (БлП) 3 и блок управления режимом работы устройства (БУ) 4. Контрольный генератор из устройства исключен. Выход 1 ТГ 1 подключен ко входу 1 ДША 2. Двенадцатиразрядный выход 2 ДША 2 подключен к двенадцатиразрядному входу 1 БлП 3, вход 3 ДША 2 подключен к выходу 1 БУ 4, вход 4 ДША 2 подключен к выходу 3 БУ 4, выход 5 ДША 3 подключен ко входу 4 БУ 4. Ко входу 6 ДША 2 подключается внешний ТГ (на схеме не показан). Вход 2 БлП 3 подключен к выходу 1 БУ 4, вход 4 БлП 3 подключен к выходу 2 БУ 4. С выхода 3 БлП 3 происходит считывание информации из БлП 3. На вход 5 БлП 3 поступает информация, записываемая в БлП 3.

Тактовый генератор 1 по функциональному назначению и схемному решению аналогичен ТГ 2 (см. фиг.1) прототипа.

Дешифратор адреса 2 по функциональному назначению аналогичен ДША 3 (см. фиг. 1) прототипа. Схематехническое решение ДША 2 представлено на фиг. 3 и включает:

- "линейку" из трех последовательно включенных счетчиков, позволяющую формировать на выходе ДША 2 12-тиразрядный код адреса;

- электронный ключ входа счетчиков ДША на внутренний ТГ 1 или на внешний ТГ, подключаемый к входу 6 ДША 2 устройства;

- схему формирования сигнала окончания перебора адресов.

Блок памяти 3 (см. фиг.4) выполнен на оперативном запоминающем устройстве (ОЗУ) статического типа и кроме функции выдачи записанной в нем информации выполняет также функцию запоминания вводимой в устройство по входу 5 БлП 3 информации. Микросхемы ОЗУ статического типа не требуют формирования для них специальных сигналов регенерации памяти, что повышает эксплуатационную надежность устройства. Кроме того, в связи с применением в БлП ОЗУ с одноразрядной организацией (т. е. при выставлении на адресном входе 1 БлП 3 кода ячейки происходит активизация одноразрядной ячейки) отпала необходимость в блоке формирования выходного сигнала. Выходной сигнал формируется непосредственно на выходе 3 БлП 3.

Блок управления работой устройства 4

является новым функциональным узлом по сравнению с прототипом, в котором такой узел отсутствует.

Устройство работает следующим образом.

При включении питания БУ 4 формирует сигнал запрета работы ДША 2 от внутреннего или внешнего ТГ путем подачи на вход 3 ДША 2 сигнала высокого уровня с выхода 1 БУ 4. С выхода 1 БУ 4 на вход 2 БлП 3 подается сигнал высокого уровня, переводящий БлП 3 в режим хранения информации.

С выхода 2 БУ 4 на вход 4 БлП 3 подается либо сигнал высокого уровня, либо сигнал низкого уровня, в зависимости от того, в каком положении находится переключатель "Запись/чтение" БУ 4. На 12-ти разрядном выходе 5 ДША 3 присутствует комбинация, где во всех 12-ти разрядах напряжение низкого уровня.

Эта комбинация поступает на вход схемы окончания перебора адресов ДША 2 и формирует на выходе этой схемы сигнал высокого уровня, который с выхода 5 ДША 3 подается на вход 4 БУ 4. Между входом 4 БУ 4 и выводом первой обмотки малогабаритного дистанционного переключателя (МДП) включен диод Д1 (см. фиг. 5), не пропускающий сигнал высокого уровня на указанную обмотку МДП, что не позволяет сигналам высокого уровня влиять на работу МДП БУ 4.

Схема запуска БУ 4 (см. фиг.5), выполнена на МДП типа РПС 20 (К1), реле типа РЭС 15 (К2), переключателя "Пуск" на одно направление и два положения без фиксации (Кн1), электролитического конденсатора (С), гасящего сопротивления (R1), светодиодов "Работа" (Д2) и "Готов" (Д3). При включении питания схема запуска находится в состоянии, показанном на фиг.5;

- нормально замкнутые контакты переключателя Кн1 подключают положительную пластину конденсатора С к концу первой обмотки МДП К1, одновременно отрицательная пластина конденсатора С через нормально замкнутые контакты К2.1 реле К2 подключена к общей шине питания устройства;

- происходит зарядка конденсатора С, через первую обмотку МДП К1 протекает кратковременный импульс тока. и если контакты К 1.1 и К1.2 находятся не в том положении, как показано на фиг.5, то они в это положение переводятся;
- через контакты К1.2 на выход 1 БУ 4 подается сигнал высокого уровня, передающийся потом на вход 3 ДША 2 и вход 4 БлП 3.

Схема управления электронным коммутатором ДША 3 реализована в БУ 4 на двухвходовом логическом элементе И (D) (см. фиг.5), который одним своим входом подключен к схеме запуска, а вторым входом к схеме управления режимом работы.

Логика работы элемента И показана в таблице 3, где через "Н" обозначены сигналы низкого уровня, а через "В" - высокого.

Таким образом, только при наличии на обоих входах логического элемента D сигналов низкого уровня позволяет получить на его выходе сигнал высокого уровня. Если же на входах элемента D сигналы противоположных уровней, то на его выходе сигнал низкого уровня. Так как при включении питания переключатель "Режим работы" (Кн2)

находился в положении "Чтение", то на второй вход элемента D поступает сигнал низкого уровня. На первый вход элемента D поступает сигнал высокого уровня со схемы запуска. Следовательно, на выходе элемента D - сигнал низкого уровня. Этот сигнал поступает на выход 3 БУ 4 и далее на вход 4 ДША 2, где вызывает срабатывание электронного коммутатора ДША 2 и подключает вход счетчиков дешифратора к выходу ТГ 1.

Тактовый генератор 1 при включении питания начинает вырабатывать на выходе 1 непрерывную тактовую последовательность импульсов, поступающую на вход 1 ДША 2. Но т.к. ДША 2 находится в состоянии запрета счета, то никаких изменений в коде на выходе дешифратора не происходит. БлП 3 также находится в состоянии хранения записанной в нем информации, т.к. на его 2 вход действует сигнал высокого уровня с выхода 1 БУ 4.

Такое состояние устройства названо режимом готовности. О переходе устройства в этот режим сигнализирует свечение светодиода "Готов" схемы запуска БУ 4, подключенного через контакты К 1.1 и гасящий резистор R1 к "плюсу" питания (см. фиг.5).

Схема управления режимом работы устройства (см. фиг.5) выполнена в БУ 4 на переключателе на два направления и два положения с фиксацией (Кн2), светодиодах "Запись" (Д4) и "Чтение" (Д5), а также гасящем резисторе R2. При нахождении переключателя Кн2 в положении "Чтение" на выход 2 БУ 4 поступает сигнал низкого уровня, передающийся на вход 4 БлП 3, разрешая производить чтение информации из блока памяти. При нахождении переключателя Кн2 в положении "Запись" на выход 2 БУ 4 поступает сигнал высокого уровня, разрешающий запись информации в блок памяти 3.

При нажатии кнопки "Пуск" Кн1 на БУ 4 и нахождении переключателя "Режим" Кн2 БУ 4 в положении "Чтение" в БУ 4 происходят следующие процессы:

- через вторую обмотку МДП К1 протекает ток разряда конденсатора С, что вызывает срабатывание МДП К1 и переключение его контактов К1.1 и К1.2 в противоположное показанному на фиг.5 положение;

- контактами К1.2 на выход 1 БУ 4 подается сигнал низкого уровня;

- контакты К1.1 отключают светодиод Д3 "Готов" от "плюса" питания и подключают к "плюсу" питания последовательную цепь из реле К2 и светодиода Д2 "Работа";

- срабатывает реле К2, о чем свидетельствует зажигание светодиода Д2, и размыкает контакты К2.1, отключая конденсатор С от общей шины питания.

Теперь при отпускании кнопки Кн1 "Пуск" не произойдет срабатывание первой обмотки МДП К1, т.к. цепь питания конденсатора С разорвана. В устройстве происходят следующие процессы:

- сигнал низкого уровня с выхода 1 БУ 4 подается на вход 2 БлП 3 и вход 3 ДША2;

- сигнал высокого уровня с выхода 3 БУ 4 подается на вход 4 ДША 2;

- сигнал низкого уровня с выхода 2 БУ 4 подается на вход 4 БлП 3.

В дешифраторе 2 низкий уровень со входа 3 разрешает ДША перейти в режим счета и

начать подсчет поступающих на его вход 1 импульсов со входа 1 ДША 2 от внутреннего ТГ 1 устройства. БлП 3 переходит в режим выдачи записанной в нем информации из ячеек, задаваемых ДША 2 на 12-тиразрядном входе 1 БлП 3. При выставлении на выходе ДША 2 кода "111111111111", соответствующего десятичному числу 4095 и, соответственно, адресу последней ячейки БлП 3, в ДША 2 срабатывает схема формирования сигнала окончания перебора адресов. Указанная схема (см. фиг.3) представляет собой 12-ти входовой логический элемент И-НЕ, формирующий сигнал низкого уровня, поступающий на выход 5 ДША 2 и далее на вход 4 БУ 4, при наличии на всех его входах сигнала высокого уровня. Логика работы этого элемента показана в таблице 4, где через "Н" обозначен сигнал низкого уровня, а через "В" - высокого.

Этот сигнал через диод Д1 схемы запуска БУ 4 подключает первую обмотку МДП К1 к общей шине питания и создает импульс в этой обмотке. Этим импульсом происходит перевод контактов К1.1 и К1.2 в состояние, показанное на фиг.5, и устройство переводится в режим готовности, состояние узлов в котором описано выше. Сигналы в характерных точках устройства показаны на фиг.6.

При нажатии кнопки "Пуск" Кн1 на БУ 4 и нахождения переключателя "Режим" Кн2 в положении "Запись" в БУ 4 происходят процессы, аналогичные описанным выше, но в устройство выдается другая комбинация управляющих сигналов:

- низкого уровня с выхода 1 БУ 4 на вход 2 БлП 3 и вход 3 ДША 2;

- низкого уровня с выхода 3 БУ 4 на вход 4 ДША 2;

- высокого уровня с выхода 2 БУ 4 на вход 4 БлП 3. В дешифраторе 4 электронный ключ остается во включенном состоянии и вход счетчиков остается подключенным ко входу 6, с которого на ДША поступает тактовая частота от внешнего ТГ (на схеме не показан); низкий уровень со входа 3 разрешает ДША перейти в режим счета и начать подсчет поступающих на его вход 6 импульсов. БлП 3 переходит в режим записи поступающей на вход 5 информации в ячейки, задаваемые ДША 2 на его входе 1. При выставлении на выходе 2 ДША 2 кода "111111111111" срабатывает схема формирования сигнала окончания перебора адресов и формирует сигнал низкого уровня, поступающий на выход 5 ДША и далее на вход 4 БУ. Этим сигналом устройство переводится в режим готовности, состояние функциональных узлов в котором описан выше. Сигналы в характерных точках устройства показаны на фиг.7.

Источники информации

1. "Устройство для цифровой записи -

воспроизведения речевой информации". Авторское свидетельство СССР 1490691, МПК G 11 В 20/10; подано 26.11.87 г., опубликовано 30.06.89 г.

2. "Устройство для записи - воспроизведения двоичной информации". Авторское свидетельство СССР 1492380, МПК G 11 В 20/10; подано 19.10.87 г., опубликовано 07.07.89 г.

3. "Устройство для цифровой записи - воспроизведения речевой информации". Авторское свидетельство СССР 1788521, МПК G 11 В 20/00, G 11 В 20/10; подано 05.11.90 г., опубликовано 15.01.93 г.

4. "Устройство для цифровой записи - воспроизведения речевой информации". Авторское свидетельство СССР 1771533, МПК G 11 В 20/10, подано 27.11.90 г., опубликовано 23.10.92 г.

5. И. Никифоров "Цифровой магнитофон", "Радио" 12 1989 г., стр.22-26.

6. А. Пузаков "Генератор телеграфного текста", "Радио" 3 1989 г., стр. 25-26 - прототип.

Формула изобретения:

Устройство генерации сигнала, содержащее тактовый генератор, выход которого подключен к первому входу дешифратора адреса, первый выход которого подключен к первому входу блока памяти, отличающееся тем, что оно снабжено блоком управления, в дешифратор адреса введены схема формирования сигнала окончания перебора адресов и включенный на ее входе электронный ключ, при этом блок управления выполнен со схемами формирования сигнала режимов работы дешифратора адреса и блока памяти, сигнала запуска дешифратора адреса, сигнала управления режимом записи/чтения информации в/из устройства и сигнала управления электронным ключом, а блок памяти - на микросхеме оперативного запоминающего устройства, выход сигнала режима работы блока управления подключен ко второму входу дешифратора адреса, являющемуся входом схемы формирования сигнала окончания перебора адресов, и второму входу блока памяти, выход сигнала управления режимом записи/чтения - к третьему входу блока памяти, выход сигнала управления электронным ключом - к третьему входу дешифратора адреса, являющемуся управляющим входом электронного ключа, а вход сигнала окончания перебора адресов - ко второму выходу дешифратора адреса, являющемуся выходом схемы формирования сигнала окончания перебора адресов, первый вход дешифратора адреса соединен с первым тактовым входом электронного ключа, а четвертый вход дешифратора, являющийся вторым тактовым входом электронного ключа, подключен к выходу внешнего тактового генератора.

Таблица 1

Вход 4 ДША	Вход 5 ДША	Вход 1 ДША	Выход 3 ДША Вход 2 БФВС			Выход 2 ДША Вход 1 БлП				
			8	7	6	5	4	3	2	1
Н	Н	1	0	0	0	0	0	0	0	1
Н	Н	2	0	0	0	0	0	0	1	0
Н	Н	3	0	0	0	0	0	0	1	1
Н	Н	254	1	1	1	1	1	1	1	0
Н	Н	255	1	1	1	1	1	1	1	1

Таблица 2

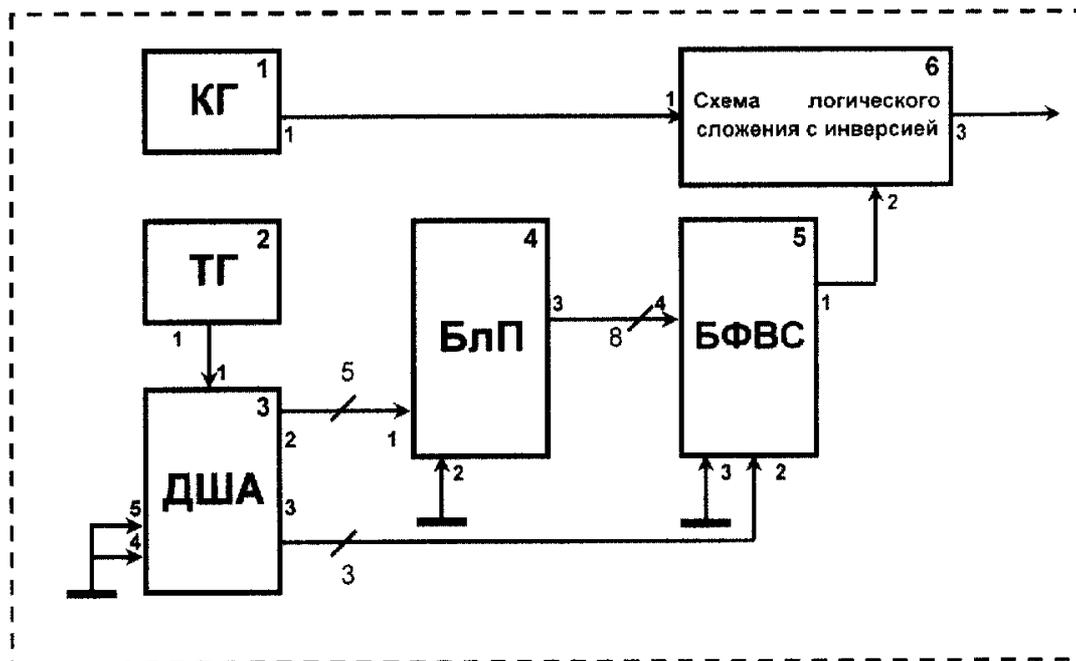
Число на входе 1 БлП	Число на входе 2 БФВС	Значение выбранной ячейки на выходе 3 БлП - входе 4 БФВС	Значение на выходе 1 БФВС
00001	000	1×3 ₈ 3 ₇ 3 ₆ 3 ₅ 3 ₄ 3 ₃ 3 ₂ 3 ₁	1×3 ₁
00010	000	2×3 ₈ 3 ₇ 3 ₆ 3 ₅ 3 ₄ 3 ₃ 3 ₂ 3 ₁	2×3 ₁
00011	010	3×3 ₈ 3 ₇ 3 ₆ 3 ₅ 3 ₄ 3 ₃ 3 ₂ 3 ₁	3×3 ₃
11111	111	31×3 ₈ 3 ₇ 3 ₆ 3 ₅ 3 ₄ 3 ₃ 3 ₂ 3 ₁	31×3 ₈

Таблица 3

Вход 1	Вход 2	Выход
"В"	"Н"	"Н"
"Н"	"В"	"Н"
"Н"	"Н"	"В"

Таблица 4

Выходы элемента И-НЕ												Выход элемента И-НЕ
1	2	3	4	5	6	7	8	9	10	11	12	
"Н"	"В"	"Н"	"Н"	"Н"	"В"	"В"	"Н"	"Н"	"Н"	"Н"	"Н"	"В"
"В"	"В"	"В"	"В"	"В"	"В"	"В"	"В"	"В"	"В"	"В"	"В"	"Н"

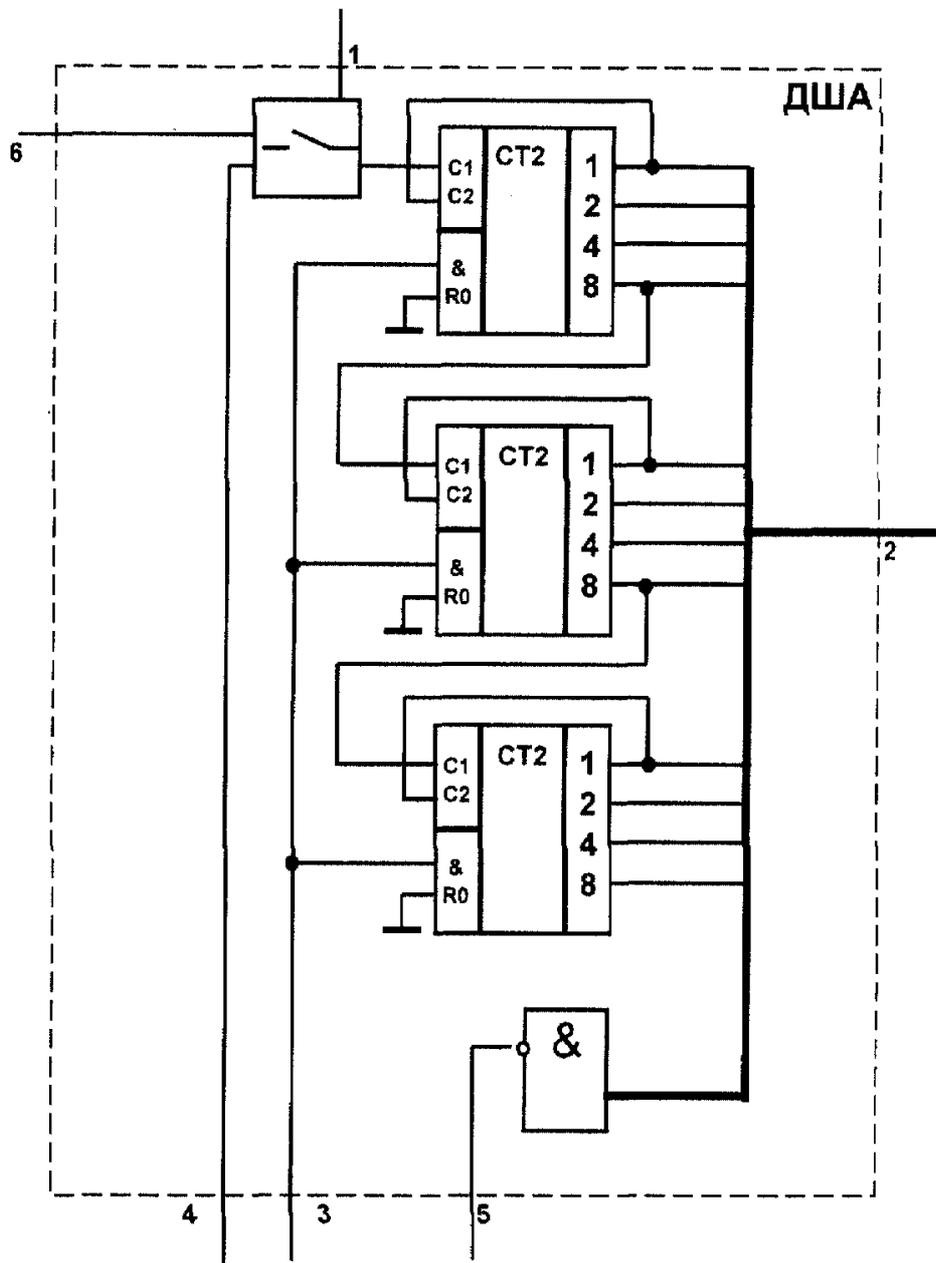


Фиг. 1

RU 2189642 C2

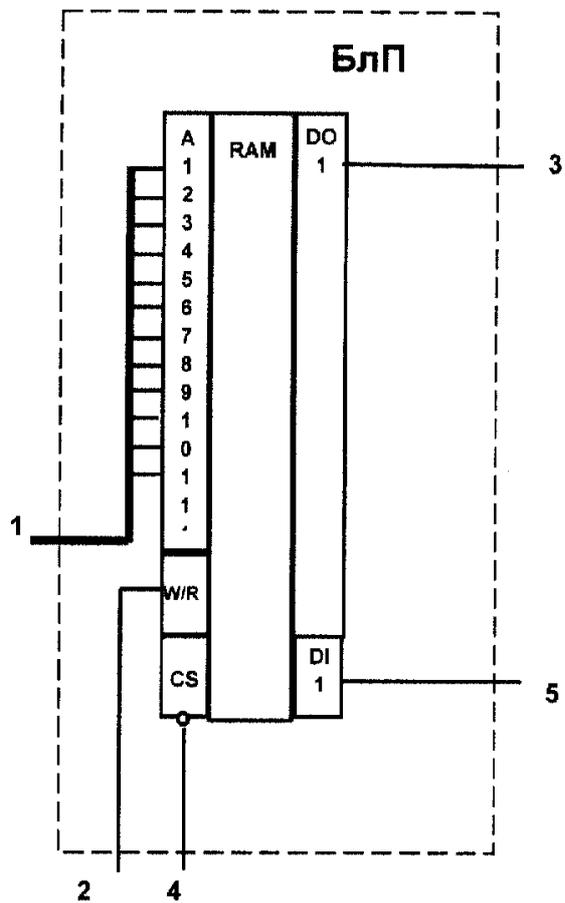
RU 2189642 C2

RU 2189642 C2

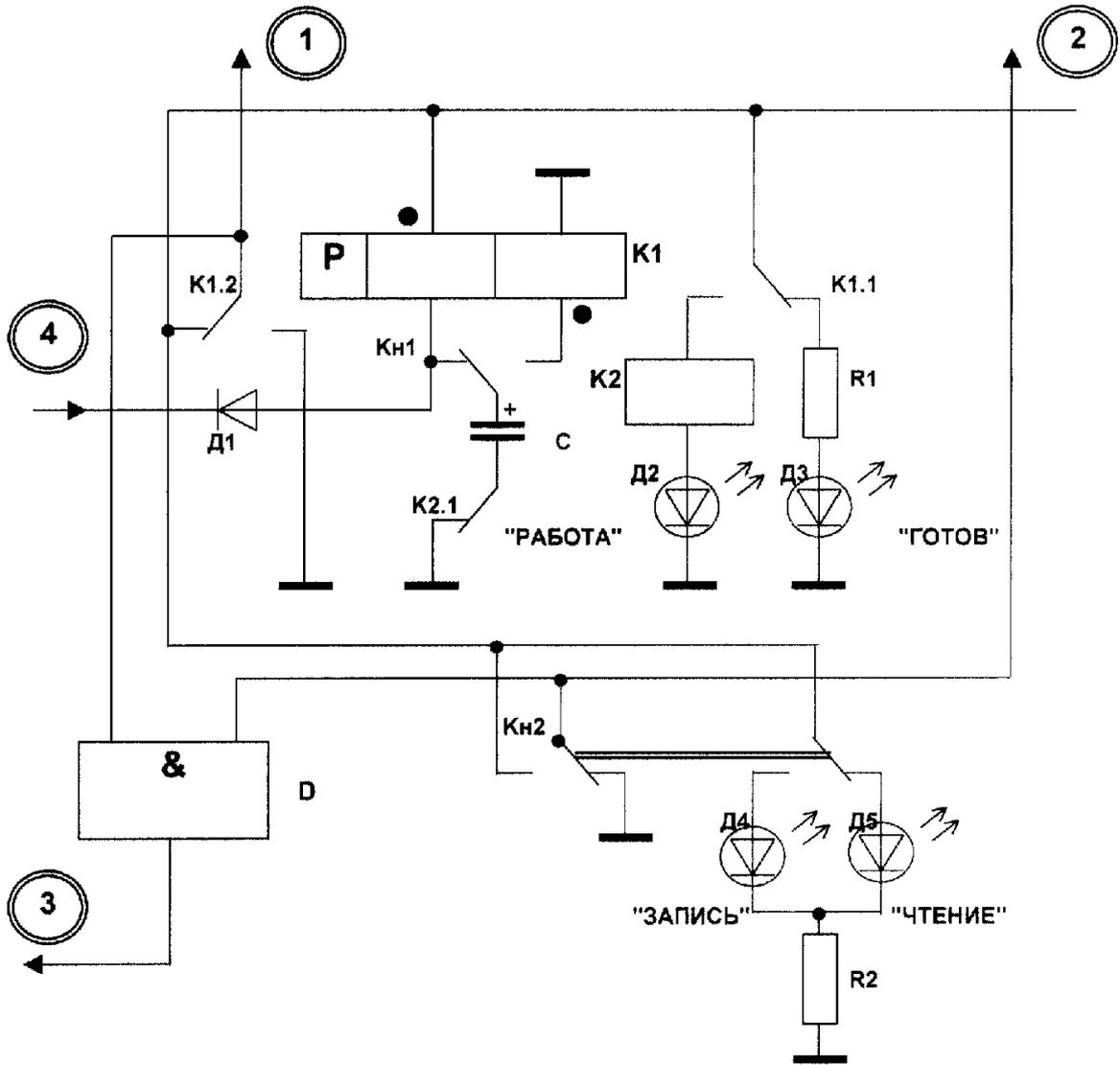


Фиг. 3

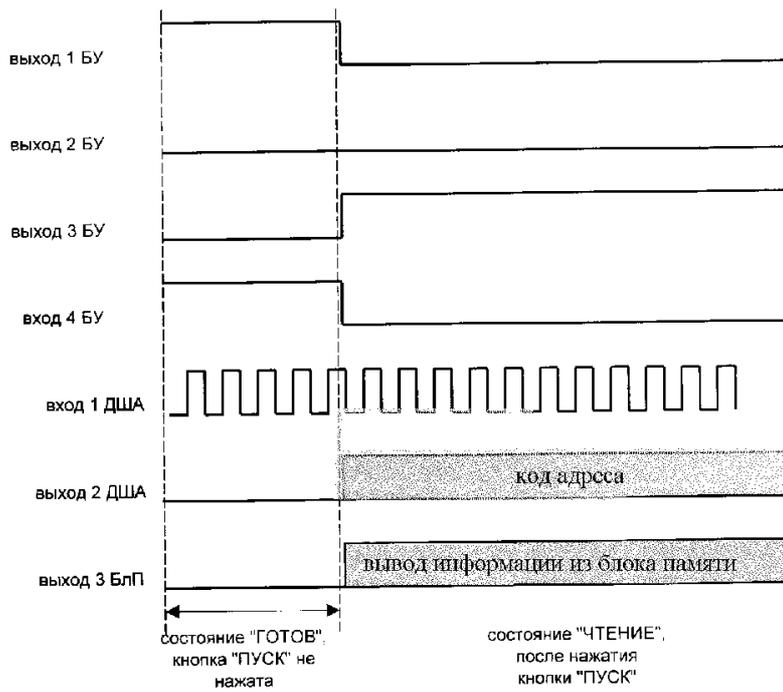
RU 2189642 C2



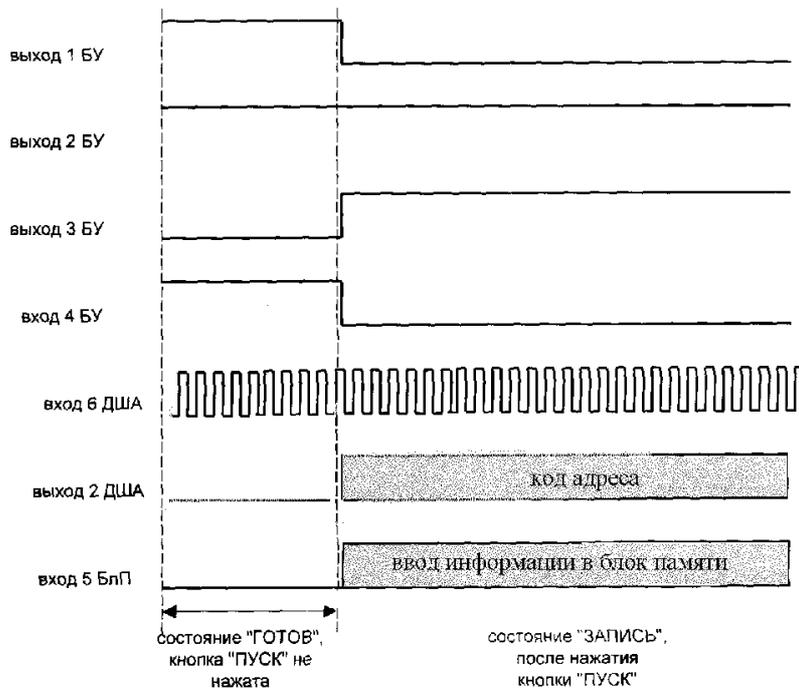
Фиг. 4



Фиг. 5



Фиг. 6



Фиг. 7