(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3942793号
(P3942793)
(45)発行日　平成19年7月11日(2007.7.11)　(24)登録日　平成19年4月13日(2007.4.13)

(51)Int.Cl.　　F I
H04N 5/335 (2006.01)　　H04N 5/335 Z
H04N 5/32 (2006.01)　　H04N 5/32

請求項の数 1　(全 14 頁)

(21)出願番号　特願2000-95508(P2000-95508)
(22)出願日　平成12年3月30日(2000.3.30)
(65)公開番号　特開2001-285724(P2001-285724A)
(43)公開日　平成13年10月12日(2001.10.12)
審査請求日　平成14年8月27日(2002.8.27)

(73)特許権者　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町２２番２２号
(74)代理人　110000338
特許業務法人原謙三国際特許事務所
(74)代理人　100080034
弁理士　原　謙三
(72)発明者　高橋　昌之
大阪府大阪市阿倍野区長池町２２番２２号
シャープ株式会社内
(72)発明者　岡田　久夫
大阪府大阪市阿倍野区長池町２２番２２号
シャープ株式会社内

審査官　松田　岳士

最終頁に続く

(54)【発明の名称】電荷量検出回路

(57)【特許請求の範囲】
【請求項１】
静止画像を撮影する撮影モードと動画像を撮影する透視モードとを備え、透視モードでの信号電荷量が撮影モードでの信号電荷量よりも小さいデータを検出する画像センサの読み取り回路として用いる電荷量検出回路であって、電荷検出増幅器の後段に低域フィルタ回路を設け、さらにその後段に電圧増幅回路を設けた電荷量検出回路において、
上記低域フィルタ回路は抵抗および容量からなる１次のフィルタ回路からなり、
上記電圧増幅回路は演算増幅器を含み、
上記低域フィルタ回路を構成している上記容量が、上記電圧増幅回路を構成する一部を兼務するとともに、透視モードと撮影モードとに応じて切り替えられ、透視モード時に上記電圧増幅回路の増幅率および上記低域フィルタ回路の時定数を撮影モード時に比して増大させるようにしたことを特徴とする電荷量検出回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、Ｘ線センサ等の画像センサおよびそれに用いられる電荷量検出回路に関するものである。
【０００２】
【従来の技術】
一般的な２次元行列構造の画像センサの概略の構成を、図１３および、本発明を説明する

ための図である図１ないし図９を用いて説明する。この画像センサは、例えばＸ線を検出するＸ線センサとして機能させ、Ｘ線診断装置等で用いることができる。

【０００３】

図１に示す画像センサ４８は、硝子基板５０の上に、光電変換層５４およびバイアス電極５２が形成されて構成されている。光電変換層５４は、たとえば非晶質セレン（以下ａ－Ｓｅと記す）の薄膜などで形成されており、バイアス電極５２はＸ線を透過する金属膜、たとえば金等の導体膜で形成されている。硝子基板５０の光電変換層５４側の面には、行列上に配置された画素電極５６、蓄積容量（画素容量）１７およびスイッチ素子１８と、走査線（行）１０およびデータ線（列）１２が形成されている。そして、走査線１０およびデータ線１２は、それぞれ走査駆動器（ゲートドライバ）１４および読み取り回路１６に接続されている。

【０００４】

このように、画像センサ４８は、光電変換層５４と蓄積容量１７とを主体とした、Ｘ線等の光子を電荷に変換して蓄積する光電変換部と、その光電変換部からの電荷の信号を読み取る読み取り回路（電荷量検出回路）１６とを備えた構成となっている。

【０００５】

画素電極５６は、スイッチ素子１８を介してデータ線１２に接続されており、スイッチ素子１８のスイッチング動作は走査駆動器１４から走査線１０を介して供給される電圧により行われる。したがって、スイッチ素子１８として一般に用いられる薄膜トランジスタ（以下、ＴＦＴと記す）の場合では、ＴＦＴのソースは画素電極５６に、ドレインはデータ線１２に、ゲートは走査線１０にそれぞれ接続されることになる。なお、以下ではスイッチ素子１８としてはＴＦＴが用いられているものとして説明する。

【０００６】

図２は、図１におけるＡ－Ａ線矢視断面図である。絶縁膜５８を介して画素電極５６と対向する位置に補助電極６０が設けられており、画素電極５６との間で蓄積容量１７を構成している。この補助電極６０は、全画素２２において共通の基準電位（Ｖｒｅｆ）となるように配線されている。また、バイアス電極５２は画素電極に対して高電圧、例えば数千ボルトを印加できるようになっている。

【０００７】

上記のような画像センサ４８に、Ｘ線光子６８がバイアス電極５２側から入射すると、バイアス電極５２を透過したＸ線光子６８は、光電変換層５４において電子と正孔の対を発生させる。ここで、バイアス電極５２に正の電圧が印加されているときは正孔が、負の電圧が印加されているときは電子が画素電極５６側に移動し、光子６８の入射位置に対応する位置にある画素電極５６に達する。画素電極５６に達した正孔または電子は、蓄積容量１７にて保持される。蓄積容量１７にて保持された正または負の電荷（以下、信号電荷と称す）は、ＴＦＴからなるスイッチ素子１８がオンとなることでデータ線１２に流出し、データ線１２に接続された読み取り回路１６によってその電荷量（信号電荷量）が読み取られる。

【０００８】

走査駆動器１４が所定の一本の走査線１０にハイの電圧を出力すると、その走査線１０に接続された全てのＴＦＴがオン状態になり、各蓄積容量１７に保持されている信号電荷が、対応するそれぞれのデータ線１２に流出する。走査駆動器１４が各走査線１０に順次ハイの電圧を出力することで全ての画素電極５６のデータが読み取られ、一枚の画像データの読み取りが行われる。

【０００９】

上記の画像センサ４８に用いられる読み取り回路１６に関して説明する。図３は、電荷量の読み取りに使われる電荷検出増幅器（Charge Sensitive Amplifier、以下ＣＳＡと称す）２０の基本的な構造を示した回路図である。演算増幅器２０ａの反転入力と出力とは帰還容量２０ｂを介して互いに接続されており、負帰還回路を構成している。また、帰還容量２０ｂと並列にリセットスイッチ２０ｃが接続されており、帰還容量２０ｂに蓄積され

た電荷を放電してリセットすることができる。データ線１２は演算増幅器２０ａの反転入力に接続されており、非反転入力は基準電位であるＧＮＤに接続されている。

【００１０】

図４は、ＴＦＴからなるスイッチ素子１８と、蓄積容量１７とを含めた画素２２一つ当たりの読み取りの等価回路図であり、図５は、図４における読み取り動作のタイミングチャートおよびＣＳＡ２０の出力電位を表すグラフである。図４において、画素２２は第ｉ行目の走査線１０である走査線１０ｉおよび第ｊ列目のデータ線１２ｊに接続された画素であるものとする。なお、Ｃｄｌは、データ線１２ｊの容量を表す。図５で、Ｇ（ｉ）は走査線１０ｉに出力される電圧を表し、またＲｓｔはリセットスイッチ２０ｃに出力されるリセット信号を表す。

【００１１】

読み取り動作は、まずリセットスイッチ２０ｃがオンとなることで開始される（Ａ期間）。これによりそれ以前の動作で帰還容量２０ｂに蓄積されていた電荷を放電してリセットし、ＣＳＡ２０の出力電位はＧＮＤすなわち０となる。次に、Ｒｓｔがローになってから（Ｄ期間）、Ｇ（ｉ）にハイの電圧が出力されてＴＦＴのスイッチ素子１８がオンとなり、蓄積容量１７に蓄積されていた信号電荷（－Ｑ）がデータ線１２ｊに流出する。演算増幅器２０ａは、データ線１２ｊに流出した電荷（－Ｑ）が全て帰還容量の入力側の電極に集まるように動作し、その結果、帰還容量の出力側の電極には、等量で逆極性の電荷（＋Ｑ）が現れる。結局、ＣＳＡ２０の出力には、信号電荷に対応する電荷であるＱを帰還容量２０ｂの容量値で割った電位が現れる（Ｂ期間）。この電位を読み取ることで、信号電荷量を電位として検出できる。その後、この行のＧ（ｉ）にローの電圧が出力されてからしばらくして（Ｃ期間）、次の行の読み取り動作のためにＲｓｔが再度リセットされ、それに伴いＣＳＡ２０の出力電位はＧＮＤに戻る。

【００１２】

ここで、相関２重サンプリング（Correlated Double Sampling：以下ＣＤＳと略す）と呼ばれる電位読み取り方法について簡単に説明する。もし、図４に示す読み取り回路系が完全であれば、Ｃ期間で読み取られた電位は正確に信号電荷量に相当するはずである。しかしながら実際には、リセット後のＤ期間において、ＣＳＡ２０の出力電位は完全にＧＮＤとはならずに、オフセットが存在する。オフセットの原因としては、演算増幅器２０ａ自体の持つフリッカ雑音やオフセット、リセットスイッチ２０ｃやＴＦＴ（スイッチ素子１８）の開閉に伴うフィードスルー現象などがある。フィードスルー現象とは、ＭＯＳスイッチに本質的に付随する現象であり、オン時にゲート・ソース間容量とゲート・ドレイン間容量とによって拘束されていたチャネル電荷が、ゲート電圧が下がることによってその拘束を解かれ、ドレインとソースとの回路側に流出する現象である。

【００１３】

上記ＣＤＳは、図５のｓｍｐ１とｓｍｐ２とで示したタイミングでＣＳＡ２０の電位をそれぞれ読み取り、ｓｍｐ２で読み取った電位とｓｍｐ１で読み取った電位との差を求めることで、ｓｍｐ１とｓｍｐ２との間の期間でのＣＳＡ２０の電位変動量を正確に求めることができる。ＣＤＳを行うことにより、Ｄ期間に存在するオフセットを取り除けるということは、すなわち、Ｄ期間におけるオフセットが０という理想回路系において、Ｃ期間に１回のみ電位を読み取る場合と等価として扱えるということである。なお、ＣＤＳは本発明とは直接的な関係はないので、以下では説明を単純化するため、ＣＤＳによって等価として扱える理想回路系において、読み取りをＣ期間に１回のみ行うものとして説明する。

【００１４】

図１３に、信号電荷がディジタルデータとして出力されるまでの１入力対応の読み取り回路（単位読み取り回路と称する）の回路構成図を示す。ＣＳＡの出力は必要に応じて電圧増幅回路（メインアンプ）（ＭＡ）で増幅され、サンプルホールド回路（Ｓ／Ｈ）にてサンプリングされ保持される。保持されたデータ電圧はマルチプレクサを介してＡＤ（アナログディジタル）変換器（ＡＤＣ）に入力されディジタル値に変換され、データラッチ回路（ＤＬ）にて保持される。なお、マルチプレクサは、１つのＡＤＣに複数の入力端子を

割り当てるために用いられるものであり、回路の本質的なものではない。したがって、例えば各入力端子に１対１に対応してＡＤＣを構成する場合には不要となる。

【００１５】

ＭＡは、ＣＳＡの出力電圧が小さい場合に、それ以降の回路が動作するのに十分な大きさの電圧範囲にまで信号電圧を増幅するために設けられている。

【００１６】

Ｘ線撮影装置の一般的な用途である静止画像撮影（撮影モード）の場合には照射するＸ線の線量が十分に大きい。したがってそのデータの信号電荷量も大きく、ＣＳＡに十分大きな電圧が現れるため、ＭＡは必ずしも必要ではない。しかし、動画像を得るための撮影（透視モード）の場合では、秒単位から分単位の期間、Ｘ線を照射し続ける必要があり、Ｘ線の総照射量を抑えるため、撮影モードより２桁ほど弱いＸ線が用いられている。したがって、透視モードでの信号電荷量は、撮影モードに比して極めて小さく、ＭＡが必要となる。なお、図１３ではＭＡを１つのブロックで表しているが、増幅率によっては２段以上の構成が用いられることもある。

【００１７】

図６に、典型的なＭＡの構成例を示す。同図はオペアンプの反転増幅回路を用いたものであり、抵抗ＲｂとＲａの比（Ｒｂ／Ｒａ）によって増幅率が決定される。

【００１８】

図７に、ａ－Ｓｅ光電変換層のＸ線量（Ｘ線強度）に対する信号電荷量の例を示す。なお、縦軸の絶対的な値は、光電変換層の膜厚、印加するバイアス電圧、画素サイズによって変わる。直線Ａは信号電荷量であり、直線Ｂは量子雑音である。この例の場合、０．１μＲのＸ線量では信号電荷量は８０００ｅ－ｒｍｓ程度しか発生しないが、線量が３０μＲの場合には１，０００，０００ｅ－ｒｍｓ程度の信号電荷量が発生することが分かる。なお、１Ｒ（レントゲン）は、$1\mathrm{cm}^3$ の空気に単位電荷を発生させるのに必要なＸ線の放射線量であり、2.58×10^{-4}Ｃ／ｋｇに相当する。また、ｅ－ｒｍｓは、ｒｍｓ（root mean square、平方自乗平均、根平均自乗）で表した電子数であり、換言すれば、発生（検出）する電子数の期待値である。ここで、０．１μＲは、透視モードにおける最低線量であり、３０μＲは撮影モードにおける最低線量であることを考えれば、透視モードで発生する信号電荷量は、透視モードのそれに対してほぼ１／１００程度の大きさとなることが分かる。これをＣＳＡの出力に現れる電圧に換算すれば、帰還容量Ｃｆを１０ｐＦとした場合、それぞれ０．１２８ｍＶ、１６ｍＶとなる。この場合、ＭＡの倍率を１００倍程度に設定することで、サンプルホールド回路以降の動作電圧範囲を撮影モードとほぼ同一とすることができる。

【００１９】

ところで、発生する量子雑音は、信号電荷量に対して１／２の傾きで増加しており、線量が強くなるほど雑音が相対的に小さくなっていく。一般に撮影モードでは透視モードの３００倍程度の線量が使用されており、この場合、撮影モードの量子雑音は透視モードの量子雑音に対して相対的に１／１７ほど小さくなるということを意味する。逆に言えば、透視モードにおける雑音は、撮影モードの場合に対してはるかに厳しい対策を必要とすることが分かる。

【００２０】

次に、読み出し回路１６によって発生する雑音について説明する。

【００２１】

ＣＳＡ（電荷検出増幅器２０）を構成する演算増幅器２０ａは、それ自体が雑音電力を発生する。その主な要因は、演算増幅器２０ａを構成する素子が発生する熱雑音であり、高い周波数まで伸びた白色雑音として回路に現れる。雑音電力は、回路の周波数帯域の平方根に比例するため、不必要な高域周波数をカットすることで出力雑音を低減することができる。例えば、ＣＳＡからサンプルホールド回路に至る回路系の周波数帯域が１０ＭＨｚである場合と１００ｋＨｚである場合とを比較すると、他の条件が同一であれば、雑音電力は前者が後者の１０倍大きくなってしまう。したがって、回路系の周波数帯域は不必要

に広げないこと、換言すれば、回路の動作に不要な高域周波数はカットすることが望ましい。

【００２２】

不必要な高域周波数をカットするためには、低域通過フィルタ（ＬＰＦ）を用いればよい。ＬＰＦを設ける位置としては、雑音理論上、回路のできるだけ上流に設けると効果が大きい。したがって、図８に示す単位読み取り回路のように、ＣＳＡとＭＡの間に設けることが考えられる。

【００２３】

【発明が解決しようとする課題】

図９に、最も単純なＬＰＦである一次のＬＰＦの構造を示す。このように一次のＬＰＦは抵抗Ｒと容量Ｃとによって構成されており、ＬＰＦに要する面積がそのままＬＳＩの面積の増大分となってしまう。ところで、センサの画素ピッチは、医療用Ｘ線装置の場合、１５０μｍから１００μｍ程度で、データ線や走査線の数は、たとえば１０００本から３０００本ほどにもなる。図１３または図８で示した単位読み取り回路はデータ線ごとに設ける必要があるので、各単位読み取り回路に許されるスペースの幅もこの大きさ以下に限定される。この限定されたスペースにＬＰＦを設けることは必ずしも容易ではなく、また可能であっても、その増大分チップサイズが増大することは避けられないので、その分、製造コストの増大を招くことになる。

【００２４】

本発明は、上記課題に鑑みなされたものであり、その目的は、ＬＰＦを設けることによるチップサイズの増大を可能な限り圧縮し、かつそれによってチップコストの増大も可能な限り抑えることのできる電荷量検出回路およびそれを用いた画像センサを提供することにある。

【００２５】

【課題を解決するための手段】

上記の課題を解決するため、本発明の電荷量検出回路は、電荷検出増幅器の後段に低域フィルタ回路を設け、さらにその後段に電圧増幅回路を設けた電荷量検出回路において、低域フィルタ回路を構成する要素の一部が、電圧増幅回路を構成する要素の一部を兼務していることを特徴としている。

【００２６】

上記の構成により、低域フィルタ回路を構成する要素の一部が、電圧増幅回路を構成する要素の一部を兼務している。したがって、その兼務された素子の分だけ、チップサイズを縮小することができる。それゆえ、低域フィルタ回路を設けることによるチップサイズの増大を可能な限り圧縮し、かつそれによってチップコストの増大も可能な限り抑えることができる。

【００２７】

また、本発明の電荷量検出回路は、上記の構成に加えて、上記電圧増幅回路の増幅率が増大するにつれて、上記低域フィルタ回路の時定数も増大することを特徴としている。

【００２８】

一般に、低域フィルタ回路は、雑音量を低減する効果は直接的で大きいが、検出すべき電圧に誤差を生じさせてしまうという副作用がある。特に、抵抗と容量とからなる一次のフィルタ回路には、パルス入力に対して履歴特性が存在し、パルス入力ごとに微妙に時定数が変化してしまう。その変化の大きさは、特に容量の構造に依存するため一概にはいえないが、時定数が大きくなるほど変化も大きくなってしまう。ここに１つの例を挙げてみると、ダブルポリシリコン構造による容量とＣ－ＭＯＳ構造の抵抗とによる場合、８μｓの中心値に対してプラスマイナス１パーセント程度、もしくはそれ以上の変動が観測されることはよくあることである。電荷量検出回路におけるこの変動は信号電圧の減衰率に影響を与えるため、検出すべき電圧に誤差、すなわち雑音を生じさせてしまう。すなわち、低域フィルタ回路は、その時定数が大きいほど、周波数帯域の観点からは雑音を低減するが、上記機構によって発生する雑音は逆に増加させてしまうという副作用がある。

【００２９】
動画を撮影する透視モードの場合には、信号量と雑音との比であるＳ／Ｎが元々小さいため、低域フィルタ回路による雑音低減効果によるＳ／Ｎ上昇の効果のほうが圧倒的に大きい。しかし、静止画を撮影する撮影モードのように、元々のＳ／Ｎが透視モードに比較してはるかに大きい場合には、時定数の大きさによっては、低域フィルタ回路によるＳ／Ｎ向上よりも上記機構によって発生する雑音によるＳ／Ｎ劣化のほうが大きくなる場合がある。そのため、透視モードでは低域フィルタ回路の時定数を十分に大きくし、撮影モードの場合には時定数を不必要に大きくしないという工夫が必要になる。
【００３０】
上記本発明の構成によれば、上記電圧増幅回路の増幅率が増大するにつれて、上記低域フィルタ回路の時定数も増大する。したがって、動画撮影の場合のように信号電荷量が小さく増幅率を大きくしなければならないときは、低域フィルタ回路の時定数を大きくして雑音量を小さくし、一方、静止画撮影の場合のようにデータの信号電荷量が十分に大きく、電圧増幅回路での増幅率が小さくてもよい場合は、低域フィルタ回路の時定数を小さくすることにより、Ｓ／Ｎを最適の値に維持することができる。それゆえ、上記の構成による効果に加えて、撮影状況にかかわらず、雑音が少なくＳ／Ｎの良好な高品位の信号電荷検出を行うことができる。
【００３１】
また、本発明の電荷量検出回路は、上記低域フィルタ回路が１次のフィルタ回路であり、上記兼務している要素が容量であることを特徴としている。
さらに、本発明の画像センサは、上記電荷量検出回路を読み取り回路として用いたことを特徴としている。
なお、本発明の電荷量検出回路は、さらに、上記のように検出した信号電荷をサンプリングおよび保持するためのサンプルホールド回路（Ｓ／Ｈ）や、保持された信号電荷をアナログディジタル（ＡＤ）変換するためのアナログディジタル変換器（ＡＤＣ）、１つのアナログディジタル変換器に複数の入力を割り当てるためのマルチプレクサ、ディジタル値に変換された信号電荷を保持するためのデータラッチ回路（ＤＬ）等をも備えることができる。
【００３２】
【発明の実施の形態】
本発明の実施の一形態について図１ないし図１２に基づいて説明すれば、以下の通りである。
【００３３】
本実施の形態に係る電荷量検出回路は、図１に示す読み取り回路（電荷量検出回路）１６として、画像センサ４８に用いられるものである。本実施の形態にかかる画像センサ４８や読み取り回路１６等の構成は、図１ないし図９を用いてすでに説明した通りである。そのためその説明は省略する。
【００３４】
まず、本発明の概念的な構成について述べる。すなわち、本発明の読み取り回路１６では、ＬＰＦ（低域フィルタ回路）を構成する要素を、電圧増幅回路（ＭＡ）を構成する要素と共用することができる。そのことにより、ＬＰＦを構成する要素を減少させることができる。
【００３５】
図１０（ａ）に、一つの概念図を示す。同図において、抵抗Ｒａと容量Ｃａとにより、ＬＰＦが構成されている。また、同図に示す演算増幅器ＯＡおよび容量Ｃａ、Ｃｂにより、ＭＡが構成されている。ＣａとＣｂとはＭＡの増幅率を決定している。つまり、Ｃａは、ＬＰＦを構成する容量であると同時にＭＡを構成する容量でもある。ＬＰＦの時定数はＲａ・Ｃａ、ＭＡの増幅率はＣａ／Ｃｂとなる。Ｃａを共用することで、ＬＰＦを設けたことによる回路の増加はＲａのみとなる。ここで、演算増幅器ＯＡの非反転入力端子は仮想短絡の概念によってＧＮＤレベルにある。したがって、反転入力端子の電圧である図１０

（ａ）のｂ点の電圧もＧＮＤとなり、演算増幅器ＯＡの動作として、ＲａとＣａとの接続部の電圧である図１０（ａ）のａ点の電圧が－Ｃａ／Ｃｂ倍に増幅されて出力される。つまり、図１０（ａ）の回路をブロック図的に表すと、図１０（ｂ）のように表される。ただし、本構成の回路においては、Ｃａが、ＬＰＦを構成する容量と、ＭＡを構成する容量とで共有されているため、厳密には等価回路は図１０（ｃ）のように表される。図１０（ａ）の構成の回路において、ＲａとＣａとは、入力とＧＮＤとの間に直列に接続されており、ＲａとＣａとは、図９と等価なＬＰＦを構成している。

【００３６】

次に、より具体的な構成について述べる。すなわち、図１１に、一構成例を示す。同図において、抵抗R_1と容量C_2、C_3とにより、ＬＰＦが構成されている。また、同図に示す演算増幅器ＯＡおよび容量C_1、C_2、C_3により、ＭＡが構成されている。同図に示すように、この構成例では、C_3を回路に挿入する状態と挿入しない状態とを切り替えられるようになっている。切り替えは、スイッチSW_2の制御信号CT_2で行う。すなわち、スイッチの制御は、制御回路からの制御信号入力によって行い、例えば、同図において、CT_2がハイであればスイッチSW_2はａ側に、ローであればｂ側に接続して、C_3を回路に挿入するか否かを制御することになる。より具体的には、例えば、透視モード（動画撮影）の場合にはCT_2をハイとして、撮影モード（静止画撮影）の場合にはCT_2をローとする等の方法で制御すればよい。C_2はC_1と値が同じ容量であり、回路に常に挿入されている。スイッチSW_1は、C_1に充電された電荷を放電して回路を初期状態にするためのスイッチであり、回路を動作させるときはオフ状態で使用する。本スイッチは本発明とは直接には関係しないため以後の説明は省略する。

【００３７】

CT_2がローのとき、SW_2はｂ側に接続されているのでＬＰＦの時定数はC_2・R_1となり、ＭＡの増幅率はC_2／C_1となる。もしC_2＝C_1と設定しておけば、このときの増幅率は１となる。

【００３８】

CT_2がハイのとき、SW_2はａ側に接続され、C_3はC_2と並列に接続される。そのためＬＰＦの時定数は（C_2＋C_3）・R_1、増幅率は（C_2＋C_3）／C_1となる。

【００３９】

このように、信号レベルが小さくてＭＡでの増幅が必要な場合には、ＬＰＦの時定数が大きくなるので、出力雑音が低減されると同時に、必要な電圧増幅が得られるということになる。倍率を１として使用するのは上述した撮影モードのときである。先述したように撮影モードのときの信号電荷量は透視モードのときの数十倍以上あるので、ＬＰＦの効果が小さくても条件次第では十分なＳ／Ｎ（信号対雑音比）が得られる。透視モードでも信号検出を可能とするためには、演算増幅器ＯＡはもともと十分に小さな内在雑音の特性とする必要があり、そのような低雑音の演算増幅器を使うかぎり、ＬＰＦが無いかあるいは効果が小さくとも信号電荷量より十分に小さな雑音量となるからである。また、ＬＰＦの時定数が必要以上に大きすぎると、Ｓ／Ｎがかえって悪化してしまうことがあるのは前述した通りである。

【００４０】

図１２に、別の構成例を示す。同図において、抵抗R_1と容量C_2、C_3、C_4とにより、ＬＰＦが構成されている。また、同図に示す演算増幅器ＯＡおよび容量C_1、C_2、C_3、C_4により、ＭＡが構成されている。同図に示すように、この構成では、ＭＡの増幅率を多段に切り替えられる構成となっている。SW_2とSW_3とがともにａ側に接続されていれば、ＭＡの増幅率は（C_2＋C_3＋C_4）／C_1となる。またその時ＬＰＦの時定数は（C_2＋C_3＋C_4）・R_1となる。なお、SW_2のみがａ側のときは増幅率は（C_2＋C_3）／C_1で時定数が（C_2＋C_3）・R_1となり、SW_3のみがａ側のときは増幅率は（C_2＋C_4）／C_1で時定数が（C_2＋C_4）・R_1となる。また、SW_2、SW_3ともにｂ側であれば、増幅率はC_2／C_1で時定数がC_2・R_1となる。

【００４１】

このように、この例では、増幅率がC_2／C_1、（C_2＋C_3）／C_1、（C_2＋C_4）／C_1、（C_2＋C_3＋C_4）／C_1の間で切り替えられ、増幅率に応じ、時定数がそれぞれC_2・R_1、（C_2＋C_3）・R_1、（C_2＋C_4）・R_1、（C_2＋C_3＋C_4）・R_1のように切り替わるようになっている。増幅率を高くする必要があるときは信号電荷量が小さいときであり、そのときほどＬＰＦの時定数が大きくなるようになっている。それにより、信号量が小さい時ほど雑音量を小さくすることができる。なお、図１１の構成と同様に撮影モードの時のように増幅率を１としたいときは、C_2＝C_1と設定しておけばよい。

【００４２】

なお、本発明では、電荷量検出回路は、電荷検出アンプの後段に低域フィルター回路を設け、さらにその後段に電圧増幅回路を設けた回路において、低域フィルター回路を構成する要素の一部が電圧増幅回路を構成する要素の一部を兼務するように構成してもよい。

【００４３】

また、電荷量検出回路は、上記構成において、低域フィルタ回路は１次のフィルタ回路であり、その兼務する要素が容量であるように構成してもよい。

【００４４】

また、電荷量検出回路は、上記構成において、低域フィルタ回路は１次のフィルタ回路であり、その兼務する要素が抵抗であるように構成してもよい。

【００４５】

また、電荷量検出回路は、上記構成において、電圧増幅回路の倍率が外部からの制御信号によって制御可能であり、かつその増幅率に対応して低域フィルタ回路の時定数も変化するように構成してもよい。

【００４６】

また、電荷量検出回路は、上記構成において、電荷検出増幅器とその後段の電圧増幅回路を構成する演算増幅器の反転入力端子との間に直列に抵抗（図１２のR_1）と容量（図１２のC_2）が構成され、該反転入力端子には更に１つ以上の容量（C_3、C_4）が接続されており、該容量の他方の電極はスイッチを介してC_2と並列に回路に接続できるように構成してもよい。

【００４７】

また、電荷量検出回路は、上記構成において、C_3，C_4が並列接続されない時は、そのスイッチ側の電極がその後段の演算増幅器の非反転入力端子と同一の電位にＬＳＩ内部にて接続されているように構成してもよい。

【００４８】

また、電荷量検出回路は、上記構成において、C_2とC_1が同じ値に設定されているように構成してもよい。

【００４９】

本発明の１次的な効果は、信号読み出しＬＳＩにＬＰＦを容易に構成可能として、それによって、低雑音の信号読み出しＬＳＩの製造を容易にすることである。また、２次的には、ＬＰＦを設けることによるチップサイズの増大を抑え、コストアップを圧縮できることである。

【００５０】

本発明においては、動画撮影の場合のようにデータの信号電荷量が小さく、増幅率を大きくしなければならないときは、ＬＰＦの時定数を大きくして雑音量を小さくし、一方、静止画撮影の場合のようにデータの信号電荷量が十分に大きく、増幅率が小さくてもよいときは、ＬＰＦの時定数を小さくすることにより、Ｓ／Ｎを最適の値に維持することができる。それゆえ、撮影状況にかかわらず、雑音が少なくＳ／Ｎの良好な高品位の信号電荷検出を行うことができる。

【００５１】

また、ＬＰＦの時定数が大きいと、サンプルホールド回路でＭＡの出力をサンプリングするタイミングによっては、電圧が十分に定常状態に至らないという場合も生じる。サンプ

リングするまでの時間を十分長くすれば定常状態に達するが、データを読み込むのにかかる時間がその分長くなってしまうという欠点が生じる。また、時間が長くなると、漏れ電流などによる信号電圧の喪失率も増加するので、その点からもＳ／Ｎを下げてしまうことになる。本発明は、ＬＰＦの時定数を不必要に大きくすることがないので、その点からも効果がある。

【００５２】

【発明の効果】

以上のように、本発明の電荷量検出回路は、低域フィルタ回路を構成する要素の一部が、電圧増幅回路を構成する要素の一部を兼務している構成である。

【００５３】

これにより、その兼務された素子の分だけ、チップサイズを縮小することができるので、低域フィルタ回路を設けることによるチップサイズの増大を可能な限り圧縮し、かつそれによってチップコストの増大も可能な限り抑えることができるという効果を奏する。

【００５４】

また、本発明の電荷量検出回路は、上記の構成に加えて、上記電圧増幅回路の増幅率が増大するにつれて、上記低域フィルタ回路の時定数も増大する構成である。

【００５５】

これにより、動画撮影の場合のようにデータの信号電荷量が小さく、増幅回路での増幅率を大きくしなければならない場合は、低域フィルタ回路の時定数を大きくして雑音量を小さくし、一方、静止画撮影の場合のようにデータの信号電荷量が十分に大きく、電圧増幅回路での増幅率が小さくてもよい場合は、低域フィルタ回路の時定数を小さくすることにより、Ｓ／Ｎを最適の値に維持することができる。それゆえ、上記の構成による効果に加えて、撮影状況にかかわらず、雑音が少なくＳ／Ｎの良好な高品位の信号電荷検出を行うことができるという効果を奏する。

【００５６】

また、低域フィルタ回路（ＬＰＦ）の時定数が大きいと、サンプルホールド回路で電圧増幅回路（ＭＡ）の出力をサンプリングするタイミングによっては、電圧が十分に定常状態に至らないという場合も生じる。サンプリングするまでの時間を十分長くすれば定常状態に達するが、データを読み込むのにかかる時間がその分長くなってしまうという欠点が生じる。また、時間が長くなると、漏れ電流などによる信号電圧の喪失率も増加するので、その点からもＳ／Ｎを下げてしまうことになる。本発明は、低域フィルタ回路の時定数を不必要に大きくすることがないので、その点からも効果がある。

【図面の簡単な説明】

【図１】本発明に係る電荷量検出回路を備えたＸ線センサの構造を示す斜視図である。

【図２】Ｘ線センサの構造を示す、図１におけるＡ－Ａ線矢視断面図である。

【図３】電荷検出増幅器の基本回路の構成を示す回路図である。

【図４】１データ線に対応した画素および電荷検出増幅器の等価回路の構成を示す回路図である。

【図５】信号電荷の読み取り動作を示す説明図である。

【図６】演算増幅器を用いた典型的な電圧増幅回路の構成を示す回路図である。

【図７】ａ－Ｓｅ光電変換層の変換特性の１例を示すグラフである。

【図８】ＬＰＦを設けた１入力対応の単位読み取り回路の回路構成を示すブロック図である。

【図９】１次の低域フィルタ回路の構成を示す回路図である。

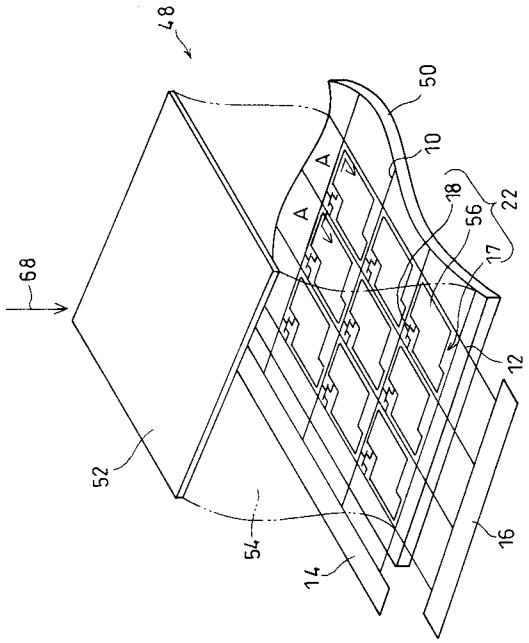
【図１０】図１０（ａ）は、１次の低域フィルタ回路および電圧増幅回路の構成を示す回路図であり、図１０（ｂ）は、図１０（ａ）の構成をブロック図的に示す回路図であり、図１０（ｃ）は、図１０（ａ）の構成の厳密な等価回路をブロック図的に示す回路図である。

【図１１】１次の低域フィルタ回路および電圧増幅回路の構成を示す回路図である。

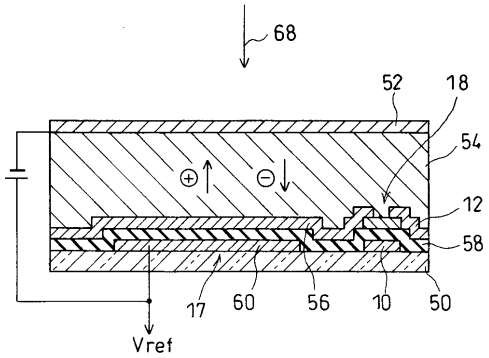
【図１２】１次の低域フィルタ回路および電圧増幅回路の構成を示す回路図である。

【図１３】従来の１入力対応の単位読み取り回路の回路構成を示すブロック図である。
【符号の説明】
１０　走査線
１０ｉ　走査線
１２　データ線
１２ｊ　データ線
１４　走査駆動器
１６　読み取り回路（電荷量検出回路）
１７　蓄積容量
１８　スイッチ素子
２０　電荷検出増幅器
２０ａ　演算増幅器
２０ｂ　帰還容量
２０ｃ　リセットスイッチ
２２　画素
４８　画像センサ
５０　硝子基板
５２　バイアス電極
５４　光電変換層
５６　画素電極
５８　絶縁膜
６０　補助電極
６８　Ｘ線光子
ＡＤＣ　ＡＤ変換器
Ｃｄｌ　容量
ＣＳＡ　電荷検出増幅器
CT_2　制御信号
ＤＬ　データラッチ回路
Ｇ（ｉ）　電圧
ＬＰＦ　低域フィルタ回路
ＭＡ　電圧増幅回路
ＯＡ　演算増幅器
Ｒｓｔ　リセット信号
Ｓ／Ｈ　サンプルホールド回路
SW_1、SW_2、SW_3　スイッチ

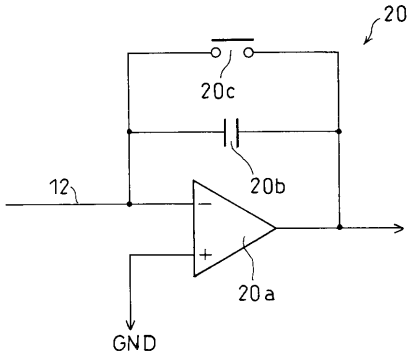
【図１】


48
50
10
A
A
18
56
22
17
12
68
52
54
14
16

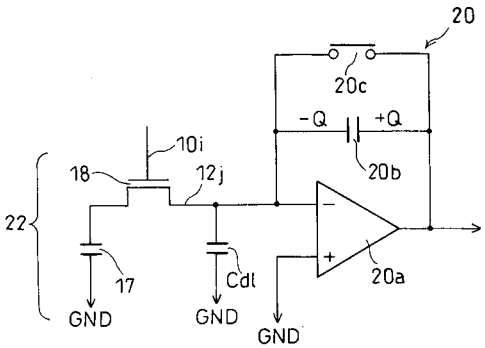
【図２】


68
52
18
54
12
58
17
60
56
10
50
Vref

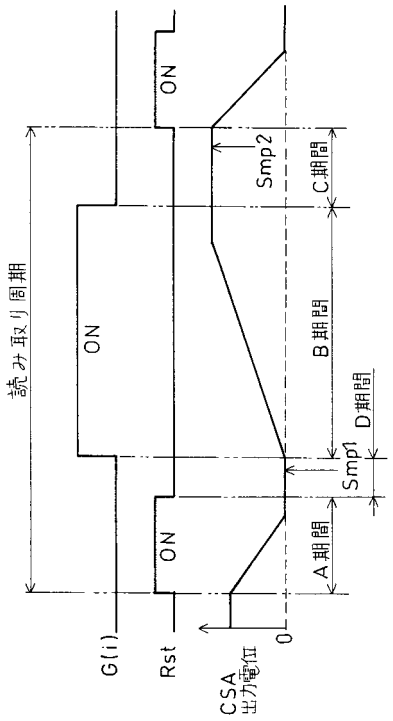
【図３】


20
20c
20b
12
20a
GND

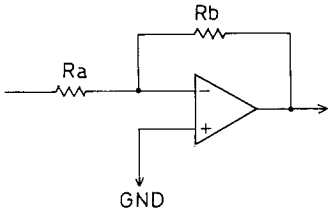
【図４】


20
20c
-Q
+Q
10i
18
12j
20b
22
17
Cdl
20a
GND
GND
GND

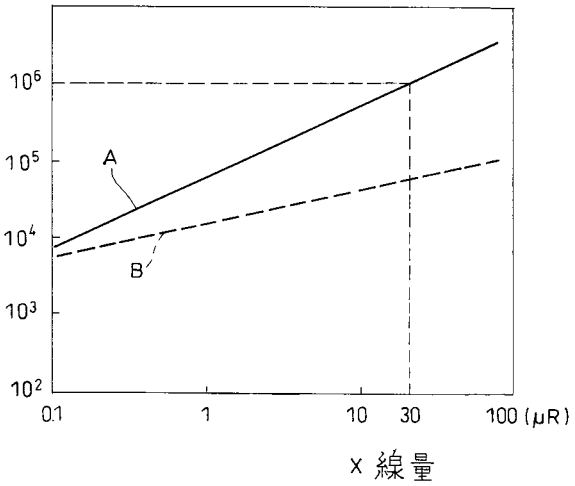
【図５】


ON
Smp2
C期間
読み取り周期
ON
B期間
D期間
Smp1
ON
A期間
G(i)
Rst
CSA
出力電位
0

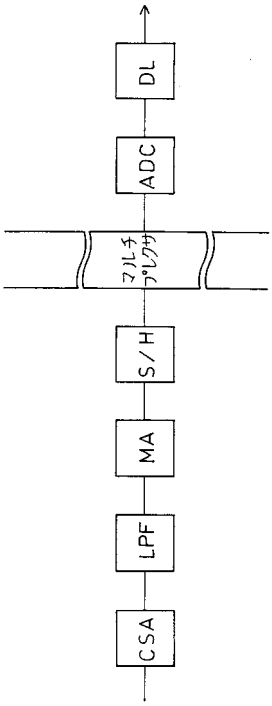
【図６】



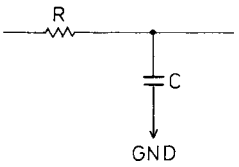
【図７】



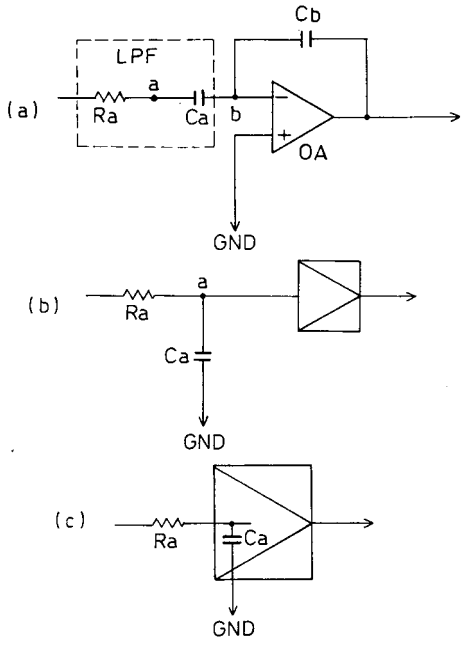
【図８】



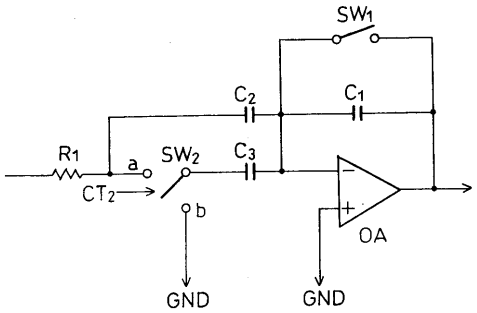
【図９】



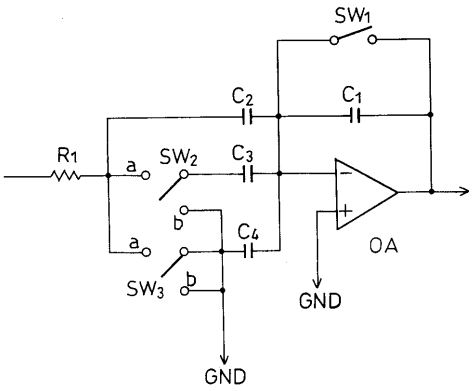
【図１０】



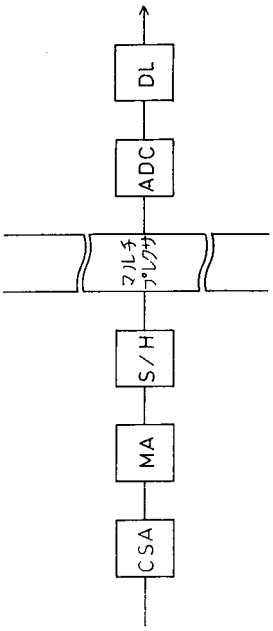
【図１１】


SW1
C2
C1
R1
a
SW2
C3
CT2
b
OA
GND
GND

【図１２】


SW1
C2
C1
R1
a
SW2
C3
b
C4
a
OA
SW3
b
GND
GND

【図１３】


DL
ADC
マルチプレクサ
S/H
MA
CSA

フロントページの続き

(56)参考文献 特開昭５８－０１５３１７（ＪＰ，Ａ）
特開昭５９－０８０２３３（ＪＰ，Ａ）
実開昭６２－１９８７２０（ＪＰ，Ｕ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04N 5/30 - 5/335
H03H 11/00 -11/54