

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4839826号
(P4839826)

(45) 発行日 平成23年12月21日(2011.12.21)

(24) 登録日 平成23年10月14日(2011.10.14)

(51) Int.Cl.		F I		
HO 1 L 25/00	(2006.01)	HO 1 L 25/00		B
GO 1 P 15/08	(2006.01)	GO 1 P 15/08		P
HO 1 L 29/84	(2006.01)	HO 1 L 29/84		A

請求項の数 2 (全 17 頁)

(21) 出願番号	特願2005-371090 (P2005-371090)	(73) 特許権者	000005832
(22) 出願日	平成17年12月22日(2005.12.22)		パナソニック電工株式会社
(65) 公開番号	特開2007-173641 (P2007-173641A)		大阪府門真市大字門真1048番地
(43) 公開日	平成19年7月5日(2007.7.5)	(74) 代理人	100087767
審査請求日	平成20年10月15日(2008.10.15)		弁理士 西川 恵清
		(72) 発明者	中筋 威
			大阪府門真市大字門真1048番地 松下電工株式会社内
		(72) 発明者	佐名川 佳治
			大阪府門真市大字門真1048番地 松下電工株式会社内
		(72) 発明者	植田 充彦
			大阪府門真市大字門真1048番地 松下電工株式会社内

最終頁に続く

(54) 【発明の名称】 センサモジュール

(57) 【特許請求の範囲】

【請求項1】

センサ素子と、センサ素子の出力信号を信号処理する信号処理回路が形成されたICチップと、センサ素子およびICチップが実装される実装基板とを備え、実装基板は、一面が開放された箱状に形成され、当該箱状の実装基板の内部空間にセンサ素子が収納されて内側面とセンサ素子の側面との間にギャップが形成される形でセンサ素子が内底面側にフリップチップ実装されるとともに、外底面側にICチップがフリップチップ実装され、外部回路接続用の端子が前記一面側に形成されてなり、センサ素子の側面と実装基板の内側面との間に挟まる形で両者それぞれに点状に接触する複数の補強部が設けられてなることを特徴とするセンサモジュール。

【請求項2】

前記センサ素子における前記内底面側に設けられた外部接続用電極と前記実装基板の前記内底面に設けられたセンサ接続用電極とがバンプを介して常温接合されてなることを特徴とする請求項1記載のセンサモジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、センサ素子と、センサ素子の出力信号を信号処理する信号処理回路が形成されたICチップと、センサ素子およびICチップが実装される実装基板とを備えたセンサモジュールに関するものである。

【背景技術】

【0002】

従来から、図16および図17に示すように、MEMS (Micro Electro Mechanical System) チップである加速度センサチップ101と、加速度センサチップ101の出力信号を信号処理する信号処理回路が形成されたICチップ102と、一面が開放された箱状であって内底面に加速度センサチップ101のフレーム部111が固着された実装基板105と、実装基板105との間に加速度センサチップ101およびICチップ102を収納する形で実装基板105の上記一面を閉塞する蓋体106とを備えたセンサモジュールが提案されている(例えば、特許文献1参照)。

【0003】

ここにおいて、図16および図17に示した構成のセンサモジュールは、ICチップ102が、加速度センサチップ101の重り部112および撓み部113の過度な変位を規制するストッパを兼ねており、加速度センサチップ101の主表面との間に所定間隔の隙間が形成されるように加速度センサチップ101に固着されており、加速度センサチップ101の主表面側の複数のパッド116それぞれがボンディングワイヤ108を介してICチップ102の主表面側の複数のパッド121の一部と電氣的に接続され、ICチップ102の残りのパッド121それぞれがボンディングワイヤ109を介して実装基板105の上記一面側に設けられた端子パターン151と電氣的に接続されている。

【0004】

ところで、MEMSとしては、加速度センサやジャイロセンサなどが広く知られており、加速度センサとしては、加速度が印加されたときのピエゾ抵抗からなるゲージ抵抗のひずみによる抵抗値の変化により加速度を検出するピエゾ抵抗形の加速度センサや、加速度が印加されたときの固定電極と可動電極との間の静電容量の変化により加速度を検出する容量形の加速度センサなどが知られている。

【0005】

ピエゾ抵抗形の加速度センサとしては、矩形棒状のフレーム部の内側に配置される重り部が一方向へ延長された撓み部を介してフレーム部に揺動自在に支持された片持ち式のものや、棒状のフレーム部の内側に配置される重り部が相反する2方向へ延長された一对の撓み部を介してフレーム部に揺動自在に支持された両持ち式のものなどが提案されており、近年では、棒状のフレーム部の内側に配置される重り部が四方へ延長された4つの撓み部を介してフレーム部に揺動自在に支持され、互いに直交する3方向それぞれの加速度を各別に検出可能なものも提案されている(例えば、特許文献2, 3参照)。

【0006】

なお、上述のピエゾ抵抗形の加速度センサでは、重り部および撓み部が可動部を構成し、ピエゾ抵抗がセンシング部を構成している。また、容量形の加速度センサ(例えば、特許文献4参照)やジャイロセンサ(例えば、特許文献5参照)では、可動電極を設けた重り部や可動電極を兼ねる重り部などが可動部を構成しており、固定電極と可動電極とによりセンシング部を構成している。

【0007】

また、従来から、センサ素子として、例えば、加速度センサチップからなるセンサ基板の主表面側および裏面側それぞれにパッケージ用基板を接合することにより形成されたチップサイズパッケージを有するセンサ素子が研究開発されており、図16および図17に示した構成のセンサモジュールにおけるセンサ素子である加速度センサチップ101の代わりに、上記チップサイズパッケージを有するセンサ素子を用いることが提案されている。

【特許文献1】特開2005-169541号公報

【特許文献2】特開2004-109114号公報

【特許文献3】特開2004-233072号公報

【特許文献4】特開2004-028912号公報

【特許文献5】特開2005-292117号公報

10

20

30

40

50

【発明の開示】

【発明が解決しようとする課題】

【0008】

図16および図17に示した構成のセンサモジュールでは、ICチップ102の主表面側のパッド121と実装基板105の上記一表面側に設けられた各端子パターン151とをボンディングワイヤ109を介して電氣的に接続しているため、実装基板105の平面サイズが比較的大きくなってしまい、プリント基板などの回路基板などへの実装面積が大きくなってしまふ。

【0009】

本発明は上記事由に鑑みて為されたものであり、その目的は、回路基板への実装面積をより小さくすることができるセンサモジュールを提供することにある。

10

【課題を解決するための手段】

【0010】

請求項1の発明は、センサ素子と、センサ素子の出力信号を信号処理する信号処理回路が形成されたICチップと、センサ素子およびICチップが実装される実装基板とを備え、実装基板は、一面が開放された箱状に形成され、当該箱状の実装基板の内部空間にセンサ素子が収納されて内側面とセンサ素子の側面との間にギャップが形成される形でセンサ素子が内底面側にフリップチップ実装されるとともに、外底面側にICチップがフリップチップ実装され、外部回路接続用の端子が前記一面側に形成されてなり、センサ素子の側面と実装基板の内側面との間に挟まる形で両者それぞれに点状に接触する複数の補強部が設けられてなることを特徴とする。

20

【0011】

この発明によれば、実装基板は、一面が開放された箱状に形成され、当該箱状の実装基板の内部空間にセンサ素子が収納されて内側面とセンサ素子の側面との間にギャップが形成される形でセンサ素子が内底面側にフリップチップ実装されるとともに、外底面側にICチップがフリップチップ実装され、外部回路接続用の端子が前記一面側に形成されているので、実装基板の平面サイズの小型化を図れ、回路基板への実装面積をより小さくすることができる。

【0013】

また、この発明によれば、センサ素子の側面と実装基板の内側面との間に挟まる形で両者それぞれに点状に接触する複数の補強部が設けられているので、実装基板や回路基板からの応力がセンサ素子に伝達するのを抑制しつつ、実装基板の内底面に平行な面内において実装基板に対してセンサ素子が動くのを規制することができ、実装基板の内底面側にフリップチップ実装されているセンサ素子と実装基板との電氣的接続部の接続信頼性を高めることができる。

30

【0014】

請求項2の発明は、請求項1の発明において、前記センサ素子における前記内底面側に設けられた外部接続用電極と前記実装基板の前記内底面に設けられたセンサ接続用電極とが bumps を介して常温接合されてなることを特徴とする。

【0015】

この発明によれば、前記センサ素子と前記実装基板との線膨張率差に起因して前記センサ素子に発生する残留応力を低減できる。

40

【発明の効果】

【0016】

請求項1の発明では、回路基板への実装面積をより小さくすることができるという効果がある。

【発明を実施するための最良の形態】

【0017】

本実施形態のセンサモジュールについて図1～図15を参照しながら説明する。

【0018】

50

本実施形態のセンサモジュールは、加速度センサモジュールであり、加速度センサエレメントからなるセンサ素子Aと、センサ素子Aの出力信号を信号処理する信号処理回路が形成されたICチップ4と、センサ素子AおよびICチップ4が実装されるセラミック基板からなる実装基板5と、実装基板5とICチップ4との間に介在する熱硬化性樹脂からなるアンダーフィル8とを備えている。

【0019】

上述の実装基板5は、一面が開放された箱状（本実施形態では、矩形箱状）に形成されており、センサ素子Aが内部空間51に収納されて内底面5a側にフリップチップ実装されるとともに、外底面5b側にICチップ4がフリップチップ実装されている。したがって、上述のアンダーフィル8は、実装基板5の外底面5bとICチップ4との間に介在している。

10

【0020】

ところで、本実施形態の加速度センサモジュールでは、ICチップ4の平面サイズがセンサ素子Aの平面サイズよりも大きく、センサ素子Aが実装基板5の内底面5a側においてICチップ4の投影面内に収まる形でフリップチップ実装されている。

【0021】

以下、センサ素子Aについて詳細に説明してから、加速度センサモジュールについて具体的に説明する。

【0022】

センサ素子Aは、第1の半導体基板を用いて形成され後述のセンシング部を有するセンサ基板1と、第2の半導体基板を用いて形成されセンサ基板1のセンシング部に電氣的に接続される複数の貫通孔配線24を有しセンサ基板1の一表面側（図1（b）および図6（b）の上面側）に封着された貫通孔配線形成基板2と、第3の半導体基板を用いて形成されセンサ基板1の他表面側（図1（b）および図6（b）の下面側）に封着されたカバー基板3とを備えている。ここにおいて、センサ基板1および貫通孔配線形成基板2およびカバー基板3の外周形状は矩形形状であり、貫通孔配線形成基板2およびカバー基板3はセンサ基板1と同じ外形寸法に形成されている。なお、本実施形態では、貫通孔配線形成基板2およびカバー基板3それぞれがパッケージ用基板を構成している。また、図7（a）は図6（b）の要部拡大図、図7（b）は図6（a）のC-C'概略断面図である。

20

【0023】

上述のセンサ基板1は、シリコン基板からなる支持基板10a上のシリコン酸化膜からなる絶縁層（埋込酸化膜）10b上にn形のシリコン層（活性層）10cを有するSOIウェハを加工することにより形成してあり、貫通孔配線形成基板2は第1のシリコンウェハを加工することにより形成し、カバー基板3は第2のシリコンウェハを加工することにより形成してある。すなわち、本実施形態では、SOIウェハが第1の半導体基板を構成し、第1のシリコンウェハが第2の半導体基板を構成し、第2のシリコンウェハが第3の半導体基板を構成している。なお、本実施形態では、SOIウェハにおける支持基板10aの厚さを300 μ m～500 μ m程度、絶縁層10bの厚さを0.3 μ m～1.5 μ m程度、シリコン層10cの厚さを4 μ m～10 μ m程度とし、また、第1のシリコンウェハの厚さを200 μ m～300 μ m程度、第2のシリコンウェハの厚さを100～300 μ m程度としてあるが、これらの数値は特に限定するものではない。また、SOIウェハの主表面であるシリコン層10cの表面は（100）面としてある。

30

40

【0024】

センサ基板1は、図8～図10に示すように、枠状（本実施形態では、矩形枠状）のフレーム部11を備え、フレーム部11の内側に配置される重り部12が一表面側（図6（b）および図8（b）の上面側）において可撓性を有する4つの短冊状の撓み部13を介してフレーム部11に揺動自在に支持されている。言い換えれば、センサ基板1は、枠状のフレーム部11の内側に配置される重り部12が重り部12から四方へ延長された4つの撓み部13を介してフレーム部11に揺動自在に支持されている。ここで、フレーム部11は、上述のSOIウェハの支持基板10a、絶縁層10b、シリコン層10cそれぞ

50

れを利用して形成してある。これに対して、撓み部 13 は、上述の SOI ウェハにおけるシリコン層 10c を利用して形成してあり、フレーム部 11 よりも十分に薄肉となっている。

【0025】

重り部 12 は、上述の 4 つの撓み部 13 を介してフレーム部 11 に支持された直方体状のコア部 12a と、センサ基板 1 の上記一表面側から見てコア部 12a の四隅それぞれに連続一体に連結された直方体状の 4 つの付随部 12b とを有している。言い換えれば、重り部 12 は、フレーム部 11 の内側面に一端部が連結された各撓み部 13 の他端部が外側面に連結されたコア部 12a と、コア部 12a と一体に形成されコア部 12a とフレーム部 11 との間の空間に配置される 4 つの付随部 12b とを有している。つまり、各付随部 12b は、センサ基板 1 の上記一表面側から見て、フレーム部 11 とコア部 12a と互いに直交する方向に延長された 2 つの撓み部 13、13 とで囲まれる空間に配置されており、各付随部 12b それぞれとフレーム部 11 との間にはスリット 14 が形成され、撓み部 13 を挟んで隣り合う付随部 12b 間の間隔が撓み部 13 の幅寸法よりも長くなっている。ここにおいて、コア部 12a は、上述の SOI ウェハの支持基板 10a、絶縁層 10b、シリコン層 10c それぞれを利用して形成し、各付随部 12b は、SOI ウェハの支持基板 10a を利用して形成してある。しかして、センサ基板 1 の上記一表面側において各付随部 12b の表面は、コア部 12a の表面を含む平面からセンサ基板 1 の上記他表面側（図 6 (b) および図 8 (b) の下面側）へ離間して位置している。なお、センサ基板 1 の上述のフレーム部 11、重り部 12、各撓み部 13 は、リソグラフィ技術およびエッチング技術を利用して形成すればよい。

【0026】

ところで、図 8 (a)、(b) それぞれの右下に示したように、センサ基板 1 の上記一表面に平行な面内でフレーム部 11 の一辺に沿った一方向を x 軸の正方向、この一辺に直交する辺に沿った一方向を y 軸の正方向、センサ基板 1 の厚み方向の一方向を z 軸の正方向と規定すれば、重り部 12 は、x 軸方向に延長されてコア部 12a を挟む 2 つ 1 組の撓み部 13、13 と、y 軸方向に延長されてコア部 12a を挟む 2 つ 1 組の撓み部 13、13 とを介してフレーム部 11 に支持されていることになる。なお、上述の x 軸、y 軸、z 軸の 3 軸により規定した直交座標では、センサ基板 1 において上述のシリコン層 10c により形成された部分の表面における重り部 12 の中心位置を原点としている。

【0027】

重り部 12 のコア部 12a から x 軸の正方向に延長された撓み部 13（図 8 (a) の右側の撓み部 13）は、コア部 12a 近傍に 2 つ 1 組のピエゾ抵抗 R_{x2} 、 R_{x4} が形成されるとともに、フレーム部 11 近傍に 1 つのピエゾ抵抗 R_{z2} が形成されている。一方、重り部 12 のコア部 12a から x 軸の負方向に延長された撓み部 13（図 8 (a) の左側の撓み部 13）は、コア部 12a 近傍に 2 つ 1 組のピエゾ抵抗 R_{x1} 、 R_{x3} が形成されるとともに、フレーム部 11 近傍に 1 つのピエゾ抵抗 R_{z3} が形成されている。ここに、コア部 12a 近傍に形成された 4 つのピエゾ抵抗 R_{x1} 、 R_{x2} 、 R_{x3} 、 R_{x4} は、x 軸方向の加速度を検出するために形成されたもので、平面形状が細長の長方形状であって、長手方向が撓み部 13 の長手方向に一致するように形成してあり、図 11 における左側のブリッジ回路 B_x を構成するように配線（センサ基板 1 に形成されている拡散層配線、金属配線 17 など）によって接続されている。なお、ピエゾ抵抗 $R_{x1} \sim R_{x4}$ は、x 軸方向の加速度がかかったときに撓み部 13 において応力が集中する応力集中領域に形成されている。

【0028】

また、重り部 12 のコア部 12a から y 軸の正方向に延長された撓み部 13（図 8 (a) の上側の撓み部 13）はコア部 12a 近傍に 2 つ 1 組のピエゾ抵抗 R_{y1} 、 R_{y3} が形成されるとともに、フレーム部 11 近傍に 1 つのピエゾ抵抗 R_{z1} が形成されている。一方、重り部 12 のコア部 12a から y 軸の負方向に延長された撓み部 13（図 8 (a) の下側の撓み部 13）はコア部 12a 近傍に 2 つ 1 組のピエゾ抵抗 R_{y2} 、 R_{y4} が形成さ

れるとともに、フレーム部 11 側の端部に 1 つの piezo 抵抗 $R_z 4$ が形成されている。ここに、コア部 12 a 近傍に形成された 4 つの piezo 抵抗 $R_y 1, R_y 2, R_y 3, R_y 4$ は、 y 軸方向の加速度を検出するために形成されたもので、平面形状が細長の長方形状であって、長手方向が撓み部 13 の長手方向に一致するように形成してあり、図 11 における中央のブリッジ回路 B_y を構成するように配線（センサ基板 1 に形成されている拡散層配線、金属配線 17 など）によって接続されている。なお、piezo 抵抗 $R_y 1 \sim R_y 4$ は、 y 軸方向の加速度がかかったときに撓み部 13 において応力が集中する応力集中領域に形成されている。

【0029】

また、フレーム部 11 近傍に形成された 4 つの piezo 抵抗 $R_z 1, R_z 2, R_z 3, R_z 4$ は、 z 軸方向の加速度を検出するために形成されたものであり、図 11 における右側のブリッジ回路 B_z を構成するように配線（センサ基板 1 に形成されている拡散層配線、金属配線 17 など）によって接続されている。ただし、2 つ 1 組となる撓み部 13, 13 のうち一方の組の撓み部 13, 13 に形成した piezo 抵抗 $R_z 1, R_z 4$ は長手方向が撓み部 13, 13 の長手方向と一致するように形成されているのに対して、他方の組の撓み部 13, 13 に形成した piezo 抵抗 $R_z 2, R_z 3$ は長手方向が撓み部 13, 13 の幅方向（短手方向）と一致するように形成されている。

【0030】

なお、図 6 ~ 図 8 では、センサ基板 1 における金属配線 17 のうち第 1 の接続用接合金属層 19 近傍の部位のみを図示してあり、拡散層配線の図示は省略してある。

【0031】

ここで、センサ基板 1 の動作の一例について説明する。

【0032】

いま、センサ基板 1 に加速度がかかっていない状態で、センサ基板 1 に対して x 軸の正方向に加速度がかかったとすると、 x 軸の負方向に作用する重り部 12 の慣性力によってフレーム部 11 に対して重り部 12 が変位し、結果的に x 軸方向を長手方向とする撓み部 13, 13 が撓んで当該撓み部 13, 13 に形成されている piezo 抵抗 $R_x 1 \sim R_x 4$ の抵抗値が変化することになる。この場合、piezo 抵抗 $R_x 1, R_x 3$ は引張応力を受け、piezo 抵抗 $R_x 2, R_x 4$ は圧縮応力を受ける。一般的に piezo 抵抗は引張応力を受けると抵抗値（抵抗率）が増大し、圧縮応力を受けると抵抗値（抵抗率）が減少する特性を有しているので、piezo 抵抗 $R_x 1, R_x 3$ は抵抗値が増大し、piezo 抵抗 $R_x 2, R_x 4$ は抵抗値が減少することになる。したがって、図 11 に示した一対の入力端子 VDD, GND 間に外部電源から一定の直流電圧を印加しておけば、図 11 に示した左側のブリッジ回路 B_x の出力端子 $X1, X2$ 間の電位差が x 軸方向の加速度の大きさに応じて変化する。同様に、 y 軸方向の加速度がかかった場合には図 13 に示した中央のブリッジ回路 B_y の出力端子 $Y1, Y2$ 間の電位差が y 軸方向の加速度の大きさに応じて変化する。また、 z 軸方向の加速度がかかった場合には図 11 に示した右側のブリッジ回路 B_z の出力端子 $Z1, Z2$ 間の電位差が z 軸方向の加速度の大きさに応じて変化する。しかして、上述のセンサ基板 1 は、各ブリッジ回路 $B_x \sim B_z$ それぞれの出力電圧の変化を検出することにより、当該センサ基板 1 に作用した x 軸方向、 y 軸方向、 z 軸方向それぞれの加速度を検出することができる。本実施形態では、重り部 12 と各撓み部 13 とで可動部を構成しており、各 piezo 抵抗 $R_x 1 \sim R_x 4, R_y 1 \sim R_y 4, R_z 1 \sim R_z 4$ それぞれが、センサ基板 1 におけるセンシング部を構成している。

【0033】

ところで、センサ基板 1 は、図 11 に示すように、上述の 3 つのブリッジ回路 B_x, B_y, B_z に共通の 2 つの入力端子 VDD, GND と、ブリッジ回路 B_x の 2 つの出力端子 $X1, X2$ と、ブリッジ回路 B_y の 2 つの出力端子 $Y1, Y2$ と、ブリッジ回路 B_z の 2 つの出力端子 $Z1, Z2$ とを備えており、これらの各入力端子 VDD, GND および各出力端子 $X1, X2, Y1, Y2, Z1, Z2$ が、上記一表面側（つまり、貫通孔配線形成基板 2 側）に第 1 の接続用接合金属層 19 として設けられており、貫通孔配線形成基板 2

10

20

30

40

50

に形成された貫通孔配線 24 と電氣的に接続されている。すなわち、センサ基板 1 には、8 つの接続用接合金属層 19 が形成され、貫通孔配線形成基板 2 には、8 つの貫通孔配線 24 が形成されている。なお、8 つの第 1 の接続用接合金属層 19 は、外周形状が矩形形状（本実施形態では、正方形形状）であり、フレーム部 11 の周方向に離間して配置されている（矩形枠状のフレーム部 11 の 4 辺それぞれに 2 つずつ配置されている）。

【0034】

また、センサ基板 1 のフレーム部 11 上には、フレーム部 11 よりも開口面積が大きな枠状（矩形枠状）の第 1 の封止用接合金属層 18 が形成されており、上述の 8 つの接続用接合金属層 19 は、フレーム部 11 において第 1 の封止用接合金属層 18 よりも内側に配置されている。要するに、センサ基板 1 は、第 1 の封止用接合金属層 18 の幅寸法をフレーム部 11 の幅寸法に比べて小さく設定し、第 1 の封止用接合金属層 18 と各接続用接合金属層 19 とを同一平面上に形成してある。

10

【0035】

ここにおいて、センサ基板 1 は、上記一表面側において上記シリコン層 10c 上にシリコン酸化膜とシリコン窒化膜との積層膜からなる絶縁膜 16 が形成されており、第 1 の接続用接合金属層 19 および第 1 の封止用接合金属層 18 および金属配線 17 は絶縁膜 16 の同一レベル面上に同一厚さで形成されている。

【0036】

また、第 1 の封止用接合金属層 18 および第 1 の接続用接合金属層 19 は、接合用の Au 膜と絶縁膜 16 との間に密着性改善用の Ti 膜を介在させてある。言い換えれば、第 1 の封止用接合金属層 18 および第 1 の接続用接合金属層 19 は、絶縁膜 16 の同一レベル面上に形成された Ti 膜と当該 Ti 膜上に形成された Au 膜との積層膜により構成されている。要するに、第 1 の接続用接合金属層 19 と第 1 の封止用接合金属層 18 とは同一の金属材料により形成されているので、第 1 の接続用接合金属層 19 と第 1 の封止用接合金属層 18 とを同時に形成することができるとともに、第 1 の接続用接合金属層 19 と第 1 の封止用接合金属層 18 とを同じ厚さに形成することができる。なお、第 1 の封止用接合金属層 18 および第 1 の接続用接合金属層 19 は、Ti 膜の膜厚を 15 ~ 50 nm、Au 膜の膜厚を 500 nm に設定してあり、金属配線 17 の膜厚は 1 μm に設定してあるが、これらの数値は一例であって特に限定するものではない。ここにおいて、各 Au 膜の材料は、純金に限らず不純物を添加したものでもよい。また、本実施形態では、各 Au 膜と絶縁膜 16 との間に密着性改善用の密着層として Ti 膜を介在させてあるが、密着層の材料は Ti に限らず、例えば、Cr、Nb、Zr、TiN、Ta₂N などでもよい。

20

30

【0037】

上述の各ピエゾ抵抗 $R_{x1} \sim R_{x4}$ 、 $R_{y1} \sim R_{y4}$ 、 $R_{z1} \sim R_{z4}$ および上記各拡散層配線は、上記シリコン層 10c におけるそれぞれの形成部位に適宜濃度の p 形不純物をドーピングすることにより形成されており、上述の金属配線 17 は、絶縁膜 16 上にスパッタ法や蒸着法などにより成膜した金属膜（例えば、Al 膜、Al 合金膜など）をリソグラフィ技術およびエッチング技術を利用してパターンニングすることにより形成されており、金属配線 17 は絶縁膜 16 に設けたコンタクトホールを通して拡散層配線と電氣的に接続されている。また、第 1 の接続用接合金属層 19 と金属配線 17 とは、第 1 の接続用接合金属層 19 における金属配線 17 との接続部位 19b（図 7（b）参照）が、貫通孔配線形成基板 2 におけるセンサ基板 1 との対向面に形成された後述の変位空間形成用凹部 21 内に位置する形で電氣的に接続されている。

40

【0038】

貫通孔配線形成基板 2 は、図 12 ~ 図 14 に示すように、センサ基板 1 側（図 6（b）における下面側）の表面に、センサ基板 1 の重り部 12 と各撓み部 13 とで構成される可動部の変位空間を確保する上述の変位空間形成用凹部 21 が形成されるとともに、変位空間形成用凹部 21 の周部に厚み方向に貫通する複数（本実施形態では、8 つ）の貫通孔 22 が形成されており、厚み方向の両面および貫通孔 22 の内面とに跨って熱絶縁膜（シリコン酸化膜）からなる絶縁膜 23 が形成され、貫通孔配線 24 と貫通孔 22 の内面との間

50

に絶縁膜 23 の一部が介在している。ここにおいて、貫通孔配線形成基板 2 の 8 つの貫通孔配線 24 は当該貫通孔配線形成基板 2 の周方向に離間して形成されている。また、貫通孔配線 24 の材料としては、Cu を採用しているが、Cu に限らず、例えば、Ni などを採用してもよい。

【0039】

また、貫通孔配線形成基板 2 は、センサ基板 1 側の表面において変位空間形成用凹部 21 の周部に、各貫通孔配線 24 それぞれと電氣的に接続された複数（本実施形態では、8 つ）の第 2 の接続用接合金属層 29 が形成されている。貫通孔配線形成基板 2 は、センサ基板 1 側の表面の周部には、全周に亘って枠状（矩形枠状）の第 2 の封止用接合金属層 28 が形成されており、上述の 8 つの第 2 の接続用接合金属層 29 は、外周形状が細長の長方形形状であり、第 2 の封止用接合金属層 28 よりも内側に配置されている。ここにおいて、第 2 の接続用接合金属層 29 は、長手方向の一端部が貫通孔配線 24 と接合されており、他端側の部位がセンサ基板 1 の金属配線 17 よりも外側でセンサ基板 1 の第 1 の接続用接合金属層 19 と接合されて電氣的に接続されるように配置してある。要するに、貫通孔配線形成基板 2 の周方向において貫通孔配線 24 と当該貫通孔配線 24 に対応する第 1 の接続用接合金属層 19 との位置をずらしてあり、第 2 の接続用接合金属層 29 を、長手方向が第 2 の封止用接合金属層 28 の周方向に一致し且つ貫通孔配線 24 と第 1 の接続用接合金属層 19 とに跨る形で配置してある。

【0040】

また、第 2 の封止用接合金属層 28 および第 2 の接続用接合金属層 29 は、接合用の Au 膜と絶縁膜 23 との間に密着性改善用の Ti 膜を介在させてある。言い換えれば、第 2 の封止用接合金属層 28 および第 2 の接続用接合金属層 29 は、絶縁膜 23 の同一レベル面上に形成された Ti 膜と当該 Ti 膜上に形成された Au 膜との積層膜により構成されている。要するに、第 2 の接続用接合金属層 29 と第 2 の封止用接合金属層 28 とは同一の金属材料により形成されているので、第 2 の接続用接合金属層 29 と第 2 の封止用接合金属層 28 とを同時に形成することができるとともに、第 2 の接続用接合金属層 29 と第 2 の封止用接合金属層 28 とを同じ厚さに形成することができる。なお、第 2 の封止用接合金属層 28 および第 2 の接続用接合金属層 29 は、Ti 膜の膜厚を 15 ~ 50 nm、Au 膜の膜厚を 500 nm に設定してあるが、これらの数値は一例であって特に限定するものではない。ここにおいて、各 Au 膜の材料は、純金に限らず不純物を添加したものでもよい。また、本実施形態では、各 Au 膜と絶縁膜 23 との間に密着性改善用の密着層として Ti 膜を介在させてあるが、密着層の材料は Ti に限らず、例えば、Cr、Nb、Zr、TiN、Ta などでよい。

【0041】

また、貫通孔配線形成基板 2 におけるセンサ基板 1 側とは反対側の表面には、各貫通孔配線 24 それぞれと電氣的に接続された複数の外部接続用電極 25 が形成されている。ここで、各外部接続用電極 25 は、厚み方向に積層された Ti 膜と Cu 膜と Ni 膜と Au 膜との積層膜により構成されており、最上層が Au 膜となっている。なお、各外部接続用電極 25 の外周形状は矩形形状となっている。

【0042】

カバー基板 3 は、図 15 に示すように、センサ基板 1 との対向面に、重り部 12 の変位空間を形成する所定深さ（例えば、5 μm ~ 10 μm 程度）の凹部 31 を形成してある。ここにおいて、凹部 31 は、リソグラフィ技術およびエッチング技術を利用して形成してある。なお、本実施形態では、カバー基板 3 におけるセンサ基板 1 との対向面に、重り部 12 の変位空間を形成する凹部 31 を形成してあるが、重り部 12 のコア部 12a および各付随部 12b のうち支持基板 10a を利用して形成されている部分の厚さを、フレーム部 11 において支持基板 10a を利用して形成されている部分の厚さに比べて、センサ基板 1 の厚み方向への重り部 12 の許容変位量分だけ薄くするようにすれば、カバー基板 3 に凹部 31 を形成しなくても、センサ基板 1 の上記他表面側には上記他表面に交差する方向への重り部 12 の変位を可能とする隙間が重り部 12 とカバー基板 3 との間に形成され

10

20

30

40

50

る。

【0043】

ところで、上述のセンサ素子Aにおけるセンサ基板1と貫通孔配線形成基板2とは、第1の封止用接合金属層18と第2の封止用接合金属層28とが接合されるとともに、第1の接続用接合金属層19と第2の接続用接合金属層29とが接合され、センサ基板1とカバー基板3とは、互いの対向面の周部同士が接合されている。また、センサ素子Aは、センサ基板1を多数形成したSOIウェハと貫通孔配線形成基板2を多数形成した第1のシリコンウェハおよびカバー基板3を多数形成した第2のシリコンウェハとをウェハレベルで接合してから、ダイシング工程により所望のチップサイズのセンサ素子Aに切断されている。したがって、貫通孔配線形成基板2とカバー基板3とがセンサ基板1と同じ外形サイズとなり、小型のチップサイズパッケージを実現できるとともに、製造が容易になる。

10

【0044】

ここにおいて、センサ基板1と貫通孔配線形成基板2およびカバー基板3との接合方法としては、センサ基板1の残留応力を少なくするために、より低温での接合が可能な接合方法を採用することが望ましく、本実施形態では、常温接合法を採用している。常温接合法では、接合前に互いの接合面へアルゴンのプラズマ若しくはイオンビーム若しくは原子ビームを真空中で照射して各接合面の清浄化・活性化を行ってから、接合面同士を接触させ、常温下で接合する。本実施形態では、上述の常温接合法により、常温下で適宜の荷重を印加して、第1の封止用接合金属層18と第2の封止用接合金属層28とを接合すると同時に、第1の接続用接合金属層19と第2の接続用接合金属層29とを接合しており、また、上述の常温接合法により、常温下でセンサ基板1のフレーム部11とカバー基板3の周部とを接合している。しかして、本実施形態におけるセンサ素子Aでは、センサ基板1と貫通孔配線形成基板2との間の接合がAu-Au接合となり、センサ基板1とカバー基板3との接合がSi-Si接合となっている。また、本実施形態では、センサ基板1と貫通孔配線形成基板2およびカバー基板3とが同じ半導体材料であるSiにより形成されているので、センサ基板1と貫通孔配線形成基板2およびカバー基板3との線膨張率差に起因した応力（センサ基板1における残留応力）が上記ブリッジ回路の出力信号に与える影響を低減でき、貫通孔配線形成基板2およびカバー基板3がセンサ基板1と異なる材料により形成されている場合に比べて、センサ特性のばらつきを低減することができる。なお、センサ基板1は、SOIウェハを加工して形成してあるが、SOIウェハに限らず、例えば、シリコンウェハを加工して形成してもよい。

20

30

【0045】

また、上述のICチップ4は、センサ素子Aの出力信号を増幅する増幅回路、出力信号のオフセット（オフセット電圧）を調整するオフセット調整回路、出力信号の温度補償を行う温度補償回路などが集積化されたASIC（Application Specific IC）であり、シリコンウェハを用いて形成してある。

【0046】

また、実装基板5は、上述のように一面が開放された矩形箱状に形成されており、内部空間51にセンサ素子Aが収納されて内底面5a側にセンサ素子Aが配置されるとともに、外底面5b側にICチップ4が配置される。ここで、本実施形態の加速度センサモジュールでは、センサ素子Aの外部接続用電極25と実装基板5の内底面5a側のセンサ接続用電極53とが、センサ接続用電極53上に形成されたパンプ（Auパンプ）9を介して接合されて電氣的に接続されている（図1（b）参照）。また、本実施形態の加速度センサモジュールでは、ICチップ4のパッド41と実装基板5の外底面5b側のIC接続用電極54とがICチップ4のパッド41に設けたパンプ（Auパンプ）7を介して接合されて電氣的に接続されている。ここにおいて、各パンプ9、7は、材料としてAuを採用しており、スタッドパンプ法（ボールパンプ法とも呼ばれている）により形成されたスタッドパンプにより構成されているが、めっき法により形成されたパンプ（所謂めっきパンプ）でもよい。また、実装基板5は、内底面5aと外底面5bとの間の部位に、センサ接続用電極53とIC接続用電極54とを電氣的に接続する配線（図示せず）が埋設され、

40

50

実装基板 5 の周壁には、IC 接続用電極 5 4 と実装基板 5 の上記一面側に形成された外部回路接続用の端子（リード電極）5 5 とを電氣的に接続する配線（図示せず）が埋設されている。したがって、本実施形態の加速度センサモジュールを回路基板などへ実装する際には、実装基板 5 の外部回路接続用の端子 5 5 と回路基板の導体パターンとを半田などを介して接合すればよい。

【0047】

また、本実施形態の加速度センサモジュールでは、IC チップ 4 の平面サイズが実装基板 5 の内底面 5 a のサイズよりも大きく、且つ、IC チップ 4 の投影面内に内底面 5 a が収まる形で IC チップ 4 が実装基板 5 の外底面 5 b 側にフリップチップ実装されている。

【0048】

また、本実施形態の加速度センサモジュールでは、矩形箱状の実装基板 5 の内部空間 5 1 にセンサ素子 A が収納されて当該実装基板 5 の内側面とセンサ素子 A の側面との間にギャップが形成される形でセンサ素子 A が内底面 5 a 側にフリップチップ実装されており、センサ素子 A の側面と実装基板 5 の内側面との間に挟まる形で両者それぞれに点状に接触し実装基板 5 の内底面 5 a に平行な面内において実装基板 5 に対するセンサ素子 A の動きを規制する複数（本実施形態では、4 つ）の補強部 5 8 が設けられている。ここにおいて、本実施形態の加速度センサモジュールは、センサ素子 A の外周形状が矩形状であり、センサ素子 A の 4 つの側面それぞれにおける外周方向の中央部において内底面 5 a から遠い部位ごとに上述の補強部 5 8 が設けられている。また、補強部 5 8 は、例えば、樹脂（シリコン樹脂など）により形成すればよい。

【0049】

以下、本実施形態の加速度センサモジュールの製造方法について図 4 および図 5 を参照しながら説明する。

【0050】

まず、矩形箱状の実装基板 5 の内底面 5 a 上に設けられている各センサ接続用電極 5 3 の表面上にスタッドバンプからなるバンプ 9 を形成するバンプ形成工程を行うことにより、図 4 (a) に示す構造を得る。

【0051】

その後、実装基板 5 の外底面 5 b 側に未硬化の熱硬化性樹脂からなるシート状のアンダーフィル用樹脂材 8 1 を貼着する樹脂材貼着工程を行うことにより、図 4 (b) に示す構造を得る。なお、樹脂材貼着工程は、アンダーフィル用樹脂材 8 1 を適宜温度に加熱した状態で適宜荷重を印加する。

【0052】

次に、IC チップ 4 のパッド 4 1 に予め形成してあるスタッドバンプからなるバンプ 7（図 5 参照）と実装基板 5 の IC 接続用電極 5 4 との位置合わせを行ってから、IC チップ 4 と実装基板 5 の外底面 5 b との間にアンダーフィル用樹脂材 8 1 を介在させた形で IC チップ 4 に対して加熱および荷重の印加を行うことで IC チップ 4 のパッド 4 1 上のバンプ 7 を実装基板 5 の IC 接続用電極 5 4 に熱圧着すると同時にアンダーフィル用樹脂材 8 1 を熱硬化させることでアンダーフィル 8 を形成する第 1 の実装工程を行うことにより、図 4 (c) に示す構造を得る。なお、IC チップ 4 のパッド 4 1 上のバンプ 7 はスタッドバンプに限らず、めっきバンプでもよい。

【0053】

その後、センサ素子 A の外部接続用電極 2 5 および実装基板 5 のセンサ接続用電極 5 3 上に形成したバンプ 9 それぞれにアルゴンのプラズマ若しくはイオンビーム若しくは原子ビームを真空中で照射して表面を清浄化・活性化する活性化工程を行ってから、センサ素子 A の外部接続用電極 2 5 とバンプ 9 とを位置合わせしセンサ素子 A に対して常温で荷重を印加することで外部接続用電極 2 5 とバンプ 7 とを常温接合する第 2 の実装工程を行うことにより、図 4 (d) に示す構造を得る。その後、センサ素子 A の側面と実装基板 5 の内側面との間に補強部 5 8 を形成する補強部形成工程を行うことにより、図 1 に示す構造の加速度センサモジュールを得ればよい。なお、補強部形成工程では、例えば、シリコー

10

20

30

40

50

ン樹脂をディスペンサなどを用いて補強部 5 8 の形成部位に注入し、硬化させればよい。

【 0 0 5 4 】

上述の加速度センサモジュールの製造方法によれば、矩形箱状の実装基板 5 の内底面 5 a 側のセンサ接続用電極 5 3 上にバンプ 9 を形成してから、第 1 の実装工程において平面サイズの大きな IC チップ 4 を実装基板 5 の外底面 5 b 側に実装した後、第 2 の実装工程において平面サイズの小さなセンサ素子 A の外部接続用電極 2 5 とバンプ 9 とを常温接合するようにしているので、センサ素子 A の外部接続電極 2 5 上にバンプ 9 を形成する必要がなく、しかも、センサ素子 A と実装基板 5 との線膨張率差に起因した残留応力の低減が可能となり、センサ素子 A のセンサ特性の変動を抑制することができる。また、第 2 の実装工程において実装基板 5 の内底面 5 a 側でセンサ素子 A の外部接続用電極 2 5 とセンサ接続用電極 5 3 とをバンプ 9 を介して接合する際には、IC チップ 4 と実装基板 5 との間にアンダーフィル 8 が介在しているので、センサ素子 A への荷重の印加時に IC チップ 4 が破損したり IC チップ 4 と実装基板 5 との接続信頼性が低下するのを防止することができる。また、バンプ 9 とセンサ接続用電極 5 3 との接続信頼性を高めることができセンサ素子 A と実装基板 5 との接続信頼性を高めることができる。

【 0 0 5 5 】

以上説明した本実施形態の加速度センサモジュールでは、実装基板 5 は、一面が開放された矩形箱状に形成され、当該矩形箱状の実装基板 5 の内部空間 5 1 にセンサ素子 A が収納されて内側面とセンサ素子 A の側面との間にギャップが形成される形でセンサ素子 A が内底面 5 a 側にフリップチップ実装されるとともに、外底面 5 b 側に IC チップ 4 がフリップチップ実装され、外部回路接続用の端子 5 5 が上記一面側に形成されているので、実装基板 5 の平面サイズの小型化を図れ、回路基板への実装面積をより小さくすることができる。

【 0 0 5 6 】

また、本実施形態の加速度センサモジュールでは、センサ素子 A の側面と実装基板 5 の内側面との間に挟まる形で両者それぞれに点状に接触し実装基板 5 の内底面 5 a に平行な面内において実装基板 5 に対するセンサ素子 A の動きを規制する複数の補強部 5 8 が設けられているので、実装基板 5 や回路基板からの応力がセンサ素子 A に伝達するのを抑制しつつ、実装基板 5 の内底面 5 a に平行な面内において実装基板 5 に対してセンサ素子 A が動くのを規制することができ、実装基板 5 の内底面 5 a 側にフリップチップ実装されているセンサ素子 A と実装基板 5 との電氣的接続部（なお、本実施形態では、外部接続用電極 2 5 とバンプ 9 とセンサ接続用電極 5 3 とで電氣的接続部を構成している）の接続信頼性を高めることができる。また、本実施形態のセンサモジュールでは、センサ素子 A における内底面 5 a 側に設けられた外部接続用電極 2 5 と実装基板 5 の内底面 5 a に設けられたセンサ接続用電極 5 3 とがバンプ 9 を介して常温接合されているので、センサ素子 A と実装基板 5 との線膨張率差に起因してセンサ素子 A に発生する残留応力を低減できる。

【 0 0 5 7 】

上述の実施形態では、センサ素子 A であるセンサエレメントとしてピエゾ抵抗形の加速度センサエレメントを例示したが、本発明の技術思想は、ピエゾ抵抗形の加速度センサエレメントに限らず、例えば、容量形の加速度センサエレメントやジャイロセンサエレメントなど他のセンサエレメントにも適用でき、容量形の加速度センサエレメントやジャイロセンサエレメントでは、可動電極を設けた重り部や可動電極を兼ねる重り部などが可動部を構成し、固定電極と可動電極とによりセンシング部を構成することとなる。

【 図面の簡単な説明 】

【 0 0 5 8 】

【 図 1 】実施形態の加速度センサモジュールを示し、(a) は概略平面図、(b) は一部破断した概略正面図である。

【 図 2 】同上の加速度センサモジュールの概略下面図である。

【 図 3 】同上の加速度センサモジュールの一部破断した概略斜視図である。

【 図 4 】同上の加速度センサモジュールの製造方法を説明するための主要工程断面図であ

10

20

30

40

50

る。

【図5】同上の加速度センサモジュールの製造方法の説明図である。

【図6】同上におけるセンサ素子を示し、(a)は概略平面図、(b)は(a)のD-D'概略断面図である。

【図7】同上におけるセンサ素子を示し、(a)は図6(b)の要部拡大図、(b)は図6(a)のC-C'概略断面図である。

【図8】同上におけるセンサ基板を示し、(a)は概略平面図、(b)は(a)のB-D'概略断面図である。

【図9】同上におけるセンサ基板を示し、(a)は図8(a)のD-D'概略断面図、(b)は図8(a)のC-C'概略断面図である。

10

【図10】同上におけるセンサ基板を示す概略下面図である。

【図11】同上におけるセンサ基板の回路図である。

【図12】同上における貫通孔配線形成基板を示し、(a)は概略平面図、(b)は(a)のD-D'概略断面図である。

【図13】同上における貫通孔配線形成基板を示し、図12(b)の要部拡大図である。

【図14】同上における貫通孔配線形成基板の下面図である。

【図15】同上におけるカバー基板を示し、(a)は概略平面図、(b)は(a)のD-D'概略断面図である。

【図16】従来の加速度センサモジュールを示す概略断面図である。

【図17】同上の加速度センサモジュールの概略分解斜視図である。

20

【符号の説明】

【0059】

A センサ素子

4 ICチップ

5 実装基板

5a 内底面

5b 外底面

7 バンプ

8 アンダーフィル

9 バンプ

51 内部空間

53 センサ接続用電極

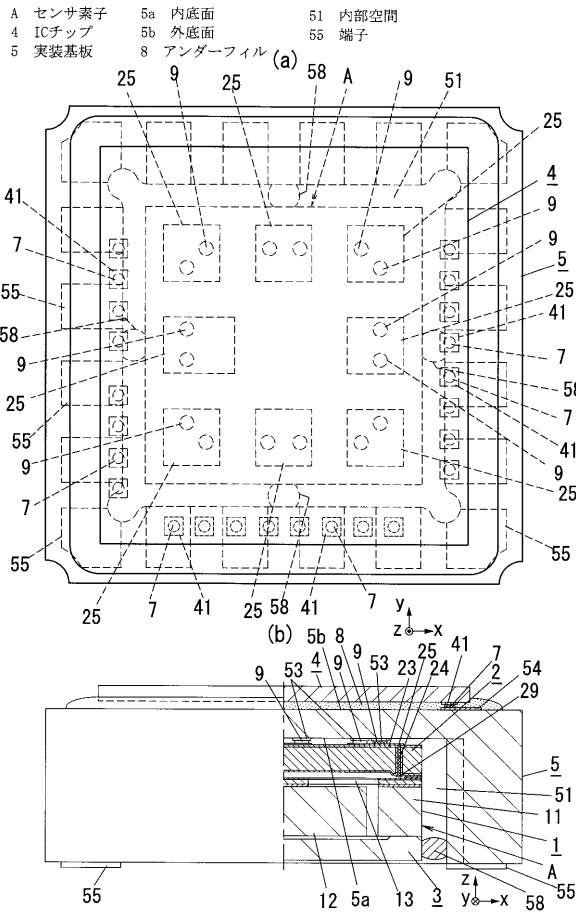
54 IC接続用電極

55 端子

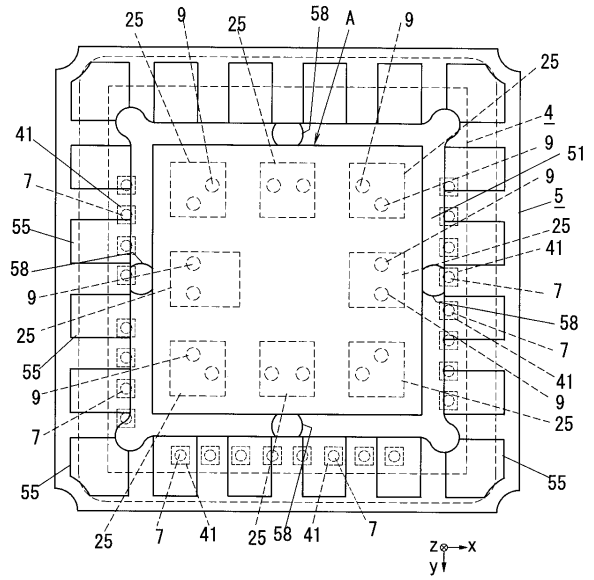
58 補強部

30

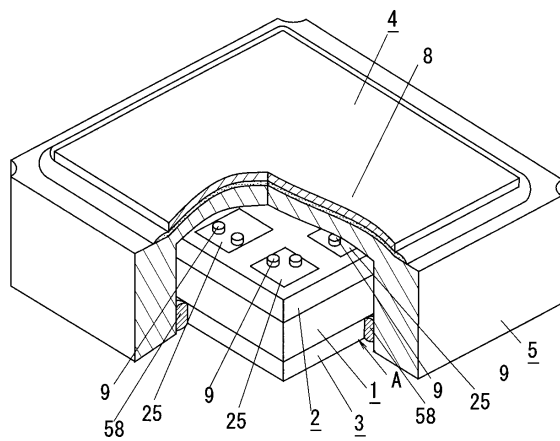
【図1】



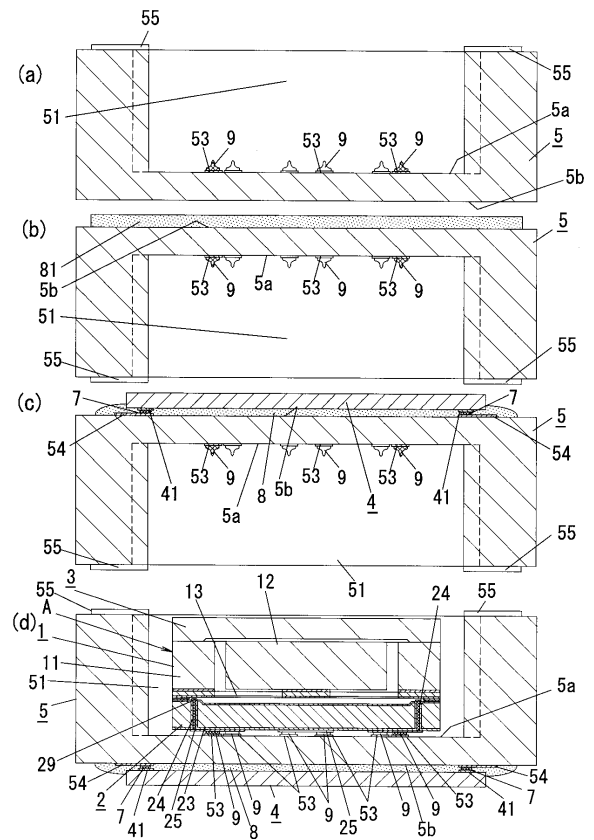
【図2】



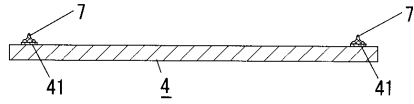
【図3】



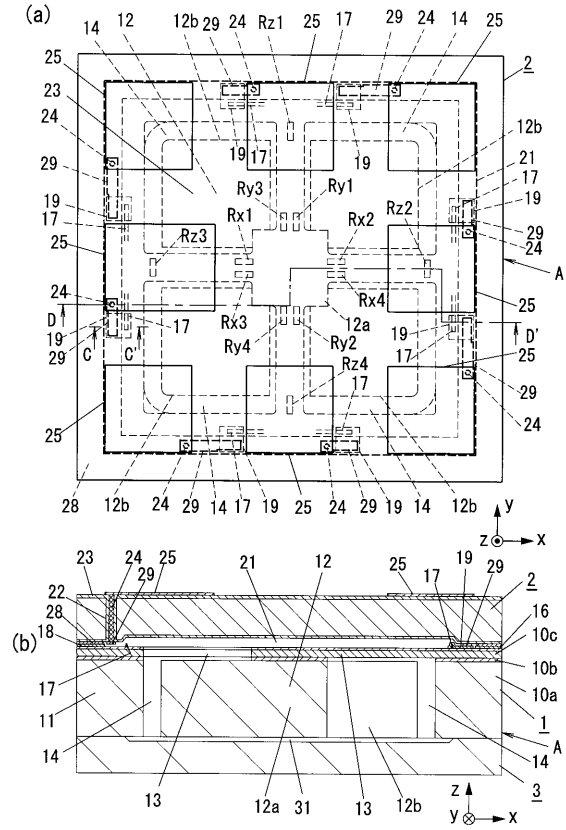
【図4】



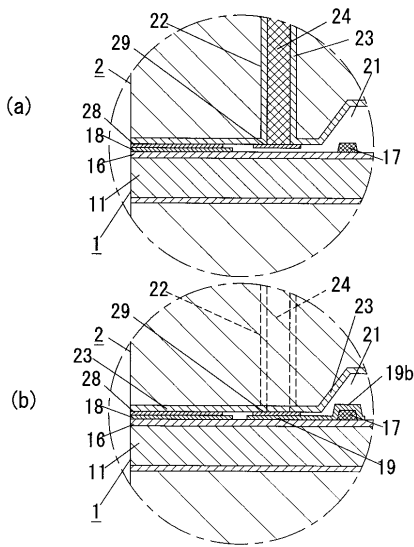
【 図 5 】



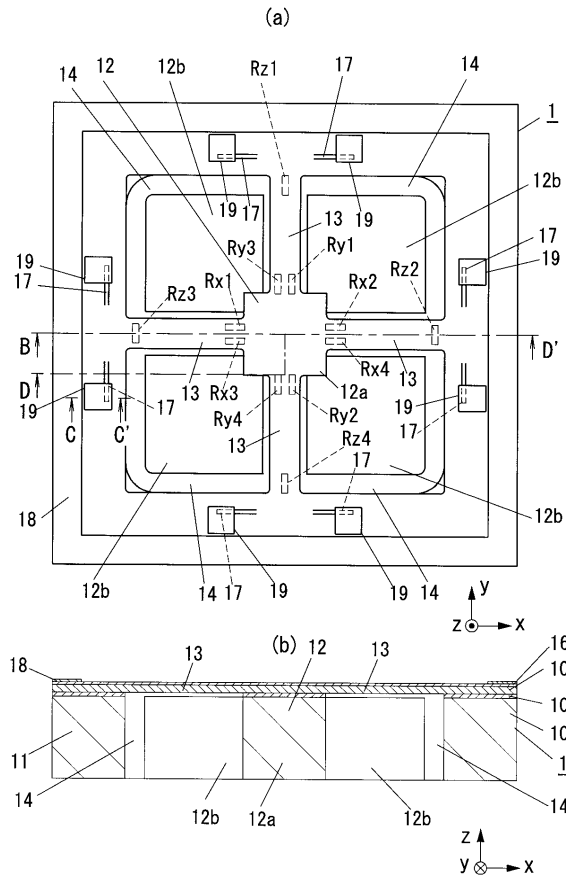
【 図 6 】



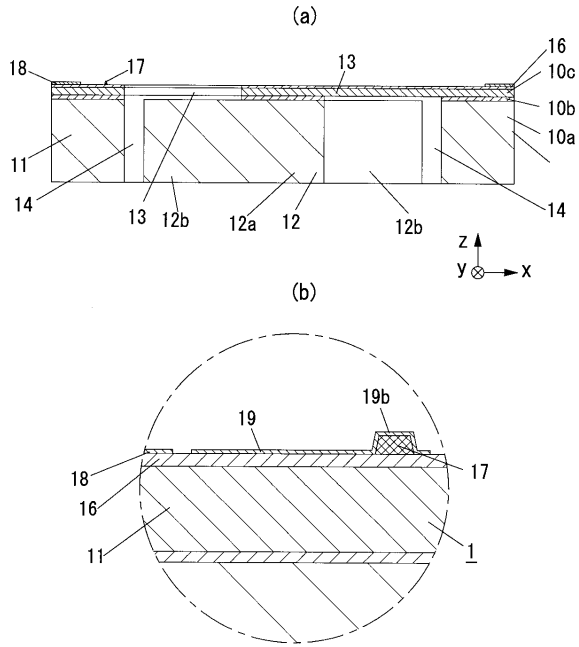
【 図 7 】



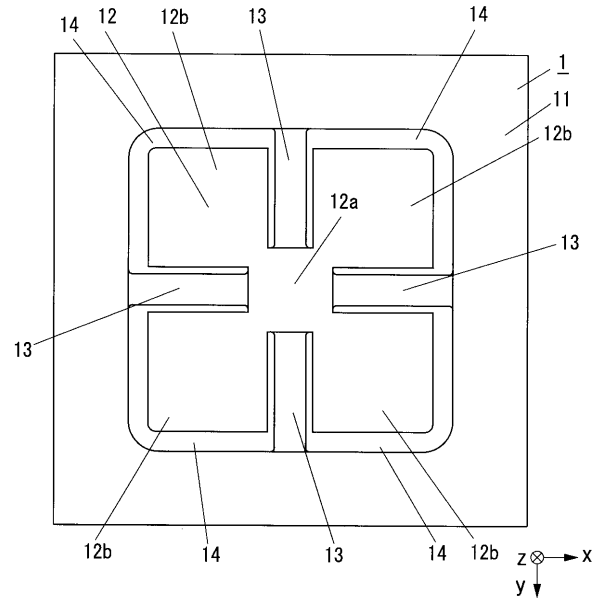
【 図 8 】



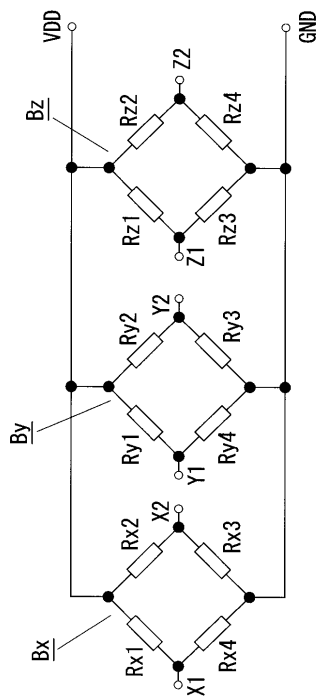
【図 9】



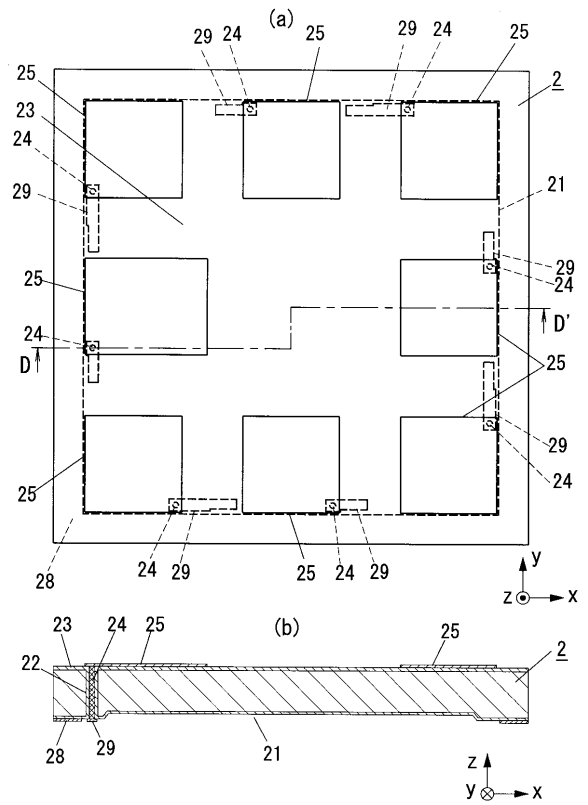
【図 10】



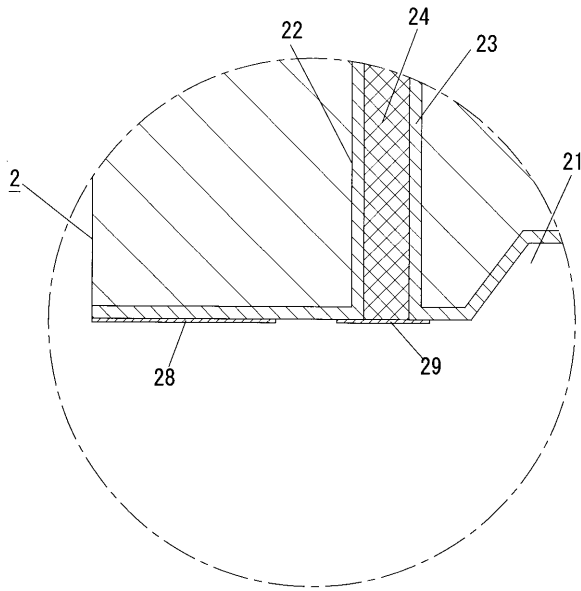
【図 11】



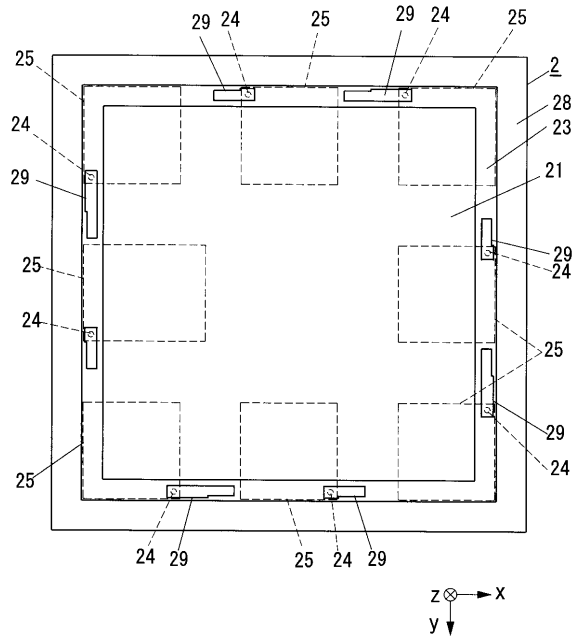
【図 12】



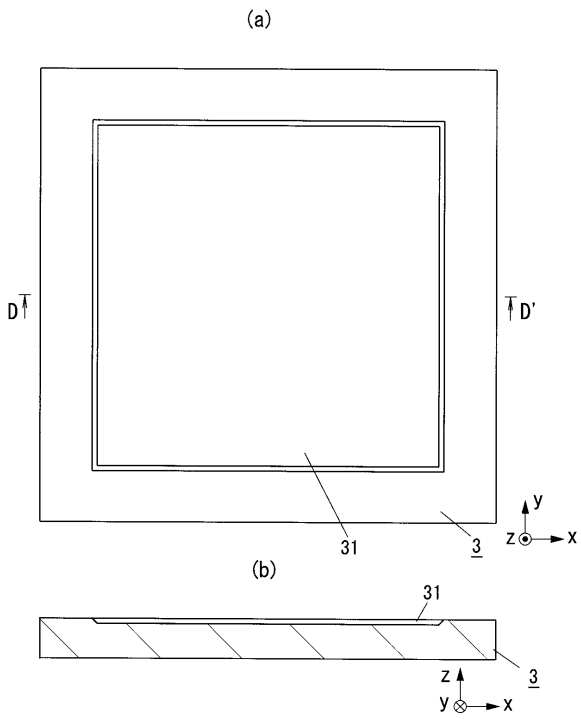
【図13】



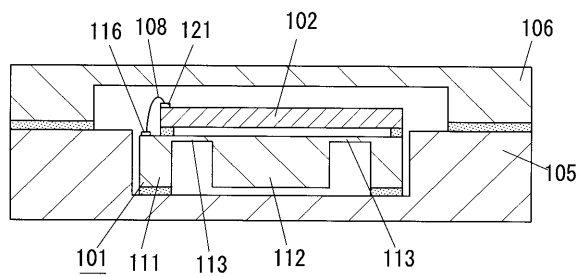
【図14】



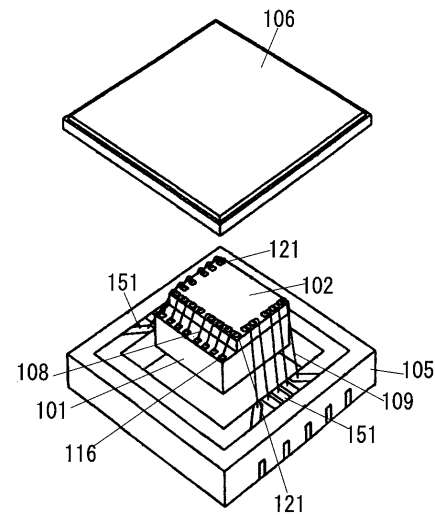
【図15】



【図16】



【図17】



フロントページの続き

審査官 市川 裕司

- (56)参考文献 特開2005-129888(JP,A)
特開2005-127750(JP,A)
特開2005-169541(JP,A)
特開2001-189417(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00
G01P 15/08
H01L 29/84