

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2022년 1월 13일 (13.01.2022)



(10) 국제공개번호

WO 2022/010015 A1

- (51) 국제특허분류: G06F 13/16 (2006.01) G06F 15/78 (2006.01) G06F 3/06 (2006.01)
- (21) 국제출원번호: PCT/KR2020/009163
- (22) 국제출원일: 2020년 7월 13일 (13.07.2020)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2020-0085573 2020년 7월 10일 (10.07.2020) KR
- (71) 출원인: 전자부품연구원 (KOREA ELECTRONICS TECHNOLOGY INSTITUTE) [KR/KR]; 13509 경기도 성남시 분당구 새나리로 25, Gyeonggi-do (KR).
- (72) 발명자: 김병수 (KIM, Byung Soo); 17073 경기도 용인시 기흥구 금화로 11번길 10, 304-703, Gyeonggi-do (KR).

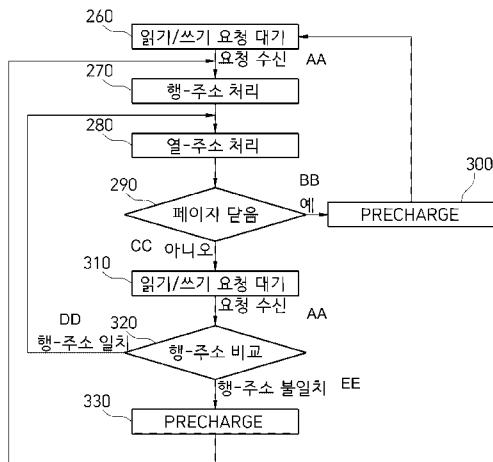
장영종 (JANG, Young Jong); 16885 경기도 용인시 처인구 모현읍 오산로 224-2, D-5, Gyeonggi-do (KR). 김영규 (KIM, Young Kyu); 13364 경기도 성남시 중원구 광명로 16번길 3, Gyeonggi-do (KR).

(74) 대리인: 특허법인 지명 (JIMYUNG PATENT FIRM); 06632 서울시 강남구 남부순환로 2706, 4층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: MEMORY MANAGEMENT METHOD AND APPARATUS FOR PROCESSING IN MEMORY

(54) 발명의 명칭: 프로세싱인메모리의 메모리 관리 방법 및 장치



260, 310 ... Wait for read/write request
270 ... Process row address
280 ... Process column address
290 ... Is page closed?
300, 330 ... PRECHARGE
320 ... Compare row address
AA ... Receive request
BB ... Yes
CC ... No
DD ... Row address match
EE ... Row address mismatch

(57) Abstract: The present invention relates to a memory management method for maximizing the performance of processing in memory (PIM), and the objective of the present invention is to improve the performance of PIM by reducing unnecessary DRAM access time of PIM. To this end, when an instruction processing device processes a PIM instruction packet, a destination address access request having a high possibility that read and write operations of an internal memory are continuously performed is processed with low priority. By requesting a destination address with a low priority, a row address of an open page in the internal memory can be matched with a row address to which a PIM instruction packet processing result is returned. In addition, the instruction processing device in PIM maintains memory write and read addresses that have been previously requested. A previous memory address maintained by the instruction processing device is compared to the address of a packet to be processed, and a memory controller is informed in advance of the comparison result through a page close signal. According to the present invention, an open page hit rate of an internal memory is improved, and a loss in performance due to a page miss, which occurs when internal memory management is performed in an open page mode, is reduced.

(57) 요약서: 본발명은 PIM의 성능을 극대화하기 위한 메모리 관리 방법으로서 프로세싱인메모리(PIM)의 불필요한 DRAM 접근 시간을 줄임으로써 PIM의 성능을 향상시키는 것을 목적으로 한다. 이를 위해 명령어 처리장치가 PIM 명령어패킷을 처리할 때, 내부 메모리의 읽기와 쓰기 동작이 연이어 진행될 가능성이 높은 목적주소 접근 요청을 후순위로 처리한다. 목적주소를 후순위로 요청함에 의해, 내부 메모리의 오픈 되어 있는 페이지의 행-주소와 PIM 명령어패킷 처리 결과를 돌려줄 행 주소가 일치될 수 있다. 또한 PIM 내부의 명령어 처리장치는 이전에 요청했던 메모리 쓰기 및 읽기 주소를 유지한다. 명령어 처리장치가 유지하고 있는 이전 메모리 주소와, 처리해야 할 패킷의 주소를 비교하고 비교 결과를 페이지 닫음 신호를 통해 메모리 제어기에게 미리 알려준다. 본 발명에 의해, 내부 메모리의 오픈페이지 적중률(open page hit rate)이 향상되고, 내부 메모리 관리가 오픈페이지 모드로 운영될 때 발생하는 페이지 불일치(page miss)로 인한 성능 손실이 줄어든다.

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역
내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE,
LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유
럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 프로세싱인메모리의 메모리 관리 방법 및 장치 기술분야

- [1] 본발명은 프로세싱인메모리(Processing in Memory, PIM)에 관한 것으로, 구체적으로, PIM 장치 내부의 메모리 컨트롤러에 관한 것이다. 특히, 본발명은 PIM 내부 메모리의 트랜잭션(transaction) 시간을 최소화하기 위한 메모리 제어 방법과 이를 위한 PIM의 하드웨어 구조에 관한 것이다

배경기술

- [2] 프로세싱인메모리는 메모리와 연산장치(Processing Unit)가 하나의 칩으로 집적된 메모리로, 프로세서가 연산을 위해 메모리에 접근하는 빈도를 감소시킴으로써 시스템의 성능과 전력효율을 향상시킨다. 프로세서의 프로세싱인메모리 접근 방식은 전통적인 메모리 접근 방식과 다르게, 주소와 데이터 신호들 외에 연산을 위한 명령어 신호를 함께 사용한다. 프로세싱인메모리의 연산장치는 프로세서로부터 전달받은 명령어를 처리하기 때문에 복잡한 하드웨어를 가지며, 이로 인해 프로세싱인메모리의 메모리로서의 성능은 저하된다. 따라서, 프로세싱인메모리의 메모리로서의 성능을 크게 저하시키지 않아야 하기 때문에 연산장치에 대해서 가능한 낮은 하드웨어 복잡도가 요구되며, 이에 따라 비교적 간단한 연산만을 지원하도록 설계된다. PIM 제작에 사용되는 메모리는 다양한 메모리가 활용될 수 있다(예를 들어, DRAM).
- [3] 한편, DRAM은 종래의 다른 메모리와 다른 독특한 동작 방식으로 인해 관리 방법에 따라 요구되는 메모리 트랜잭션(transaction) 시간이 크게 달라진다. 전통적인 컴퓨터 시스템에서는 오픈페이지 모드(open page mode)와 클로즈페이지 모드(close page mode)를 이용하는 다양한 메모리 관리 방법을 통하여 시스템의 성능을 향상시켰다. 최근에는 사회적 요구로 인해 다양한 구조의 컴퓨터 시스템이 개발되고 있으며, 각각의 컴퓨터 시스템은 요구 사항에 부합하는 다양한 메모리 스케줄링 방법을 도입하고 있다. 하지만, 프로세싱인메모리(PIM)는 컴퓨터 시스템의 성능을 극대화하기 위해 새롭게 연구되고 있는 컴퓨터 구조이지만 메모리 관리에 대해 제안된 기술은 미흡하다.

발명의 상세한 설명

기술적 과제

- [4] 본발명은 PIM의 성능을 극대화하기 위한 메모리 관리 방법으로서 프로세싱인메모리(PIM)의 불필요한 DRAM 접근 시간을 줄임으로써 PIM의 성능을 향상시키는 것을 목적으로 한다.

과제 해결 수단

- [5] 상기 과제를 해결하기 위하여, 본발명은 프로세싱인메모리(PIM) 명령어(PIM

operations)에 직접적, 암시적으로 포함된 메모리 주소의 처리 순서를 변경함으로써 내부 메모리(예를 들어, DRAM)의 오픈페이지 적중률(open page hit rate)을 향상시킨다. 이를 위해 명령어 처리장치가 PIM 명령어패킷을 처리할 때, 내부 메모리의 읽기와 쓰기 동작이 연이어 진행될 가능성이 높은 목적주소 접근 요청을 후순위로 처리한다. 목적주소를 후순위로 요청함에 의해, 내부 메모리의 오픈 되어 있는 페이지의 행-주소와 PIM 명령어패킷 처리 결과를 돌려줄 행 주소가 일치될 수 있다.

- [6] 또한 본발명은 PIM 명령어에 직접적, 암시적으로 포함된 메모리 주소들을 명령어 처리장치에서 미리 파악하고 메모리 제어기에 알려줌으로써 내부 메모리의 오픈페이지 불일치(open page miss) 상황에서 발생하는 성능 손실을 최소화 한다. 이를 위해 PIM 내부의 명령어 처리장치는 이전에 요청했던 메모리 쓰기 및 읽기 주소를 유지한다. 명령어 처리장치가 유지하고 있는 이전 메모리 주소와, 처리해야 할 패킷의 주소를 비교하고 비교 결과를 페이지 닫음 신호를 통해 메모리 제어기에 미리 알려준다. 메모리 제어기는 내부 메모리의 페이지를 유지할지 닫을지 여부를 이 페이지 닫음 신호를 통해 결정한다.
- [7] 본발명의 더 상세한 구성 및 작용은 이후에 도면과 함께 설명하는 구체적인 실시예를 통하여 더욱 명확해질 것이다.

발명의 효과

- [8] 본발명은 프로세싱인메모리(PIM) 명령어(PIM operations)에 직접적, 암시적으로 포함된 메모리 주소의 처리 순서를 변경함으로써 내부 DRAM의 오픈페이지 적중률(open page hit rate)을 향상시킨다.
- [9] 본발명은 PIM의 내부 DRAM 관리를 오픈페이지(open page) 모드로 운영할 때 발생하는 페이지 불일치(page miss)로 인한 성능 손실을 줄일 수 있다.

도면의 간단한 설명

- [10] 도 1은 프로세싱인메모리(PIM)의 내부 구조도
- [11] 도 2는 DRAM 오픈페이지 정책의 순서도
- [12] 도 3은 PIM 명령어패킷의 예시적 구조도
- [13] 도 4는 PIM의 명령어 수행 절차의 순서도
- [14] 도 5는 본발명의 일 실시예에 따른 PIM 명령어패킷의 처리 순서도
- [15] 도 6은 본발명에 따른 PIM의 구조도
- [16] 도 7은 본발명의 다른 실시예에 따른 PIM 내부의 DRAM 제어기의 동작 순서도
- [17] 도 8은 본발명에 따른 PIM의 명령어 처리장치의 구조도

발명의 실시를 위한 최선의 형태

- [18] 본발명의 이점 및 특징, 그리고 이들을 달성하는 방법은 이하 첨부된 도면과 함께 상세하게 기술된 바람직한 실시예를 참조하면 명확해질 것이다. 그러나 본발명은 이하에 기술된 실시예에 한정되는 것이 아니라 다양한 다른 형태로 구현될 수 있다. 실시예는 단지 본발명을 완전하게 개시하며 본발명이 속하는

- 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것일 뿐, 본발명은 청구항의 기재 내용에 의해 정의되는 것이다.
- [19] 또한, 본 명세서에서 사용된 용어는 실시예를 설명하기 위한 것이며 본발명을 제한하고자 하는 것이 아니다. 본 명세서에서, 단수형은 특별히 언급하지 않는 한 복수형도 포함한다. 또한 명세서에 사용된 '포함한다(comprise, comprising 등)'라는 용어는 언급된 구성요소, 단계, 동작, 및/또는 소자 이외의 하나 이상의 다른 구성요소, 단계, 동작, 및/또는 소자의 존재 또는 추가를 배제하지 않는 의미로 사용된 것이다.
- [20] 이하, 본발명의 바람직한 실시예를 첨부 도면을 참조하여 상세히 설명한다. 실시예의 설명에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본발명의 요지를 흐릴 수 있는 경우에는 그 상세한 설명을 생략한다.
- [21] <기초 설명>
- [22] ·프로세싱인메모리(processing in memory; PIM)
- [23] 프로세싱인메모리는 메모리와 연산장치를 집적하여 하나의 칩으로 패키징한 지능형 반도체이다. PIM을 사용하면 전통적인 컴퓨터의 메모리 병목현상을 해소할 수 있기 때문에 컴퓨터 시스템의 성능을 극대화 할 수 있다. PIM 제작에 사용되는 메모리는 다양한 메모리가 될 수 있으며, 본발명은 내부 메모리로 DRAM을 사용하는 PIM에 대한 발명이다.
- [24] 도 1은 PIM의 내부 구조를 도시한 그림이다. 도 1과 같이 프로세싱인메모리(10) 내부의 명령어 처리장치(20)는 DRAM(40)에 접근하기 위해 DRAM 제어기(30)에게 읽기 및 쓰기 요청(21)을 보낸다. 구체적으로, 명령어 처리장치(20)는 DRAM 제어기(30)에 읽기/쓰기 요청 신호(21)를 보낸다. 쓰기 요청인 경우에는 쓰기 데이터(22)를 DRAM 제어기(30)에 제공하고, 내부 DRAM(40)으로부터 DRAM 제어기(30)를 통해 읽기 데이터(23)를 수신한다. DRAM 제어기(30)는 DRAM(40)과 쓰기/읽기 데이터(32)를 송수신하기 위하여 DRAM(40)에 제어 신호(31)를 보낸다.
- [25] ·DRAM에 대한 페이지 정책
- [26] DRAM에 데이터를 쓰거나 DRAM으로부터 데이터를 읽기 위해서, 요청 받은 주소를 행-주소(row address)와 열-주소(column address)로 구분하여 차례로 처리한다. 행-주소를 처리하기 전에는 프리차지(PRECHARGE) 동작을 수행한다. 행-주소 처리와 PRECHARGE 동작시에는 DRAM의 응답시간 대부분을 차지할만큼 긴 시간이 요구되기 때문에 기존 컴퓨터 시스템에서는 불필요한 행-주소 처리와 PRECHARGE 동작을 생략하는 오픈페이지(open page) 정책을 주로 사용한다. 오픈페이지 정책은 도 2와 같이, 메모리 읽기/쓰기 요청을 기다리고 있다가(50) 요청이 수신되면 요청 받은 주소를 행-주소와 열-주소로 구분하여 먼저 행-주소 처리(60)를 한 다음에 열-주소 처리(70)를 하고, 다음 번 읽기/쓰기 요청을 대기한다(80). 다음 번 읽기/쓰기 요청이 수신되면, 이전 요청에 대해 처리했던 주소의 행-주소와 이번 요청에 대해 처리해야 할 주소의

행-주소를 비교한다(90). 행-주소가 일치하면 행-주소 처리(60)를 생략하고 열-주소만 처리한다(70). 반면에, 처리해야 할 주소의 행-주소가 일치하지 않을 경우에는 PRECHARGE 동작(100)과 행-주소 처리(60)를 모두 해야 한다.

[27] •PIM 명령어패킷

[28] PIM은 일반적인 메모리의 읽기 및 쓰기 기능 외에 연산 기능을 수행한다. 따라서 PIM과 컴퓨터 시스템은 PIM의 메모리 기능과 연산 기능을 요청하고 응답하기 위해 예컨대 도 3과 같이 구성될 수 있는 명령어패킷(110)을 주고받는다. 명령어패킷(110)에는 OPCODE, 목적주소, 피연산자주소가 포함될 수 있다. OPCODE는 PIM이 수행해야 할 연산의 종류를 지정하고, 목적주소는 PIM이 연산 기능을 수행 후 연산 결과를 돌려주기(write back) 위한 대상 주소이고, 피연산자주소는 연산을 위해 필요한 피연산자(operand)를 지시하는 주소이다. 피연산자를 지시하는 방식으로는, 직접 피연산자를 지시하는 방식(immediate type)과 피연산자의 주소를 지시하는 방식(recall type)이 모두 가능하다. 또한, 피연산자의 주소를 지시하는 방식에는 주소를 직접 지정하는 방식과 주소의 범위를 지정하여 간접 지정하는 방식이 있다. 이들 주소지정 방식은 PIM의 용도와 설계 방법에 따라 다양하게 사용 가능하다.

[29] PIM의 명령어패킷의 처리 과정은 도 4와 같이 메모리 읽기 및 쓰기 기능과 연산 기능이 순차적으로 실행되는 원자적 형태(atomic operation)를 가진다. 즉, PIM 명령어 처리장치(도 1의 20)는 수신한 PIM 명령어패킷을 해석(120)하고 이를 처리하기 위해 DRAM 제어기에 목적주소 접근 요청(130) 및 피연산자주소 접근 요청(140)을 보낸다. 그리고 명령어패킷(110)에서 OPCODE로 지시된 연산 기능을 수행(150)한 후, 연산 결과를 돌려주기 위해(write back) DRAM 제어기(도 1의 30)에게 목적주소 접근을 또 한번 요청한다(160).

[30] <본발명의 내용>

[31] 본발명에 따른 PIM의 메모리 관리방법은 PIM의 응답속도와 처리율을 향상시키기 위해 다음과 같은 두 가지의 PIM 명령어패킷 처리 방식을 포함한다. 이러한 처리 방식을 통해서 PIM의 내부 DRAM이 오픈페이지 정책을 사용시에 페이지 적중률을 향상시킬 수 있다.

[32] (1) 목적주소의 후순위 요청

[33] PIM 명령어패킷의 종류 중에는 수행하는 연산이 원천주소뿐만 아니라 목적주소의 데이터를 피연산자로 사용해야 하는 명령어패킷이 있다. 본발명에 따른 PIM 메모리 관리방법은 명령어 처리장치(도 6의 230 참조)가 목적주소의 데이터를 피연산자로 사용해야 하는 명령어패킷을 처리할 때 원천주소를 먼저 접근한 후에 목적주소를 나중에 접근하는 방식을 포함한다.

[34] 도 5는 본발명에 따른 PIM 명령어패킷의 처리 순서도이다. 이에 대해서 도 6에 나타난 PIM 구조 및 도 8에 나타난 명령어 처리장치(230)의 구조를 참조하여 설명한다. 도 6과 도 8에 대해서는 차후에 상세히 설명한다.

[35] 도 5를 참조하면, PIM 명령어 처리장치(도 6의 230)는 PIM 명령어패킷을

해석(170)하고, 이를 처리하기 위해 DRAM 제어기에 피연산자주소 데이터로의 접근 요청(180)을 보낸 연후에 목적주소 데이터로의 접근 요청(190)을 수행한다. 명령어패킷에서 지시된 연산 기능을 수행(200)한 후, 연산 결과를 돌려주기 위해(write back) DRAM 제어기(도 1의 30)에 목적주소 접근을 또 다시 요청한다(210).

- [36] 본발명에서 제안하는 이러한 방식은 목적주소를 후순위로 요청하여 피연산자 데이터를 위한 목적주소 접근(190)과 연산 결과를 돌려주기 위한 목적주소 접근(210)을 연속적으로 수행함으로써 내부 DRAM(도 6의 250)의 오픈되어 있는 페이지의 행-주소와 PIM 명령어패킷 처리 결과를 돌려줄 행 주소를 일치시킨다. 따라서 DRAM의 페이지 적중률이 향상된다.
- [37] (2) 페이지 닫음 신호
- [38] 도 6의 PIM 구조도에, PIM(220)의 명령어 처리장치(230)와 메모리 제어기, 즉, DRAM 제어기(240) 사이에 사용되는 페이지 닫음 신호(234)를 나타내었다. PIM 내부의 명령어 처리장치(230)는 PIM 명령어패킷을 처리할 때 이전에 요청했던(231) 메모리(DRAM) 읽기 및 쓰기 주소를 저장(유지)한다. 그리고 다음 PIM 명령어패킷을 해석할 때에, 이 저장(유지)하고 있던 이전 주소와 처리해야 할 패킷의 주소를 비교하여 비교 결과를(즉, DRAM(250)의 오픈된 페이지를 닫을지 여부를) 페이지 닫음 신호(234)를 통해 DRAM 제어기(240)에게 미리 알려준다.
- [39] 도 6에서 여타 동작은 도 1에서 설명한 것과 같과 동일하다. 즉, 명령어 처리장치(230)는 DRAM 제어기(240)에 읽기/쓰기 요청(231)을 한다. 쓰기 요청인 경우에는 쓰기 데이터(232)를 DRAM 제어기(240)에 제공하고, 내부 DRAM(250)으로부터 DRAM 제어기(240)를 통해 읽기 데이터(233)를 수신한다. DRAM 제어기(240)는 DRAM(250)에 제어 신호(241)를 보내고 DRAM(250)과 쓰기/읽기 데이터(242)를 송수신한다.
- [40] 도 7은 이와 같이 페이지 닫음 신호(234)를 추가한 경우에, PIM 내부의 DRAM 제어기(240)의 동작 순서도이다. DRAM 제어기(240)는 메모리 읽기/쓰기 요청을 기다리고 있다가(260) 요청이 수신되면 요청 받은 주소를 행-주소와 열-주소로 구분하여 행-주소 처리(270)를 하고 열-주소 처리(280)를 한다. 그리고 페이지 닫음 신호(234)에 따라서 내부 DRAM의 페이지를 유지할지 닫을지 여부를 결정한다(290). 페이지 닫음 신호가 수신된 경우에는 PRECHARGE 동작(300)을 수행하고 다시 메모리 읽기/쓰기 요청을 대기하고(260), 페이지 닫음 신호가 수신되지 않은 경우에는 다음 번 읽기/쓰기 요청을 기다린다(310). 다음 번 읽기/쓰기 요청이 수신되면, 이전 요청에 대해 처리했던 주소의 행-주소와 이번 요청에 대해 처리해야 할 주소의 행-주소를 비교한다(320). 행-주소가 일치하면 행-주소 처리(270)를 생략하고 열-주소만 처리한다(280). 반면에, 처리해야 할 주소의 행-주소가 일치하지 않을 경우에는 PRECHARGE 동작(330)과 행-주소 처리(270)를 모두 수행한다.

- [41] 이와 같이, DRAM 제어기(240)는 기존의 오픈페이지 정책을 사용하는 DRAM 제어기들과 달리, 열-주소 처리(280) 후 명령어 처리장치(230)의 페이지 닫음 신호(234)에 따라서 페이지를 유지할지 여부를 결정한다(290). 본 방식에 따르면, 종래에 DRAM 제어기들이 페이지 불일치의 경우에 수행하는 PRECHARGE를 미리 수행함으로써 성능 손실을 줄일 수 있다.
- [42] 도 8은 상술한 PIM의 메모리 관리 방법을 수행하는 명령어 처리장치(230)의 구조를 도시한 그림이다. 도 5 및 7의 순서도는 도 8의 유한상태기계(350)에 의해 구현될 수 있다. 도 8의 메모리 제어기(360)는 명령어 처리장치(230)의 외부 혹은 내부에 있을 수 있지만 설명의 편의를 위해 명령어 처리장치(230)의 내부에 점선으로 표시하였다. 연산 장치(370)는 처리 가능한 명령어의 종류에 따라 하나 이상의 연산 장치(1~N)로 구현 가능하다.
- [43] 명령어 분석기(340)는 PIM 명령어패킷을 분석하여 명령어(341)와 목적주소(342)를 추출하고, 명령어의 종류에 따라 피연산자주소(343) 혹은 직접데이터(344)를 추출한다.
- [44] 유한상태기계(350)는, 처리할 명령어(341)가 만약 메모리 쓰기 명령어라면 직접데이터(344)를 쓰기 데이터로 사용하여 메모리 쓰기 동작을 수행한다. 만일 처리할 명령어(341)가 메모리 읽기인 경우에 유한상태기계(350)는 목적주소의 데이터를 메모리 제어기(360)에 요청하여 읽기 응답 데이터(361)로 내보내도록 한다.
- [45] 직접데이터를 사용하는 연산 명령어(I-type)의 경우, 유한상태기계(350)는 목적주소(342)에 피연산자를 요청하여 이를 직접데이터(344)와 함께 연산 장치(370)에 전달하고 연산 결과(371)를 목적주소(342)에 돌려준다. 반면, 피연산자주소를 사용하는 연산 명령어(R-type)의 경우, 유한상태기계(350)는 피연산자주소(343)를 메모리 제어기(360)에 우선 요청하고 연후에 목적주소(342)의 데이터를 요청한다. 그리고 수집된 피연산자들을 연산 장치(370)에 전달하고 연산 결과(371)를 목적주소(342)에 돌려준다.
- [46] 명령어 분석기(340)는 PIM 명령어패킷을 분석하면서 이전 명령어의 목적주소와 현재 명령어의 피연산자주소를 비교하여 행-주소 일치 여부를 검사한다(도 7 참조). 불일치일 경우 페이지 닫음 신호(345)를 생성하여 메모리 제어기(360)에 전달하고 내부 DRAM의 PRECHARGE 동작을 미리 수행하게 한다. 즉, 메모리 제어기(360)는 내부 DRAM의 페이지를 유지할지 닫을지 여부를 페이지 닫음 신호(345)를 통해 결정한다.
- [47] 지금까지 본발명의 바람직한 실시예를 통하여 본발명을 상세히 설명하였으나, 본발명이 속하는 기술분야의 통상의 지식을 가진 자는 본발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 본 명세서에 개시된 내용과는 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야 한다. 또한 본발명의 보호범위는 상기 상세한 설명보다는 후술한

특허청구범위에 의하여 정해지며, 특허청구의 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태는 본발명의 기술적 범위에 포함되는 것으로 해석되어야 한다.

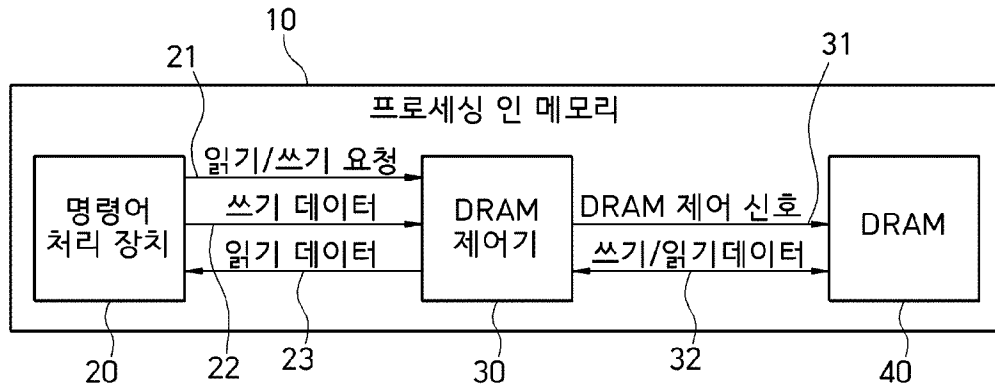
청구범위

- [청구항 1] 명령어 처리장치, 메모리 제어기, 및 메모리가 포함된 프로세싱인메모리의 상기 메모리를 관리하는 방법으로, 상기 명령어 처리장치가 명령어패킷을 해석하는 단계; 및 상기 명령어 처리장치가 상기 해석된 명령어패킷의 연산기능을 수행하기 위해 상기 메모리 제어기에 먼저 피연산자주소 데이터로의 접근 요청을 보내고 그 이후에 목적주소 데이터로의 접근 요청을 수행하는 단계를 포함하는, 프로세싱인메모리의 메모리 관리 방법.
- [청구항 2] 제1항에 있어서, 상기 명령어 처리장치가 상기 목적주소 데이터로의 접근 요청을 수행하는 단계 이후에, 상기 명령어 처리장치에 포함된 연산장치가 상기 명령어패킷에서 지시된 연산 기능을 수행하는 단계; 및 상기 연산장치가 수행한 연산의 결과를 돌려주기 위해 상기 명령어 처리장치가 상기 메모리 제어기에 목적주소 접근을 재차 요청하는 단계를 추가로 포함하는, 프로세싱인메모리의 메모리 관리 방법.
- [청구항 3] 제1항에 있어서, 상기 메모리 제어기에 먼저 피연산자주소 데이터로의 접근 요청을 보내고 그 이후에 목적주소 데이터로의 접근 요청을 수행하는 단계는 상기 명령어 처리장치에 포함된 유한상태기계에 의해 수행되는, 프로세싱인메모리의 메모리 관리 방법.
- [청구항 4] 명령어 처리장치, 메모리 제어기, 및 메모리가 포함된 프로세싱인메모리의 상기 메모리를 관리하는 방법으로, 상기 명령어 처리장치가 명령어패킷의 처리를 위해 상기 메모리 제어기에 주소를 요청하는 단계; 상기 명령어 처리장치가 요청했던 주소를 유지하는 단계; 상기 명령어 처리장치가 다음 번 명령어패킷을 처리시에, 상기 유지하고 있는 이전 명령어의 주소와, 처리해야 할 현재 명령어패킷의 주소를 비교하는 단계; 및 상기 명령어 처리장치가 상기 비교 결과 주소가 불일치할 경우 페이지 단음 신호를 생성하여 상기 메모리 제어기에 전달하여 상기 메모리의 **PRECHARGE** 동작을 수행하도록 하는 단계를 포함하는, 프로세싱인메모리의 메모리 관리 방법.
- [청구항 5] 제4항에 있어서, 상기 메모리 제어기가 상기 명령어 처리장치로부터 상기 페이지 단음 신호를 수신하면 상기 메모리의 페이지를 닫고 **PRECHARGE** 동작을 수행하는 단계를 추가로 포함하는, 프로세싱인메모리의 메모리 관리 방법.
- [청구항 6] 제1항에 있어서, 상기 명령어 처리장치가 명령어패킷의 처리를 위해 상기 메모리

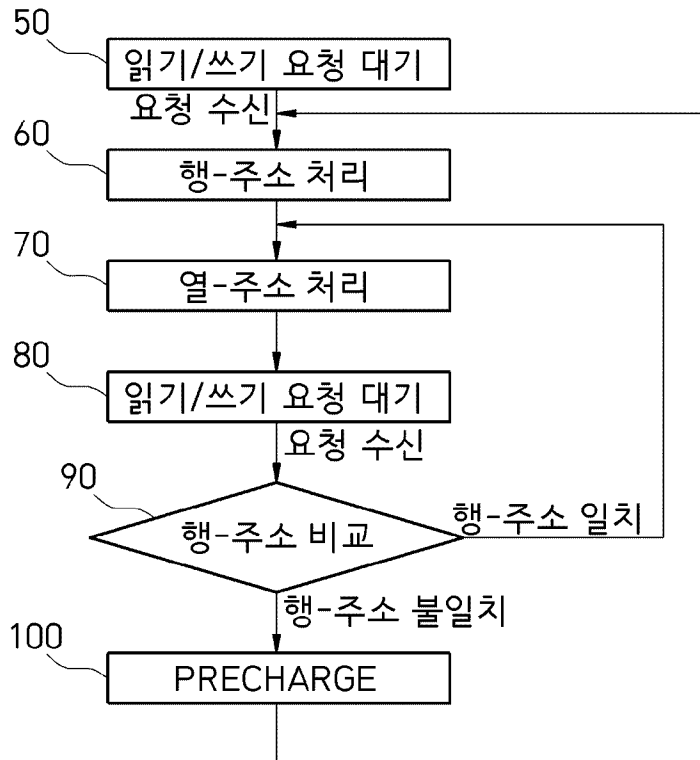
제어기에 요청하는 주소는 메모리 읽기 및 쓰기의 목적주소이고, 상기 명령어 처리장치가 상기 유지하고 있는 이전 명령어패킷의 주소와 처리해야 할 현재 명령어패킷의 주소를 비교하는 단계에서, 이전 명령어패킷의 주소는 목적주소이고 현재 명령어패킷의 주소는 피연산자주소인, 프로세싱인메모리의 메모리 관리 방법.

[청구항 7] 제4항에 있어서, 상기 페이지 닫음 신호를 생성하여 상기 메모리 제어기에 전달하는 단계는 상기 명령어 처리장치에 포함된 명령어 분석기에 의해 수행되는, 프로세싱인메모리의 메모리 관리 방법.

[도1]

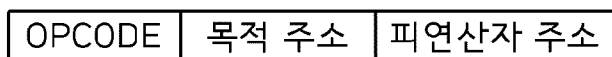


[도2]

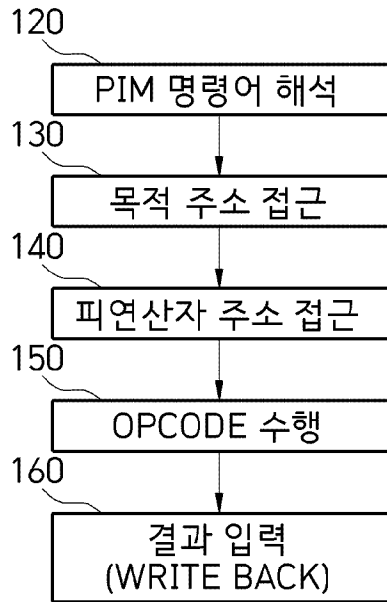


[도3]

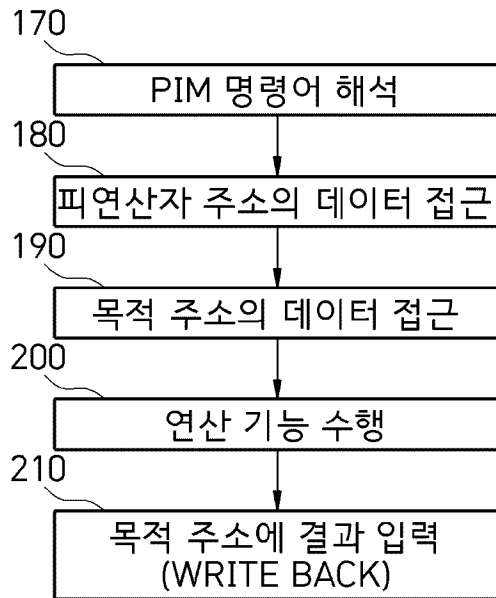
110



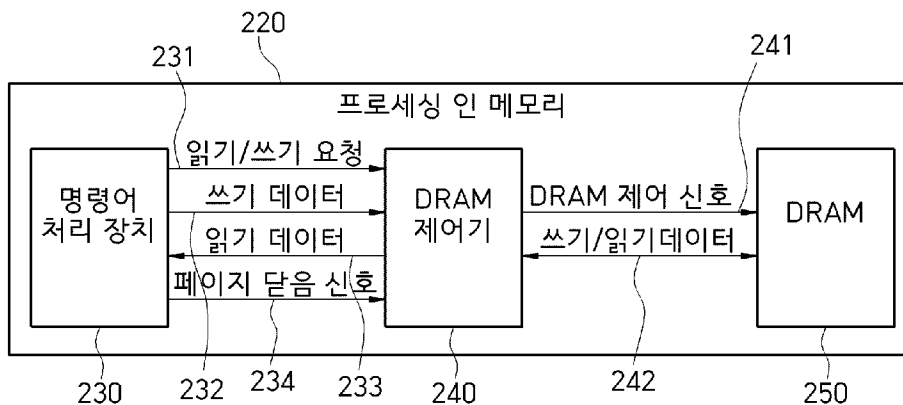
[도4]



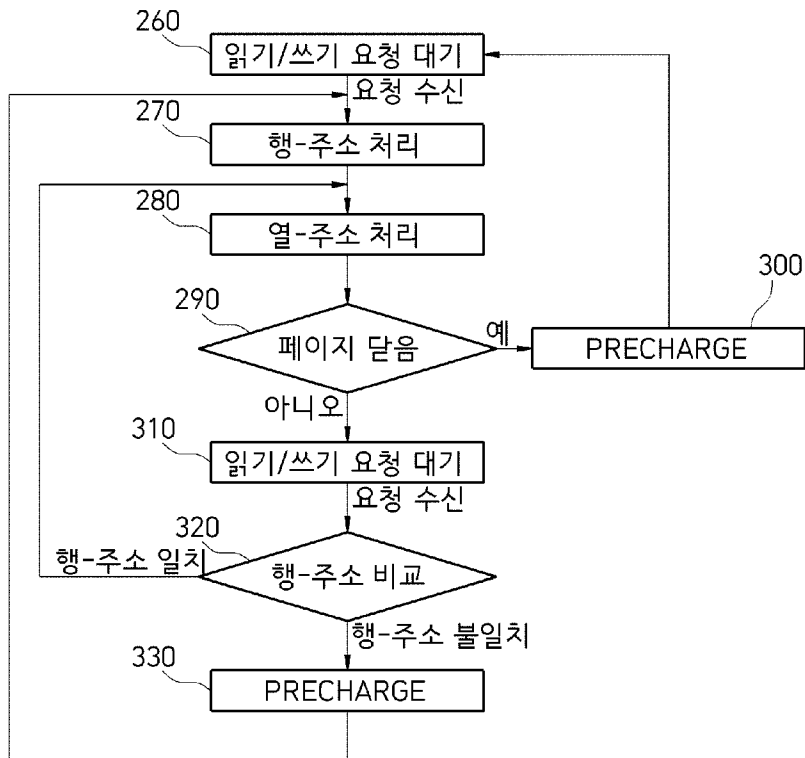
[도5]



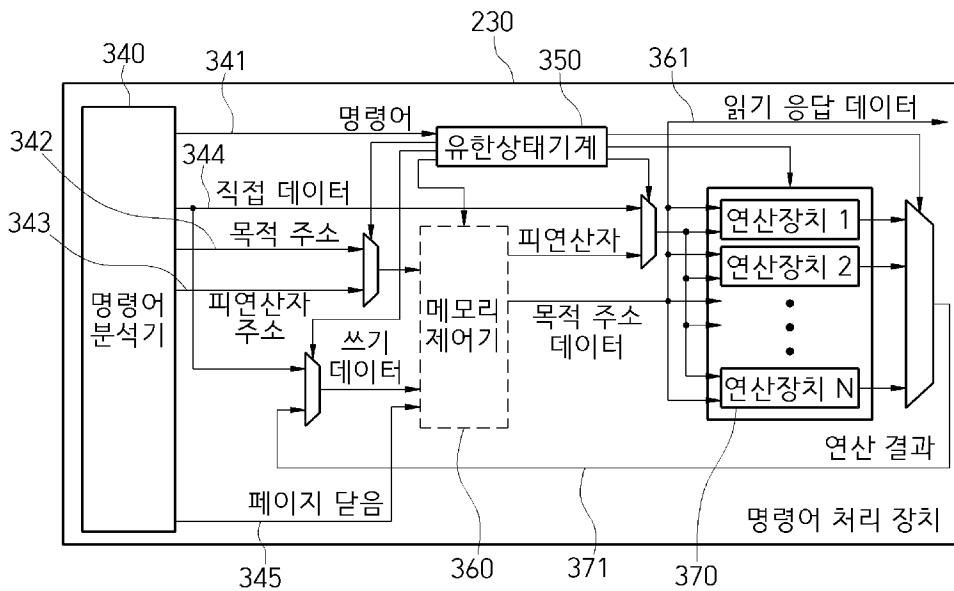
[도6]



[도7]



[도8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2020/009163

A. CLASSIFICATION OF SUBJECT MATTER

G06F 13/16(2006.01)i; G06F 3/06(2006.01)i; G06F 15/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F 13/16(2006.01); G06F 12/00(2006.01); G06F 13/20(2006.01); G06F 9/30(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 프로세싱인메모리(processing in memory), 피연산자 주소(operand address), 목적 주소(target address), 페이지 닫음(close page), 비교(comparison), 프리차지(precharge)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2020-0046270 A (KOREA ELECTRONICS TECHNOLOGY INSTITUTE) 07 May 2020 (2020-05-07) See paragraph [0022]; and claim 12.	1-7
Y	KR 10-2017-0119396 A (SK HYNIX INC.) 27 October 2017 (2017-10-27) See paragraphs [0005]-[0007] and [0051]-[0052]; and figure 5.	1-3,6
Y	KR 10-0623892 B1 (FREESCALE SEMICONDUCTOR, INC.) 14 September 2006 (2006-09-14) See paragraphs [0014] and [0019].	4-7
A	KR 10-1867219 B1 (INDUSTRY-ACADEMIC COOPERATION FOUNDATION, YONSEI UNIVERSITY) 12 June 2018 (2018-06-12) See paragraphs [0090]-[0121] and [0148]-[0157]; and figures 2 and 5.	1-7
A	US 2004-0044832 A1 (DODD, James M.) 04 March 2004 (2004-03-04) See paragraphs [0019]-[0037]; and figures 3-4.	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 March 2021

Date of mailing of the international search report

26 March 2021

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2020/009163

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2020-0046270	A	07 May 2020	WO	2020-085583	A1	30 April 2020
KR	10-2017-0119396	A	27 October 2017	US	10083115	B2	25 September 2018
				US	2017-0300411	A1	19 October 2017
KR	10-0623892	B1	14 September 2006	CN	1224193	A	28 July 1999
				EP	0932102	A1	28 July 1999
				JP	11-328007	A	30 November 1999
				JP	3795689	B2	12 July 2006
				TW	411411	B	11 November 2000
				US	6128716	A	03 October 2000
KR	10-1867219	B1	12 June 2018	None			
US	2004-0044832	A1	04 March 2004	AU	2003-258321	A1	19 March 2004
				CN	1788257	A	14 June 2006
				CN	1788257	B	06 April 2011
				DE	60315190	T2	22 November 2007
				EP	1573551	A2	14 September 2005
				EP	1573551	B1	25 July 2007
				HK	1076522	A1	20 January 2006
				TW	200415655	A	16 August 2004
				TW	236678	A	21 July 2005
				TW	I236678	B	21 July 2005
				US	7159066	B2	02 January 2007
				WO	2004-021194	A2	11 March 2004
				WO	2004-021194	A3	12 January 2006

A. 발명이 속하는 기술분류(국제특허분류(IPC)) G06F 13/16(2006.01)i; G06F 3/06(2006.01)i; G06F 15/78(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) G06F 13/16(2006.01); G06F 12/00(2006.01); G06F 13/20(2006.01); G06F 9/30(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 프로세싱인메모리(processing in memory), 피연산자 주소(operand address), 목적 주소(target address), 페이지 닫음(close page), 비교(comparison), 프리차지(precharge)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2020-0046270 A (전자부품연구원) 2020.05.07 단락 [0022]; 및 청구항 12	1-7
Y	KR 10-2017-0119396 A (에스케이하이닉스 주식회사) 2017.10.27 단락 [0005]-[0007], [0051]-[0052]; 및 도면 5	1-3,6
Y	KR 10-0623892 B1 (프리스케일 세미컨덕터, 인크.) 2006.09.14 단락 [0014], [0019]	4-7
A	KR 10-1867219 B1 (연세대학교 산학협력단) 2018.06.12 단락 [0090]-[0121], [0148]-[0157]; 및 도면 2, 5	1-7
A	US 2004-0044832 A1 (JAMES M. DODD) 2004.03.04 단락 [0019]-[0037]; 및 도면 3-4	1-7
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2021년03월22일(22.03.2021)		국제조사보고서 발송일 2021년03월26일(26.03.2021)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 양정록 전화번호 +82-42-481-5709

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2020-0046270 A	2020/05/07	WO 2020-085583 A1	2020/04/30
KR 10-2017-0119396 A	2017/10/27	US 10083115 B2	2018/09/25
		US 2017-0300411 A1	2017/10/19
KR 10-0623892 B1	2006/09/14	CN 1224193 A	1999/07/28
		EP 0932102 A1	1999/07/28
		JP 11-328007 A	1999/11/30
		JP 3795689 B2	2006/07/12
		TW 411411 B	2000/11/11
		US 6128716 A	2000/10/03
KR 10-1867219 B1	2018/06/12	없음	
US 2004-0044832 A1	2004/03/04	AU 2003-258321 A1	2004/03/19
		CN 1788257 A	2006/06/14
		CN 1788257 B	2011/04/06
		DE 60315190 T2	2007/11/22
		EP 1573551 A2	2005/09/14
		EP 1573551 B1	2007/07/25
		HK 1076522 A1	2006/01/20
		TW 200415655 A	2004/08/16
		TW 236678 A	2005/07/21
		TW I236678 B	2005/07/21
		US 7159066 B2	2007/01/02
		WO 2004-021194 A2	2004/03/11
		WO 2004-021194 A3	2006/01/12