

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96103594

※申請日期：96.1.31 ※IPC 分類：H05K 1/16 (2006.01)

一、發明名稱：(中文/英文)

內埋電容元件結構及其製造方法與應用

**PACKAGE STRUCTURE WITH EMBEDDED CAPACITOR AND
APPLICATIONS THEREOF**

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日月光半導體製造股份有限公司

ADVANCED SEMICONDUCTOR ENGINEERING INC.

代表人：(中文/英文)

張虔生 / CHANG, CHIANGSENG

住居所或營業所地址：(中文/英文)

高雄市楠梓加工出口區經三路 26 號

26, CHIN 3RD RD., 811, NANTZE EXPORT PROCESSING ZONE,
KAOHSIUNG, TAIWAN, R.O.C.

國籍：(中文/英文)

中華民國 / R.O.C.

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 王永輝 / WANG, YUNGHUI

2. 歐英德 / OU, INDE

3. 洪志斌 / HUNG, CHIH PIN

國籍：(中文/英文)

1. 中華民國 / R.O.C.

2. 中華民國 / R.O.C.

3. 中華民國 / R.O.C.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1.

2.

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明

【發明所屬之技術領域】

本發明係有關於一種封裝結構及其製造方法，特別是有關於一種內埋電容元件結構及其製造方法與應用。

【先前技術】

內埋電容元件結構為一種依照模組的電路特性與需求，採用多層線路板封裝 (Multiple Stacked Package ; MSP) 技術將電容以介電材料內埋於基板之中，藉以取代習知的非內埋式陶瓷電容，來縮短電路佈局、減少非內埋式被動元件的使用數量，以減少訊號傳輸距離來提升整體元件之工作性能的封裝結構。

目前所習知的內埋式電容元件主要有金屬/絕緣體/金屬 (Metal-Insulator-Metal ; MIM) 電容與垂直指插電容 (Vertically-Interdigitated-Capacitor ; VIC) 兩種，其中金屬/絕緣體/金屬電容是利用位於介電層上下兩片金屬來構成的電容結構，而垂直指插式電容器的結構為許多金屬平板互相交錯疊而成。

然而，由於電容元件的電容特性(電容值)係與元件的介電材料之介電常數成正比，習知的內埋式電容元件所使用之介電材料無法如非內埋式陶瓷電容(通常為高溫燒結的鈦酸鋇系材料)進行高溫燒結，因此介電常數通常較非內埋式陶瓷電容低，因此所提供的電容特性也較非內埋式陶瓷電容差。即使透過此調整介電材料使用高分子/陶瓷粉體複合材料，內埋式

電容元件的介電常數值仍比習知的分離式陶瓷電容要低。

為了改善內埋式電容元件的電容特性，上述二種電容元件皆需增加電容結構的疊層數目，不僅佔據了有限的基板佈線空間，又會使基板的厚度陡然增加。

【發明內容】

因此，非常需要一種先進的內埋式電容元件結構及其製造方法，可以不需要增加基板厚度即可增進內埋式電容元件的電容特性，來解決習知內埋電容元件為了增加電容特性而導致基板厚度大幅增加的問題。

本發明之一目的係在提供一種內埋電容元件結構，此內埋電容元件結構包括：介電層、第一導電層、第二導電層、第一嵌板以及第二嵌板。其中介電層具有一厚度。第一導電層係位於介電層之一側，且具有第一電性。第二導電層位於介電層上相對於第一導電層之另一側，且具有第二電性。第一嵌板嵌設於介電層之中，與第一導電層電性連結。第二嵌板嵌設於介電層之中，與第二導電層電性連結，且與第一嵌板相距有一段距離。

本發明之另一目的係在提供一種封裝結構的核心層，包括：介電層、第一導電層、第二導電層、第一嵌板以及第二嵌板。介電層具有一厚度；具有第一電性的第一導電層，位於介電層之一側。具有第二電性的第二導電層位於介電層上相對於第一導電層之另一側。第一嵌板嵌設於介電層之中，與第一導電層電性連結。第二嵌板嵌設於介電層之中，與第

二導電層電性連結，且與第一嵌板相距有一段距離。

本發明之又一目的係在提供一種內埋電容元件結構的製造方法，此一方法包括下述步驟：

首先提供一介電層。接著圖案化此介電層之第一表面，以形成第一凹溝凹設於介電層中。然後，於第一表面形成第一導電層，並填充第一凹溝。再圖案化介電層之第二表面，以形成第二凹溝凹設於介電層中，其中第二表面係相對於第一表面，且第一凹溝與第二凹溝相距有一段距離。接著再於第二表面形成第二導電層，並填充第二凹溝。

本發明之再一目的係在提供一種內埋電容元件結構的製造方法，此一方法包括下述步驟：

首先提供一核心層(Core Layer)，其中核心層包含有一基材、第一導電層位於該基材之一側以及第二導電層位於基材相對第一導電層的另一側。接著，於第一導電層上形成一第一凹溝，並使第一凹溝凹設於基材之中。然後，在第二導電層上形成第二凹溝，並使第二凹溝凹設於基材之中，且第一凹溝與第二凹溝相距有一段距離。再以導電材料填充第一凹溝和第二凹溝。

本發明之又再一目的係在提供一種內埋電容元件結構的製造方法，此一方法包括下述步驟：

首先提供一覆銅膜樹脂(Resin Clad Copper; RCC)層，其中此覆銅膜樹脂層包括一基材以及位於該基材一側之銅膜。接著，於銅膜上形成第一凹溝，並使第一凹溝凹設於基材之中。再以導電材料填充第一凹溝。然後於基材相對於銅

合層。藉由形成於第二介電層 201 上的盲孔，例如盲孔 207，可使第一導電層 104 用以與外部之電子元件(例如晶粒 211)電性連接之區域裸露出來。且第一導電層 104 裸露的部分以及內連線 205 上方還分別覆蓋有一層金屬覆蓋層 216，可作為後續打線 208 或覆晶製程與外部之電子元件(例如晶粒 211)電性連結的鐸墊(Pad)。

請參照第 3 圖，第 3 圖係根據本發明的另一較佳實施例所繪示的一種具有內埋電容元件結構 100 的多層線路板封裝體 300 結構剖面圖。在本實施例中，多層線路板封裝體 300 係由多個核心基板 330 以及多層介電層 340 所層壓而成。其中內埋電容元件結構 100 也可以作為多層線路板封裝體 300 中的層壓板(Laminated Layer)之一。

請參照第 4A 圖至第 4D 圖，第 4A 圖至第 4D 圖係根據本發明的一個較佳實施例所繪的一種製造內埋電容元件結構 400 的一系列製程剖面圖。形成內埋電容元件結構 500 的製程包括下述步驟：

首先提供一介電層 402。接著圖案化此介電層 402 之第一表面 402a，以形成第一凹溝 409a(請參照第 4A 圖)。然後，於第一表面 402a 上形成第一導電層 404，並填充第一凹溝 409a(請參照第 4B 圖)。再圖案化介電層 402 之第二表面 402b，以形成第二凹溝 409b，其中第二表面 402b 係相對於第一表面 402a，且第一凹溝 409a 與第二凹溝 409b 相距有一段距離(請參照第 4C 圖)。接著再於第二表面 402b 形成第二導電層 406，並填充第二凹溝 409b。

請參照第 5A 圖至第 5D 圖，第 5A 圖至第 5D 圖係根據本發明的一個較佳實施例所繪的另一種製造內埋電容元件結構 500 的一系列製程剖面圖。形成內埋電容元件結構 500 的製程包括下述步驟：

首先提供一核心層 52，其中核心層包含有由介電材質所構成的基材 502、位於基材 502 之一側的第一導電層 504，以及位於介電層 502 基材相對於第一導電層 504 之另一側的第二導電層 506(請參照第 5A 圖)。接著，於第一導電層 504 上形成第一凹溝 509a，並使第一凹溝 509a 凹設於介電基材 502 之中(請參照第 5B 圖)。然後，在第二導電層 506 上形成第二凹溝 509b，並使第二凹溝 509b 凹設於基材 502 之中，且第一凹溝 509a 與第二凹溝 509b 相距有一段距離(請參照第 5C 圖)。再以導電材料填充第一凹溝 509a 和第二凹溝 509b，以形成第一嵌板 508 以及第二嵌板 510(請參照第 5D 圖)。

請參照第 6A 圖至第 6D 圖，第 6A 圖至第 6D 圖係根據本發明的一個較佳實施例所繪的另一種製造內埋電容元件結構 600 的一系列製程剖面圖。形成內埋電容元件結構 600 的製程包括下述步驟：

首先提供一覆銅膜樹脂層 62，其中此覆銅膜樹脂層 62 包括一樹脂基材 602 以及位於該基材一側之銅膜 604。接著，於銅膜 604 上形成第一凹溝 609a，並使第一凹溝 609a 凹設於樹脂基材 602 之中(請參照第 6A 圖)。再以導電材料填充第一凹溝，以形成第一嵌板 608(請參照第 6B 圖)。然後於樹脂基材 602 相對於銅膜 604 之一側形成第二凹溝 609b 凹設於基材之

中，且第一凹溝 609a 與第二凹溝 609b 相距有一段距離(請參照地 6C 圖)。再於樹脂基材 602 上相對於銅膜 604 之一側形成第二導電層 606，並同時填充該第二凹溝 609b，以形成第二嵌板 610 (請參照第 6D 圖)。

根據本發明之一較佳實施例，本發明的技術特徵係採用分別形成於介電層(基材)相對兩側之凹溝來填充導電材料，以形成彼此相對應的導電嵌板嵌設於介電層之中，兩嵌板再各自與第一導電層和第二導電層相互導通。藉由兩個各自帶有相異電性的導電嵌板，以及夾於兩導電嵌板之間的介電層即可形成一個內埋電容元件結構。

由於兩個嵌板係直接嵌設於單一介電層之中，因此即使爲了增進內埋電容元件的電容特性，而增加嵌板數量或密度，也不需要增加介電層的疊層數量，造成封裝體厚度大幅增加。

因此應用上述之實施例，不僅可縮短封裝體的電路佈局並減少訊號傳輸距節省佈線空間，具有不會使封裝體的厚度增加的優點，可以解決習知內埋電容元件爲了增進工作效能而必須大幅增加基板厚度的問題。另外由於形成埋入電容元件的單一電性嵌板皆形成於介電層之同一側，可藉由單一製程來進行製備，因此相較於習知內埋電容元件結構相對單純，故亦可減少製程步驟降低製程成本。

雖然本發明已以數個較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第 1 圖係根據本發明的較佳實施例所繪示的一種內埋電容元件結構 100。

第 2 圖係根據本發明的較佳實施例所繪示的一種具有內埋電容元件結構 100 之夾層電路板 200 的封裝結構剖面圖。

第 3 圖係根據本發明的另一較佳實施例所繪示的一種具有內埋電容元件結構 100 的多層線路板封裝體 300 結構剖面圖。

第 4A 圖至第 4D 圖係根據本發明的一個較佳實施例所繪的一種製造內埋電容元件結構 400 的一系列製程剖面圖。

第 5A 圖至第 5D 圖係根據本發明的一個較佳實施例所繪的另一種製造內埋電容元件結構 500 的一系列製程剖面圖。

第 6A 圖至第 6D 圖係根據本發明的一個較佳實施例所繪的又一種製造內埋電容元件結構 600 的一系列製程剖面圖。

【主要元件符號說明】

100：內埋電容元件結構	102：介電層
104：第一導電層	106：第二導電層
108：第一嵌板	110：第二嵌板
112：第三嵌板	114：第四嵌板

- 200 : 夾層電路板
 203 : 第三介電層
 207 : 盲孔
 211 : 晶粒
 300 : 多層線路板封裝體
 340 : 介電層
 402 : 介電層
 402b : 第二表面
 406 : 第二導電層
 409b : 第二凹溝
 502 : 基材
 506 : 第二導電層
 509a : 第一凹溝
 510 : 第二嵌板
 600 : 內埋電容元件結構
 602 : 樹脂基材
 606 : 第二導電層
 609a 第一凹溝
 610 : 第二嵌板
 d : 厚度
 A₂ : 第二夾角
 A₄ : 第四夾角
 201 : 第二介電層
 205 : 內連線
 208 : 打線
 216 : 金屬覆蓋層
 330 : 核心基板
 400 : 內埋電容元件結構
 402a : 第一表面
 404 : 第一導電層
 409a : 第一凹溝
 52 : 核心層
 504 : 第一導電層
 508 : 第一嵌板
 509b : 第二凹溝
 62 : 覆銅膜樹脂層
 604 : 銅膜
 608 : 第一嵌板
 609b : 第二凹溝
 A₁ : 第一夾角
 A₃ : 第三夾角

五、中文發明摘要

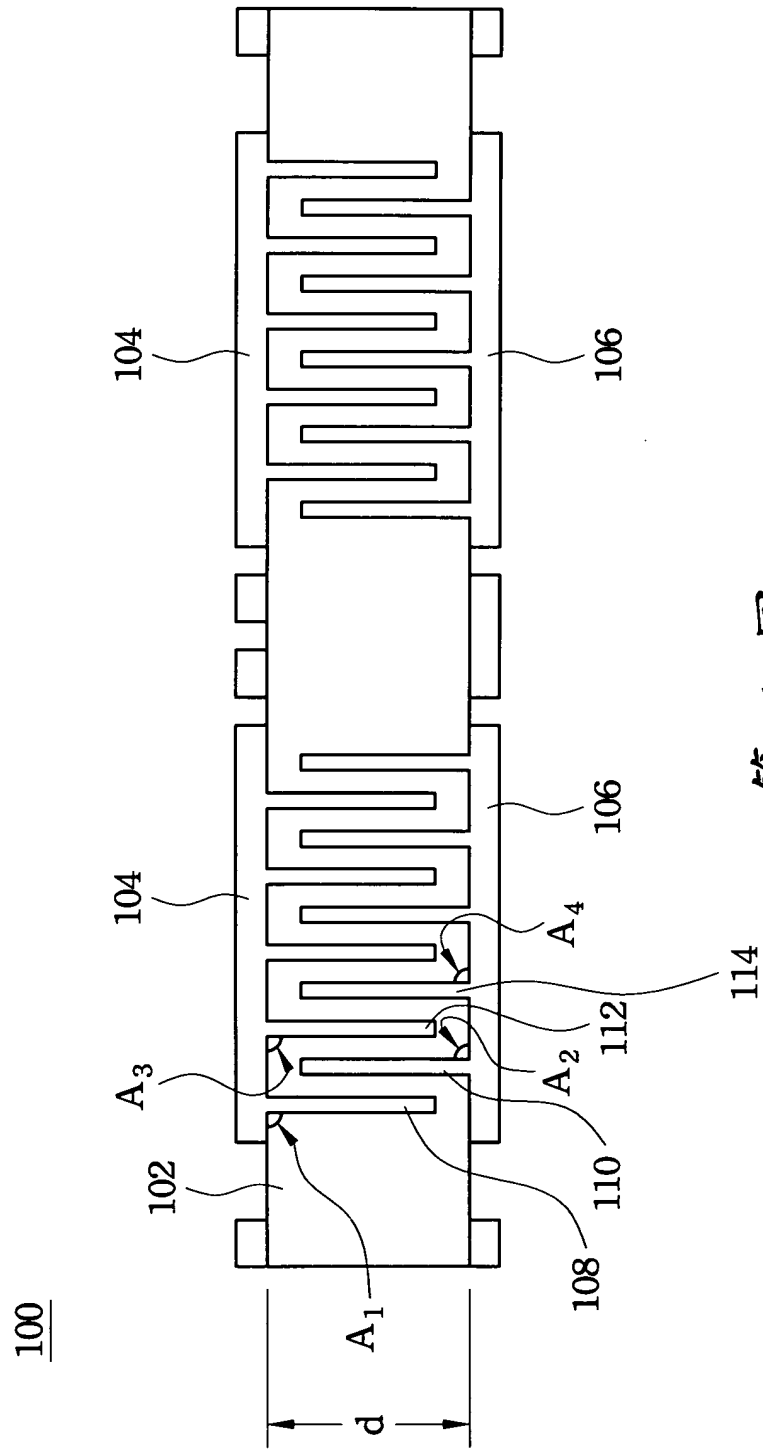
內埋電容元件結構及其製造方法與應用

提供一種內埋電容元件結構及其製造方法與應用，此內埋電容元件結構包括：介電層、第一導電層、第二導電層、第一嵌板以及第二嵌板。其中介電層具有一厚度。第一導電層係位於介電層之一側，且具有第一電性。第二導電層位於介電層上相對於第一導電層之另一側，且具有第二電性。第一嵌板嵌設於介電層之中，與第一導電層電性連結。第二嵌板嵌設於介電層之中，與第二導電層電性連結，且與第一嵌板相距有一段距離。

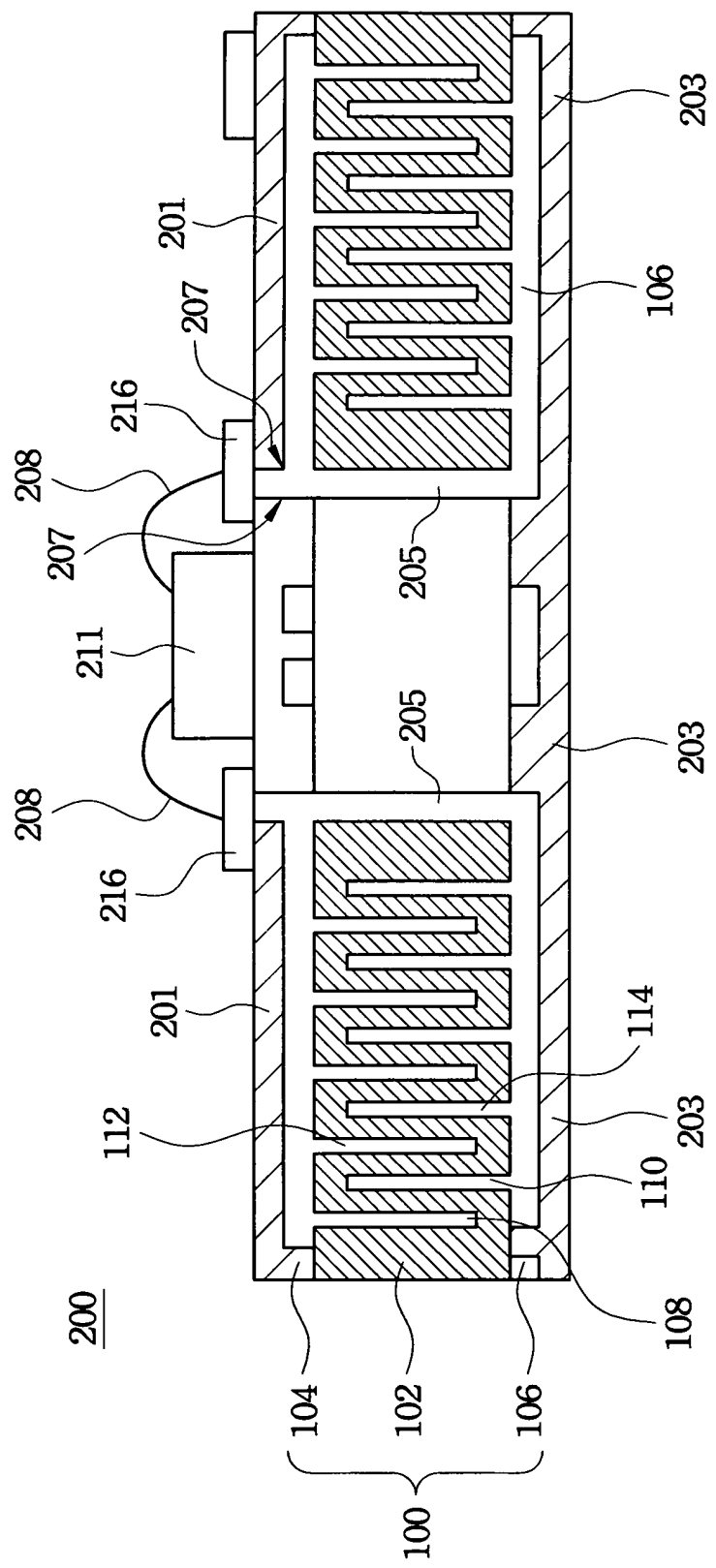
六、英文發明摘要

PACKAGE STRUCTURE WITH EMBEDDED CAPACITOR AND APPLICATIONS THEREOF

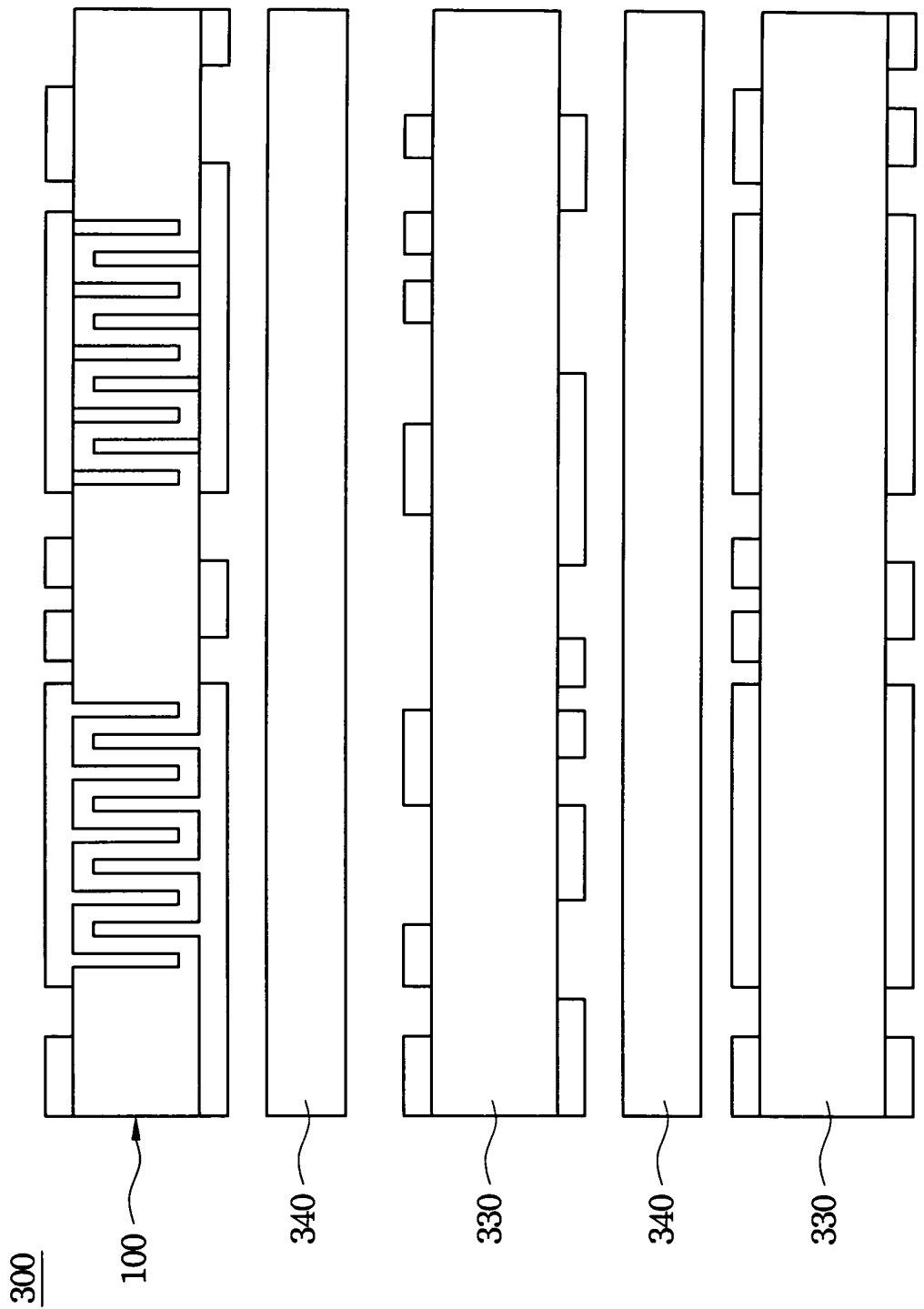
A package structure with an embedded capacitor and applications thereof are provided, wherein the package structure comprises a dielectric layer, a first conductive layer, a second conductive layer, a first embedded board and a second embedded board. The dielectric layer with a first potential has a thickness. The first conductive layer is located on one side of the dielectric layer. The second conductive layer with a second potential is located on another side of the dielectric layer opposite to the first conductive layer. The first embedded board and the second embedded board that are embedded in the dielectric layer are separated by a distance, wherein the first embedded board electrically connect to the first conductive layer, and the second embedded board connect to the second conductive layer.



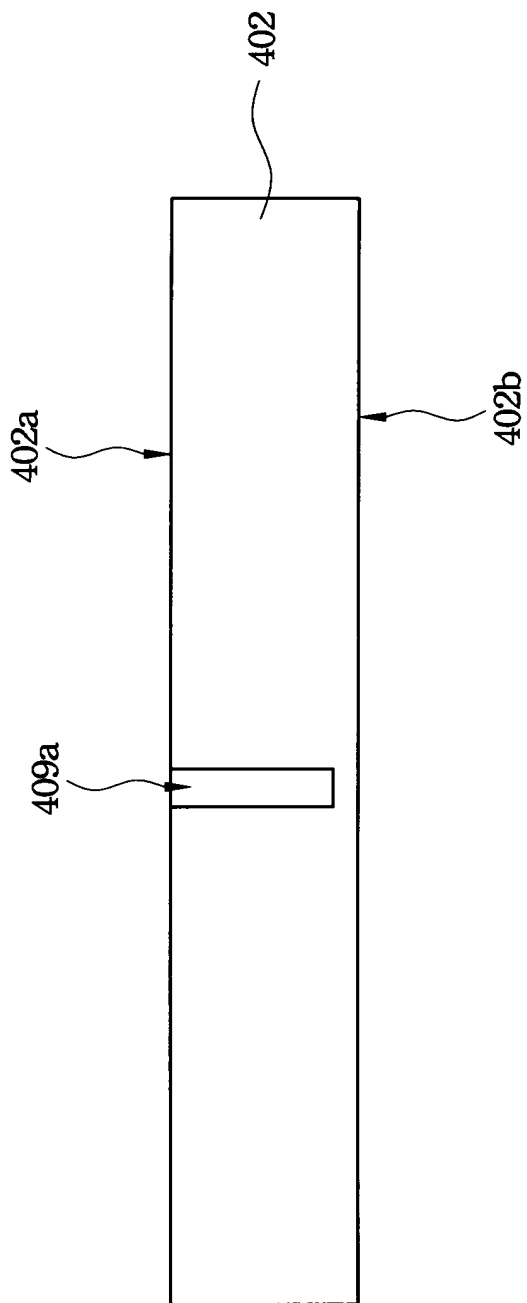
第 1 圖



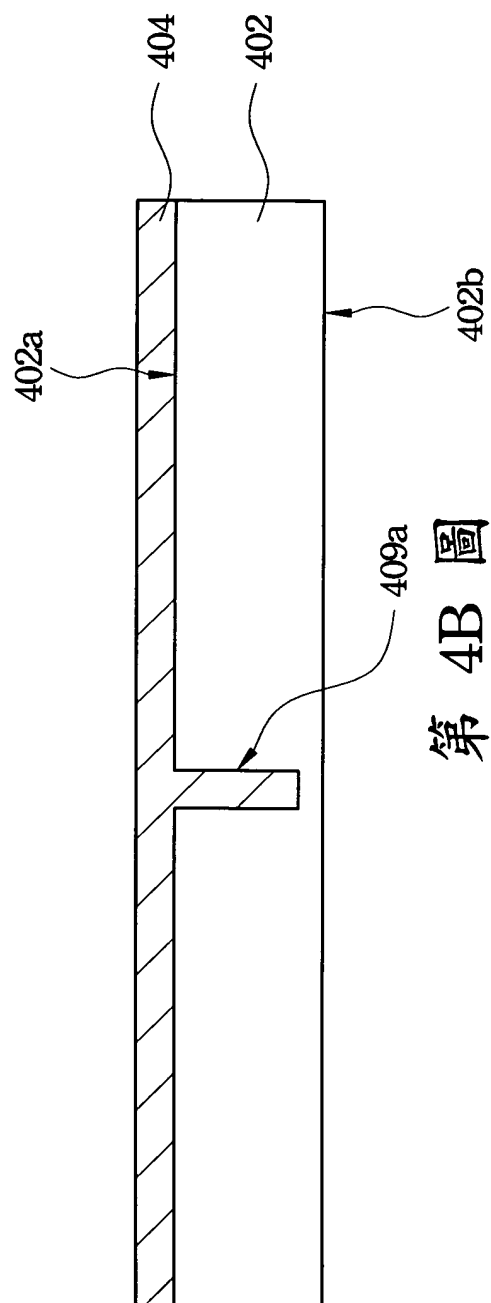
第 2 圖



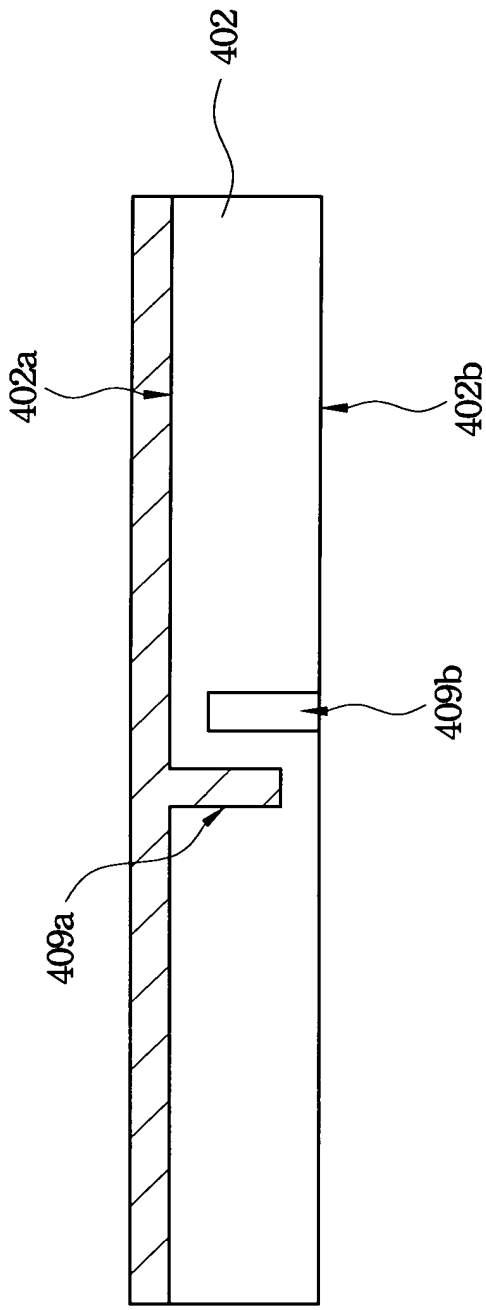
第 3 圖



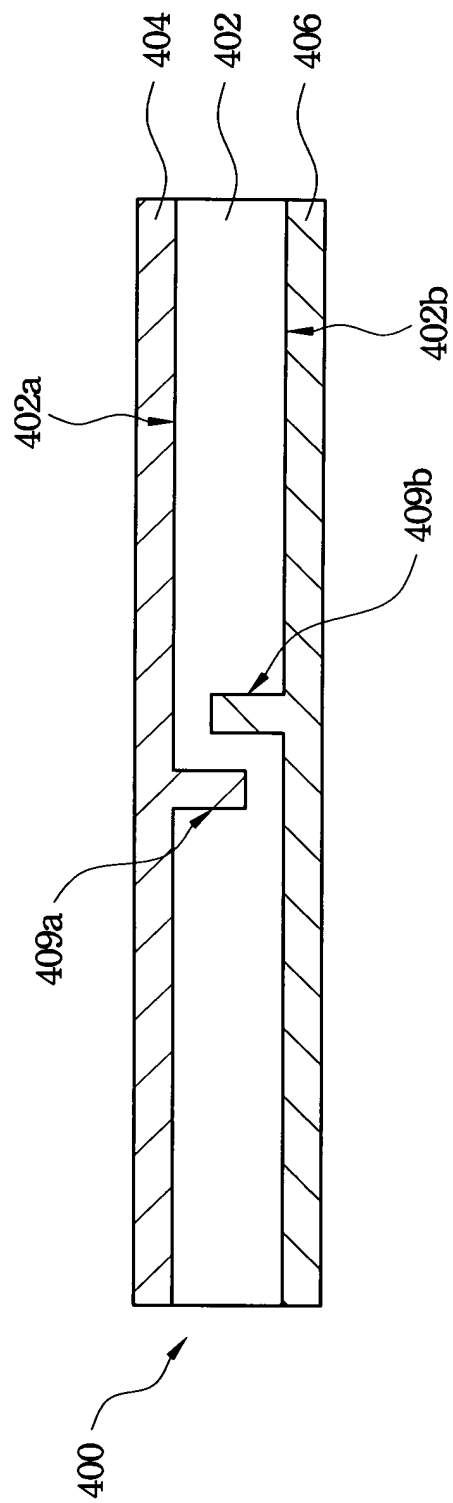
第 4A 圖



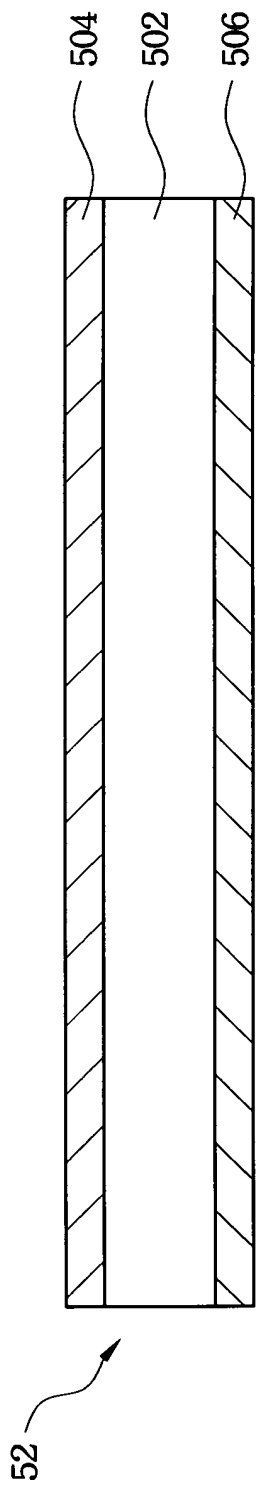
第 4B 圖



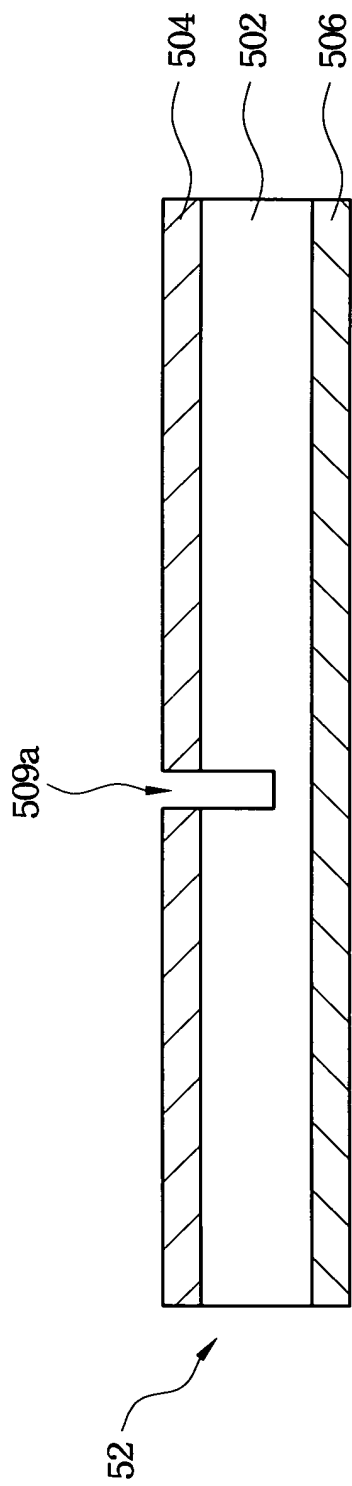
第 4C 圖



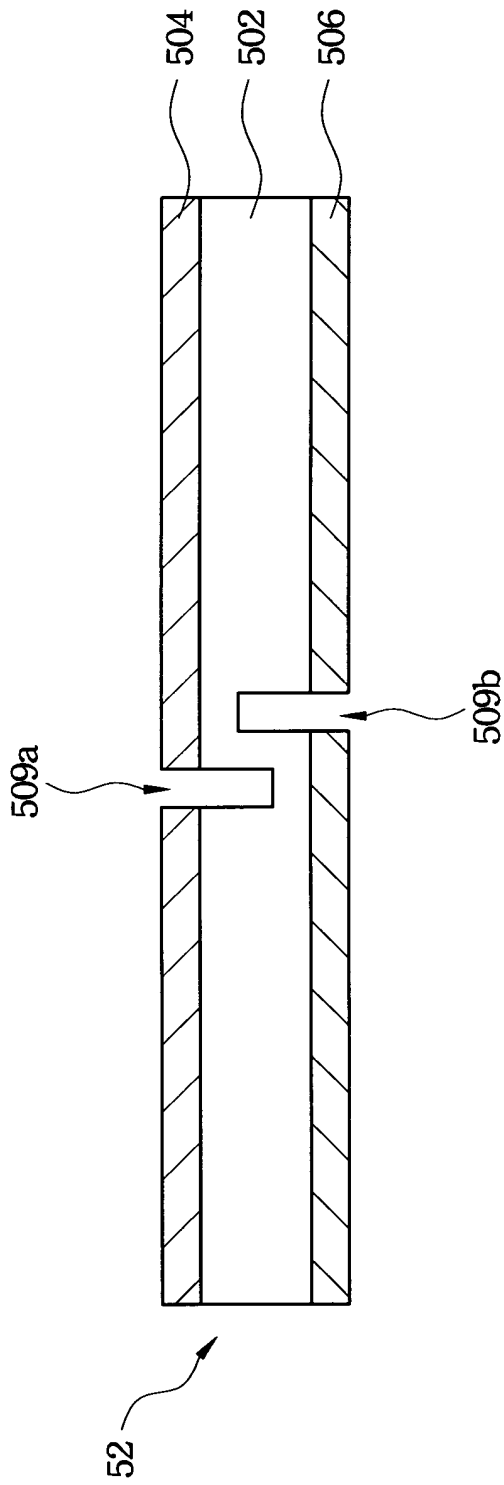
第 4D 圖



第 5A 圖

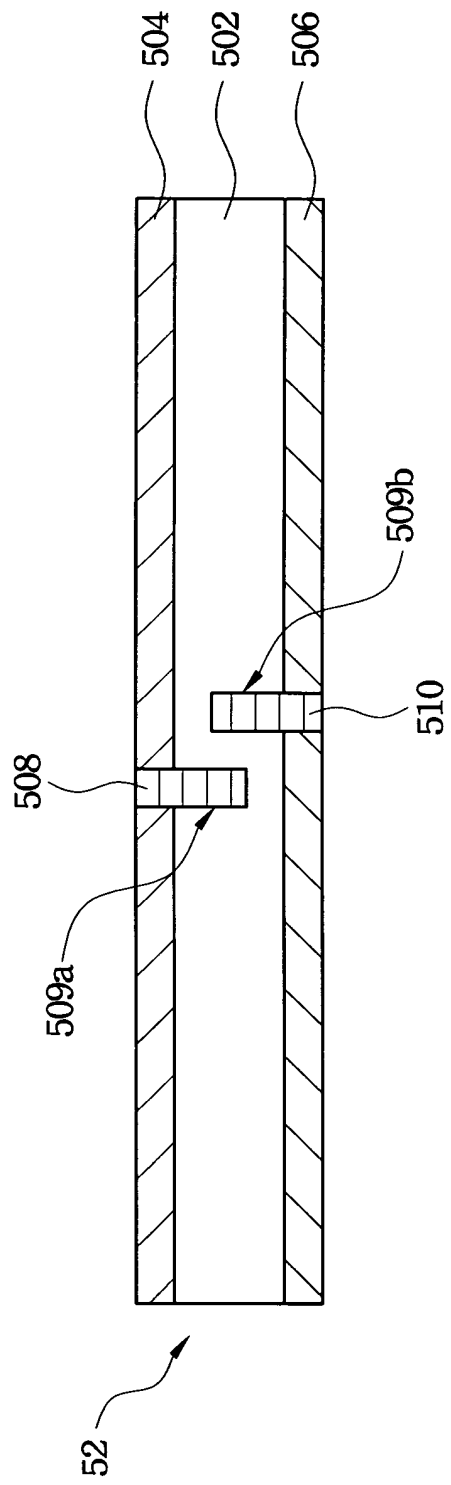


第 5B 圖

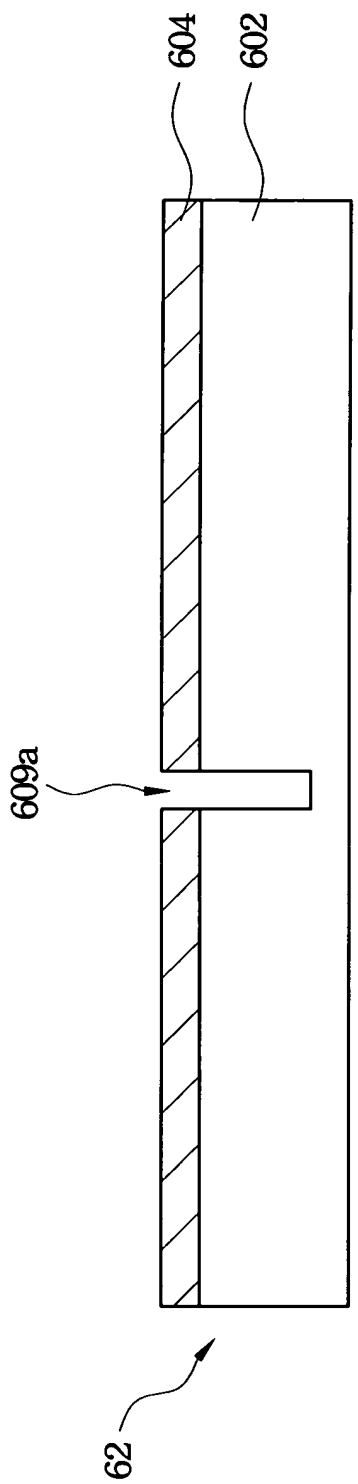


第 5C 圖

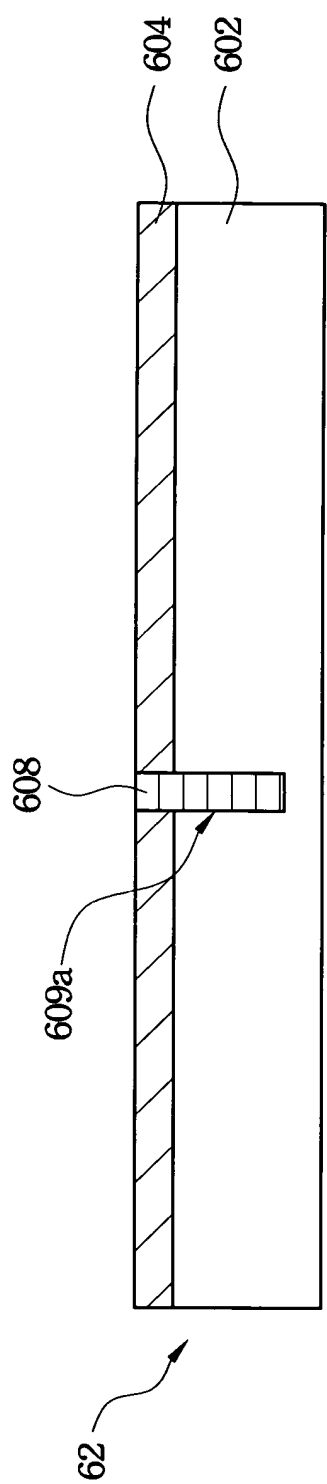
500



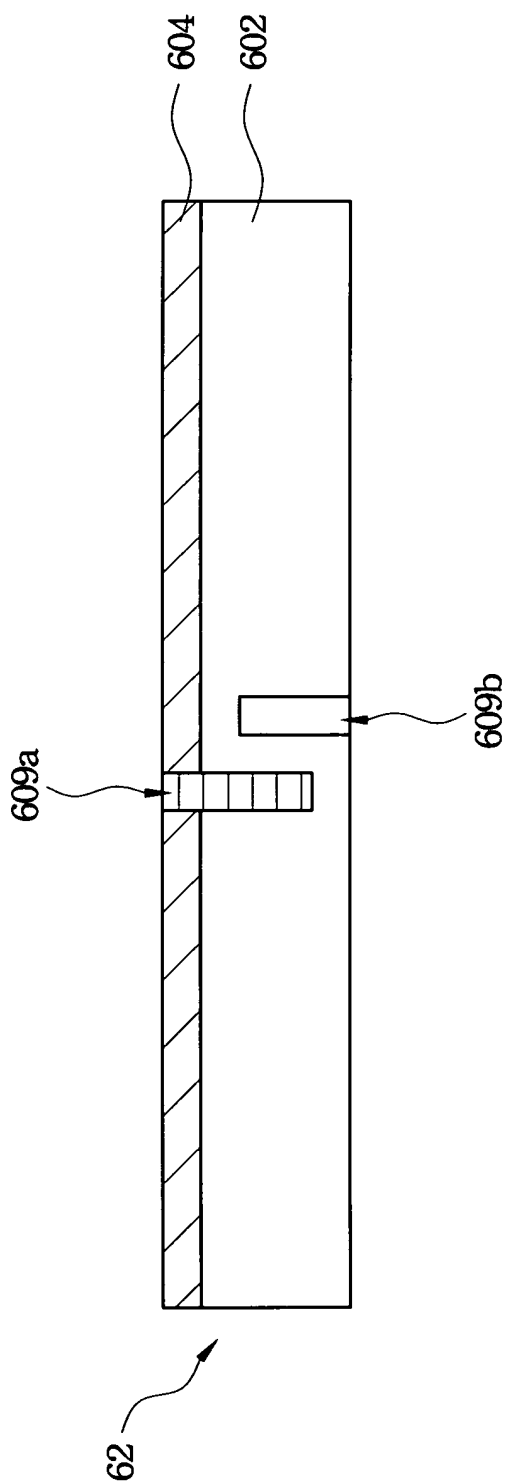
第 5D 圖



第 6A 圖

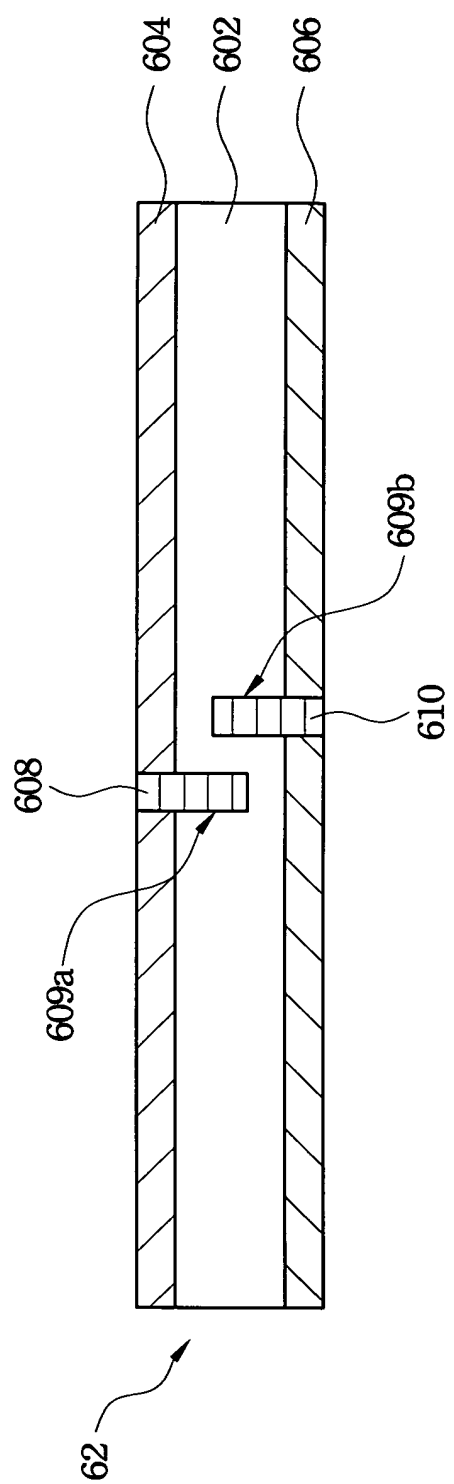


第 6B 圖



第 6C 圖

600



第 6D 圖

七、(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

100：內埋電容元件結構

102：介電層

104：第一導電層

106：第二導電層

108：第一嵌板

110：第二嵌板

112：第三嵌板

114：第四嵌板

d：厚度

A₁：第一夾角

A₂：第二夾角

A₃：第三夾角

A₄：第四夾角

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

膜之一側形成第二凹溝凹設於基材之中，且第一凹溝與第二凹溝相距有一段距離。再於基材相對於銅膜之一側形成第二導電層，並填充該第二凹溝。

根據本發明之一較佳實施例，本發明的技術特徵係分別填充導電材料於介電層相對應兩側之凹溝中，以形成彼此相對的導電嵌板嵌設於介電層中，藉由兩個各自帶有相異電性的導電嵌板，以及夾於兩導電嵌板之間的介電層即可形成一個內埋電容元件結構。採用此一內埋電容元件結構，即使增加嵌板的數目，亦不會使內埋電容元件結構的疊層數目增加。具有不會使內埋電容元件結構的厚度增加的優點，解決習知技術爲了增進電容元件之工作效能，而必須大幅增加內埋電容元件結構厚度的問題。同時又能縮短封裝結構中的電路佈局，節省佈線空間，並減少訊號傳輸距離。

【實施方式】

本發明的實施例係在於提供一種內埋電容元件結構。爲讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，特舉數種應用於多種不同封裝體中的內埋電容元件結構作爲較佳實施例來加以說明。

請參照第 1 圖，第 1 圖係根據本發明的較佳實施例所繪示的一種內埋電容元件結構 100。此內埋電容元件結構 100 包括：介電層 102、第一導電層 104、第二導電層 106、第一嵌板 108 以及第二嵌板 110。其中介電層 102 具有一厚度 d 。在本發明的較佳實施例之中，介電層 102 可以是覆銅膜樹脂層

中的樹脂基材。但在其他較佳實施例中，介電層 102 是夾層電路板(interlayer circuit board)中的核心介電層。

第一導電層 104 係位於介電層 102 之一側，且具有第一電性。在本發明的較佳實施例之中，第一導電層 104 係覆蓋於覆銅膜樹脂層(Resin Clad Copper; RCC)上的圖案化銅膜。但在其他較佳實施例中，第一導電層 104 也可以是覆蓋於夾層電路板之核心層上的導電電路層。

第二導電層 106 係位於介電層 102 上相對於第一導電層 104 之另一側的導電電路層，且具有第二電性。

第一嵌板 108 嵌設於介電層 102 之中，與第一導電層 104 電性連結。第二嵌板 110 嵌設於介電層 102 之中，與第二導電層 106 電性連結，且第二嵌板 110 與第一嵌板 108 相距有一段距離。

在本發明的較佳實施例之中，第一嵌板 108 和第二嵌板 110 嵌設於介電層 102 中的長度，係實質大於介電層 102 之厚度的一半。且第一導電層 104 與第一嵌板 108 夾有第一夾角 A_1 ，其角度實質大於 0° 小於 180° 。第一角度 A_1 較佳為 90° ；第二導電層 106 與第二嵌板 110 夾有第二夾角 A_2 ，其角度實質大於 0° 小於 180° 。第二夾角 A_2 較佳為 90° ，故第一嵌板 108 與第二嵌板 110 較佳係相互平行。

在實際應用上，爲了增加內埋電容元件結構 100 的電容特性，則必須在介電層 102 中增加嵌板的數量與密度，因此在本發明的較佳實施例之中，內埋電容元件結構 100 更包括有嵌設於該介電層之中的第三嵌板 112 和第四嵌板 114。

其中，第三嵌板 112 係嵌設於介電層 102，與第一導電層 104 電性連結；第二嵌板 110 位於第一嵌板 108 與第三嵌板 112 之間，且三者彼此都相距有一段距離。第四嵌板 114 則嵌設於介電層 102 之中，與第二導電層 106 電性連結，其中第三嵌板 112 位於第二嵌板 110 與第四嵌板 114 之間，且三者彼此都相距有一段距離。

第三嵌板 112 和第四嵌板 114 嵌設於介電層 102 中的長度係實質大於介電層 102 之厚度 d 的一半。且第一導電層 104 與第三嵌板 112 夾有第三夾角 A_3 ，其角度實質大於 0° 小於 180° 。第三夾角 A_3 較佳為 90° ；第二導電層 106 與第四嵌板 114 夾有第四夾角 A_4 ，其角度實質大於 0° 小於 180° 。第四夾角 A_4 較佳為 90° ，故第一嵌板 108 與第二嵌板 110 第三嵌板 112 以及第四嵌板 114 較佳係相互平行。

請參照第 2 圖，第 2 圖係根據本發明的較佳實施例所繪示的一種具有內埋電容元件結構 100 之夾層電路板 200 的封裝結構剖面圖。在本實施例之中，內埋電容元件結構 100 可以用來作為夾層電路板 200 中的核心層。核心層中的第一導電層 104 與第二導電層 106 上分別覆蓋有第二介電層 201 以及第三介電層 203，且第一導電層 104 與第二導電層 106 係藉由貫穿介電層 102 以及第二介電層 201 的內連線 205 相互導通。

在本實施例之中，第二介電層 201 以及第三介電層 203 係由防錫層 (solder mask) 所構成；但在其他實施例中，第二介電層 201 以及第三介電層 203 係由介電材質所組成的上下壓

十、申請專利範圍

1. 一種內埋電容元件結構，包括：
 - 一介電層，其中該介電層具有相對之一第一側與一第二側，且該第一側與該第二側之間相距一厚度；
 - 一第一導電層，位於該第一側，其中該第一導電層具有一第一電性；
 - 一第二導電層，位於該第二側，其中該第二導電層具有一第二電性；
 - 一第一嵌板，嵌設於該介電層之中，與該第一導電層電性連結；以及
 - 一第二嵌板，嵌設於該介電層之中，與該第二導電層電性連結，且與該第一嵌板相距有一距離，其中該第一嵌板和該第二嵌板嵌設於該介電層之長度，係實質大於該厚度的一半。

2. 如申請專利範圍第 1 項所述之內埋電容元件結構，其中該第一導電層與該第一嵌板夾具有一第一夾角角度，其夾角實質大於 0° 小於 180° 。

3. 如申請專利範圍第 2 項所述之內埋電容元件結構，其中該第一夾角的角度為 90° 。

4. 如申請專利範圍第 1 項所述之內埋電容元件結構，其中該第二導電層與該第二嵌板夾有角度實質大於 0° 小於 180°

的一第二夾角。

5. 如申請專利範圍第 4 項所述之內埋電容元件結構，其中該第二夾角的角度為 90° 。

6. 如申請專利範圍第 1 項所述之內埋電容元件結構，其中該第一嵌板與該第二嵌板係相互平行。

7. 如申請專利範圍第 1 項所述之內埋電容元件結構，更包括：

一第三嵌板，嵌設於該介電層之中，與該第一導電層電性連結，其中該第二嵌板位於該第一嵌板與該第三嵌板之間，且三者彼此都相距有一距離；以及

一第四嵌板，嵌設於該介電層之中，與該第二導電層電性連結，其中該第三嵌板位於該第二嵌板與該第四嵌板之間，且三者彼此都相距有一距離。

8. 如申請專利範圍第 7 項所述之內埋電容元件結構，其中該第一嵌板、該第二嵌板、該第三嵌板以及該第四嵌板係彼此相互平行。

9. 一種內埋電容元件結構，包括：

一基材，其中該基材具有相對之一第一側與一第二側，且該第一側與該第二側之間相距一厚度；

一第一導電層，位於該一側，並具有一第一電性；

- 一 第二導電層，位於該第二側，並具有一第二電性；
 - 一 第一嵌板，嵌設於該基材之中，與該第一導電層電性連結；以及
 - 一 第二嵌板，嵌設於該基材之中，與該第二導電層電性連結，且與該第一嵌板相距有一距離，
- 其中該第一嵌板和該第二嵌板嵌設於該基材之長度，係實質大於該厚度的一半。

10. 如申請專利範圍第 9 項所述之內埋電容元件結構，其中該第一導電層與該第一嵌板夾有角度實質大於 0° 小於 180° 的一第一夾角。

11. 如申請專利範圍第 10 項所述之內埋電容元件結構，其中該第一夾角的角度為 90° 。

12. 如申請專利範圍第 9 項所述之內埋電容元件結構，其中該第二導電層與該第二嵌板夾有角度實質大於 0° 小於 180° 的一第二夾角。

13. 如申請專利範圍第 12 項所述之內埋電容元件結構，其中該第二夾角的角度為 90° 。

14. 如申請專利範圍第 9 項所述之內埋電容元件結構，其中該第一嵌板與該第二嵌板係相互平行。

15. 如申請專利範圍第 9 項所述之內埋電容元件結構，更包括：

一 第三嵌板，嵌設於該基材之中，與該第一導電層電性連結，其中該第二嵌板位於該第一嵌板與該第三嵌板之間，且三者彼此都相距有一距離；以及

一 第四嵌板，嵌設於該基材之中，與該第二導電層電性連結，其中該第三嵌板位於該第二嵌板與該第四嵌板之間，且三者彼此都相距有一距離。

16. 如申請專利範圍第 15 項所述之內埋電容元件結構，其中該第一嵌板、該第二嵌板、該第三嵌板以及該第四嵌板係彼此相互平行。

17. 一種內埋電容元件結構的製造方法，包括：

提供一介電層，其中該介電層具有相對之一第一表面與一第二表面，且該第一表面與該第二表面之間相距一厚度；

圖案化該介電層之該第一表面，以形成一第一凹溝凹設於該介電層中；

於該第一表面形成一第一導電層，並填充該第一凹溝；

圖案化該介電層之該第二表面，以形成一第二凹溝凹設於該介電層中，其中該第二表面係相對於該第一表面，且該第一凹溝與該第二凹溝相距有一距離；以及

於該第二表面形成一第二導電層，並填充該第二凹溝，

其中該第一凹溝和該第二凹溝凹設於該介電層之長度，係實質大於該厚度的一半。

18. 一種內埋電容元件結構的製造方法，包括：

提供一核心層，其中該核心層包括：

一基材，其中該基材具有相對之一第一側與一第二側，且該第一側與該第二側之間相距一厚度；

一第一導電層位於該第一側；以及

一第二導電層位於該第二側；

於該第一導電層上形成一第一凹溝，並使該第一凹溝凹設於該基材之中；

於該第二導電層上形成一第二凹溝，並使該第二凹溝凹設於該基材之中，且該第一凹溝與該第二凹溝相距有一距離；以及；

以一導電材料填充該第一凹溝和該第二凹溝，

其中該第一凹溝和該第二凹溝凹設於該基材之長度，係實質大於該厚度的一半。

19. 一種內埋電容元件結構的製造方法，包括：

提供一覆銅膜樹脂 (Resin Clad Copper; RCC) 層，其中該覆銅膜樹脂層包括一基材以及一銅膜，該基材具有相對之一第一側與一第二側，該第一側與該第二側之間相距一厚度，且該銅膜位於該基材之該第一側；

於該銅膜上形成一第一凹溝，並使該第一凹溝凹設於該基材之中；

以一導電材料填充該第一凹溝；

於該第二側形成一第二凹溝凹設於該基材之中，且該第

一凹溝與該第二凹溝相距有一距離；以及；

於該第二側形成一第二導電層，並填充該第二凹溝，

其中該第一凹溝和該第二凹溝凹設於該基材之長度，係實質大於該基材之該厚度的一半。