【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成18年4月6日(2006.4.6)

【公開番号】特開2000-332240(P2000-332240A)
【公開日】平成12年11月30日(2000.11.30)
【出願番号】特願平11-138757
【国際特許分類】
Ｈ０１Ｌ　29/78　　(2006.01)
Ｈ０１Ｌ　21/76　　(2006.01)
【ＦＩ】
Ｈ０１Ｌ　29/78　　３０１Ｖ
Ｈ０１Ｌ　21/76　　Ｌ

【手続補正書】
【提出日】平成18年2月17日(2006.2.17)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
チャンネル形成領域を有する半導体基板と、
前記チャンネル形成領域における前記半導体基板の上層に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の上層に形成されたゲート電極と、
前記チャンネル形成領域と接続するように前記ゲート電極の両側部における前記半導体基板中に形成された第１不純物領域と
を有し、
前記チャンネル形成領域の位置の前記半導体基板の表面からの深さが前記第１不純物領域の位置よりも深く形成されている
半導体装置。
【請求項２】
前記第１不純物領域と、前記半導体基板の表面からの深さが前記第１不純物領域の位置よりも深く形成されている前記チャンネル形成領域とを接続するように、前記第１不純物領域と同じ導電型の第２不純物領域が形成されている
請求項１記載の半導体装置。
【請求項３】
前記第２不純物領域の不純物濃度が前記第１不純物領域の不純物濃度以下の濃度である
請求項２記載の半導体装置。
【請求項４】
前記第２不純物領域の接合面の最下部の位置の前記半導体基板の表面からの深さが前記チャンネル形成領域の位置よりも深く形成されている
請求項２記載の半導体装置。
【請求項５】
前記半導体基板にゲート電極用溝が形成されており、
前記ゲート電極用溝の底面の下方領域が前記チャンネル形成領域となり、
前記ゲート電極用溝の両側部における前記半導体基板中に前記第１不純物領域が形成されている
請求項１記載の半導体装置。

【請求項６】
前記ゲート電極用溝の壁面表層領域に、前記第１不純物領域と前記チャンネル形成領域とを接続するように、前記第１不純物領域と同じ導電型の第２不純物領域が形成されている
請求項５記載の半導体装置。
【請求項７】
前記ゲート電極用溝の底面の下方領域における前記半導体基板中にチャンネル不純物領域が形成されている
請求項５記載の半導体装置。
【請求項８】
前記ゲート電極用溝の底面上に前記ゲート絶縁膜が形成されており、
前記ゲート電極が前記ゲート電極用溝に埋め込まれて形成されている
請求項５記載の半導体装置。
【請求項９】
前記ゲート電極用溝の側壁面にサイドウォール絶縁膜が形成されており、
当該サイドウォール絶縁膜と前記ゲート絶縁膜を含む絶縁膜により前記ゲート電極が前記半導体基板から絶縁されている
請求項８記載の半導体装置。
【請求項１０】
前記サイドウォール絶縁膜の膜厚が前記ゲート絶縁膜の膜厚よりも厚く形成されている
請求項９記載の半導体装置。
【請求項１１】
前記半導体基板の上層にマスク層が形成されており、
前記マスク層に、前記ゲート電極用溝が連通して形成されている
請求項５記載の半導体装置。
【請求項１２】
前記半導体基板の素子分離領域に素子分離用溝が形成されており、
前記素子分離用溝内に素子分離絶縁膜が埋め込まれて形成されている
請求項１記載の半導体装置。
【請求項１３】
第１導電型の半導体基板に第２導電型の第１不純物領域を形成する工程と、
前記第１不純物領域を２つの領域に分割するように前記第１不純物領域の接合面よりも深いゲート電極用溝を形成する工程と、
前記ゲート電極用溝の底部にゲート絶縁膜を形成する工程と、
前記ゲート電極の上層にゲート電極を形成する工程と
を有し、
前記ゲート電極用溝の底面の下方領域が前記チャンネル形成領域となり、前記チャンネル形成領域の位置の前記半導体基板の表面からの深さが前記第１不純物領域の位置よりも深く形成されているトランジスタを形成する
半導体装置の製造方法。
【請求項１４】
前記ゲート電極用溝を形成する工程の後、前記ゲート絶縁膜を形成する工程の前に、前記ゲート電極用溝の内壁面表層部分に前記第１不純物領域と前記チャンネル形成領域とを接続するように、第２導電型の第２不純物領域を形成する工程をさらに有する
請求項１３記載の半導体装置の製造方法。
【請求項１５】
前記第２不純物領域を形成する工程においては、前記第１不純物領域の不純物濃度以下の濃度に設定して前記第２不純物領域を形成する
請求項１４記載の半導体装置の製造方法。
【請求項１６】

前記第２不純物領域を形成する工程においては、導電性不純物をイオン注入して形成する
請求項１４記載の半導体装置の製造方法。
【請求項１７】
前記第２不純物領域を形成する工程においては、前記半導体基板表面に対する注入角θ（０＜θ＜９０°）、前記ゲート電極用溝の幅Ｘ、前記ゲート電極用溝の深さＹに対して、ｔａｎθ＜Ｙ／（Ｘ／２）を満たすように導電性不純物をイオン注入する
請求項１６記載の半導体装置の製造方法。
【請求項１８】
前記ゲート電極用溝を形成する工程の後、前記ゲート絶縁膜を形成する工程の前に、前記電極用溝の側壁面を被覆するサイドウォール絶縁膜を形成する工程をさらに有し、
前記ゲート電極を形成する工程においては、内壁面を前記サイドウォール絶縁膜と前記ゲート絶縁膜を含む絶縁膜により被覆された前記ゲート電極用溝を導電体で埋め込んで形成する
請求項１３記載の半導体装置の製造方法。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００４２
【補正方法】削除
【補正の内容】
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００４３
【補正方法】削除
【補正の内容】
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００４５
【補正方法】変更
【補正の内容】
【００４５】
上記の本発明の半導体装置の製造方法は、好適には、前記ゲート電極用溝を形成する工程の後、前記ゲート絶縁膜を形成する工程の前に、前記ゲート電極用溝の内壁面表層部分に前記第１不純物領域と前記チャンネル形成領域とを接続するように、第２導電型の第２不純物領域を形成する工程をさらに有する。
これにより、ゲート電極への電圧印加により形成されたチャンネルと、チャンネル領域よりも上方に形成されている第１不純物領域と接続するソース・ドレインと同じ導電型の第２不純物領域を形成して、ＭＯＳＦＥＴのチャネル電流を流すことを可能にする。
【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００４７
【補正方法】削除
【補正の内容】
【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００４８
【補正方法】削除
【補正の内容】
【手続補正７】
【補正対象書類名】明細書

【補正対象項目名】００４９
【補正方法】削除
【補正の内容】
【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】００５０
【補正方法】削除
【補正の内容】
【手続補正９】
【補正対象書類名】明細書
【補正対象項目名】００５１
【補正方法】削除
【補正の内容】