



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I463608 B

(45)公告日：中華民國 103 (2014) 年 12 月 01 日

(21)申請案號：101136591

(22)申請日：中華民國 101 (2012) 年 10 月 03 日

(51)Int. Cl. : H01L21/8239(2006.01)

H01L27/105 (2006.01)

H01L23/52 (2006.01)

(30)優先權：2011/10/03 美國

61/542,553

2012/02/17 美國

61/600,527

2012/04/05 美國

13/440,199

(71)申請人：英帆薩斯公司(美國) INVENSAS CORPORATION (US)

美國

(72)發明人：柯斯伯 理查 狄威特 CRISP, RICHARD DEWITT (US)；柔伊 華爾 ZOHNI,

WAEL (US)；哈芭 畢哥辛 HABA, BELGACEM (US)；藍布里奇 法蘭克

LAMBRECHT, FRANK (US)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

US 6633078B2

US 6836007B2

US 2002/0027019A1

US 2002/0043719A1

US 2007/0120245A1

審查人員：莊敏宏

申請專利範圍項數：31 項 圖式數：31 共 123 頁

(54)名稱

用於不具窗口之引線接合總成的使用複製端子組之短線最小化

STUB MINIMIZATION USING DUPLICATE SETS OF TERMINALS FOR WIREBOND ASSEMBLIES WITHOUT WINDOWS

(57)摘要

本發明揭示一種具有記憶體儲存陣列功能之微電子元件(101)，該微電子元件具有背對一微電子封裝(100)之一基板(102)之一前面(105)，且透過在該前面(105)上方延伸之傳導結構(112)而與該基板電連接。第一端子(104)安置於其第一及第二組(114、124)內之位置處，該等第一及第二組安置於一理論軸(132)之各別相對之第一側與第二側上。每一組之該等第一端子經組態以攜載可用於判定該微電子元件之一記憶體儲存陣列之一可定址記憶體位置之位址資訊。該第一組(114)中之該等第一端子具有係該第二組(124)中之該等第一端子之信號指派之一鏡像之信號指派。

A microelectronic element (101) having memory storage array function has a front face (105) facing away from a substrate (102) of a microelectronic package (100), and is electrically connected with the substrate through conductive structure (112) extending above the front face (105). First terminals (104) are disposed at locations within first and second sets (114, 124) thereof disposed on respective first and second opposite sides of a theoretical axis (132). The first terminals of each set are configured to carry address information usable to determine an addressable memory location of a memory storage array of the microelectronic element. The first terminals in the first set (114) have signal assignments which are a mirror image of the signal assignments of the first terminals in the second set (124).

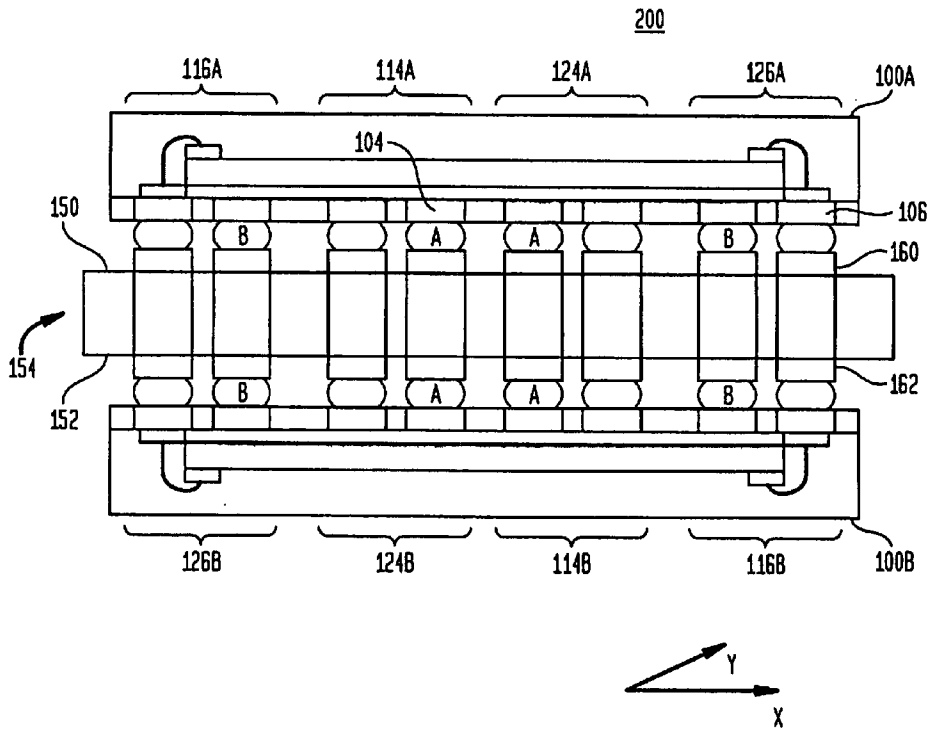


圖 7A

- 100A . . . 第一微電子封裝/封裝/第一封裝
- 100B . . . 第二微電子封裝/封裝/第二封裝
- 104 . . . 第一端子/端子
- 106 . . . 第二端子/端子
- 114A . . . 第一柵格/柵格
- 114B . . . 第一柵格/柵格
- 116A . . . 第三柵格/柵格
- 116B . . . 第三柵格/柵格
- 124A . . . 第二柵格/柵格
- 124B . . . 第二柵格/柵格
- 126A . . . 第四柵格/柵格
- 126B . . . 第四柵格/柵格
- 150 . . . 第一表面
- 152 . . . 第二表面
- 154 . . . 電路面板
- 160 . . . 觸點
- 162 . . . 觸點
- 200 . . . 總成/微電子封裝
- A . . . 信號
- B . . . 信號
- X . . . 方向
- Y . . . 方向

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101/136591

※申請日：101.10.3

※IPC 分類：H01L 21/529 (2006.01),
H01L 27/105 (2006.01),
H01L 23/52 (2006.01)

一、發明名稱：(中文/英文)

用於不具窗口之引線接合總成的使用複製端子組之短線最小化

STUB MINIMIZATION USING DUPLICATE SETS OF TERMINALS
FOR WIREBOND ASSEMBLIES WITHOUT WINDOWS

二、中文發明摘要：

本發明揭示一種具有記憶體儲存陣列功能之微電子元件 (E01)，該微電子元件具有背對一微電子封裝 (100) 之一基板 (E02) 之一前面 (105)，且透過在該前面 (105) 上方延伸之傳導結構 (112) 而與該基板電連接。第一端子 (104) 安置於其第一及第二組 (114、124) 內之位置處，該等第一及第二組安置於一理論軸 (132) 之各別相對之第一側與第二側上。每一組之該等第一端子經組態以攜載可用於判定該微電子元件之一記憶體儲存陣列之一可定址記憶體位置之位址資訊。該第一組 (114) 中之該等第一端子具有係該第二組 (124) 中之該等第一端子之信號指派之一鏡像之信號指派。

三、英文發明摘要：

A microelectronic element (101) having memory storage array function has a front face (105) facing away from a substrate (102) of a microelectronic package (100), and is electrically connected with the substrate through conductive structure (112) extending above the front face (105). First terminals (104) are disposed at locations within first and second sets (114, 124) thereof disposed on respective first and second opposite sides of a theoretical axis (132). The first terminals of each set are configured to carry address information usable to determine an addressable memory location of a memory storage array of the microelectronic element. The first terminals in the first set (114) have signal assignments which are a mirror image of the signal assignments of the first terminals in the second set (124).

四、指定代表圖：

(一)本案指定代表圖為：第 (7A) 圖。

(二)本代表圖之元件符號簡單說明：

100A	第一微電子封裝/封裝/第一封裝
100B	第二微電子封裝/封裝/第二封裝
104	第一端子/端子
106	第二端子/端子
114A	第一柵格/柵格
114B	第一柵格/柵格
116A	第三柵格/柵格
116B	第三柵格/柵格
124A	第二柵格/柵格
124B	第二柵格/柵格
126A	第四柵格/柵格
126B	第四柵格/柵格
150	第一表面
152	第二表面
154	電路面板
160	觸點
162	觸點
200	總成/微電子封裝
A	信號
B	信號
X	方向
Y	方向

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明之標的物係關於微電子封裝及併入有微電子封裝之總成。

此申請案係美國申請案第13/440,199號之一接續案。此申請案主張在2012年2月17日提出申請之第61/600,527號及在2011年10月3日提出申請之第61/542,553號美國臨時申請案之申請日期之權益，所有該等申請案之揭示內容皆以引用方式併入本文中。

【先前技術】

半導體晶片通常提供為個別經預封裝單元。一標準晶片具有一扁平矩形主體，其中一大的前面具有連接至該晶片之內部電路之觸點。每一個別晶片通常含納於一封裝中，該封裝具有連接至該晶片之該等觸點之外部端子。該等端子(亦即，該封裝之外部連接點)繼而經組態以電連接至一電路面板，諸如一印刷電路板。在諸多習用設計中，晶片封裝佔用該電路面板之比晶片本身之面積顯著較大之一面積。如本發明中參考具有一前面之一扁平晶片所使用，應將「晶片之面積」理解為指代該前面之面積。

大小在任何實體晶片配置中皆係一重要考量因素。對於更緊湊的實體晶片配置之需求已隨著可攜式電子裝置之迅速發展而變得甚至更強烈。僅以舉例方式，通常稱為「智慧電話」之裝置將一蜂巢式電話之功能與強大的資料處理器、記憶體及輔助裝置(諸如全球定位系統接收器、電子

攝影機及區域網路連接)以及高解析度顯示器及相關聯影像處理晶片整合在一起。此等裝置可將諸如全網際網路連接性、包含全解析度視訊之娛樂、導航、電子銀行業務等能力全部提供於一袖珍型裝置中。複雜的可攜式裝置要求將眾多晶片封裝至一小空間中。此外，該等晶片中之某些晶片具有通常稱為「I/O」之諸多輸入與輸出連接。此等I/O必須與其他晶片之I/O互連。形成該等互連之組件不應大大增加總成之大小。類似需要亦出現於其他應用中，如(舉例而言)在資料伺服器中，諸如用於網際網路搜尋引擎中之彼等資料伺服器，其中需要增加效能及減小大小。

含有記憶體儲存陣列之半導體晶片(特定而言，動態隨機存取記憶體晶片(DRAM)及快閃記憶體晶片)通常封裝於單晶片或多晶片封裝及總成中。每一封裝具有用於在端子與其中的晶片之間攜載信號、電力及接地之諸多電連接。該等電連接可包含不同種類之導體，諸如相對於一晶片之一觸點承載表面沿一水平方向延伸之水平導體(例如，跡線、樑式導線等)、相對於晶片之該表面沿一垂直方向延伸之垂直導體(諸如導通體)及相對於晶片之該表面沿水平方向及垂直方向兩者延伸之引線接合。

習用微電子封裝可併入有經組態以主要提供記憶體儲存陣列功能之一微電子元件，亦即，體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置之一微電子元件。該微電子元件可係一DRAM晶片或此等半導體晶片之一經堆疊電互連總成，或包含一DRAM晶片或此

等半導體晶片之一經堆疊電互連總成。通常，此封裝之所有端子放置成毗鄰於將該微電子元件安裝至其之一封裝基板之一或多個周邊邊緣之若干行組。舉例而言，在圖1中所見之一個習用微電子封裝12中，可毗鄰封裝基板20之一第一周邊邊緣16安置三個端子行14，且可毗鄰封裝基板20之一第二周邊邊緣22安置三個其他端子行18。該習用封裝中之封裝基板20之一中心區24不具有任何端子行。圖1進一步展示該封裝內之一半導體晶片11，在其一面28上具有元件觸點26，元件觸點26透過延伸穿過封裝基板20之中心區24中之一孔隙(例如，接合窗口)之引線接合30而與封裝12之端子行14、18電互連。在某些情形中，一黏合層32可安置於微電子元件11之面28與基板20之間以強化微電子元件與基板之間的機械連接，其中該等引線接合延伸穿過黏合層32中之一開口。

鑒於上文，可在微電子封裝上之端子之定位方面做出某些改良以便改良電效能，尤其是在包含此等封裝及此等封裝可安裝至其且彼此電互連之一電路面板之總成中。

【發明內容】

根據本發明之一態樣之一種微電子封裝可具有：一基板，其具有對置之第一表面與第二表面及曝露於該第一表面處之複數個基板觸點；及一微電子元件，其具有記憶體儲存陣列功能且包含複數個經垂直堆疊經電連接半導體晶片。該微電子元件可具有：一後面，其面向該第一表面；該等半導體晶片中之至少一者之一前面，其背對該後面；

及若干觸點，其在該至少一個半導體晶片之前面上，透過在此前面上方延伸之傳導結構而與該等基板觸點電連接。曝露於該第二表面處之複數個端子可經組態而用於連接該微電子封裝與在該封裝外部之至少一個組件。該等端子可與該等基板觸點電連接且包含第一端子，該等第一端子包含其安置於一理論軸之一第一側上之一第一組及其安置於與該第一側相對之該軸之一第二側上之一第二組，該等第一及第二組中之每一者可經組態以攜載可由該封裝內之電路使用以自該微電子元件之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之位址資訊。該第一組中之第一端子之信號指派可係該第二組中之第一端子之信號指派之一鏡像。

在一項實例中，該微電子元件體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置。

在一項實例中，該複數個經堆疊半導體晶片可包含一第一半導體晶片，其具有面向該第一表面之一後面及與該後面相對之一前面。該第一半導體晶片可在該前面上具有透過導電結構而與基板觸點電連接之觸點。該等經堆疊半導體晶片可包含上覆於該第一半導體晶片之前面上且與該第一半導體晶片電互連之至少一個第二半導體晶片，其中該第一晶片或該至少一個第二半導體晶片中之至少一者體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置。

在一項實例中，該第一晶片與該至少一個第二晶片之間

的電互連中之至少某些電互連係透過在該第一晶片之至少某些觸點與該至少一個第二晶片之至少某些觸點之間延伸之引線接合。

在一項實例中，該第一晶片與該至少一個第二晶片之間的電連接可包含該基板上之導體。

在一項實例中，該等引線接合可包含自毗鄰於該至少一個第二晶片之對置之第一邊緣與第二邊緣之觸點延伸之引線接合。

在一項實例中，該等引線接合可包含自毗鄰於複數個該等第二晶片中之每一者之一第一邊緣之觸點延伸之引線接合。在此等實例中，第二晶片可具有背對第一晶片之前面之觸點承載面，且經交錯或以其他方式定位以使得每一第二晶片之至少某些觸點超過安置於其上方之每一第二晶片之第一邊緣而曝露。

在一項實例中，該至少一個第二晶片可係複數個經垂直堆疊第二半導體晶片。該等第二晶片之間的電互連中之至少某些電互連可係透過沿著該微電子元件之至少一個邊緣延伸之導電跡線。

在一項實例中，該第一晶片可經組態以重新產生位址資訊供傳送至該至少一個第二半導體晶片。

在一項實例中，該至少一個第二晶片可經組態以使得其並不重新產生該位址資訊。

在一項實例中，該第一晶片可經組態以至少部分地解碼在該等第一端子處接收之位址資訊或命令資訊中之至少一

者供傳送至每一第二晶片。在此實例中，每一第二晶片可並不經組態以完全解碼該位址資訊或該命令資訊。

在一項實例中，該至少一個第二晶片可係複數個經垂直堆疊第二半導體晶片。在此實例中，該等第二晶片中之至少某些第二晶片可藉由複數個穿矽導通體而彼此電連接。

在一項實例中，該複數個經堆疊半導體晶片可包含一第一半導體晶片，該第一半導體晶片具有面向該第一表面之一後面及與該後面相對之一前面。該等經堆疊半導體晶片可包含上覆於該第一半導體晶片之前面上且與該第一半導體晶片電互連之至少一個第二半導體晶片。在此實例中，該至少一個第二半導體晶片中之至少一者經組態以執行下列各項中之至少一者：部分地或完全地解碼在其一觸點處接收之資訊，或重新產生在其觸點處接收之資訊供傳送至該第一半導體晶片中之至少一者或該至少一個第二半導體晶片中之另一者。

在一項實例中，該等第一及第二晶片中之至少某些晶片藉由複數個穿矽導通體而彼此電連接。

在一項實例中，該基板可在該第一表面與該第二表面之間具有對置之第一周邊邊緣與第二周邊邊緣，該等第一及第二邊緣沿第一方向延伸。該第二表面可具有分別毗鄰於該第一邊緣及該第二邊緣之第一周邊區及第二周邊區。一中心區可分離該第一周邊區與該第二周邊區。該等端子可包含曝露於該第二表面處該等周邊區中之至少一者中之複數個第二端子。該等第二端子中之至少某些第二端子可經

組態以攜載除位址信號以外之信號。

在一項實例中，該至少一個第二晶片可透過在該第二晶片之一表面處之觸點之一覆晶電互連而與該第一晶片電互連該等觸點面向該第一晶片之前面且與該第一晶片之前面處之觸點結合。

在一項實例中，該等第一及第二晶片中之每一者可體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置。在此實例中，該第一晶片可經組態以重新產生位址資訊中之至少某些位址資訊供傳送至該至少一個第二晶片，且該至少一個第二晶片可並不經組態以重新產生該位址資訊。

在一項實例中，該第一晶片可經組態以至少部分地解碼在該等第一端子處接收之位址資訊或命令資訊中之至少一者供傳送至每一第二晶片，且每一第二晶片可並不經組態以完全解碼該位址資訊或該命令資訊。

在一項實例中，該第二半導體晶片可係複數個經堆疊第二半導體晶片。

在一項實例中，該至少一個第二半導體晶片含有一動態隨機存取記憶體儲存陣列。

在一項實例中，該等第二半導體晶片中之每一者可在功能上及機械上等效於該等第二半導體晶片中之任何其他第二半導體晶片。

在一項實例中，該等第二半導體晶片中之至少一者之一記憶體儲存陣列功能可以下列各項來實施：一NAND快閃

記憶體、RRAM(電阻式RAM)、相變記憶體(PCM)、MRAM(磁性)、靜態隨機存取記憶體(SRAM)、自旋轉矩RAM或內容可定址記憶體。

根據本發明之另一態樣之一種微電子封裝可包含：一基板，其具有對置之第一表面與第二表面及曝露於該第一表面處之複數個基板觸點；及第一、第二、第三及第四微電子元件，每一微電子元件具有記憶體儲存陣列功能。每一微電子元件具有：一後面，其面向該第一表面；一前面，其與該後面相對；及若干觸點，其在該前面上、透過在該各別前面上方延伸之傳導結構而與該等基板觸點電連接。曝露於該第二表面處之複數個端子可經組態而用於電連接該微電子封裝與在該封裝外部之至少一個組件。該等端子可與該等基板觸點電連接，且包含複數個第一端子，該等第一端子包含其安置於一理論軸之一第一側上之一第一組及其安置於與該第一側相對之該軸之一第二側上之一第二組。第一及第二柵格中之每一者可經組態以攜載可由該微電子封裝內之電路使用以自該等第一、第二、第三及第四微電子元件中之至少一者之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之位址資訊。在此實例中，該第一組中之第一端子之信號指派可係該第二組中之第一端子之信號指派之一鏡像。

在一項實例中，該等第一及第二微電子元件可與該第一組電連接但可不與該第二組電連接。該等第三及第四微電子元件可與該第二組電連接但可不與該第一組電連接。

在一項實例中，該等微電子元件中之每一者體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置。

在一項實例中，該等微電子元件中之每一者可具有沿平行於各別微電子元件上之一或多個觸點行中之一行之同一各別方向延伸之平行第一邊緣。第二邊緣可沿橫向於該各別方向之一方向延伸，每一微電子元件之第一及第二邊緣定界此微電子元件之面。含有該等微電子元件中之至少一者之第一邊緣中之一者且法向於此微電子元件之面之一平面可橫穿該等微電子元件中之另一者之第一邊緣。

在一項實例中，該等微電子元件中之每一者可具有沿與各別微電子元件上之觸點行相同之方向延伸之兩個平行第一邊緣。該等微電子元件中之每一者可具有沿橫向於此微電子元件之第一邊緣之一方向延伸之兩個平行第二邊緣。含有該等微電子元件中之任一者之任一第一邊緣且法向於此微電子元件之面之一平面可橫穿該等微電子元件中之另一者之第一邊緣。

在一項實例中，含有該等微電子元件中之至少一者之任一第一邊緣且法向於此微電子元件之面之平面可橫穿其他微電子元件中之僅一者之第一邊緣。

在一項實例中，該等微電子元件中之每一者可具有沿平行於各別微電子元件上之一或多個觸點行中之一行之同一各別方向延伸之平行第一邊緣。該等微電子元件中之每一者之第一邊緣可沿一第一方向延伸，且該等第一、第二、

第三及第四微電子元件可配置成沿著該基板之第一表面沿一第二方向延伸之一單個列。該第二方向可正交於該第一方向。

在一項實例中，第一端子之第一組及第二組可安置於各別第一柵格及第二柵格內之位置處，且該微電子封裝可進一步包含該等第一端子之第三柵格及第四柵格，其中該第三柵格中之該等第一端子之信號指派可係該第四柵格中之該等第一端子之信號指派之一鏡像。

在一項實例中，該等端子可包含經組態以攜載除位址資訊以外之資訊之第二端子。該等第二端子可在基板之第二表面上配置成平行之第五柵格與第六柵格。該第五柵格中之該等第二端子之信號指派可係該第六柵格中之該等第二端子之信號指派之一鏡像。在此實例中，該等第一及第二柵格可藉由該等第五或第六柵格中之至少一者而彼此分離。

在一項實例中，該封裝可不具有使第一柵格與第二柵格彼此分離之端子。

根據本發明之另一態樣之一種微電子封裝可包含：一基板，其具有對置之第一表面與第二表面及曝露於該第一表面處之複數個基板觸點；及一微電子元件，其具有一記憶體儲存陣列功能。該微電子元件可具有：一後面，其面向該第一表面；一前面，其與該後面相對；及若干觸點，其在該前面上、透過在該前面上方延伸之傳導結構而與該等基板觸點電連接。曝露於該第二表面處之複數個端子可經

組態而用於連接該微電子封裝與在該封裝外部之至少一個組件，該等端子與該等基板觸點電連接且包含複數個第一端子，該等第一端子包含其安置於一理論軸之一第一側上之一第一組及其安置於與該第一側相對之該軸之一第二側上之一第二組，該第一組第一端子安置成一第一個別行且一第二組該等第一端子安置成一第二個別行。該等第一及第二行中之每一者之該等第一端子可經組態以攜載可由該封裝內之電路使用以自該微電子元件之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之位址資訊。該第一行中之該等第一端子之信號指派可相對於該第二行中之該等第一端子之信號指派關於在該第一行與該第二行之間延伸之軸對稱。

在一項實例中，該等端子可包含經組態以攜載除位址資訊以外之資訊之第二端子。該等第二端子可在一理論軸之各別相對之第一側與第二側上配置成第三組及第四組，其中該第三組中之該等第二端子之信號指派係該第四組中之該等第二端子之信號指派之一鏡像。

【實施方式】

鑒於關於圖1闡述之說明性習用微電子封裝12，本發明人已認識到可進行之改良，該等改良可幫助改良併入有一記憶體儲存陣列晶片之一封裝以及併入有此封裝之一總成之電效能。

可尤其針對當提供於諸如圖2至圖4中所展示之一總成中時之一微電子封裝之使用來進行改良，在該總成中一封裝

12A 安裝至一電路面板之一表面，而另一類似封裝 12B 與其相對地安裝於該電路面板之一相對表面上。封裝 12A、12B 通常在功能上及機械上彼此等效。其他在功能上及機械上等效之封裝對 12C 與 12D 及 12E 與 12F 通常亦可安裝至同一電路面板 34。電路面板及裝配至其之封裝可形成通常稱為一雙列直插式記憶體模組(「DIMM」)之一總成之一部分。每一對相對安裝之封裝(例如，封裝 12A、12B)中之封裝連接至電路面板之相對表面上之觸點，以使得每一對中之封裝通常彼此疊加達其各別面積之 90% 以上。電路面板 34 內之局域配線將每一封裝上之端子(例如，標識為「1」及「5」之端子)連接至電路面板上之全域配線。全域配線包含用於將某些信號傳導至電路面板 34 上之連接部位(諸如連接部位 I、II 及 III)之一匯流排 36 之信號導體。舉例而言，封裝 12A、12B 藉由耦合至一連接部位 I 之局域配線電連接至匯流排 36，封裝 12C、12D 藉由耦合至連接部位 II 之局域配線電連接至該匯流排，且封裝 12E、12F 藉由耦合至連接部位 III 之局域配線電連接至該匯流排。

電路面板 34 使用顯現為類似於一個十字形或「鞋帶」圖案之局域互連配線來電互連各別封裝 12A、12B 之端子，其中接近封裝 12A 之一個邊緣 16 之一端子(標識為「1」)穿過電路面板 34 連接至接近封裝 12B 之同一邊緣 16 之封裝 12B 之一端子(標識為「1」)。然而，封裝 12B 之邊緣 16 在裝配至電路面板 34 時遠離封裝 12A 之邊緣 16。圖 2 至圖 4 進一步展示：接近封裝 12A 之一邊緣 22 之一端子(標識為

「5」)穿過電路面板34連接至接近封裝12B之同一邊緣22之封裝12B之一端子(標識為「5」)。在總成38中，封裝12A之邊緣22遠離封裝12B之邊緣22。

穿過電路面板在每一封裝(例如，封裝12A)上之端子至與其相對地安裝之封裝(亦即，封裝12B)上之對應端子之間的連接係相當長。如圖3中進一步所見，在類似微電子封裝12A、12B之此總成中，當欲將來自匯流排36之同一信號傳輸至每一封裝時，電路面板34可電互連該匯流排之一信號導體與封裝12A之端子(標記為「1」)以及封裝12B之對應端子(標記為「1」)。類似地，電路面板34可電互連匯流排36之另一信號導體與封裝12A之端子(標記為「2」)以及封裝12B之對應端子(標記為「2」)。每一封裝12A、12B之端子(標記為「3」)穿過電路面板34之電連接同樣如此。同一連接配置亦可應用於匯流排之其他信號導體與每一封裝之對應端子。電路面板34上之匯流排36與各別對封裝中之每一封裝(例如，封裝12A、12B (圖2))之間的在該板之一連接部位I處之局域配線可呈未經端接短線之形式。在某些情形中，此局域配線在相對長時可影響總成38之效能，如下文所論述。此外，電路面板34亦要求局域配線將其他封裝(成對之封裝12C及12D，以及成對之封裝12E及12F)之某些端子電互連至匯流排36之全域配線，且此配線亦可以相同方式影響總成之效能。

圖4進一步圖解說明在微電子封裝12A、12B之經指派以攜載信號之各別對端子「1」、「2」、「3」、「4」、「5」、

「6」、「7」及「8」之間的互連。如圖4中所見，由於端子行14、18分別接近每一封裝12A、12B之邊緣16、22，因此，沿橫向於其中端子行14、18延伸之方向42之一方向40遍歷電路面板34所需之配線可相當長。鑒於一DRAM晶片之長度可在每一側上介於十毫米之範圍內，因此將同一信號路由至兩個相對安裝之封裝12A、12B之對應端子所要求之在圖2至圖4中所見之一總成38中之一電路面板34中之局域配線之長度可介於最多五毫米至十毫米之範圍內(在某些情形中)，且通常可係約七毫米。

在某些情形中，連接此等相對安裝之微電子封裝之端子所要求之電路面板配線之長度可不嚴重地影響總成之電效能。然而，當由封裝12A、12B上之所連接端子對攜載之信號係來自用以攜載位址資訊或其他資訊(諸如可用於取樣位址資訊之時脈資訊，其對連接至電路面板之複數個封裝之記憶體儲存陣列功能之操作而言係常見的)之一匯流排36之一信號時，本發明人認識到，自匯流排36延伸至每一封裝上之端子之短線之配線長度可顯著地影響效能。當互連配線相對長時，出現一更嚴重影響，其可將一所傳輸信號之穩定時間、振鈴、抖動或符號間干擾增加至一不可接受之程度。

在一特定實施例中，用於攜載位址資訊之匯流排36可係經組態以攜載命令資訊、位址資訊、記憶體庫(bank)位址資訊及時脈資訊之一命令-位址匯流排36。在一特定實施方案中，命令資訊可作為命令信號在電路面板上之各別信

號導體上傳輸。位址資訊亦可能作為位址信號在各別信號導體上傳輸，如同記憶體庫位址資訊亦可能作為記憶體庫位址信號在各別信號導體上傳輸，且時脈資訊亦可能作為時脈信號在各別信號導體上傳輸。在具有一記憶體儲存陣列(諸如一DRAM晶片)之一微電子元件之一特定實施方案中，可由匯流排36攜載之命令信號可係寫入啟用、列位址選通及行位址選通，且可由匯流排36攜載之時脈信號可係至少用於取樣由匯流排36攜載之位址信號之時脈信號。

相應地，本文所闡述之本發明之某些實施例提供一種微電子封裝，該微電子封裝經組態以准許當將第一及第二此等封裝彼此相對地安裝於一電路面板(例如，一電路板、模組板或卡或撓性電路面板)之相對表面上時減少一電路面板上之短線之長度。併入有彼此相對地安裝於一電路面板上之第一及第二微電子封裝之總成可在各別封裝之間具有顯著減小之短線長度。減小此等總成內之短線長度可改良電效能，諸如藉由減少穩定時間、振鈴、抖動或符號間干擾以及其他中之一或多者。此外，亦可能獲得其他益處，諸如簡化電路面板之結構，或減少設計或製造電路面板或者針對設計與製造電路面板兩者之複雜度及成本。

因此，在圖5A至圖5C中圖解說明根據本發明之一實施例之一微電子封裝100。如其中所見，封裝100可包含具有一記憶體儲存陣列功能之一微電子元件101。在一項實施例中，該微電子元件可經組態以主要提供記憶體儲存陣列功能，此乃因該微電子元件具有經組態以提供記憶體儲存陣

列功能而非任何其他功能之較大數目個主動裝置(例如，電晶體)。然而，在另一實例中，微電子元件101無需經組態以主要提供記憶體儲存陣列功能。

該微電子元件在其一前面105處具有元件觸點111、113，該等元件觸點電連接至曝露於基板102之一第一表面108處之各別基板觸點121、123。如本文中所使用，一導電元件「曝露於」一結構之一表面處之一陳述指示該導電元件可用於與沿垂直於該表面之一方向自該結構外部朝向該表面移動之一理論點接觸。因此，曝露於一結構之一表面處之一端子或其他傳導元件可自此表面突出；可與此表面齊平；或可相對於此表面凹入且透過該結構中之一孔或凹陷部曝露。

在一項實例中，引線接合112可電連接元件觸點111、113與基板觸點121、123。另一選擇係，可使用其他類型之導體(例如，一導線框架之部分、撓性帶狀接合等等)來電連接元件觸點111、113與各別基板觸點121、123，該等其他類型之導體在某些情形中可連接元件觸點111、113與安置於比微電子元件101之前面105距基板表面108大之一高度處之其他傳導元件。在一種類型之此微電子元件101中，元件觸點111、113中之某些觸點中之每一者可經組態以接收供應至微電子元件之位址資訊之特定位址資訊。在一特定實施例中，此等觸點111、113中之每一者可經組態以接收自微電子元件101外部供應至微電子元件101之複數個位址信號中之一各別位址信號，亦即，透過封裝之配線

(諸如引線接合112)及透過曝露於基板之一表面110處之端子104、106。

在此類型之微電子元件101之一項特定實例中，可相對於該各別微電子元件所使用之一時脈之一邊緣(亦即，在不同之第一電壓狀態與第二電壓狀態之間的一時脈轉變時)取樣存在於元件觸點111、113處之位址資訊。亦即，可在該時脈之一較低電壓狀態與一較高電壓狀態之間的一上升轉變時或在該時脈之一較高電壓狀態與一較低電壓狀態之間的一下降轉變時取樣每一位址信號。因此，該複數個位址信號可全部在時脈之上升轉變時被取樣，或此等位址信號可全部在該時脈之下降轉變時被取樣，或在另一實例中，在元件觸點111、113中之一者處之位址信號可在該時脈之上升轉變時被取樣，且在另一外部觸點處之位址信號可在該時脈之下降轉變時被取樣。

在經組態以主要提供記憶體儲存陣列功能之另一類型之微電子元件101中，可以一多工方式使用其上之位址觸點中之一或多者。於此實例中，各別微電子元件101之一特定元件觸點111、113可接收自外部供應至微電子元件之兩個或兩個以上不同信號。因此，一第一位址信號可在不同之第一電壓狀態與第二電壓狀態之間的一第一時脈轉變(例如，一上升轉變)時在特定觸點111、113處被取樣，且除該第一位址信號以外之一信號可在與該第一轉變相反之第一電壓狀態與第二電壓狀態之間的一第二時脈轉變(例如，一下降轉變)時在該特定觸點處被取樣。

以此一多工方式，可在各別微電子元件101之同一元件觸點111、113上在該時脈之同一週期內接收兩個不同信號。在一特定情形中，以此方式多工可允許在各別微電子元件101之同一元件觸點111、113上在同一時脈週期中接收一第一位址信號及一不同信號。在又一實例中，以此方式多工可允許在各別微電子元件101之同一元件觸點111、113上在同一時脈週期中接收一第一位址信號及一第二不同位址信號。

在某些實施例中，基板102可包含一薄片狀或板狀介電元件，該介電元件可基本上由聚合材料(例如一樹脂或聚醯亞胺以及其他)組成。另一選擇係，該基板可包含具有一複合構造之一介電元件，諸如玻璃強化環氧樹脂，例如具有BT樹脂或FR-4構造。在某些實例中，該介電元件在介電元件之平面中(亦即，沿平行於其一第一表面108之一方向)具有最多每攝氏度百萬分之(在下文中，係「ppm/°C」)30之一熱膨脹係數。在另一實例中，該基板可包含具有小於每攝氏度百萬分之12之一熱膨脹係數(「CTE」)之材料之一支撐元件，其上安置有端子及其他傳導結構。舉例而言，此低CTE元件可基本上由玻璃、陶瓷或半導體材料或液晶聚合物材料或此等材料之一組合組成。

如圖5C中所見，基板觸點之一第一組121及一第二組123可曝露於基板之一第一表面108處。基板觸點之第一組121可與微電子元件之元件觸點132之一行111(圖6A)電連接，

諸如透過在微電子元件之面105上方延伸之導電結構。舉例而言，該傳導結構可係引線接合112。在某些情形中，一晶粒附著黏合層可安置於微電子元件之一後面107與基板102之表面108之間，此可在機械上強化微電子元件與基板之間的連接。該等基板觸點之第二組123可與元件觸點132之一行113 (圖6A)電連接。

如圖6A中進一步所見，微電子元件130之一邊緣170可沿第一方向142延伸，且毗鄰於邊緣170之觸點132之一行111可沿著面105沿同一第一方向142延伸。平行於邊緣170之微電子元件130之另一邊緣172沿第一方向142延伸，且觸點132之一第二行113可毗鄰於邊緣172沿著面105沿同一第一方向142延伸。如圖6A中進一步展示，微電子元件上之一觸點行可係完全填滿的(如在行111之情形中)，或一觸點行可僅在該行內之某些位置處具有觸點(如在行113之情形中)。諸如引線接合112 (如5C)之傳導結構可電連接觸點111、113與基板之一第一表面108上之對應觸點121、123。

圖6B圖解說明圖6A中所展示之實施例之一變化形式，其中一微電子元件180之觸點132可安置成毗鄰於微電子元件180之各別周邊邊緣170、172、176、178且與其對準之行及列。邊緣170、172平行且沿一第一方向142延伸。

圖6C圖解說明圖6A中所展示之實施例之另一變化形式，其中一微電子元件190之觸點安置成毗鄰於微電子元件之邊緣170、172之行188及189。然而，於此情形中，微

電子元件 190 包含其上具有一傳導性再分配層之一半導體晶片，且觸點 132 可包含藉由與半導體晶片之觸點 192、194 接觸地形成之傳導跡線或金屬化導通體而連接至半導體晶片之觸點 192、194 之再分配觸點行 188、189（或其可藉由金屬化導通體及跡線兩者連接至晶片之觸點 192、194）。於此情形中，觸點 192、194 可在某些情形中透過半導體之後段製程（「BEOL」）配線而與半導體晶片之主動裝置連接，該 BEOL 配線可包含導通體或其他導電結構且其可在某些情形中安置於觸點 192、194 下面。

如圖 6A 至圖 6C 中特定展示，在某些實施例中，微電子元件之觸點可配置成一單個行（如針對觸點 192 所展示），或該等觸點可配置成複數個行（如針對觸點 111、113 所展示）。每一行可沿著方向 142 在該行之每一垂直佈局位置處含有一觸點，或可在一行之一或多個位置處缺失一觸點，如在觸點 113 之若干行中之一者之情形中。在一特定實施例中，觸點可在微電子元件之面 105 上方配置成一區域陣列。在另一實例中，一微電子元件之觸點可配置成毗鄰該微電子元件之一或多個周邊邊緣之一或多個觸點組，由圖 5B 中之標記微電子元件之邊界之虛線指示。在一特定實例中，微電子元件可係一單個半導體晶片，且其上之觸點 111 或 113 可係「晶片觸點」，該等「晶片觸點」係該半導體晶片之觸點。在另一實例中，如圖 6C 中所見，一特定微電子元件 190 可包含各自具有晶片觸點之一或多個半導體晶片，且晶片 111 或 113 可包含再分配觸點，該等再分配觸

點形成於微電子元件190之一面105上且藉由(舉例而言)諸如跡線及導通體等傳導元件而電連接至晶片觸點。除非另外提及，否則本文中之實例中之每一者中之微電子元件之「觸點」可以此等所闡述方式中之任一方式配置。

該微電子元件亦可包含可不安置於元件觸點之一行內之額外觸點。此等額外觸點可用於連接至電源、接地，或作為可用於與一探測裝置(諸如可用於測試)接觸之觸點。

如圖5C中所見，封裝100可具有用於電連接及機械連接封裝100與在封裝100外部之一組件(舉例而言，諸如一電路面板)之第一端子104及第二端子106。端子104、106可係曝露於基板之表面110處之導電襯墊、支柱或其他導電結構。在圖5C中所見之實例中，端子在某些情形中可包含結合元件133，諸如可包含一接合金屬(諸如焊料、錫、銲、金或一共熔材料以及其他)或其他傳導接合材料，且可在某些情形中亦包含額外結構，諸如附著至基板之傳導結構(諸如傳導襯墊或支柱)之一傳導凸塊。第一端子104及第二端子106可透過基板上之導電結構(舉例而言，諸如跡線及導通體)而與基板觸點121、123電連接。

第一端子104之一第一組可配置於與第一表面108相對之基板102之一第二表面110處之一第一柵格114內之位置處。第一表面108及第二表面110面向相反方向，且因此相對於彼此對置且係「對置之表面」。第一端子104之一第二組可配置於基板之第二表面110處之一第二柵格124內之位置處。儘管在該等圖中之某些圖中，第一及第二柵格展示

為延伸超過微電子元件之前表面之外部邊界，但情形未必如此。在本發明之某些實施例中，第一端子之第一柵格114及第二柵格124中之每一者可經組態以攜載上文提及之位址資訊，或在一特定實施例中攜載命令-位址匯流排之某些信號。

舉例而言，當微電子元件101包含或係一DRAM半導體晶片時，第一柵格114及第二柵格124中之每一者經組態以攜載傳送至微電子封裝100之可由封裝內之電路(例如，列位址及行位址解碼器及記憶體庫選擇電路，若存在)使用以自該封裝中之一微電子元件內之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之位址資訊。在一特定實施例中，第一柵格114及第二柵格124中之每一者可經組態以攜載由微電子封裝100內之此電路使用以判定此記憶體儲存陣列內之一可定址記憶體位置之所有位址資訊。

在此實施例之一變化形式中，第一柵格114及第二柵格124中之每一者中之第一端子可經組態以攜載由微電子封裝100內之此電路使用以判定此記憶體儲存陣列內之一可定址記憶體位置之位址資訊之大部分，且然後微電子封裝上之其他端子(諸如上文引用之第二端子106中之至少某些第二端子)將經組態以攜載該位址資訊之其餘部分。在此變化形式中，在一特定實施例中，第一柵格114及第二柵格124中之每一者中之第一端子經組態以攜載由微電子封裝100內之此電路使用以判定此記憶體儲存陣列內之一可

定址記憶體位置之位址資訊之四分之三或更多。

在一特定實施例中，第一柵格114及第二柵格124中之每一者可不經組態以攜載晶片選擇資訊，例如可用於選擇微電子封裝100內之一特定晶片供存取至該晶片內之一記憶體儲存位置之資訊。在另一實施例中，第一柵格114及第二柵格124中之至少一者可確實攜載晶片選擇資訊。

通常，當微電子封裝100中之微電子元件101係或包含一DRAM晶片時，在一項實施例中，位址資訊可包含自在封裝外部之一組件(例如，一電路面板，諸如下文所闡述之電路面板154 (圖7A))傳送至該封裝之所有位址資訊，該位址資訊用於判定該微電子封裝內之一隨機存取可定址記憶體位置供用於讀取對其之存取、或用於讀取或寫入對其之存取。

第二端子106中之至少某些第二端子可經組態以攜載除第一柵格114及第二柵格124中之第一端子104所攜載之位址信號以外之信號。在特定實例中，第二端子106可攜載資料、資料選通信號或其他信號或參考電位(諸如晶片選擇、重設、電力供應電壓(例如， V_{dd} 、 V_{ddq})及接地(例如， V_{ss} 及 V_{ssq}))中之一或多者。某些或全部第二端子可安置於第一柵格114及第二柵格124內之位置處。在此情形中，安置於第一柵格114及第二柵格124內之位置處之某些端子可經組態以攜載資料、資料選通信號或其他信號或參考電位(諸如晶片選擇、重設、電力供應電壓(例如， V_{dd} 、 V_{ddq})及接地(例如， V_{ss} 及 V_{ssq}))中之一或多者。安

置於第三柵格116及第四柵格126內之位置處之某些端子可經組態以攜載資料、資料選通信號或其他信號或參考電位(諸如晶片選擇、重設、電力供應電壓(例如，Vdd、Vddq)及接地(例如，Vss及Vssq))中之一或多者。

在一特定實施例中，每一微電子封裝之第一柵格114及第二柵格124中之每一者中之第一端子可經組態以攜載控制微電子元件101之一操作模式之資訊。更特定而言，第一柵格114及第二柵格124中之每一者可經組態以攜載傳送至微電子封裝100之命令信號及/或時脈信號之一特定組全部。在一項實施例中，第一端子104可經組態以攜載自一外部組件(例如，電路面板或其他裝置)傳送至微電子封裝100之全部命令信號、位址信號、記憶體庫位址信號及時脈信號，其中該等命令信號包含列位址選通、行位址選通及寫入啟用。

在其中該等微電子元件中之一或多者經組態以提供動態記憶體儲存陣列功能(諸如由一動態隨機存取記憶體(「DRAM」)半導體晶片或一DRAM晶片總成提供)之一實施例中，命令信號可係寫入啟用、列位址選通及行位址選通信號。諸如ODT(晶粒上終止(on die termination))、晶片選擇、時脈啟用之其他信號可或可不由安置於第一柵格114及第二柵格124內之端子攜載。時脈信號可係由微電子元件中之一或多者用於取樣位址信號之時脈。舉例而言，在圖7之微電子封裝中且如圖5A中進一步展示，第一端子104可經組態以攜載時脈信號CK及CKB、列位址選通

RAS、行位址選通CAS及寫入啟用信號WE以及位址信號A0至A15 (包含位址信號A0至A15)及記憶體庫位址信號BA0、BA1及BA2。

在圖5A至圖5C中所圖解說明之實施例中，第二端子106中之至少某些第二端子(其可安置於第三柵格116及第四柵格126內之位置處)可經組態以攜載除第一柵格114及第二柵格124中之第一端子104所攜載之命令信號、位址信號及時脈信號以外之信號。在本文中涉及之任何實施例中，除非另外提及，否則第二端子106可或可不攜載諸如晶片選擇、重設、電力供應電壓(例如，Vdd、Vddq)及接地(例如，Vss及Vssq)之信號或參考電位。

在一項實施例中，經組態以攜載除位址信號以外之信號之第二端子106中之至少某些第二端子可配置於第一柵格114及第二柵格124內之位置處。在一項實例中，經組態以攜載除命令信號、位址信號及時脈信號以外之信號之第二端子106中之至少某些第二端子可配置於第一柵格114及第二柵格124內之位置處。儘管在圖中展示第二端子106之特定組態，但所展示之特定組態僅係出於說明性目的且並非意在加以限制。舉例而言，第二端子106亦可包含經組態以連接至電力信號或接地信號之端子。

在圖5A至圖5C中特定展示封裝之第一柵格114及第二柵格124中之第一端子之一配置。在一項實例中，每一柵格114、124可包含平行之第一與第二端子行136。每一柵格中之端子行136可彼此毗鄰。另一選擇係，儘管圖5A至圖

5C中未展示，但至少一個端子可安置於第一端子行與第二端子行之間。在另一實例中，諸如在圖5B中所見，該等柵格可包含一端子行，其中一行軸119延伸穿過此行之大部分端子104，亦即，相對於該等端子定中心。然而，在此行中，該等端子中之一或多者可不相對於行軸119定中心，如在端子104'之情形中。於此情形中，即使此(等)端子可不相對於軸119定中心，亦可將此一或多個端子視為一特定行之部分，此乃因其較接近於彼特定行之軸119而非任一其他行之軸。行軸119可延伸穿過並不相對於行軸定中心之此等一或多個端子，或在某些情形中，未定中心之端子可較遠離行軸以使得行軸119甚至可不通過該行之此等未定中心之端子。在一行或甚至在一個以上行中可存在一個、數個或諸多端子，該等端子並不相對於一柵格中之各別行之一行軸而定中心。

此外，端子柵格可能含有呈分組而非行之端子配置，諸如環狀、多邊形之端子配置或甚至分散式端子分佈。如圖5C中所展示，一囊封體146可上覆於基板之第一表面108上且可接觸其中之微電子元件101。在某些情形中，該囊封體可上覆於背對基板102之微電子元件之一前表面105上。

如圖5A中所見，第二組第一端子中之第一端子(在第二柵格124內之位置處)之信號指派係在第一組第一端子中之第一端子(其係在第一柵格114內之各別位置處)之信號指派124之一鏡像。第一組中之第一端子之信號指派對應於第二組中之對應第一端子之信號指派且係其一鏡像。換言

之，第一及第二柵格中之第一端子之信號指派關於第一柵格114與第二柵格124之間的一理論軸131對稱，於此情形中軸131沿第一端子行136延伸之一方向142延伸。因此，柵格124中之第二組第一端子中之第一端子之信號指派係柵格114中之第一組第一端子中之彼等信號指派之一鏡像。在根據其之一項實例中，顯而易見，(柵格114、124中之)第一及第二組中之每一者中之第一端子指定封裝100(圖5)內之一或多個微電子元件之一對應元件觸點，該元件觸點在併入於該微電子封裝中之一或多個微電子元件上具有相同名稱「A3」。因此，將在第一及第二組中之每一者中之在該封裝外部之此等對應第一端子(透過其將資訊傳送至具有相同名稱(例如，「A3」)之微電子元件之元件觸點)視為具有鏡像信號指派，即使在第一及第二組中之對應第一端子之名稱不同時亦如此。因此，在一項實例中，指派給具有鏡像信號指派(例如，在第一及第二組第一端子中之每一者中指定為「A3」之信號指派)之每一對第一端子之信號可能識別攜載將被輸入至微電子元件上之具有名稱「A3」之元件觸點之資訊的端子，儘管第一及第二組中之每一者中之對應端子之名稱可不同，諸如可在第一組中給出名稱A3L (A3左)及在第二組中給出名稱A3R (A3右)。

進一步地，在某些情形中，在圖5A中展示為「A3」之第一端子之對應對處提供給封裝之位址資訊可源自在微電子結構外部之一位置處之驅動電路之相同輸出。

結果，經指派以攜載信號「A3」之第一柵格114之一第一端子104 (亦即，如上文所闡述，用於在其上將資訊傳送至一微電子元件之名為「A3」之一元件觸點)與經指派以攜載信號「A3」之第二柵格124之對應第一端子104係在該柵格內之同一相對垂直位置(沿方向142)中。然而，由於第一柵格114含有兩個行136且經指派以攜載信號A3之第一柵格114之端子係在第一柵格114之兩個行136當中之左側行中，因此鏡像配置要求經指派以攜載信號A3之第二柵格124之對應端子係在第二柵格124之兩個行當中之右側行中。此配置之另一結果係經指派以攜載信號A9之端子亦在第一柵格114及第二柵格124中之每一者中之柵格內之同一相對垂直位置中。然而，在第一柵格114中，經指派以攜載A9之端子係在第一柵格之兩個行136當中之右側行中，且鏡像配置要求經指派以攜載信號A9之第二柵格124中之對應端子係在第二柵格124之兩個行當中之左側行中。如在圖5A中可看出，該同一關係適用於第一及第二柵格中之每一者中之每一第一端子，至少適用於經指派以攜載如上文論述之一命令-位址匯流排信號之每一第一端子。

第一端子之信號指派關於其對稱之軸131可位於基板上之各種位置處。在一特定實施例中，該軸可係封裝之一中心軸，其位於距基板之對置之第一邊緣140與第二邊緣141等距處，特定而言當第一端子行136沿平行於邊緣140、141之一方向延伸且第一及第二柵格安置於關於此中心軸對稱之位置處時。在一項實例中，軸131可位於距平行於

基板之第一邊緣140及第二邊緣141且與其等距之一線不大於任何兩個毗鄰端子行之間的一最小節距之三倍半之一距離內。另一選擇係，此對稱軸131可沿一水平方向135自中心軸(其在邊緣140、141之間等距)偏移。

在一特定實例中，第一及第二柵格中之端子可位於封裝之一中心區中。在一項實例中，第一柵格114及第二柵格124中之每一者中之至少一個端子行136可安置於距與基板之第一邊緣140及第二邊緣141等距且平行於其之一線不大於任何兩個毗鄰平行端子行136之間的最小節距之三倍半之一距離內。

如上文所提及，第二端子106可經組態以攜載除上文提及之位址資訊外或除上文提及之命令-位址匯流排之信號以外之資訊。在一項實例中，第二端子106可包含用於將單向或雙向資料信號攜載至微電子元件及或自該微電子元件攜載該等單向或雙向資料信號及用於攜載資料選通信號以及用於將用以接通或關斷並行終止之資料遮罩及ODT或「晶粒上終止」信號攜載至終端電阻器之端子。在特定實例中，第二端子可攜載諸如晶片選擇、重設、時脈啟用等信號，以及諸如電力供應電壓(例如，Vdd、Vddq)或接地(例如，Vss及Vssq)等參考電位。在某些實施例中，經組態以攜載除命令-位址匯流排信號以外之信號之某些或全部端子可能作為第二端子106安置於封裝上，在其可被適當放置之任何位置處。舉例而言，第二端子106中之某些或全部第二端子可配置於其中配置有第一端子104之基板102

上之相同柵格114、124中。第二端子106中之某些或全部第二端子可與第一端子104中之某些或全部第一端子安置於同一行或不同行中。在某些情形中，一或多個第二端子可穿插有其相同柵格或行中之第一端子。

在一特定實例中，第二端子106中之某些或全部第二端子可安置於基板之第二表面110上之一第三柵格116中，且另一組第二端子可安置於封裝表面110上之一第四柵格126中。在一特定情形中，以與上文關於第一及第二柵格所闡述之方式類似之方式，第三柵格116中之第二端子之信號指派可係第四柵格126中之第二端子之信號指派之一鏡像。在某些情形中，第三柵格116及第四柵格126可沿其中第一及第二柵格延伸之方向134延伸且可彼此平行。第三及第四柵格亦可平行於第一柵格114及第二柵格124。另一選擇係，參考圖5A，其中安置有第二端子之柵格127、129可沿橫向於或甚至正交於方向142之另一方向135延伸。在另一實例中，某些第二端子可安置於圖5A中所展示之柵格116、126、127及129中之每一者內。某些第二端子亦可或可不安置於第一柵格114及第二柵格124內之位置處。

此外，如圖5A中所展示，柵格127中之第二端子之信號類別指派可關於垂直軸132對稱，且柵格129中之第二端子之信號類別指派可關於垂直軸132對稱。如本文中所使用，若信號指派係呈相同指派類別，則兩個信號類別指派可相對於彼此對稱，即使類別內之編號索引不同時亦如此。例示性信號類別指派可包含資料信號、資料選通信

號、資料選通互補信號及資料遮罩信號。在一特定實例中，在柵格127中，具有信號指派DQSH及DQSL之第二端子相對於其信號類別指派(其係資料選通)關於垂直軸132對稱，即使彼等第二端子具有不同信號指派時亦如此。

如圖5A中進一步展示，資料信號(舉例而言，諸如針對資料信號DQ0、DQ1、...)至微電子封裝上之第二端子之空間位置之指派可關於垂直軸132具有模X對稱性。模X對稱性可幫助保存一總成200或354中之信號完整性(諸如在圖7A及圖7B中所見)，其中第一封裝與第二封裝之一或多個對彼此相對地安裝至一電路面板，且該電路面板電連接每一相對安裝之封裝對中之彼等第一及第二封裝之對應對第二端子。當端子之信號指派關於一軸具有「模X對稱性」時，攜載具有同一編號「模X」之信號之端子安置於關於該軸對稱之位置處。因此，在諸如圖7A至圖7B中之此總成200或354中，模X對稱性可准許穿過電路面板進行電連接，以使得一第一封裝之一端子DQ0可穿過電路面板電連接至具有同一編號模數X之第二封裝之一端子DQ8(於此情形中，X為8)，以使得可沿基本上筆直穿過(亦即，法向於)電路面板之厚度之一方向進行連接。因此，諸如8以8為模數之一數字係0，且諸如9以8為模數之一數字係1。因此，當信號指派具有模8對稱性時，將經組態以攜載一信號之一端子(諸如DQ1，對其而言模8運算產生一結果「1」)安置於該基板上之關於一軸與經組態以攜載一信號之另一端子(諸如DQ9或DQ17，對其而言模8運算產生同一

結果，亦即，「1」)對稱之一位置處。

在一項實例中，「X」可係一數字 2^n (2的n次方)，其中n大於或等於2，或X可係 $8 \times N$ ，N係2或更大。因此，在一項實例中，X可等於一半位元組(4個位元)、一位元組(8個位元)、多個位元組($8 \times N$ ，N係2或更大)、一字組(32個位元)或多個字組中之位元數目。以此方式，在一項實例中，當存在如圖5A中所展示之模8對稱性時，柵格127中之經組態以攜載資料信號DQ0之一封裝端子DQ0之信號指派與經組態以攜載資料信號DQ8之另一封裝端子DQ8之信號指派關於垂直軸132對稱。此外，柵格129中之封裝端子DQ0及DQ8之信號指派同樣如此。如圖5A中進一步所見，柵格127中之封裝端子DQ2及DQ10之信號指派關於垂直軸具有模8對稱性，且柵格129同樣如此。可在柵格127、129中相對於封裝端子DQ0至DQ15之信號指派中之每一者看出諸如本文中所闡述之模8對稱性。

重要的是應注意，儘管未展示，但模數「X」可係除 2^n (2的n次方)以外之一數字，且可係大於二之任一數字。因此，對稱性所基於之模數X可取決於構造或組態封裝之一資料大小中存在之位元數目。舉例而言，當資料大小係10個位元而非8個位元時，則信號指派可具有模10對稱性。事實上，當資料大小具有奇數個位元時，模數X甚至可取此數值。

圖7A圖解說明第一微電子封裝100A及第二微電子封裝100B之一總成200，該第一微電子封裝100A及第二微電子

封裝 100B 各自係如上文參考圖 5A 至圖 5C 所闡述之一微電子封裝 100，安裝至一電路面板 154 之相對的第一表面 150 與第二表面 152。該電路面板可係各種類型，諸如用於一雙列直插式記憶體模組（「DIMM」）模組中之一印刷電路板、將與一系統中之其他組件連接之一電路板或電路面板或一主機板以及其他。第一微電子封裝 100A 及第二微電子封裝 100B 可分別安裝至曝露於電路面板 154 之第一表面 150 及第二表面 152 處之對應觸點 160、162。

如圖 7A 中特定展示，由於每一封裝之第二柵格中之第一端子之信號指派係每一封裝之第一柵格中之第一端子之信號指派之一鏡像，因此當封裝 100A、100B 彼此相對地安裝至電路面板時，第一封裝 100A 之第一柵格 114A 中之每一第一端子可與具有相同信號指派且其電連接至之第二封裝 100B 之第二柵格 124B 中之對應第一端子對準。此外，第一封裝 100A 之第二柵格 124A 中之每一第一端子可與具有相同信號指派且其電連接至之第一柵格 114B 中之對應第一端子對準。

無疑地，每一對所連接端子之對準可係在一容差內，以使得每一對所連接端子可沿著電路面板 154 之第一表面 150 沿正交之 x 方向與 y 方向在一個球節距內彼此對準。如自圖 7A 顯而易見，每一柵格中之第一端子可沿平行於電路面板之表面 350 之正交之 x 方向與 y 方向在一個球節距內彼此對準，該球節距不大於任一封裝上之兩個毗鄰平行端子行之間的一最小節距。在一特定實例中，該等柵格可沿 x 方向

與y方向彼此對準以使得第一及第二微電子封裝上之第一端子中之至少某些第一端子彼此重合。如本文中使用的，當在一電路面板之相對表面處之封裝之第一端子彼此「重合」時，對準可係在慣例製造容差內，或可在沿平行於第一及第二電路面板表面之正交之x方向與y方向彼此在一個球節距之小於一半之一容差內，該球節距係如上文所闡述。

在一特定實例中，各別第一封裝100A及第二封裝100B之經對準柵格(例如，第一封裝之第一柵格114A與第二封裝之第二柵格124B)之位置之至少一半可沿著電路面板154之第一表面150沿正交之x方向與y方向彼此對準。

因此，如圖7A中進一步展示，第一封裝100A之柵格114A中之攜載一信號(標記為「A」)之一特定第一端子與第二封裝100B之柵格124B中之攜載同一信號「A」之對應第一端子對準。關於第一封裝100A之柵格124A中之攜載一信號(標記為「A」)之一特定第一端子(其與第二封裝100B之柵格114B中之攜載同一信號「A」之對應第一端子對準)同樣如此。

以此方式，如圖7A中進一步所見，穿過電路面板在第一封裝100A及第二封裝100B之每一對經電連接第一端子之間的電連接之長度可顯著減小，此乃因此等對經電連接第二端子中之每一者中之端子可彼此疊加或至少在一個球節距內彼此對準。此等電連接之長度減小可減小電路面板及總成中之短線長度，此可幫助針對由第一端子攜載且傳送

至第一及第二封裝兩者中之微電子元件之上文所提及信號來改良電效能，諸如減少穩定時間、振鈴、抖動或符號間干擾以及其他。此外，亦可能獲得其他益處，諸如簡化電路面板之結構或減少設計或製造電路面板之複雜度及成本。

如圖 7A 中進一步展示，當每一封裝 100A、100B 之第二端子配置成具有上文關於圖 5A 至圖 5C 所闡述之特定鏡像配置之第三柵格與第四柵格時，每一封裝之第三柵格中之每一端子可與具有相同信號指派且其電連接至之另一封裝之第四柵格中之對應第二端子對準。因此，如圖 7A 中所見，第一封裝 100A 之第三柵格 116A 中之每一端子可在一個球節距內對準具有相同信號指派且其電連接至之第二封裝 100B 之第四柵格 126B 中之對應端子。此外，第一封裝 100A 之柵格 126A 中之每一端子可在一個球節距內對準具有相同信號指派且其電連接至之第三柵格 116B 中之對應端子。同樣，每一對所連接端子之對準係在一容差內，以使得每一對所連接端子可沿著電路面板 154 之第一表面 150 沿正交之 x 方向與 y 方向在一個球節距內彼此對準。在一特定實施例中，該對準可使得封裝 100A、100B 之對應所連接端子彼此重合。

因此，如圖 7A 中進一步展示，第一封裝 100A 之柵格 116A 中之攜載一信號(標記為「B」)之一特定第一端子可在一個球節距內對準攜載同一信號「B」且其電連接至之第二封裝 100B 之柵格 126B 中之對應第一端子。關於第一

封裝 100A 之柵格 126A 中之攜載一信號(標記為「B」)之一特定第一端子(其可在一個球節距內對準攜載同一信號「B」且其電連接至之第二封裝 100B 之柵格 116B 中之對應第一端子)同樣如此。

類似於如上文所闡述之第一及第二封裝之對應第一端子 104 之間的連接，於此實施例中，穿過電路面板在第一封裝與第二封裝之若干對經電連接第二端子 106 之間的電連接之長度可顯著減小，此乃因此等對經電連接第二端子中之每一者中之端子可彼此重合或至少沿平行於電路面板表面之正交之 x 方向與 y 方向在一個球節距內彼此對準。此外，當一微電子封裝之第二端子(亦即，可經指派以攜載除命令-位址匯流排之上文所提及信號以外之信號之端子)以此方式配置時，可獲得類似於上文所闡述之用於針對第一封裝與第二封裝之間的連接來減小短線長度及簡化一電路面板之構造之彼等益處的益處。

圖 7B 進一步圖解說明，各自具有如上文或下文所闡述之一構造之兩對微電子封裝 100A-100B 或更多對微電子封裝可與一電路面板 354 (例如，一雙列直插式記憶體模組(「DIMM」)之一板)上之呈類似於封裝 100A、100B 之定向之各別面板觸點電互連。因此，圖 7B 展示三對封裝 100A-100B，每一對呈彼此面向之相對定向與電路面板 354 電互連，如上文所闡述。

圖 7B 圖解說明併入有一電路面板及彼此相對地安裝至其相對之第一表面與第二表面之複數個微電子封裝之一微電

子總成，諸如(舉例而言)一DIMM以及其他。如圖7B中所見，上文提及之位址資訊或(在某些情形中)命令-位址匯流排信號可在電路面板或電路板354上之一匯流排36(例如，一位址匯流排或命令-位址匯流排)上在連接部位I、II或III之間沿至少一個方向143路由，其中各別對微電子封裝100A-100B在該等連接部位I、II或III處連接至電路面板之相對側。此匯流排36之信號在稍微不同之時間處到達各別連接部位I、II或III處之每一對封裝。至少一個方向143可橫向於或正交於一方向142，其中每一封裝100A或100B內之至少一個微電子元件上之複數個觸點之至少一個行111沿方向142延伸。以此方式，電路面板354上(亦即，在其上或在其內)之匯流排36之信號導體在某些情形中可沿平行於一封裝100A或100B內之一微電子元件上之連接至該電路面板之至少一個觸點行111之一方向142彼此間隔開。

特定而言當每一微電子封裝之第一柵格之端子104配置成沿此方向142延伸之一或多個行時，此一組態可幫助簡化電路面板上之用於路由匯流排36之信號之一或多個全域佈線層之信號導體之佈線。舉例而言，當在每一封裝上在同一垂直佈局位置處安置相對少之第一端子時，可能簡化一電路面板上之命令-位址匯流排信號之路由。因此，在圖5C中所展示之實例中，每一封裝之第一柵格114及第二柵格124僅具有安置於同一垂直佈局位置處之四個端子，諸如(舉例而言)經組態以接收位址信號A3及A1之第一柵格114及第二柵格124之端子，如圖5A中進一步展示。

在一項實施例中，微電子總成354可具有一微電子元件358，微電子元件358可包含經組態以執行傳送至總成354之微電子封裝100A、100B之至少某些信號之緩衝之一半導體晶片。具有一緩衝功能之此一微電子元件358可經組態以幫助為微電子封裝100A及100B中之微電子元件中之每一者相對於在微電子總成354外部之組件提供阻抗隔離。

在一例示性實施例中，微電子總成354可具有一微電子元件358，微電子元件358可包含經組態以主要執行一邏輯功能之一半導體晶片(諸如一固態磁碟機控制器)，且微電子封裝100A及100B中之微電子元件中之一或多者可各自包含諸如非揮發性快閃記憶體等記憶體儲存元件。微電子元件358可包含一特殊用途處理器，該特殊用途處理器經組態以緩解諸如系統2500 (圖31)之一系統之一中央處理單元對資料往返於微電子元件中所包含之記憶體儲存元件之傳送之監督。包含一固態磁碟機控制器之此一微電子元件354可提供往返於一系統(諸如系統2500)之一主機板(例如，圖31中所展示之電路面板2502)上之一資料匯流排之直接記憶體存取。

在具有包含一控制器功能及/或一緩衝功能之一微電子元件358之微電子總成354之此一實施例中，可在各別連接部位I、II或III處在微電子元件358與每一對封裝100A及100B之間路由命令-位址匯流排信號。在圖7B中所展示之特定實例中，延伸通過連接部位I、II或III之命令-位址匯

流排36之一部分可沿方向143或沿橫向於方向143之另一方向延伸以到達微電子元件358之觸點。在一項實施例中，命令-位址匯流排36可沿方向143延伸以到達微電子元件358之觸點。

圖8圖解說明根據上文相對於圖5A至圖7A所闡述之實施例之一變化形式之一微電子封裝200，其中一微電子元件具有一複合結構，該複合結構包含第一半導體晶片101A及第二半導體晶片101B。類似於第一半導體晶片，第二半導體晶片101B在其前面105上亦具有與基板觸點121、123電連接之元件觸點111B、113B。在一特定實施例中，一間隔物元件103可安置於第一半導體晶片之前面105與第二半導體晶片之後面107之間，此可促進在第二半導體晶片101B已與間隔物元件103一起堆疊於第一半導體晶片頂部上之後的一處理階段處形成連接至第一半導體晶片101A之引線接合112。

圖9圖解說明在圖8中所展示之實施例之另一變化形式，其中微電子元件進一步包含安置於基板之第一表面108與第一半導體晶片101A之後面107之間的另一半導體晶片109。半導體晶片109可在其一前面125上具有面向且結合至對應觸點115、117之觸點129。晶片109與對應基板觸點115、117之間的結合可使用導電結合元件118達成，導電結合元件118可包含一接合金屬、一經沈積導電材料、一種金屬(例如，一剛性金屬，諸如銅、鎳或其組合)之支柱或柱。在一特定實例中，半導體晶片109可係一裸晶片，

亦即，未經封裝之晶片。另一選擇係，半導體晶片109可在其上包含諸如導線、跡線或導通體之傳導結構以及其他，或可係一經封裝之半導體元件。

當微電子封裝包含半導體晶片之一經垂直堆疊配置時，諸如在圖8或圖9中所見，或如下文所闡述之實例中所見，該封裝內之該等晶片其中之一或多者可經組態(例如，經設計、經構造或經設置)以緩衝在封裝之端子104或106處或此兩個端子處接收之信號或以其他方式重新產生在該等端子處接收之資訊供傳送至該封裝內之另一半導體晶片。舉例而言，在如圖8中所展示之一組態中，毗鄰基板之一第一半導體晶片101A可緩衝或以其他方式重新產生一或多個信號或資訊供傳送至第二半導體晶片。在如圖9中所見之一組態中，一半導體晶片109可緩衝信號或以其他方式重新產生資訊供傳送至半導體晶片101A、101B中之一或多者。另一選擇係，或除此以外，半導體晶片109亦可重新產生自半導體晶片101A、101B中之一或多者接收之信號供傳送至端子104、106或104及106兩者，或可重新產生沿自端子至半導體晶片101A、101B之兩個方向傳送之信號；或自半導體晶片101A、101B傳送至微電子封裝之端子之信號。

另一選擇係，或除如上文所闡述之重新產生信號外，在一項實例中，此一複合微電子元件中之第一晶片亦可經組態以部分地或完全地解碼控制微電子元件之一操作模式之資訊。在一特定實例中，此複合微電子元件中之第一半導

體晶片可經組態以部分地或完全地解碼在該等端子處(諸如在微電子封裝之第一端子處)接收之位址資訊或命令資訊中之至少一者。然後，第一晶片可輸出此部分或完全解碼之結果供傳送至一或多個第二半導體晶片 101A、101B。

在封裝之端子處接收之信號或資訊可被路由至基板觸點 115 且透過結合元件 118 路由至半導體晶片 109。半導體晶片 109 然後可重新產生所接收信號或資訊並將其傳送至基板觸點 117。該等信號或資訊可由基板(諸如透過其上之傳導跡線)自基板觸點 117 路由至基板觸點 111、113，然後於此處(諸如透過引線接合 112)將該等信號或資訊路由至半導體晶片 101A、101B。在一特定實例中，半導體晶片 109 可經組態以緩衝傳送至半導體晶片 101A、101B 之上文所提及命令信號、位址信號及時脈信號。

圖 10 圖解說明根據一特定實例之一微電子封裝 600，其中該微電子元件包含一經電互連第一半導體晶片 632 與複數個第二半導體晶片 634 之一垂直堆疊 630，該第一半導體晶片及該第二半導體晶片各自具有背對基板 602 之一觸點承載面 631。引線接合 635 電互連半導體晶片 632、634 上之觸點 626 與基板上之對應觸點 636。間隔物 638 可安置於半導體晶片 634 之毗鄰面之間，且一間隔物 638 可安置於半導體晶片 632 之觸點承載面 631 與半導體晶片 634 之一後面之間。在某些情形中，可在每一間隔物與毗鄰於此間隔物之半導體晶片之面之間提供黏合層(未展示)。如圖 10 中所展

示，一或多個第二半導體晶片634與第一半導體晶片632互連。舉例而言，如圖10中所見，存在三個經垂直堆疊第二半導體晶片634，其中其面631彼此平行。

在圖10中所見之微電子封裝600中，第一半導體晶片632及第二半導體晶片634中之每一者可經組態以使得每一此半導體晶片體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置。舉例而言，第一及第二半導體晶片中之每一者可包含一記憶體儲存陣列及用於將資料輸入至該記憶體儲存陣列且自該記憶體儲存陣列輸出資料所要求之所有電路。舉例而言，當每一半導體晶片中之記憶體儲存陣列可寫入時，該等半導體晶片中之每一者可包含經組態以接收自封裝之端子輸入之外部資料的電路以及經組態以將自此半導體晶片輸出之資料傳送至該封裝之端子之電路。因此，每一第一半導體晶片632及每一第二半導體晶片634可係一動態隨機存取記憶體(「DRAM」)晶片或其他記憶體晶片，其能夠自此半導體晶片內之記憶體儲存陣列輸入及輸出資料且將此資料接收及傳輸至在該微電子封裝外部之一組件。換言之，於此情形中，往來於每一DRAM晶片或另一記憶體晶片內之記憶體儲存陣列之信號不要求由該微電子封裝內之一額外半導體晶片緩衝。

另一選擇係，在另一實例中，一或多個第二半導體晶片634可體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置，但第一半導體晶片632可係一不同類型之晶片。於此情形中，第一半導體晶片632可經

組態(例如，經設計、經構造或經設置)以緩衝信號，亦即，重新產生在端子處接收之信號供傳送至一或多個第二半導體晶片634，或重新產生自第二半導體晶片634中之一或多者接收之信號供傳送至該等端子，或重新產生信號供沿自該微電子封裝之端子至一或多個第二半導體晶片634及自該一或多個半導體晶片至該等端子之兩個方向傳送。

在一特定實例中，第一半導體晶片可經組態以緩衝位址資訊或可經組態以緩衝傳送至該一或多個第二半導體晶片之命令信號、位址信號及時脈信號。舉例而言，第一半導體晶片632可係一緩衝晶片，其體現用以在將信號傳送至其他裝置(例如，傳送至一或多個第二半導體晶片634)時提供一緩衝功能而非任何其他功能之較大數目個主動裝置。然後，該一或多個第二半導體晶片可係功能降低晶片，其具有記憶體儲存陣列但其可省略DRAM晶片常見之電路，諸如緩衝電路、解碼器或預解碼器或字線驅動器以及其他。於彼情形中，第一晶片632可用作該堆疊中之一「主」晶片且用以控制第二半導體晶片634中之每一者中之操作。在一特定實例中，第二半導體晶片可經組態以使得其不能夠執行緩衝功能，且因此第一及第二半導體晶片之經堆疊配置經組態以使得微電子封裝中所要求之緩衝功能可由第一半導體晶片執行且不能由該經堆疊配置中之該等第二半導體晶片中之任一者執行。類似於上文所闡述之情形，第一半導體晶片可經組態以部分地或完全地解碼在第一端子處接收之控制由第一及第二半導體晶片組成之微

電子元件之一操作模式之資訊。另一選擇係，或除此以外，該第一半導體晶片亦可經組態以部分地或完全地解碼在該等第一端子處接收之位址資訊或命令資訊中之至少一者。在一特定實例中，該等第二半導體晶片其中之一或多者可並不經組態以完全地解碼在微電子封裝之第一端子處接收之資訊，諸如位址資訊、命令資訊或控制微電子元件之一操作模式之資訊。

在本文所闡述之該等實施例中之任一者中，該一或多個第二半導體晶片可以下列技術中之一或多者來實施：DRAM、NAND快閃記憶體、RRAM（「電阻式RAM」或「電阻式隨機存取記憶體」）、相變記憶體（「PCM」）、磁阻式隨機存取記憶體，例如，諸如可體現穿隧接面裝置、自旋轉矩RAM或內容可定址記憶體，以及其他。

圖11係圖解說明根據又一變化形式之一微電子封裝660之一剖視圖，且圖12係其一對應平面圖，其中第二半導體晶片634以階梯方式相對於彼此安裝以使得第一半導體晶片632之觸點超過在第一半導體晶片632正上方之第二半導體晶片634A之一邊緣618而曝露，且彼半導體晶片634A之觸點超過在彼第二半導體晶片正上方之第二半導體晶片634B之一邊緣618而曝露。第一及第二晶片與基板之間以及該等晶片當中的電連接可由電連接半導體晶片堆疊內之毗鄰晶片之引線接合635或將晶片直接電連接至封裝基板662之引線接合637提供。

圖13圖解說明根據上文相對於圖10所闡述之實施例之又

一變化形式之一微電子封裝670，其中一或多個第二半導體晶片634之觸點之間的連接可包含沿著經堆疊半導體晶片之一單元630之一或多個邊緣(亦即，沿著此單元630內之半導體晶片634之邊緣)延伸之跡線或導線640。單元630經安裝且與第一半導體晶片632之觸點627電互連，諸如藉助一接合金屬(例如，焊料、錫、金、鈹、一共熔體)或導電凸塊或此兩者，其在某些情形中可包含傳導支柱(例如，微柱)。跡線654可沿著第一半導體晶片之一面631自觸點627延伸至第二觸點626，第二觸點626繼而可(諸如透過引線接合645)與基板電連接。

第二半導體晶片634之間的電連接可進一步包含沿著第二半導體晶片634之前面延伸之跡線644。如圖13中進一步展示，第二半導體晶片之前面642可面向上背對基板602或面向下朝向基板602。

圖14進一步圖解說明一微電子封裝680，其中一第二半導體晶片634具有面向第一晶片之觸點627且以覆晶方式結合(諸如透過一接合金屬(例如焊料、錫、金、鈹、一共熔體)或導電凸塊或此兩者)至其之觸點647。跡線654可電連接觸點627與第一晶片上之電連接至基板之其他觸點626(諸如透過引線接合)。

圖15A進一步圖解說明根據一特定實例之一微電子封裝690，其中一或多個第二半導體晶片634藉由穿矽導通體(「TSV」)650彼此電連接，穿矽導通體650沿第二半導體晶片634中之至少某些第二半導體晶片之厚度652之一方向

(亦即，沿法向於晶片 634 之面 642 之一方向)延伸。如圖 15A 中所見，在一項實例中，TSV 650 可與第一半導體晶片 632 之觸點 627 電連接，諸如透過一接合金屬(例如，焊料、錫、金、鈦、一共熔體)或導電凸塊或此兩者，其在某些情形中可包含傳導支柱(例如，微柱)。跡線 654 可沿著第一半導體晶片之一面 631 自觸點 627 延伸至第二觸點 626，第二觸點 626 繼而可引線接合至基板。

在一項實例中，在封裝 690 之端子處(諸如在第一端子、第二端子或此兩者處)接收之資訊或信號可透過結合至基板觸點 636 之引線接合 645 由第一半導體晶片 632 接收，基板觸點 636 繼而結合至微電子封裝之此等端子。然後，操作為一緩衝元件之第一半導體晶片 632 可重新產生所接收資訊或信號且然後將所重新產生之資訊或信號傳送至一或多個第二半導體晶片，例如透過第一晶片 632 與第二晶片 634 之間的連接及透過第二晶片 634 之堆疊內之 TSV 650。

圖 15B 圖解說明圖 15A 中所展示之微電子封裝之一變化形式。不同於圖 15A 中所展示之封裝，經組態以重新產生或至少部分地解碼位址資訊或其他資訊(例如，重新產生信號供傳送至該封裝中之其他半導體晶片)之半導體晶片 664 並非毗鄰於基板 602 之第一表面 108 而定位。相反，於此情形中，半導體晶片 664 可安置於該封裝內上覆於一或多個其他半導體晶片上之一位置處。舉例而言，如圖 15B 中所展示，晶片 664 至少部分地上覆於毗鄰於基板 602 之第一表面 108 而安置之半導體晶片 662 上，且晶片 664 至少部

分地上覆於安置於半導體晶片662頂部之半導體晶片663A、663B及663C上。在一項實例中，半導體晶片662以及663A、663B及663C可包含記憶體儲存陣列。如在上文所闡述之實例中，此等晶片662以及663A、663B及663C可各自併入有經組態以緩衝(例如，暫時地儲存)欲寫入至此晶片之資料或正自此晶片讀取之資料或此兩者之電路。另一選擇係，晶片662與663A、663B及663C可在功能上較受限且可需要與經組態以暫時地儲存欲寫入至此晶片之資料或正自此晶片讀取之資料或此兩者之至少一個其他晶片一起使用。

半導體晶片664可透過部分地上覆於半導體晶片663A之一前面631上且連接至曝露於基板之第一表面108處之觸點636之導電結構(例如，引線接合665)而電連接至微電子封裝之端子，例如電連接至其中安置有第一端子604及第二端子606之柵格。該導電結構(例如，引線接合665)可透過一晶片663A上之觸點638且透過沿著晶片663A之面631或沿著晶片664之對立面641延伸之導體(未展示)或沿著晶片663A、664兩者之面631、641延伸之導體而電連接至半導體晶片664。如上文所指示，半導體晶片664可經組態以重新產生或至少部分地解碼其透過該傳導結構(例如，引線接合665)接收之信號或資訊，且經組態以將所重新產生或經至少部分地解碼之信號或資訊傳送至該封裝內之其他晶片，諸如傳送至晶片662以及663A、663B及663C。

如圖15B中進一步所見，半導體晶片662、663A、663B

及663C可藉由可延伸穿過此等晶片中之一者、兩者或三者或三者以上之複數個穿矽導通體672、674及676而電連接至半導體晶片664且彼此電連接。每一此穿矽導通體可與配線(例如，該封裝內之半導體晶片662、663A、663B以及663C及664中之兩者或兩者以上之傳導襯墊或跡線)電連接。在一特定實例(未展示)中，穿矽導通體可延伸穿過所有半導體晶片662、663A、663B及663C之厚度，即使每一穿矽導通體可不與其延伸穿過之每一此半導體晶片電連接時亦如此。

如圖15B中進一步所見，一散熱裝置或散熱器668(其可包含複數個散熱片671)可熱耦合至半導體晶片664之一面(例如，其一後面633)，諸如透過一導熱材料669(諸如熱黏合劑、導熱脂或焊料以及其他)。

圖15B中所展示之微電子總成695可經組態以操作為能夠透過基板上之為其提供之第一及第二端子而將每週期指定數目個資料位元傳送至微電子封裝上或傳送離開該微電子封裝之一記憶體模組。舉例而言，該微電子總成可經組態以往來於一外部組件(諸如可與端子604、606電連接之一電路面板)傳送若干資料位元(諸如三十二個資料位元、六十四個資料位元或九十六個資料位元以及其他可能組態)。在另一實例中，當往來於封裝傳送之位元包含錯誤校正碼位元時，每週期往來於該封裝傳送之位元數目可係三十六個位元、七十二個位元或一百零八個位元。除本文已特定闡述之彼等資料寬度以外之其他資料寬度亦係可能

的。

圖 16 至圖 18 圖解說明根據本發明之另一實施例之一微電子封裝 1400，其中該封裝上之第一端子安置於平行之第一柵格 1414 與第二柵格 1424 內之位置處，每一柵格 1414、1424 經組態以攜載上文提及之位址資訊。在一特定實施例中，每一柵格中之第一端子可經組態以攜載命令-位址匯流排信號之一群組全部：亦即，傳送至該微電子封裝之命令信號、位址信號、記憶體庫位址信號及時脈信號，其中該等命令信號包含寫入啟用、列位址選通及行位址選通信號，且時脈信號可用於取樣該等位址信號。柵格 1414、1424 中之端子與封裝 1400 內之微電子元件 1401、1403 之對應觸點電連接，且每一柵格經構造以將命令-位址匯流排之所有上文所提及信號傳導至該封裝內之一微電子元件。另外，如圖 16 中特定展示，且如下文進一步闡述，第一柵格 1414 中之端子之信號指派係第二柵格 1424 中之端子之信號指派之一鏡像。

在平行之第一柵格與第二柵格中提供第一端子複製組(其中一個柵格中之信號指派係另一柵格中之信號指派之一鏡像)可幫助減小彼此相對地安裝至一電路面板之第一及第二微電子封裝之一總成中之短線長度。當第一及第二微電子封裝連接至一電路面板之相對安裝表面時(其中該電路面板電互連該等封裝)，第一封裝之第一柵格中之第一端子中之每一者可在一個球節距內對準其電連接至之第二封裝之第二鏡像柵格中之對應第一端子。另外，第二封

裝之第一柵格中之第一端子中之每一者可在一個球節距內如此對準其連接至之第一封裝之第二鏡像柵格中之對應第一端子。結果，第一封裝之每一第一端子可與第二封裝之一對應第一端子電連接，其中相對電路面板表面上之每一對端子之安裝位置沿平行於電路面板之表面中之一者之正交之x方向與y方向彼此在一個球節距內。在某些情形中，相對電路面板表面上之每一對經連接端子之安裝位置可甚至彼此重合。相應地，穿過電路面板在第一及第二封裝之若干對經電連接第一端子之間的電連接之長度可顯著減小，此乃因此等對經電連接第一端子中之每一者中之端子可彼此重合或以其他方式沿著第一電路面板表面沿正交之x方向與y方向在一個球節距內彼此對準。

該電路面板構造亦可簡化成具有此構造之一總成，此乃因每一對經電連接第一端子之間的佈線可主要沿一垂直方向，亦即，沿穿過電路面板之厚度之一方向。亦即，電路面板上之導通體連接可係電連接安裝至電路面板之相對表面之該等封裝中之每一對對應第一端子所需要之全部連接。

此外，當根據本文中之原理來構造附接至該電路板之微電子封裝時，亦可減少在其中連接各別對微電子封裝之連接部位之間在沿著電路面板之一匯流排36 (圖7B)上路由上文所提及之位址資訊所要求之在電路面板上配線之全域佈線層之數目。特定而言，沿著電路面板路由此等信號所要求之全域佈線層之數目可在某些情形中減少至兩個或兩個

以下佈線層。然而，在電路面板上，可存在在一匯流排36上攜載除上文所提及之資訊或信號以外之信號之較大數目個全域佈線層。

該微電子封裝亦可具有除第一端子以外之第二端子，此等端子通常經組態以攜載除上文所提及之命令-位址匯流排信號以外之信號。在一項實例中，第二端子可包含用於將單向或雙向資料信號攜載至微電子元件及或自該微電子元件攜載該等單向或雙向資料信號及用於攜載資料選通信號以及用於將用以接通或關斷並行終止之資料遮罩及ODT或「晶粒上終止」信號攜載至終端電阻器之端子。第二端子亦可攜載諸如晶片選擇、重設、電力供應電壓(例如，Vdd、Vddq)及接地(例如，Vss及Vssq)等信號或參考電位；該等信號或參考電位中無一者需要由第一端子攜載。在某些實施例中，經組態以攜載除命令-位址匯流排信號以外之信號之某些或全部端子可能作為第二端子安置於該封裝上之任何位置中。

另一選擇係，在某些實施例中，經組態以攜載除命令-位址匯流排信號以外之信號之某些或全部端子可能亦安置於該封裝上之第一端子之第一柵格中及第二鏡像柵格內。以此方式，如上文所闡述，可能減小在一電路面板上在此等對應第一端子之間提供之電連接中之短線長度。

在其他實施例中，經組態以攜載除命令-位址匯流排信號以外之信號之該等端子中之某些或全部端子可作為一組第二端子在該封裝表面上配置成一第三柵格，且另一組第

二端子可在同一封裝表面上配置成一第四柵格，其中第三柵格中之第二端子之信號指派係第四柵格中之第二端子之信號指派之一鏡像。以此方式，類似於如上文所闡述之第一及第二封裝之對應第一端子之間的連接，穿過電路面板在第一及第二封裝之若干對經電連接第二端子之間的電連接之長度可顯著減小，此乃因此等對經電連接第二端子中之每一者中之端子可彼此重合或以其他方式在一個球節距內彼此對準。此外，當以此方式配置一微電子封裝之第二端子時，可獲得類似於上文所闡述之用於針對第一封裝與第二封裝之間的連接來減小短線長度且簡化一電路面板之構造之彼等益處的益處。

參考圖 17，封裝 1400 可包含第一微電子元件 1401 及第二微電子元件 1403，其各自經組態(亦即，經構造)以主要提供記憶體儲存陣列功能，此乃因第一微電子元件 1401 及第二微電子元件 1403 中之每一者具有經組態以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置(諸如電晶體)，如上文所指示。第一及第二微電子元件具有在該等微電子元件之面 1431 處之元件觸點 1436，元件觸點 1436 背對基板 1402 且與曝露於基板之第一表面 1408 處之對應基板觸點 1446 電連接，如圖 17 中所見。

如圖 16 至圖 17 中所見，封裝 1400 可具有用於電連接及機械連接封裝 1400 與在封裝 1400 外部之一組件(舉例而言，諸如一電路面板)之第一端子 1414、1424 及第二端子 106。該等端子可係導電襯墊、支柱或其他導電結構。在圖 17 中

所見之實例中，結合單元1430可附著至端子之第一柵格1404及第二柵格1406，結合單元1430可包含一接合金屬(諸如焊料、錫、鈹、金或一共熔材料以及其他)或其他傳導接合材料。第一端子1404及第二端子1406可透過基板上之導電結構(舉例而言，諸如跡線及導通體)與基板觸點1446電連接。

該封裝之第一柵格1414及第二柵格1424中之第一端子之一配置可如圖16中特定展示。在一項實例中，每一柵格1414、1424可包含平行之第一與第二端子行1438。每一柵格中之端子行1438可彼此毗鄰。另一選擇係，儘管在圖16中未展示，但至少一個端子可安置於第一端子行與第二端子行之間。如圖16中所見，第二柵格1424中之第一端子之信號指派係第一柵格1414中之第一端子之信號指派1424之一鏡像。換言之，第一及第二柵格中之第一端子之信號指派關於一軸平面1432對稱，軸平面1432沿正交於基板之表面1410之一方向延伸且沿著在第一柵格1414與第二柵格1424之間定中心之一線橫穿表面1410，軸平面1432於此情形中沿第一端子行1438延伸之一方向1434延伸。在第二柵格1424中之信號指派係第一柵格1414中之信號指派之一鏡像之情況下，經指派以攜載信號CK(時脈)之第一柵格1414之一第一端子1404與經指派以攜載信號CK之第二柵格1424之對應第一端子1404在柵格內之同一相對垂直位置中(沿方向1434)。然而，由於第一柵格1414含有兩個行1438且在第一柵格之兩個行1438當中經指派以攜載信號

CK之第一柵格1414之端子係在其左側行中。該鏡像信號指派要求：在第二柵格之兩個行當中，經指派以攜載信號CK之第二柵格1424之對應端子係在右側行1438中。此配置之另一結果係：經指派以攜載信號WE（寫入啟用）之端子在第一柵格1414及第二柵格1424中之每一者中亦在柵格內之同一相對垂直位置中。然而，在第一柵格1414中，在第一柵格之兩個行1438當中經指派以攜載WE之端子係在右側行中，且鏡像配置要求：在第二柵格1424之兩個行當中，經指派以攜載信號WE之第二柵格1424之對應端子係在左側行1438中。如在圖16中可見，同一關係適用於第一及第二柵格中之每一者中之每一第一端子，至少適用於經指派以攜載如上文所論述之一命令-位址匯流排信號之每一第一端子。

第一端子之信號指派關於其對稱之軸平面1432可位於基板上之各種位置處。在一特定實施例中，該軸平面可沿著基板之表面1410上距基板之對置之第一邊緣1440與第二邊緣1442等距定位之一線橫穿該表面，特定而言當第一端子行1438沿平行於邊緣1440、1442之一方向延伸且第一及第二柵格安置於關於此中心軸對稱之位置處時。

在一特定實施例中，第一柵格1414之第一端子1404可與第一微電子元件1401電連接，且第二柵格1424之第一端子1404可與第二微電子元件1403電連接。於此情形中，第一柵格1414之第一端子1404亦可不與第二微電子元件1403電連接，且封裝1400之第二柵格1424中之第一端子1404亦可

不與第一微電子元件1401電連接。在又一實例中，第一柵格1414及第二柵格1424中之每一者中之第一端子1404可與第一微電子元件1401及第二微電子元件1403中之每一者電連接。

如上文提及，第二端子1406可經組態以攜載除命令-位址匯流排之上文所提及位址資訊或信號以外之資訊或信號。在一項實例中，第二端子1406可包含用於將單向或雙向資料信號攜載至微電子元件及或自該微電子元件攜載該等單向或雙向資料信號及用於攜載資料選通信號以及將用以接通或關斷並行終止之資料遮罩及ODT或「晶粒上終止」信號攜載至終端電阻器之端子。諸如晶片選擇、重設、時脈啟用等信號以及諸如電力供應電壓(例如，Vdd、Vddq)或接地(例如，Vss及Vssq)等參考電位可在第一端子1404或第二端子1406攜載之信號當中。然而，此等信號或參考電位中無一者需要由第一端子1404攜載。如圖16至圖18中進一步展示，第二端子1406可在基板之第二表面1410上安置成一第三柵格1416，且另一組第二端子可在封裝表面1410上安置成一第四柵格1426。在一特定情形中，以類似於上文針對第一及第二柵格所闡述之方式的方式，第三柵格1416中之第二端子之信號指派可係第四柵格1426中之第二端子之信號指派之一鏡像。第三柵格1416及第四柵格1426可沿其中第一及第二柵格延伸之方向1434延伸且可彼此平行。第三及第四柵格亦可平行於第一柵格1414及第二柵格1424。另一選擇係，第三柵格1416及第四柵格1426中

之每一者可沿正交於方向1434之另一方向1435延伸。

如圖17中所展示，一囊封體1448可上覆於基板之第一表面1408上且可接觸其中之微電子元件1401、1403。在某些情形中，該囊封劑可上覆於背對基板1402之微電子元件之表面1431上。

圖19圖解說明第一微電子封裝1400A及第二微電子封裝1400B之一總成1450，第一微電子封裝1400A及第二微電子封裝1400B各自係如上文參考圖16至圖18所闡述之一微電子封裝1400，安裝至一電路面板1464之相對之第一表面1460與第二表面1462。該電路面板可係各種類型，諸如用於一雙列直插式記憶體模組(「DIMM」)模組中之一印刷電路板、將與一系統中之其他組件連接之一電路板或面板或一主機板以及其他。第一微電子封裝1400A及第二微電子封裝1400B可安裝至曝露於電路面板1464之第一表面1460及第二表面1462處之對應觸點1470、1472。

如圖16中特定展示，由於每一封裝之第二柵格1424中之第一端子之信號指派係每一封裝之第一柵格1414中之第一端子之信號指派之一影像，因此當如圖19中將封裝1400A、1400B彼此相對地安裝至電路面板時，第一封裝1400A之第一柵格1414A中之每一第一端子與具有相同信號指派且其電連接至之第二封裝1400B之第二柵格1424B中之對應第一端子對準。此外，第一封裝1400A之第二柵格1424A中之每一第一端子與具有相同信號指派且其電連接至之第一柵格1414B中之對應第一端子對準。無疑地，

每一對所連接端子之對準係在一容差內，以使得每一對所連接端子可沿著電路面板1464之第一表面1460沿正交之 x 方向與 y 方向在一個球節距內彼此對準。

因此，如圖19中進一步展示，第一封裝1400A之柵格1414A中之攜載一信號(標記為「A」)之一特定第一端子與第二封裝1400B之柵格1424B之攜載同一信號「A」之對應第一端子對準。關於第一封裝1400A之柵格1424A中之攜載一信號(標記為「A」)之一特定第一端子(其與第二封裝1400B之柵格1414B中之攜載同一信號「A」之對應第一端子對準)同樣如此。

以此方式，如圖19中進一步所見，穿過電路面板在第一封裝1400A及第二封裝1400B之每一對經電連接第一端子之間的電連接之長度可顯著減小，此乃因此等對經電連接第二端子中之每一者中之端子可彼此疊加或至少在一個球節距內彼此對準。此等電連接之長度減小可減小電路面板及總成中之短線長度，此可幫助針對由第一端子攜載且傳送至第一及第二封裝兩者中之微電子元件之上文所提及信號來改良電效能，諸如減少穩定時間、振鈴、抖動或符號間干擾以及其他。此外，亦可能獲得其他益處，諸如簡化電路面板之結構或減少設計或製造電路面板之複雜度及成本。

如圖19中進一步展示，當每一封裝1400A、1400B之第二端子配置成具有上文關於圖16至圖18所闡述之特定鏡像配置之第三柵格及第四柵格時，每一封裝之第一柵格中之

每一第二端子可與具有相同信號指派且其電連接至之另一封裝之第二柵格中之對應第二端子對準。因此，如圖 19 中所見，第一封裝 1400A 之第三柵格 1416A 中之每一第二端子 1406 與具有相同信號指派且其電連接至之第二封裝 1400B 之第四柵格 1426B 中之對應第二端子對準。此外，第一封裝 1400A 之第四柵格 1426A 中之每一第二端子與具有相同信號指派且其電連接至之第三柵格 1416B 中之對應第二端子對準。同樣，每一對所連接端子之對準係在一容差內，以使得每一對所連接端子可沿著電路面板 1464 之第一表面 1460 沿正交之 x 方向與 y 方向在一個球節距內彼此對準。

因此，如圖 19 中進一步展示，第一封裝 1400A 之柵格 1416A 中之攜載一信號(標記為「B」)之一特定第一端子與攜載同一信號「B」且其電連接至之第二封裝 1400B 之柵格 1426B 中之對應第一端子對準。關於第一封裝 1400A 之柵格 1426A 中之攜載一信號(標記為「B」)之一特定第一端子(其與攜載同一信號「B」且其電連接至之第二封裝 1400B 之柵格 1416B 中之對應第一端子對準)同樣如此。

類似於如上文所闡述在第一及第二封裝之對應第一端子 1404 之間的連接，於此實施例中，穿過電路面板在第一及第二封裝之若干對經電連接第二端子 1406 之間的電連接之長度可顯著減小，此乃因此等對經電連接第二端子中之每一者中之端子可彼此疊加或至少沿平行於電路面板表面之正交之 x 方向與 y 方向在一個球節距內彼此對準。此外，當

一微電子封裝之第二端子(亦即，可經指派以攜載除命令-位址匯流排之上文所提及信號以外之信號之端子)以此方式配置時，可獲得類似於上文所闡述之用於針對第一封裝與第二封裝之間的連接來減小短線長度及簡化一電路面板之構造之益處的益處。

圖20圖解說明在封裝1480之各別第一柵格1474、1484及第二柵格1476、1486內之端子之一特定配置，圖解說明其中每一柵格中之毗鄰行1438、1439中之同一相對垂直位置處之端子可安置於沿封裝之垂直佈局方向1434彼此偏移之位置處之一經交錯配置。

圖21圖解說明在一微電子封裝上之平行之第一柵格1478與第二柵格1488中之第一端子之一特定配置，其中每一柵格包含三個毗鄰端子行。如上文提及，在某些實施例中，可能將除上文所提及之命令-位址匯流排信號以外之信號指派至相同柵格內之亦攜載上文所提及之命令-位址匯流排信號之端子。亦可提供其他配置，其中具有如上文所闡述之鏡像信號指派之一對柵格1478、1488中之每一者具有四個端子行而非兩個或三個。

在圖16至圖18中所展示之實施例之又一變化形式中，可能在第一及第二個別端子行中提供經配置以攜載上文所提及之命令-位址匯流排信號之第一端子，其中每一各別個別行含有經組態以攜載所有上文所提及之命令位址匯流排信號之一組第一端子。該等第一端子可進一步經配置以使得第一及第二行中之信號指派係彼此之一鏡像，此乃因該

等信號指派關於沿其中第一及第二行延伸之同一方向延伸之一軸對稱。以此方式，第一行中之第一端子之信號指派與在封裝上之第二行中之相同相對垂直位置處之第一端子之信號指派相同。

圖22圖解說明根據又一變化形式之一微電子封裝1490，其中微電子元件1401、1403係半導體晶片之垂直堆疊總成。因此，如圖22中所見，微電子元件1401、1403中之一或多者可包含一第一半導體晶片1451，其具有背對基板1402之一觸點承載面1431及在面1431上引線接合至基板1402上之基板觸點之觸點1436，如上文關於圖16至圖18所闡述。在一項實例中，如上文所闡述，此微電子元件之一第二半導體晶片1453可具有面向且結合至第一半導體晶片1451之對應觸點1445之觸點1455，諸如透過導電凸塊(例如，一接合金屬)。

在其他變化形式中，封裝1490中之微電子元件1401、1403中之一或多者可如上文參考圖10、圖11至圖12、圖13、圖14或圖15所闡述來構造。

圖23圖解說明根據圖16至圖18之上文所闡述實施例之一變化形式之一微電子封裝1500，其中第一微電子元件1501、第二微電子元件1503、第三微電子元件1505及第四微電子元件1507併入其中。該封裝進一步繪示經指派以攜載命令-位址匯流排之上文所提及信號之第一端子之四個柵格1514、1524、1534、1544。如在上文所闡述之實例中，第一端子之每一柵格可與該等微電子元件中之僅一者

電連接，或可連接至該等微電子元件中之兩者或兩者以上。圖23圖解說明展示第一端子之柵格1514、1524、1534及1544之封裝1500之一項可能配置及第二端子之柵格1516、1526、1536及1546之一項可能配置。

如圖23中所展示，該等微電子元件中之每一者通常具有平行之兩個「長」邊緣1510，其沿與其中微電子元件上之一或多個觸點行延伸之方向相同的方向延伸，如上文關於圖6B、6C、6D及7A所闡述。在一項實例中，此等「長」邊緣可各自比每一微電子元件之平行之兩個短邊緣1512長。在另一實例中，此等「長」邊緣1510可僅沿與一或多個觸點行相同的方向延伸，而實際上比同一微電子元件之「短」邊緣1512短。對下文所闡述之封裝中之每一者中微電子元件之「長」及「短」邊緣之引用併入有此等定義。

如圖23中進一步所見，在此特定變化形式中，兩個柵格1524、1534可接近於分離微電子元件1503、1505之封裝之一中心線1530而安置，而其他柵格1514、1544可接近該封裝之周邊邊緣1550、1552而安置。

圖24係圖解說明根據圖23中所展示封裝之一變化形式之一封裝1560，其中該封裝上之第一端子之柵格之位置相異。於此情形中，查看封裝1560與圖23之封裝1500之間的差異，封裝1560內之柵格1534之位置已與第二端子之柵格1536之位置交換，以使得柵格1536現在安置於第一端子之柵格1524、1534之間。另外，封裝1560內之柵格1544之位置已與第二端子之柵格1546之位置交換，以使得柵格1546

現在安置於第一端子之柵格1534、1544之間。

圖25係圖解說明根據圖23中所展示之封裝之另一變化形式之一封裝1570之一平面圖，其中第一端子之柵格之位置相異。於此情形中，查看封裝1570與圖23之封裝1500之間的差異，封裝1570內之第一端子之柵格1524之位置已與第二端子之柵格1526之位置交換，以使得柵格1524現在安置於柵格1514、1526之間且毗鄰於該等柵格。另外，封裝1570內之柵格1534之位置相對於圖23中所展示之彼位置已與第二端子之柵格1536之位置交換，以使得柵格1534現在安置於柵格1536、1544之間且毗鄰於該等柵格。

圖26係圖解說明根據圖16至圖18之上文所提及實施例之又一變化形式之一封裝1600之一平面圖，其中第一微電子元件1601、第二微電子元件1603、第三微電子元件1605及第四微電子元件1607在基板上配置成一矩陣，其中每一微電子元件具有沿一第一方向1620延伸之平行第一邊緣1610及沿平行於基板之第一表面1408 (圖17)且橫向於第一方向(諸如正交於第一方向1620)之一第二方向1622延伸之平行第二邊緣1612。第一邊緣1610可係「長邊緣」，此時此等邊緣表示各別微電子元件之一長度之一尺寸，且第二邊緣1612可係「短邊緣」，此時此等邊緣表示各別微電子元件之比長度短之一尺寸。另一選擇係，第二邊緣1612可係「長邊緣」，此時此等邊緣表示各別微電子元件之一長度之一尺寸，且第一邊緣1610可係「短邊緣」，此時此等邊緣表示各別微電子元件之比長度短之一尺寸。

如圖 26 中所見，該等微電子元件可配置成微電子元件 1601、1603 之第一邊緣 1610 彼此毗鄰且平行。微電子元件 1605、1607 之第一邊緣 1610 亦可彼此毗鄰且平行。該等微電子元件亦經配置以使得微電子元件 1601 之一個第二邊緣 1612 毗鄰且平行於另一微電子元件 1607 之第二邊緣 1612，且微電子元件 1603 之一個第二邊緣 1612 毗鄰且平行於另一微電子元件 1605 之一個第二邊緣 1612。在某些情形中，微電子元件 1601 之第一邊緣 1610 中之每一者可與微電子元件 1607 之第一邊緣 1610 共線。同樣，在某些情形中，微電子元件 1603 之第一邊緣 1610 中之每一者可與微電子元件 1605 之第一邊緣 1610 共線。

第二端子之柵格 1651、1653、1655、1657（其可上覆於各別微電子元件 1601、1603、1605、1607 之部分上且與其電連接）可使端子安置成任一適合配置，不要求將此等第二端子放置成其中柵格 1651、1653、1655 或 1657 中之任一者中之信號指派係其他柵格 1651、1653、1655 或 1657 中之任一者中之端子之信號指派之一鏡像的柵格。

在一特定實例中，柵格 1651、1653、1655 或 1657 中之任一者中之第二端子之信號指派可係柵格 1651、1653、1655 或 1657 中之一個或兩個其他柵格中之第二端子之信號指派之一鏡像，此乃因該等柵格中之任一者之信號指派可相對於另一柵格之信號指派而沿平行於基板表面 1602 之一垂直佈局方向關於一垂直軸 1680 對稱。另一選擇係，或除此以外，該等柵格中之任一者之信號指派亦可相對於另一柵格

之信號指派而關於一水平軸1682對稱。

舉例而言，如圖26中所展示，柵格1651之信號指派相對於柵格1653之信號指派關於垂直軸1680對稱，其中垂直軸1680沿一垂直佈局方向1620（在所展示實例中其在柵格1651與1653之間）延伸。此外，柵格1651之信號指派相對於柵格1657之信號指派關於水平軸1682對稱，其中水平軸1682可沿一水平佈局方向1622（在所展示實例中其在柵格1651與1657之間）延伸。在一替代配置中，柵格1651及1657中之每一者可在水平軸1682之兩側上延伸至基板表面之部分，且上文所闡述之關係可以其他方式呈現。類似地，可針對柵格1653及1655存在此配置。

在圖26中所展示之特定實例中，柵格1651及1657之信號指派相對於各別柵格1653及1655之信號指派關於垂直軸1680對稱。此外，柵格1651及1653之信號指派相對於各別柵格1657及1655之信號指派關於水平軸對稱。

圖27係圖解說明根據上文所闡述實施例(圖23)之另一變化形式之一微電子封裝1700之一平面圖，其中第一微電子元件1701及第二微電子元件1703之第一邊緣1710沿平行於端子承載基板表面1704之第一周邊邊緣1740之一第一方向1720延伸，且其中微電子元件1701、1703之第二邊緣1712沿平行於基板之端子承載表面1704之一第二方向1722延伸。封裝1700進一步包含第三微電子元件1705及第四微電子元件1707。然而，第三微電子元件1705及第四微電子元件1707之第一邊緣1730沿第二方向1722延伸，且第三微電

子元件 1705 及第四微電子元件 1707 之第二邊緣 1732 沿第一方向 1720 延伸。如圖 27 中進一步所見，經組態以攜載上文所提及命令-位址匯流排信號之第一端子之第一柵格 1714 及第二柵格 1724 可提供於基板表面之一中心區中，遠離基板之第一周邊邊緣 1740 及第二周邊邊緣 1742，其中第二柵格 1724 中之信號指派係第一柵格 1714 中之信號指派之一鏡像，如上文所闡述。在如圖 27 中所展示之一項實例中，第一端子之第一柵格 1714 及第二柵格 1724 可安置於第一微電子元件 1701 及第二微電子元件 1703 之毗鄰第一邊緣 1710 之間且可上覆於第三微電子元件 1705 及第四微電子元件 1707 之部分上。第二端子之柵格 1751、1753、1755、1757 可至少部分地上覆於其中之第二端子電連接至之各別微電子元件 1701、1703、1705、1707 上。如圖 27 中所見，柵格 1753 中之第二端子之信號指派可係柵格 1751 中之第二端子之信號指派之一鏡像。柵格 1714、1724 與柵格 1751、1753 中之端子之鏡像信號指派可准許在將類似組態之兩個封裝 1700 彼此相對地安裝於電路面板之相對表面上時達成一電路面板中之短線長度之上文所闡述之減小。

第二端子之柵格 1755、1757 (其可上覆於微電子元件 1705、1707 之部分上且與其電連接) 可使端子安置成任一適合配置，不要求將此等第二端子放置成其中柵格 1755 中之一者中之信號指派係另一柵格 1757 中之端子之信號指派之一影像之柵格。然而，在一特定實例中，一柵格 1755 中之第二端子之信號指派可係另一柵格 1757 中之第二端子之

信號指派之一影像，此乃因該等信號指派可關於在柵格 1755 與 1757 之間沿一方向 1722 延伸之一軸 1735 對稱。於此情形中，可針對柵格 1755、1757 中之此等第二端子存在關於沿圖 27 之水平方向延伸之一軸 1735 之對稱性。

此外，可在其中可視情況提供第一端子之柵格之間或第二端子之其他柵格 1751、1753 之間的信號指派之對稱性之一微電子封裝中提供此組態。如圖 17 中進一步圖解說明，柵格 1755、1757 中之端子可具有如上文參考圖 5A 所闡述之信號類別對稱性或模 X 對稱性中之一或多者。

圖 27 進一步圖解說明一或多個緩衝元件 1750 可提供為安置於第一微電子元件 1701、第二微電子元件 1703、第三微電子元件 1705 及第四微電子元件 1707 之毗鄰邊緣 1730、1710 之間的封裝 1700 之一中心區中之一微電子元件。每一此緩衝元件可用於提供封裝之端子與該封裝中之微電子元件中之一或多者之間的信號隔離(特定而言針對在封裝之第一端子處接收之上文所提及命令位址匯流排信號)。該一或多個緩衝元件重新產生在第一端子處接收或在第二端子處接收之信號且將所重新產生之信號傳送至該封裝中之微電子元件中之一或多者。

另一選擇係，或除此以外，微電子元件之毗鄰邊緣 1710、1730 之間的基板 1702 之區域亦可准許在封裝上或封裝中提供一或多個解耦電容器，該一或多個解耦電容器連接至封裝之內部電力供應或接地匯流排。

圖 28 圖解說明在圖 27 中所見之實施例之一變化形式，其

中第一柵格1714及第二柵格1724之位置可經變化以上覆於第一微電子元件1701及第二微電子元件1703中之至少部分上。於此情形中，第三微電子元件1705及第四微電子元件1707之位置亦可改變以使得第三微電子元件1705及第四微電子元件1707之第一邊緣1730之部分可遠離該封裝之中心而移動。於此情形中，第三及第四微電子元件之第一邊緣1730平行於第一及第二微電子元件之第二邊緣1712之部分且沿方向1720與其間隔開。結果，在該封裝中心處之可用於一或多個緩衝元件或解耦電容器之連接之區域1760之一量可大於圖27中所展示之彼量。圖28亦圖解說明其中安置於毗鄰該基板之第一邊緣1736及第二邊緣1738之柵格內之第二端子之信號指派可展現關於沿平行於邊緣1736、1738之一第一方向1720延伸之一軸(未展示)之對稱性之一配置。另一選擇係，或除此以外，安置於毗鄰該基板之第三邊緣1737及第四邊緣1739之柵格內之第二端子之信號指派亦可展現關於沿橫向於第一方向1720之一第二方向(例如，其可平行於第三邊緣1737及第四邊緣1739)延伸之一軸(未展示)之對稱性。

圖29圖解說明根據上文所闡述實施例(圖28)之一變化形式之一微電子封裝1800。於此變化形式中，微電子元件1801、1803、1805、1807配置成一風車狀組態，其中微電子元件1801、1803之第一邊緣1810沿與微電子元件1805、1807之第二邊緣1830相同之方向1820延伸。另外，微電子元件1805、1807之第一邊緣1830沿與微電子元件1801、

1803之第二邊緣1812相同之方向1822延伸。微電子元件1801之第一邊緣中之一者之一部分與微電子元件1807之第二邊緣1830中之一者之一部分間隔開且平行於其。類似地，微電子元件1805之第一邊緣中之一者之一部分與微電子元件1801之第二邊緣中之一者間隔開且平行於其。此等關係可針對微電子元件1803之第一邊緣1810中之一者之一部分與微電子元件1805之第二邊緣1830中之一者之一部分以及針對微電子元件1807之第一邊緣中之一者之一部分與微電子元件1803之第二邊緣中之一者之一部分而在封裝內重複。

另外，進一步看出，存在法向於基板之一平面1840，其含有微電子元件1801之第一邊緣1810中之一者且其橫穿另一微電子元件1805之第一邊緣1830。類似地，存在法向於基板之一平面1842，其含有微電子元件1805之第一邊緣1830中之一者且其橫穿另一微電子元件1803之第一邊緣1810。根據圖29之一檢驗，可看出，含有微電子元件1807之第一邊緣中之一者之一類似平面將橫穿微電子元件1801之第一邊緣，且含有微電子元件1803之第一邊緣中之一者之一類似平面將橫穿微電子元件1807之第一邊緣。該封裝可經構造以使得含有一個微電子元件之一第一邊緣之平面橫穿該封裝內之至多另一個微電子元件之一第一邊緣。

圖29進一步圖解說明具有鏡像信號指派之第一端子之柵格1814、1824可各自部分地或完全地上覆於封裝1800中之微電子元件中之一或多者上。含有第一端子之柵格與含有

第二端子之柵格內之信號指派可如圖上文關於圖27或圖28所闡述。另外，安置於微電子元件之毗鄰邊緣1810、1832之間且其上並未安置有微電子元件之任一面的基板之一中心區域1850可容納如上文關於圖27至圖28所闡述之一或多個緩衝元件或解耦電容器或此兩者。

圖30圖解說明根據上文關於圖25所闡述之微電子封裝1570之一變化形式之一微電子封裝，其在基板1902上包含彼此間隔開之三個微電子元件1901A、1901B及1901C而非四個微電子元件。如同在圖25中所見之實施例中具有第一柵格1514及第二柵格1524以及第三柵格1534及第四柵格1544之情形，封裝1900之第一柵格1914中之第一端子之信號指派可係第二柵格1924中之第一端子之信號指派之一鏡像。此外，封裝1900之一第三柵格1934中之第一端子之信號指派(其可係一第四柵格1944中之第一端子之信號指派之一鏡像)同樣如此。另外，如圖30中所見，在一特定實例中，第一柵格1914可上覆於第一微電子元件1901A上，而第二柵格1924可上覆於第二微電子元件1901B上。如圖30中進一步所見，第三柵格1934可上覆於第三微電子元件1901C上。第四柵格1944可上覆於超過第三微電子元件1901C之一邊緣1942之基板1902之一表面之一部分上，如圖30中所見。另一選擇係，儘管未展示，但第四柵格1944亦可上覆於第三微電子元件1901C上。

上文參考圖5至圖30所闡述之微電子封裝及微電子總成可用於多種多樣之電子系統之構造中，諸如圖31中所展示

之系統2500。舉例而言，根據本發明之又一實施例之系統2500包含複數個模組或組件2506，諸如如上文結合其他電子組件2508、2510及2511所闡述之微電子封裝及/或微電子總成。

在所展示之例示性系統2500中，該系統可包含一電路面板、主機板或豎式(riser)面板2502（諸如一撓性印刷電路板），且該電路面板可包含使模組或組件2506、2508、2510彼此互連之眾多導體2504，在圖31中僅繪示其中之一者。此一電路面板2502可往來於系統2500中所包含之微電子封裝及/或微電子總成中之每一者輸送信號。然而，此僅係例示性的；可使用用於在模組或組件2506之間進行電連接之任一適合結構。

在一特定實施例中，系統2500亦可包含一處理器（諸如半導體晶片2508），以使得每一模組或組件2506可經組態以在一時脈週期中並行傳送N數目個資料位元，且處理器可經組態以在一時脈週期中並行傳送M數目個資料位元，M大於或等於N。

在一項實例中，系統2500可包含一處理器晶片2508，該處理器晶片經組態以在一時脈週期中並行傳送三十二個資料位元，且該系統亦可包含四個模組2506，諸如參考圖5A至圖5C所闡述之微電子封裝100，每一模組2506經組態以在一時脈週期中並行傳送八個資料位元（亦即，每一模組2506可包含第一及第二微電子元件，該兩個微電子元件中之每一者經組態以在一時脈週期中並行傳送四個資料位

元)。

在另一實例中，系統2500可包含一處理器晶片2508，該處理器晶片經組態以在一時脈週期中並行傳送六十四個資料位元，且該系統亦可包含四個模組2506，諸如參考圖23至圖29中之任一者所闡述之微電子封裝，每一模組2506經組態以在一時脈週期中並行傳送十六個資料位元(亦即，每一模組2506可包含四個微電子元件，該四個微電子元件中之每一者經組態以在一時脈週期中並行傳送四個資料位元)。

在圖31中所繪示之實例中，組件2508係一半導體晶片，且組件2510係一顯示器螢幕，但在系統2500中亦可使用任何其他組件。當然，儘管為清楚地圖解說明而在圖31中僅繪示兩個額外組件2508及2511，但系統2500可包含任一數目個此等組件。

模組或組件2506與組件2508及2511可安裝於一共同殼體2501中(以虛線示意性地繪示)，且可在必要時彼此電互連以形成所期望之電路。殼體2501繪示為可用於(舉例而言)一蜂巢式電話或個人數位助理中之類型之一可攜式殼體，且螢幕2510可曝露於該殼體之表面處。在其中一結構2506包含一光敏元件(諸如一成像晶片)之實施例中，亦可提供一透鏡2511或其他光學裝置以用於將光路由至該結構。同樣，圖31中所展示之經簡化系統僅係例示性的；可使用上文所論述之結構來製作其他系統，包含通常被視為固定結構之系統，諸如桌上型電腦、路由器及諸如此類。

本發明之上文所闡述實施例之各種特徵可在不背離本發明之範疇或精神之情況下以除上文所特定闡述之方式以外之方式組合。本發明揭示內容意欲涵蓋上文所闡述之本發明實施例之所有此等組合及變化形式。

【圖式簡單說明】

圖1係圖解說明一習用微電子封裝之一剖視圖。

圖2係圖解說明本文中提及之一微電子總成之一示意性透視圖。

圖3係圖解說明本文中提及之一微電子總成之一剖視圖。

圖4係圖解說明如圖3中所見之一總成中之一對微電子封裝之間的一電互連之一示意圖。

圖5A係圖解說明根據本發明之一實施例之一微電子封裝上之一端子配置之一平面圖。

圖5B係圖解說明諸如圖5A中所見之一封裝上之一可能端子配置之又一平面圖。

圖5C係圖解說明根據本發明之一實施例之一微電子封裝之一剖視圖。

圖6A、圖6B及圖6C係圖解說明根據本發明之一實施例在併入於一封裝中之微電子元件上之各種元件觸點配置之平面圖。

圖7A係圖解說明根據本發明之一實施例之一微電子總成之一剖視圖。

圖7B係圖解說明根據本發明之一實施例之一微電子總成

之一示意性透視圖。

圖8係圖解說明根據本發明之一實施例之一微電子封裝之一剖視圖。

圖9係圖解說明根據本發明之一實施例之一微電子封裝之一剖視圖。

圖10係圖解說明根據本發明之一實施例之一微電子封裝之一剖視圖。

圖11係圖解說明根據本發明之一實施例之一微電子封裝之一剖視圖。

圖12係圖解說明根據本發明之一實施例之一微電子封裝之一平面圖。

圖13係圖解說明根據本發明之一實施例之一微電子封裝之一剖視圖。

圖14係圖解說明根據本發明之一實施例之一微電子封裝之一剖視圖。

圖15A係圖解說明根據本發明之一實施例之一微電子封裝之一剖視圖。

圖15B係圖解說明根據本發明之一實施例之一微電子封裝之一剖視圖。

圖16係圖解說明根據本發明之一實施例之一微電子封裝之一平面圖。

圖17係進一步圖解說明如圖16中所見之一微電子封裝之一剖視圖。

圖18係進一步圖解說明根據如圖16中所見之本發明一實

施例之一微電子封裝之一平面圖。

圖 19 係圖解說明併入有諸如圖 16 中所見之第一及第二微電子封裝之一微電子總成之一剖視圖。

圖 20 及圖 21 圖解說明根據如圖 16 中所見之本發明一實施例之一微電子封裝中之替代端子配置。

圖 22 係圖解說明根據如圖 16 中所見之本發明實施例之一變化形式之一微電子封裝之一剖視圖。

圖 23 係圖解說明根據本發明之一實施例之一微電子封裝之一平面圖。

圖 24 係圖解說明根據本發明之一實施例之一微電子封裝之一平面圖。

圖 25 係圖解說明根據本發明之一實施例之一微電子封裝之一平面圖。

圖 26 係圖解說明根據本發明之一實施例之一微電子封裝之一平面圖。

圖 27 係圖解說明根據本發明之一實施例之一微電子封裝之一平面圖。

圖 28 係圖解說明根據本發明之一實施例之一微電子封裝之一平面圖。

圖 29 係圖解說明根據本發明之一實施例之一微電子封裝之一平面圖。

圖 30 係圖解說明根據本發明之一實施例之一微電子封裝之一平面圖。

圖 31 係圖解說明根據本發明之一實施例之一系統之一示

意性剖視圖。

【主要元件符號說明】

1	端 子
2	端 子
3	端 子
4	端 子
5	端 子
6	端 子
7	端 子
8	端 子
11	半 導 體 晶 片 / 微 電 子 元 件
12	微 電 子 封 裝 / 封 裝
12A	封 裝 / 微 電 子 封 裝
12B	封 裝 / 微 電 子 封 裝
12C	封 裝
12D	封 裝
12E	封 裝
12F	封 裝
14	端 子 行
16	第 一 周 邊 邊 緣 / 邊 緣
18	端 子 行
20	封 裝 基 板 / 基 板
22	第 二 周 邊 邊 緣 / 邊 緣
24	中 心 區

26	元 件 觸 點
28	面
30	引 線 接 合
32	黏 合 層
34	電 路 面 板
36	匯 流 排 / 命 令 - 位 址 匯 流 排
38	總 成
40	方 向
42	方 向
100	微 電 子 封 裝 / 封 裝
100A	第 一 微 電 子 封 裝 / 封 裝 / 第 一 封 裝
100B	第 二 微 電 子 封 裝 / 封 裝 / 第 二 封 裝
101	微 電 子 元 件
101A	第 一 半 導 體 晶 片 / 半 導 體 晶 片
101B	第 二 半 導 體 晶 片 / 半 導 體 晶 片
102	基 板
103	間 隔 物 元 件
104	第 一 端 子 / 端 子
104'	端 子
105	前 面 / 面 / 前 表 面
106	第 二 端 子 / 端 子
107	後 面
108	第 一 表 面 / 基 板 表 面 / 表 面
109	半 導 體 晶 片 / 晶 片

110	表面/第二表面/封裝表面
111	元件觸點/觸點/行/晶片/觸點行/基板觸點
111B	元件觸點
112	傳導結構/引線接合
113	元件觸點/觸點/行/第二行/晶片/基板觸點
113B	元件觸點
114	第一組/第一柵格/柵格
114A	第一柵格/柵格
114B	第一柵格/柵格
115	觸點/基板觸點
116	第三柵格/柵格
116A	第三柵格/柵格
116B	第三柵格/柵格
117	觸點/基板觸點
118	導電結合元件/結合元件
119	行軸/軸
121	基板觸點/第一組/觸點
123	基板觸點/第二組/觸點
124	第二組/第二柵格/柵格/信號指派
124A	第二柵格/柵格
124B	第二柵格/柵格
125	前面
126	第四柵格/柵格
126A	第四柵格/柵格

126B	第四柵格/柵格
127	柵格
129	柵格/觸點
130	微電子元件
132	理論軸/元件觸點/觸點/垂直軸
135	水平方向/方向
136	端子行/第一端子行/行
140	邊緣/第一邊緣
141	邊緣/第二邊緣
142	第一方向/方向
143	方向
146	囊封體
150	第一表面
152	第二表面
154	電路面板
160	觸點
162	觸點
170	邊緣/周邊邊緣
172	邊緣/周邊邊緣
176	邊緣/周邊邊緣
178	邊緣/周邊邊緣
180	微電子元件
188	行/觸點行
189	行/觸點行

190	微電子元件
192	觸點
194	觸點
200	總成/微電子封裝
354	總成/電路面板/電路板/微電子總成/微電子 元件
358	微電子元件
600	微電子封裝
602	基板
604	第一端子/端子
606	第二端子/端子
618	邊緣
626	觸點/第二觸點
627	觸點
630	垂直堆疊/單元
631	觸點承載面/面/前面
632	第一半導體晶片/半導體晶片/第一晶片
634	第二半導體晶片/半導體晶片/第二晶片/ 晶片
634A	第二半導體晶片/半導體晶片
634B	第二半導體晶片
635	引線接合
636	觸點/基板觸點
637	引線接合

638	間隔物/觸點
640	跡線或導線
641	面/對立面
642	前面/面
644	跡線
645	引線接合
647	觸點
650	穿矽導通體
652	厚度
654	跡線
660	微電子封裝
662	封裝基板/半導體晶片/晶片
663A	半導體晶片/晶片
663B	半導體晶片/晶片
663C	半導體晶片/晶片
664	半導體晶片/晶片
665	引線接合
668	散熱裝置或散熱器
669	導熱材料
670	微電子封裝
671	散熱片
672	穿矽導通體
674	穿矽導通體
676	穿矽導通體

680	微電子封裝
690	微電子封裝/封裝
695	微電子總成
1400	微電子封裝/封裝
1400A	第一微電子封裝/封裝/第一封裝
1400B	第二微電子封裝/封裝/第二封裝
1401	微電子元件/第一微電子元件
1402	基板
1403	微電子元件/第二微電子元件
1404	第一柵格/第一端子
1406	第二柵格/第二端子
1408	第一表面
1410	表面/第二表面/封裝表面
1414	柵格/第一柵格/第一端子
1414A	第一柵格/柵格
1414B	第一柵格/柵格
1416	第三柵格
1416A	第三柵格/柵格
1416B	第三柵格/柵格
1424	柵格/第二柵格/第一端子
1424A	第二柵格/柵格
1424B	第二柵格/柵格
1426	第四柵格
1426A	第四柵格/柵格

1426B	第四柵格/柵格
1430	結合單元
1431	面/表面/觸點承載面
1432	軸平面
1434	方向/垂直佈局方向
1435	方向
1436	元件觸點/觸點
1438	端子行/平行之第一與第二端子行/第一端 子行/行/右側行/左側行
1439	行
1440	邊緣
1442	邊緣
1445	觸點
1446	基板觸點
1448	囊封體
1450	總成
1451	第一半導體晶片
1453	第二半導體晶片
1455	觸點
1460	第一表面
1462	第二表面
1464	電路面板
1470	觸點
1472	觸點

1474	第一柵格
1476	第二柵格
1478	第一柵格/柵格
1480	封裝
1484	第一柵格
1486	第二柵格
1488	第二柵格/柵格
1490	微電子封裝/封裝
1500	微電子封裝/封裝
1501	第一微電子元件
1503	第二微電子元件/微電子元件
1505	第三微電子元件/微電子元件
1507	第四微電子元件
1510	「長」邊緣
1512	「短」邊緣
1514	柵格/第一柵格
1516	柵格
1524	柵格
1526	柵格
1530	中心線
1534	柵格
1536	柵格
1544	柵格
1546	柵格

1550	周 邊 邊 緣
1552	周 邊 邊 緣
1560	封 裝
1570	封 裝 / 微 電 子 封 裝
1600	封 裝
1601	第 一 微 電 子 元 件 / 微 電 子 元 件
1602	基 板 表 面
1603	第 二 微 電 子 元 件 / 微 電 子 元 件
1605	第 三 微 電 子 元 件 / 微 電 子 元 件
1607	第 四 微 電 子 元 件 / 微 電 子 元 件
1610	第 一 邊 緣
1612	第 二 邊 緣
1620	第 一 方 向 / 垂 直 佈 局 方 向
1651	柵 格
1653	柵 格
1655	柵 格
1657	柵 格
1680	垂 直 軸
1682	水 平 軸
1700	微 電 子 封 裝 / 封 裝
1701	第 一 微 電 子 元 件 / 微 電 子 元 件
1702	基 板
1703	第 二 微 電 子 元 件 / 微 電 子 元 件
1704	端 子 承 載 基 板 表 面 / 端 子 承 載 表 面

1705	第三微電子元件/微電子元件
1707	第四微電子元件/微電子元件
1710	第一邊緣/邊緣
1712	第二邊緣
1714	第一柵格/柵格
1720	第一方向/方向
1722	第二方向/方向
1724	第二柵格/柵格
1730	第一邊緣/邊緣
1732	第二邊緣
1735	軸
1736	第一邊緣/邊緣
1737	第三邊緣
1738	第二邊緣/邊緣
1739	第四邊緣
1740	第一周邊邊緣
1742	第二周邊邊緣
1750	緩衝元件
1751	柵格
1753	柵格
1755	柵格
1757	柵格
1760	區域
1800	微電子封裝/封裝

1801	微電子元件
1803	微電子元件
1805	微電子元件
1807	微電子元件
1810	第一邊緣/邊緣
1812	第二邊緣
1814	柵格
1820	方向
1822	方向
1824	柵格
1830	第二邊緣/第一邊緣
1832	邊緣
1840	平面
1842	平面
1850	中心區域
1900	封裝
1901A	微電子元件/第一微電子元件
1901B	微電子元件/第二微電子元件
1901C	微電子元件/第三微電子元件
1902	基板
1914	第一柵格
1924	第二柵格
1934	第三柵格
1942	邊緣

2500	系 統
2501	殼 體
2502	電 路 面 板 / 主 機 板 或 豎 式 面 板
2504	導 體
2506	模 組 或 組 件 / 模 組 / 結 構
2508	模 組 或 組 件 / 電 子 組 件 / 半 導 體 晶 片 / 處 理 器 晶 片 / 組 件
2510	模 組 或 組 件 / 電 子 組 件 / 組 件 / 螢 幕
2511	電 子 組 件 / 組 件 / 透 鏡
A	信 號
A0至 A15	位 址 信 號
B	信 號
BA0	記 憶 體 庫 位 址 信 號
BA1	記 憶 體 庫 位 址 信 號
BA2	記 憶 體 庫 位 址 信 號
CAS	行 位 址 選 通 信 號
CK	時 脈 信 號
CKB	時 脈 信 號
DQ0至 DQ15	資 料 信 號 / 端 子 / 封 裝 端 子
DQSH	第 二 端 子
DQSL	第 二 端 子
I	連 接 部 位
II	連 接 部 位
III	連 接 部 位

RAS	列位址選通信號
VDD	電力供應電壓
WE	寫入啟用信號
X	方向
Y	方向

七、申請專利範圍：

1. 一種微電子封裝，其包括：

一基板，其具有對置之第一表面與第二表面及曝露於該第一表面處之複數個基板觸點；

一微電子元件，其具有記憶體儲存陣列功能且包含複數個經堆疊經電互連半導體晶片，該微電子元件具有：
一後面，其面向該第一表面；該等半導體晶片中之至少一者之一前面，其背對該後面；及若干觸點，其在該至少一個半導體晶片之該前面上、透過在此前面上方延伸之傳導結構而與該等基板觸點電連接；

複數個端子，其曝露於該第二表面處、經組態而用於連接該微電子封裝與在該封裝外部之至少一個組件，該等端子與該等基板觸點電連接且包含複數個第一端子，該等第一端子包含其安置於一理論軸之一第一側上之一第一組及其安置於與該第一側相對之該軸之一第二側上之一第二組，該等第一及第二組中之每一者經組態以攜載可由該封裝內之電路使用以自該微電子元件之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之位址資訊，

其中該第一組中之該等第一端子之信號指派係該第二組中之該等第一端子之信號指派之一鏡像。

2. 如請求項1之微電子封裝，其中該微電子元件體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置。

3. 如請求項2之微電子封裝，其中該複數個經堆疊半導體晶片包含一第一半導體晶片，其具有面向該第一表面之一後面及與該後面相對之一前面，該第一半導體晶片在該前面上具有透過該導電結構而與該等基板觸點電連接之觸點，該等經堆疊半導體晶片包含上覆於該第一半導體晶片之該前面上且與該第一半導體晶片電互連之至少一個第二半導體晶片，其中該第一晶片或該至少一個第二半導體晶片中之至少一者體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置。
4. 如請求項3之微電子封裝，其中該第一晶片與該至少一個第二晶片之間的該等電互連中之至少某些電互連係透過在該第一晶片之至少某些觸點與該至少一個第二晶片之至少某些觸點之間延伸之引線接合。
5. 如請求項3之微電子封裝，其中該第一晶片與該至少一個第二晶片之間的該等電連接包含該基板上之導體。
6. 如請求項5之微電子封裝，其中該等引線接合包含自毗鄰於該至少一個第二晶片之對置之第一邊緣與第二邊緣之該等觸點延伸之引線接合。
7. 如請求項6之微電子封裝，其中該等引線接合包含自毗鄰於複數個該等第二晶片中之每一者之一第一邊緣之該等觸點延伸之引線接合，其中該等第二晶片具有背對該第一晶片之該前面之觸點承載面，且經交錯以使得每一第二晶片之至少某些觸點超過安置於其上方之每一第二晶片之該第一邊緣而曝露。

8. 如請求項1之微電子封裝，其中該至少一個第二晶片係複數個經垂直堆疊第二半導體晶片，其中該等第二晶片之間的該等電互連中之至少某些電互連係透過沿著該微電子元件之至少一個邊緣延伸之導電跡線。
9. 如請求項1之微電子封裝，其中該第一晶片經組態以重新產生該位址資訊供傳送至該至少一個第二半導體晶片。
10. 如請求項1之微電子封裝，其中該第一晶片經組態以至少部分地解碼在該等第一端子處接收之該位址資訊或命令資訊中之至少一者供傳送至每一第二晶片，且每一第二晶片並不經組態以完全解碼該位址資訊或該命令資訊。
11. 如請求項3之微電子封裝，其中該至少一個第二晶片係複數個經垂直堆疊第二半導體晶片，該等第二晶片中之至少某些第二晶片藉由複數個穿矽導通體而彼此電連接。
12. 如請求項1之微電子封裝，其中該複數個經堆疊半導體晶片包含一第一半導體晶片，該第一半導體晶片具有面向該第一表面之一後面及與該後面相對之一前面，該等經堆疊半導體晶片包含上覆於該第一半導體晶片之該前面上且與該第一半導體晶片電互連之至少一個第二半導體晶片，其中該至少一個第二半導體晶片中之至少一者經組態以執行下列各項中之至少一者：部分地或完全地解碼在其一觸點處接收之資訊，或重新產生在其該觸點

處接收之資訊供傳送至該第一半導體晶片中之至少一者或該至少一個第二半導體晶片中之另一者。

13. 如請求項12之微電子封裝，其中該等第一及第二晶片中之至少某些晶片藉由複數個穿矽導通體而彼此電連接。
14. 如請求項3之微電子封裝，其中該至少一個第二晶片透過在該第二晶片之一表面處之觸點之一覆晶電互連而與該第一晶片電互連，該等觸點面向該第一晶片之該前面且與該第一晶片之該前面處之觸點結合。
15. 如請求項14之微電子封裝，其中該等第一及第二晶片中之每一者體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置，該第一晶片經組態以重新產生該位址資訊中之至少某些位址資訊供傳送至該至少一個第二晶片，且該至少一個第二晶片並不經組態以重新產生該位址資訊。
16. 如請求項14之微電子封裝，其中該第一晶片經組態以至少部分地解碼在該等第一端子處接收之該位址資訊或命令資訊中之至少一者供傳送至每一第二晶片，且每一第二晶片並不經組態以完全解碼該位址資訊或該命令資訊。
17. 如請求項14之微電子封裝，其中該第二半導體晶片係複數個經堆疊第二半導體晶片。
18. 如請求項3之微電子封裝，其中該至少一個第二半導體晶片含有一動態隨機存取記憶體儲存陣列。
19. 如請求項3之微電子封裝，其中該等第二半導體晶片

之至少一者之一記憶體儲存陣列功能以下列各項來實施：NAND快閃記憶體、RRAM (電阻式RAM)、相變記憶體(PCM)、MRAM(磁性)、靜態隨機存取記憶體(SRAM)、自旋轉矩RAM或內容可定址記憶體技術。

20. 一種微電子封裝，其包括：

一基板，其具有對置之第一表面與第二表面及曝露於該第一表面處之複數個基板觸點；

第一、第二、第三及第四微電子元件，其各自具有記憶體儲存陣列功能，每一微電子元件具有：一後面，其面向該第一表面；一前面，其與該後面相對；及若干觸點，其在該前面上、透過在該各別前面上方延伸之傳導結構而與該等基板觸點電連接，

複數個端子，其曝露於該第二表面處、經組態而用於電連接該微電子封裝與在該封裝外部之至少一個組件，該等端子與該等基板觸點電連接且包含複數個第一端子，該等第一端子包含其安置於一理論軸之一第一側上之一第一組及其安置於與該第一側相對之該軸之一第二側上之一第二組，該等第一及第二組中之每一者經組態以攜載可由該微電子封裝內之電路使用以自該等第一、第二、第三及第四微電子元件中之至少一者之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之位址資訊，

其中該第一組中之該等第一端子之信號指派係該第二組中之該等第一端子之信號指派之一鏡像。

21. 如請求項20之微電子封裝，其中該等微電子元件中之每一者體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置。
22. 如請求項20之微電子封裝，其中該等第一及第二微電子元件與該第一組第一端子電連接但不與該第二組第一端子電連接，且該等第三及第四微電子元件與該第二組第一端子電連接但不與該第一組第一端子電連接。
23. 如請求項20之微電子封裝，其中該等微電子元件中之每一者具有沿平行於該各別微電子元件上之一或多個觸點行中之一行之同一各別方向延伸之平行第一邊緣且具有沿橫向於該各別方向之一方向延伸之第二邊緣，每一微電子元件之該等第一及第二邊緣定界此微電子元件之面，其中含有該等微電子元件中之至少一者之該等第一邊緣中之一者且法向於此微電子元件之該面之一平面橫穿該等微電子元件中之另一者之該等第一邊緣。
24. 如請求項20之微電子封裝，其中該等微電子元件中之每一者具有沿與該各別微電子元件上之該等觸點行相同的方向延伸之兩個平行第一邊緣及沿橫向於此微電子元件之該第一邊緣之一方向延伸之兩個平行第二邊緣，其中含有該等微電子元件中之任一者之任一第一邊緣且法向於此微電子元件之該面之一平面橫穿該等微電子元件中之另一者之該第一邊緣。
25. 如請求項24之微電子封裝，其中含有該等微電子元件中之至少一者之任一第一邊緣且法向於此微電子元件之該

面之該平面橫穿該等其他微電子元件中之僅一者之該第一邊緣。

26. 如請求項20之微電子封裝，其中該等微電子元件中之每一者具有沿平行於該各別微電子元件上之一或多個觸點行中之一行之該同一各別方向延伸之平行第一邊緣，該等微電子元件中之每一者之該等第一邊緣沿一第一方向延伸，且該等第一、第二、第三及第四微電子元件配置成沿著該基板之該第一表面沿一第二方向延伸之一單個列，該第二方向正交於該第一方向。
27. 如請求項26之微電子封裝，其中第一端子之該第一組及該第二組安置於各別第一柵格及第二柵格內之位置處，該微電子封裝進一步包括安置於第三及第四柵格內之位置處之該等第一端子之第三及第四組，其中該第三柵格中之該等第一端子之信號指派係該第四柵格中之該等第一端子之信號指派之一鏡像。
28. 如請求項27之微電子封裝，其中該等端子包含經組態以攜載除該位址資訊以外之資訊之第二端子，該等第二端子在該基板之該第二表面上配置成平行之第五柵格與第六柵格，其中該第五柵格中之該等第二端子之信號指派係該第六柵格中之該等第二端子之信號指派之一鏡像。
29. 如請求項28之微電子封裝，其中該等第一及第二柵格藉由該等第五或第六柵格中之至少一者而彼此分離。
30. 一種微電子封裝，其包括：
- 一基板，其具有對置之第一表面與第二表面及曝露於

該第一表面處之複數個基板觸點；

一微電子元件，其具有記憶體儲存陣列功能，該微電子元件具有：一後面，其面向該第一表面；一前面，其與該後面相對；及若干觸點，其在該前面上、透過在該前面上方延伸之傳導結構而與該等基板觸點電連接；

複數個端子，其曝露於該第二表面處、經組態而用於連接該微電子封裝與在該封裝外部之至少一個組件，該等端子與該等基板觸點電連接且包含複數個第一端子，該等第一端子包含其安置於一理論軸之一第一側上之一第一組及其安置於與該第一側相對之該軸之一第二側上之一第二組，該第一組第一端子安置成一第一個別行且該第二組第一端子安置成一第二個別行，該等第一及第二行中之每一者之該等第一端子經組態以攜載可由該封裝內之電路使用以自該微電子元件之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之位址資訊，

其中該第一行中之該等第一端子之信號指派相對於該第二行中之該等第一端子之信號指派關於在該第一行與該第二行之間延伸之該軸對稱。

31. 如請求項30之微電子封裝，其中該等端子包含經組態以攜載除該位址資訊以外之資訊之第二端子，該等第二端子曝露於該基板之該第二表面處且在一理論軸之各別相對之第一側與第二側上配置成第三組及第四組，其中該第三組中之該等第二端子之信號指派係該第四組中之該等第二端子之信號指派之一鏡像。

八、圖式：

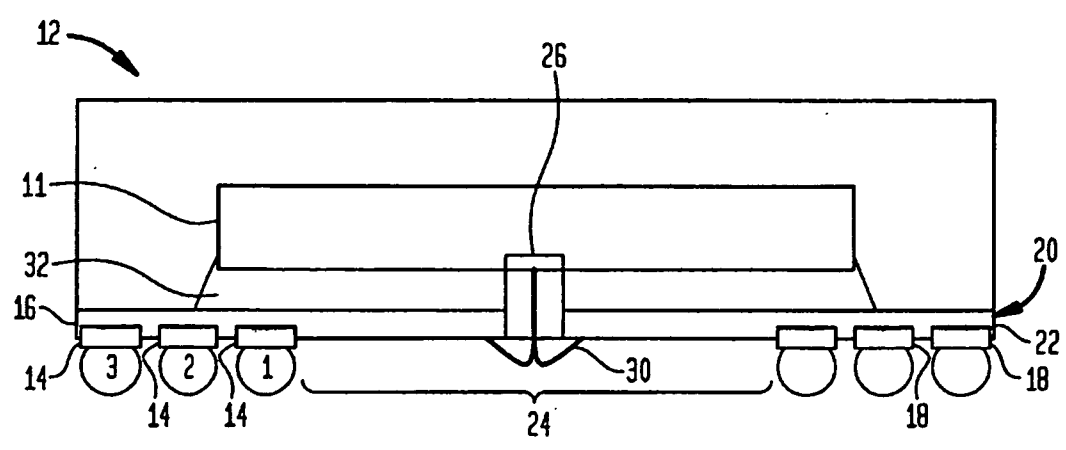


圖 1

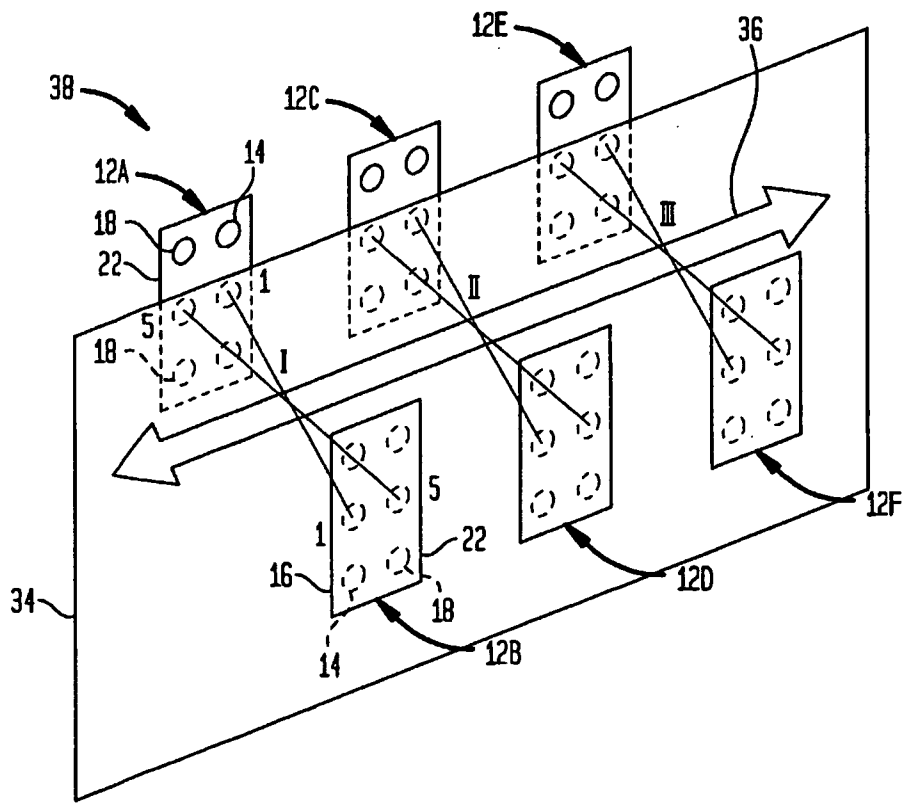


圖 2

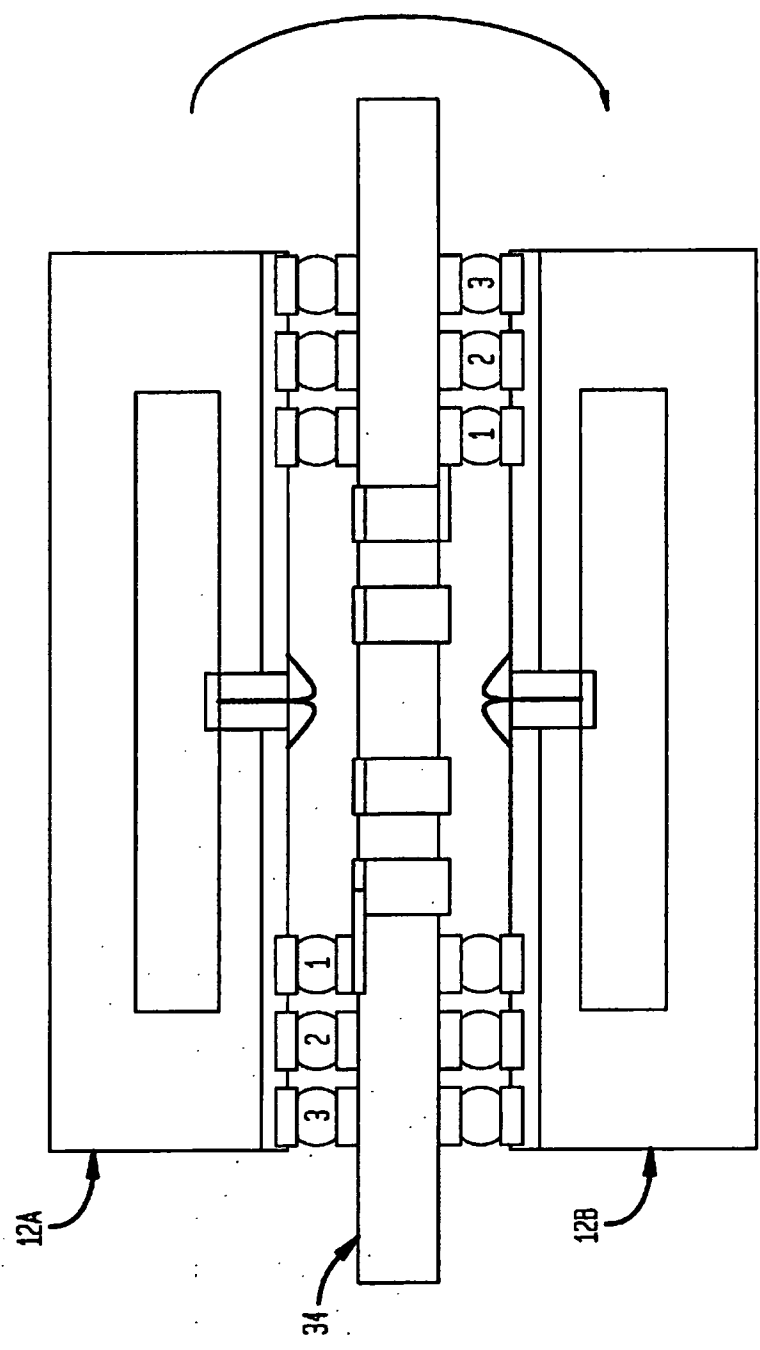
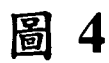


圖 3



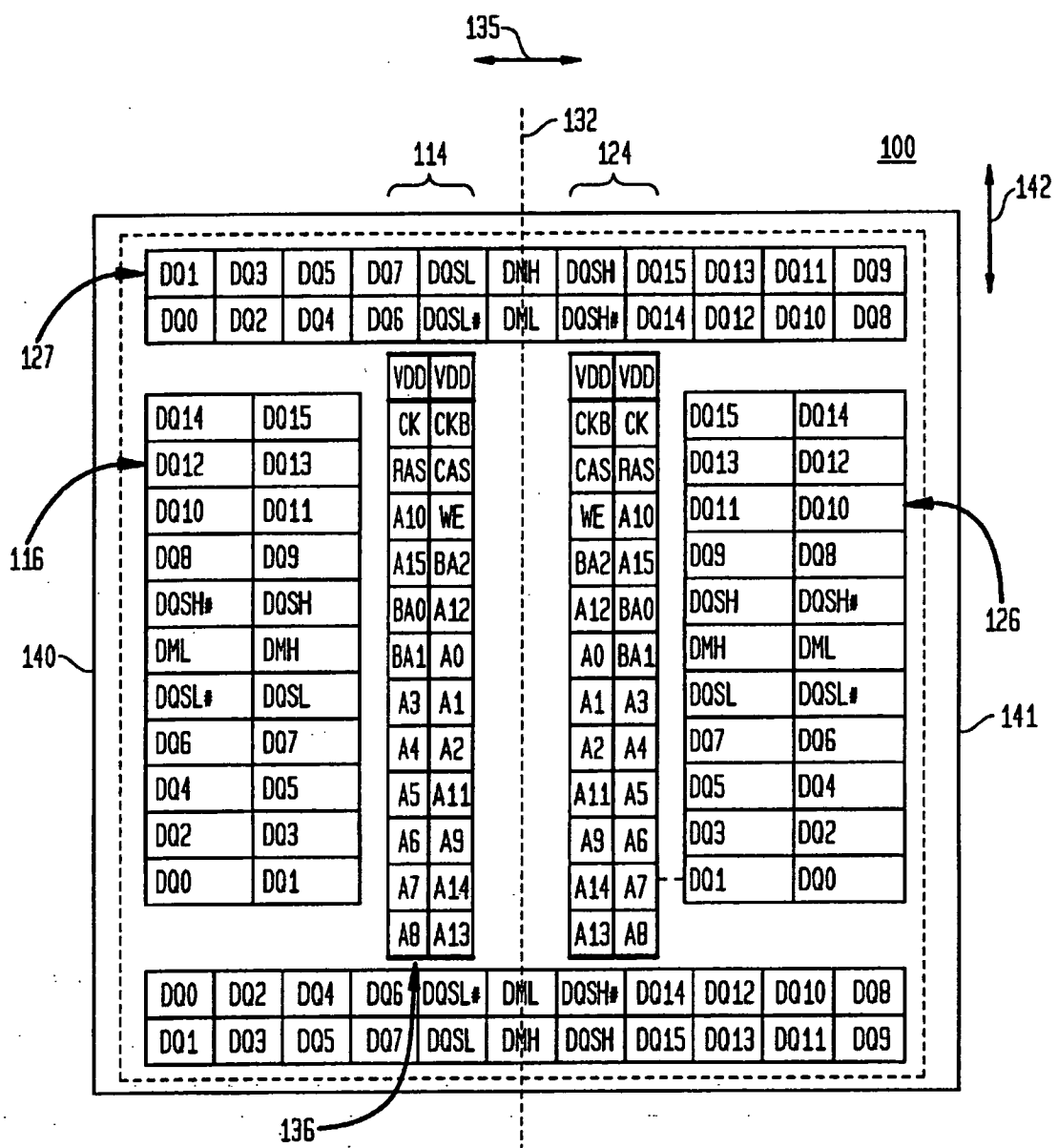


圖 5A

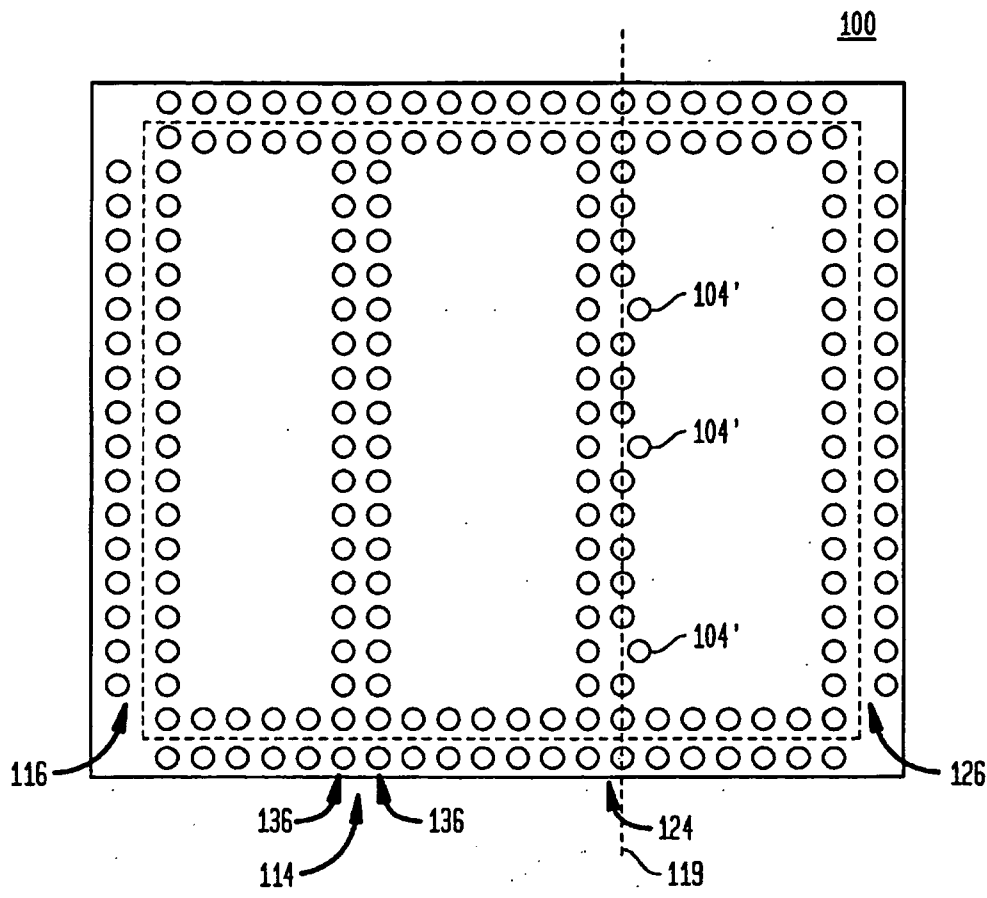


圖 5B

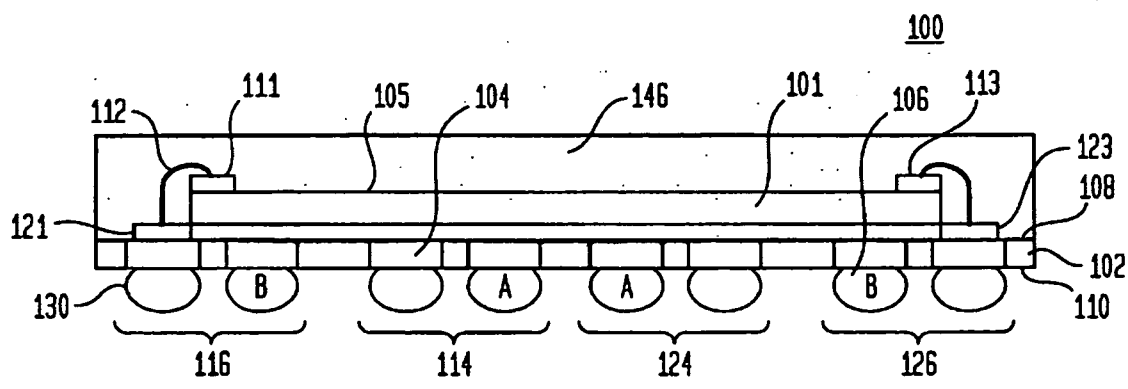


圖 5C

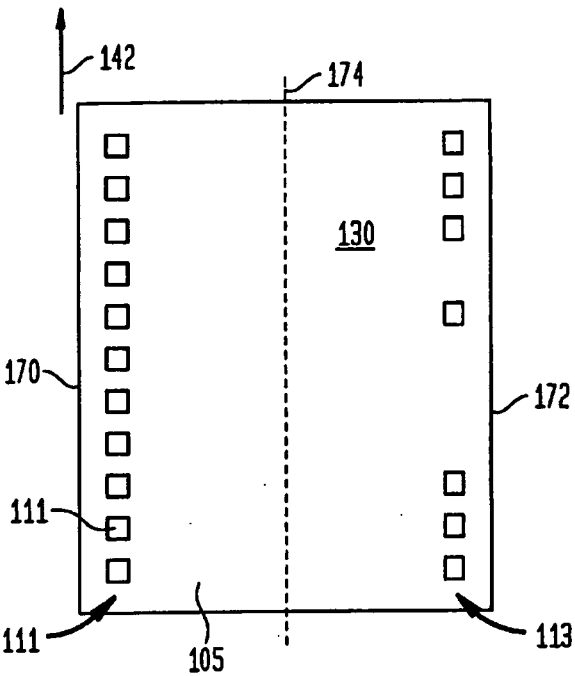


圖 6A

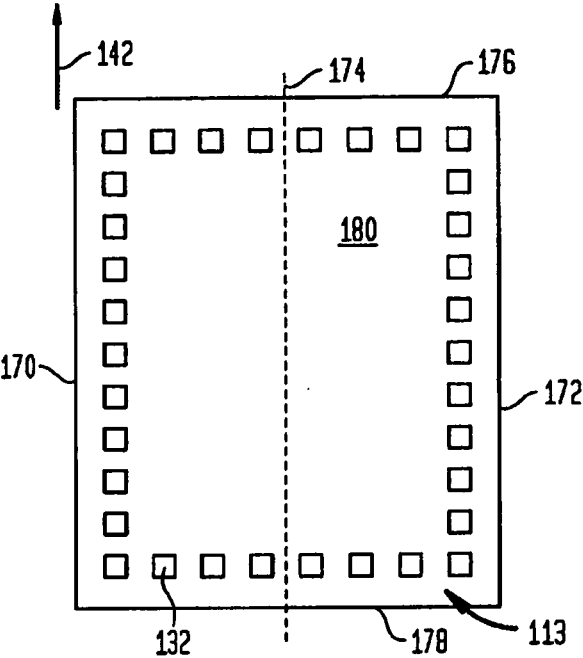


圖 6B

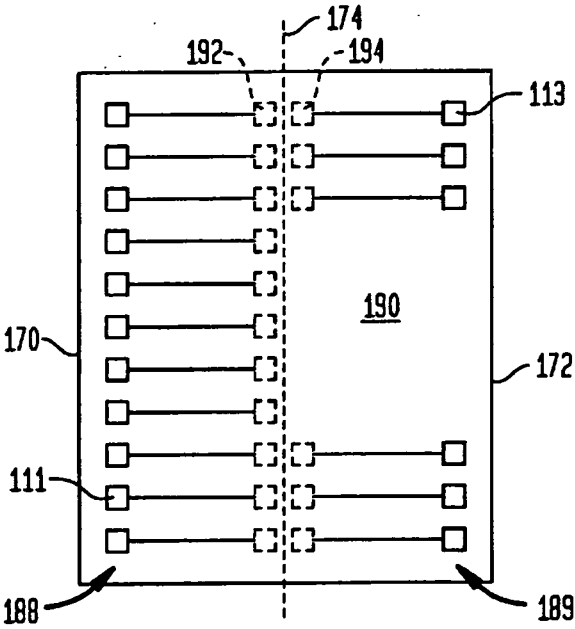


圖 6C

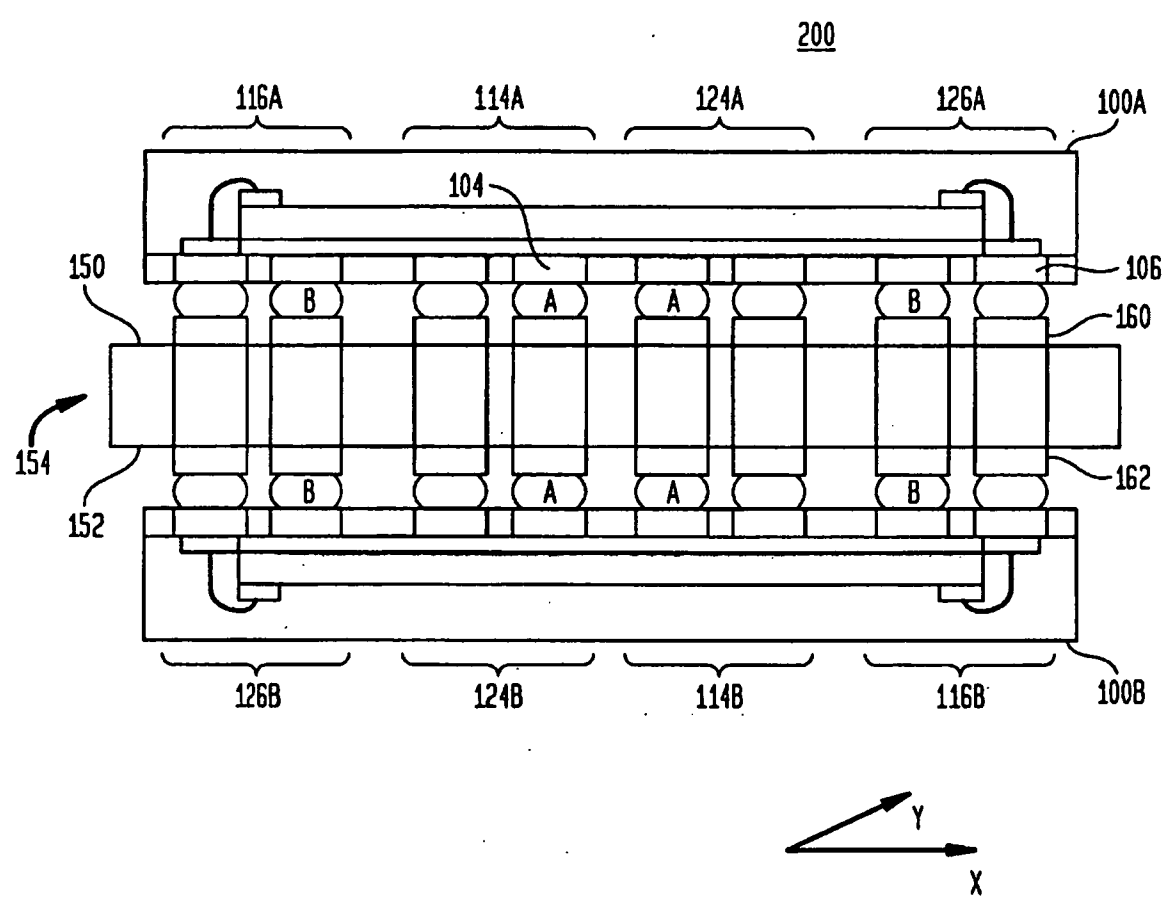


圖 7A

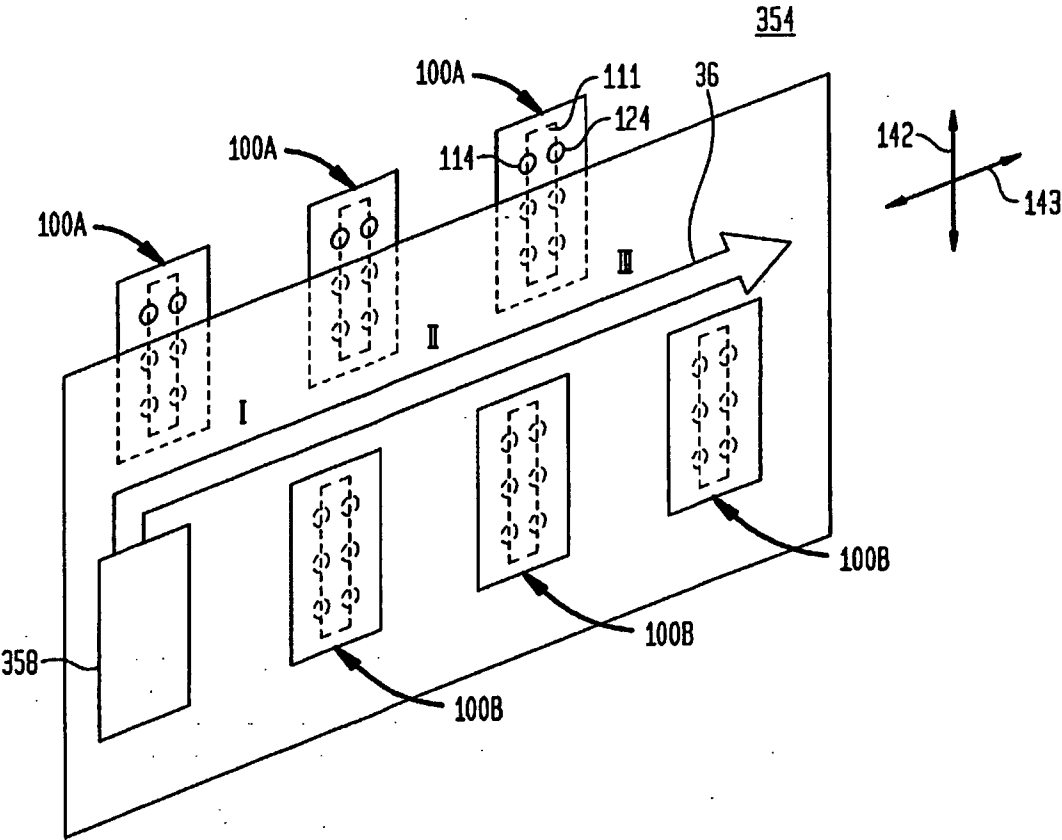


圖 7B

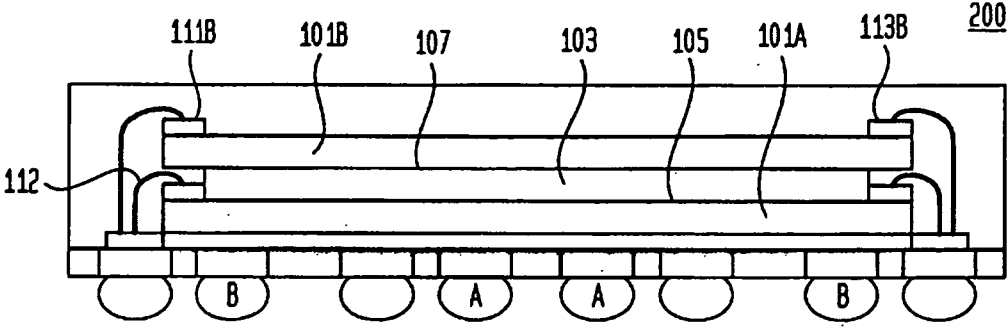


圖 8

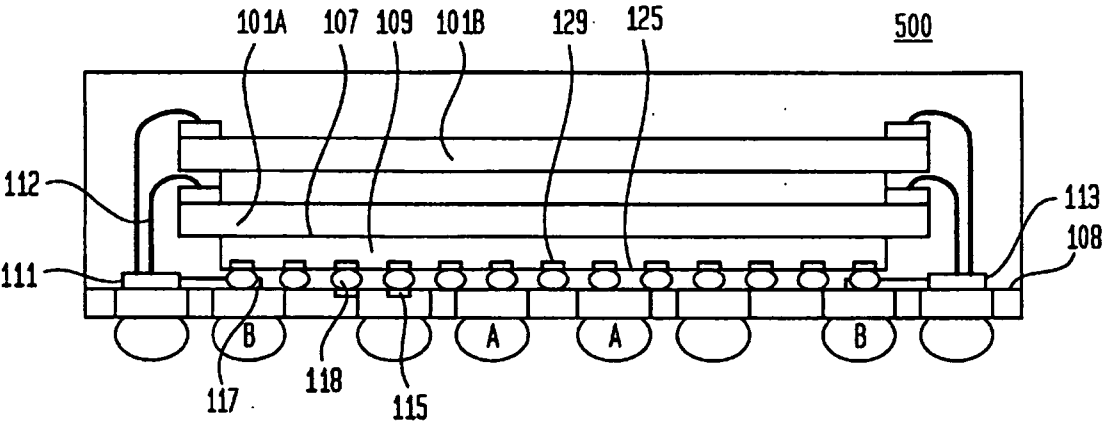


圖 9

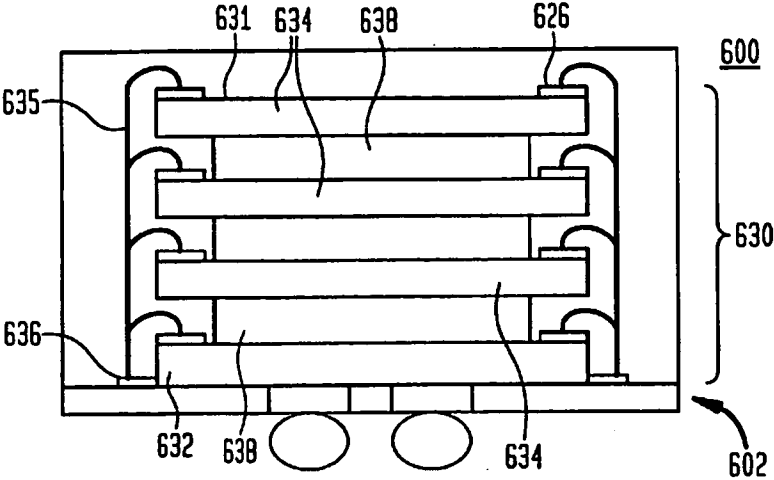


圖 10

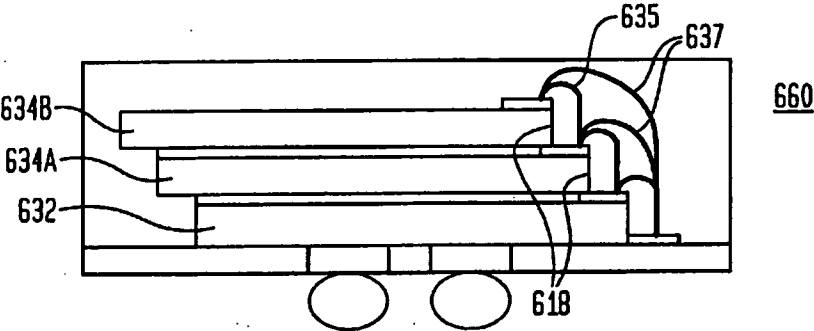


圖 11

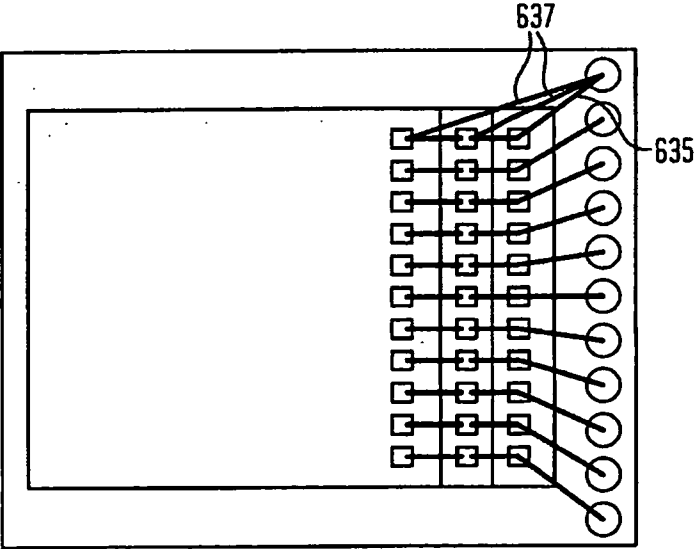


圖 12

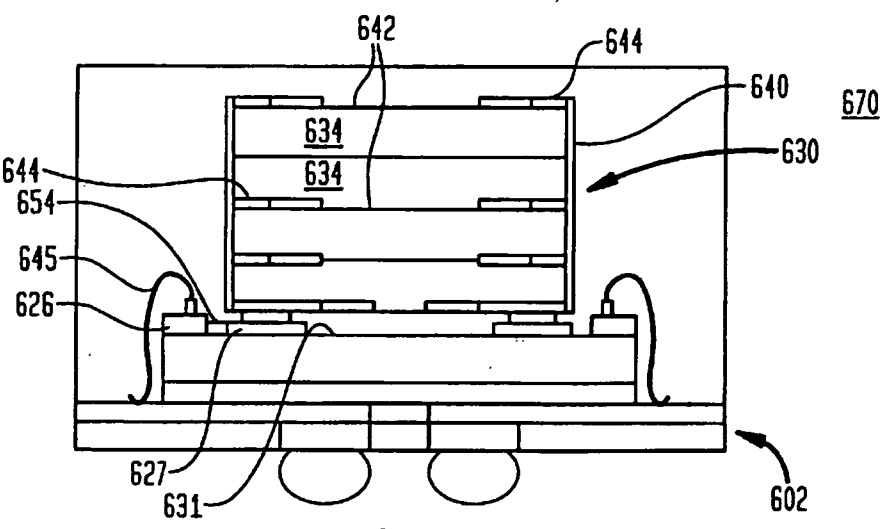


圖 13

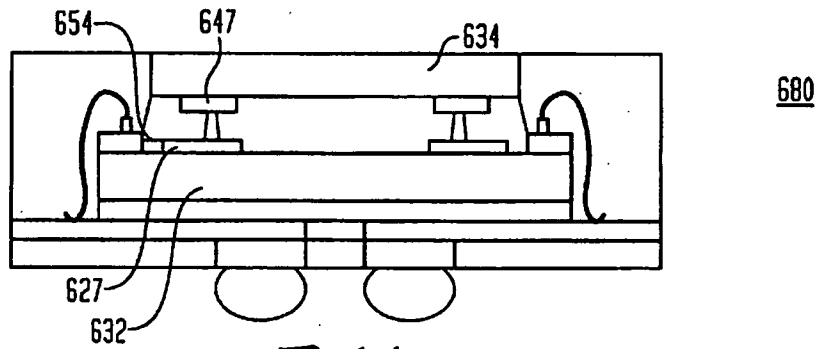


圖 14

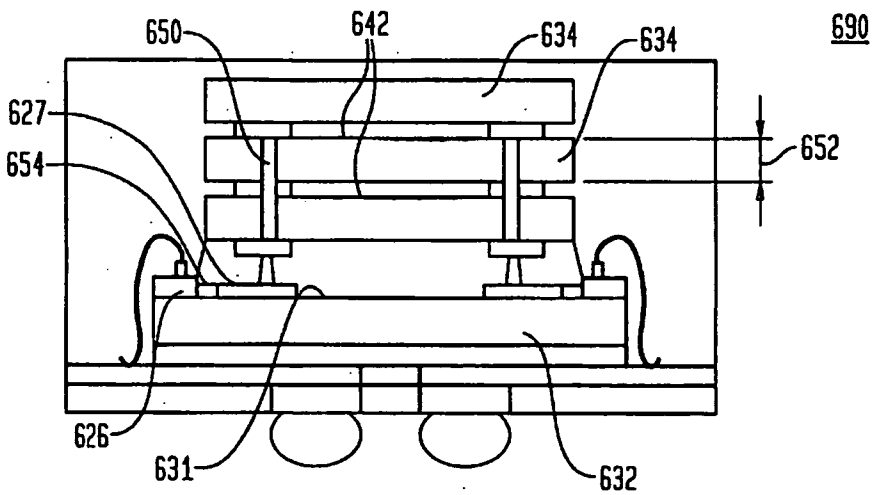
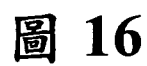
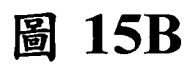


圖 15A



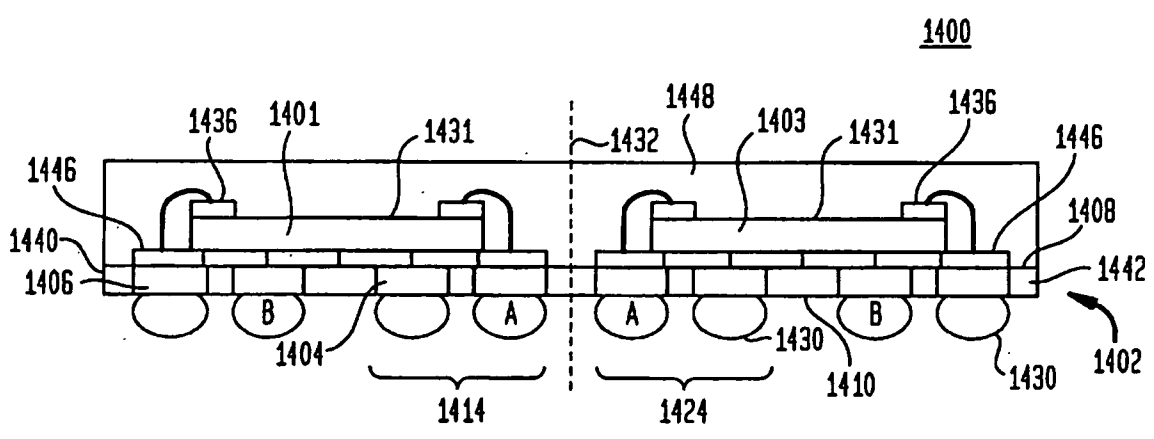


圖 17

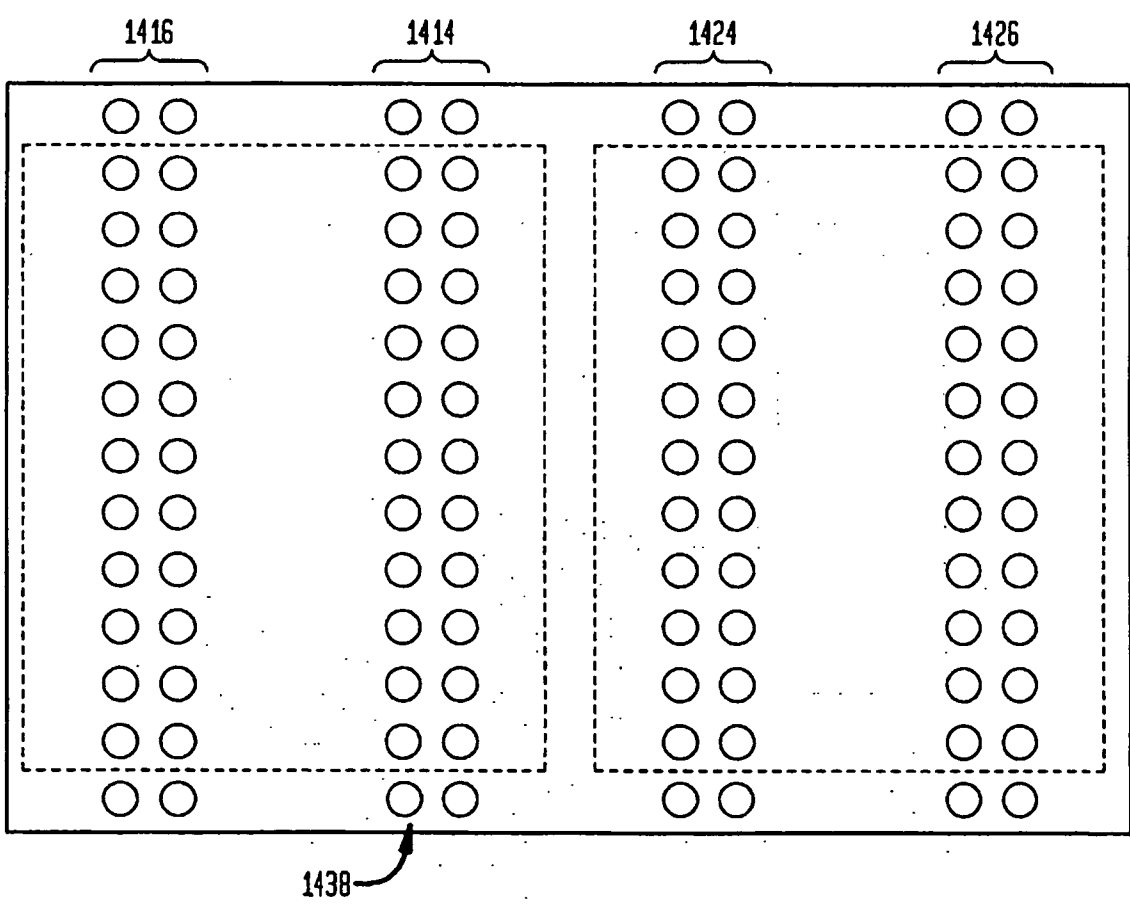


圖 18

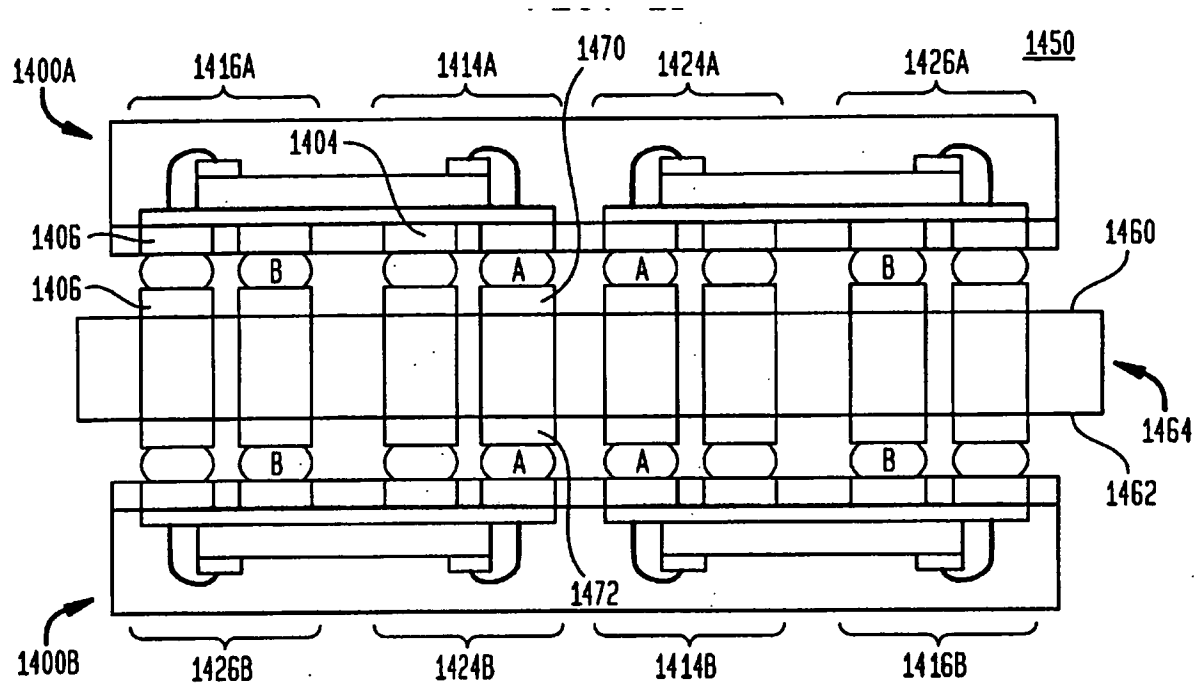


圖 19

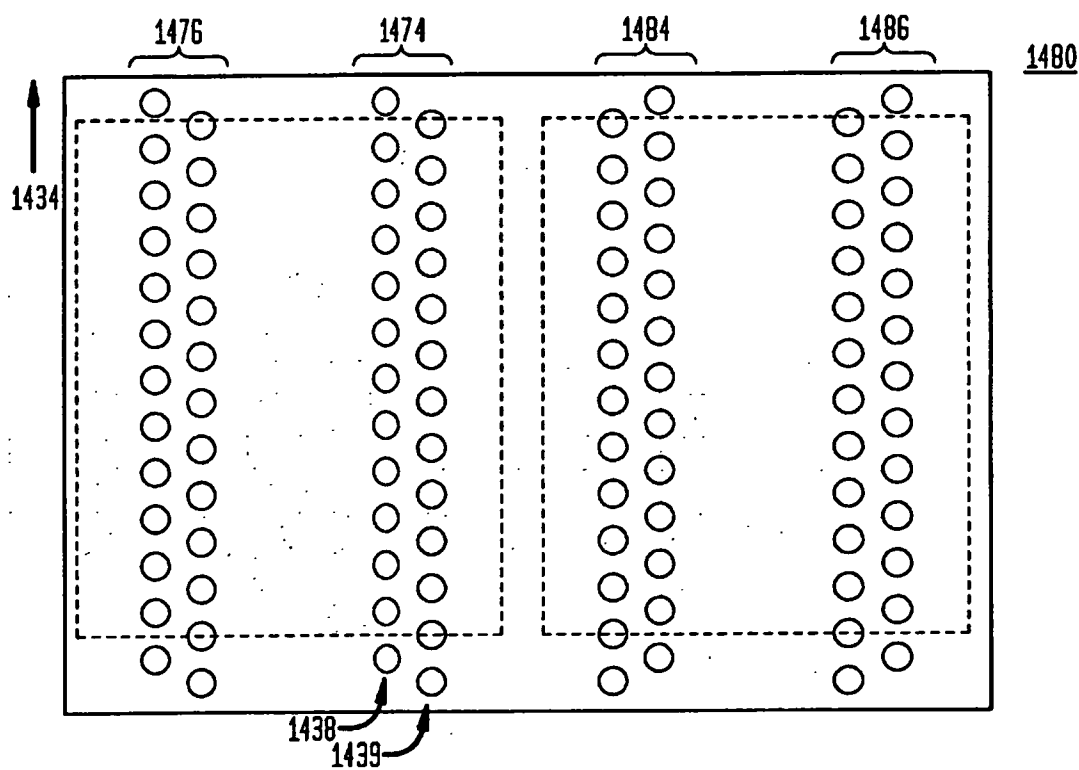


圖 20

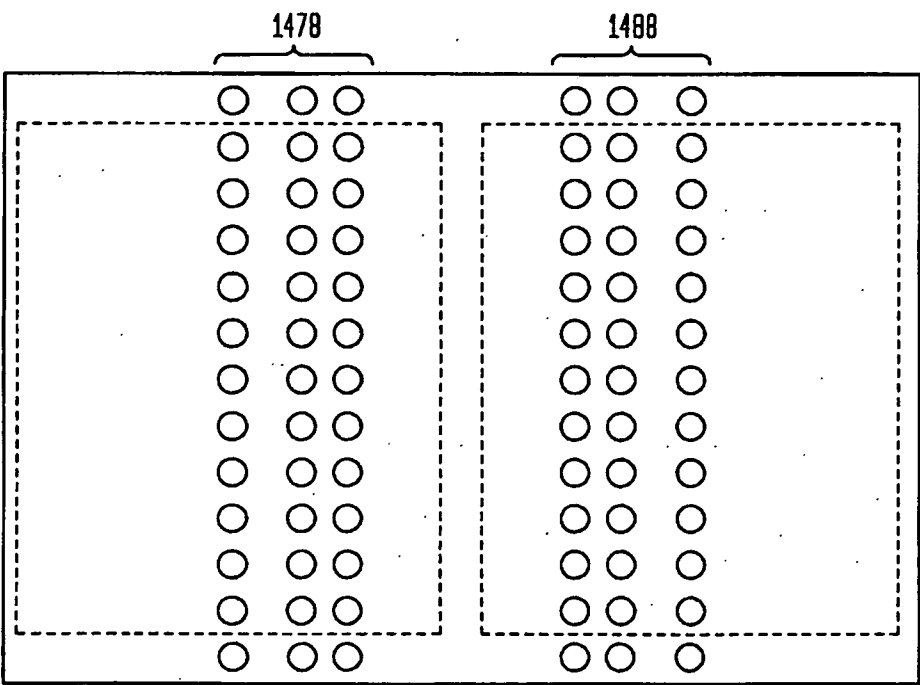


圖 21

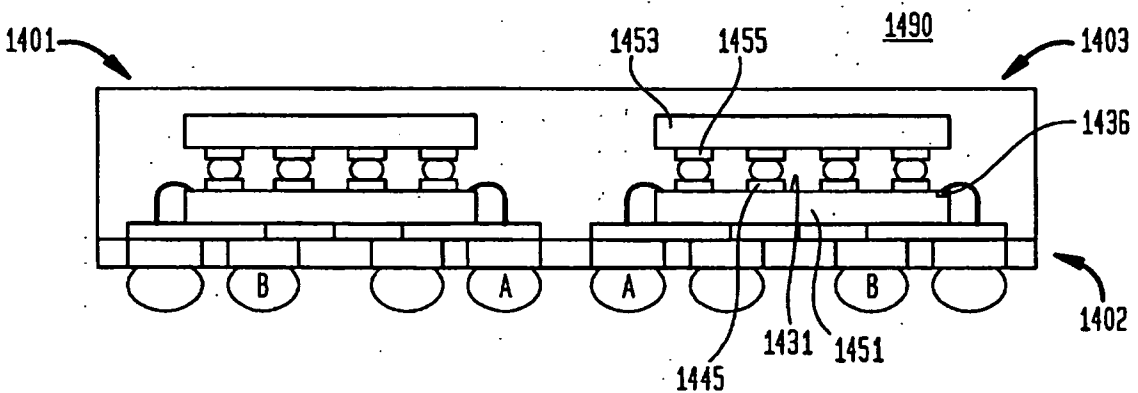


圖 22

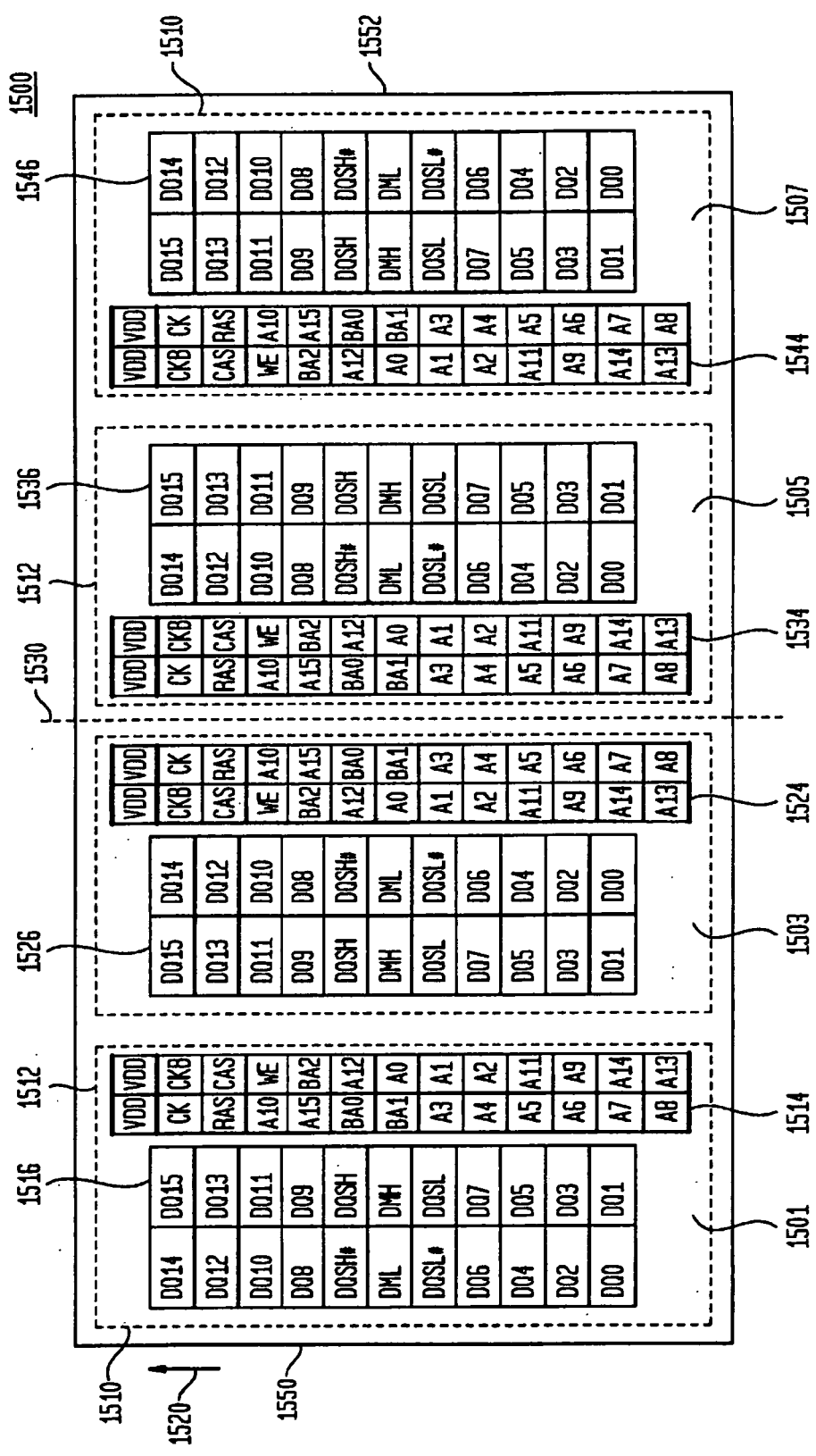


圖 23

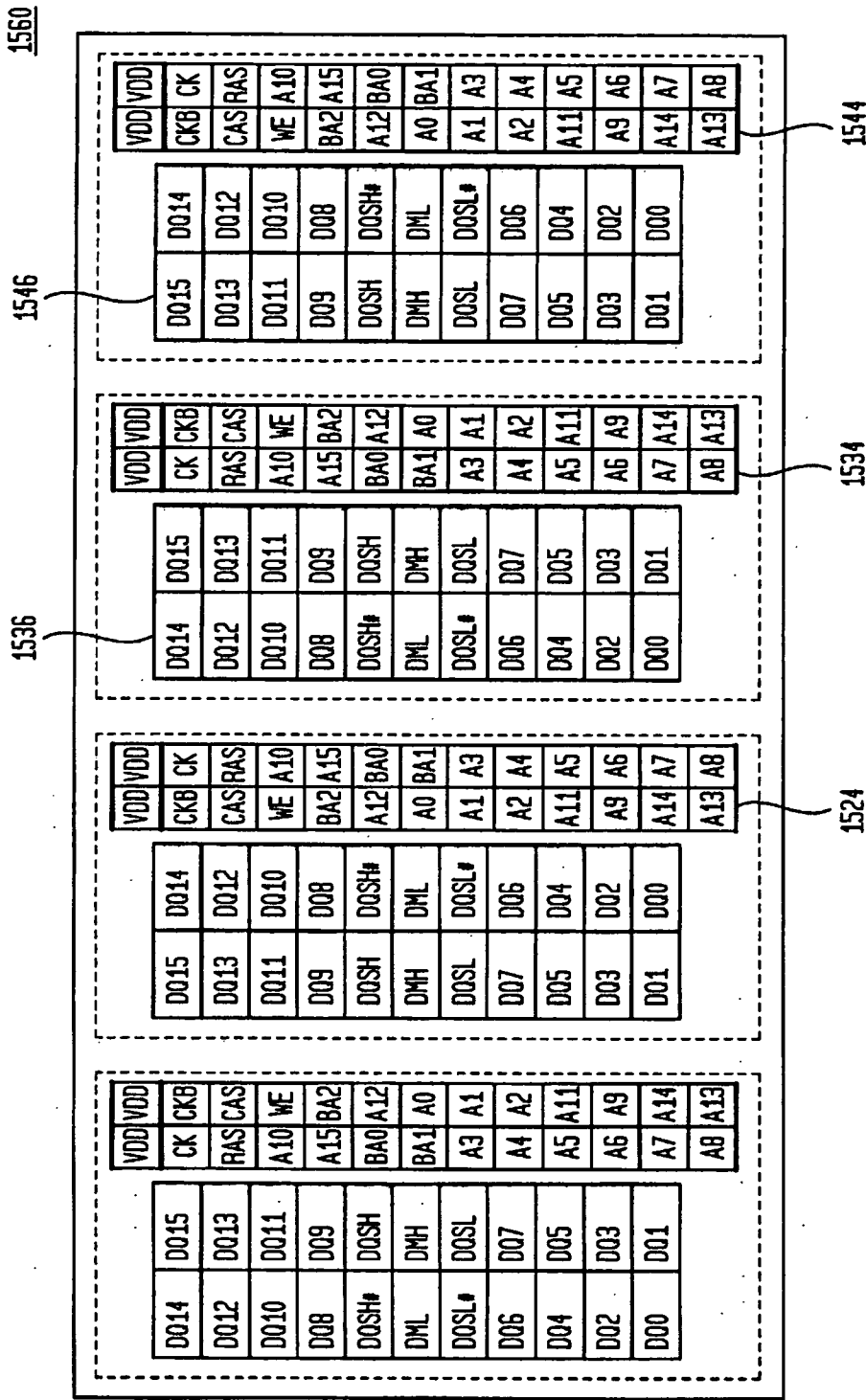


圖 24

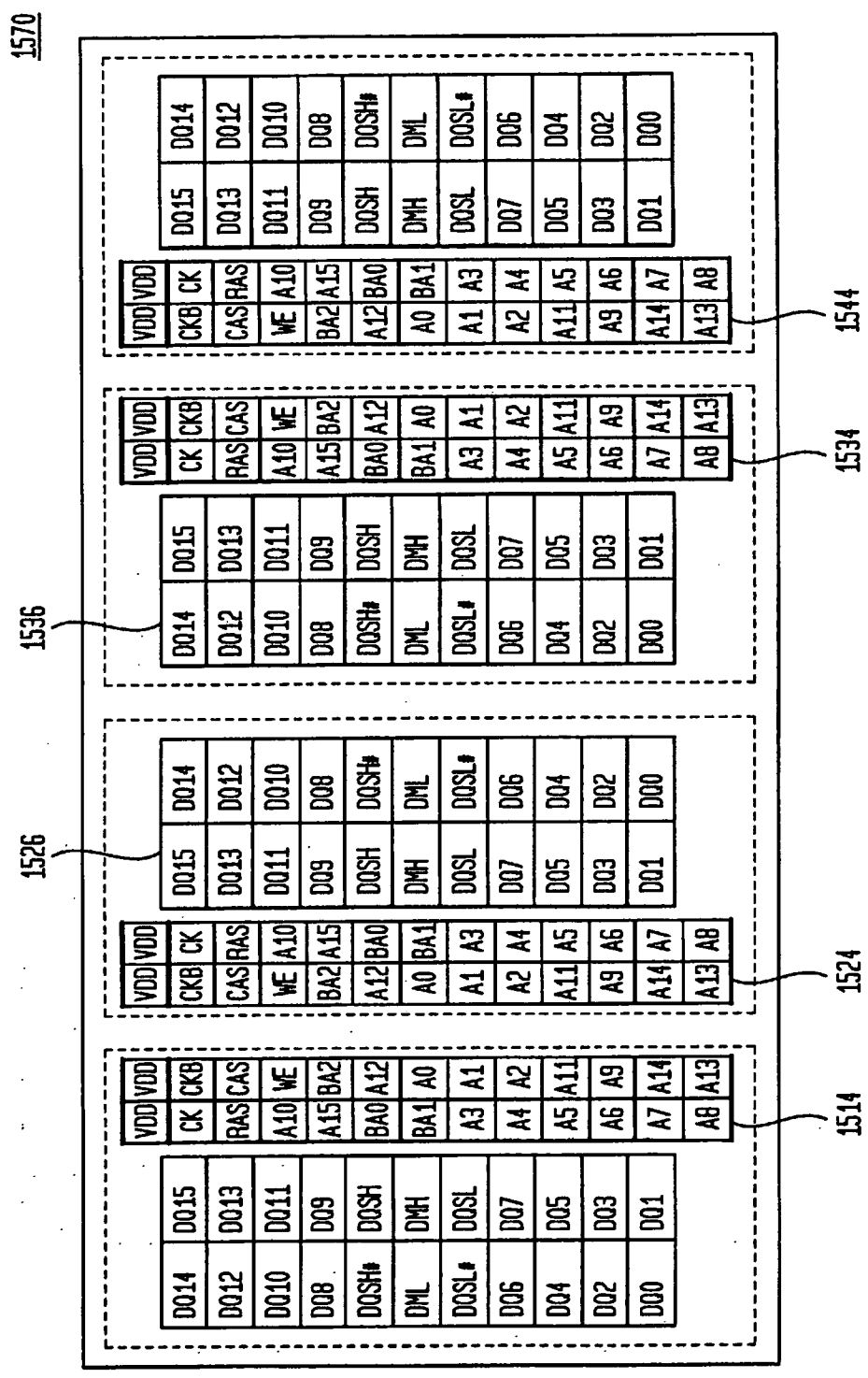


圖 25

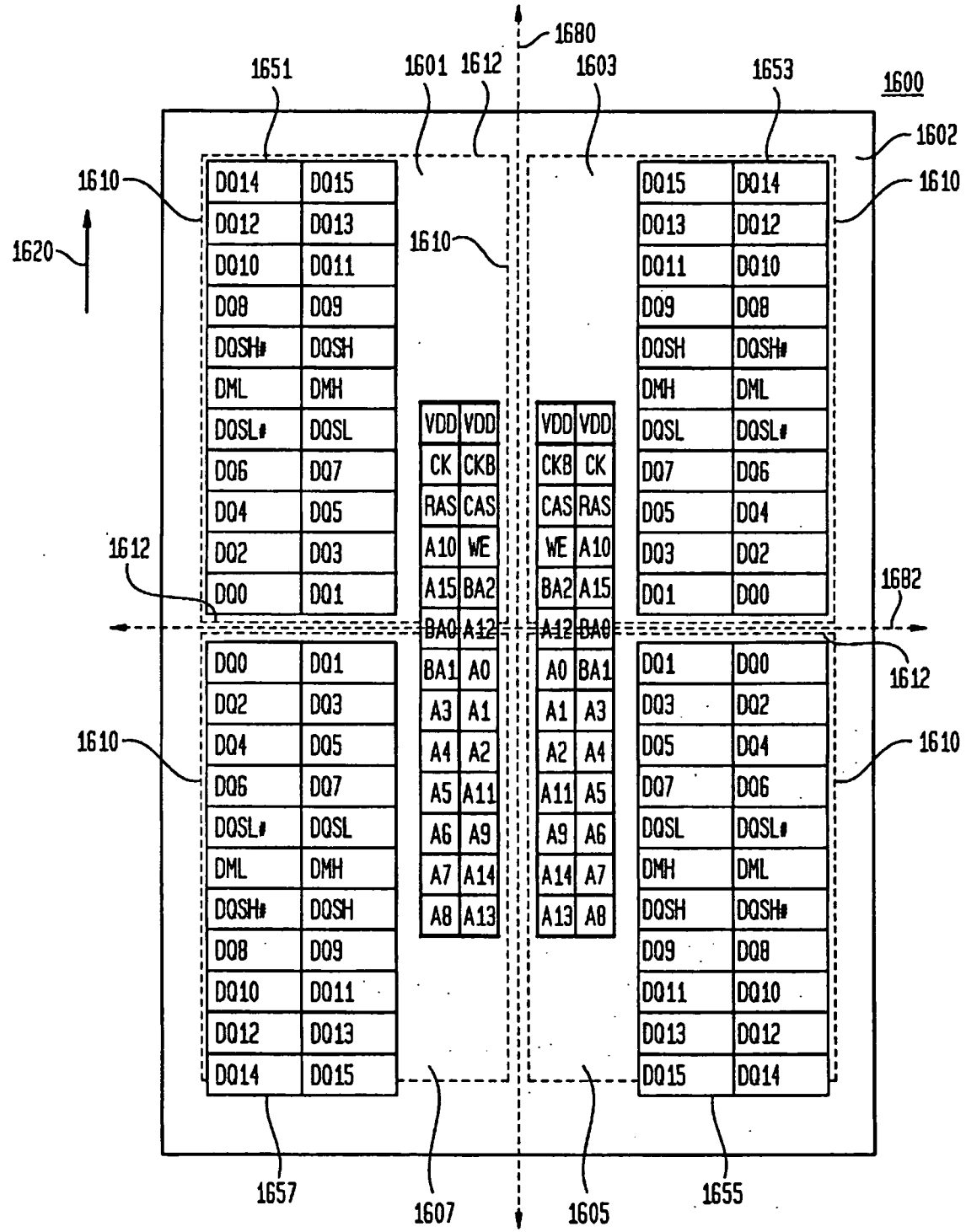


圖 26

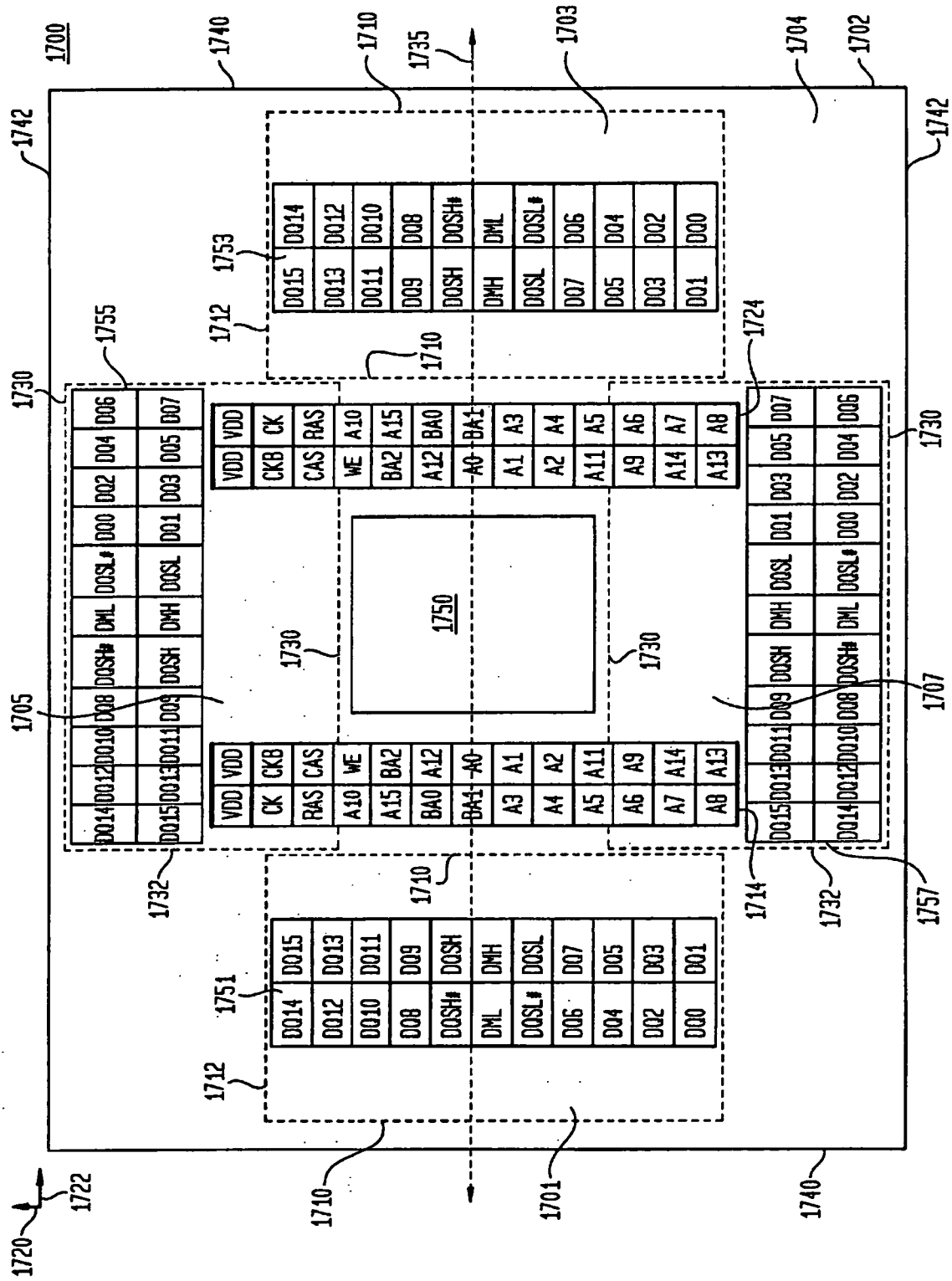


圖 27

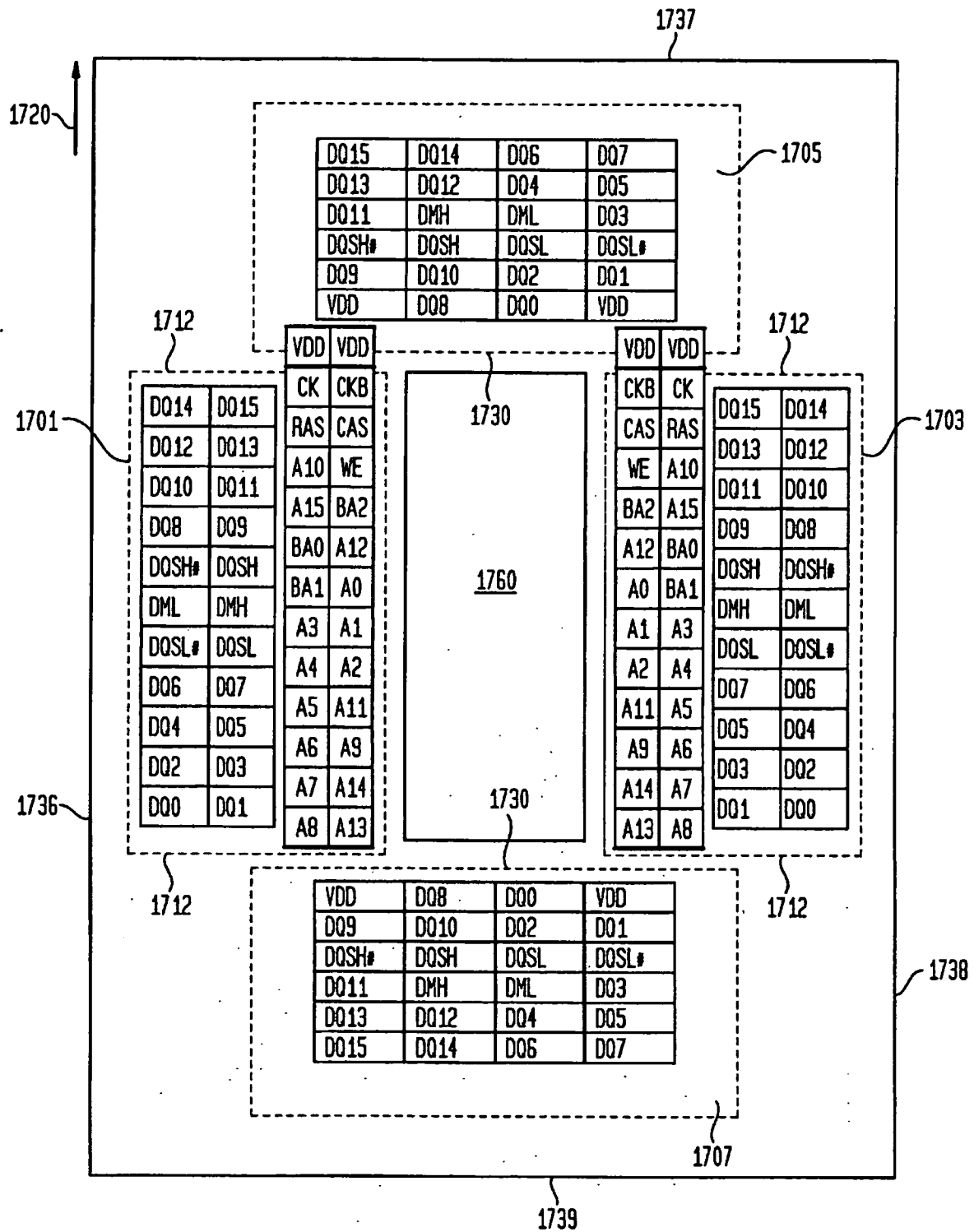
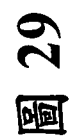


圖 28



1900

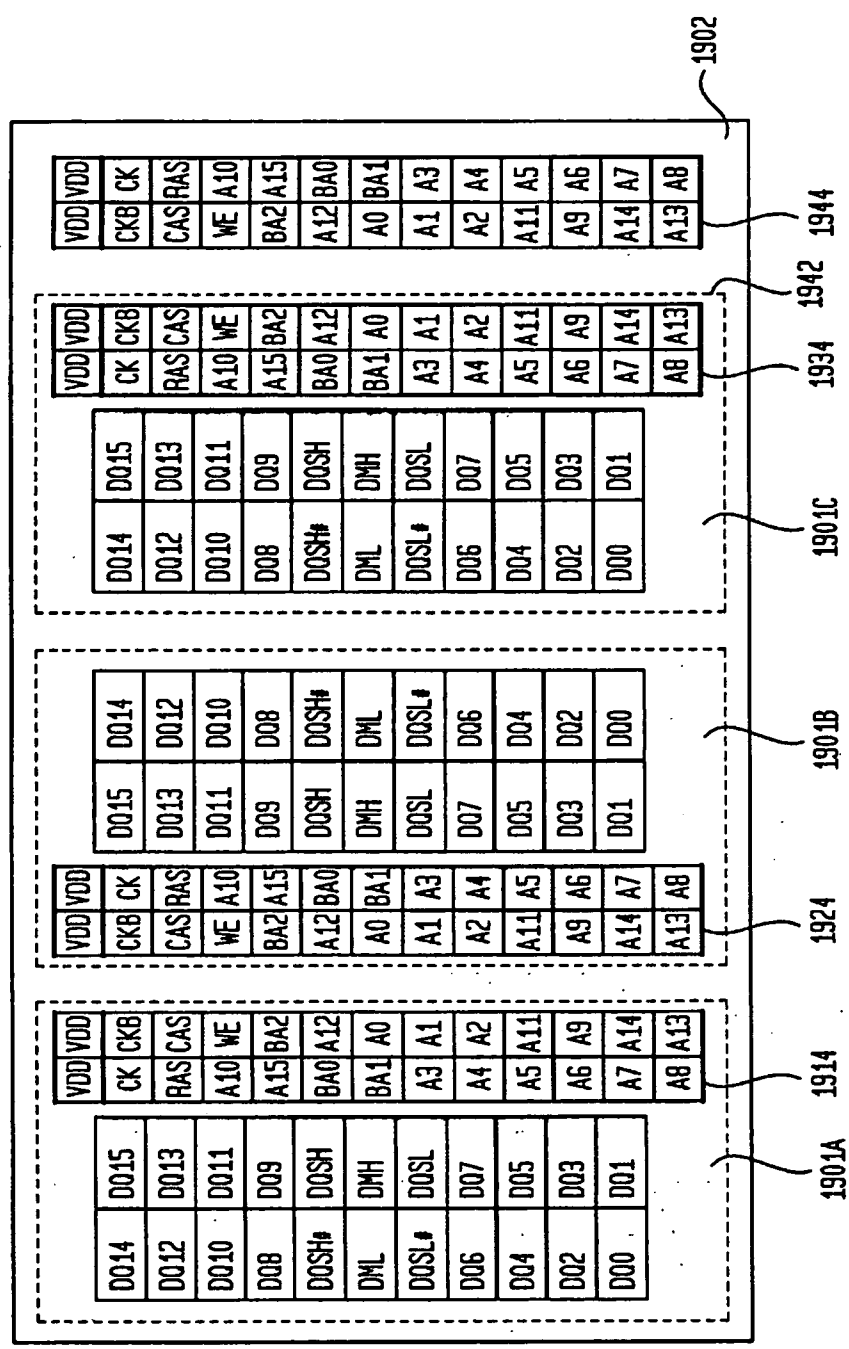


圖 30

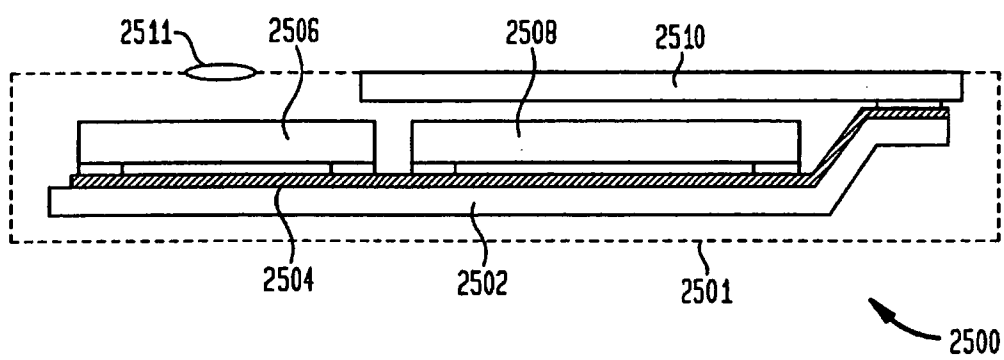


圖 31