



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 197 37 814 B4** 2010.06.10

(12)

Patentschrift

(21) Aktenzeichen: **197 37 814.5**
(22) Anmeldetag: **29.08.1997**
(43) Offenlegungstag: **12.03.1998**
(45) Veröffentlichungstag
der Patenterteilung: **10.06.2010**

(51) Int Cl.⁸: **G06T 1/60** (2006.01)
H04N 5/907 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
08/709,567 06.09.1996 US

(73) Patentinhaber:
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

(74) Vertreter:
Grünecker, Kinkeldey, Stockmair & Schwanhäusser, 80802 München

(72) Erfinder:
Kim, Jae-Min, Seoul, KR

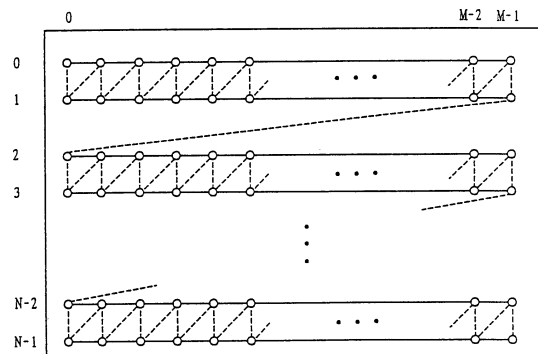
(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

RÖNNER, Karsten, KNEIP, Johannes: "Architecture and Applications of the HiPAR Video Signal Processor". IEEE Circuits and Systems for Video Technology, Vol.6, Nr.1, Feb. 1996, S.56-66

LAI, Yeong-Kang, CHEN, Liang-Gee [u.a.]: "A Novel Video Signal Processor with Programmable Data Arrangement and Efficient Memory Configuration". IEEE Consumer Electronics, Vol.42, Nr.3, Aug. 1996, S.526-534

(54) Bezeichnung: **Bilddatenspeicherverfahren und Verarbeitungsapparat dafür**

(57) Hauptanspruch: Verfahren zum Speichern von Bilddaten von M Bildpunkten $\times$ N Zeilen in einem Feldspeicher (50) zur Benutzung in einem Bilddatenverarbeitungsapparat zum Verarbeiten der Bilddaten in der Einheit eines Blocks von P Bildpunkten $\times$ P Zeilen (wobei $P < M, N$ ist), und das Verfahren enthält den Schritt des Speicherns der Bilddaten in dem Feldspeicher (50) in einer zickzack-förmigen Zugriffsreihenfolge mit Q Reihen in solch einer Weise, daß Q Bildpunktdaten derselben Spalte von Q aufeinanderfolgenden Zeilen (wobei $1 \leq Q \leq P$ ist) in entsprechenden Q aufeinander folgenden Adressen des Feldspeichers (50) gespeichert werden.



Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf ein Verfahren zur Speicherung von Bilddaten und einen Apparat zum Verarbeiten der Bilddaten. Besonders bezieht sich die vorliegende Erfindung auf ein Bilddatenspeicherverfahren und einen Verarbeitungsapparat dafür, das bzw. der die Bandbreite eines Datenbusses durch Anwendung einer verbesserten Bilddatenspeicherungsreihenfolge bei der Verarbeitung der Bilddaten verbessern kann.

[0002] Bewegte Bilder und unbewegte Bilder benötigen eine große, zu verarbeitende Datenmenge, und dynamische Speicher mit wahlfreiem Zugriff (DRAM) oder synchrone DRAM (SDRAM) werden bei der Verarbeitung solcher Daten benutzt. Besonders in den Multimedia-Anwendungsgebieten wird eine große Speicherbandbreite benötigt, und daher werden allgemein SDRAM und/oder DRAM mit erweiterter Datenausgabe (EDO-DRAM) für diesen Zweck verwendet. Ein Feld von Bilddaten wird üblicherweise in einem Feldspeicher in einer Rasterzugriffsreihenfolge gespeichert, wie in [Fig. 1](#) gezeigt. Der Speicherzustand der Bilddaten des einen Felds in einem Feldspeicher mit einem Datenbus von 32 Bit wird in [Fig. 2](#) gezeigt. Jedoch hat ein derartiges Bilddatenspeicherverfahren Probleme, indem die Vorteile eines Bündelmodus (im Folgenden als Bündelmode bezeichnet) bei Datenlese-/schreiboperationen in 16×16 oder 8×8 blockbasierter Codierung eines H261-, H263-, MPEG1- oder MPEG2-Systems nicht effizient erreicht werden.

[0003] In dem Fall z. B., in dem die Grundbildverarbeitungseinheit ein Makroblock von 16×16 Bildpunktdaten ist, und der Datenbus des SDRAM aus 32 Bit besteht, werden die Bilddaten, wie in [Fig. 2](#) gezeigt, in einer Rasterzugriffsreihenfolge in solcher Weise gespeichert, daß vier Reihen von aufeinander folgenden 8-Bit Bildpunktdaten $I(0,0)$, $I(0,1)$, $I(0,2)$ und $I(0,3)$, die in einer horizontalen Richtung angeordnet sind, in korrespondierenden, aufeinander folgenden Adressen des Feldspeichers gespeichert werden. Dementsprechend werden die mit einem Makroblock von 16×16 Bildpunkten korrespondierenden Bilddaten in dem Speicherbereich gespeichert, der in vier Reihen angeordnet ist, wie in [Fig. 2](#) gezeigt. Um die wie oben beschrieben gespeicherten Bilddaten zu lesen, ist der maximale Bündelmode „4“, was eine geringere Speicherbandbreite bedeutet als ein Bündelmode von 8 oder 16, und dies verschlechtert die Effizienz der Datenleseoperation. Auch verursacht dies, daß die Leistung des Systems in der Verarbeitungsgeschwindigkeit der Bilddaten begrenzt ist.

[0004] Der Artikel „Architecture and Applications of the HiPAR Video Signal Prozessor“, von Karsten Rönner und Johannes Kneip, IEEE Circuits and Systems for Video Technology, Ausgabe 6, Nr. 1, Seiten 56–66, Februar 1996, bezieht sich auf eine Architektur eines parallelen DSPs als ein flexibler und programmierbarer Prozessor für eine Bild- und Videoverarbeitung. Die Ausführung des Prozessors ist beruhend auf einer Analyse von charakteristischen Merkmalen von Bildverarbeitungsalgorithmen im Sinne von verfügbaren parallelen Ressourcen, Anforderung an Programmsteuerung und hinsichtlich eines geforderten Datenzugangsmechanismus durchgeführt worden. Vier verschiedene Matrixtypendatenzugriffe zu einem gespeicherten Bild in einem Matrixspeicher werden unter Annahme von vier parallelen Datenpfaden diskutiert. Das erste Beispiel zeigt einen Zugriff zu vier überlappenden Segmenten und das zweite Beispiel zu vier nichtüberlappenden Segmenten. Ein Zugriffsvektor- und Skalartyp wird ferner vorgestellt. Ein Zugriff auf den Speicher wird durch virtuelle 2-D-Adressen bewerkstelligt, wobei die Adressen aus einer Position der obersten linken Stelle der Matrix und aus dem horizontalen und vertikalen Abstand zwischen den benachbarten Daten zusammengesetzt ist.

[0005] Der Artikel „A Novel Video Signal Processor with Programmable Data Arrangement and Efficient Memory Configuration“, von Laing-Gee, Chef u. a., IEEE Consumer Electronics, Ausgabe 42, Nr. 3, August 1996, Seiten 526–534, bezieht sich auf Low-Cost-Videoverarbeitung für Multimediaanwendungen. Unterschiedliche Standards zur Bild- und Videokodierung werden diskutiert, wobei diese Standards auf einem Hybridkodierungsschema beruhen, das Predictive-Coding- und Transform-Coding-Techniken miteinander kombiniert. Ein Ansatz, um Videokodierungsalgorithmen zu implementieren, ist die Verwendung von zugeordneten Architekturen, die eine hohe Verarbeitungsfähigkeit besitzen, jedoch einen beachtlichen Zeit- und Herstellungsaufwand in Anspruch nehmen. Demzufolge hat dieser Ansatz eine geringe Flexibilität. Der zweite Ansatz ist die Verwendung von programmierbaren Architekturen. Deren Vorteil ist es, flexible Funktionen und Mehrfachverarbeitungen bereitzustellen. Ein Problem ist jedoch, alle benötigten Daten für eine Anzahl von 16 Prozesseinheiten simultan bereitzustellen. Hierfür wird vorgeschlagen, den Speicher in 16 Speichermodule aufzuteilen und die Eingangspixel der 16 Module miteinander zu verzahnen. Diese Speicherverzahnung stellt eine Lösung für einen Paralleldatenzugriff bereit, verlangt jedoch, dass jede Prozesseinheit in der Lage sein muss, auf die 16 Speichermodule zuzugreifen.

[0006] Der Erfindung liegt die Aufgabe zugrunde, ein verbessertes Bilddatenspeicherverfahren und einen verbesserten Verarbeitungsapparat vorzusehen.

[0007] Diese Aufgabe ist durch den Gegenstand der unabhängigen Patentansprüche gelöst.

[0008] Bevorzugte Ausführungsformen sind in den abhängigen Patentansprüchen definiert.

[0009] Es ist ein Aspekt der vorliegenden Erfindung, die Probleme nach dem Stand der Technik zu lösen und ein verbessertes Bilddatenspeicherverfahren und einen verbesserten Verarbeitungsapparat dafür vorzusehen, dass bzw. der die Bandbreite des Datenbusses durch Anwendung einer verbesserten Bilddatenspeicherreihenfolge bei der Verarbeitung der Bilddaten verbessern kann, und dadurch eine Erleichterung für einen folgenden Bilddatenprozess vorzusehen.

[0010] Um die obige Aufgabe zu lösen, wird ein Verfahren zur Speicherung von Bilddaten von M Bildpunkten $\times N$ Zeilen in einem Feldspeicher vorgesehen, zur Benutzung in einem Bilddatenverarbeitungsapparat zum Verarbeiten der Bilddaten in der Einheit eines Blocks von P Bildpunkten $\times P$ Zeilen (wobei $P < M, N$ ist), und das Verfahren enthält die Schritte des Speichern der Bilddaten in dem Feldspeicher in einer Zickzack-förmigen Zugriffsreihenfolge mit Q Reihen in solch einer Weise, daß Q Bildpunktdaten derselben Spalte von Q aufeinanderfolgenden Zeilen (wobei $1 \leq Q \leq P$ ist) in Q korrespondierenden, aufeinanderfolgenden Adressen des Feldspeichers gespeichert werden.

[0011] In einem anderen Aspekt der vorliegenden Erfindung wird ein Bilddatenverarbeitungsapparat vorgesehen, der enthält: Signalverarbeitungseinrichtung zur Durchführung einer Bilddatenkomprimierung und -dekomprimierung, zur Vor- und Nachbearbeitung der Bilddaten bzw. zur Anzeige der Bilddaten; einen Feldspeicher zur Speicherung der Bilddaten in einer vielreihigen, Zickzack-förmigen Zugriffsreihenfolge; und eine Speichersteuerungseinrichtung, die mit der Signalverarbeitungseinrichtung über einen ersten Datenbus verbunden ist, und die mit dem Feldspeicher über einen zweiten Datenbus verbunden ist, und wobei die Speichersteuerungseinrichtung die Bilddaten aus dem Feldspeicher ausliest und die ausgelesenen Bilddaten in einen Pufferspeicher über den zweiten Datenbus in einer Reihenfolge speichert, die geeignet ist für einen Signalverarbeitungsalgorithmus, der in der Signalverarbeitungseinrichtung angenommen wird, und dann die in dem Pufferspeicher gespeicherten Bilddaten an die Signalverarbeitungseinrichtung über den ersten Datenbus überträgt.

[0012] Die obige Aufgabe und andere Merkmale und Vorteile der vorliegenden Erfindung werden offensichtlich werden durch die Beschreibung ihrer bevorzugten Ausführungsform mit Bezug auf die begleitenden Zeichnungen, in denen:

[0013] [Fig. 1](#) ein Diagramm ist, das die Struktur von Bilddaten in einem Feld zeigt;

[0014] [Fig. 2](#) ein Diagramm ist, das den Bilddatenspeicherungszustand eines Feldspeichers nach einer konventionellen Rasterzugriffsreihenfolge erläutert;

[0015] [Fig. 3](#) ein Diagramm ist, das die zweireihige, Zickzackförmige Reihenfolge entsprechend der vorliegenden Erfindung erläutert;

[0016] [Fig. 4](#) ein Diagramm ist, das den Bilddatenspeicherungszustand in einem Feldspeicher nach der zweireihigen, Zickzack-förmigen Reihenfolge entsprechend der vorliegenden Erfindung erläutert;

[0017] [Fig. 5](#) ein Blockdiagramm eines Bilddatenverarbeitungsapparats nach der vorliegenden Erfindung ist;

[0018] [Fig. 6](#) ein Diagramm ist, das die Reihenfolge der in einem Pufferspeicher gespeicherten Bilddaten bei der Verarbeitung der Bilddaten eines 16×16 Bildpunkteblocks nach der vorliegenden Erfindung zeigt; und

[0019] [Fig. 7](#) ein Diagramm ist, das die Reihenfolge der in einem Pufferspeicher gespeicherten Bilddaten bei der Anzeige der Bilddaten nach der vorliegenden Erfindung erläutert.

[0020] Mit Bezug auf [Fig. 3](#) werden in der Ausführungsform der vorliegenden Erfindung zwei Bildpunktdaten derselben Spalte zweier aufeinander folgender Reihen in aufeinander folgende Adressen eines Feldspeichers gespeichert, der aus einem SDRAM oder EDODRAM mit 32-Bit-Datenbus besteht. Dementsprechend werden die Bildpunktdaten $I(0,0)$ und $I(1,0)$ in den aufeinander folgenden Adressen des Speichers gespeichert.

[0021] Insbesondere werden die Bilddaten in dem Speicher in einer zweireihigen, Zickzack-förmigen Zugriffsreihenfolge gespeichert, wie in [Fig. 4](#) gezeigt. Derart werden die Bilddaten eines 16×16 Makroblocks nacheinander in einem Feld mit 4 Spalten $\times$ 8 Reihen gespeichert. Dieser Speicherzustand ermöglicht den Bündel-

mode von 8. Dementsprechend ermöglicht das vorliegende Speicherverfahren den Bündelmode von 8 im Vergleich zu dem konventionellen Speicherverfahren in der Rasterzugriffsreihenfolge, die den Bündelmode von 4 ermöglicht, und dadurch wird die Speicherbandbreite erhöht.

[0022] Auf dieselbe Weise ermöglicht das Speichern von Bilddaten in einer vierreihigen, Zickzack-förmigen Zugriffsreihenfolge in einem Speicher mit einem 32-Bit-Datenbus den Bündelmode von 16, während das Speichern in einer achtreihigen oder sechzehnstreihigen, Zickzack-förmigen Zugriffsreihenfolge den Bündelmode von 32 oder 64 ermöglicht.

[0023] Folglich werden nach der vorliegenden Erfindung die Bilddaten nicht in einer konventionellen Zugriffsreihenfolge gespeichert, sondern in einer verbesserten Zugriffsreihenfolge, wie oben beschrieben, um die Leistung des Speichers maximal zu nutzen, und dadurch die Bandbreite des Speichers in einer Leseoperation der in dem Speicher gespeicherten Bilddaten zu verbessern.

[0024] Ferner werden nach der vorliegenden Erfindung die aus dem Feldspeicher ausgelesenen Daten in einen Pufferspeicher in einem Speichersteuerungsabschnitt gespeichert, um so für den Signalverarbeitungsalgorithmus eines Signalverarbeitungsabschnitts geeignet zu sein, um die Leistung des Bilddatenverarbeitungsapparats zu verbessern.

[0025] Mit Bezug auf [Fig. 5](#) enthält der Bilddatenverarbeitungsapparat nach der vorliegenden Erfindung einen Signalverarbeitungsabschnitt **10** für die Ausführung der Bilddatenkomprimierung und -dekomprimierung, der Vorverarbeitung und der Nachverarbeitung der Bilddaten und der Anzeige der Bilddaten; einen Feldspeicher **50** für das Speichern der Bilddaten in einer vielreihigen, Zickzack-förmigen Zugriffsreihenfolge; und einen Speichersteuerungsabschnitt **30**, der mit dem Signalverarbeitungsabschnitt über einen ersten Datenbus **20** verbunden ist, und der mit dem Feldspeicher **50** über einen zweiten Datenbus **40** verbunden ist, für das Auslesen der Bilddaten aus dem Feldspeicher **50**, für das Speichern der ausgelesenen Bilddaten in einem Pufferspeicher **32** über einen zweiten Datenbus **40**, und für das Übertragen der in dem Pufferspeicher **32** gespeicherten Bilddaten an den Signalverarbeitungsabschnitt **10** über den ersten Datenbus **20**.

[0026] Der erste Datenbus **20** enthält 64 Bit entsprechend der Leistung des Signalverarbeitungsabschnitts **10**, und der zweite Datenbus **40** enthält 32 Bit in Übereinstimmung mit den Datenleitungen des Feldspeichers **50**. In diesem Fall sind die Bandbreiten des ersten und des zweiten Datenbusses voneinander unterschiedlich, und deshalb sollte der Pufferspeicher **32** in dem Speichersteuerungsabschnitt **30** angewendet werden.

[0027] Z. B. werden in dem Fall, daß der Anzeigeprozeß der Bilddaten durch den Signalverarbeitungsabschnitt **10** durchgeführt wird, die aus dem Feldspeicher **50** ausgelesenen Daten in dem Pufferspeicher **32** in der Rasterzugriffsreihenfolge gespeichert, wie etwa $I(0,0)$, $I(0,1)$, ..., $I(0,7)$, $I(0,8)$, $I(0,9)$, ..., $I(0,15)$, $I(0,16)$, ..., $I(0,23)$, $I(0,24)$, ..., $I(0,31)$, wie in [Fig. 7](#) gezeigt. In dem Fall, daß die Bilddaten durch den Signalverarbeitungsabschnitt **10** in der Einheit eines Blocks zu verarbeiten sind, werden die aus dem Feldspeicher **50** ausgelesenen Daten in dem Pufferspeicher **32** in einer Blockstrukturreihenfolge gespeichert, wie etwa $I(0,0)$, $I(0,1)$, ..., $I(0,7)$, $I(0,8)$, $I(0,9)$, ..., $I(0,15)$, $I(1,0)$, $I(1,1)$, ..., $I(1,7)$, $I(1,8)$, $I(1,9)$, ..., $I(1,15)$, wie in [Fig. 6](#) gezeigt.

[0028] Folglich werden die Bilddaten von dem Pufferspeicher **32** an den Signalverarbeitungsabschnitt **10** vorgelesen, daß sie geeignet sind für den Signalverarbeitungsalgorithmus, der an den Signalverarbeitungsabschnitt **10** angepaßt ist, und derart wird die Bandbreite des Datenbusses vergrößert, was zu einer Verbesserung der Signalverarbeitungsleistung führt.

[0029] Im Fall der fortgeschrittenen Bewegungskompensation des H263-Systems sind die Vergleichsergebnisse der Leistung nach dem konventionellen Verfahren und nach dem vorliegenden Verfahren bei der Verarbeitung der Bilddaten eines Makroblocks wie folgt:

- Datenmenge, die für die Bewegungskompensation benötigt wird ein vorliegender Makroblock: 16×16 , 8×8 sechs vorangehende Blöcke: $6 \times 8 \times 8$
- gelesene Daten für das Speicherverfahren in der Rasterzugriffsreihenfolge
 1. Bündelmode von 4: $16 \times 16 + 8 \times 16 + 6 \times 8 \times 16$
 2. Bündelmode von 8: $16 \times 32 + 8 \times 32 + 6 \times 8 \times 32$
- gelesene Daten für das Speicherverfahren in der zweireihigen, Zickzack-förmigen Zugriffsreihenfolge nach der vorliegenden Erfindung
 3. Bündelmode von 8: $8 \times (2 \times 16) + 4 \times (2 \times 16) + 6 \times 4 \times 2 \times 16$ In dem Fall, daß die Betriebsfrequenz 100 MHz ist und die RAS- und CAS-Verzögerungszyklen sechs Zyklen sind, ergeben sich die Bandbreiten der oben beschriebenen Fälle 1, 2 und 3 aus der folgenden Tabelle 1.

Tabelle 1

	Benötigte Daten/Makroblock	Bandbreite (MB)
1	72 × 16	160
2	144 × 16	228
3	72 × 16	228

[0030] Während die vorliegende Erfindung hier mit Bezug auf ihre bevorzugte Ausführungsform beschrieben und veranschaulicht wurde, ist von den in der Technik Bewanderten zu verstehen, daß verschiedene Änderungen in der Form und in Details darin gemacht werden können, ohne von dem Umfang der Erfindung abzuweichen.

Patentansprüche

1. Verfahren zum Speichern von Bilddaten von M Bildpunkten × N Zeilen in einem Feldspeicher (**50**) zur Benutzung in einem Bilddatenverarbeitungsapparat zum Verarbeiten der Bilddaten in der Einheit eines Blocks von P Bildpunkten × P Zeilen (wobei $P < M$, N ist), und das Verfahren enthält den Schritt des Speicherns der Bilddaten in dem Feldspeicher (**50**) in einer zickzack-förmigen Zugriffsreihenfolge mit Q Reihen in solch einer Weise, daß Q Bildpunktdaten derselben Spalte von Q aufeinanderfolgenden Zeilen (wobei $1 \leq Q \leq P$ ist) in entsprechenden Q aufeinander folgenden Adressen des Feldspeichers (**50**) gespeichert werden.

2. Verfahren zum Speichern von Bilddaten nach Anspruch 1, wobei P gleich 16 ist, und Q ein Wert aus 2, 4, 8 und 16 ist.

3. Verfahren zum Speichern von Bilddaten nach Anspruch 1, wobei der Feldspeicher (**50**) einen SDRAM oder einen EDO-DRAM umfasst, und wobei der Feldspeicher (**50**) in einem Bündelmodus von 2, 4, 8, 16 oder 32 betreibbar ist.

4. Bilddatenverarbeitungsapparat, der enthält:
eine Signalverarbeitungseinrichtung (**10**) zum Durchführen einer Bilddatenkomprimierung und -dekomprimierung, einer Vor- und Nachverarbeitung der Bilddaten, bzw. zum Anzeigen der Bilddaten;
einen Feldspeicher (**50**) zum Speichern der Bilddaten in einer vielreihigen, zickzack-förmigen Zugriffsreihenfolge; und
eine Speichersteuerungseinrichtung (**30**), die mit der Signalverarbeitungseinrichtung (**10**) über einen ersten Datenbus (**20**) gekoppelt ist, und die mit dem Feldspeicher (**50**) über einen zweiten Datenbus (**40**) gekoppelt ist, wobei die Speichersteuerungseinrichtung (**30**) die Bilddaten aus dem Feldspeicher (**50**) ausliest, die ausgelesenen Bilddaten in einen Pufferspeicher (**32**) über den zweiten Datenbus (**40**) in einer Reihenfolge speichert, die geeignet ist für den Signalverarbeitungsalgorithmus, der in der Signalverarbeitungseinrichtung (**10**) angenommen wurde, und dann die in dem Pufferspeicher (**32**) gespeicherten Bilddaten an die Signalverarbeitungseinrichtung (**10**) über den ersten Datenbus (**20**) überträgt.

5. Bilddatenverarbeitungsapparat nach Anspruch 4, wobei für den Fall, daß ein Datenanzeigeprozess durch die Signalverarbeitungseinrichtung (**10**) auszuführen ist, die aus dem Feldspeicher (**50**) ausgelesenen Bilddaten in dem Pufferspeicher (**32**) in einer Rasterzugriffsreihenfolge gespeichert werden.

6. Bilddatenverarbeitungsapparat nach Anspruch 4, wobei für den Fall, daß die Bilddaten in der Einheit eines Blocks durch die Signalverarbeitungseinrichtung (**10**) zu verarbeiten sind, die aus dem Feldspeicher (**50**) ausgelesenen Bilddaten in dem Pufferspeicher (**32**) in einer Blockstruktureihenfolge gespeichert werden.

Es folgen 6 Blatt Zeichnungen

FIG. 2 (Stand der Technik)

0	I (0, 0)	I (0, 1)	I (0, 2)	I (0, 3)
4	I (0, 4)	I (0, 5)	I (0, 6)	I (0, 7)
8	I (0, 8)	I (0, 9)	I (0, 10)	I (0, 11)
12	I (0, 12)	I (0, 13)	I (0, 14)	I (0, 15)
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
M-4	I (0, M-4)	I (0, M-3)	I (0, M-2)	I (0, M-1)
M	I (1, 0)	I (1, 1)	I (1, 2)	I (1, 3)
M+4	I (1, 4)	I (1, 5)	I (1, 6)	I (1, 7)
M+8	I (1, 8)	I (1, 9)	I (1, 10)	I (1, 11)
M+12	I (1, 12)	I (1, 13)	I (1, 14)	I (1, 15)
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
2M-4	I (1, M-4)	I (1, M-3)	I (1, M-2)	I (1, M-1)
2M	I (2, 0)	I (2, 1)	I (2, 2)	I (2, 3)
2M+4	I (2, 4)	I (2, 5)	I (2, 6)	I (2, 7)
2M+8	I (2, 8)	I (2, 9)	I (2, 10)	I (2, 11)
2M+12	I (2, 12)	I (2, 13)	I (2, 14)	I (2, 15)
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
15M	I (15, 0)	I (15, 1)	I (15, 2)	I (15, 3)
15M+4	I (15, 4)	I (15, 5)	I (15, 6)	I (15, 7)
15M+8	I (15, 8)	I (15, 9)	I (15, 10)	I (15, 11)
15M+12	I (15, 12)	I (15, 13)	I (15, 14)	I (15, 15)
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
MN-4	I (N-1, M-4)	I (N-1, M-3)	I (N-1, M-2)	I (N-1, M-1)

FIG. 3

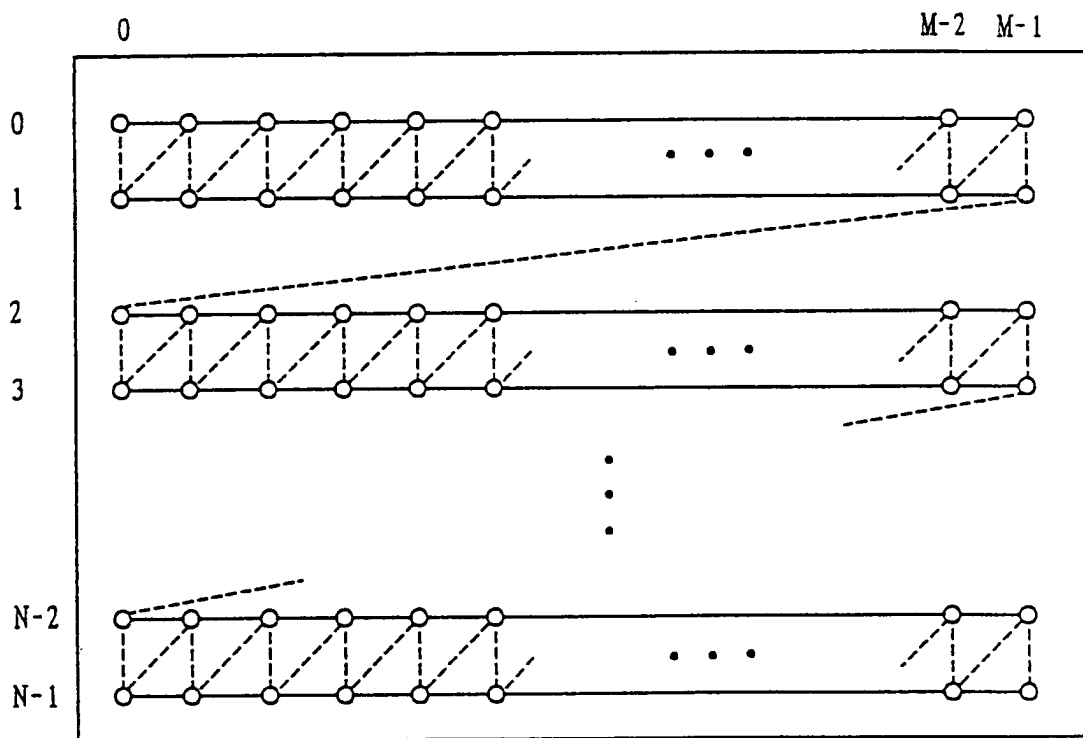


FIG. 4

0	I (0, 0)	I (1, 0)	I (0, 1)	I (1, 1)
4	I (0, 2)	I (1, 2)	I (0, 3)	I (1, 3)
8	I (0, 4)	I (1, 4)	I (0, 5)	I (1, 5)
12	I (0, 6)	I (1, 6)	I (0, 7)	I (1, 7)
16	I (0, 8)	I (1, 8)	I (0, 9)	I (1, 9)
20	I (0, 10)	I (1, 10)	I (0, 11)	I (1, 11)
24	I (0, 12)	I (1, 12)	I (0, 13)	I (1, 13)
26	I (0, 14)	I (1, 14)	I (0, 15)	I (1, 15)
.	.	.	.	.
.	.	.	.	.
.	.	.	.	.
2M-4	I (0, M-2)	I (1, M-2)	I (0, M-1)	I (1, M-1)
2M	I (2, 0)	I (3, 0)	I (2, 1)	I (3, 1)
2M+4	I (2, 2)	I (3, 2)	I (2, 3)	I (3, 3)
2M+8	I (2, 4)	I (3, 4)	I (2, 5)	I (3, 5)
2M+12	I (2, 6)	I (3, 6)	I (2, 7)	I (3, 7)
2M+16	I (2, 8)	I (3, 8)	I (2, 9)	I (3, 9)
2M+20	I (2, 10)	I (3, 10)	I (2, 11)	I (3, 11)
2M+24	I (2, 12)	I (3, 12)	I (2, 13)	I (3, 13)
2M+26	I (2, 14)	I (3, 14)	I (2, 15)	I (3, 15)
.	.	.	.	.
.	.	.	.	.
.	.	.	.	.
.	.	.	.	.
.	.	.	.	.
.	.	.	.	.
.	.	.	.	.
.	.	.	.	.
.	.	.	.	.
MN-4	I (N-2, M-2)	I (N-1, M-2)	I (N-2, M-1)	I (N-1, M-1)

FIG. 5

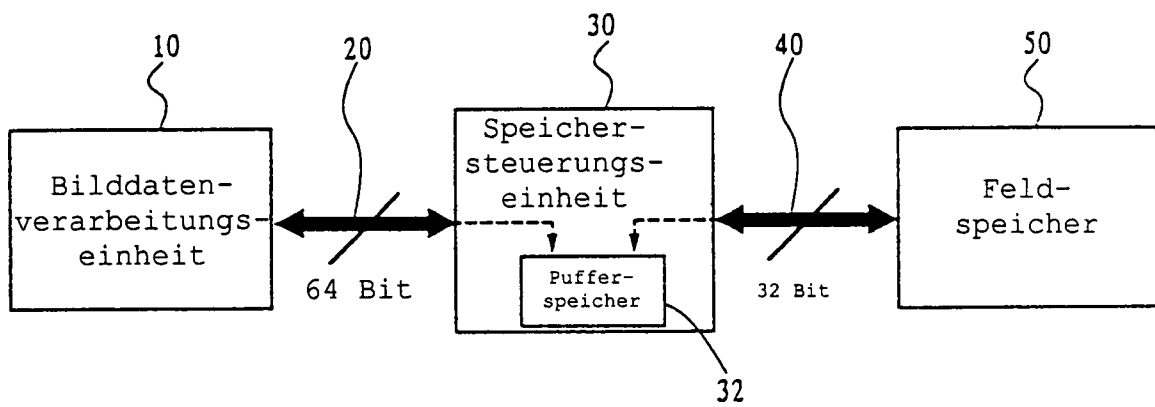


FIG. 6

$I(0,0)$, $I(0,1)$, , $I(0,7)$
$I(0,8)$, $I(0,9)$, , $I(0,15)$
$I(1,0)$, $I(1,1)$, , $I(1,7)$
$I(1,8)$, $I(1,9)$, , $I(1,15)$
⋮

FIG. 7

$I(0,0)$, $I(0,1)$, , $I(0,7)$
$I(0,8)$, $I(0,9)$, , $I(0,15)$
$I(0,16)$, $I(0,17)$, , $I(0,23)$
$I(0,24)$, $I(0,25)$, , $I(0,31)$
⋮