公告本

申請日期	89.10.31
案號	89121899
類別	G06F 1/32

A4
C4

498194

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	睡眠狀態轉移
	英文	"SLEEP STATE TRANSITIONING"
二、發明 ~~創作~~ 人	姓名	1.沙奇特 詹恩 2.尚守 周
	國籍	1.2.均美國
	住、居所	1.美國加州聖約瑟市朱紅莓路558號 2.美國加州桑尼維爾市加司柏路1521號
三、申請人	姓名（名稱）	美商英特爾公司
	國籍	美國
	住、居所（事務所）	美國加州聖塔卡拉瓦市米遜大學路2200號
	代表人姓名	F. 湯姆士．當烈二世

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4 規格 (210 × 297 公釐)

裝 訂 線

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
美國	1999年11月05日	09/434,973	☑有　□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4 規格 (210 × 297 公釐)

五、發明說明（ 1 ）

發明範圍

本發明係關於睡眠狀態之轉移。

發明背景

爲能於處理器系統中實施低電源「睡眠」狀態，INTEL(TM)及其他公司曾經提出先進之配置及電源界面規格說明書(「ACPI」)。ACPI界定作業系統與硬體間之界面以使作業系統與硬體互動，同時可使作業系統與硬體獨立發展。載於1999年2月2日發表之ACPI規格說明書修訂本1.0b中之S1及S2睡眠狀態經轉載於本說明書之附錄中。

RAM子系統亦可具有低電源狀態。於若干RAM子系統中，一記憶器控制器使用一特定通訊協定以與記憶器晶片通信。記憶器控制器爲一智慧型裝置，在其開始自記憶器晶片中讀出資料及將資料寫入記憶晶片中之正常操作之前先經過初始化。在加州山景城之RAMBUS(TM)公司所開發之RDRAM(TM) RAM系統中，記憶器控制器包括一RAMBUS ASIC Cell(簡稱RAC)，以其控制對於記憶器晶片之電界面，實施多工及解多工之功能，及將對於記憶器晶片之一高速專有串列化界面與處理器所使用之低速並列界面間之資料變換。RDRAM子系統可使之下電以保存電源。RDRAM子系統在下電之後，必須重新使之初始化。

發明之概述

一種具有一處理器連同多個狀態之系統，其狀態包括一清醒狀態及一睡眠狀態，一記憶器子系統包括一記憶器控制器及記憶器裝置，及一第二記憶器。本發明之系統使用

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 2 ）

第二記憶器中之軟體，以當有一自一睡眠狀態至一清醒狀態之轉移時可將記憶器控制器初始化。此系統檢測一清醒事件觸發信號，及響應此清醒事件觸發信號執行儲存於第二記憶器中之軟體，以將記憶器控制器初始化，然後於初始化之後執行出自第一記憶器之軟體。

根據本發明之另一特點，記憶子系統爲以RAM爲基礎之系統及儲存若干或所有之作業系統軟體。使記憶器控制器初始化之軟體儲存於BIOS儲存裝置中。在自清醒狀態轉移至睡眠狀態之前，作業系統控制轉移之準備工作。

圖式之簡要說明

圖1爲包括本發明之一處理器系統之方塊圖。

圖2爲一流程圖以其說明由圖1之系統所實施之一組狀態之轉移。

圖3爲一流程圖，以其說明由圖1之系統所實施之自S1狀態之往返之轉移。

圖4爲一流程圖以其說明由圖1之系統所實施之自S2狀態之往返之轉移。

圖5爲例示另一處理器之方塊圖。

圖6例示另一處理器系統。

詳細說明

如圖1所示，一處理器10連接至一記憶器控制器集線器20。此處理器可爲一Pentium II®級處理器，其他通用處理器，或專用控制器。此處理器可爲一工作站之一部分，桌上個人電腦，攜帶式電腦，或電信，影像，或圖型裝置。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 3 ）

記憶器控制器集線器20連接至主記憶器30及控制此主記憶器。記憶器控制器集線器20，亦處理圖型通信及與I/O控制器集線器之往返通信。主記憶器30例如可爲包括多個記憶器模組，且每一模組具有RDRAM記憶器晶片之一RAMBUS記憶器系統。個別之模組在尺寸上可比擬標準之雙列直插式記憶器模組。

記憶器控制器集線器20使用一封包化通訊協定而與主記憶器30互動。記憶器控制器充作RAM匯流排處理器10間之解釋程式，如此處理器無需關心RAM結構或操作之細節。亦可使用其他使用記憶器控制器以接達主記憶器之高速RAM技術。

記憶器控制器集線器20及主記憶器30由記憶器時脈40定時。例如，主記憶器可使用雙相位時脈控制以差分方式定時於400兆赫，以提供有效之800兆赫之時脈率。處理器由處理器時脈50定時。亦經由I/O控制器集線器55耦合至處理器10者爲非揮發性記憶器60。非揮發性記憶器60可爲ROM，EPROM，EEPROM，電池供應之RAM，及類似記憶器。非揮發性憶器60儲存BIOS(基本輸入/輸出軟體)及亦包括SMM(系統管理模式軟體)。SMM亦安裝於主記憶器內。

非揮發性記憶器60儲存用於將記憶器控制器集線器20初始化之初始化軟體70。初始化軟體70可爲BIOS之一部分或者當有提供SMM軟體時，爲SMM軟體之一部分。在某些應用方面，初始化軟體可獨立於BIOS，例如其可在

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 4 ）

不具有BIOS軟體及在處理器10外部之系統中。記憶器控制器20包括控制位址空間映射(PAM暫存器)之內部暫存器90。此等暫存器控制位址產生器是否依賴非揮發性記憶器60之指令及資料或依賴主記憶器30。一種代替方式爲PAM暫存器可安置於I/O控制器集線器55中或安置於處理器之一獨立之井中，如此當處理器10下電時，電源即消失。連接至處理器10者爲顯示器或圖型控制器95。

處理器10可包括快取記憶器110以加速記憶器接達時間。快取記憶器可置於處理器晶片或封裝內部及亦可位於外部。I/O控制器55包括一清醒觸發狀態機器100以處理自處理器外部接收之清醒事件觸發信號。狀態機器100亦可安置於記憶器控制器集線器20或處理器10中。此狀態機器啓動處理器以於任何軟體開始執行之前響應清醒事件。

一旦系統在運行，系統即在清醒狀態，記憶器控制器集線器20即被初始化，部分作業系統80載入主記憶器30中，系統即可正常操作。

現參看圖2，作業系統可決定電源應予以保存及系統應進入睡眠狀態。此項決定可根據無數眾多之因素而被觸發，此等因素例如爲系統閒置時間超時，用户之請求，硬體裝置之請求，此例如電池不足或高溫指示，或應用程式之請求。

在進入睡眠狀態之前，於步驟200中作業系統準備轉移。此種準備工作可包括內務處理任務，快取記憶器清

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 5 ）

洗，語境保存等。作業系統亦決定何種裝置需予以置於「睡眠」狀態。當系統之設計係處於需有最大電源節省之環境時，整個系統可置於睡眠狀態。如爲更簡單之設計，則僅有處理器及記憶器子系統可置於睡眠狀態，其週邊設備即使之有充份電源供應或切斷。作業系統亦選擇所需之睡眠狀態及將一個適當位元或數個元設置於一睡眠狀態暫存器中。例如，ACPI規格中包括S1及S2睡眠狀態而有短延遲時間回返至喚醒狀態。

於步驟210中，處理器轉移至睡眠狀態。完成此種轉移之一種方式爲設定適當數目之位元於睡眠啓動暫存器中。軟體或硬體處理程序然後檢測此位元已設定及斷言睡眠信號係爲適當組成部份。處理器時鐘50被切斷電源。斷電工作可藉切斷裝置本身之電源連接而完成，或藉電方式切斷輸入信號與每一晶片內部之佈線之連接而完成。舉例而言，處理器時鐘50可使之保持運行，但是處理器可以電方式切斷時脈信號，如此處理器內部組件不受時脈控制。同樣，個別裝置可使之下電，而裝置內部電路則防止有電流流至裝置內部若干或全部之組件。在RDRAM系統中，記憶器控制器集線器20，主記憶器30，及記憶器時脈40即下電。當主記憶器下電時，其內容並不消失，但是主記憶器裝置轉移至消耗極小電源之下電狀態。當主記憶器20下電時，其中之內部自行更新機構保持記憶器內容。另外，記憶器時脈40轉移至低功率狀態。於低功率狀態時，實際之電源可以去掉，亦可無需去掉。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 6）

在步驟220中，一清醒事件觸發信號被檢出。此觸發信號通知處理器10應恢復正常操作。在某些應用方面，此時系統可回返至全速及全功率模式。在另外一些應用方面，系統可爲醒來成半睡狀態，在此種情況下處理器10可能不以全速運行。清醒事件觸發信號可由系統以外之一來源產生，此來源例如用户按下一「電源接通」或「恢復」鍵，來自數據機或其他電話接收機之輸入呼叫信號，或可由與特定時鐘時間相連繫之定時器或例如爲排定時間之系統維護之某些其他事件。

系統響應於經檢測清醒事件觸發信號而於步驟230中將記憶器初始化。在一RDRAM系統中，此包括將RAC及RDRAM磁芯初始化。在初始化期間實施之其他功能可爲RAM匯流排驅動器之重新校正，RAM匯流排時脈之同步，記憶器控制器之一般重設定。此初始化並非專由硬體實施，亦可由非揮發性記憶器60之執行初始化軟體70實施。

當將記憶器控制器集線器20初始化之後，控制操作於步驟240中自初始化軟體70傳送至儲存於主記憶器30中之作業系統80。作業系統80此時即處理清醒事件觸發。此處理可包括恢復處理器語境，實施快速系統診斷，或其他一般在繼清醒之後所執行常規事務。

圖3顯示以RDRAM實施S1睡眠狀態之後之具體實例。在正常操作情況，設定睡眠啓動位元可致使處理器轉移至S1睡眠狀態。在此種具體實例中，系統管理模式軟體用

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 7 ）

以於睡眠狀態與RDRAM之間從事調停。一部分之系統管理模式軟體係儲存於非揮發性記憶器60中，記憶器60亦儲存BIOS(BIOS儲存裝置)。然而，系統管理模式軟體則無法接達作業系統。作業系統無法直接轉移至系統管理模式軟體。

爲能以有效率及簡潔方式將控制自作業系統至系統管理模式，處理器遂以系統管理中斷(SMI)響應於睡眠觸發。爲能完成此種工作，作業系統於步驟300將一位元寫入一暫存器。此暫存器告知硬體響應於一睡眠啓動信號而產生一SMI，而非響應於向一睡眠狀態之轉移。處理器響應於SMI將控制導引至系統管理模式軟體。於步驟310中，服務SMI之SMI處理程式清洗快取記憶器。此種快取記憶器之清洗，可避免在指令取還時統一L2快取記憶器之反寫。如果實施此種步驟，將會無記憶器寫入，直至處理器自睡眠狀態轉移爲止。隨後，如步驟320所示，SMI處理程式設定PAM暫存器使其指向BIOS儲存裝置。PAM保持爲系統使用之位址空間映射。一旦PAM暫存器指向BIOS儲存裝置，指令及資料將自該裝置提取，而非自RDRAM提取。於步驟330中，SMI處理程式執行指向BIOS儲存裝置中一入口之一轉移/分支指令。

於步驟340中，SMI處理程式用以清除致使處理器響應於睡眠啓動而產生一SMI之位元。處理器此時重新配置，以響應於睡眠啓動信號而輸入一睡眠狀態。於步驟350中，睡眠啓動位元第二次予以設定。但是此時係SMI處理

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 8）

程式而非作業系統設定此位元。SMI處理程式亦用以識別所需之睡眠模式。於本具體實例中所需之睡眠模式爲S1狀態。於步驟360中，處理器檢測出睡眠啓動位元之設定及系統轉移至S1睡眠狀態。處理器時脈及RDRAM時脈下電。在本實例中，處理器及RDRAM子系統各自有其自己之各別時脈。在其他具體實例中，處理器及記憶器子系統可使用此同一時脈作爲彼等之各別時脈。一旦RDRAM子系統下電，其即需要重新初始化。

於步驟370中，硬體接收一清醒事件觸發信號以其通知系統應自睡眠狀態回返至清醒狀態。時脈回返至彼等之電源接通狀態。處理器恢復指令提取情況於步驟380中，需提取之第一指令係繼轉移至S1狀態之後之來自SMI處理程式之指令。於步驟385中，SMI處理程式然後執行指令以將RDRAM初始化。於步驟390中，SMI處理程式然後設定PAM暫存器以指向RDRAM中之一入口。SMI處理程式然後執行回返指令及控制作業傳送至作業系統。於步驟395中，作業系統繼設定睡眠啓動位元之後執行次一指令。系統至今業已成功自睡眠狀態回返及正常操作繼續進行。

圖4顯示使用S2狀態之一具體實例。作業系統於步驟410中進入睡眠狀態及儲存由RDRAM中之BIOS所使用之恢復位址。於步驟420中，作業系統清洗快取記憶器，藉將S2狀態寫入睡眠型暫存器中而識別睡眠狀態，及藉將適當之資訊寫入睡眠啓動暫存器中而啓動睡眠狀態。處理

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4規格（210 × 297 公釐）

五、發明說明（ 9 ）

器及RDRAM時脈於步驟430中下電。於S2狀態中，處理器10之電源實際上被去掉，因此處理器10不會消耗產生作用之電源或洩漏電源。

系統在步驟440中係在S2狀態。在步驟450中檢測出一清醒事件觸發信號。時脈恢復接通電源，處理器重設定(CPURST#)經斷言而將處理器重設定。於步驟460中，系統脫離重設定及開始執行位於FFFFFFF0h之處之軟體。PAM暫存器經配置以指向BIOS儲存裝置，但不留用RDRAM中之此空間。一種代替方式爲一硬體狀態機可藉改變PAM暫存器以指向BIOS儲存裝置而響應於清醒事件。於步驟470中，BIOS使RDRAM初始化。於步驟480中，BIOS重新導引PAM暫存器以執行RDRAM之軟體。於步驟410中，BIOS使控制經由儲存於RDRAM之重新開始之位址而傳送予作業系統。於步驟490中，作業系統處理清醒事件中斷。於步驟495中，自睡眠狀態之恢復已完成，清醒狀態之正常操作重新開始。

圖5顯示一較大系統之語境中之一處理器及記憶器子系統，此等子系統例如可爲桌上系統，攜帶式電腦，攜帶式通訊裝置，機頂轉換器，或者視頻及圖型控制器。處理器510及記憶器控制器520包括於同一晶片中。處理器經由記憶器控制器520及記憶器匯流排535而與記憶器530互動，實施之較佳者爲與RDRAM互動。記憶器控制器520自睡眠狀態中醒來及藉BIOS儲存裝置540之軟體之執行而被初始化。在某些應用情況下，可能希望將BIOS儲存裝

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 10）

置有如處理器510及記憶器控制器520一樣包括於同一晶片中。

送至系統之電源係由電源545供應。於一攜帶式系統中，電源545可爲一電池。於一桌上型或機頂型裝置中，電源可爲汲引AC線路電源之一直流電源。電源藉電源控制電路550分配，電源控制電路響應於處理器以減少或切斷供應至系統之各種不同組成部分之電源。電源控制電路550亦可通知處理器510有關低電源情況。如圖示，電源控制電路以獨立於主匯流排560之方式與處理器形成界面。在其他具體實例中，電源控制電路可當作連接至主滙流排之任何其他週邊裝置而予以處理。在桌上型系統中，主匯流排可爲一PCI匯流排。連接至主匯流排者爲顯示器580，高密度儲存裝置590，及週邊裝置590。在某些圖型密集之系統中，顯示器或圖型控制器可有其處理器之自己之專用或高速路徑。顯示器或圖型控制器580可經由一獨立匯流排而連接至處理器10或記憶器控制器集線器20，或可與處理器芯體中之記憶器控制器以積體方式製成。高密度儲存裝置590一般爲一硬體驅動器。週邊裝置590將隨特定應用而改變。

現參看圖6，圖中示出用於一芯體晶片組之三種不同配置。配置1具有處理器610 (CPU)，圖型控制器620 (GFX)，記憶器控制器630(亦稱作記憶器控制器集線器或MCH)，此控制器以積體方式製作於一單獨晶片640中。I/O控制器集線器650 (ICH)及視頻控制器集線器655 (VCH)

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 11）

經顯示爲個別獨立之晶片。VCH亦可包括於晶片640中。ICH 650控制例如示於圖5中之主匯流排560之主匯流排之操作。ICH 650具有重新設定晶片640之一輸出(NRST)。ICH 650具有一各別之輸出(PCIRST#)，此輸出重新設定例如爲一PCI匯流排之主匯流排。根據配置2，處理器610，GFX 620，及MCH 630各自位於分別之晶片中。根據配置3，處理610位於其自己之晶片中。GFX 620及MCH 630位於一單獨晶片中。根據配置2及3，CPU 610在ICH 650控制下具有其自己之重設定輸出。

根據配置1，晶片640及所有其組成部分於睡眠狀態，例如於S2狀態，使之成爲下電情況。於配置2中，CPU 610及MCH 630下電。GFX 620使之下電以維持顯示。一種代替方式爲GFX 620可予以下電以保存甚至更多之電源。於配置3中，CPU 610，GFX 620，及MCH 630使之下電。除去使時脈停止以外，另加上使組成部分下電，可大幅減少漏失電流。此外，ICH 650與其他組成部分之間之界面係經隔離。此界面並非PCI界面，而係以通信爲基礎之界面。於每一種配置中，ICH均使之加有電源。ICH具有自睡眠狀態恢復所需之硬體。自CPU 610，GFX 620，及MCH 630減少或消除S2狀態中之漏失電力，可於0.18微處理技術方面大幅度延伸電池之壽命。

以上所揭示之具體實例僅爲例示目的。其他具體實例均係在後述申請專利範圍之中。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 12)

附錄

以下爲1999年2月2日所發表之ACPI規格說明修正版1.0b之S1及S2睡眠狀態:

9.1.1 S1睡眠狀態

S1狀態定義爲一種低清醒潛在睡眠狀態。在此種狀態中，無系統語境(context)受到損失(CPU或晶片組)，硬體負責維持所有系統語境，此包括CPU，快取記憶器，及所有晶片組I/O之語境。S1睡眠狀態代替性實施之舉例如下。

9.1.1.1 S1睡眠狀態實施(例1)

此舉例涉及一IA處理器，此處理器經由STPCLK#信號之斷言，支援停止授權狀態。當SLP_TYPx經程式規劃於S1值時(原始設備製造商選擇一數值，然後被置入_S1目標中)，隨後SLP_ENx位元即被設定，硬體可藉斷言送至處理器之STPCLK#信號而實現S1狀態，致使處理器進入停止授權狀態。在此情況下，系統時鐘(PCI及CPU)仍然在運行。任何啓動喚醒事件應致使硬體將送至處理器之STPLCK#解除斷言。

9.1.1.2 S1睡眠狀態實施(例2)

當SLP_TYPx經程式規劃於S1值及SLP_ENx位元隨後設定時，硬體將會藉進行以下動作實現S1狀態:

1. 將處理器置於停止授權狀態。

2. 停止處理器之輸入時脈，將處理器置於停止時脈狀態。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 13）

3. 將系統記憶器置於自行更新或暫停更新狀態。更新係由記憶器本身維持或經由在睡眠狀態期間若干其他未停止之時鐘而維持。

4. 停止所有系統時脈(斷言送至系統PLL晶片之信號)。正常情況下RTC將會繼續運行。

在此種情況下，所有系統中之時脈均業已停止(RTC時鐘例外)。在有任何經啓動之清醒事件時，硬體必須反轉此處理程序(重新啓動時鐘)。

9.1.2 S2睡眠狀態

S2狀態係定義爲一低清醒潛在睡眠狀態。此狀態類似於S1睡眠狀態，例外之處爲失去CPU及系統快取記憶器語境(作業系統(OS)係負責維持快取記憶器及CPU語境)。此外，控制係於清醒事件之後自處理器重設向量開始。在設定SLP_EN位元之前，ACPI驅動器將清除系統快取記憶器。如果工作平台支援WBINVD指令(如FACP表格中WBINVD及WBINVD_FLUSH旗標所示)，OS將會執行WBINVD指令。如果工作平台不支持WBINVD指令以清洗快取記憶器，則ACPI驅動器將會試行使用FACP列表中之FLUSH_SIZE及FLUSH_STRIDE欄位，而以手動方式清洗快取記憶器。硬體負責維持晶片組及記憶器語境。S2睡眠狀態實施舉例如下。

9.1.2.1 S2睡眠狀態實施舉例

當SLP-TYPx經程式規劃於S2值(係存在於_S2目標中)及然後將SLP_EN位設定時，硬體將會藉進行以下動作實現

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 14)

S2狀態:

- 停止系統時脈(唯一運行時脈爲RTC)。
- 將系統記憶器置於自行或暫停更新狀態。
- 切斷CPU及快取記憶器子系統。

在此種情況下，CPU在檢測出清醒事件時即被重設定；但是，磁芯邏輯及記憶器維持其語境。執行控制自CPU之啓動向量開始。BIOS經規定進行以下動作:

- 將CPU之初始啓動配置予以程式規劃(例如CPU之模式狀態暫存器及MTRR暫存器)。
- 將快取記憶器控制器初始化至其初始啓動大小及配置。
- 啓動記憶器控制器以接收記憶器之接達信號。
- 呼叫喚醒向量。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

91年5月21日 修正 A7 B7

五、發明說明（ 14a ）

圖式元件符號說明

10	處理器	20	記憶器控制器集線器
30	主記憶器	40	記憶器時脈
50	處理器時脈	55	I/O控制器集線器
60	非揮發性記憶器	70	初始化軟體
80	作業系統	90	PAM暫存器
95	顯示器或圖形控制器	100	清醒觸發狀態機器
110	快取記憶器	510	處理器
520	記憶器控制器	530	RAM子系統
535	記憶器匯流排	540	BIOS儲存
545	電源	550	電源控制電路
560	主匯流排	570	顯示器或圖型控制器
580	高密度儲存	590	週邊設備
610	中央處理器	620	圖型控制器
630	記憶器控制器	640	單一晶片
650	I/O控制器集線器	655	視頻控制器集線器

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

A5
B5

四、中文發明摘要（發明之名稱：睡眠狀態轉移）

一種具有包括清醒狀態及睡眠狀態之多種狀態之處理器，及一記憶器子系統以其包括一記憶器控制器及記憶器裝置，及一第二記憶器。此系統在自睡眠狀態轉移至清醒狀態之時，使用第二記憶器中之軟體以將記憶器控制器初始化。系統檢測清醒事件觸發信號，及響應於清醒事件觸發信號，而執行儲存於第二記憶器中之軟體，以將記憶器控制器初始化，然後在初始化之後，執行第一記憶器之軟體。

英文發明摘要（發明之名稱："SLEEP STATE TRANSITIONING"）

A system has a processor with multiple states, including an awake state and a sleep state, a memory subsystem including a memory controller and memory devices, and a second memory. The system uses software in the second memory to initialize the memory controller upon a transition from a sleep state to an awake state. The system detects a wake event trigger, and in response to the wake event trigger, executes software stored in the second memory to initialize the memory controller, and then executes software out of the first memory after the initialization.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210 × 297 公釐）

91年5月31日 修正補充
A8
B8
C8
D8

六、申請專利範圍

1. 一種在一系統中用於清醒狀態與睡眠狀態之間轉移之方法，該系統包括一處理器，一第一記憶器，一第一記憶器控制器，及一第二記憶器，該方法包括：

   檢測一觸發信號以自睡眠狀態轉移至清醒狀態；

   響應此檢測將第一記憶器控制器初始化，此初始化動作包括於第二記憶器中執行軟體；及

   於初始化動作之後於第一記憶器中執行軟體。

2. 根據申請專利範圍第1項之方法，另外包括：

   在儲存於第一記憶器中之軟體之控制下，準備自清醒狀態轉移至睡眠狀態；及

   轉移至睡眠狀態。

3. 根據申請專利範圍第2項之方法，其中儲存於第一記憶器中之軟體包括作業系統軟體。

4. 根據申請專利範圍第2項之方法，其中第一記憶器包括RDRAM。

5. 根據申請專利範圍第4項之方法，其中第一記憶器控制器與處理器設置於同一晶片中。

6. 根據申請專利範圍第5項之方法，其中第二記憶器中之軟體包括BIOS軟體。

7. 根據申請專利範圍第5項之方法，其中第二記憶器之軟體包括不能由作業系統接達之軟體。

8. 根據申請專利範圍第5項之方法，其中第二記憶器之軟體包括系統管理模式軟體。

9. 根據申請專利範圍第1項之方法，其中處理器及記憶器

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

91.5.21

A8
B8
C8
D8

六、申請專利範圍

控制器具有用於接收各別之時脈信號之輸入，本方法另外包括在檢測之前接收時脈信號。

10. 根據申請專利範圍第2項之方法，其中準備工作包括：

響應於作業系統中之睡眠觸發信號，配置處理器以執行儲存於第二記憶器中之軟體；

接收來自作業系統中之一第一觸發信號；

響應於此接收，執行儲存於第二記憶器中之軟體；

響應於睡眠觸發信號重新配置處理器以轉移至睡眠狀態；及

接收一第二睡眠觸發信號。

11. 根據申請專利範圍第10項之方法，其中儲存於第二記憶器中之軟體包括系統管理模式軟體，本方法另外包括響應於接收第一睡眠觸發信號而產生一系統管理中斷。

12. 根據申請專利範圍第10項之方法，其中初始化動作係依照轉移至睡眠狀態之前執行之最後指令之後之指令，執行儲存於第二記憶器中之軟體。

13. 根據申請專利範圍第2項之方法，其中轉移動作使處理器轉移至S1狀態。

14. 根據申請專利範圍第2項之方法，其中轉移動作使處理器轉移至S2狀態。

15. 根據申請專利範圍第2項之方法，其中準備動作包括清洗快取記憶器。

16. 根據申請專利範圍第2項之方法，另外包括在初始化之前重新設定處理器。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

A8
B8
C8
D8

六、申請專利範圍

17. 一種在一系統中用於清醒狀態與睡眠狀態之間轉移之方法，該系統包括一處理器，一第一記憶器，一第一記憶器控制器，及一第二記憶器，其中處理器及記憶器控制器具有用以接收個別時脈信號之輸入，及第一記憶器儲存作業系統軟體，該方法包括：

在作業系統軟體控制下準備自清醒狀態轉移至睡眠狀態，準備工作包括繼檢測之後配置位址空間映射以指向第二記憶器；

防止各別時脈信號之接收；

轉移至睡眠狀態；

檢測一觸發信號以自睡眠狀態轉移至清醒狀態；

響應於檢測，將第一記憶器控制器初始化，此初始化動作包括執行第二記憶器中之BIOS軟體；

於初始化之後執行作業系統軟體。

18. 根據申請專利範圍第17項之方法，另外包括：

將一BIOS恢復位址儲存於第一記憶器中；及

繼初始化之後，使用儲存於第一記憶器中之恢復地址，將控制自BIOS傳送至作業系統。

19. 根據申請專利範圍第18項之方法，另外包括在檢測之前使第一記憶器控制器下電。

20. 一種睡眠狀態轉移之系統，包括：

一具有清醒狀態及睡眠狀態之處理器；

一第一記憶器；

一第一記憶器控制器；

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

六、申請專利範圍

一第二記憶器；及

儲存於第二記憶器中之軟體，響應於通知自睡眠狀態至清醒狀態轉移之觸發信號，而執行使第一記憶器控制器初始化。

21. 根據申請專利範圍第20項之系統，其中：

第一記憶器儲存作業系統軟體；

第二記憶器為非揮發性記憶器；

第二記憶器儲存BIOS軟體；及

作業系統軟體經予以設計以控制自清醒狀態至睡眠狀態之轉移。

22. 根據申請專利範圍第21項之系統，其中：

在自清醒狀態轉移至睡眠狀態之前，作業系統將一BIOS恢復位址儲存於第一記憶器中；及

BIOS軟體在記憶器控制器初始化之後，使用所儲存之BIOS恢復位址，而將控制歸還予作業系統。

23. 根據申請專利範圍第21項之系統，其中第一記憶器包括RDRAM。

24. 根據申請專利範圍第21項之系統，其中第二記憶器包括RAM。

25. 根據申請專利範圍第21項之系統，另外包括系統管理模式軟體，此系統管理模式軟體不能由作業系統接達，及其中系統管理模式軟體將第一記憶體初始化。

26. 根據申請專利範圍第20項之系統，其中處理器，第一記憶器，及第一記憶器控制器具有時脈輸入，系統包括時

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

94年5月21日修正補充

A8
B8
C8
D8

六、申請專利範圍

脈失效電路，以其防止處理器，第一記憶器，及第一記憶器控制器之內部定時。

27. 根據申請專利範圍第20項之系統，其中處理器及第一記憶器控制器係安置於一共同晶片。

28. 根據申請專利範圍第20項之系統，另外包括快速記憶器以其與處理器安置於同一晶片中、及第一記憶器控制器，及於其中作業系統經設計在自清醒狀態轉移至睡眠狀態之前以其清洗快速記憶器。

29. 一種攜帶式電腦系統，包括：

一電源儲存媒體；

一顯示裝置；

一處理器；

一處理器時脈；

一第一記憶器；

一第一記憶器控制器；

一第二記憶器；

其中之系統包括清醒狀態及睡眠狀態；

其中處理器及第一記憶器控制器於睡眠狀態時不受時脈控制；及

其中第二記憶器中之軟體，響應於自睡眠狀態至清醒狀態之轉移，而將第一記憶器控制器初始化。

30. 根據申請專利範圍第29項之系統，另外包括使處理器，第一記憶器控制器，及第一記憶器內部之電源流動失效之電路。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

第 089122899 號專利申請案
中文圖式修正頁(91年5月)

91年5月21日 修正補充

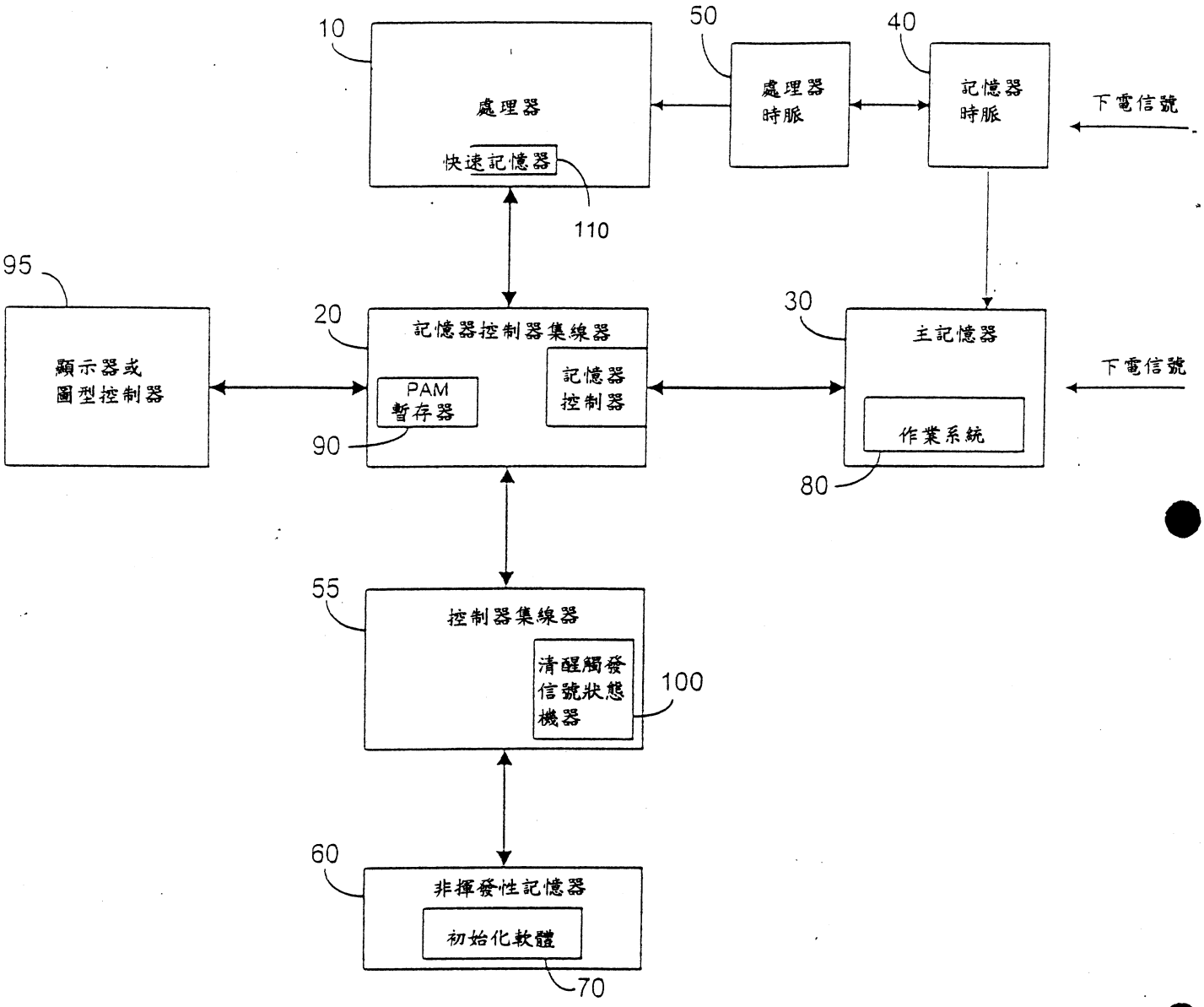


圖 1

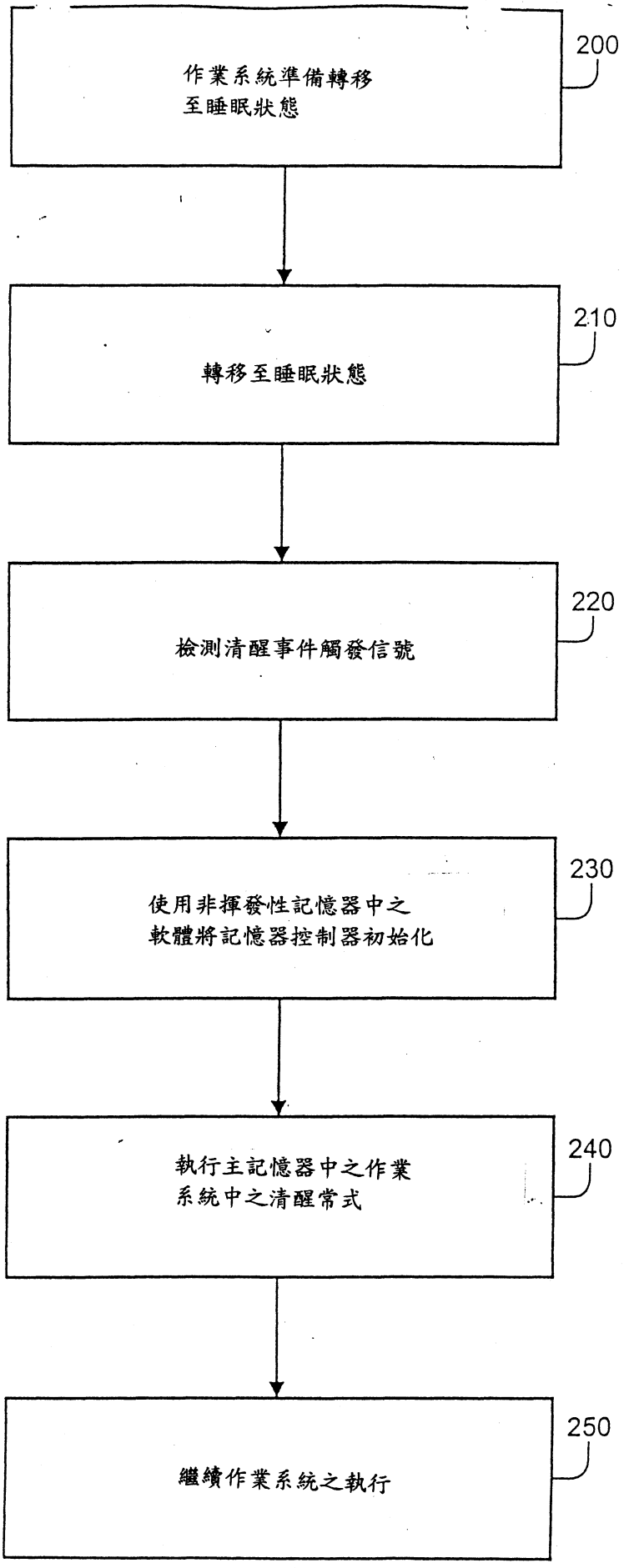

作業系統準備轉移
至睡眠狀態
200
轉移至睡眠狀態
210
檢測清醒事件觸發信號
220
使用非揮發性記憶器中之
軟體將記憶器控制器初始化
230
執行主記憶器中之作業
系統中之清醒常式
240
繼續作業系統之執行
250

圖 2

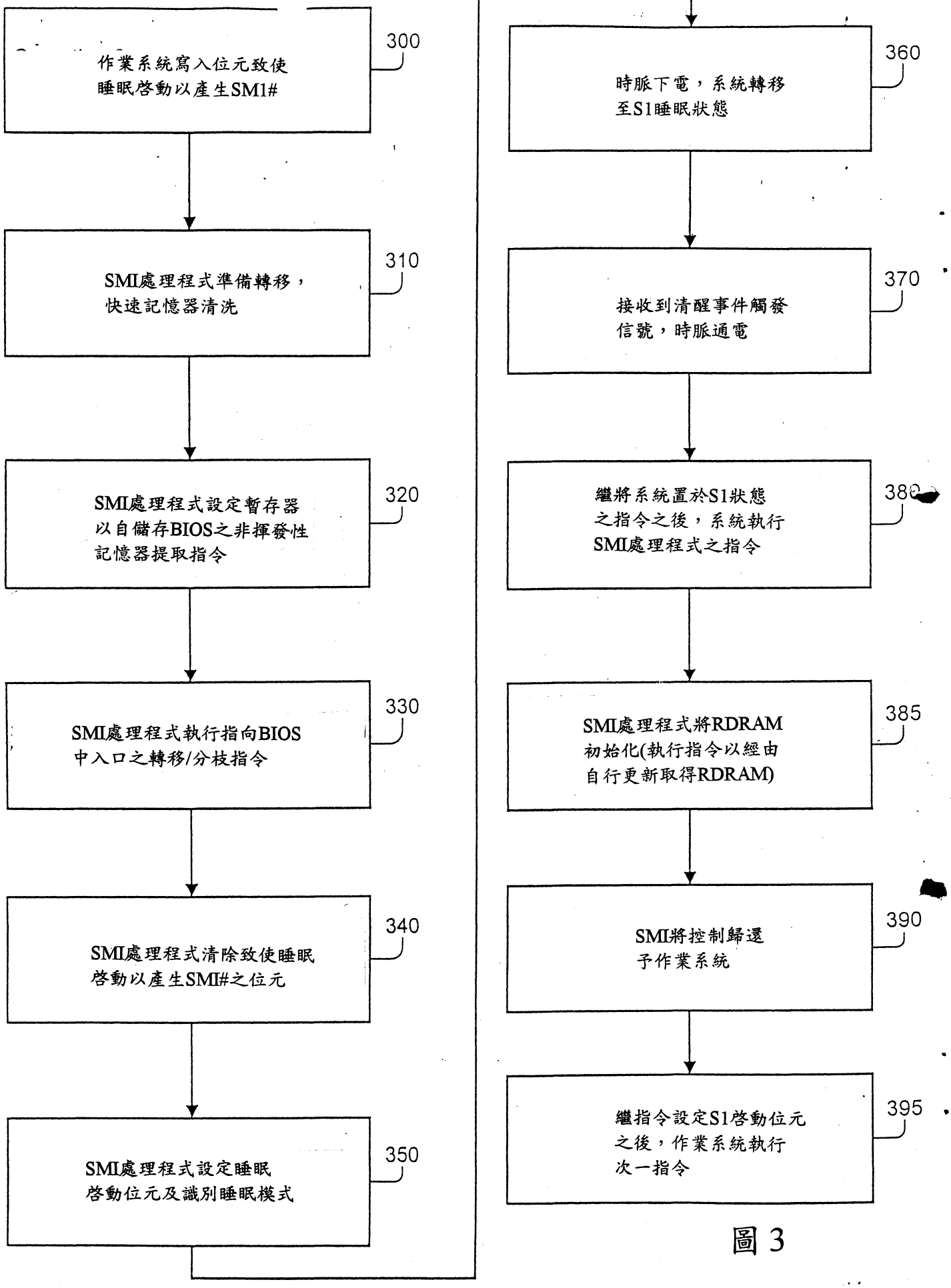

作業系統寫入位元致使睡眠啓動以產生SM1#
300
SMI處理程式準備轉移，快速記憶器清洗
310
SMI處理程式設定暫存器以自儲存BIOS之非揮發性記憶器提取指令
320
SMI處理程式執行指向BIOS中入口之轉移/分枝指令
330
SMI處理程式清除致使睡眠啓動以產生SMI#之位元
340
SMI處理程式設定睡眠啓動位元及識別睡眠模式
350
時脈下電，系統轉移至S1睡眠狀態
360
接收到清醒事件觸發信號，時脈通電
370
繼將系統置於S1狀態之指令之後，系統執行SMI處理程式之指令
380
SMI處理程式將RDRAM初始化(執行指令以經由自行更新取得RDRAM)
385
SMI將控制歸還予作業系統
390
繼指令設定S1啓動位元之後，作業系統執行次一指令
395

圖 3

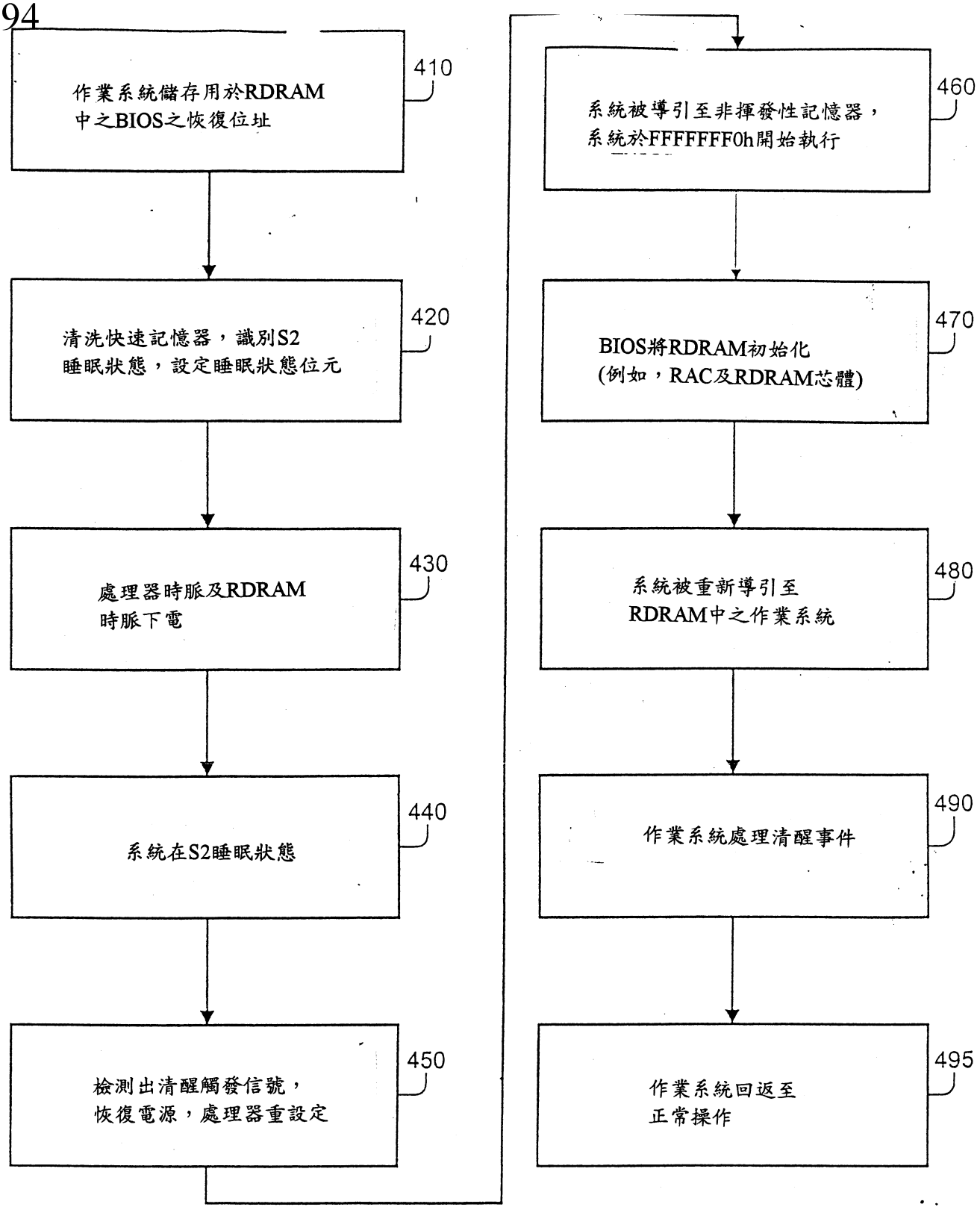

作業系統儲存用於RDRAM中之BIOS之恢復位址
410
清洗快速記憶器，識別S2睡眠狀態，設定睡眠狀態位元
420
處理器時脈及RDRAM時脈下電
430
系統在S2睡眠狀態
440
檢測出清醒觸發信號，恢復電源，處理器重設定
450
系統被導引至非揮發性記憶器，系統於FFFFFFF0h開始執行
460
BIOS將RDRAM初始化(例如，RAC及RDRAM芯體)
470
系統被重新導引至RDRAM中之作業系統
480
作業系統處理清醒事件
490
作業系統回返至正常操作
495

圖 4

第 089122899 號專利申請案
中文圖式修正頁(91年5月)

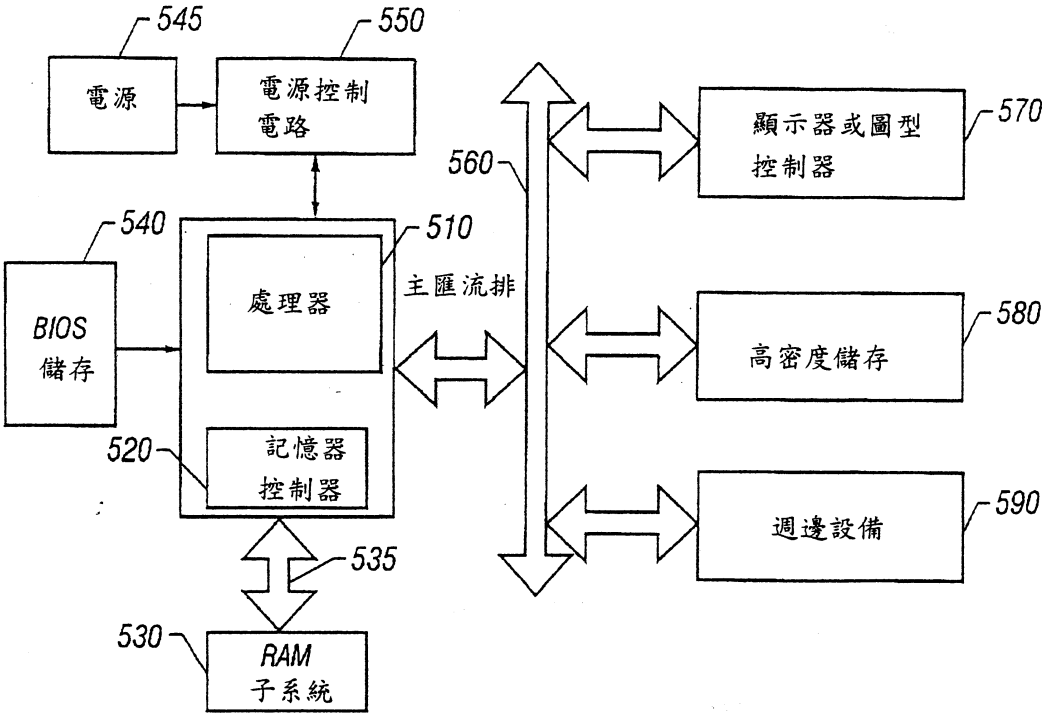


圖5

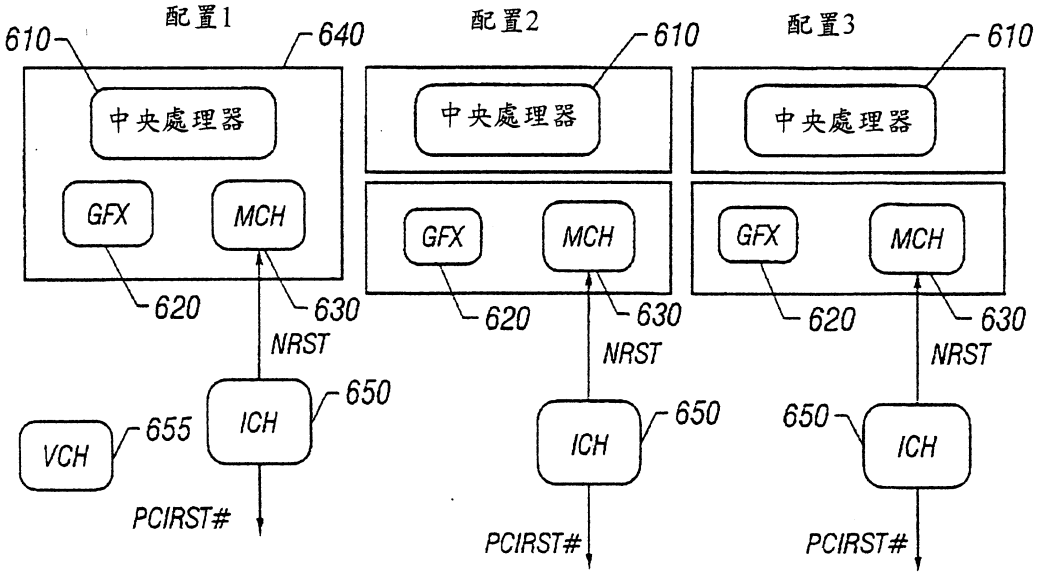


圖6