(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 117716695 A
(43)申请公布日 2024.03.15

(21)申请号 202280049252.6
(22)申请日 2022.03.31
(30)优先权数据
2021-115658 2021.07.13 JP
(85)PCT国际申请进入国家阶段日
2024.01.11
(86)PCT国际申请的申请数据
PCT/JP2022/016600 2022.03.31
(87)PCT国际申请的公布数据
WO2023/286401 JA 2023.01.19
(71)申请人 浜松光子学株式会社
地址 日本静冈县
(72)发明人 铃木春树 神谷真浩 杉山行信 细谷有功 吉村英敏
(74)专利代理机构 北京尚诚知识产权代理有限公司 11322
专利代理师 杨琦
(51)Int.Cl.
H04N 23/30(2023.01)
H04N 5/32(2023.01)
H04N 25/768(2023.01)
H04N 25/77(2023.01)
H04N 25/772(2023.01)
H04N 25/78(2023.01)

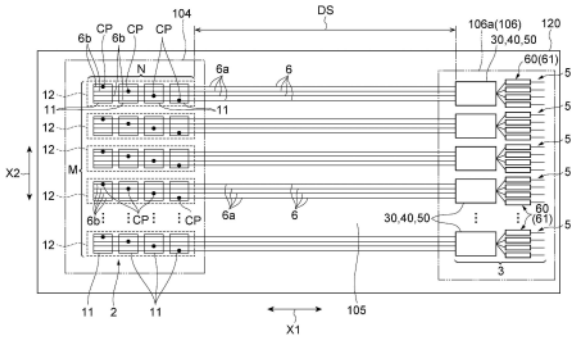
权利要求书2页 说明书20页 附图49页

(54)发明名称

X射线图像取得装置和X射线图像取得系统

(57)摘要

X射线图像取得装置包括:像素单元,其具有各自包含N个像素部的M个像素阵列(N、M为2以上的整数);M个电路单元;和控制部。各电路单元具有将与来自N个像素部的输出信号对应的电信号逐次相加的T个(T为N以上的整数)加法部、和切换N个像素部与T个加法部之间的连接状态的开关部。控制部与沿着第1方向的对象物的输送同步地切换该连接状态,以使与通过检测透过了对象物中的同一区域的X射线而从像素部输出的输出信号对应的电信号在同一加法部中被相加。



CN 117716695 A

1.一种X射线图像取得装置,其特征在于:

是用于取得沿第1方向输送的对象物的X射线图像的X射线图像取得装置,

包括:

像素单元,其具有各自包含用于检测X射线的N个像素部的M个像素阵列,所述N个像素部沿着所述第1方向排列,所述M个像素阵列沿着与所述第1方向正交的第2方向排列,其中,N为2以上的整数,M为2以上的整数;

M个电路单元,其与所述M个像素阵列对应设置;和

控制部,其控制所述M个电路单元,

所述M个电路单元各自具有:

将与来自对应的所述像素阵列的所述N个像素部的输出信号对应的电信号逐次相加的T个加法部,其中,T为N以上的整数;和

切换所述N个像素部与所述T个加法部之间的连接状态的开关部,

所述控制部针对所述M个电路单元的各个,与沿着所述第1方向的所述对象物的输送同步地切换所述N个像素部与所述T个加法部之间的所述连接状态,以使与通过检测透过了所述对象物中的同一区域的X射线而从所述像素部输出的所述输出信号对应的所述电信号在同一所述加法部中被相加。

2.如权利要求1所述的X射线图像取得装置,其特征在于:

还包括将透过了所述对象物的X射线转换为闪烁光的至少一个闪烁器,

所述N个像素部接收由所述至少一个闪烁器转换的所述闪烁光。

3.如权利要求1或2所述的X射线图像取得装置,其特征在于:

所述T个加法部各自是A/D转换器。

4.如权利要求1或2所述的X射线图像取得装置,其特征在于:

所述T个加法部各自是电荷放大器。

5.如权利要求1~4中任一项所述的X射线图像取得装置,其特征在于:

在所述像素单元与所述M个电路单元之间隔开所述像素部的宽度的2倍以上的间隔。

6.如权利要求1~5中任一项所述的X射线图像取得装置,其特征在于:

还包括对X射线具有不透过性的遮蔽部件,

在所述遮蔽部件形成有开口,

所述像素单元与所述开口相对,所述M个电路单元与所述遮蔽部件中的所述开口以外的部分相对。

7.如权利要求1~6中任一项所述的X射线图像取得装置,其特征在于:

还包括与所述M个像素阵列各自的所述N个像素部和所述M个电路单元电连接的N×M根配线,

所述N×M根配线各自以通过所述N个像素部上的方式延伸。

8.如权利要求7所述的X射线图像取得装置,其特征在于:

所述N×M根配线各自具有:主体部,其从所述电路单元延伸至所述像素部;和延伸部,其从所述主体部与所述像素部之间的连接部位向与所述电路单元相反的一侧延伸,所述延伸部与所述主体部电气分离。

9.如权利要求1~8中任一项所述的X射线图像取得装置,其特征在于:

所述控制部控制所述M个电路单元,以使在与来自沿所述第1方向排列的L个所述像素部的所述输出信号对应的所述电信号在所述加法部中被相加后从所述加法部读出所述电信号,

L的值能够从1以上且N以下的整数中选择。

10.如权利要求1～8中任一项所述的X射线图像取得装置,其特征在于:

所述控制部控制所述M个电路单元,以使在与来自所述第1方向上的第P个至第Q个所述像素部的所述输出信号对应的所述电信号在所述加法部中被相加后从所述加法部读出所述电信号,其中,P＜Q,

P和Q的值能够从1以上且N以下的整数中选择。

11.如权利要求1～8中任一项所述的X射线图像取得装置,其特征在于:

所述加法部具有第1加法部和第2加法部,

所述控制部控制所述M个电路单元,以使在与来自在所述第1方向上位于第1区域的所述像素部的所述输出信号对应的所述电信号在所述第1加法部中被相加后从所述第1加法部读出所述电信号,并且在与来自在所述第1方向上位于与所述第1区域排列的第2区域的所述像素部的所述输出信号对应的所述电信号在所述第2加法部中被相加后从所述加法部读出所述电信号。

12.如权利要求11所述的X射线图像取得装置,其特征在于:

在所述第1方向上,设所述第1加法部相对于所述第2加法部所在的一侧为第1侧,设所述第2加法部相对于所述第1加法部所在的一侧为第2侧,

所述第1加法部相对于所述第1区域配置于所述第1侧,所述第2加法部相对于所述第2区域配置于所述第2侧。

13.如权利要求1～12中任一项所述的X射线图像取得装置,其特征在于:

所述N个像素部各自的曝光时间与所述对象物的输送独立地被控制。

14.如权利要求1～13中任一项所述的X射线图像取得装置,其特征在于:

能够变更线延迟功能的开启关闭,

在所述线延迟功能开启的情况下,所述N个像素部的曝光开始时刻按照所述第1方向上的所述N个像素部的排列顺序,各规定时间地错开。

15.如权利要求1～14中任一项所述的X射线图像取得装置,其特征在于:

N是8以上的整数。

16.一种X射线图像取得系统,其特征在于:

包括:

权利要求1～15中任一项所述的X射线图像取得装置;

输出X射线的X射线源;和

沿着所述第1方向输送所述对象物的输送部。

X射线图像取得装置和X射线图像取得系统

技术领域

[0001] 本发明的一个方面涉及X射线图像取得装置和X射线图像取得系统。

背景技术

[0002] 已知有取得输送中的对象物的X射线图像的X射线图像取得装置(例如参照专利文献1)。例如,在专利文献1所记载的检查装置中,一直以来使用CCD(Charge Coupled Device(电荷耦合器件))传感器实现的TDI(Time Delay Integration)(时间延迟积分)动作使用CMOS(Complementary Metal Oxide Semiconductor(互补金属氧化物半导体))传感器来实现。该X射线图像取得装置具有:检测单元,其排列多个包含多个检测元件的线传感器而构成;和存储单元,其存储从各检测元件输出的数字信号,通过在存储单元中进行加法运算来实现TDI动作。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2019-158663号公报

发明内容

[0006] 发明所要解决的技术问题

[0007] 在专利文献1所记载的检查装置中,根据检测元件的数量,存储单元中的加法运算的速度不满足要求,有可能无法实现TDI动作。另外,在上述那样的X射线图像取得装置中,要求结构的简化、电路规模的缩小。

[0008] 因此,本发明的一个方面的目的在于提供一种X射线图像取得装置和X射线图像取得系统,其即使在像素部的数量增加的情况下也能够实现TDI动作,并且能够实现结构的简化和电路规模的缩小。

[0009] 解决问题的技术手段

[0010] 本发明的一个方面的X射线图像取得装置,是用于取得沿着第1方向输送的对象物的X射线图像的X射线图像取得装置,包括:像素单元,其具有各自包含用于检测X射线的N个(N为2以上的整数)像素部的M个(M为2以上的整数)像素阵列,N个像素部沿着第1方向排列,M个像素阵列沿着与第1方向正交的第2方向排列;与M个像素阵列对应设置的M个电路单元;和控制M个电路单元的控制部,M个电路单元各自具有:将与来自对应的像素阵列的N个像素部的输出信号对应的电信号逐次相加的T个(T为N以上的整数)加法部;和切换N个像素部与T个加法部之间的连接状态的开关部,控制部针对M个电路单元的各个,与沿着第1方向的对象物的输送同步地切换N个像素部与T个加法部之间的连接状态,以使与通过检测透过了对象物中的同一区域的X射线而从像素部输出的输出信号对应的电信号在同一加法部中被相加。

[0011] 在该X射线图像取得装置中,M个电路单元各自具有T个加法部和开关部。并且,在M个电路单元的各个中,与沿着第1方向的对象物的输送同步地切换N个像素部与T个加法部

之间的连接状态,以使与通过检测透过了对象物中的同一区域的X射线而从像素部输出的输出信号对应的电信号在同一加法部中被相加,由此实现TDI动作。通过这样利用电路单元中的加法处理实现TDI动作,能够避免上述的存储单元中的加法运算的速度的问题,即使在像素部的数量增加的情况下也能够实现TDI动作。另外,能够省略上述的存储单元那样的存储器,能够简化结构。再有,在该X射线图像取得装置中,通过使用开关部切换像素部与加法部之间的连接状态,实现TDI动作。由此,与例如单单在电路单元中设置用于将信号相加的存储器的情况相比,能够缩小电路规模。因此,根据该X射线图像取得装置,即使在像素部的数量增加的情况下也能够实现TDI动作,并且能够实现结构的简化和电路规模的缩小。

[0012] 本发明的一个方面的X射线图像取得装置也可以还包括将透过了对象物的X射线转换为闪烁光的至少一个闪烁器,N个像素部接收由至少一个闪烁器转换后的闪烁光。在该情况下,能够将X射线转换为闪烁光来进行检测。

[0013] T个加法部各自也可以是A/D转换器(Analog-to-Digital converter)。在该情况下,能够使用A/D转换器来实现TDI动作。

[0014] T个加法部各自也可以是电荷放大器。在该情况下,能够使用电荷放大器实现TDI动作。

[0015] 也可以在像素单元与M个电路单元之间隔开像素部的宽度的2倍以上的间隔。在该情况下,能够抑制X射线向相对于X射线的耐久性比像素单元低的电路单元的入射。

[0016] 本发明的一个方面的X射线图像取得装置也可以还包括对X射线具有不透过性的遮蔽部件,在遮蔽部件形成有开口,像素单元与开口相对,M个电路单元与遮蔽部件中的开口以外的部分相对。在该情况下,能够允许X射线向像素单元的入射,并且抑制X射线向电路单元的入射。

[0017] 本发明的X射线图像取得装置也可以还包括与M个像素阵列各自的N个像素部和M个电路单元电连接的N×M根配线,N×M根配线各自以在N个像素部上通过的方式延伸。在该情况下,在沿第2方向排列的M个像素阵列间N根配线不被汇集,能够避免非感测的局部产生。

[0018] 也可以是,N×M根配线各自具有:主体部,其从电路单元延伸到像素部;和延伸部,其从主体部与像素部之间的连接部位向与电路单元相反的一侧延伸,延伸部与主体部电气分离。在该情况下,能够使N个像素部的开口率均匀化,并且能够抑制由延伸部引起的寄生电容的产生。

[0019] 也可以是,控制部控制M个电路单元,以使在与来自沿第1方向排列的L个像素部的输出信号对应的电信号在加法部中被相加之后从加法部读出电信号,L的值能够从1以上且N以下的整数中选择。在该情况下,能够根据例如X射线的泄漏量、对象物的厚度等来选择进行加法处理的像素部的数量。

[0020] 也可以是,控制部控制M个电路单元,以使在与来自第1方向上的第P个至第Q个(P<Q)像素部的输出信号对应的电信号在加法部中被相加之后从加法部读出电信号,P和Q的值能够从1以上且N以下的整数中选择。在该情况下,例如能够应对X射线源与像素单元之间的位置关系的偏差。

[0021] 也可以是,加法部具有第1加法部和第2加法部,控制部控制M个电路单元,以使在与来自在第1方向上位于第1区域的像素部的输出信号对应的电信号在加法部中被相加后

从第1加法部读出电信号,并且在与来自在第1方向上位于与第1区域排列的第2区域的像素部的输出信号对应的电信号在第2加法部中被相加后从加法部读出电信号。在该情况下,例如能够实现双模式,能够通过一次处理来取得多个X射线图像。

[0022] 也可以是,在第1方向上,将第1加法部相对于第2加法部所在的一侧设为第1侧,将第2加法部相对于第1加法部所在的一侧设为第2侧时,第1加法部相对于第1区域配置于第1侧,第2加法部相对于第2区域配置于第2侧。在该情况下,能够减少将位于第1区域的像素部与第1加法部连接的配线、和将位于第2区域的像素部与第2加法部连接的配线的长度。

[0023] N个像素部各自的曝光时间也可以与对象物的输送独立地控制。有时在用于与对象物的输送同步的外部信号中包含抖动(波动),如果将像素部的曝光时间与这样的外部信号建立对应,则担心曝光时间产生偏差。与此相对,通过与对象物的输送独立地控制N个像素部各自的曝光时间,能够使N个像素部的曝光时间均匀化。

[0024] 也可以是,能够变更线延迟功能的开启关闭,在线延迟功能开启的情况下,N个像素部的曝光开始时刻按照第1方向上的N个像素部的排列顺序,各规定时间地错开。在该情况下,能够实现线延迟功能,能够变更高度方向上的同步位置。

[0025] N也可以是8以上的整数。根据该X射线图像取得装置,即使在这样像素部的数量多的情况下,也能够实现TDI动作,并且能够实现结构的简化和电路规模的缩小。

[0026] 本发明的一方面的X射线图像取得系统包括上述X射线图像取得装置、输出X射线的X射线源和沿着第1方向输送对象物的输送部。根据该X射线图像取得系统,根据上述理由,即使在像素部的数量增加的情况下也能够实现TDI动作,并且能够实现结构的简化和电路规模的缩小。

[0027] 发明的效果

[0028] 根据本发明的一个方面,能够提供一种X射线图像取得装置和X射线图像取得系统,其即使在像素部的数量增加的情况下也能够实现TDI动作,并且能够实现结构的简化和电路规模的缩小。

附图说明

[0029] 图1是实施方式的摄像元件的俯视图。

[0030] 图2是表示像素阵列和电路单元的电路结构的图。

[0031] 图3是表示放大器阵列的电路结构的图。

[0032] 图4是表示开关阵列的电路结构的图。

[0033] 图5是表示存储器阵列的电路结构的图。

[0034] 图6是表示ADC阵列的电路结构的图。

[0035] 图7是表示实施方式的摄像元件的动作的时序图。

[0036] 图8是表示实施方式的摄像元件的动作的时序图。

[0037] 图9是表示实施方式的摄像元件的动作的时序图。

[0038] 图10是用于说明TDI动作的图。

[0039] 图11是用于说明TDI动作的图。

[0040] 图12是用于说明比较例中的电荷传输的电路图。

[0041] 图13是用于说明实施方式中的电荷传输的电路图。

[0042] 图14是表示第1变形例的像素阵列和电路单元的电路结构的图。

[0043] 图15是表示第2变形例的像素阵列和放大器阵列的电路结构的图。

[0044] 图16是表示第2变形例的开关阵列的电路结构的图。

[0045] 图17是表示第2变形例的摄像元件的动作的时序图。

[0046] 图18是表示第2变形例的摄像元件的动作的时序图。

[0047] 图19是表示第3变形例的像素阵列和电路单元的电路结构的图。

[0048] 图20是表示第3变形例的开关阵列的电路结构的图。

[0049] 图21是表示第3变形例的放大器阵列的电路结构的图。

[0050] 图22是表示第3变形例的开关阵列的电路结构的图。

[0051] 图23是表示第3变形例的摄像元件的动作的时序图。

[0052] 图24是表示第3变形例的摄像元件的动作的时序图。

[0053] 图25是表示第3变形例的摄像元件的动作的时序图。

[0054] 图26是用于说明第3变形例的TDI动作的图。

[0055] 图27是用于说明第3变形例的TDI动作的图。

[0056] 图28是表示第4变形例的像素阵列和电路单元的电路结构的图。

[0057] 图29是表示第4变形例的摄像元件的动作的时序图。

[0058] 图30是表示第4变形例的摄像元件的动作的时序图。

[0059] 图31是第2实施方式的X射线图像取得装置的结构图。

[0060] 图32是第2实施方式的摄像元件的俯视图。

[0061] 图33是用于说明第2实施方式的TDI动作的图。

[0062] 图34是用于说明第2实施方式的TDI动作的图。

[0063] 图35是用于说明切换相加帧数时的TDI动作的图。

[0064] 图36的(a)和(b)是用于说明相加帧数的切换功能的图。

[0065] 图37的(a)和(b)是用于说明相加帧数的切换功能的图。

[0066] 图38是用于说明切换相加范围时的TDI动作的图。

[0067] 图39是用于说明切换相加范围时的TDI动作的图。

[0068] 图40的(a)和(b)是用于说明相加范围的切换功能的图。

[0069] 图41是用于说明双模式的图。

[0070] 图42是用于说明双模式下的TDI动作的图。

[0071] 图43是用于说明双模式下的TDI动作的图。

[0072] 图44是用于说明用于双模式的其他配置例的图。

[0073] 图45是用于说明相加方向反转时的TDI动作的图。

[0074] 图46是用于说明相加方向反转时的TDI动作的图。

[0075] 图47是用于说明相加方向反转时的TDI动作的另一例的图。

[0076] 图48是用于说明曝光时间的独立控制的图。

[0077] 图49是用于说明线延迟功能的图。

[0078] 图50是用于说明线延迟功能的图。

具体实施方式

[0079] 以下,参照附图,对本发明的实施方式进行详细的说明。在以下的说明中,对相同或相当的要素使用相同的符号,省略重复的说明。

[0080] [第1实施方式]

[0081] [摄像元件的结构]

[0082] 图1所示的摄像元件1例如是在用于取得沿着输送方向输送的对象物的X射线图像的X射线图像取得装置中使用的固体摄像元件。在X射线图像取得装置中,例如通过闪烁器将透过了对象物的X射线转换为闪烁光,通过摄像元件1检测该闪烁光,从而取得对象物的X射线图像。此时,为了提高取得图像中的S/N比,进行使用了摄像元件1的TDI(Time Delay Integration)动作。关于TDI动作在后面叙述。

[0083] 如图1所示,摄像元件1具有像素单元2、电路部3和解码器4。像素单元2、电路部3和解码器4形成在一个芯片上并且彼此被一体化。像素单元2具有各自包含进行光电转换的N个(N为2以上的整数)像素部11的M个(M为2以上的整数)像素阵列12。各像素部11在俯视时例如形成为矩形状。N个像素部11沿着第1方向X1以彼此相邻的方式排成一列。M个像素阵列12沿着与第1方向X1正交的第2方向X2以相互相邻的方式排列。M个像素阵列12的第A个(A为1以上N以下的任意整数)像素部11沿着第2方向X2排列。即,在像素单元2中,N×M个像素部11排列成矩阵状。

[0084] 在如上述那样在X射线图像取得装置中使用的情况下,摄像元件1配置为第1方向X1与对象物的输送方向一致。N可以是8以上的整数,也可以是16以上的整数。N越大,越能够通过TDI动作提高S/N比。以下,以N为4的情况为例进行说明,但N为其他值也同样。

[0085] 各像素部11例如由能够检测闪烁光的受光元件构成。受光元件在该例中是由硅构成的光电二极管,但也可以是由InGaAs或CdTe等化合物半导体构成的光电二极管。在该例中,受光元件是PN结部在表面露出的表面型的光电二极管,但也可以是PN结部埋入内部的埋入型的光电二极管。

[0086] 电路部3包括与M个像素阵列12对应地设置的M个电路单元5。在该例子中,M个电路单元5各自与M个像素阵列12电连接。具体而言,M个像素阵列12各自的N个像素部11与M个电路单元5通过N×M根配线6电连接。即,一个像素阵列12的N个像素部11通过N根配线6与对应的电路单元5电连接。各配线6例如以通过像素部11上的方式沿着第1方向X1呈直线状延伸。

[0087] 如图2所示,各电路单元5具有放大器阵列30、开关阵列(开关电路、开关部)40、存储器阵列50、ADC(Analog-to-Digital converter)阵列60。以下,说明一个电路单元5和与该电路单元5对应的像素阵列12的结构和动作,但其他电路单元5和像素阵列12的结构和动作也同样。另外,也将像素阵列12所具有的4个像素部11按照远离电路单元5的顺序记为像素部PD1、PD2、PD3、PD4。

[0088] 如图3所示,放大器阵列30包含N个(该例中为4个)电荷放大器31。各电荷放大器31具有运算放大器32、电容部33和重置开关34。电容部33是反馈电容,连接在运算放大器32的反相输入端子32a与输出端子32c之间。在电容部33蓄积有从像素部11输出的电荷信号。运算放大器32的非反相输入端子32b与基准电压Vref连接。重置开关34在反相输入端子32a与输出端子32c之间与电容部33并联连接。重置开关34根据重置信号RS_A被导通断开,并且重置蓄积于电容部33的电荷。

[0089] 在四个电荷放大器31分别连接有对应的像素阵列12的四个像素部11。更具体而言,来自像素部11的电荷信号被输入到运算放大器32的反相输入端子32a。电荷放大器31将从对应的像素阵列12的像素部11输出的电荷信号转换为电压信号。以下,将接收来自像素部PD1、PD2、PD3、PD4的信号的电荷放大器31也各自记为电荷放大器CA1、CA2、CA3、CA4。来自电荷放大器31的电压信号经由输出端子32c输出至下述的开关单元SU1～SU4。

[0090] 如图4所示,开关阵列40包括N个(在该例子中为4个)开关单元41。各开关单元41包括各自与4个电荷放大器31连接的4个开关42a、42b、42c、42d。来自开关单元41的输出信号被输出到下述的存储器单元MR1～MR4。开关阵列40构成为按照开关42a～42d的导通断开来切换电荷放大器CA1～CA4与存储器单元MR1～MR4之间的连接状态。

[0091] 更具体而言,在各开关单元41中,开关42a根据切换信号SW1而导通断开,开关42b根据切换信号SW2而导通断开,开关42c根据切换信号SW3而导通断开,开关42d根据切换信号SW4而导通断开。将与存储器单元MR1、MR2、MR3、MR4连接的开关单元41各自设为开关单元SU1、SU2、SU3、SU4。在图4中表示开关单元SU1、SU2、SU3、SU4的输出节点SU1_OUT、SU2_OUT、SU3_OUT、SU4_OUT。

[0092] 在切换信号SW1为导通且切换信号SW2～SW4为断开的情况下,电荷放大器CA1、CA4、CA3、CA2各自与存储器单元MR1、MR2、MR3、MR4连接。在切换信号SW2为导通且切换信号SW1、SW3、SW4为断开的情况下,电荷放大器CA2、CA1、CA4、CA3各自与存储器单元MR1、MR2、MR3、MR4连接。在切换信号SW3为导通且切换信号SW1、SW2、SW4为断开的情况下,电荷放大器CA3、CA2、CA1、CA4各自与存储器单元MR1、MR2、MR3、MR4连接。在切换信号SW4为导通且切换信号SW1～SW3为断开的情况下,电荷放大器CA4、CA3、CA2、CA1各自与存储器单元MR1、MR2、MR3、MR4连接。

[0093] 如图5所示,存储器阵列50包含N个(在该例子中为4个)存储器单元51。此外,存储器阵列50也可包含T个(T为N以上的整数)存储器单元51。各存储器单元51具有电容52N、52S、开关53N、53S、54N、54S和重置开关55。电容52N保持来自电荷放大器31的电压信号中的基准电压(N电平),电容52S保持来自电荷放大器31的电压信号中的信号电压(S电平)。信号电压与基准电压之差成为有效的信号。

[0094] 开关53N、53S用于切换电容52N、52S与开关单元SU1～SU4之间的连接状态,开关54N、54S用于切换电容52N、52S与下述的A/D转换器AD1～AD4之间的连接状态。开关53N、53S根据切换信号SETN1、SETS1导通断开,开关54N、54S根据切换信号SETN2、SETS2导通断开。

[0095] 重置开关55根据重置信号RS_M导通断开。当重置开关55导通时,供给重置电压VRS,A/D转换器AD1～AD4的输入端子的电压被重置。由于来自电荷放大器31的电压信号被保持于电容52N、52S的顺序是S电平、N电平的顺序,相对于此,基于ADC阵列60的AD转换的顺序是N电平、S电平的顺序,所以存储器阵列50为了更换信号的传输顺序而被设置。以下,将与开关单元SU1、SU2、SU3、SU4(A/D转换器AD1、AD2、AD3、AD4)连接的存储器单元51也各自记为存储器单元MR1、MR2、MR3、MR4。在图5中表示存储器单元MR1、MR2、MR3、MR4的输出节点MR1_OUT、MR2_OUT、MR3_OUT、MR4_OUT。

[0096] 如图6所示,ADC阵列60包括N个(在该例子中为4个)A/D转换器(加法部)61。此外,ADC阵列60也可以包括T个(T为N以上的整数)A/D转换器61。在该例中,各A/D转换器61构成为单斜率型,具有比较器62、比特数为B(B为1以上的整数)的计数器63、B个锁存开关64和B

个电容65。比较器62将来自存储器单元51的输出信号与斜波VRAMP进行比较。计数器63以B比特输出与来自比较器62的输出信号对应的计数值。锁存开关64对从计数器63输出的计数值进行锁存。电容65根据锁存开关64的导通断开而保持从计数器63输出的计数值。计数器63基于时钟脉冲CLK进行动作。锁存开关64按照锁存信号LS进行动作。

[0097] 在A/D转换器61中,比较器62的输出根据来自存储器单元MR1～MR4的输出信号(来自像素部PD1～PD4的电荷信号、来自电荷放大器CA1～CA4的电压信号)而变化,计数器63根据该变化进行计数,由此进行将电压信号转换为数字值的A/D转换。

[0098] 如果将连接于存储器单元MR1、MR2、MR3、MR4的A/D转换器61各自设为A/D转换器AD1、AD2、AD3、AD4,则对A/D转换器AD1、AD2、AD3、AD4的计数器63输入个别的重置信号RS_C1、RS_C2、RS_C3、RS_C4。由此,能够独立地进行A/D转换器AD1～AD4的计数器63的重置。

[0099] 在各A/D转换器61中,计数器63进行与所受理的电压信号相应的计数,并保持其计数值。在计数器63中进行的计数可以是递增计数或递减计数中的任一种。另外,计数器63以在该计数器63中先保持的计数值为基准,进行与接下来输入的电压信号对应的计数,并保持该计数值。即,各计数器63在每次输入电压信号时逐次进行计数,保持与所输入的所有电压信号对应的计数值(加法处理)。

[0100] B个电容65保持与对应的计数器63中的计数值的保持状态(相加状态)对应的电压信号(相加信号)。即,各电容65中的电压信号的保持/不保持根据保持于对应的计数器63的计数值来决定。由此,通过读出B个电容65中的电压信号的保持状态,能够得到与在计数器63中保持的计数值对应的数字信号。如上所述,在A/D转换器61中,比较器62和计数器63作为进行从电荷放大器CA1～CA4中的任一个输出的电压信号的加法处理的加法处理部发挥功能,并且B个电容65作为保持与加法处理部的相加状态相应的相加信号的保持部发挥功能。保持于计数器63的计数值通过重置信号RS_C1～C4的输入而被重置。电容65中的电压信号的保持状态的读出时刻由解码器4控制。

[0101] 再次参照图1,M个电路单元5以与对应的像素阵列12在第1方向X1上相邻(相对)的方式配置。各电路单元5具有沿第2方向X2排列的N个配置区域R。在配置区域R的各个,逐一配置有上述的电荷放大器31、存储器单元51和A/D转换器61。第2方向X2上的各配置区域R的宽度为第2方向X2上的像素部11的宽度的1/N以下。即,在第2方向X2上,将N个配置区域R合起来的区域的宽度为像素部11的宽度以下。

[0102] [TDI动作]

[0103] 参照图7～图9,对使用摄像元件1的TDI动作进行说明。在图7的时序图中,从上到下依次表示重置信号RS_A、来自电荷放大器CA1～CA4的电压信号、切换信号SW1～SW4、切换信号SETN1、SETS1、SETN2、SETS2和重置信号RS_M的时间变化、以及A/D转换器AD1～AD4的动作状态。在A/D转换器AD1～AD4的动作状态下,“A/D转换:CA1”是指进行来自电荷放大器CA1的电压信号的A/D转换,同样地,“A/D转换:CA2～CA4”是指进行来自电荷放大器CA2～CA4的电压信号的A/D转换。“H”是指信号被保持,“0”是指信号被重置。来自电荷放大器CA1～CA4的电压信号的波形是一个例子。这些点对于下述的图17、图18、图23、图24、图29、图30也相同。在图8的时序图中,从上到下依次表示A/D转换器AD1～AD4的动作状态、以及锁存信号LS、重置信号RS_C1～C4和读出信号D1～D4的时间变化。读出信号D1～D4是为了控制电容65中的电压保持状态的读出时刻而从解码器4输出的信号。在读出信号D1、D2、D3、D4成为导通

的情况下,分别读出A/D转换器AD1、AD2、AD3、AD4的电容65的电压保持状态,并转换为数字值(数字信号)(图2)。

[0104] 如图7～图9所示,在时刻T1、T2之间的期间,切换信号SW1被设为导通并且切换信号SW2～SW4被设为断开,电荷放大器CA1、CA4、CA3、CA2分别与存储器单元MR1、MR2、MR3、MR4连接。然后,当来自电荷放大器CA4、CA3、CA2、CA1的电压信号(与从像素部PD4、PD3、PD2、PD1输出的电荷信号相对应的电压信号)被输入时,分别在A/D转换器AD1、AD2、AD3、AD4中进行计数并保持计数值。在时刻T2读出信号D1成为导通,读出保持于A/D转换器AD1的电容65的电压状态,并转换为数字值。在该读出之前,输入重置信号RS_C1,A/D转换器AD1的计数器63被重置。

[0105] 在时刻T2、T3之间的期间,切换信号SW2被设为导通并且切换信号SW1、SW3、SW4被设为断开,电荷放大器CA2、CA1、CA4、CA3各自与存储器单元MR1、MR2、MR3、MR4连接。然后,输入来自电荷放大器CA1、CA4、CA3、CA2的电压信号(与从像素部PD1、PD4、PD3、PD2输出的电荷信号对应的电压信号),分别在A/D转换器AD1、AD2、AD3、AD4中进行计数并保持计数值。在时刻T3读出信号D2成为导通,读出保持于A/D转换器AD2的电容65的电压状态,并转换为数字值。在该读出之前,输入重置信号RS_C2,A/D转换器AD2的计数器63被重置。

[0106] 在时刻T2、T3之间的期间,在作为之前期间的时刻T1、T2之间的期间中保持于存储器单元51的电容52N、52S的来自电荷放大器31的电压信号通过切换信号SETN1、SETS1、SETN2、SETS2的导通断开而被传输到A/D转换器AD1～AD4。因此,在时刻T2、T3之间的期间,A/D转换器AD1、AD2、AD3、AD4进行与来自在之前的期间、即时刻T1、T2之间的期间与存储器单元MR1、MR2、MR3、MR4连接的电荷放大器CA1、CA4、CA3、CA2的电压信号相应的计数,进行A/D转换。这一点对于其他期间也是同样的。

[0107] 在时刻T3、T4之间的期间,切换信号SW3被设为导通并且切换信号SW1、SW2、SW4被设为断开,电荷放大器CA3、CA2、CA1、CA4各自与存储器单元MR1、MR2、MR3、MR4连接。然后,输入来自电荷放大器CA2、CA1、CA4、CA3的电压信号(与从像素部PD2、PD1、PD4、PD3输出的电荷信号对应的电压信号),分别在A/D转换器AD1、AD2、AD3、AD4中进行计数。在时刻T4读出信号D3成为导通,读出保持于A/D转换器AD3的电容65的电压状态,并转换为数字值。在该读出之前,输入重置信号RS_C3,A/D转换器AD3的计数器63被重置。

[0108] 在时刻T4、T5之间的期间,切换信号SW4被设为导通并且切换信号SW1～SW3被设为断开,电荷放大器CA4、CA3、CA2、CA1各自与存储器单元MR1、MR2、MR3、MR4连接。然后,输入来自电荷放大器CA3、CA2、CA1、CA4的电压信号(与从像素部PD3、PD2、PD1、PD4输出的电荷信号对应的电压信号),分别在A/D转换器AD1、AD2、AD3、AD4中进行计数。在时刻T5读出信号D4成为导通,读出保持于A/D转换器AD4的电容65的电压状态,并转换为数字值。在该读出之前,输入重置信号RS_C4,A/D转换器AD4的计数器63被重置。时刻T5、T6之间、时刻T6、T7之间、时刻T7、T8之间、时刻T8、T9之间的期间的动作分别与时刻T1、T2之间、时刻T2、T3之间、时刻T3、T4之间、时刻T4、T5之间的期间的动作相同。

[0109] 通过以上的动作,来自N个像素部11的输出信号以TDI方式被相加。在上述例子中,通过使A/D转换器AD1～AD4中的计数器63的重置时刻逐帧错开,实现连续的TDI的加法处理。1帧与时刻T1、T2之间的期间的长度对应。在该加法处理中,保持与从像素部PD1～PD4输出的电荷信号对应的电压信号的A/D转换器AD1～AD4的电容65(保持部)按照沿着第1方向

X1的像素部PD1～PD4的排列顺序进行切换。换言之,开关阵列40切换电荷放大器CA1～CA4与A/D转换器AD1～AD4的电容65之间的连接状态,以便这样进行切换。

[0110] 图10和图11是用于说明基于TDI动作的加法处理的图。在图10和图11中,表示通过摄像元件1检测来自沿着输送方向(第1方向X1)输送的对象物OJ的光(电磁波)的例子。当根据沿着输送方向的位置将对象物OJ分为区域a～j时,如图10和图11所示,通过TDI动作,与通过检测透过对象物OJ中的同一区域的光而从像素部PD1～PD4输出的电荷信号对应的信号被输入到同一A/D转换器AD1～AD4。例如,基于检测来自区域a的光的信号被输入到A/D转换器AD1。然后,在电容65中保持与相当于4帧量的信号的计数值对应的电压信号(4a),在时刻T6从A/D转换器AD1作为数字值读出该电压信号(4a)。通过这样取得相当于N帧量的信号的计数值,能够提高取得图像中的S/N比。在TDI动作中,开关阵列40切换电荷放大器CA1～CA4与A/D转换器AD1～AD4之间的连接状态的时刻与沿着第1方向X1的对象物OJ的输送(例如输送速度)同步。

[0111] [作用和效果]

[0112] 在摄像元件1中,M个电路单元5各自具有N个电荷放大器31、N个A/D转换器61和开关阵列40(开关电路)。并且,在各电路单元5中,以保持与从像素部11输出的电荷信号对应的电压信号(相加信号)的A/D转换器61的电容65(保持部)按照沿第1方向X1的N个像素部11的排列顺序进行切换的方式,切换电荷放大器31与A/D转换器61的电容65之间的连接状态,由此实现TDI动作。通过使用这样的A/D转换器61的加法处理来实现TDI动作,由此,例如与单单在电路单元5中设置用于对信号进行数字相加的存储器的情况相比,能够抑制电路规模的增大。此外,与例如将信号输出到摄像元件1的外部并在外部进行数字加法处理的情况相比,能够减少输出信号量。此外,在摄像元件1中,通过电荷放大器31将从像素部11输出的电荷信号转换成电压信号,在A/D转换器61中对该电压信号进行加法处理。由此,能够减少来自像素部11的电荷信号的传输中的损耗,能够实现高效的TDI动作。因此,根据摄像元件1,能够抑制电路规模的增大并且降低输出信号量,并且能够实现高效的TDI动作。

[0113] 参照图12和图13,对来自像素部11的电荷信号的传输中的损耗的减少进行说明。图12是用于说明比较例中的电荷传输的电路图,图13是用于说明实施方式中的电荷传输的电路图。在图12所示的比较例中,来自像素部的信号电荷Q1通过导通开关SW而被传输到积分电容C2。在这种情况下,如果设像素部侧的电容(光电二极管的电容等)为C1,则节点2的电压V2如果被完全传输的话则成为Q1/C2,但实际上会成为Q1/(C1+C2)。之后,即使断开开关SW,传输到积分电容C2的电荷也成为Q1×C2/(C1+C2),电荷传输变得不充分(电容分割)。

[0114] 另一方面,如图13所示,在电荷放大器31与像素部11连接的情况下,节点A的电位不会因来自像素部11的信号电荷Q而变化,由于运算放大器32的虚拟接地的效果,节点A的电位持续成为与基准电压Vref相同的电位。由于节点A的电位不变化,所以信号电荷Q全部蓄积于电容部33,来自电荷放大器31的输出电压成为Q/Cf,能够降低电荷信号的传输中的损耗。另外,Cf是电容部33的电容。

[0115] 各A/D转换器61构成为单斜率型。由此,能够以简单的结构实现高效的TDI动作。

[0116] 开关阵列40连接在电荷放大器31与A/D转换器61的比较器62(加法处理部)之间。由此,能够以简单的结构实现高效的TDI动作。

[0117] 第2方向X2上的各配置区域R的宽度为第2方向X2上的像素部11的宽度的1/N以下。

由此,能够高效地配置电路单元5,能够进一步抑制电路规模的增大。

[0118] 各像素部11包含表面型的光电二极管。由此,能够使像素部11大面积化。

[0119] N为8以上的整数。这样,在像素的数量较多的情况下,电路规模的增大和输出信号量的增加容易成为问题,但在摄像元件1中,即使在这样的情况下,也能够抑制电路规模的增大并且降低输出信号量,并且能够实现高效的TDI动作。

[0120] [变形例]

[0121] 摄像元件1也可以如图14所示的第1变形例那样构成。在上述实施方式中,摄像元件1的整体形成在1个芯片上,但在第1变形例中,像素单元2与电路部3及解码器4形成于不同芯片,相互分离。在使用时,像素单元2与电路部3(放大器阵列30)电连接。根据这样的第1变形例,也与上述第1实施方式同样,能够抑制电路规模的增大并且降低输出信号量,并且能够实现高效的TDI动作。

[0122] 摄像元件1也可以如图15~图18所示的第2变形例那样构成。在第2变形例中,各像素部11的受光元件由埋入型光电二极管构成。各像素部11除了受光元件之外还具有像素放大器13。像素放大器13包括电容14、晶体管15、16和源极跟随放大器17。电容14例如是浮动扩散区,并且是形成于半导体基板的蓄积区域。受光元件的信号电荷全部被传输到电容14,被转换为电压。晶体管15例如是MOS晶体管,控制来自受光元件的信号向电容14的传输。晶体管16例如是MOS晶体管,控制电容14的重置。源极跟随放大器17放大并输出来自电容14的电压信号。源极跟随放大器17经由耦合电容18连接到电荷放大器31。来自源极跟随放大器17的输出信号被耦合电容18转换成电荷,并且在电荷放大器31中再次从电荷转换成电压。在图15中,Vr是电容14的重置电压,Vb1是偏置电压,Vb2是基准电压,TRAN是传输信号,RS_P是电容14的重置信号。

[0123] 在第2变形例中,如图16所示,存储器单元51包括一个电容52和一个开关53。在第2变形例中,来自电荷放大器31的电压信号保持于电容52的顺序为N电平、S电平的顺序,与由ADC阵列60进行的AD转换的顺序相同,所以仅设置有一个电容52和开关53的对。开关53根据切换信号SET而导通断开。

[0124] 图17和图18是表示第2变形例的摄像元件1的动作的时序图。在第2变形例中,开关阵列40也切换电荷放大器CA1~CA4与A/D转换器AD1~AD4的电容65之间的连接状态,以使保持与从像素部PD1~PD4输出的电荷信号对应的电压信号的A/D转换器AD1~AD4的电容65(保持部)按照沿着第1方向X1的像素部PD1~PD4的排列顺序进行切换。

[0125] 根据这样的第2变形例,也与上述第1实施方式同样,能够抑制电路规模的增大并且降低输出信号量,并且能够实现高效的TDI动作。另外,由于各像素部11包含埋入型的光电二极管,所以能够实现高灵敏度化和低噪声化。

[0126] 摄像元件1也可以如图19~图27所示的第3变形例那样构成。在第3变形例中,各像素部11的受光元件由表面型的光电二极管构成。如图19所示,各电路单元5具有开关阵列(开关电路)40A、放大器阵列30A和存储器阵列50A。

[0127] 如图20所示,开关阵列40A除了连接在像素部11与放大器阵列30A之间这一点以外,与上述第1实施方式的开关阵列40同样地构成。开关阵列40A构成为根据开关42a~42d的导通断开来切换像素部PD1~PD4与电荷放大器CA1~CA4(加法部)的电容部33之间的连接状态。

[0128] 如图21所示,放大器阵列30A连接在开关单元SU1～SU4与存储器单元MR1～MR4之间。个别的重置信号RS_A1、RS_AC2、RS_A3、RS_A4被输入到电荷放大器CA1、CA2、CA3、CA4的重置开关34。由此,能够独立地进行电荷放大器CA1～CA的电容部33的重置。放大器阵列30A除了这些点以外,与上述第1实施方式的放大器阵列30同样地构成。

[0129] 如图22所示,对存储器阵列50A输入来自电荷放大器CA1～CA4的电压信号。来自存储器单元MR1～MR4的输出信号例如使用差动放大器等读出。在存储器单元MR1中,开关53N、53S根据切换信号SETN1、SETS1而导通断开,开关54N、54S根据读出信号D1而导通断开。在存储器单元MR2中,开关53N、53S根据切换信号SETN2、SETS2而导通断开,开关54N、54S根据读出信号D2而导通断开。在存储器单元MR3中,开关53N、53S根据切换信号SETN3、SETS3而导通断开,开关54N、54S根据读出信号D3而导通断开。在存储器单元MR4中,开关53N、53S根据切换信号SETN4、SETS4而导通断开,开关54N、54S根据读出信号D4而导通断开。存储器阵列50A不具有重置开关55,在上述的差动放大器的重置时一并被重置。存储器阵列50A除了这些点以外,与所述第1实施方式的存储器阵列50同样地构成。

[0130] 在第3变形例中,M个电路单元5也以与对应的像素阵列12在第1方向X1上相邻的方式配置,各电路单元5具有沿第2方向X2排列的N个配置区域R。此外,各电路单元5也可以具有T个(T为N以上的整数)配置区域R。在第3变形例中,在各配置区域R逐一配置有电荷放大器31和存储器单元51。第2方向X2上的各配置区域R的宽度为第2方向X2上的像素部11的宽度的1/N以下。

[0131] 图23～图25是表示第3变形例的摄像元件1的动作的时序图,图26和图27是用于说明第3变形例的TDI动作的加法处理的图。在第3变形例中,蓄积从像素部PD1～PD4输出的电荷信号的电荷放大器CA1～CA4的电容部33按照沿着第1方向X1的像素部PD1～PD4的排列顺序进行切换。

[0132] 即,如图23和图24所示,通过各部进行动作,如图25所示,在时刻T1、T2之间的期间,从像素部PD1、PD4、PD3、PD2输出的电荷信号各自蓄积于电荷放大器CA1、CA2、CA3、CA4的电容部33。在时刻T2,读出蓄积于电荷放大器CA2的电容部33的电荷信号。在时刻T2、T3之间的期间,从像素部PD2、PD1、PD4、PD3输出的电荷信号各自蓄积于电荷放大器CA1、CA2、CA3、CA4的电容部33。在时刻T3,读出蓄积于电荷放大器CA3的电容部33的电荷信号。在时刻T3、T4之间的期间,从像素部PD3、PD2、PD1、PD4输出的电荷信号各自蓄积于电荷放大器CA1、CA2、CA3、CA4的电容部33。在时刻T4,读出蓄积于电荷放大器CA4的电容部33的电荷信号。在时刻T4、T5之间的期间,从像素部PD4、PD3、PD2、PD1输出的电荷信号各自蓄积于电荷放大器CA1、CA2、CA3、CA4的电容部33。在时刻T5,读出蓄积于电荷放大器CA1的电容部33的电荷信号。

[0133] 如图26和图27所示,在第3变形例的TDI动作中,通过检测透过了对象物OJ中的同一区域的光而从像素部PD1～PD4输出的电荷信号在同一电荷放大器CA1～CA4中作为模拟值被相加(蓄积)。例如,基于来自区域a的光被检测的信号在电荷放大器CA1中被相加。然后,在时刻T5,从电荷放大器CA1读出通过将四帧量的信号相加而获得的电荷信号(4a)。

[0134] 根据这样的第3变形例,也能够抑制电路规模的增大并且降低输出信号量,并且能够实现高效的TDI动作。即,在第3变形例的摄像元件1中,M个电路单元5各自具有N个电荷放大器31和开关阵列40A(开关电路)。并且,在各电路单元5中,以蓄积从像素部11输出的电荷

信号(作为电荷(模拟值)被相加)的电荷放大器31的电容部33按照沿着第1方向X1的N个像素部11的排列顺序进行切换的方式,切换像素部11与电荷放大器31之间的连接状态,由此实现TDI动作。通过使用这样的电荷放大器31的模拟加法处理来实现TDI动作,由此,例如与单单在电路单元5中设置用于对信号进行数字相加的存储器的情况相比,能够抑制电路规模的增大。此外,与例如将信号输出到摄像元件1的外部并在外部进行数字加法处理的情况相比,能够减少输出信号量。此外,在摄像元件1中,从像素部11输出的电荷信号蓄积于电荷放大器31的电容部33并被模拟相加,并且被电荷放大器31转换成电压信号。由此,能够减少来自像素部11的电荷信号的传输中的损耗,能够实现高效的TDI动作。因此,根据第3变形例的摄像元件1,也能够抑制电路规模的增大并且降低输出信号量,并且能够实现高效的TDI动作。

[0135] 另外,第2方向X2上的各配置区域R的宽度为第2方向X2上的像素部11的宽度的1/N以下,所以能够高效地配置电路单元5,能够进一步抑制电路规模的增大。此外,在第3变形例中,也可以是设置仅具有一个存储器单元51的存储器部来代替存储器阵列50,设置移位寄存器来代替解码器4。在该情况下,也能够实现TDI动作。但是,通过如第3变形例那样使用具有N个存储器单元51的存储器阵列50并由解码器4进行读出,能够变更帧的相加数。

[0136] 作为第4变形例,在上述第3变形例中,各像素部11的受光元件也可以由埋入型的光电二极管构成。在第4变形例中,如图28所示,与上述第2变形例同样地,各像素部11除了受光元件之外还具有像素放大器13。各像素部11经由耦合电容18与开关单元41连接。在耦合电容18与开关单元41之间设置有根据重置信号RS_S而导通断开的开关19。由受光元件产生的电荷信号被源极跟随放大器17转换为电压信号。该电压信号通过耦合电容18而被转换为电荷信号。图28表示PD1、PD2、PD3、PD4作为来自像素部11的输出。第4变形例的摄像元件1按照图29和图30所示的时序图进行动作。根据这样的第4变形例,也与上述第3变形例同样,能够抑制电路规模的增大并且降低输出信号量,并且能够实现高效的TDI动作。

[0137] 本发明不限于上述第1实施方式和变形例。例如,像素部11只要进行光电转换即可,不限于可见光,也可以检测红外线、X射线。在第1实施方式中,A/D转换器61不限于单斜率型。A/D转换器61也可以将所输入的电压信号转换为数字值,并将该数字值逐次相加。在上述第1实施方式中,开关阵列40也可以连接在A/D转换器61的比较器62与计数器63之间。在该情况下,也能够通过开关阵列40切换电荷放大器CA1～CA4与A/D转换器AD1～AD4的电容65之间的连接状态。

[0138] 在上述第1实施方式中,根据4帧量的信号进行计数并将该计数值作为数字值读出,但通过变更输入到A/D转换器AD1～AD4的计数器63的重置信号RS_C1～C4和来自解码器4的读出信号D1～D4的时刻,能够变更帧的相加数。关于第3变形例和第4变形例,也可以与第1变形例同样地,像素单元2、电路部3和解码器4形成于不同芯片。

[0139] [第2实施方式]

[0140] 图31所示的X射线图像取得系统100是取得沿着第1方向X1输送的对象物OJ的X射线图像的系统。X射线图像取得系统100包括X射线源101、输送部102和X射线图像取得装置110。X射线图像取得装置110包括摄像元件120和控制部130。

[0141] X射线源101输出X射线。在X射线源101的前方配置有用于规定来自X射线源101的X射线的照射范围的狭缝部件103。输送部102例如是带式输送机,通过带旋转,沿着第1方向

X1输送载置于带上的对象物OJ。输送部102的输送路径被设定为通过X射线源101的X射线的照射范围内。作为一个例子,对象物OJ是食品,X射线图像取得系统100用于检查有无异物混入对象物OJ内。

[0142] 如图1和图2所示,摄像元件120具有像素单元2和电路部3。此外,虽然省略了图示,但摄像元件120还具有上述解码器4。电路部3包括与M个像素阵列12对应地设置的M个电路单元5。各电路单元5具有放大器阵列30、开关阵列(开关部)40、存储器阵列50和ADC阵列60。摄像元件120除了以下所述的点以外,与第1实施方式的摄像元件1同样地构成。

[0143] 在摄像元件120中,第1方向X1上的像素单元2与电路部3之间的部分即间隙部105的宽度DS为第1方向X1上的像素部11的宽度的2倍以上。换言之,在像素单元2与M个电路单元5之间,隔开像素部11的宽度的2倍以上的间隔。间隔DS也可以是像素部11的宽度的5倍以上。间隔DS例如为2mm左右。

[0144] X射线图像取得装置110还包括配置在像素单元2的上方(像素单元2与输送部102之间)的闪烁器104。闪烁器104将透过对象物OJ的X射线转换为闪烁光。摄像元件120的各像素部11接收并检测由闪烁器104转换而成的闪烁光。

[0145] X射线图像取得装置110还包括配置在摄像元件120与输送部102之间的遮蔽部件106。遮蔽部件106具有例如由铅形成且对X射线具有不透过性(遮蔽性)的主体部106a。在主体部106a形成有狭缝(开口)106b。遮蔽部件106以像素单元2与狭缝106b相对、M个电路单元5与主体部106a(遮蔽部件106中的狭缝106b以外的部分)相对的方式配置。由此,从X射线源101输出并朝向像素单元2的X射线通过狭缝106b,从X射线源101输出并朝向电路单元5的X射线被遮蔽部件106遮蔽。遮蔽部件106可以覆盖摄像元件120中的间隙部105。即,间隙部105也可以与遮蔽部件106的主体部106a相对。

[0146] 在摄像元件120中,M个像素阵列12各自的N个像素部11与M个电路单元5通过N×M根配线6电连接。各配线6以通过像素部11上的方式沿着第1方向X1呈直线状延伸。各配线6具有:主体部6a,其从电路单元5呈直线状延伸至像素部11;和延伸部6b,其从主体部6a与像素部11之间的连接部位CP向与电路单元5相反的一侧(图32中的左侧)呈直线状延伸。在该例子中,延伸部6b与主体部6a电气分离。即,像素部11和电路单元5通过主体部6a彼此电连接。

[0147] 控制部130例如由包括处理器(CPU)、以及作为记录介质的RAM及ROM的计算机构成。控制部130与X射线源101、输送部102和摄像元件120电连接,控制X射线源101、输送部102和摄像元件120的动作。另外,控制X射线源101、输送部102和摄像元件120的控制部也可以个别地设置。

[0148] [TDI动作]

[0149] 参照图33和图34,对X射线图像取得系统100中的TDI动作进行说明。该TDI动作通过控制部130控制各部来实现。以下,以N为8的情况为例进行说明,但N为其他值也同样。将1个像素阵列12所包括的8个像素部11按照第1方向X1上的排列顺序各自设为像素部PD1~PD8,将与来自像素部PD1、PD2、PD3、PD4、PD5、PD6、PD7、PD8的电荷信号对应的电压信号转换为数字值的A/D转换器61各自设为加法部AN1、AN2、AN3、AN4、AN5、AN6、AN7、AN8。

[0150] 在该TDI动作中,也与上述第1实施方式同样地,开关阵列40切换电荷放大器31与A/D转换器61之间(像素部PD1~PD8与加法部AN1~AN8之间)的连接状态,以使进行与对应

于从像素部PD1～PD8输出的输出信号(电荷信号)的电信号(电压信号)相应的计数的加法部AN1～AN8按照沿着第1方向X1的像素部PD1～PD8的排列顺序进行切换。由此,与通过检测透过了对象物OJ中的同一区域的光而从像素部PD1～PD8输出的输出信号(电荷信号)对应的电信号(电压信号)在同一加法部AN1～AN8中被相加。

[0151] 例如,如图34所示,在时刻T2、T3之间的期间,与来自像素部PD1的输出信号对应的电信号在加法部AN1中被相加。在时刻T3、T4之间的期间,与来自像素部PD1、PD2的输出信号相对应的电信号分别在加法部AN2、AN1中被相加。在时刻T4、T5之间的期间,与来自像素部PD1、PD2、PD3的输出信号对应的电信号分别在加法部AN3、AN2、AN1中被相加。在时刻T5、T6之间的期间,与来自像素部PD1、PD2、PD3、PD4的输出信号对应的电信号分别在加法部AN4、AN3、AN2、AN1中被相加。在以后的时刻也依次进行加法处理,在时刻T10,从加法部AN1读出将8帧量的信号相加而得到的电压信号(8a),并转换为数字值。这样,在该例中,8帧量的信号被相加而取得。从X射线图像取得装置110输出的数据可以是被转换为数字值的数字信号本身(加法运算),也可以是该数字值除以相加后的帧数而得到的平均值(平均运算)。也可以是能够从加法运算和平均运算中选择运算方法。

[0152] 在该TDI动作中,开关阵列40切换像素部PD1～PD8与加法部AN1～AN8之间的连接状态的时刻与沿着第1方向X1的对象物OJ的输送(例如输送速度)同步。例如,控制部130也可以生成与对象物OJ的输送同步的周期性的线信号。在该情况下,控制部130基于该线信号控制开关阵列40的切换时机,使摄像元件120进行TDI动作。或者,控制部130也可以接收由控制部130以外的要素生成的来自外部的同步信号。在该情况下,控制部130基于该同步信号控制开关阵列40的切换时刻,使摄像元件120进行TDI动作。这样的同步信号例如能够由设置于输送部102的编码器生成。输送速度例如为10m/min～60m/min左右。

[0153] [作用和效果]

[0154] 在X射线图像取得装置110中,M个电路单元5各自具有N个A/D转换器61(加法部)和开关阵列40(开关部)。并且,在各个电路单元5中,与沿着第1方向X1的对象物OJ的输送同步地切换N个像素部11和N个A/D转换器61之间的连接状态,以使对应于通过检测透过了对象物OJ中的同一区域的X射线而从像素部11输出的输出信号(电荷信号)的电信号(电压信号)在同一A/D转换器61中被相加,从而实现TDI动作。通过这样利用电路单元5中的加法处理来实现TDI动作,能够避免上述的存储单元中的加法运算的速度的问题,即使在像素部11的数量增加的情况下也能够实现TDI动作。另外,能够省略上述的存储单元那样的存储器,能够简化结构。此外,在X射线图像取得装置110中,通过使用开关阵列40切换像素部11和A/D转换器61之间的连接状态来实现TDI动作。由此,例如与单单将用于对信号进行数字相加的存储器设置于电路单元5的情况相比,能够缩小电路规模。因此,根据X射线图像取得装置110,即使在像素部11的数量增加的情况下也能够实现TDI动作,并且能够实现结构的简化和电路规模的缩小。此外,通过TDI动作将信号相加而取得,从而能够提高取得图像中的S/N比。这样的TDI动作在为了X射线的泄漏量的减少及X射线源101的长寿命化而使X射线源101低输出化的情况下特别有效。这是因为,如果X射线源101被低输出化,则信号量可降低且S/N比可降低。此外,由于在摄像元件120内进行加法处理,所以能够削减用于与外部连接的配线的数量,其结果,能够实现小像素多列化。另外,在上述的存储单元中的数字加法运算的情况下,必须反复进行数据的记录、运算和删除,对计算机施加较大的负荷,与此相对,在X

射线图像取得装置110中,通过基于开关阵列40的切换而在加法部中进行数据蓄积,所以能够降低对计算机(控制部130)施加的负荷。如上所述,ADC阵列60也可以包括T(T为N以上的整数)个A/D转换器61。即,各电路单元5也可以具有T个A/D转换器61(加法部)。在该情况下,也能够与上述实施方式同样地进行TDI动作。

[0155] N个像素部11接收由闪烁器104转换而成的闪烁光。由此,能够将X射线转换为闪烁光来进行检测。

[0156] 加法部由A/D转换器61构成。由此,能够使用A/D转换器61实现TDI动作。

[0157] 在像素单元2与M个电路单元5之间,隔开像素部11的宽度的2倍以上的间隔DS。由此,能够抑制X射线向相对于X射线的耐久性比像素单元2低的电路单元5的入射。

[0158] 像素单元2与遮蔽部件106的狭缝106b相对,M个电路单元5与遮蔽部件106的主体部106a(遮蔽部件106中的狭缝106b以外的部分)相对。由此,能够允许X射线向像素单元2的入射,并且抑制X射线向电路单元5的入射。

[0159] N×M根配线6各自以通过N个像素部11上的方式延伸。由此,在沿第2方向X2排列的M个像素阵列12间N根配线6不被汇集,能够避免非感测的局部产生。

[0160] N×M根配线6各自具有:主体部6a,其从电路单元5延伸至像素部11;和延伸部6b,其从主体部6a与像素部11之间的连接部位CP向与电路单元5相反的一侧延伸,延伸部6b与主体部6a电气分离。由此,能够使N个像素部11的开口率均匀化,并且能够抑制由延伸部引起的寄生电容的产生。

[0161] N为8以上的整数。根据X射线图像取得装置110,即使在这样像素部11的数量多的情况下,也能够实现TDI动作,并且能够实现结构的简化和电路规模的缩小。

[0162] [变形例]

[0163] 作为第5变形例,X射线图像取得装置110也可以具有相加帧数(进行加法处理的像素部11的数量)的切换功能。在图33和图34所示的例子中,将8帧(全部帧)量的信号相加而取得,即相加帧数为8,但相加帧数也可以从1～N中选择。更具体而言,控制部130也可以控制各电路单元5,以使与来自沿第1方向X1排列的L个像素部11的输出信号对应的电信号在A/D转换器61中被相加后,通过A/D转换器61转换为数字信号并读出。L的值可以从1以上且N以下的整数中选择。作为L的值,也可以是能够设定0。即,X射线图像取得装置110也可以具有不进行加法处理的模式。

[0164] 图35是用于说明切换相加帧数时的TDI动作的图。图35表示L为4的情况下的例子。图35中的“*”表示可以是任意的状态。即,在“*”的情况下,可以成为重置状态,也可以不与加法部AN1～AN8连接。或者,也可以与加法部AN1～AN8连接,例如在已读出信号的情况下,之后可以是任意的状态。这一点在下述的图38、图39、图46中也相同。

[0165] 如图35所示,在时刻T5、T6之间的期间,与来自像素部PD1、PD2、PD3、PD4的输出信号对应的电信号分别在加法部AN4、AN3、AN2、AN1中被相加。在时刻T6、T7之间的期间,与来自像素部PD1、PD2、PD3、PD4的输出信号对应的电信号分别在加法部AN5、AN4、AN3、AN2中被相加,像素部PD5成为重置状态。在时刻T7、T8之间的期间,与来自像素部PD1、PD2、PD3、PD4的输出信号对应的电信号分别在加法部AN6、AN5、AN4、AN3中被相加,像素部PD5、PD6成为重置状态。在时刻T6,从加法部AN1读出将4帧量的信号相加而得到的电压信号(4a),并转换为数字值。这样,在该例子中,将4帧量的信号相加,作为数字值而取得。

[0166] 根据这样的第5变形例,也与上述第2实施方式同样,即使在像素部11的数量增加的情况下也能够实现TDI动作,并且能够实现结构的简化和电路规模的缩小。另外,能够根据例如X射线的泄漏量、对象物的厚度等来选择进行加法处理的像素部11的数量。

[0167] 参照图36和图37对这一点进行说明。如图36的(a)和图36的(b)所示,为了抑制X射线的泄漏,有时在屏蔽盒140内进行向对象物OJ的X射线的照射。X射线的照射范围越宽,X射线越容易从遮蔽箱140泄漏,需要提高遮蔽箱140的遮蔽性。在图36的(b)中,与图36的(a)相比,X射线的照射范围宽,X射线的泄漏量变多。这里,如果增加相加帧数,则能够提高S/N比,另一方面,需要扩大X射线的照射范围,X射线的泄漏量变多。关于这一点,根据第5变形例,通过具有相加帧数的切换功能,能够考虑S/N比的提高与X射线的泄漏量之间的平衡来选择相加帧数。

[0168] 如图37的(a)和图37的(b)所示,在X射线源101是点光源的情况下,X射线以在输送方向(第1方向X1)上具有扩散的方式照射到对象物OJ。在图37的(b)中,与图37的(a)相比,X射线的扩展范围变宽。由于对象物OJ具有厚度,所以由于X射线的入射角度的不同而产生斜视,例如在中央的像素部11与端部的像素部11之间通过对象物OJ的位置不同。当产生斜视时,图像有可能产生模糊。在需要抑制这样的模糊的情况下,减少相加帧数、缩小X射线的照射范围是有效的。这样,根据第5变形例,能够根据对象物OJ的厚度来选择相加帧数。

[0169] 作为第6变形例,X射线图像取得装置110也可以具有相加范围(进行加法处理的像素部11的范围)的切换功能。更具体而言,控制部130也可以控制各电路单元5,以使在A/D转换器61中将与来自第1方向X1上的第P个至第Q个(P＜Q)像素部11的输出信号对应的电信号相加后,作为数字值从A/D转换器61读出。P和Q的值从1以上且N以下的整数中选择。

[0170] 图38和图39是用于说明相加范围的切换时的TDI动作的图。图38表示P为3且Q为6的情况下的例子。图38中的“-”表示是清除状态。这一点在下述的图39、图44中也相同。

[0171] 如图38所示,在时刻T4、T5之间的期间,与来自像素部PD3的输出信号对应的电信号在加法部AN1中被相加,像素部PD1、PD2成为重置状态。在时刻T5、T6之间的期间,与来自像素部PD3、PD4的输出信号对应的电信号分别在加法部AN2、AN1中被相加,像素部PD1、PD2成为重置状态。在时刻T6、T7之间的期间,与来自像素部PD3、PD4、PD5的输出信号对应的电信号分别在加法部AN3、AN2、AN1中被相加,像素部PD1、PD2成为重置状态。在时刻T7、T8之间的期间,与来自像素部PD3、PD4、PD5、PD6的输出信号对应的电信号分别在加法部AN4、AN3、AN2、AN1中被相加,像素部PD1、PD2成为重置状态。在时刻T8、T9之间的期间,与来自像素部PD3、PD4、PD5、PD6的输出信号对应的电信号分别在加法部AN5、AN4、AN3、AN2中被相加,像素部PD1、PD2、PD7成为重置状态。在时刻T8,从加法部AN1作为数字值读出将4帧量的信号相加而得到的电压信号(4a)。

[0172] 图39表示P为5且Q为8的情况下的例子。如图38所示,在时刻T6、T7之间的期间,与来自像素部PD5的输出信号对应的电信号在加法部AN1中被相加,像素部PD1～PD4成为重置状态。在时刻T7、T8之间的期间,与来自像素部PD5、PD6的输出信号对应的电信号分别在加法部AN2、AN1中被相加,像素部PD1～PD4成为重置状态。在时刻T8、T9之间的期间,与来自像素部PD5、PD6、PD7的输出信号对应的电信号分别在加法部AN3、AN2、AN1中被相加,像素部PD1～PD4成为重置状态。在时刻T10,从加法部AN1作为数字值读出将4帧量的信号相加而得到的电压信号(4a)。

[0173] 根据这样的第6变形例,也与上述第2实施方式同样,即使在像素部11的数量增加的情况下也能够实现TDI动作,并且能够实现结构的简化和电路规模的缩小。另外,例如,能够应对X射线源101与像素单元2之间的位置关系的偏差。

[0174] 参照图40对这一点进行说明。在X射线图像取得系统100中组装摄像元件120时,X射线源101与摄像元件120(像素单元2)之间的位置关系可能产生偏差。在图40的(a)和图40的(b)中表示该位置关系不同的情况。如果该位置关系不同,则X射线的照射范围会不同。与此相对,根据第6变形例,通过切换相加范围,能够应对X射线源101与像素单元2之间的位置关系的偏差。如果将来自不被照射X射线的像素部11的信号也相加,则噪声会增加,但根据第6变形例的X射线图像取得装置110,通过相加范围的切换,能够以将仅来自接受X射线的像素部11的信号相加的方式进行调整,能够抑制噪声的增加。

[0175] 作为第7变形例,作为动作模式,X射线图像取得装置110除了通常模式以外也可以还包括双模式。在该情况下,例如,如图41所示,X射线图像取得装置110也可以包括配置在像素部PD1～PD4的上方的闪烁器104A和配置在像素部PD5～PD8的上方的闪烁器104B作为闪烁器104。

[0176] 闪烁器104A将高能量(第1能量)的X射线转换为闪烁光,闪烁器104B将低能量(比第1能量低的第2能量)的X射线转换为闪烁光。闪烁器104A、104B例如可以具有不同的厚度,也可以由不同的材料形成。像素部PD1～PD4是在第1方向X1上位于第1区域RG1的像素部11,检测来自闪烁器104A的闪烁光。像素部PD5～PD8是在第1方向X1上位于与第1区域RG1连续的第2区域RG2的像素部11,检测来自闪烁器104B的闪烁光。与来自像素部PD1～PD4的输出信号对应的电信号在加法部AN1～AN4(第1加法部)中被相加,与来自像素部PD5～PD8的输出信号对应的电信号在加法部AN5～AN8(第2加法部)中被相加。在该情况下,从X射线图像取得装置110输出的图像例如成为被分离为与第1区域RG1和第2区域RG2对应的2个区域的形式。

[0177] 在双模式中,控制部130控制M个电路单元,以使在加法部AN1～AN4中将与来自位于第1区域RG1的像素部PD1～PD4的输出信号对应的电信号相加后从加法部AN1～AN4读出电信号,并且在加法部AN5～AN8中将与来自位于第2区域RG2的像素部PD5～PD8的输出信号对应的电信号相加后从加法部AN5～AN8读出电信号。由此,能够在第1区域RG1和第2区域RG2的各个中进行TDI动作。

[0178] 图42和图43是用于说明双模式下的TDI动作的图。如图43所示,在时刻T6、T7之间的期间,与来自像素部PD1、PD2、PD3、PD4、PD5的输出信号对应的电信号分别在加法部AN1、AN4、AN3、AN2、AN5中被相加。在时刻T7、T8之间的期间,与来自像素部PD1、PD2、PD3、PD4、PD5、PD6的输出信号对应的电信号分别在加法部AN2、AN1、AN4、AN3、AN6、AN5中被相加。在时刻T8、T9之间的期间,与来自像素部PD1、PD2、PD3、PD4、PD5、PD6、PD7的输出信号对应的电信号分别在加法部AN3、AN2、AN1、AN4、AN7、AN6、AN5中被相加。在时刻T10,将4帧量的信号相加而得到的电压信号(4e、4a)由加法部AN1、AN5分别转换为数字值并读出。这样,在该例中,关于第1区域RG1和第2区域RG2的各个,将4帧量的信号相加而取得。

[0179] 根据这样的第7变形例,也与上述第2实施方式同样,即使在像素部11的数量增加的情况下也能够实现TDI动作,并且能够实现结构的简化和电路规模的缩小。另外,能够实现双模式,能够通过一次处理来取得多个X射线图像。双模式(双能量)还具有以下优点。在

通常的使用X射线的非破坏检查中,根据X射线透过像的浓淡的差来检测材质、异物。但是,实际的对象物具有在表面存在凹凸的复杂的形状,或者在内部由于各种物质密集而X射线的透过率变得不均匀,所以有时仅通过浓淡难以判别异物。与此相对,在双模式下,能够使用一个X射线源101同时进行高/低能量的两个图像的取得。根据物质,与能量强度对应的吸收程度不同,所以通过对这2个图像进行运算处理,能够进行物质的辨别。注意,不限于上述例子中的水平配置,可以采用像素单元2(像素部11)上下排列的垂直配置。在这种情况下,例如,上部像素单元2检测基于高能量X射线的闪烁光,并且下部像素单元2检测基于低能量X射线的闪烁光。通过这样的结构,也能够实现双模式。

[0180] 在图41的例子中,第1区域RG1与第2区域RG2连续,但第1区域RG1与第2区域RG2在第1方向X1上排列即可,也可以在第1区域RG1与第2区域RG2之间空出间隙。在该情况下,第1区域RG1与第2区域RG2之间可以是空隙,也可以配置有遮蔽部件。或者,也可以在像素部PD1～PD3(位于第1区域的像素部11)的上方配置闪烁器104A,并且在像素部PD6～PD8(位于第2区域的像素部11)的上方配置闪烁器104B,在像素部PD4、PD5(位于第1区域与第2区域之间的区域的像素部11)的上方配置遮蔽部件或者形成间隙。也可以在像素部PD4、PD5之间设置比像素部11的宽度宽的死区。在该情况下,能够抑制信号的干扰。

[0181] 在第7变形例中,加法部AN1～AN4(第1加法部)和加法部AN5～AN8(第2加法部)也可以如图44所示配置。在该例中,在第1方向X1上,如果将加法部AN1～AN4相对于加法部AN5～AN8所处的一侧(图44中的左侧)设为第1侧,将加法部AN5～AN8相对于加法部AN1～AN4所处的一侧(图44中的右侧)设为第2侧,则加法部AN1～AN4相对于第1区域RG1配置于第1侧,加法部AN5～AN8相对于第2区域RG2配置于第2侧。在该情况下,能够减少连接位于第1区域RG1的像素部PD1～PD4和加法部AN1～AN4的配线、和连接位于第2区域RG2的像素部PD5～PD8和加法部AN4～AN8的配线的长度。

[0182] 作为第8变形例,X射线图像取得装置110也可以具有相加方向的反转功能。通过具有相加方向的反转功能,例如能够应对对象物OJ向与上述第2实施方式中的输送方向相反的方向被输送的情况。在相加方向反转时,也与沿着第1方向X1的对象物OJ的输送同步地切换像素部PD1～PD8与加法部AN1～AN8之间的连接状态,以使与通过检测透过了对象物OJ中的同一区域的X射线而从像素部PD1～PD8输出的输出信号对应的电信号在同一加法部AN1～AN8中被相加。

[0183] 图45和图46是用于说明相加方向反转时的TDI动作的图。在图45和图46的例子中,8帧(全部帧)量的信号相加而取得。在时刻T2、T3之间的期间,在加法部AN1中将与来自像素部PD8的输出信号相对应的电信号相加。在时刻T3、T4之间的期间,分别在加法部AN2、AN1中将与来自像素部PD8、PD7的输出信号相对应的电信号相加。在时刻T4、T5之间的期间,与来自像素部PD8、PD7、PD6的输出信号对应的电信号分别在加法部AN3、AN2、AN1中被相加。在时刻T5、T6之间的期间,与来自像素部PD8、PD7、PD6、PD5的输出信号对应的电信号分别在加法部AN4、AN3、AN2、AN1中被相加。在以后的时刻也依次进行加法处理,在时刻T10将8帧量的信号相加而得到的电压信号(8j)由加法部AN1转换为数字值并读出。

[0184] 图47是用于说明相加方向反转时的TDI动作的另一例的图。在图47的例子中,4帧量的信号相加而被取得。在时刻T5、T6之间的期间,与来自像素部PD8、PD7、PD6、PD5的输出信号对应的电信号分别在加法部AN4、AN3、AN2、AN1中被相加。在时刻T6、T7之间的期间,与

来自像素部PD8、PD7、PD6、PD5的输出信号对应的电信号分别在加法部AN5、AN4、AN3、AN2中被相加,像素部PD4成为重置状态。在时刻T7、T8之间的期间,与来自像素部PD8、PD7、PD6、PD5的输出信号对应的电信号分别在加法部AN6、AN5、AN4、AN3中被相加,像素部PD3、PD4成为重置状态。在时刻T6,将4帧量的信号相加而得到的电压信号(4j)由加法部AN1转换为数字值并读出。这样,在该例子中,4帧量的信号相加而被取得。

[0185] 作为第9变形例,控制部130也可以与对象物OJ的输送独立地控制各个像素部11的曝光时间。图48是用于说明曝光时间的独立控制的图。如图48所示,在用于与对象物OJ的输送同步的来自外部的同步信号中,有时包含抖动(波动)。如果将像素部11的曝光时间与这样的同步信号建立对应,则曝光时间有可能产生偏差。与此相对,通过与对象物OJ的输送独立地控制各像素部11(各帧)的曝光时间,能够使N个像素部11的曝光时间均匀化。根据这样的第9变形例,也与上述第2实施方式同样,即使在像素部11的数量增加的情况下也能够实现TDI动作,并且能够实现结构的简化和电路规模的缩小。另外,曝光时间可通过专用的控制用信号、或对传感器设定存储装置的设定来控制。

[0186] 作为第10变形例,X射线图像取得装置110也可以具有线延迟功能。图49是用于说明线延迟功能的图。在线延迟功能为开启的情况下,N个像素部11的曝光开始时刻按照第1方向X1上的N个像素部11的排列顺序,各规定时间TS×U(U为1以上的整数)地错开。图49表示U为1的情况。规定时间TS被设定为比像素部11的曝光时间(例如100msec)充分短的时间。根据这样的第10变形例,也与上述第2实施方式同样,即使在像素部11的数量增加的情况下也能够实现TDI动作,并且能够实现结构的简化和电路规模的缩小。另外,通过具有线延迟功能,能够变更高度方向上的同步位置。

[0187] 参照图50对这一点进行说明。在X射线源101是点光源的情况下,对象物OJ的像根据放大率L2/L1=C2/C1被放大投影。C1是X射线源101与对象物OJ之间的距离(FOD),C2是X射线源101与摄像元件120之间的距离(FDD)。L1是与距离C1对应的沿着输送方向(第1方向X1)的长度,L2是与距离C2对应的沿着输送方向的长度。应该对摄像元件120设定的图像取得速度由输送速度与放大率之积决定。即,严格来说,摄像元件120仅在某一个高度位置完全进行速度同步和加法同步。除了输送速度以外,应该对摄像元件120设定的图像取得速度还根据想要同步的高度位置(放大率)而严格地不同。能够通过线延迟功能来实现该差的调整。例如,在基于来自外部的同步信号进行控制的情况下,无法变更线速率,但能够通过变更上述规定时间TS来变更同步位置。另外,在线延迟功能为开启的情况下,越是后级的帧,曝光开始时刻越延迟,像取得时刻比通常时延迟,所以可以说与对象物OJ更快地移动(移动距离大)的状态同步。速度快的状态是指放大率高的状态。即,线延迟量(规定时间TS×U)越大,同步高度面越高。

[0188] 本发明不限于上述实施方式和变形例。例如,在上述第2实施方式或第5~第10变形例中,摄像元件120也可以与上述第3变形例同样地构成。在该情况下,加法部AN1~AN8由电荷放大器31构成。即,在上述第2实施方式中,将与从像素部PD1~PD8输出的输出信号(电荷信号)对应的电信号(电压信号)相加的加法部AN1~AN8是A/D转换器61,但加法部AN1~AN8也可以是电荷放大器31。在该情况下,电荷放大器31在电容部33中蓄积(相加)从像素部PD1~PD8输出的输出信号(电荷信号)本身。这样,在加法部中相加的“与从像素部输出的输出信号对应的电信号”也可以是输出信号本身。在加法部是电荷放大器31的情况下,由于信

号以电荷状态相加,所以在电荷的读出时产生的读出噪声仅产生一次,能够降低读出噪声。另外,由于能够通过向积分电容的连接的切换和最小限度的A/D转换器来实现结构,所以能够降低消耗电力。另外,在闪烁器104中,由于玻璃化转变点的制约,在高温环境下存在较弱的闪烁器,多列化时的发热量增加可能成为技术问题,但通过由电荷放大器31构成加法部,能够降低发热量,能够应对这样的技术问题。加法部AN1～AN8也可以是设置于电路单元5的积分电容。在该情况下,也可以不在电路单元5设置电荷放大器31和A/D转换器61。

[0189] 在上述第2实施方式中,各配线6的延伸部6b与主体部6a电气分离,但各配线6的延伸部6b例如也可以在连接部位CP与主体部6a电连接。在该情况下,能够使与一个电路单元5连接的N根配线6的配线电容均匀化。也可以省略闪烁器104。在这种情况下,例如,像素部11被构成为将入射的X射线直接转换成电信号而不转换成光的直接转换型的检测器。

[0190] X射线图像取得装置110也可以具有不进行加法运算或平均运算而输出将从像素部PD1～PD8输出的电信号转换为数字值的信号的非相加模式。在该情况下,从X射线图像取得装置110输出的数据成为N×M像素的二维图像。这样的X射线图像取得装置110能够用于与光源的轴对准、线延迟功能的延迟的确认等。

[0191] 符号的说明

[0192] 1、120…摄像元件、2…像素单元、5…电路单元、6…配线、6a…主体部、6b…延伸部、11、PD1～PD8…像素部、12…像素阵列、31、CA1～CA4…电荷放大器(加法部)、40、40A…开关阵列(开关部)、61、AD1～AD4…A/D转换器(加法部)、100…X射线图像取得系统、101…X射线源、102…输送部、104、104A、104B…闪烁器、106…遮蔽部件、106a…主体部(狭缝以外的部分)、106b…狭缝(开口)、110…X射线图像取得装置、120…摄像元件、130…控制部、AN1～AN8…加法部(第1加法部、第2加法部)、CP…连接部位、DS…间隔、OJ…对象物、RG1…第1区域、RG2…第2区域、X1…第1方向、X2…第2方向。

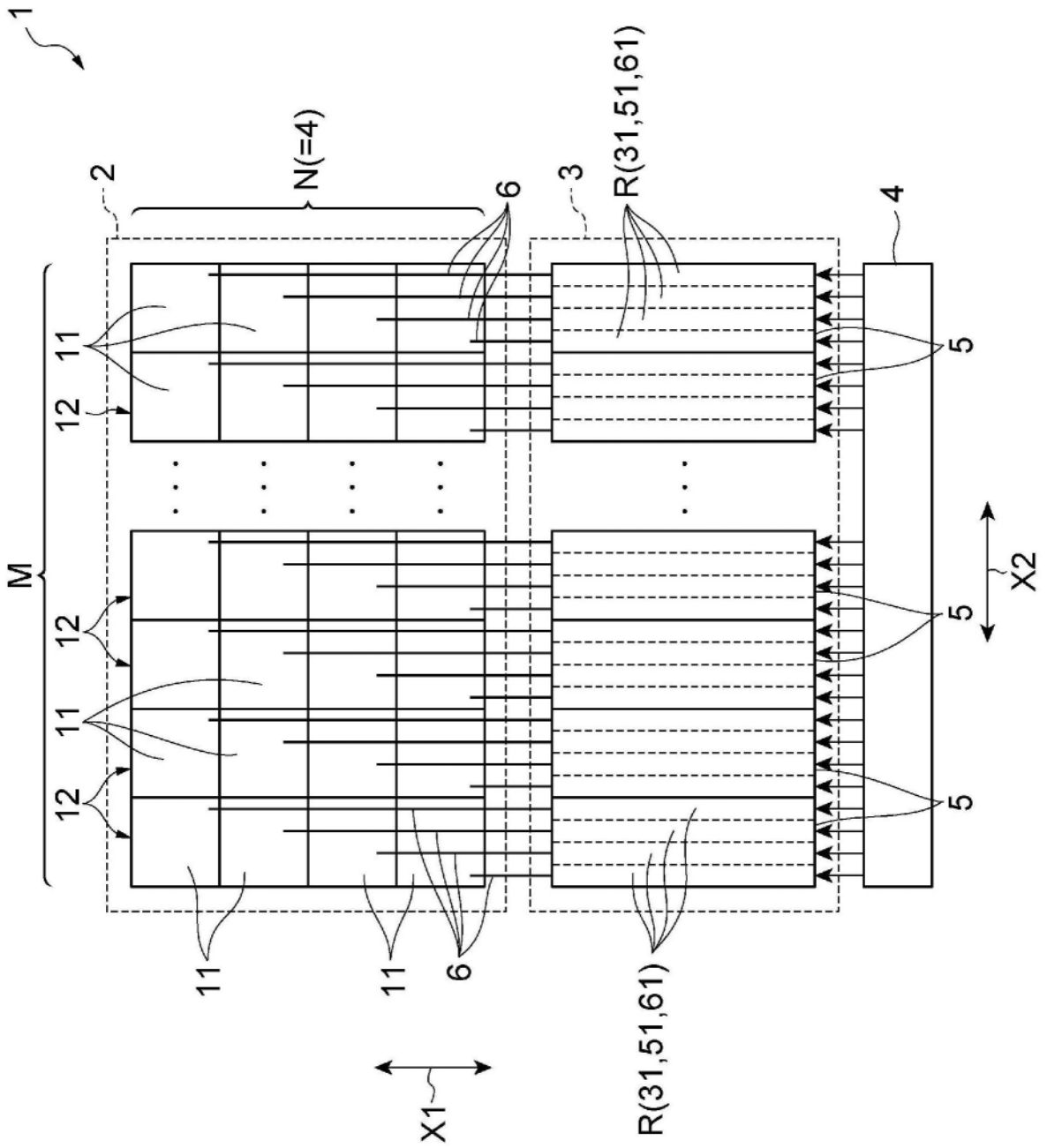


图1

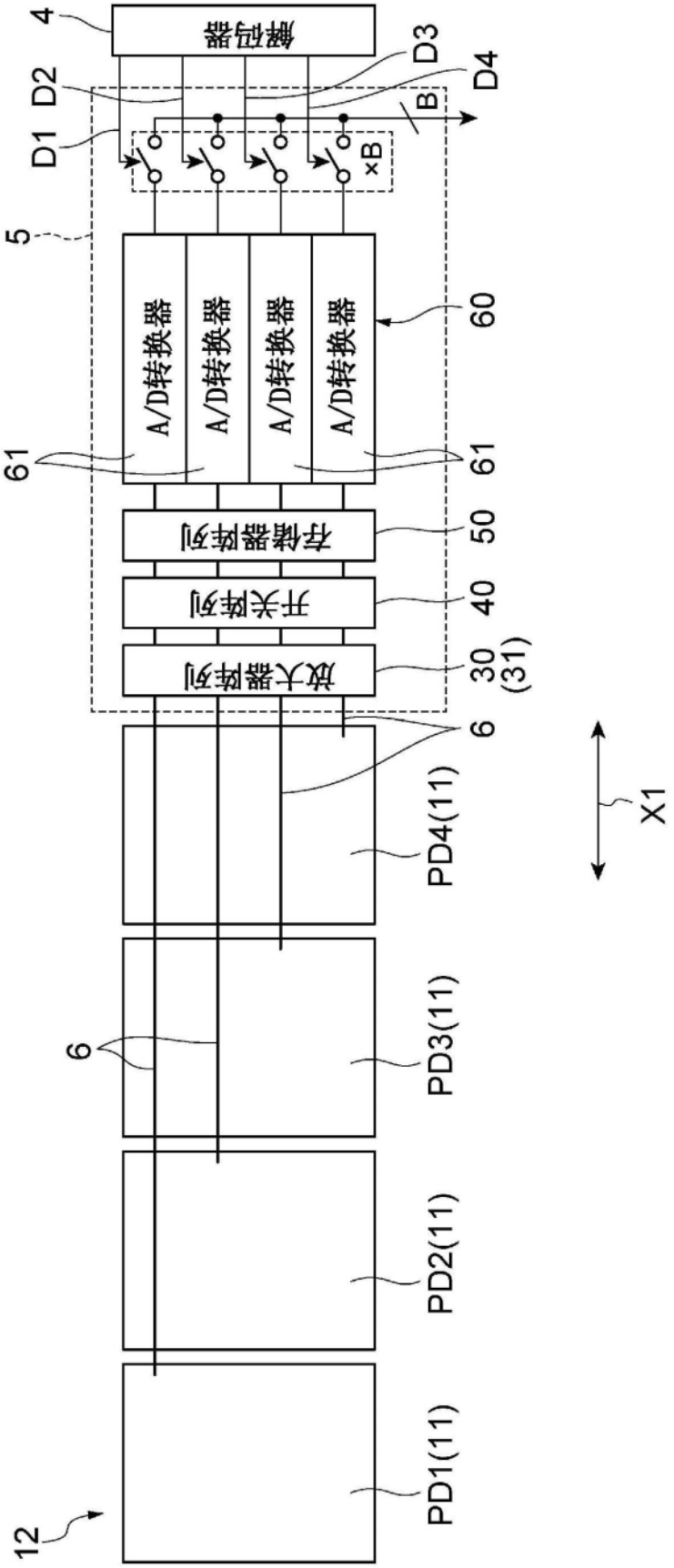

4
解码器
D1
D2
D3
D4
B
×B
5
A/D转换器
A/D转换器
A/D转换器
A/D转换器
60
61
61
存储器阵列
50
开关阵列
40
放大器阵列
30
(31)
6
PD4(11)
X1
6
PD3(11)
PD2(11)
PD1(11)
12

图2

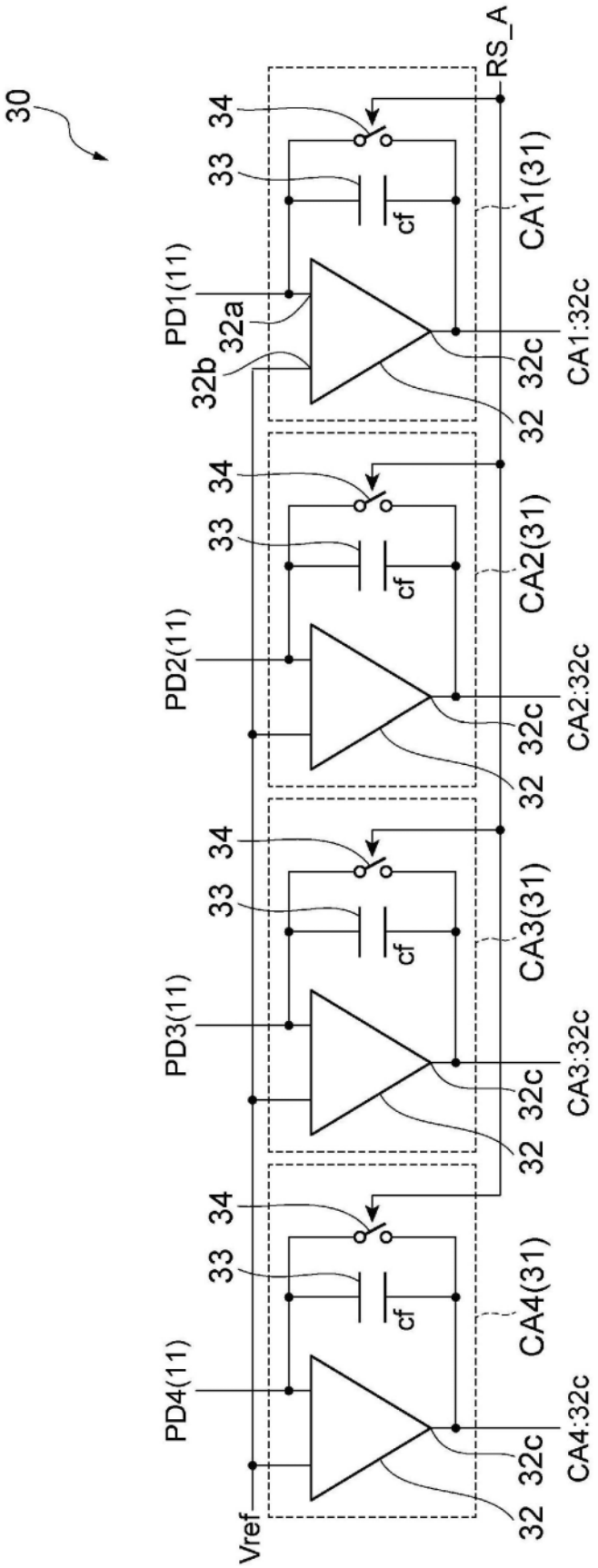

30
RS_A
34
33
cf
CA1(31)
PD1(11)
32a
32b
32c
CA1:32c
32
CA2(31)
PD2(11)
CA2:32c
CA3(31)
PD3(11)
CA3:32c
CA4(31)
PD4(11)
CA4:32c
Vref

图3

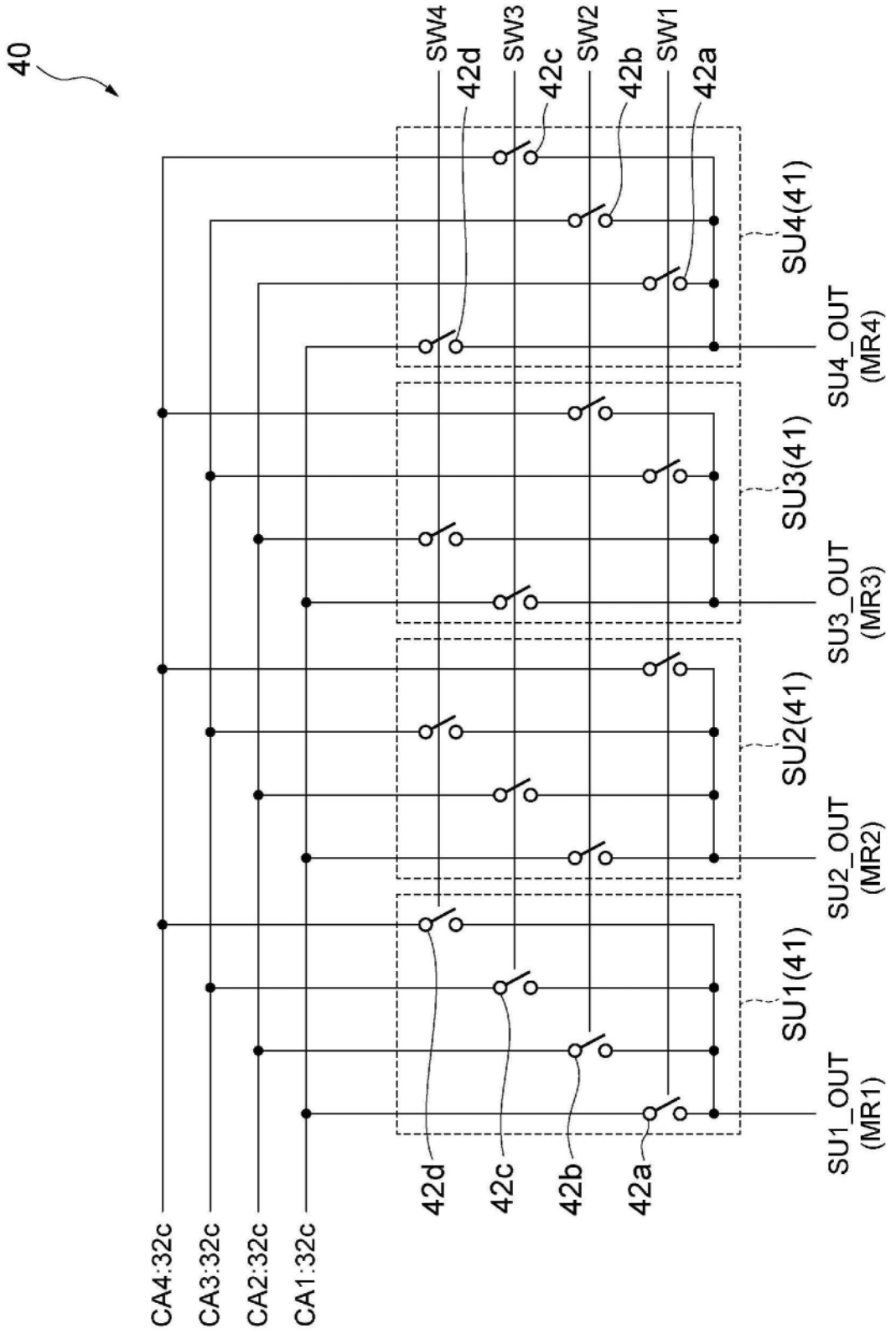

40
SW4
42d
SW3
42c
SW2
42b
SW1
42a
SU4(41)
SU3(41)
SU2(41)
SU1(41)
SU4_OUT (MR4)
SU3_OUT (MR3)
SU2_OUT (MR2)
SU1_OUT (MR1)
CA4:32c
CA3:32c
CA2:32c
CA1:32c

图4

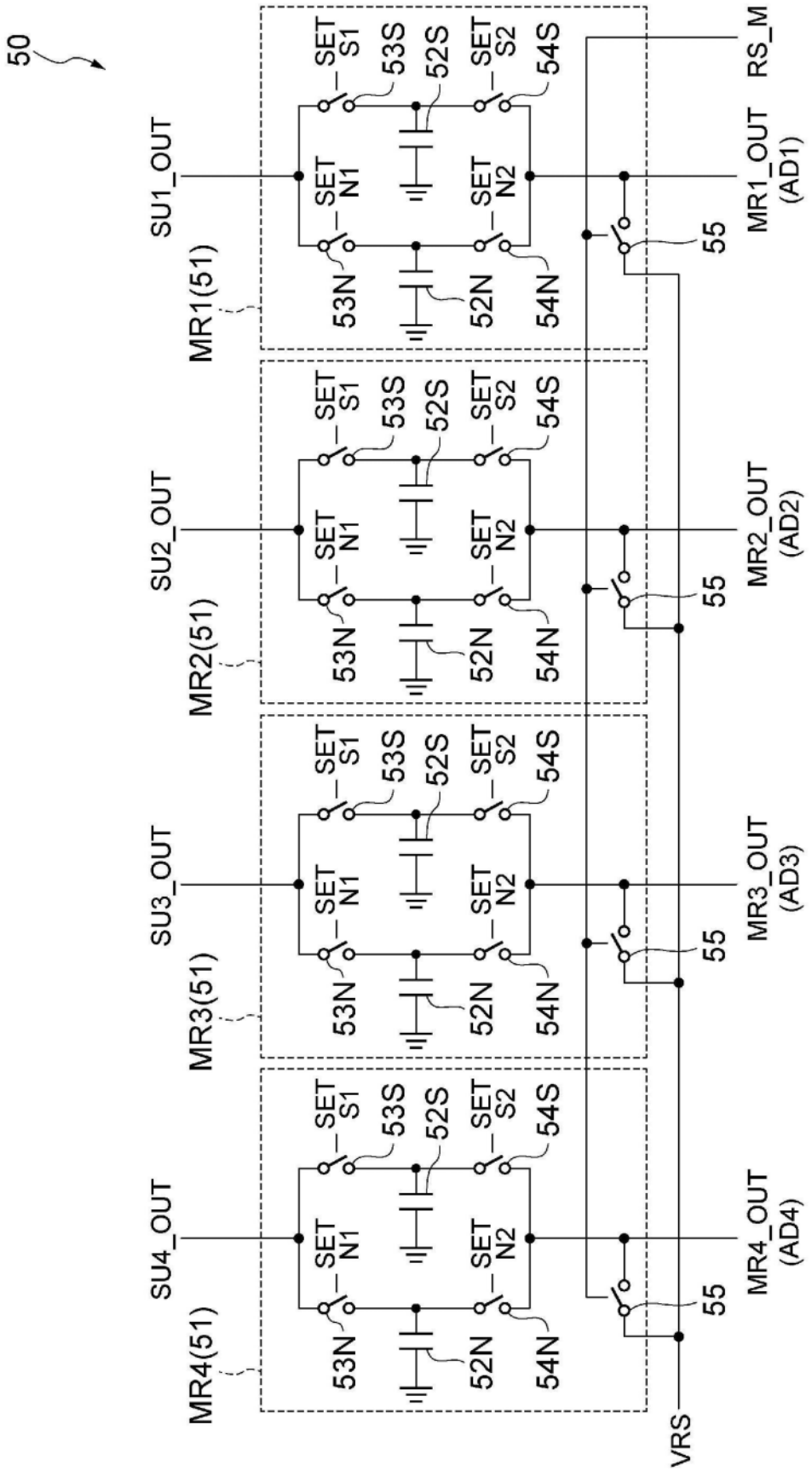

50
SU1_OUT
MR1(51)
SU2_OUT
MR2(51)
SU3_OUT
MR3(51)
SU4_OUT
MR4(51)
SET S1
53S
52S
SET S2
54S
SET N1
SET N2
53N
52N
54N
55
RS_M
MR1_OUT (AD1)
MR2_OUT (AD2)
MR3_OUT (AD3)
MR4_OUT (AD4)
VRS

图5

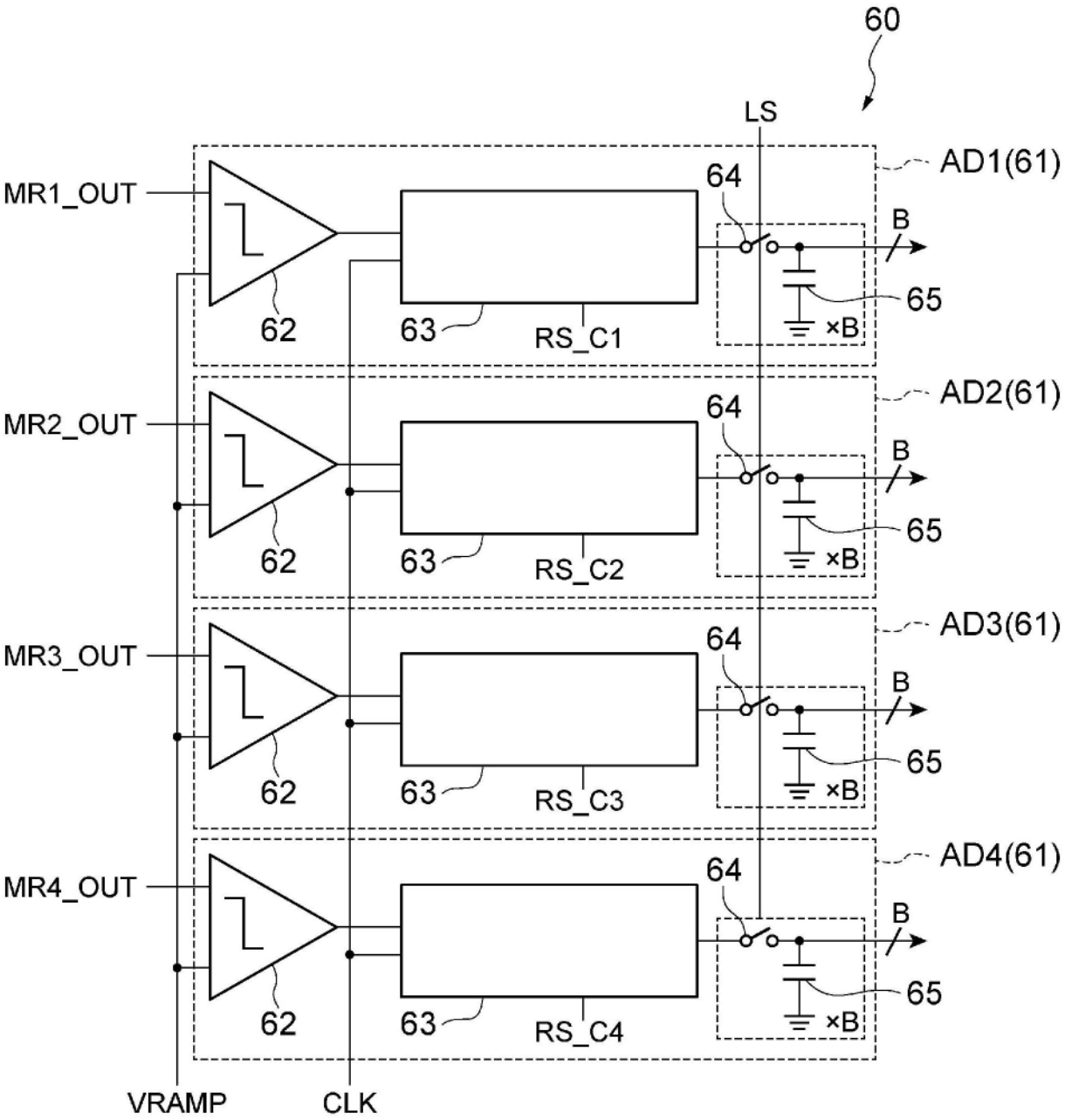

60
LS
AD1(61)
AD2(61)
AD3(61)
AD4(61)
MR1_OUT
MR2_OUT
MR3_OUT
MR4_OUT
62
63
64
65
B
×B
RS_C1
RS_C2
RS_C3
RS_C4
VRAMP
CLK

图6

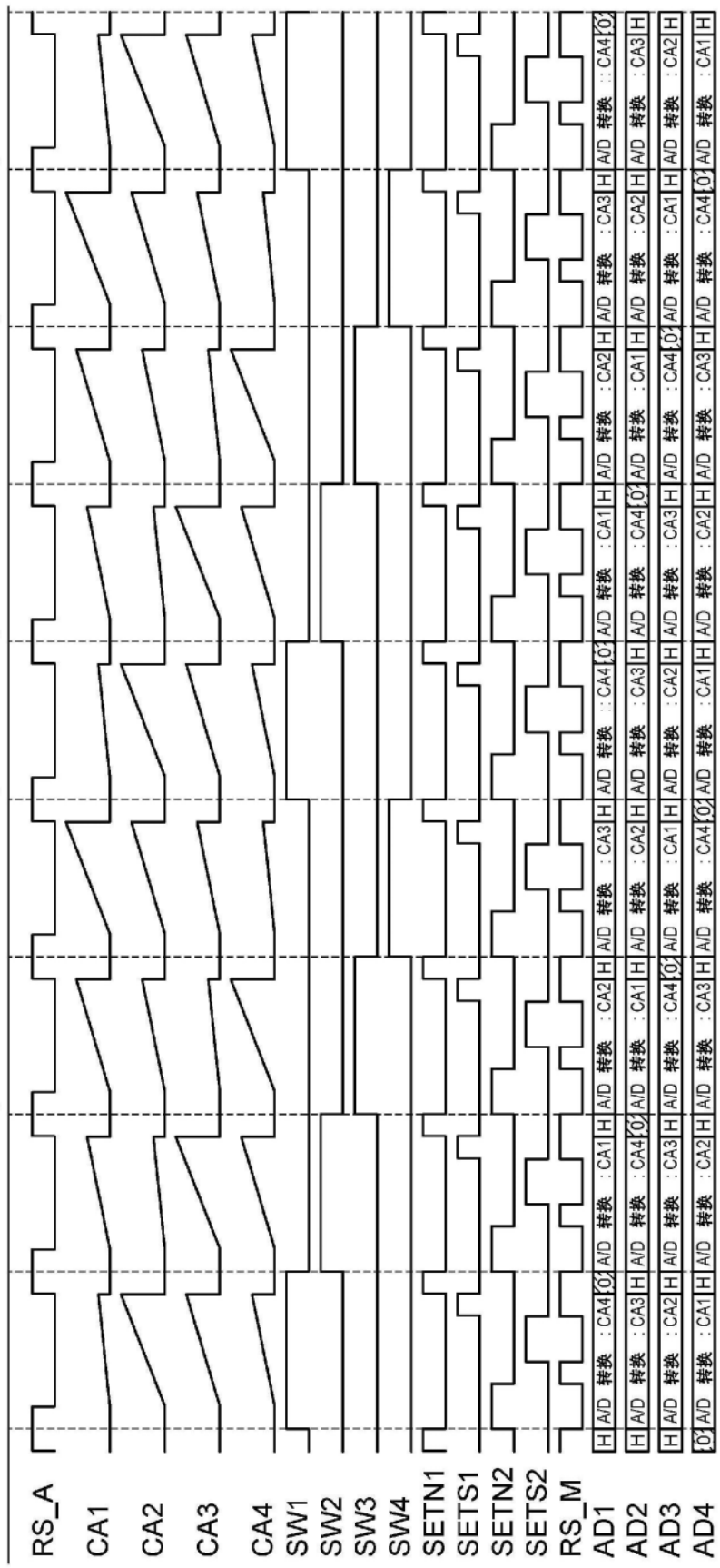

T1
T2
T3
T4
T5
T6
T7
T8
T9
RS_A
CA1
CA2
CA3
CA4
SW1
SW2
SW3
SW4
SETN1
SETS1
SETN2
SETS2
RS_M
AD1
AD2
AD3
AD4

图7

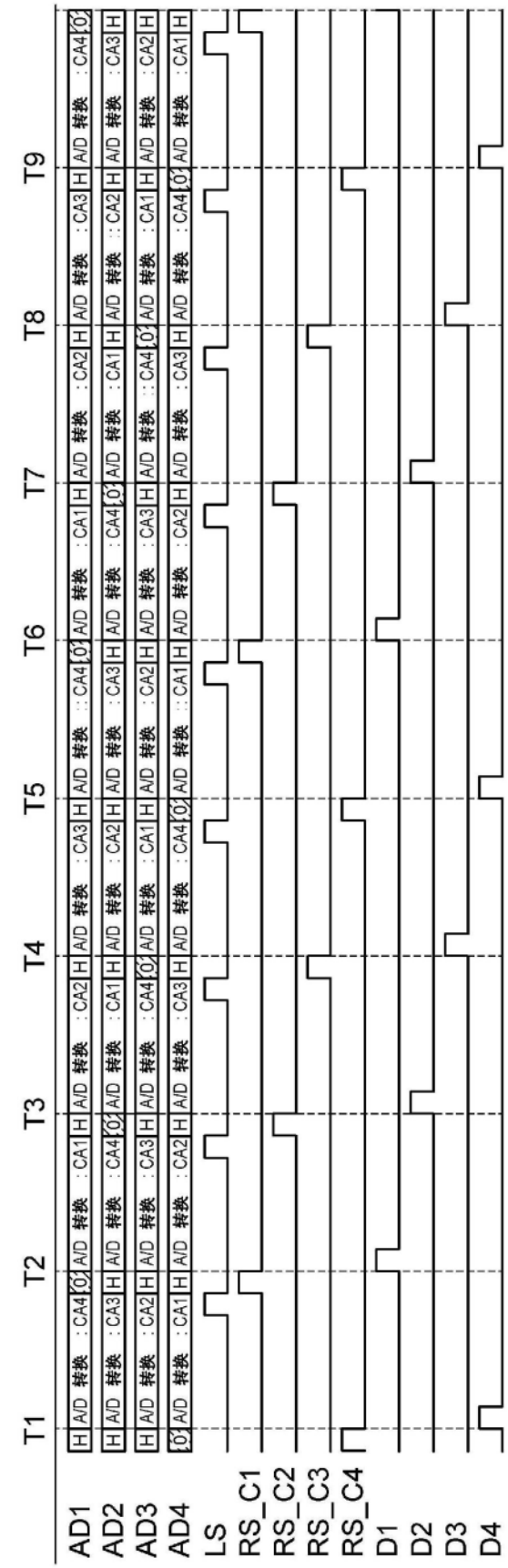

T1
T2
T3
T4
T5
T6
T7
T8
T9
AD1
AD2
AD3
AD4
LS
RS_C1
RS_C2
RS_C3
RS_C4
D1
D2
D3
D4
H
A/D 转换
CA1
CA2
CA3
CA4
01

图8

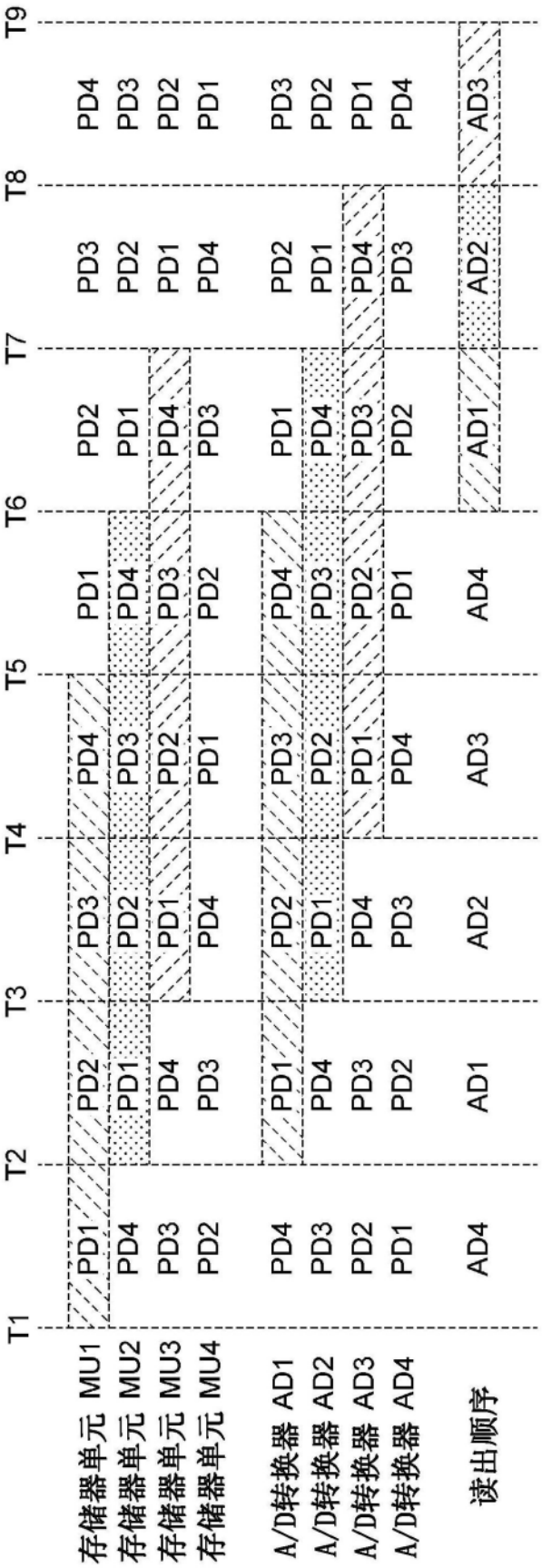

T1
T2
T3
T4
T5
T6
T7
T8
T9
存储器单元 MU1
存储器单元 MU2
存储器单元 MU3
存储器单元 MU4
A/D转换器 AD1
A/D转换器 AD2
A/D转换器 AD3
A/D转换器 AD4
读出顺序
PD1
PD2
PD3
PD4
AD1
AD2
AD3
AD4

图9

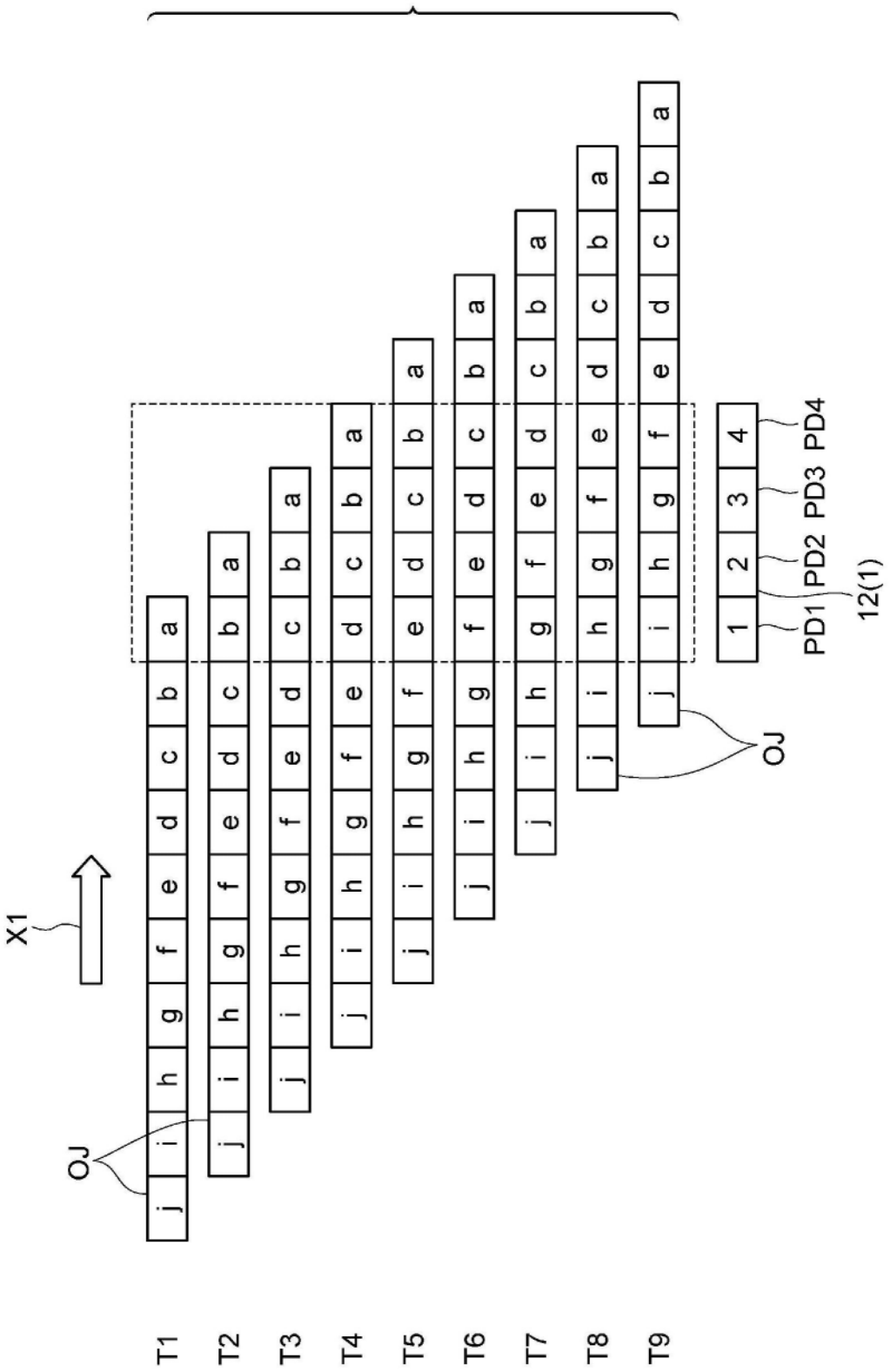


图10

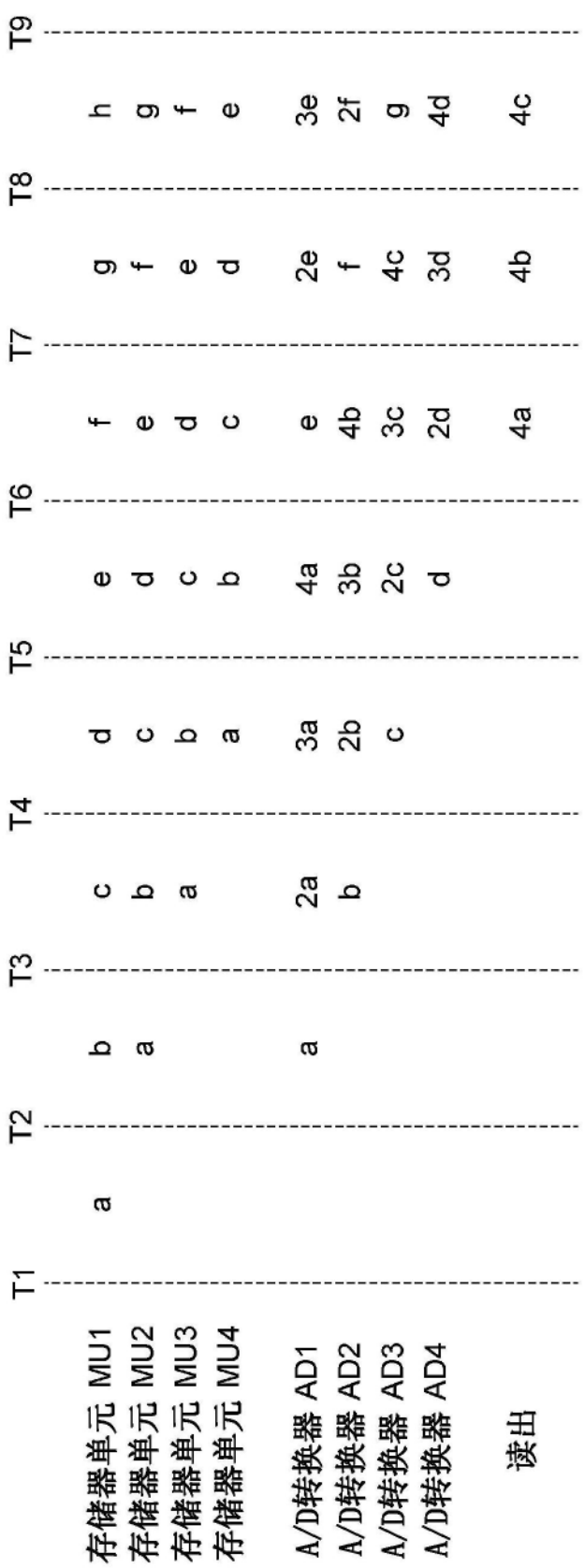

T1
T2
T3
T4
T5
T6
T7
T8
T9
存储器单元 MU1
存储器单元 MU2
存储器单元 MU3
存储器单元 MU4
A/D转换器 AD1
A/D转换器 AD2
A/D转换器 AD3
A/D转换器 AD4
读出
a
b a
c b a
d c b a
e d c b 4a 3b 2c d
f e d c e 4b 3c 2d 4a
g f e d 2e f 4c 3d 4b
h g f e 3e 2f g 4d 4c

图11

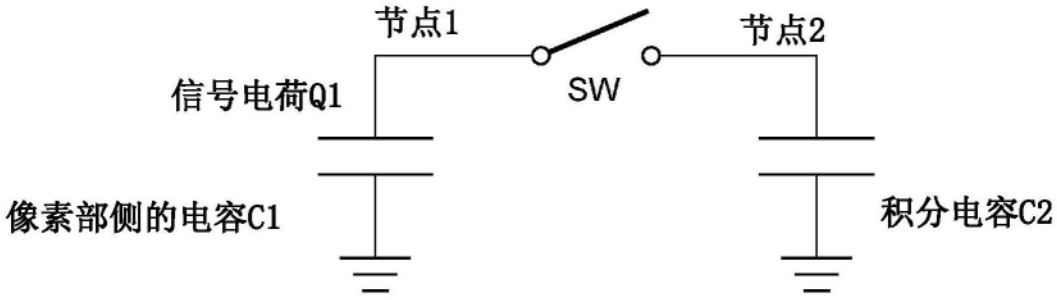

节点1
节点2
SW
信号电荷Q1
像素部侧的电容C1
积分电容C2

图12

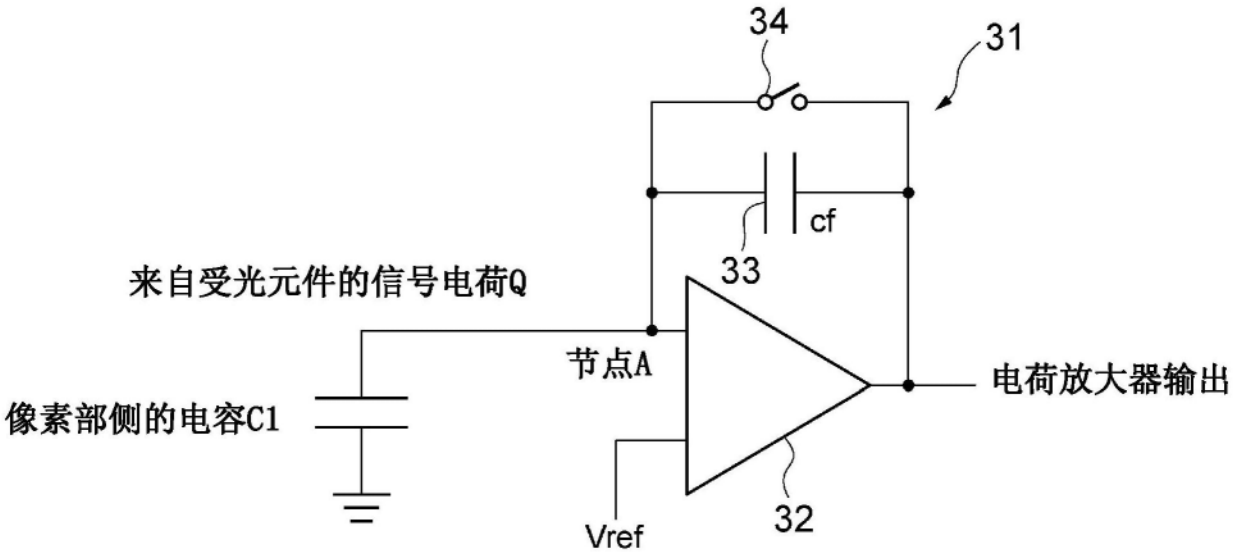

34
31
cf
33
来自受光元件的信号电荷Q
节点A
电荷放大器输出
像素部侧的电容C1
Vref
32

图13

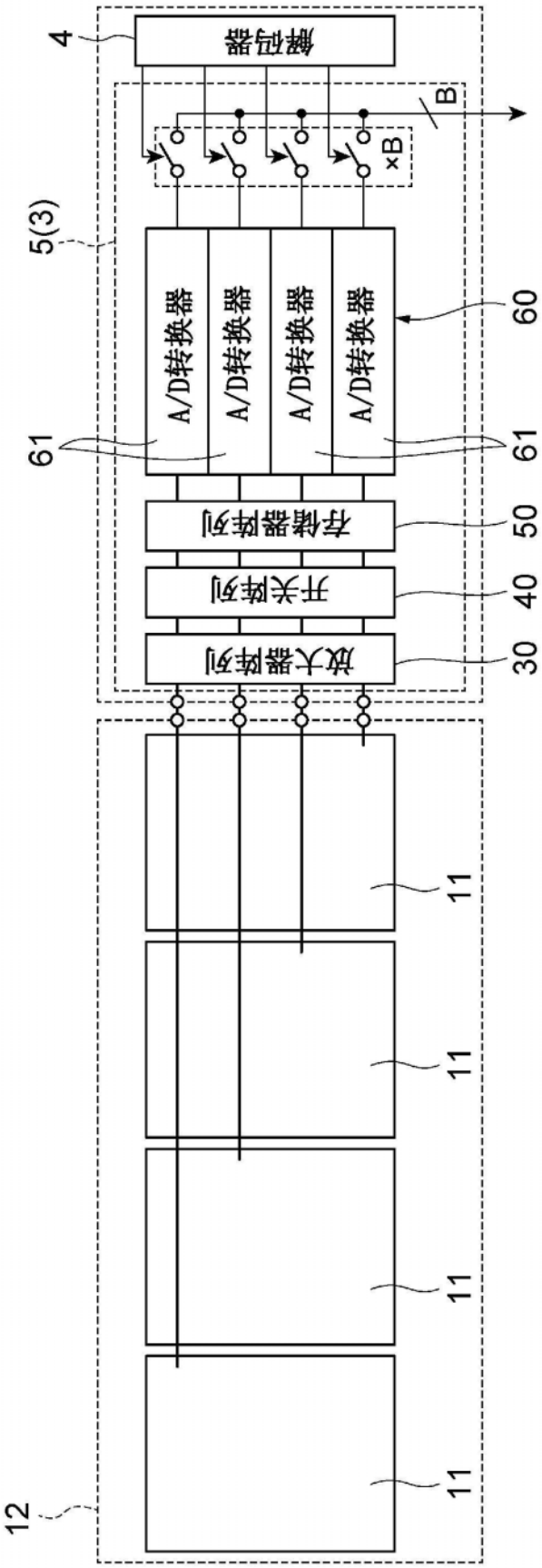

4
解码器
B
×B
5(3)
A/D转换器
A/D转换器
A/D转换器
A/D转换器
60
61
61
存储器阵列
50
开关阵列
40
放大器阵列
30
11
11
11
11
12

图14

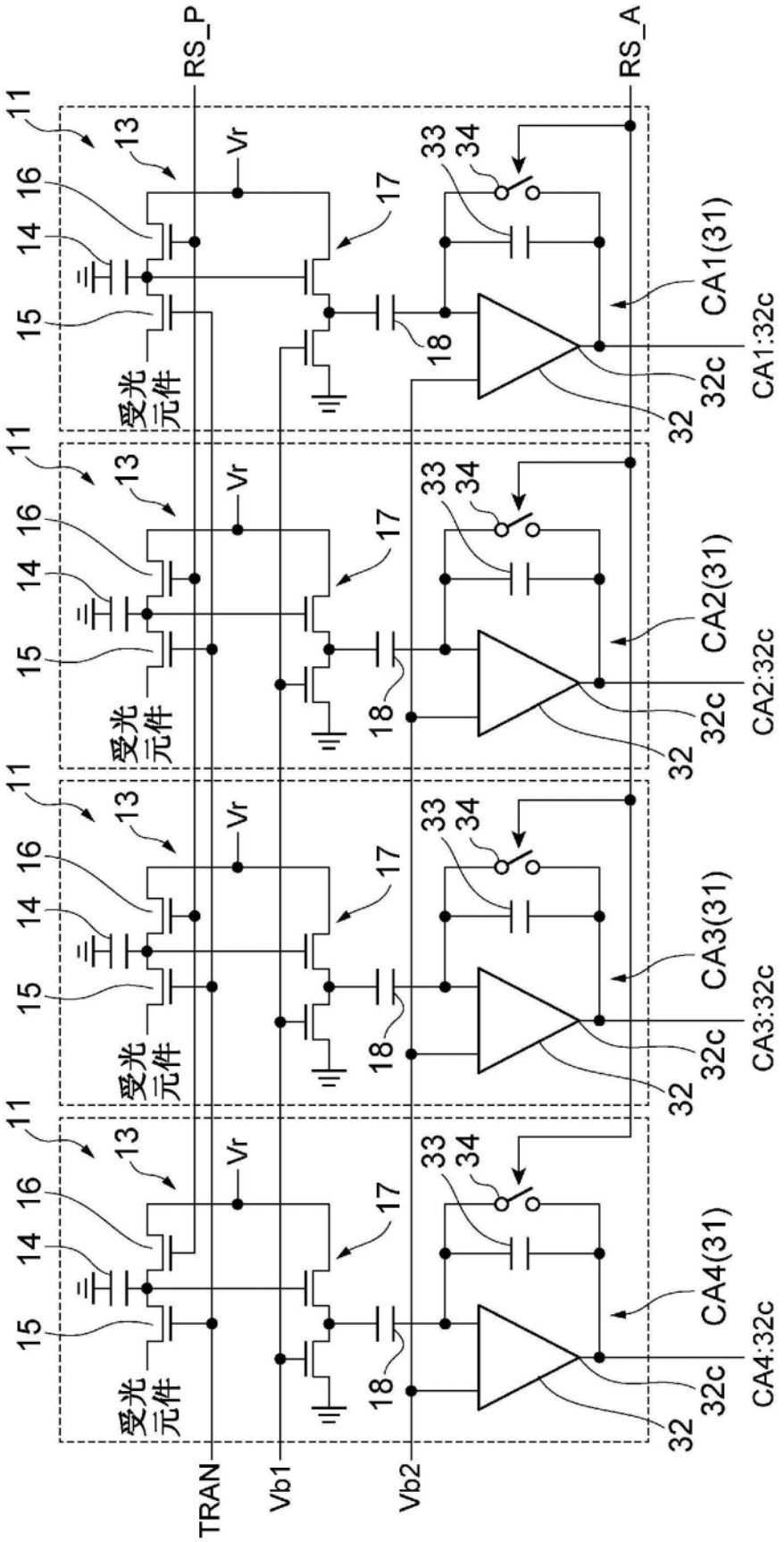

RS_P
RS_A
Vr
TRAN
Vb1
Vb2
受光元件
CA1(31)
CA2(31)
CA3(31)
CA4(31)
CA1:32c
CA2:32c
CA3:32c
CA4:32c
11
13
14
15
16
17
18
32
32c
33
34

图15

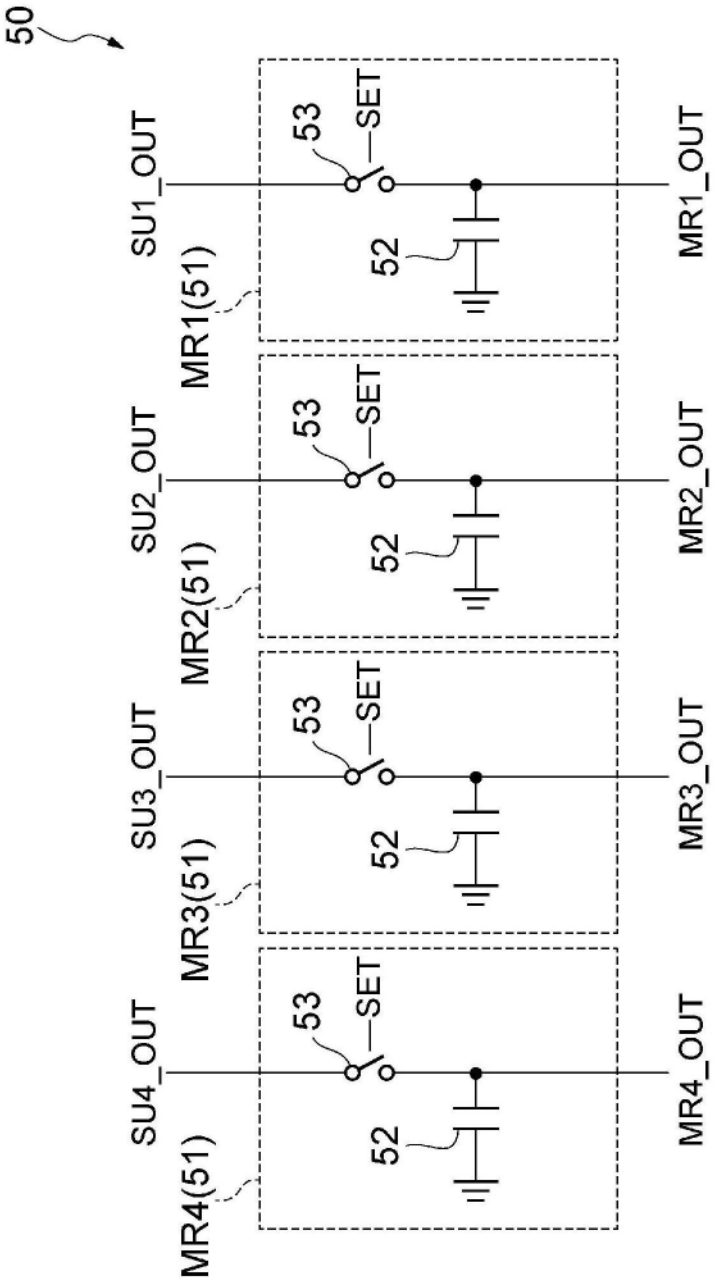

50
SU1_OUT
53
SET
52
MR1(51)
MR1_OUT
SU2_OUT
MR2(51)
MR2_OUT
SU3_OUT
MR3(51)
MR3_OUT
SU4_OUT
MR4(51)
MR4_OUT

图16

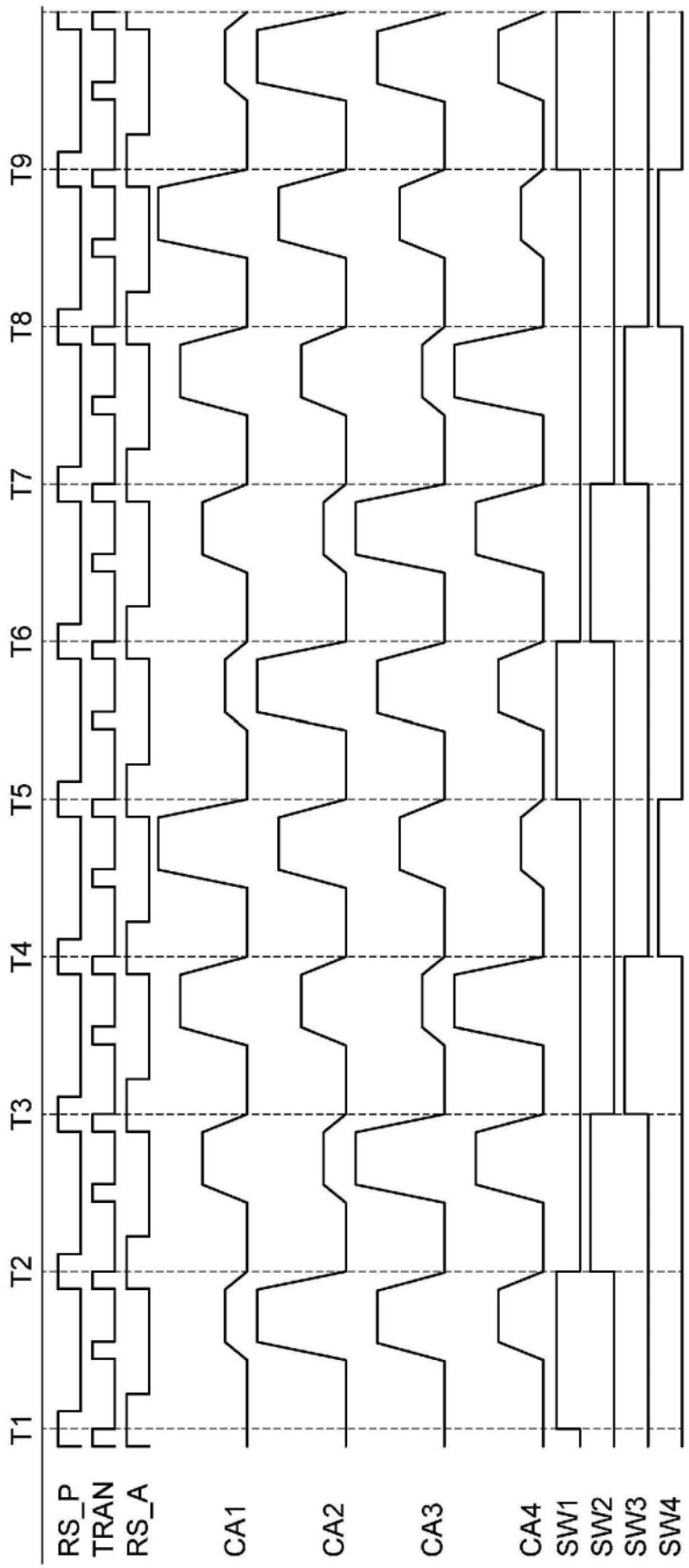

T1
T2
T3
T4
T5
T6
T7
T8
T9
RS_P
TRAN
RS_A
CA1
CA2
CA3
CA4
SW1
SW2
SW3
SW4

图17

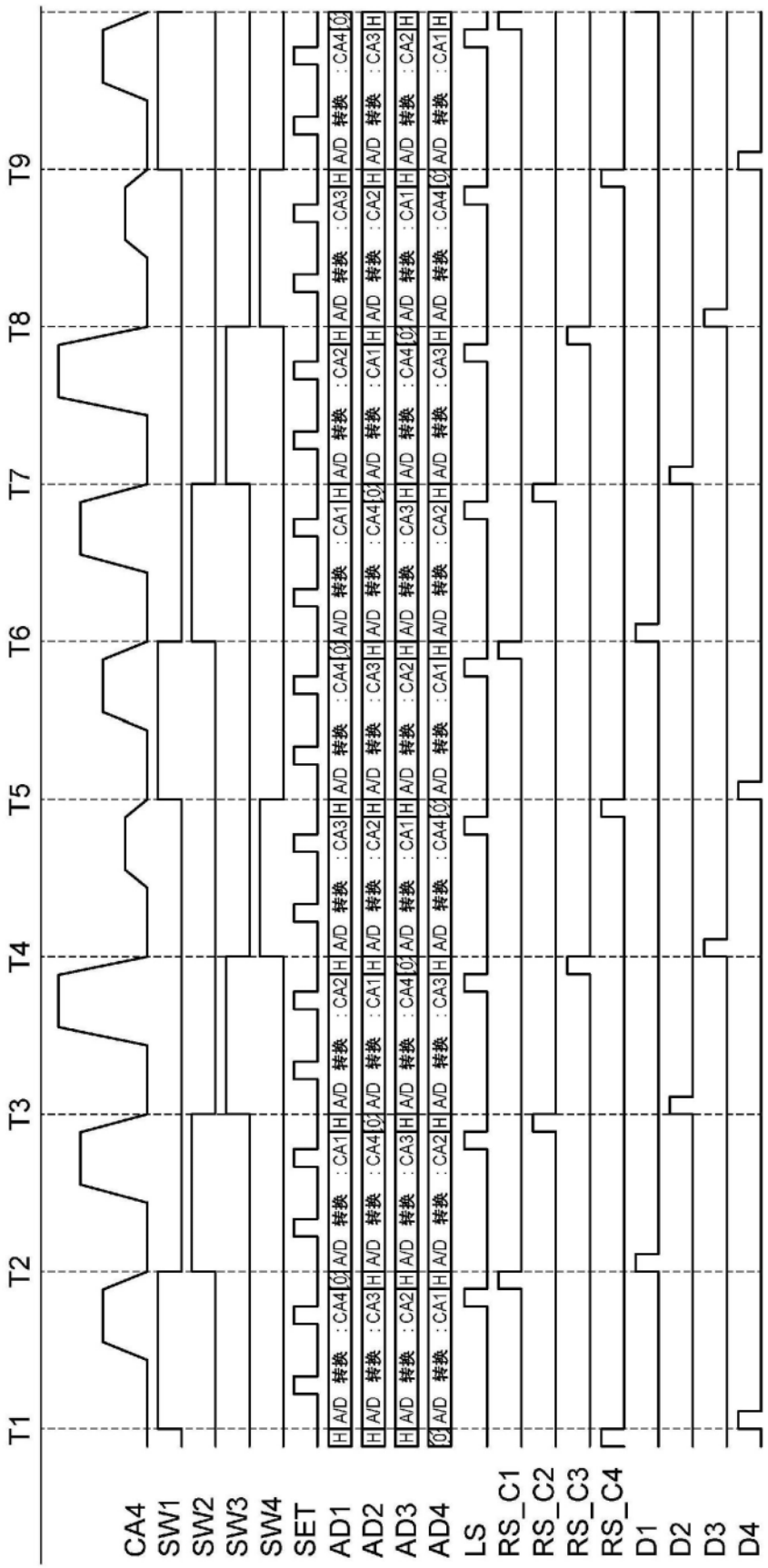

T1
T2
T3
T4
T5
T6
T7
T8
T9
CA4
SW1
SW2
SW3
SW4
SET
AD1
AD2
AD3
AD4
LS
RS_C1
RS_C2
RS_C3
RS_C4
D1
D2
D3
D4

图18

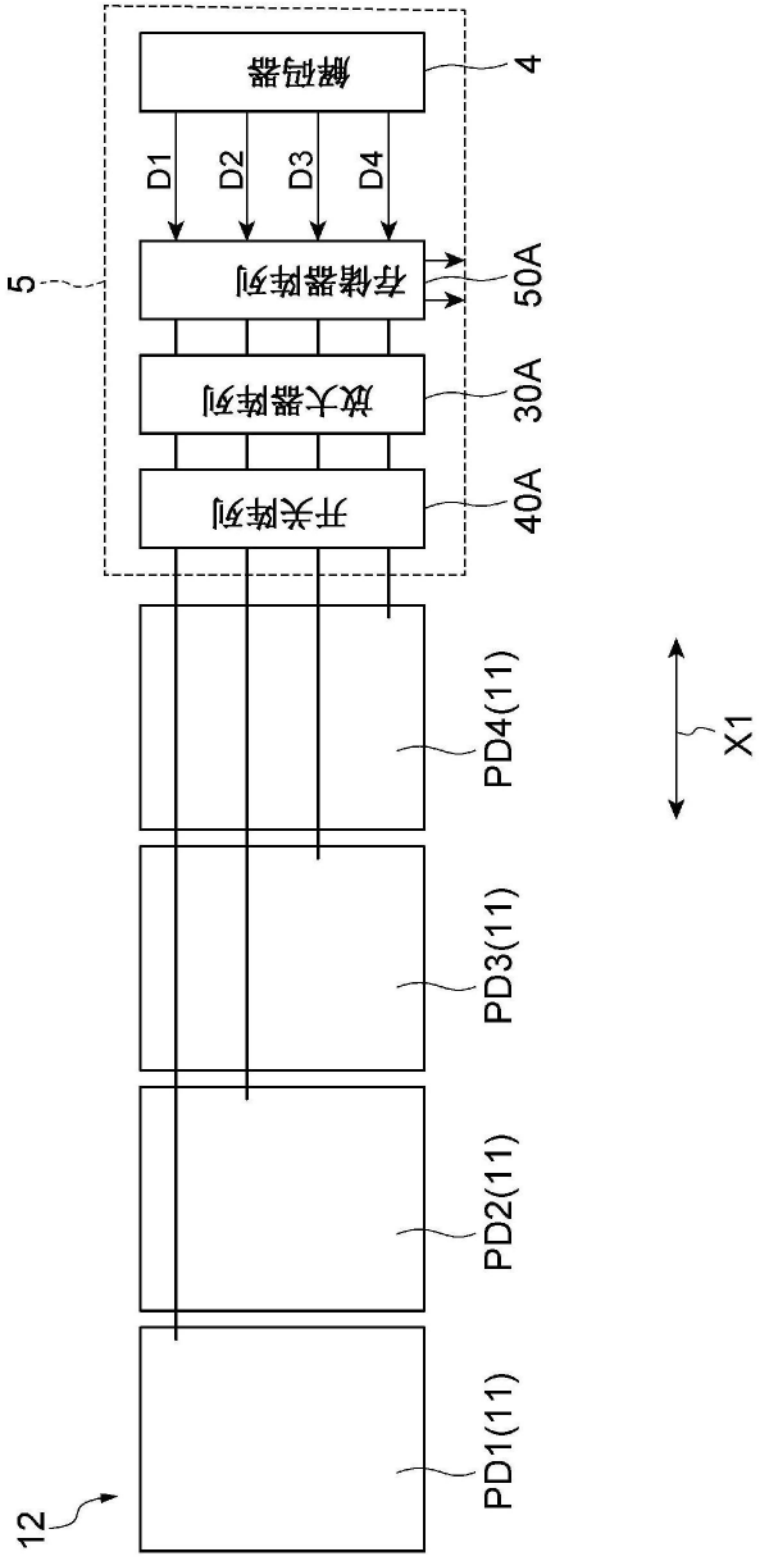

解码器
4
D1
D2
D3
D4
5
存储器阵列
50A
放大器阵列
30A
开关阵列
40A
PD4(11)
PD3(11)
PD2(11)
PD1(11)
X1
12

图19

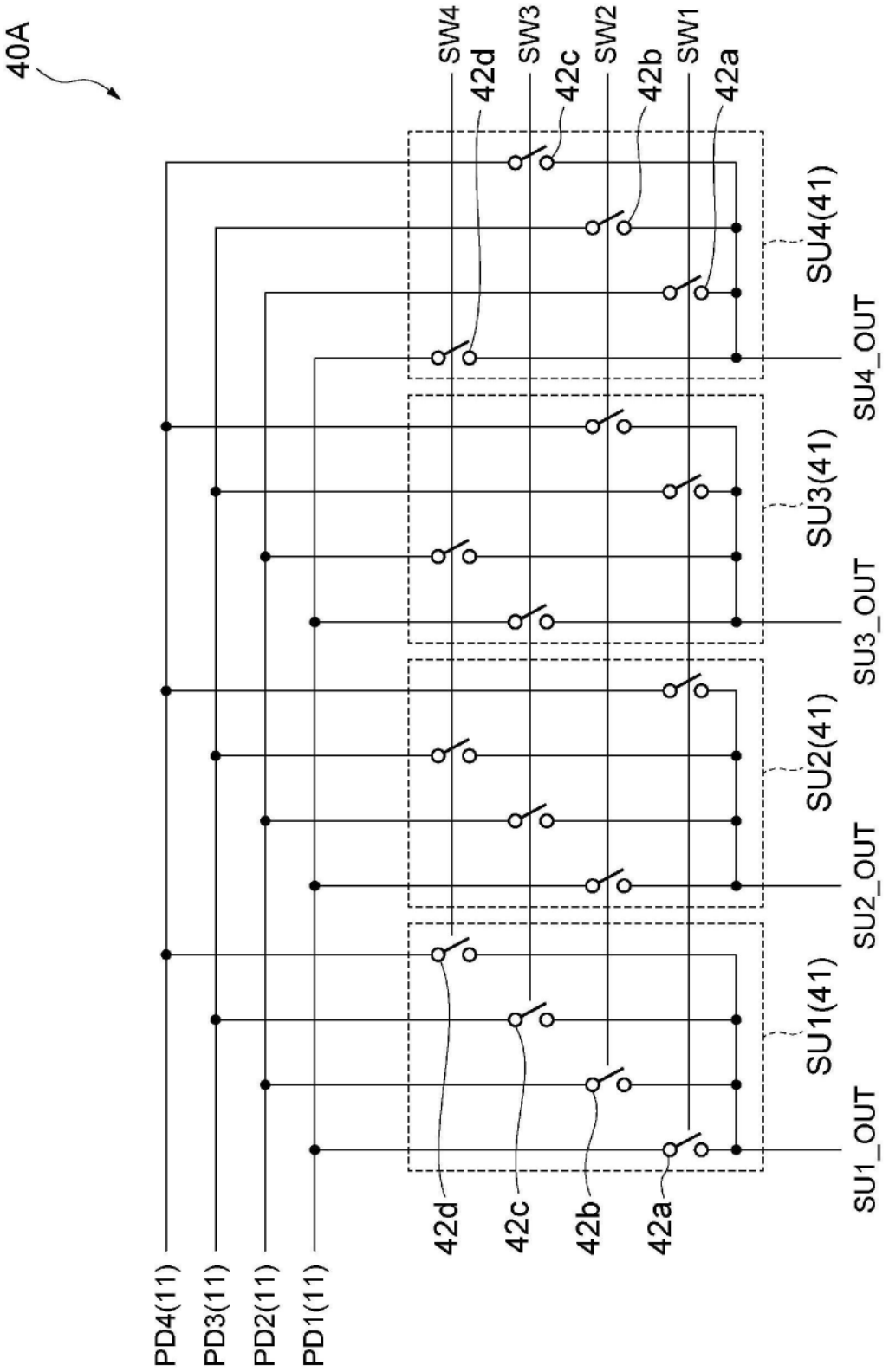

40A
SW4
SW3
SW2
SW1
42d
42c
42b
42a
SU4(41)
SU3(41)
SU2(41)
SU1(41)
SU4_OUT
SU3_OUT
SU2_OUT
SU1_OUT
PD4(11)
PD3(11)
PD2(11)
PD1(11)

图20

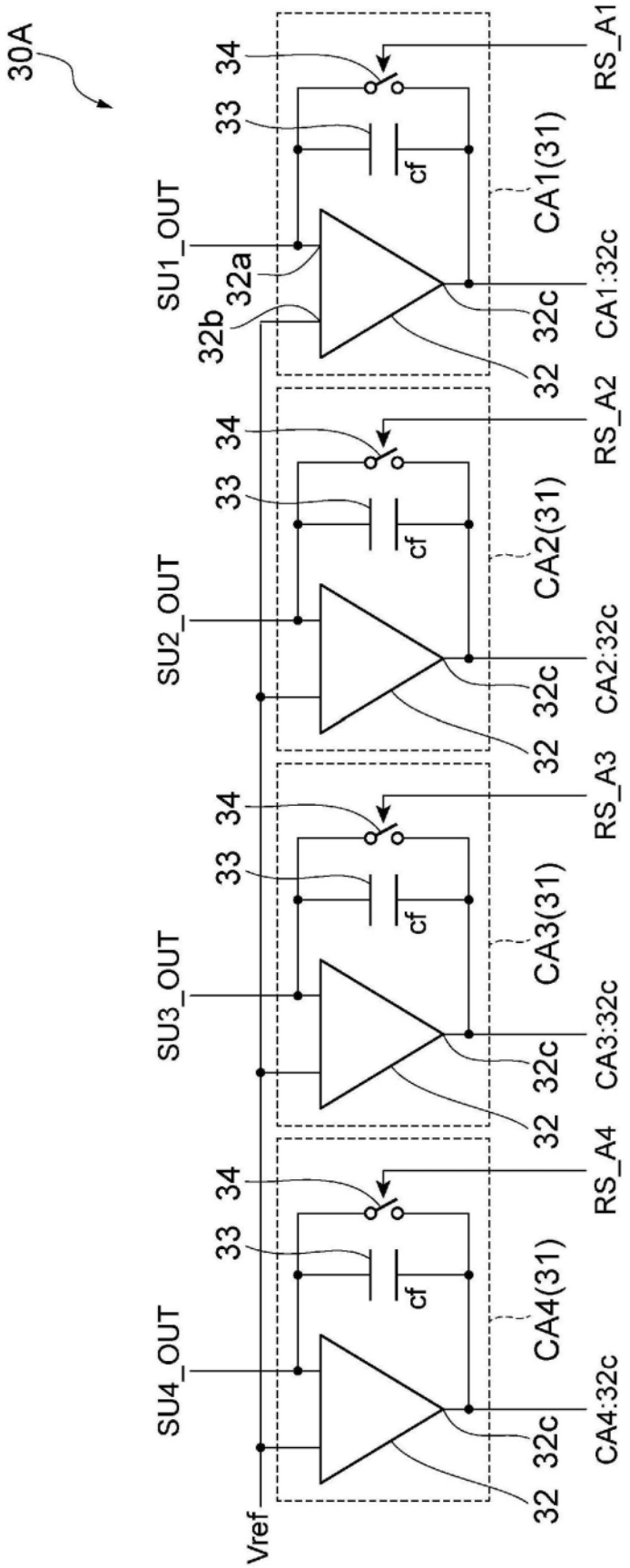

30A
RS_A1
RS_A2
RS_A3
RS_A4
34
33
cf
CA1(31)
CA2(31)
CA3(31)
CA4(31)
SU1_OUT
SU2_OUT
SU3_OUT
SU4_OUT
32a
32b
32c
32
CA1:32c
CA2:32c
CA3:32c
CA4:32c
Vref

图21

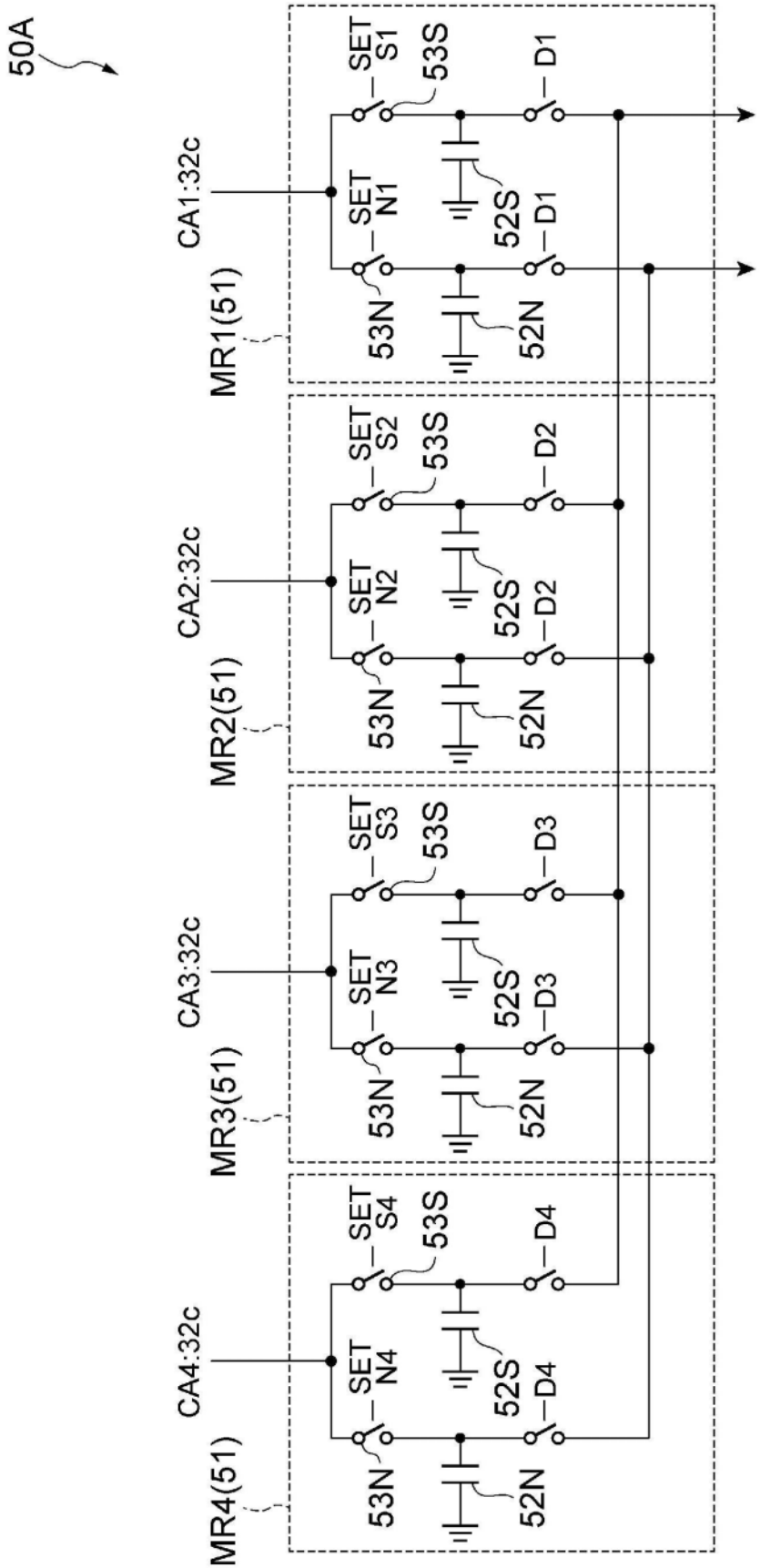

50A
CA1:32c
CA2:32c
CA3:32c
CA4:32c
MR1(51)
MR2(51)
MR3(51)
MR4(51)
SET S1
SET S2
SET S3
SET S4
SET N1
SET N2
SET N3
SET N4
53S
53N
52S
52N
D1
D2
D3
D4

图22

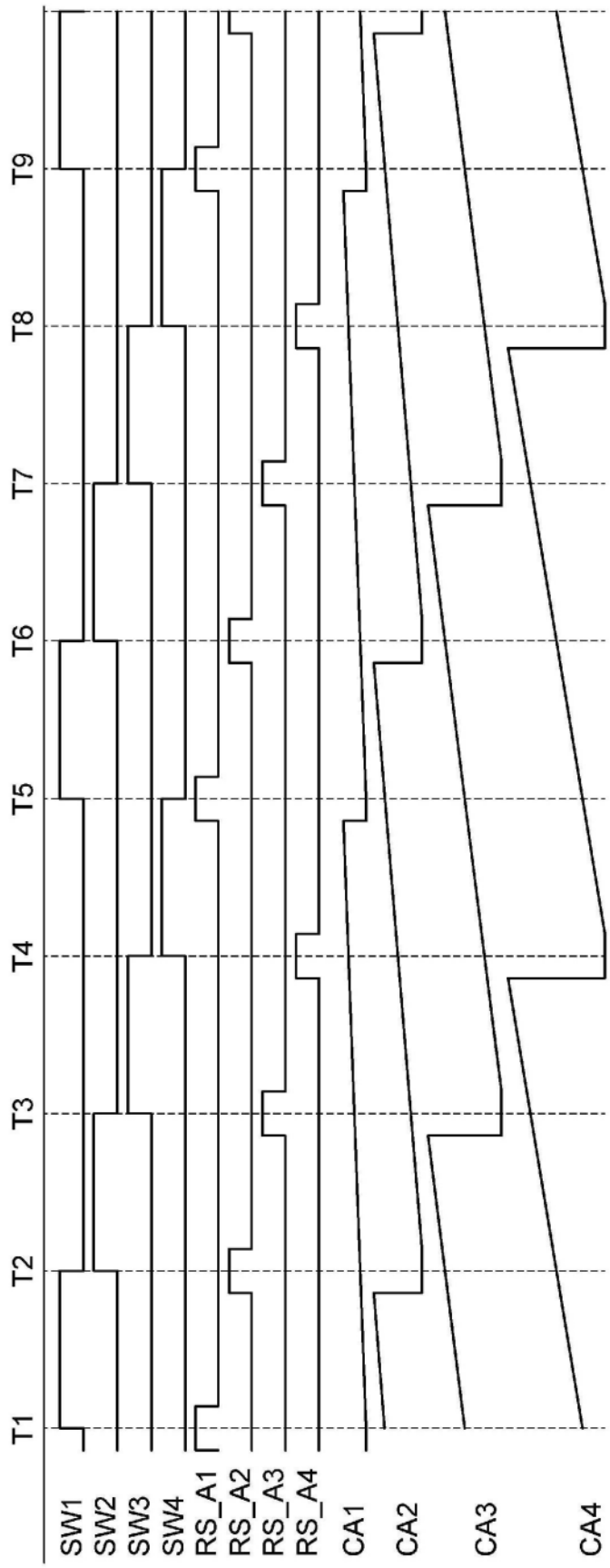

T1
T2
T3
T4
T5
T6
T7
T8
T9
SW1
SW2
SW3
SW4
RS_A1
RS_A2
RS_A3
RS_A4
CA1
CA2
CA3
CA4

图23

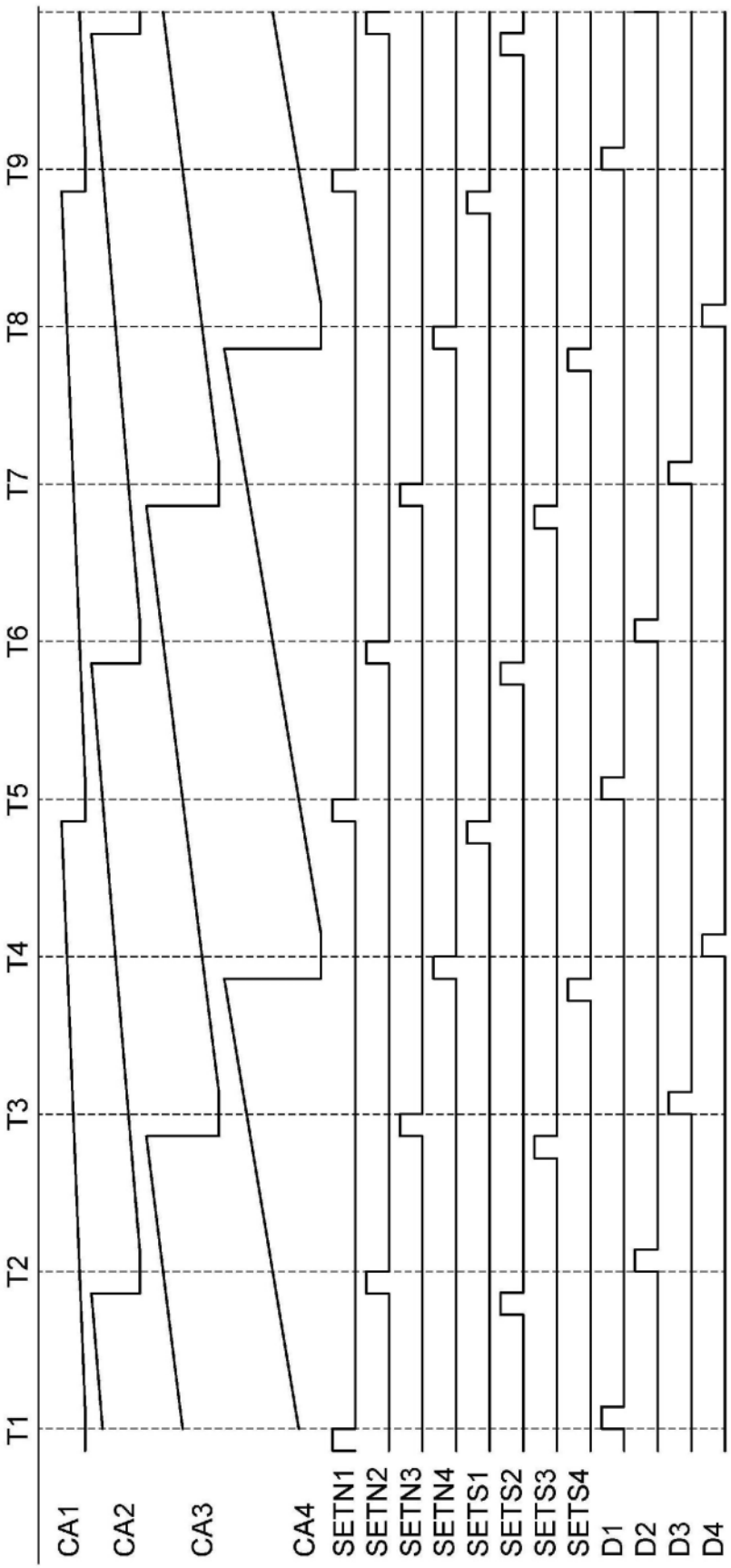

T1
T2
T3
T4
T5
T6
T7
T8
T9
CA1
CA2
CA3
CA4
SETN1
SETN2
SETN3
SETN4
SETS1
SETS2
SETS3
SETS4
D1
D2
D3
D4

图24

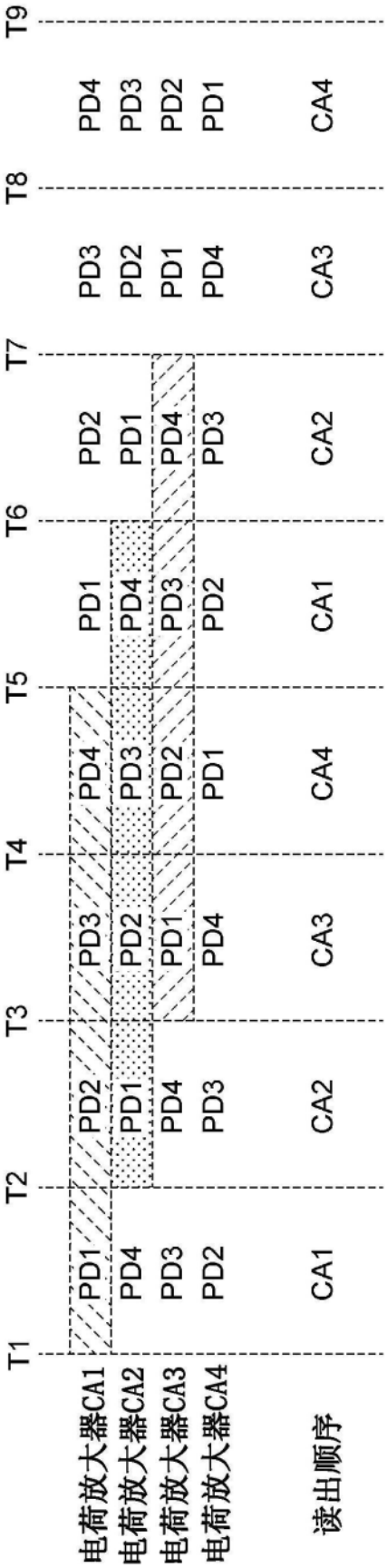

T1
T2
T3
T4
T5
T6
T7
T8
T9
电荷放大器CA1
电荷放大器CA2
电荷放大器CA3
电荷放大器CA4
读出顺序
PD1
PD4
PD3
PD2
CA1
PD2
PD1
PD4
PD3
CA2
PD3
PD2
PD1
PD4
CA3
PD4
PD3
PD2
PD1
CA4
PD1
PD4
PD3
PD2
CA1
PD2
PD1
PD4
PD3
CA2
PD3
PD2
PD1
PD4
CA3
PD4
PD3
PD2
PD1
CA4

图25

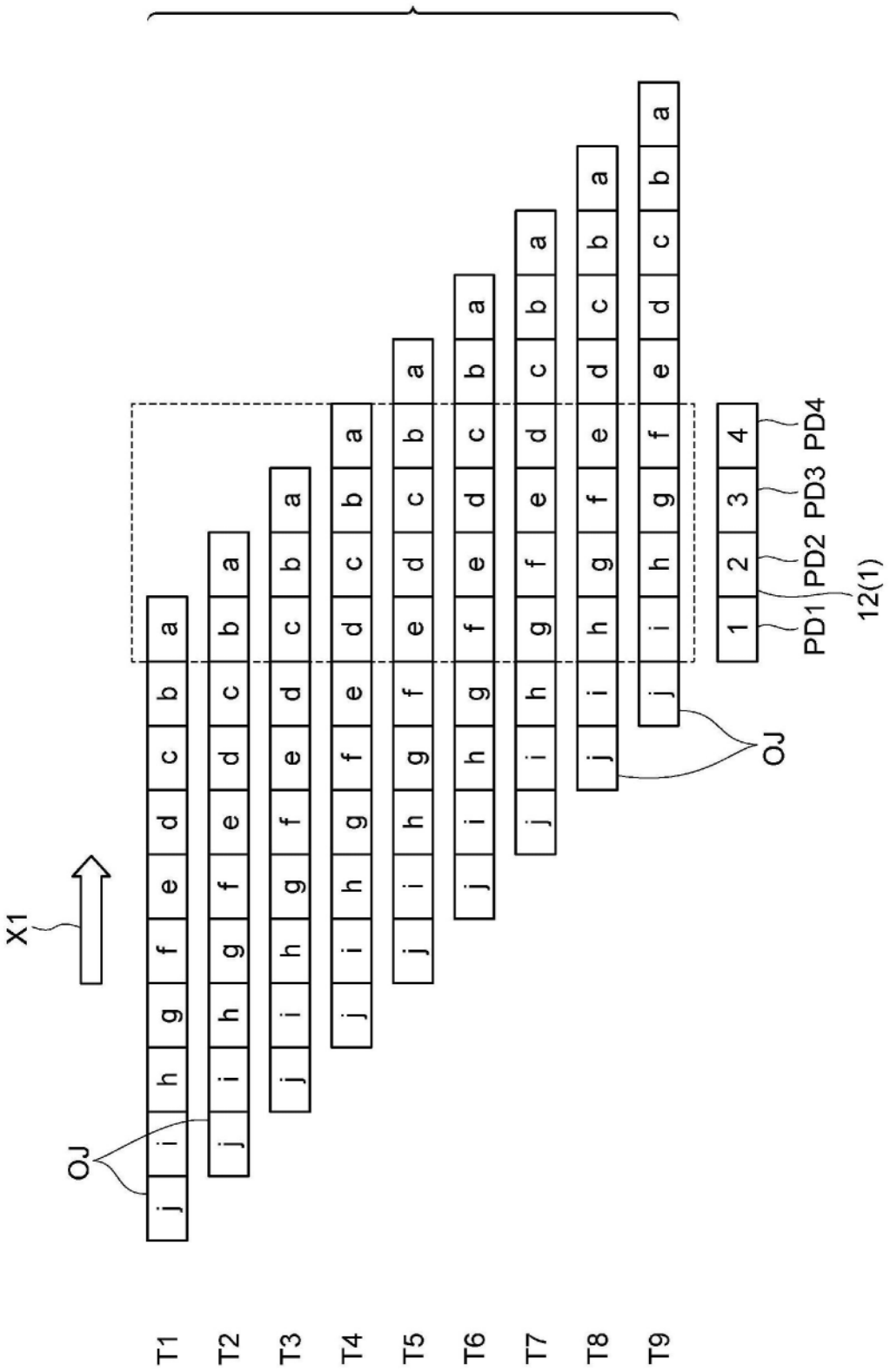


图26

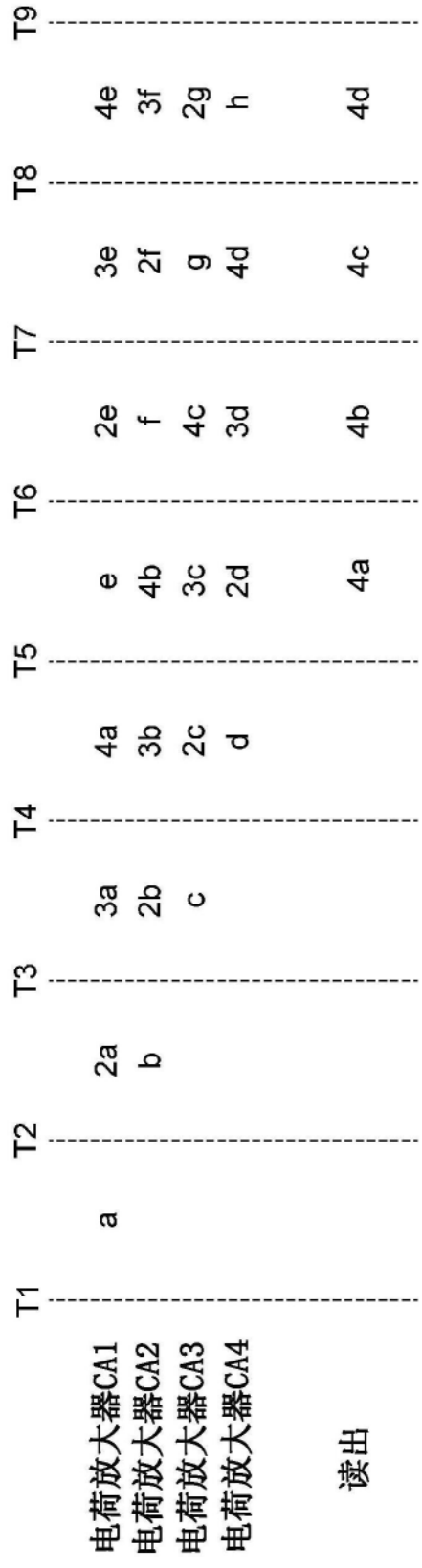

T1
T2
T3
T4
T5
T6
T7
T8
T9
电荷放大器CA1
电荷放大器CA2
电荷放大器CA3
电荷放大器CA4
读出
a
2a
b
3a
2b
c
4a
3b
2c
d
e
4b
3c
2d
2e
f
4c
3d
3e
2f
g
4d
4e
3f
2g
h
4a
4b
4c
4d
4c
4d

图27

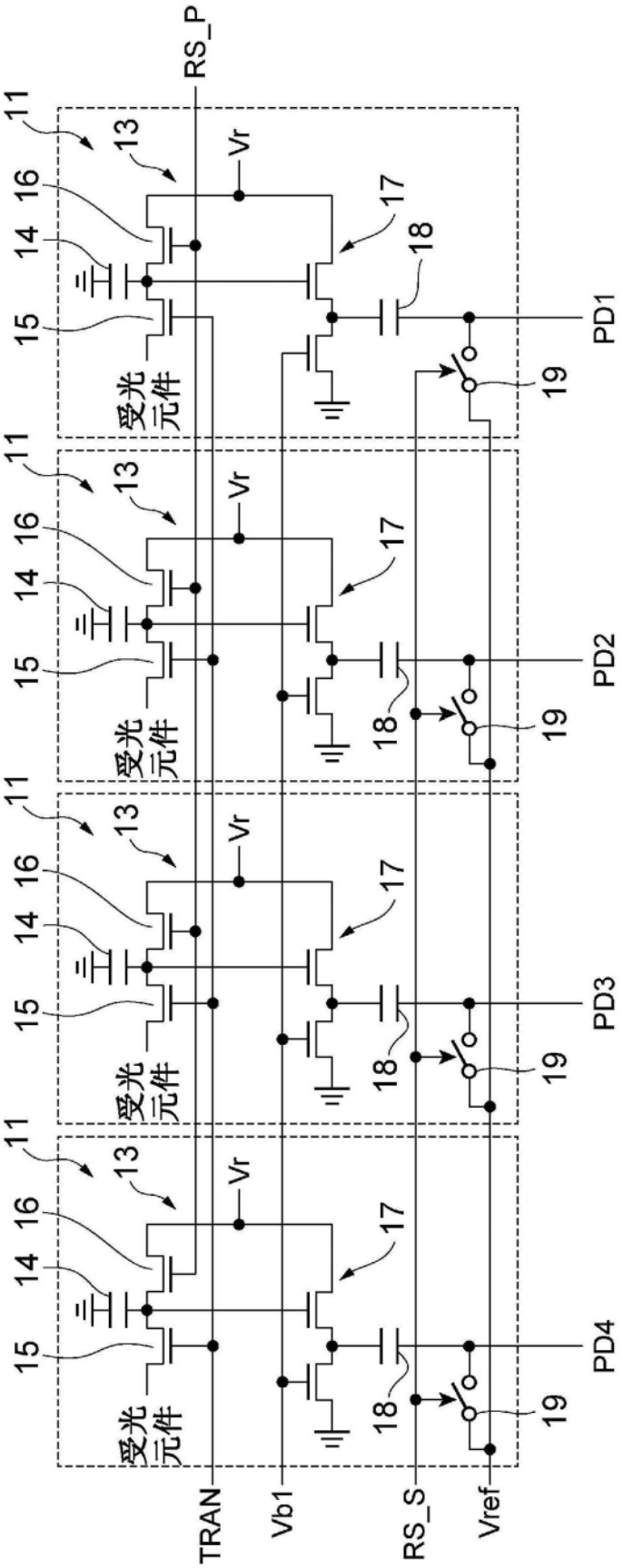

RS_P
TRAN
Vb1
RS_S
Vref
PD1
PD2
PD3
PD4
Vr
受光元件
11
13
14
15
16
17
18
19

图28

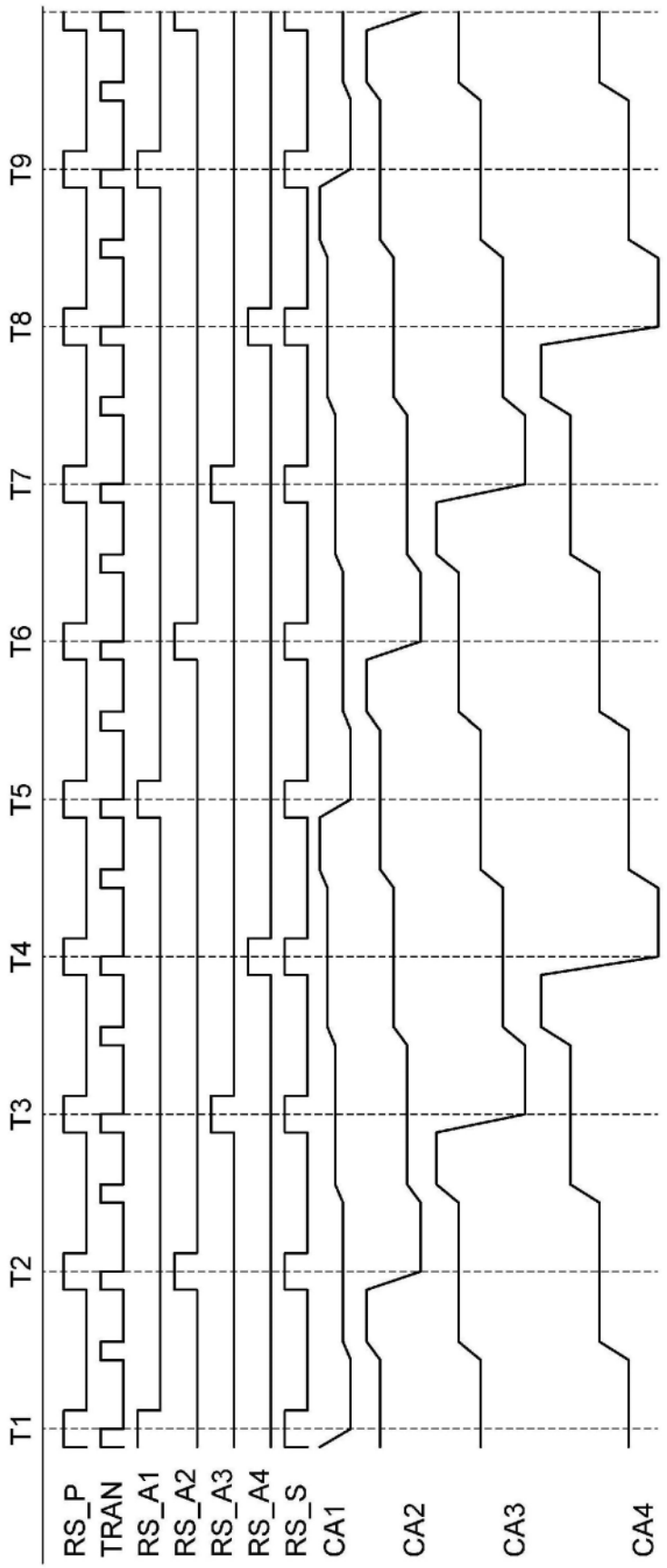

T1
T2
T3
T4
T5
T6
T7
T8
T9
RS_P
TRAN
RS_A1
RS_A2
RS_A3
RS_A4
RS_S
CA1
CA2
CA3
CA4

图29

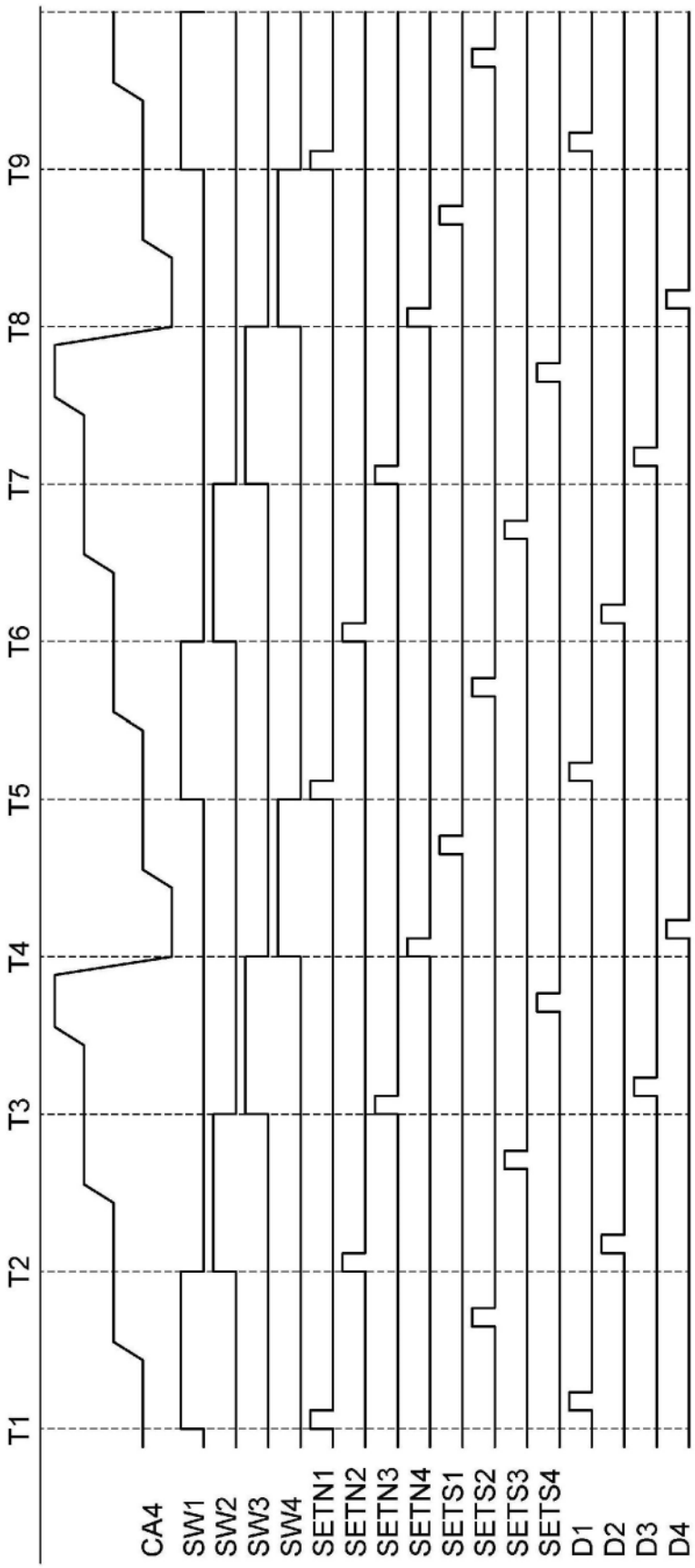

T1
T2
T3
T4
T5
T6
T7
T8
T9
CA4
SW1
SW2
SW3
SW4
SETN1
SETN2
SETN3
SETN4
SETS1
SETS2
SETS3
SETS4
D1
D2
D3
D4

图30

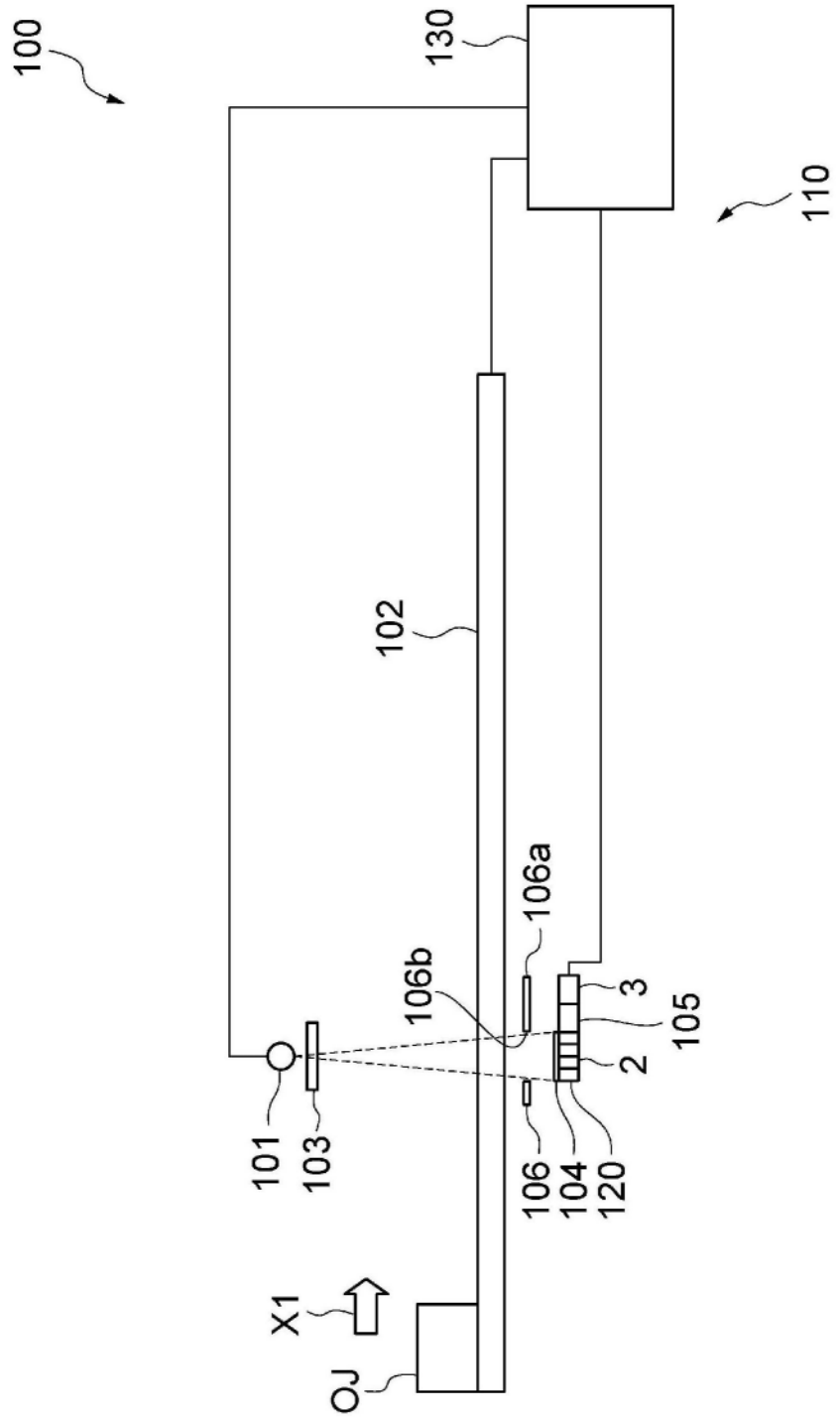


图31

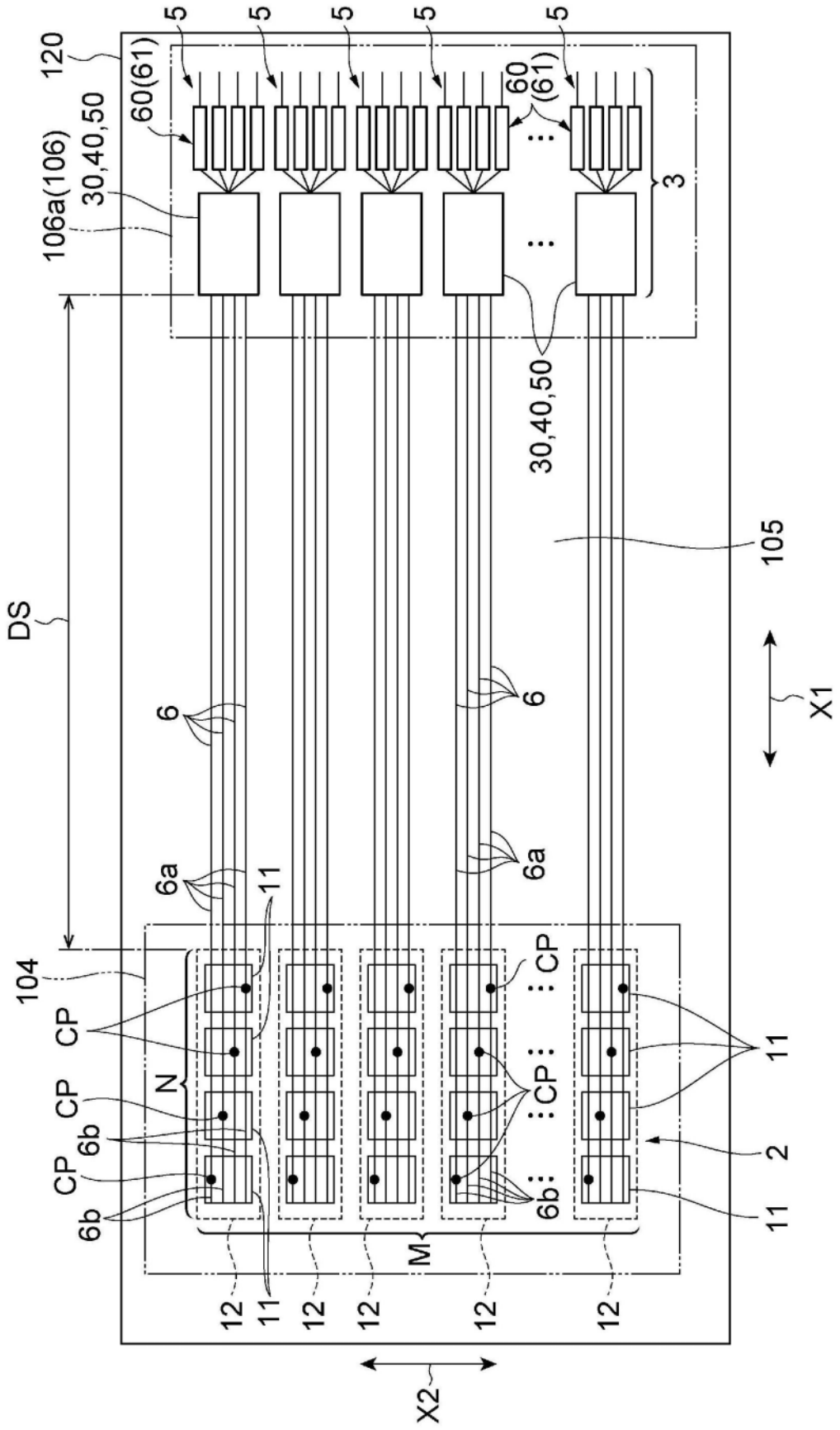

120
60(61)
30,40,50
106a(106)
5
60
(61)
3
DS
105
6
6a
11
104
CP
N
6b
M
12
X1
X2
2

图32

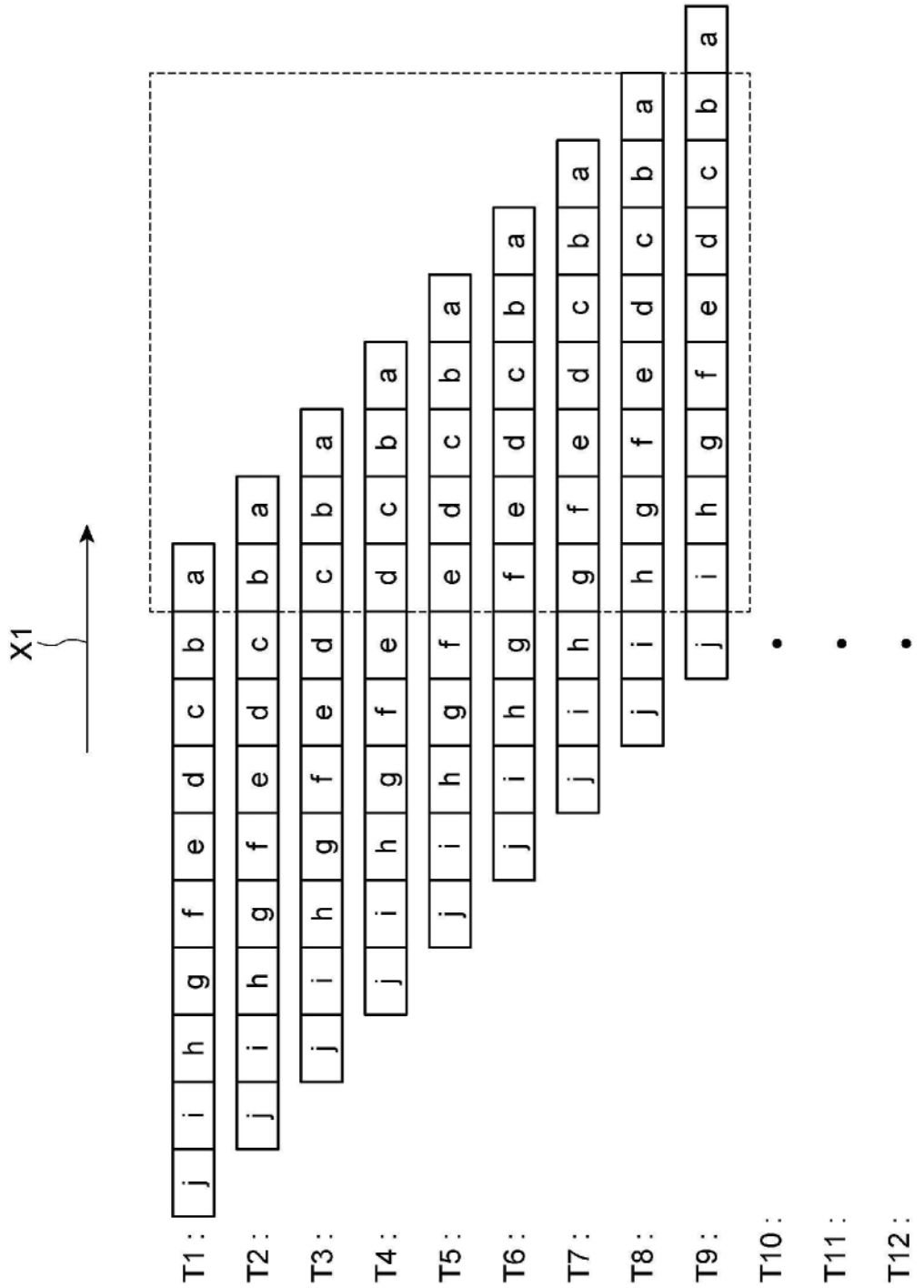


图33

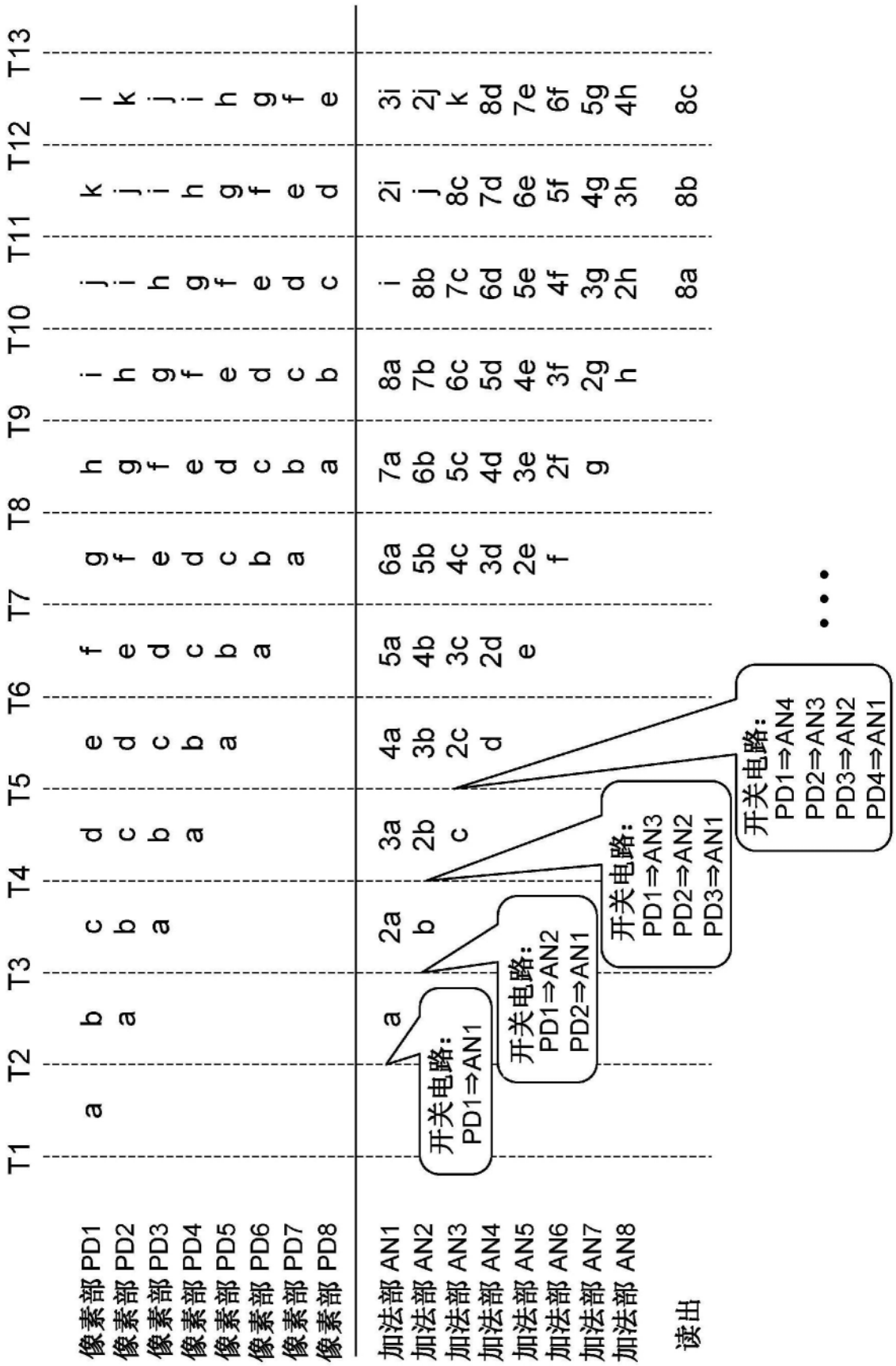

T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
像素部 PD1
像素部 PD2
像素部 PD3
像素部 PD4
像素部 PD5
像素部 PD6
像素部 PD7
像素部 PD8
加法部 AN1
加法部 AN2
加法部 AN3
加法部 AN4
加法部 AN5
加法部 AN6
加法部 AN7
加法部 AN8
读出
开关电路:
PD1⇒AN1
开关电路:
PD1⇒AN2
PD2⇒AN1
开关电路:
PD1⇒AN3
PD2⇒AN2
PD3⇒AN1
开关电路:
PD1⇒AN4
PD2⇒AN3
PD3⇒AN2
PD4⇒AN1

图34

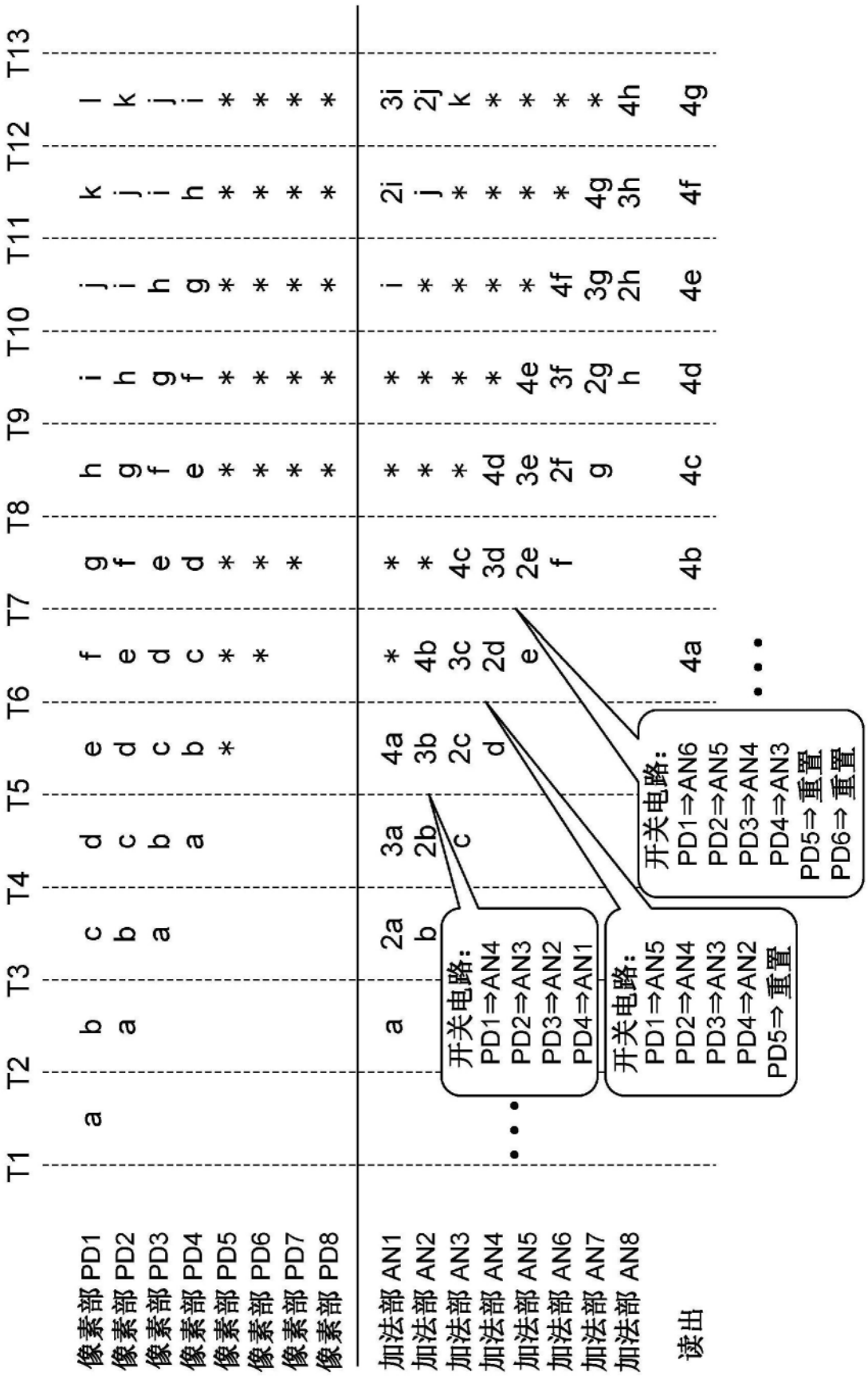

T1 T2 T3 T4 T5 T6 T7 T8 T9 T10 T11 T12 T13
像素部 PD1
像素部 PD2
像素部 PD3
像素部 PD4
像素部 PD5
像素部 PD6
像素部 PD7
像素部 PD8
加法部 AN1
加法部 AN2
加法部 AN3
加法部 AN4
加法部 AN5
加法部 AN6
加法部 AN7
加法部 AN8
读出
开关电路：
PD1⇒AN4
PD2⇒AN3
PD3⇒AN2
PD4⇒AN1
开关电路：
PD1⇒AN5
PD2⇒AN4
PD3⇒AN3
PD4⇒AN2
PD5⇒ 重置
开关电路：
PD1⇒AN6
PD2⇒AN5
PD3⇒AN4
PD4⇒AN3
PD5⇒ 重置
PD6⇒ 重置

图35

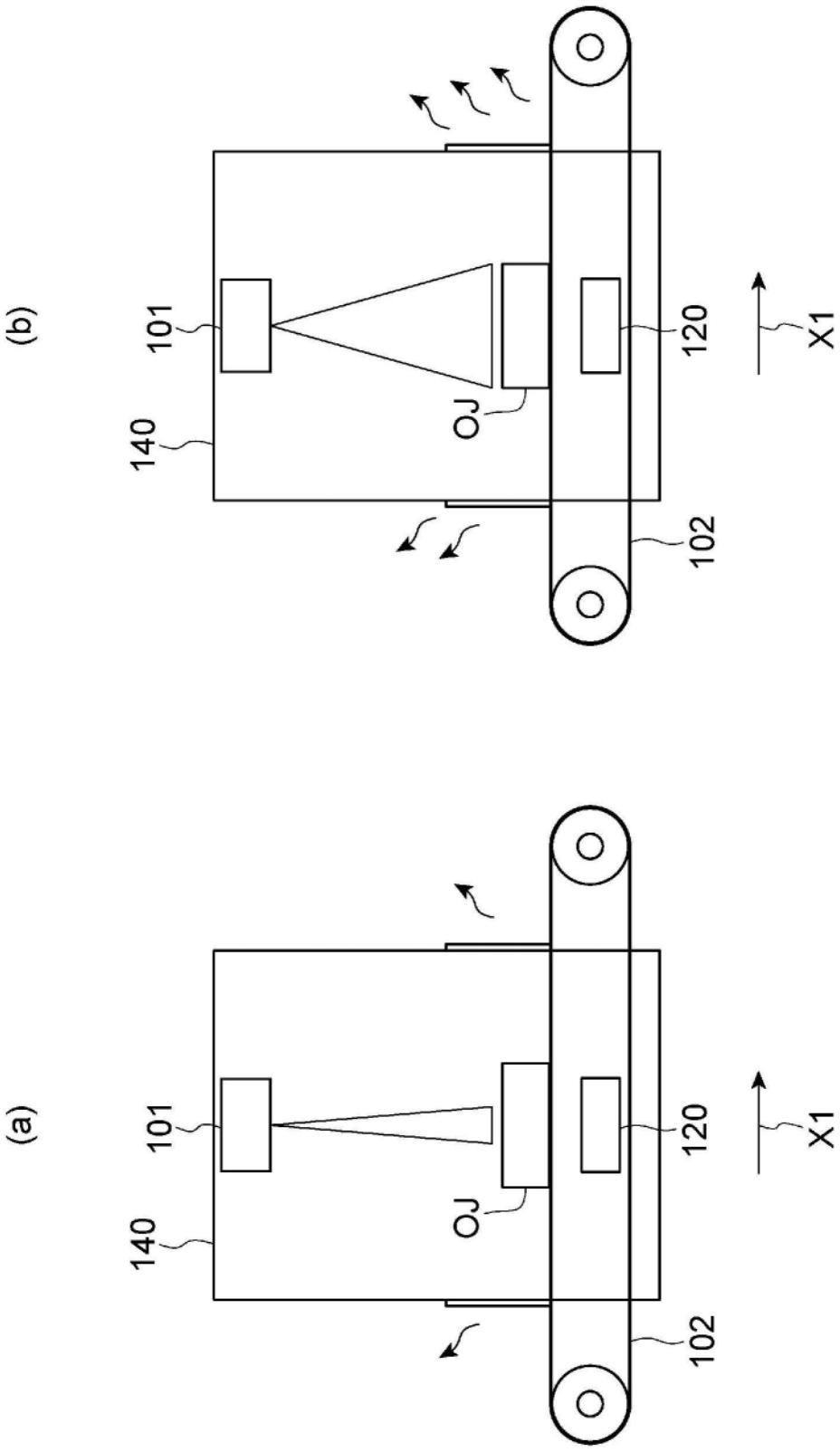


图36

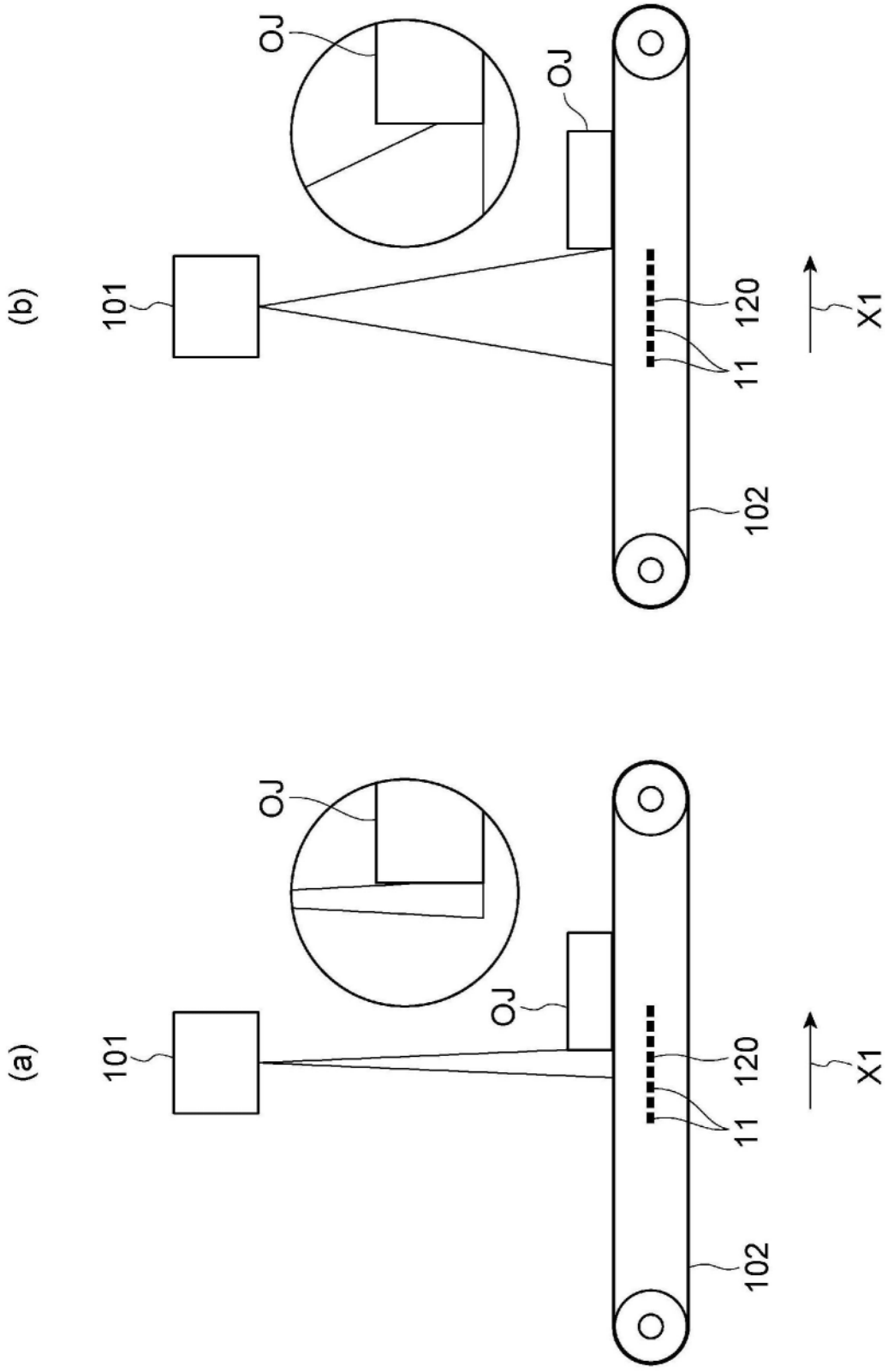


图37

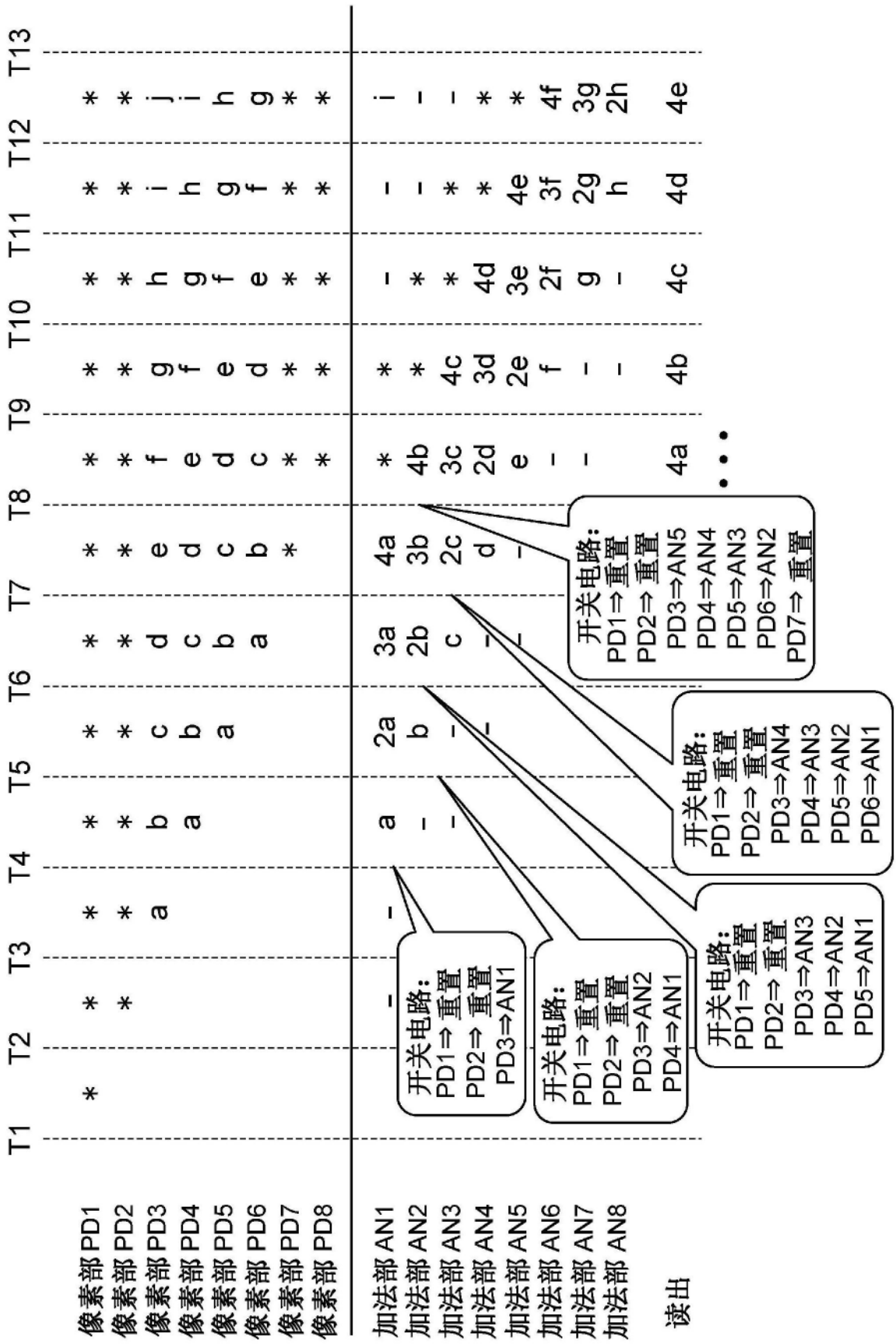

T1 T2 T3 T4 T5 T6 T7 T8 T9 T10 T11 T12 T13
像素部 PD1
像素部 PD2
像素部 PD3
像素部 PD4
像素部 PD5
像素部 PD6
像素部 PD7
像素部 PD8
加法部 AN1
加法部 AN2
加法部 AN3
加法部 AN4
加法部 AN5
加法部 AN6
加法部 AN7
加法部 AN8
读出
开关电路:
PD1⇒ 重置
PD2⇒ 重置
PD3⇒AN1
开关电路:
PD1⇒ 重置
PD2⇒ 重置
PD3⇒AN2
PD4⇒AN1
开关电路:
PD1⇒ 重置
PD2⇒ 重置
PD3⇒AN3
PD4⇒AN2
PD5⇒AN1
开关电路:
PD1⇒ 重置
PD2⇒ 重置
PD3⇒AN4
PD4⇒AN3
PD5⇒AN2
PD6⇒AN1
开关电路:
PD1⇒ 重置
PD2⇒ 重置
PD3⇒AN5
PD4⇒AN4
PD5⇒AN3
PD6⇒AN2
PD7⇒ 重置

图38

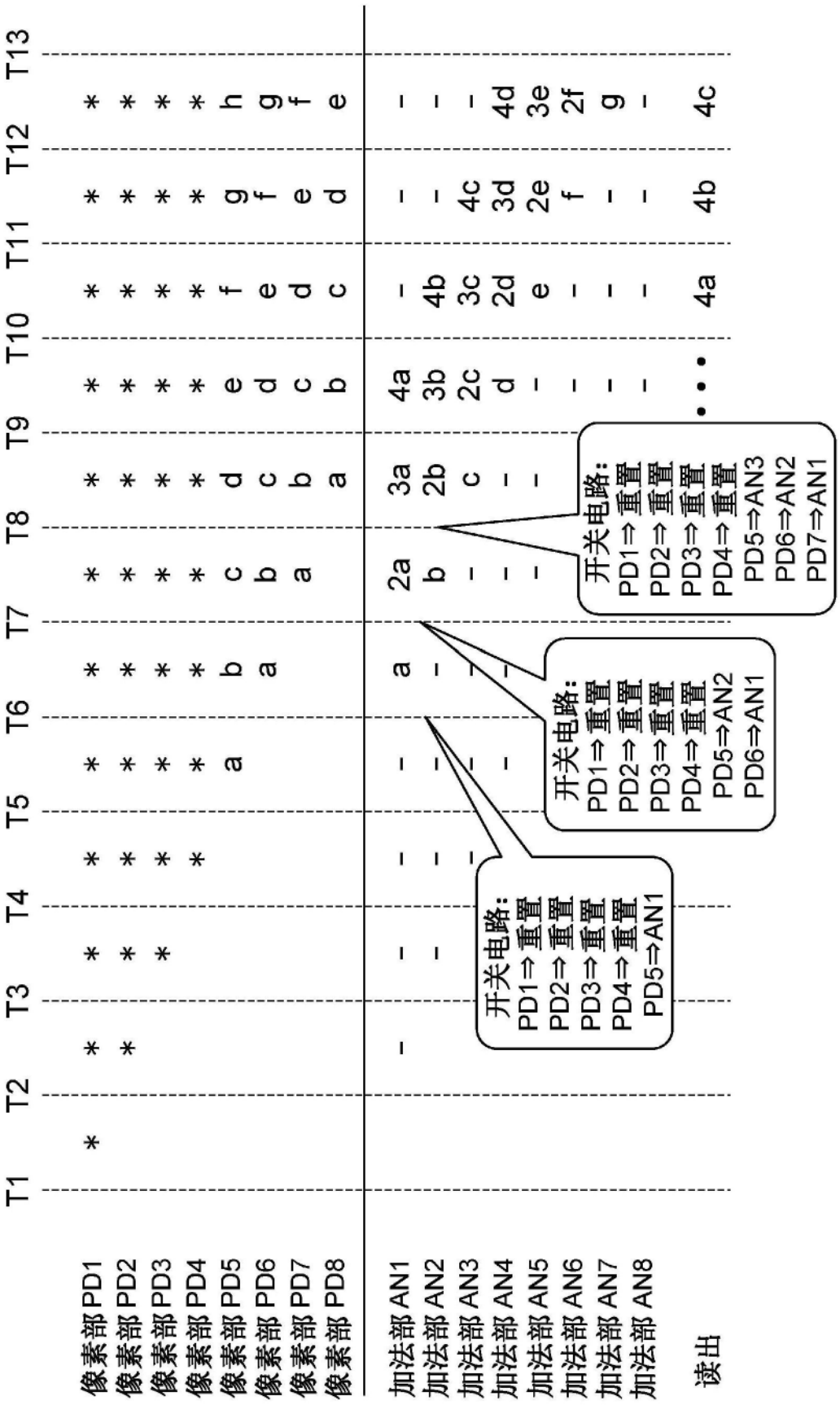

T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
像素部 PD1
像素部 PD2
像素部 PD3
像素部 PD4
像素部 PD5
像素部 PD6
像素部 PD7
像素部 PD8
加法部 AN1
加法部 AN2
加法部 AN3
加法部 AN4
加法部 AN5
加法部 AN6
加法部 AN7
加法部 AN8
读出
开关电路:
PD1⇒ 重置
PD2⇒ 重置
PD3⇒ 重置
PD4⇒ 重置
PD5⇒AN1
开关电路:
PD1⇒ 重置
PD2⇒ 重置
PD3⇒ 重置
PD4⇒ 重置
PD5⇒AN2
PD6⇒AN1
开关电路:
PD1⇒ 重置
PD2⇒ 重置
PD3⇒ 重置
PD4⇒ 重置
PD5⇒AN3
PD6⇒AN2
PD7⇒AN1

图39

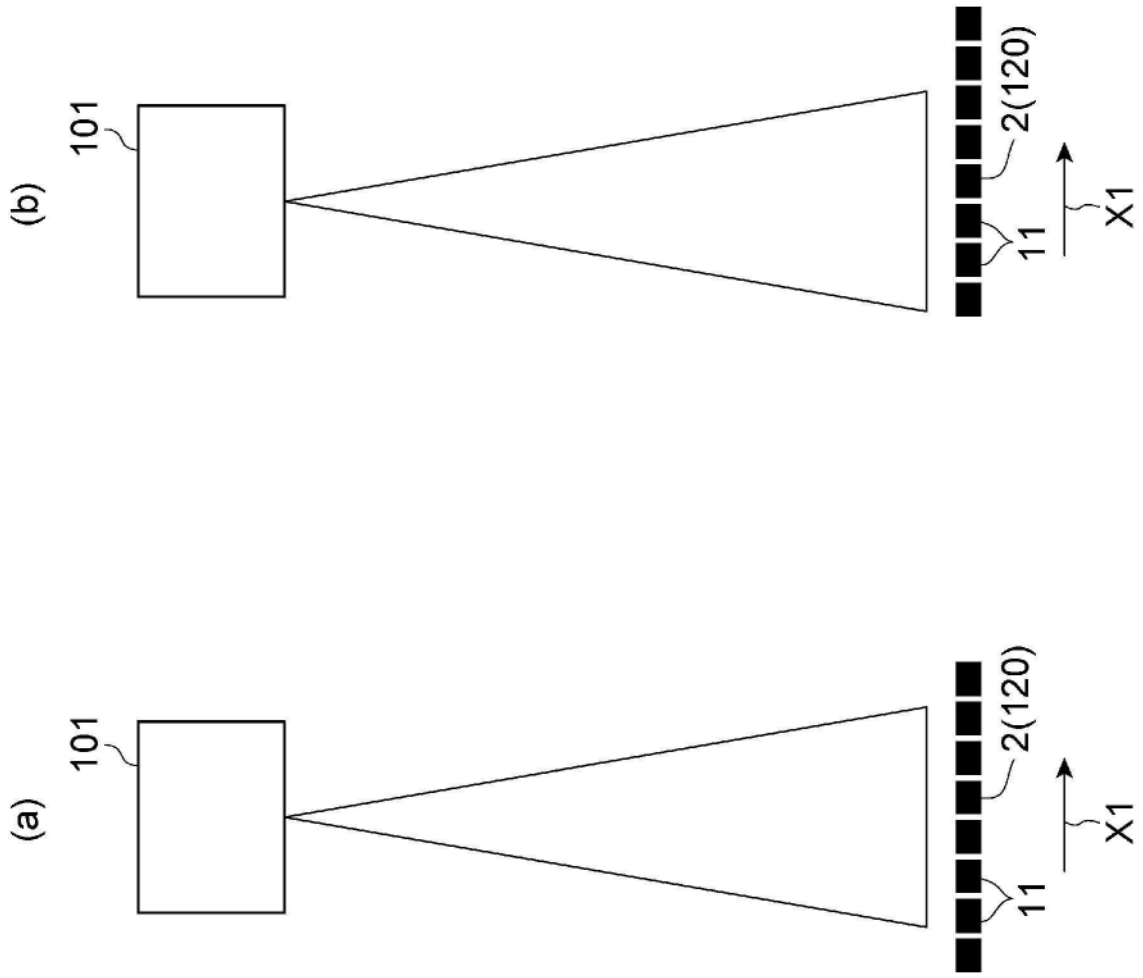


图40

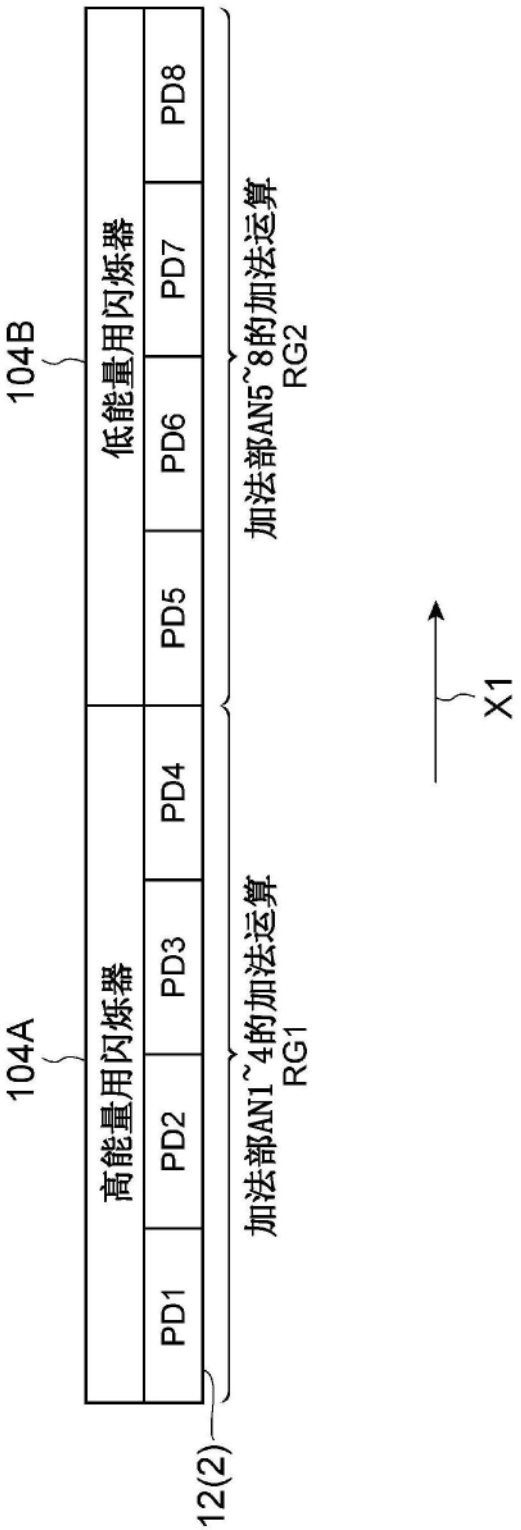

104B
低能量用闪烁器
PD5
PD6
PD7
PD8
加法部AN5~8的加法运算
RG2
104A
高能量用闪烁器
PD1
PD2
PD3
PD4
加法部AN1~4的加法运算
RG1
12(2)
X1

图41

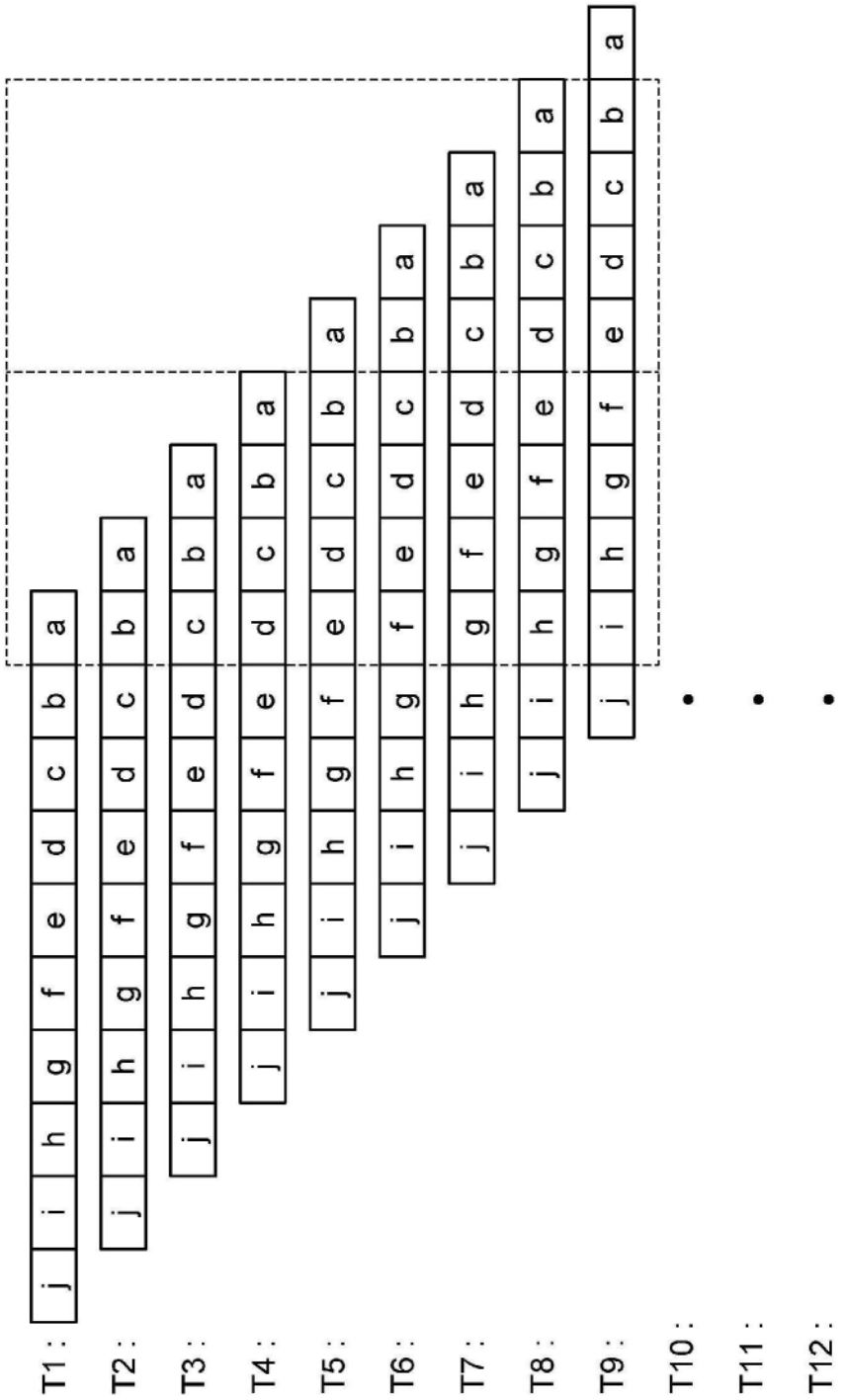


图42

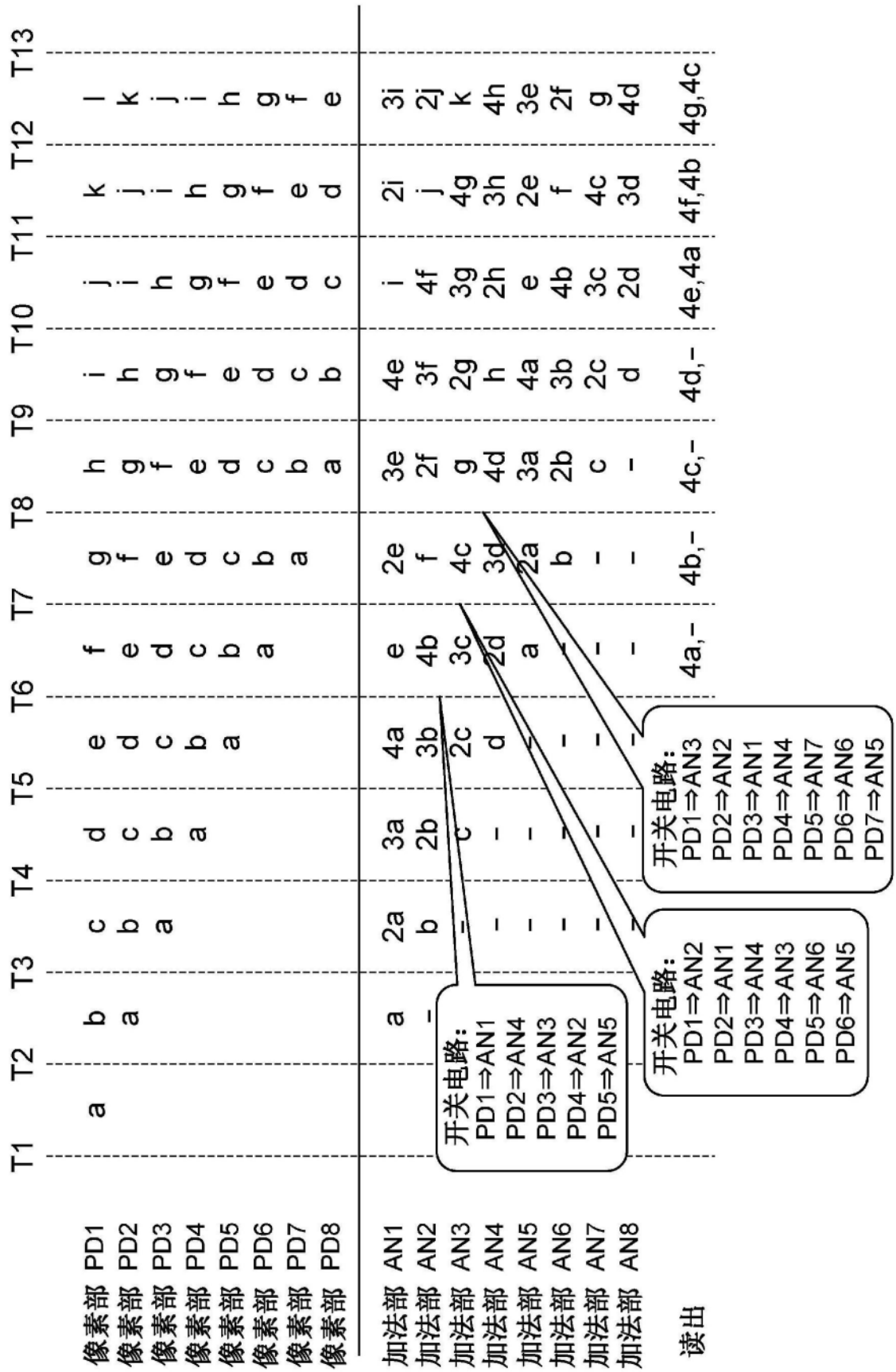

T1 T2 T3 T4 T5 T6 T7 T8 T9 T10 T11 T12 T13
像素部 PD1
像素部 PD2
像素部 PD3
像素部 PD4
像素部 PD5
像素部 PD6
像素部 PD7
像素部 PD8
加法部 AN1
加法部 AN2
加法部 AN3
加法部 AN4
加法部 AN5
加法部 AN6
加法部 AN7
加法部 AN8
读出
开关电路：
PD1⇒AN1
PD2⇒AN4
PD3⇒AN3
PD4⇒AN2
PD5⇒AN5
开关电路：
PD1⇒AN2
PD2⇒AN1
PD3⇒AN4
PD4⇒AN3
PD5⇒AN6
PD6⇒AN5
开关电路：
PD1⇒AN3
PD2⇒AN2
PD3⇒AN1
PD4⇒AN4
PD5⇒AN7
PD6⇒AN6
PD7⇒AN5

图43

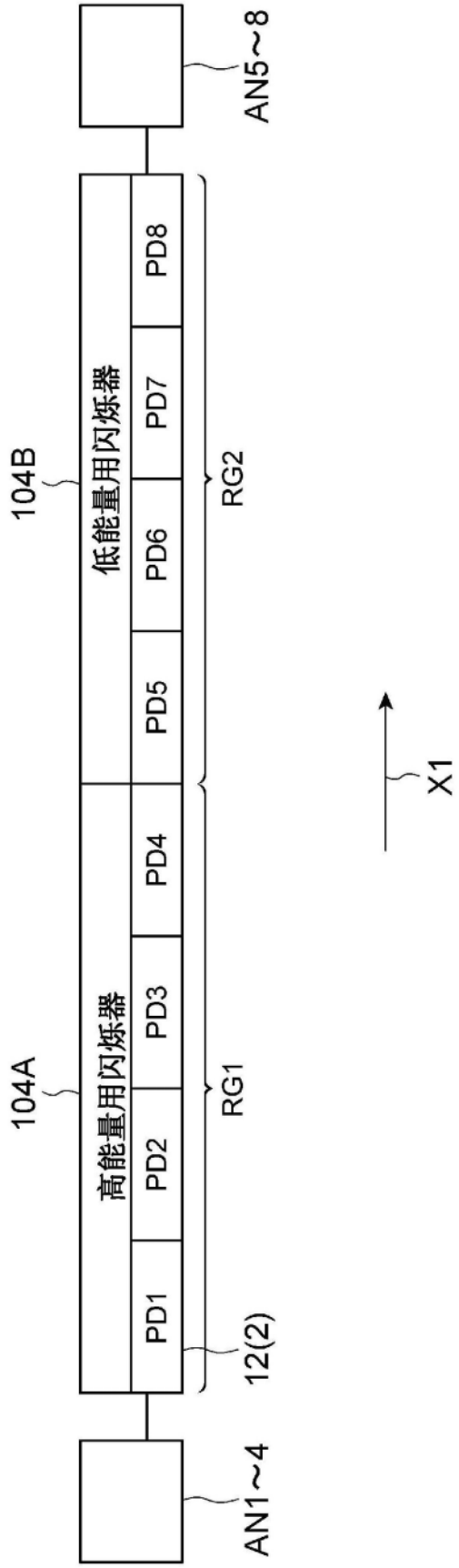

AN5～8
104B
低能量用闪烁器
PD8
PD7
PD6
PD5
RG2
X1
104A
高能量用闪烁器
PD4
PD3
PD2
PD1
RG1
12(2)
AN1～4

图44

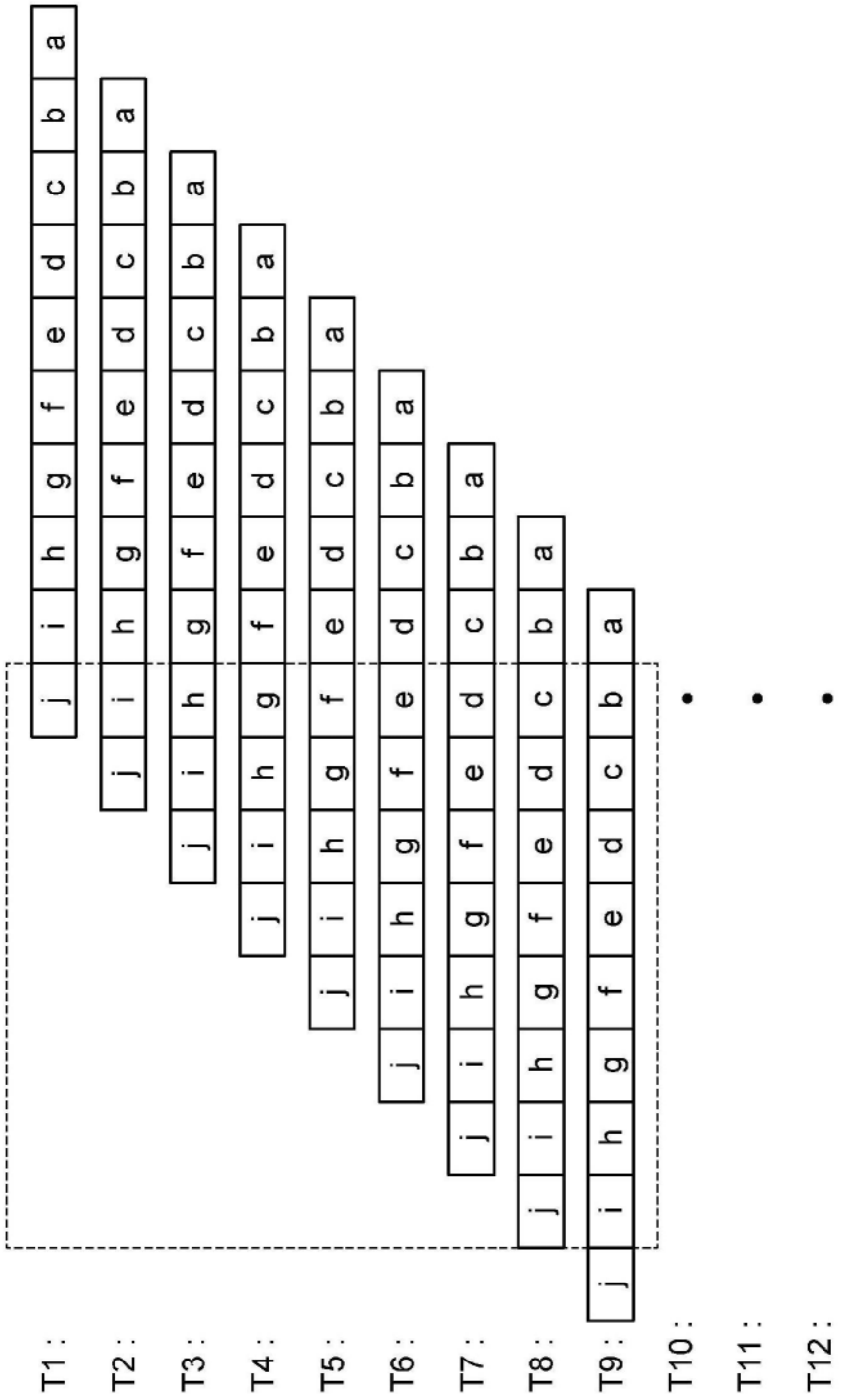


图45

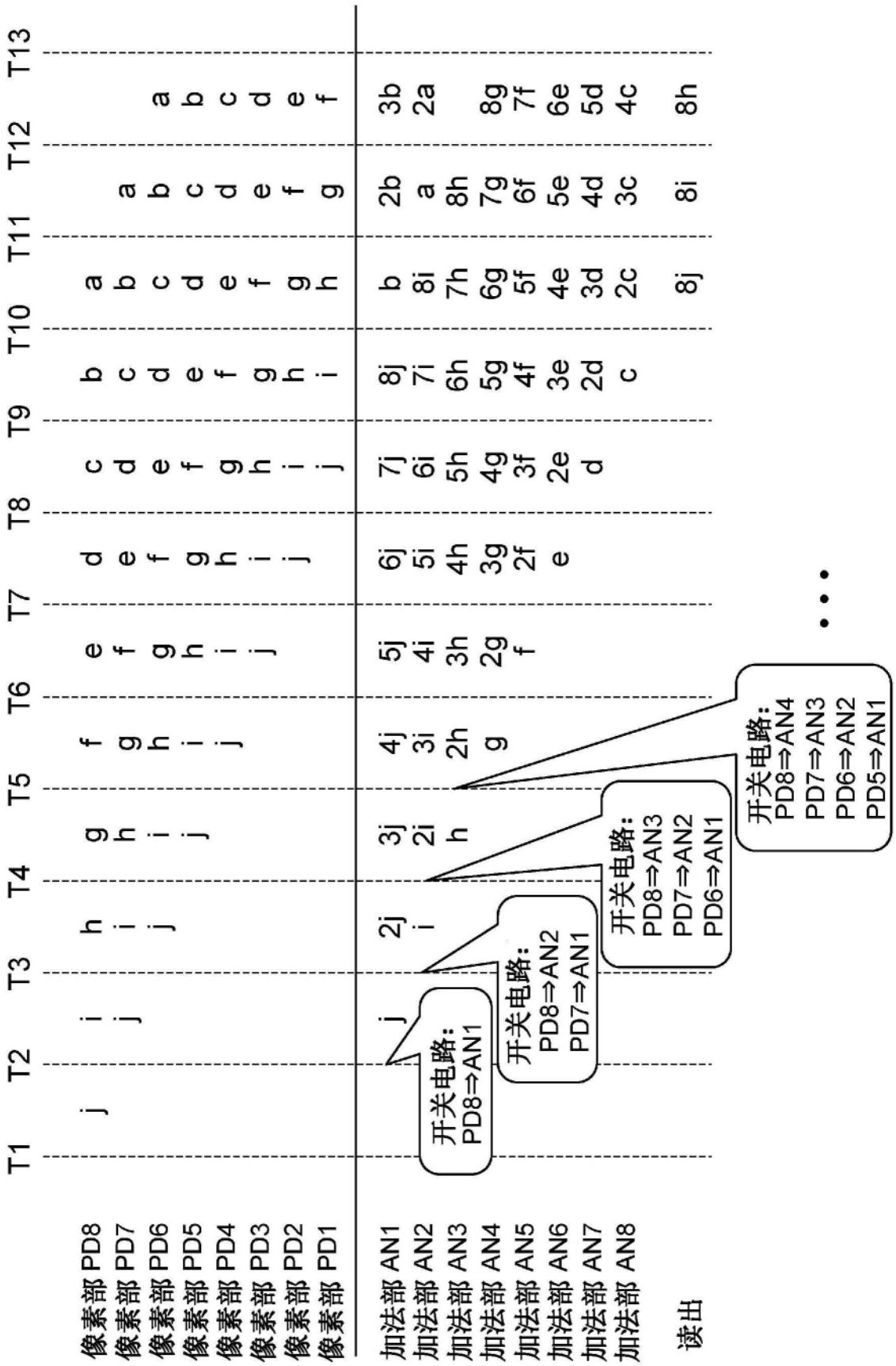

T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
像素部 PD8
像素部 PD7
像素部 PD6
像素部 PD5
像素部 PD4
像素部 PD3
像素部 PD2
像素部 PD1
加法部 AN1
加法部 AN2
加法部 AN3
加法部 AN4
加法部 AN5
加法部 AN6
加法部 AN7
加法部 AN8
读出
开关电路：
PD8⇒AN1
开关电路：
PD8⇒AN2
PD7⇒AN1
开关电路：
PD8⇒AN3
PD7⇒AN2
PD6⇒AN1
开关电路：
PD8⇒AN4
PD7⇒AN3
PD6⇒AN2
PD5⇒AN1

图46

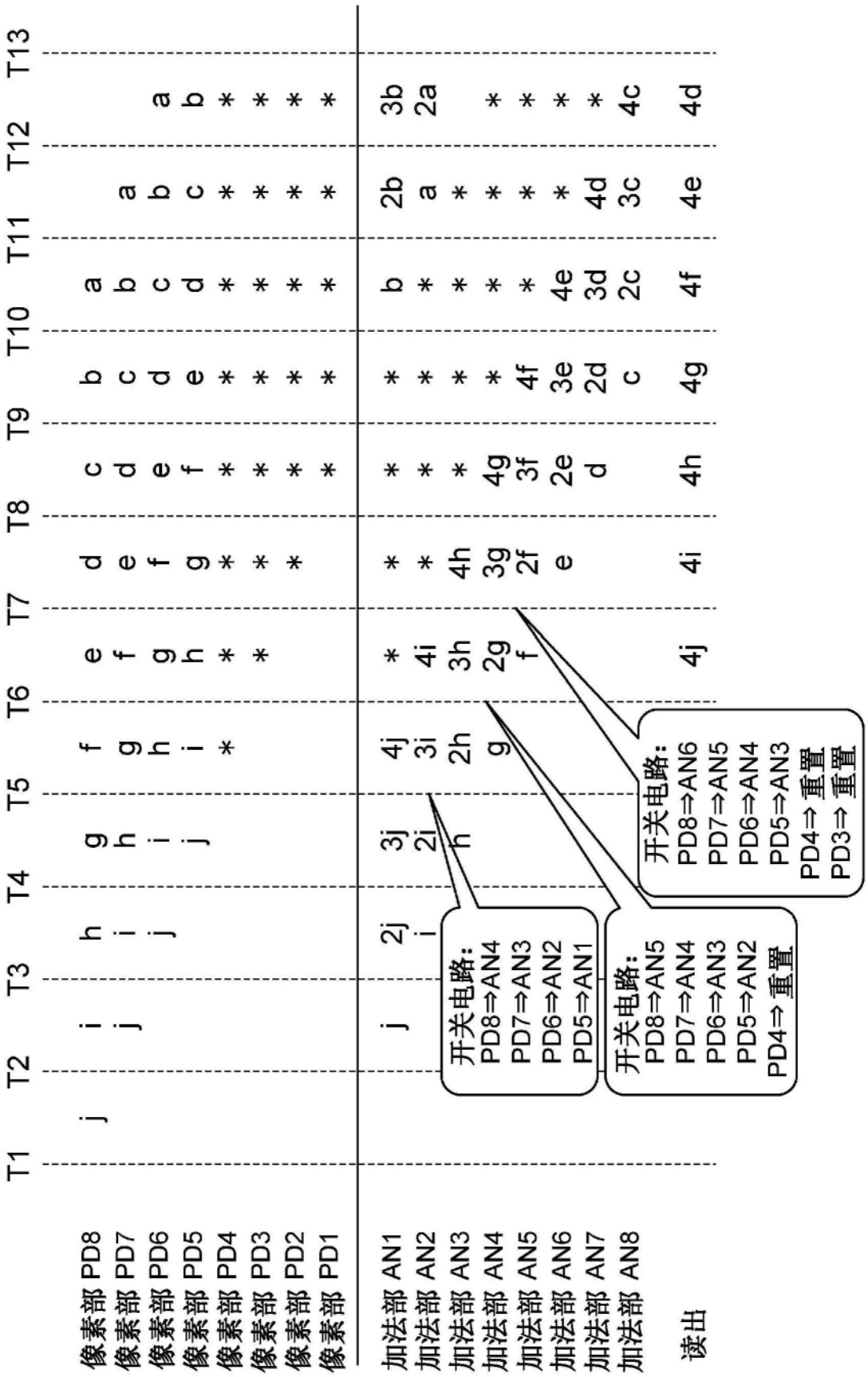

T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
像素部 PD8
像素部 PD7
像素部 PD6
像素部 PD5
像素部 PD4
像素部 PD3
像素部 PD2
像素部 PD1
加法部 AN1
加法部 AN2
加法部 AN3
加法部 AN4
加法部 AN5
加法部 AN6
加法部 AN7
加法部 AN8
读出
开关电路:
PD8⇒AN4
PD7⇒AN3
PD6⇒AN2
PD5⇒AN1
开关电路:
PD8⇒AN5
PD7⇒AN4
PD6⇒AN3
PD5⇒AN2
PD4⇒ 重置
开关电路:
PD8⇒AN6
PD7⇒AN5
PD6⇒AN4
PD5⇒AN3
PD4⇒ 重置
PD3⇒ 重置

图47

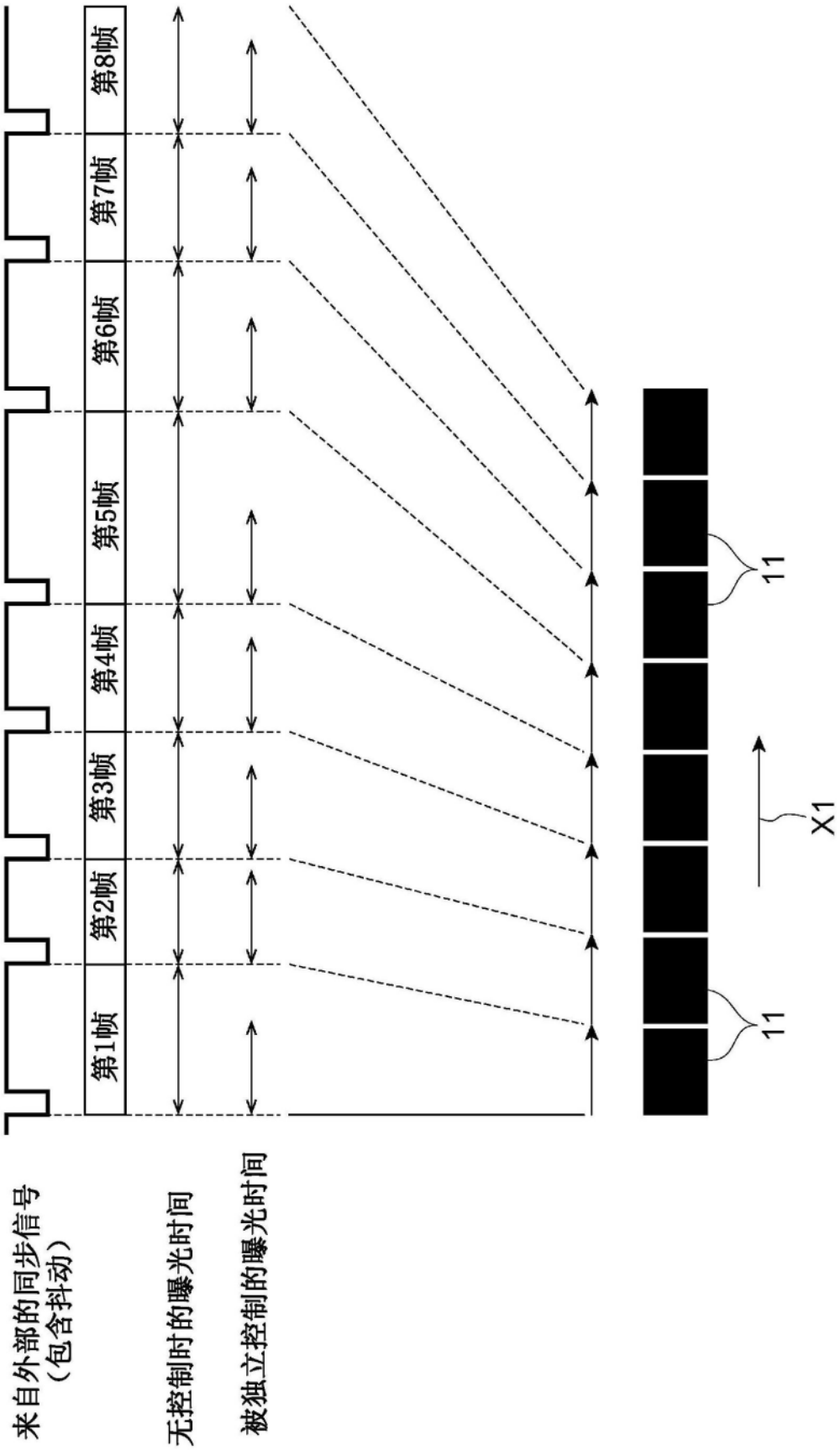

第1帧
第2帧
第3帧
第4帧
第5帧
第6帧
第7帧
第8帧
来自外部的同步信号
（包含抖动）
无控制时的曝光时间
被独立控制的曝光时间
11
11
X1

图48

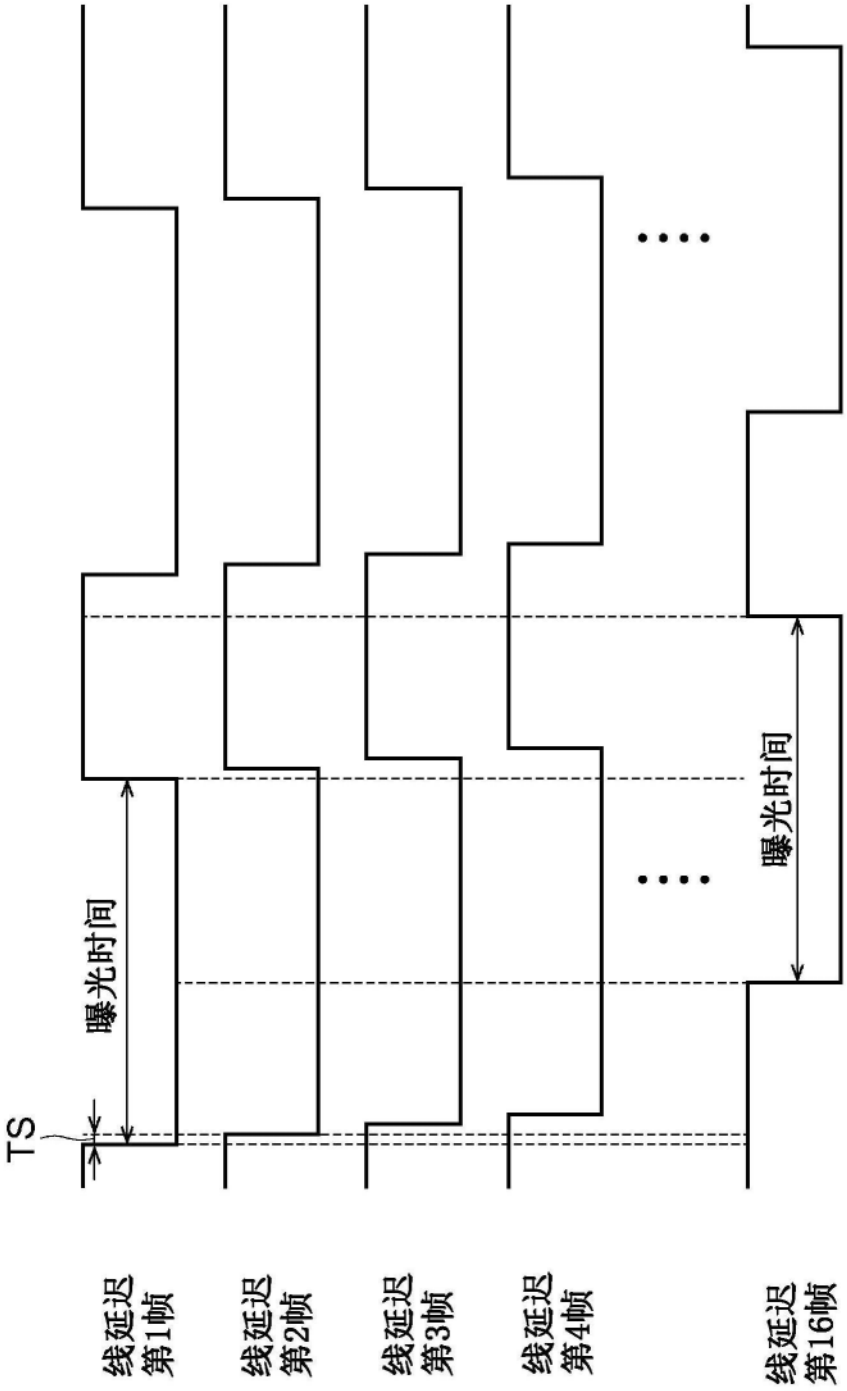


图49

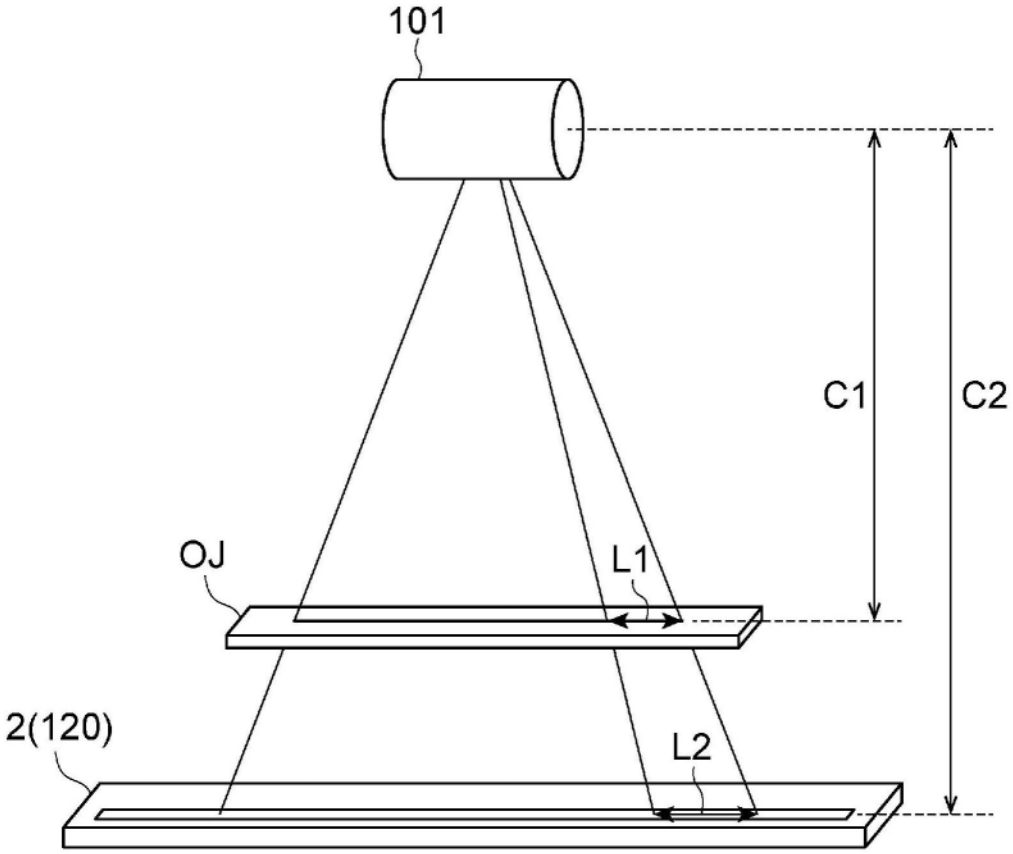


图50