

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 9월 21일 (21.09.2017)



(10) 국제공개번호
WO 2017/160119 A1

- (51) 국제특허분류:
H01L 27/15 (2006.01) H01L 33/58 (2010.01)
H01L 33/38 (2010.01) H05B 33/12 (2006.01)
H01L 33/40 (2010.01) H01L 25/075 (2006.01)
H01L 33/50 (2010.01)
- (21) 국제출원번호: PCT/KR2017/002903
- (22) 국제출원일: 2017년 3월 17일 (17.03.2017)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2016-0032819 2016년 3월 18일 (18.03.2016) KR
10-2016-0071810 2016년 6월 9일 (09.06.2016) KR
10-2016-0077444 2016년 6월 21일 (21.06.2016) KR
- (71) 출원인: 엘지이노텍 주식회사 (LG INNOTEK CO., LTD.) [KR/KR]; 04637 서울시 중구 후암로 98, LG 서울역빌딩 17층, Seoul (KR).
- (72) 발명자: 박선우 (PARK, Sun Woo); 04637 서울시 중구 후암로 98, LG 서울역빌딩 17층, Seoul (KR). 한명호 (HAN, Myung Ho); 04637 서울시 중구 후암로 98, LG 서울역빌딩 17층, Seoul (KR). 조현민 (CHO, Hyeon Min); 04637 서울시 중구 후암로 98, LG 서울역빌딩 17층, Seoul (KR). 송준오 (SONG, June O); 04637 서울시

중구 후암로 98, LG 서울역빌딩 17층, Seoul (KR). 김청송 (KIM, Chung Song); 04637 서울시 중구 후암로 98, LG 서울역빌딩 17층, Seoul (KR). 문지형 (MOON, Ji Hyung); 04637 서울시 중구 후암로 98, LG 서울역빌딩 17층, Seoul (KR). 이상열 (LEE, Sang Youl); 04637 서울시 중구 후암로 98, LG 서울역빌딩 17층, Seoul (KR).

(74) 대리인: 특허법인 다나 (DANA PATENT LAW FIRM); 06242 서울시 강남구 역삼로 3길 11 광성빌딩 신관 4-6층, Seoul (KR).

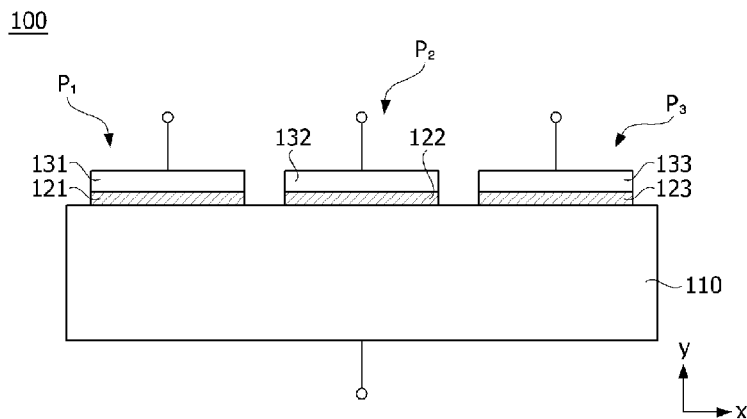
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM,

[다음 쪽 계속]

(54) Title: SEMICONDUCTOR DEVICE AND DISPLAY DEVICE INCLUDING SAME

(54) 발명의 명칭 : 반도체 소자 및 이를 포함하는 표시장치



(57) Abstract: In an embodiment, disclosed is a semiconductor device comprising: a light-emitting structure including a first conductive type semiconductor layer, a plurality of active layers arranged to be separated from each other on the first conductive type semiconductor layer, and a plurality of second conductive type semiconductor layers respectively arranged on the plurality of active layers; a first electrode electrically connected to the first conductive type semiconductor layer; and a plurality of second electrodes electrically connected to the plurality of second conductive type semiconductor layers, respectively, wherein the plurality of active layers include a first active layer, a second active layer, and a third active layer, the light-emitting structure includes a first light-emitting part including the first active layer, a second light-emitting part including the second active layer, and a third light-emitting part including the third active layer, the first active layer emits light of a blue wavelength range, the second active layer emits light of a green wavelength range, and the height of the second active layer differs from the height of the first active layer.

(57) 요약서:

[다음 쪽 계속]



WO 2017/160119 A1



KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

실시 예는 제 1 도전형 반도체층, 상기 제 1 도전형 반도체층상에서 이격 배치된 복수 개의 활성층, 및 상기 복수 개의 활성층상에 각각 배치되는 복수 개의 제 2 도전형 반도체층을 포함하는 발광구조물; 상기 제 1 도전형 반도체층에 전기적으로 연결된 제 1 전극; 및 상기 복수 개의 제 2 도전형 반도체층에 각각 전기적으로 연결된 복수 개의 제 2 전극을 포함하고, 상기 복수 개의 활성층은 제 1 활성층, 제 2 활성층, 및 제 3 활성층을 포함하고, 상기 발광구조물은 상기 제 1 활성층을 포함하는 제 1 발광부, 상기 제 2 활성층을 포함하는 제 2 발광부, 및 상기 제 3 활성층을 포함하는 제 3 발광부를 포함하고, 상기 제 1 활성층은 청색 파장대의 광을 방출하고, 상기 제 2 활성층은 녹색 파장대의 광을 방출하고, 상기 제 2 활성층의 높이는 상기 제 1 활성층의 높이와 상이한 반도체 소자를 개시한다.

명세서

발명의 명칭: 반도체 소자 및 이를 포함하는 표시장치

기술분야

- [1] 실시 예는 반도체 소자 및 이를 포함하는 표시장치에 관한 것이다.

배경기술

- [2] GaN, AlGaN 등의 화합물을 포함하는 반도체 소자는 넓고 조정이 용이한 밴드 갭 에너지를 가지는 등의 많은 장점을 가져서 발광 소자, 수광 소자 및 각종 다이오드 등으로 다양하게 사용될 수 있다.
- [3] 특히, 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용한 발광 다이오드(Light Emitting Diode)나 레이저 다이오드(Laser Diode)와 같은 발광 소자는 박막 성장 기술 및 소자 재료의 개발로 적색, 녹색, 청색 및 자외선 등 다양한 색을 구현할 수 있으며, 형광 물질을 이용하거나 색을 조합함으로써 효율이 좋은 백색 광선도 구현이 가능하며, 형광등, 백열등 등 기존의 광원에 비해 저 소비 전력, 반영구적인 수명, 빠른 응답속도, 안전성, 환경 친화성의 장점을 가진다.
- [4] 뿐만 아니라, 광검출기나 태양 전지와 같은 수광 소자도 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용하여 제작하는 경우 소자 재료의 개발로 다양한 파장 영역의 빛을 흡수하여 광 전류를 생성함으로써 감마선부터 라디오 파장 영역까지 다양한 파장 영역의 빛을 이용할 수 있다. 또한 빠른 응답속도, 안전성, 환경 친화성 및 소자 재료의 용이한 조절의 장점을 가져 전력 제어 또는 초고주파 회로나 통신용 모듈에도 용이하게 이용할 수 있다.
- [5] 따라서, 반도체 소자는 광 통신 수단의 송신 모듈, LCD(Liquid Crystal Display) 표시 장치의 백라이트를 구성하는 냉음극관(CCFL: Cold Cathode Fluorescence Lamp)을 대체하는 발광 다이오드 백라이트, 형광등이나 백열 전구를 대체할 수 있는 백색 발광 다이오드 조명 장치, 자동차 헤드 라이트 및 신호등 및 Gas나 화재를 감지하는 센서 등에까지 응용이 확대되고 있다. 또한, 반도체 소자는 고주파 응용 회로나 기타 전력 제어 장치, 통신용 모듈에까지 응용이 확대될 수 있다.
- [6] 최근에는 HD(high definition) 및 대 화면의 표시 장치가 요구되고 있다. 그러나, 복잡한 구성들을 갖는 액정 표시 장치 및 유기 전계 표시 장치는 수율이 낮고 비용은 높아 고화질의 대 화면 표시 장치를 구현하기 어렵다.

발명의 상세한 설명

기술적 과제

- [7] 실시 예는 칩 레벨에서 복수 개의 색을 각각 구현할 수 있는 반도체 소자 및 이를 포함하는 표시장치를 제공한다.
- [8] 실시 예는 디스플레이의 픽셀 역할을 수행할 수 있는 발광소자를 제공한다.

- [9] 실시 예는 고해상도의 대형 표시장치를 구현할 수 있는 표시장치를 제공한다.
 [10] 실시 예는 복수 개의 발광소자가 픽셀을 구성하는 표시장치를 제공한다.

과제 해결 수단

- [11] 일 실시 예에 따른 반도체 소자는, 제1 도전형 반도체층, 상기 제1 도전형 반도체층상에서 이격 배치된 복수 개의 활성층, 및 상기 복수 개의 활성층상에 각각 배치되는 복수 개의 제2 도전형 반도체층을 포함하는 발광구조물; 상기 제1 도전형 반도체층에 전기적으로 연결된 제1전극; 및 상기 복수 개의 제2 도전형 반도체층에 각각 전기적으로 연결된 복수 개의 제2전극을 포함하고, 상기 복수 개의 활성층은 제1활성층, 제2활성층, 및 제3활성층을 포함하고, 상기 발광구조물은 상기 제1활성층을 포함하는 제1발광부, 상기 제2활성층을 포함하는 제2발광부, 및 상기 제3활성층을 포함하는 제3발광부를 포함하고, 상기 제1활성층은 청색 파장대의 광을 방출하고, 상기 제2활성층은 녹색 파장대의 광을 방출하고, 상기 제2활성층의 높이는 상기 제1활성층의 높이와 상이하다.
- [12] 상기 제3활성층의 높이는 상기 제1, 제2활성층의 높이와 상이하고, 상기 제3활성층은 적색광을 방출할 수 있다.
- [13] 상기 제1, 제2 및 제3 발광부의 상기 제1 도전형 반도체층은 서로 분리 배치되고, 상기 분리된 상기 제1 도전형 반도체층은 연결 전극에 의해 서로 전기적으로 연결될 수 있다.
- [14] 상기 제1 도전형 반도체층은 베이스부, 상기 베이스부상에 배치되는 복수 개의 블록부 및 오목부를 포함하고, 상기 복수 개의 활성층은 상기 복수 개의 블록부상에 배치되고, 상기 베이스부는 상기 활성층에 가까워질수록 단면적이 넓어지거나 작아질 수 있다.
- [15] 상기 오목부의 두께는 상기 발광구조물의 최대 두께의 10% 내지 60%일 수 있다.
- [16] 상기 발광구조물 상에 배치되어 상기 제1 도전형 반도체층의 일면을 노출시키는 보호층과, 상기 제1 도전형 반도체층의 일면 상에 배치되는 파장 변환층 및 컬러 필터를 포함하고, 상기 제1전극은 상기 보호층을 관통하여 상기 제1 도전형 반도체층과 전기적으로 연결되고, 상기 복수 개의 제2전극은 상기 보호층을 관통하여 상기 제2 도전형 반도체층과 전기적으로 연결되고, 상기 제1전극과 상기 제2전극은 상기 제1, 제2 및 제3 활성층을 기준으로 상기 제2 도전형 반도체층이 배치된 방향에 배치될 수 있다.
- [17] 상기 발광 구조물 상에 배치되어 상기 제1 도전형 반도체층의 일면을 노출시키는 보호층; 및 상기 제1전극상에 배치되는 파장 변환층 및 컬러 필터를 포함하고, 상기 제1전극은 파장 변환층과 상기 제1 도전형 반도체층 사이에 배치되고, 상기 복수 개의 제2전극은 상기 보호층을 관통하여 상기 제2 도전형 반도체층과 전기적으로 연결될 수 있다.

- [18] 상기 제1발광부와 상기 제3발광부는 제1방향으로 상기 제2발광부와 이격 배치되고, 상기 제1발광부와 상기 제3발광부는 상기 제1방향과 수직한 제2방향으로 이격 배치되고, 상기 제2발광부는 제2방향으로 상기 제1발광부 또는 상기 제3발광부보다 길고, 상기 제1발광부는 청색 파장대의 광을 방출하고, 상기 제2발광부는 녹색 파장대의 광을 방출하고, 상기 제3발광부는 청색 또는 적색 파장대의 광을 방출할 수 있다.
- [19] 본 발명의 일 실시 예에 따른 표시장치는, 복수 개의 공통배선 및 복수 개의 구동배선을 포함하는 패널; 및 상기 공통배선과 구동배선이 교차하는 영역에 배치되는 복수 개의 반도체 소자를 포함하고, 상기 반도체 소자는, 제1 도전형 반도체층, 상기 제1 도전형 반도체층상에서 이격 배치된 복수 개의 활성층, 및 상기 복수 개의 활성층상에 각각 배치되는 복수 개의 제2 도전형 반도체층을 포함하는 발광구조물; 상기 제1 도전형 반도체층에 전기적으로 연결된 제1전극; 및 상기 복수 개의 제2 도전형 반도체층에 각각 전기적으로 연결된 복수 개의 제2전극을 포함하고, 상기 복수 개의 활성층은 제1활성층, 제2활성층, 및 제3활성층을 포함하고, 상기 발광구조물은 상기 제1활성층을 포함하는 제1발광부, 상기 제2활성층을 포함하는 제2발광부, 및 상기 제3활성층을 포함하는 제3발광부를 포함하고, 상기 제1활성층은 청색 파장대의 광을 방출하고, 상기 제2활성층은 녹색 파장대의 광을 방출하고, 상기 제2활성층의 높이는 상기 제1활성층의 높이와 상이하고, 상기 제1, 제2 및 제3 발광부는 각각 청색, 녹색 및 적색 파장대의 광을 방출하는 제1, 제2 및 제3 서브 픽셀을 구성한다.
- [20] 상기 제1발광부와 상기 제3발광부는 제1방향으로 상기 제2발광부와 이격 배치되고, 상기 제1발광부와 상기 제3발광부는 상기 제1방향과 수직한 제2방향으로 이격 배치되고, 상기 제2발광부는 제2방향으로 상기 제1발광부 또는 상기 제3발광부보다 길고, 상기 제1발광부는 청색 파장대의 광을 방출하고, 상기 제2발광부는 녹색 파장대의 광을 방출하고, 상기 제3발광부는 청색 또는 적색 파장대의 광을 방출할 수 있다.

발명의 효과

- [21] 실시 예에 따르면, 하나의 반도체 소자가 칩 레벨에서 복수 개의 색을 동시에 구현할 수 있다. 따라서, 반도체 소자는 표시장치의 픽셀로 기능할 수 있다.
- [22] 또한, 칩 레벨의 반도체 소자를 픽셀로 사용하면 동일한 크기의 표시장치에서 픽셀 밀도를 높일 수 있다. 따라서, 고해상도의 대형 표시장치를 구현할 수 있다.
- [23] 또한, 기존의 RGB 패키지 대신 칩 레벨의 반도체 소자를 픽셀로 사용하므로 다이 본딩(Die-Bonding) 및 와이어 본딩과 같은 추가적인 패키징 공정을 생략할 수 있다.
- [24] 또한, 곡선 이미지의 가독성을 향상시킬 수 있다.
- [25] 또한, 구동배선의 구조가 단순화되고, 기존의 드라이버 IC를 그대로 사용할 수

있다.

- [26] 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시형태를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

- [27] 도 1은 본 발명의 일 실시 예에 따른 발광구조물을 설명하기 위한 도면이다.
 [28] 도 2는 도 1의 복수 개의 발광부를 설명하기 위한 도면이다.
 [29] 도 3은 복수 개의 발광부 사이의 광 간섭을 제거하기 위한 구조를 설명하기 위한 도면이다.
 [30] 도 4는 복수 개의 발광부 사이에 광차단층이 배치된 도면이다.
 [31] 도 5는 복수 개의 발광부의 발광 면적을 설명하기 위한 도면이다.
 [32] 도 6a 내지 도 6c는 복수 개의 발광부의 발광 면적이 상이한 구성을 설명하기 위한 도면이다.
 [33] 도 7a 내지 도 7f는 본 발명의 제1 실시 예에 따른 발광구조물 제조방법을 설명하기 위한 도면이다.
 [34] 도 8a 내지 도 8d는 본 발명의 제2 실시 예에 따른 발광구조물 제조방법을 설명하기 위한 도면이다.
 [35] 도 9a 내지 도 9f는 본 발명의 제3 실시 예에 따른 발광구조물 제조방법을 설명하기 위한 도면이다.
 [36] 도 10a 내지 도 10f는 본 발명의 제4 실시 예에 따른 발광구조물 제조방법을 설명하기 위한 도면이다.
 [37] 도 11은 본 발명의 제1 실시 예에 따른 반도체 소자를 설명하기 위한 도면이다.
 [38] 도 12a 내지 도 12f는 본 발명의 제1 실시 예에 따른 반도체 소자 제조방법을 설명하기 위한 도면이다.
 [39] 도 13은 본 발명의 제2 실시 예에 따른 반도체 소자를 설명하기 위한 도면이다.
 [40] 도 14a 내지 도 14e는 본 발명의 제2 실시 예에 따른 반도체 소자 제조방법을 설명하기 위한 도면이다.
 [41] 도 15는 본 발명의 제3 실시 예에 따른 반도체 소자를 설명하기 위한 도면이다.
 [42] 도 16a 내지 도 16f는 본 발명의 제3 실시 예에 따른 반도체 소자 제조방법을 설명하기 위한 도면이다.
 [43] 도 17은 본 발명의 제4 실시 예에 따른 반도체 소자를 설명하기 위한 도면이다.
 [44] 도 18은 본 발명의 제4 실시 예에 따른 반도체 소자의 전극구조를 설명하기 위한 도면이다.
 [45] 도 19는 도 17의 반도체 소자에 전극기판이 결합된 상태를 설명하기 위한 도면이다.
 [46] 도 20a 내지 도 20f는 본 발명의 제4 실시 예에 따른 반도체 소자 제조방법을 설명하기 위한 도면이다.

- [47] 도 21은 본 발명의 일 실시 예에 따른 표시장치를 설명하기 위한 개념도이다.
- [48] 도 22는 도 21의 A-A 방향 단면도이다.
- [49] 도 23은 도 21의 B-B 방향 단면도이다.
- [50] 도 24a 및 도 24b는 제5 실시 예의 발광 소자의 단면도이다.
- [51] 도 24c는 도 24a의 연결 전극의 평면도이다.
- [52] 도 25a는 도 24b의 발광 소자가 픽셀 영역마다 배치된 표시 장치의 평면도이다.
- [53] 도 25b 및 도 25c는 도 25a의 I-I'의 단면도이다.
- [54] 도 26a 및 도 26b는 제5 실시 예의 다른 구조에 따른 발광 소자의 단면도이다.
- [55] 도 27a 내지 도 27g는 도 24a의 발광 소자의 제조 방법을 나타낸 공정 단면도이다.
- [56] 도 27h 및 도 27i는 도 26a의 발광 소자의 제조 방법을 나타낸 공정 단면도이다.
- [57] 도 28a 내지 도 28f는 도 24b의 발광 구조물의 제조 방법을 나타낸 공정 단면도이다.
- [58] 도 29a 및 도 29b는 제6 실시 예의 발광 소자의 단면도이다.
- [59] 도 30a는 제6 실시 예의 발광 소자가 픽셀 영역마다 배치된 표시 장치의 평면도이다.
- [60] 도 30b 및 도 30c는 도 30a의 I-I'의 단면도이다.
- [61] 도 31a 및 도 31b는 제6 실시 예의 다른 구조에 따른 발광 소자의 단면도이다.
- [62] 도 32a 내지 도 32f는 도 29a의 발광 소자의 제조 방법을 나타낸 공정 단면도이다.
- [63] 도 33a 및 도 33b는 제7 실시 예의 발광 소자의 단면도이다.
- [64] 도 34a는 제7 실시 예의 발광 소자가 픽셀 영역마다 배치된 표시 장치의 평면도이다.
- [65] 도 34b는 및 도 34c는 도 34a의 I-I'의 단면도이다.
- [66] 도 35a 내지 도 35c는 제7 실시 예의 다른 구조에 따른 발광 소자의 단면도이다.
- [67] 도 36a 내지 도 36f는 제7 실시 예의 발광 소자의 제조 방법을 나타낸 공정 단면도이다.
- [68] 도 37a 및 도 37b는 제8 실시 예의 발광 소자의 단면도이다.
- [69] 도 38는 실시 예의 발광 소자가 배치된 패널을 포함하는 이동통신 단말기의 도면이다.
- [70] 도 39는 본 발명의 일 실시 예에 따른 표시장치의 개념도이다.
- [71] 도 40은 도 39의 픽셀을 구성하는 발광소자의 개념도이다.
- [72] 도 41은 웨이퍼상에 성장된 발광 구조물을 보여주는 도면이다.
- [73] 도 42는 복수 개의 발광소자가 배선과 전기적으로 연결된 상태를 보여주는 도면이다.
- [74] 도 43은 도 42의 변형예이다.
- [75] 도 44 내지 도 46은 다양한 형태의 픽셀 배치를 보여주는 도면이다.
- [76] 도 47은 본 발명의 일 실시 예에 따른 발광소자의 개념도이다.

- [77] 도 48은 도 47의 변형예이다.
 [78] 도 49a 내지 도 49g는 본 발명의 일 실시 예에 따른 발광소자의 제조 단계를 설명하기 위한 도면이다.
 [79] 도 50은 본 발명의 다른 실시 예에 따른 발광소자를 보여주는 평면도이다.
 [80] 도 51은 본 발명의 다른 실시 예에 따른 발광소자를 보여주는 단면도이다.

발명의 실시를 위한 형태

- [81] 본 실시 예들은 다른 형태로 변형되거나 여러 실시 예가 서로 조합될 수 있으며, 본 발명의 범위가 이하 설명하는 각각의 실시 예로 한정되는 것은 아니다.
 [82] 특정 실시 예에서 설명된 사항이 다른 실시 예에서 설명되어 있지 않더라도, 다른 실시 예에서 그 사항과 반대되거나 모순되는 설명이 없는 한, 다른 실시 예에 관련된 설명으로 이해될 수 있다.
 [83] 예를 들어, 특정 실시 예에서 구성 A에 대한 특징을 설명하고 다른 실시 예에서 구성 B에 대한 특징을 설명하였다면, 구성 A와 구성 B가 결합된 실시 예가 명시적으로 기재되지 않더라도 본 발명의 권리범위에 속하는 것으로 이해되어야 한다.
 [84] 본 발명에 따른 실시예의 설명에 있어서, 각 element의 "상(위) 또는 하(아래)(on or under)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)(on or under)는 두 개의 element가 서로 직접(directly) 접촉되거나 하나 이상의 다른 element가 상기 두 element 사이에 배치되어(indirectly) 형성되는 것을 모두 포함한다. 또한 "상(위) 또는 하(아래)(on or under)"으로 표현되는 경우 하나의 element를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.
 [85] 이하에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
 [86] 반도체 소자는 발광 소자, 수광 소자 등 각종 전자 소자를 포함할 수 있으며, 발광 소자와 수광 소자는 모두 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있다.
 [87] 본 실시 예에 따른 반도체 소자는 발광 소자일 수 있다.
 [88] 발광 소자는 전자와 정공이 재결합함으로써 빛을 방출하게 되고, 이 빛의 파장은 물질 고유의 에너지 밴드갭에 의해서 결정된다. 따라서, 방출되는 빛은 상기 물질의 조성에 따라 다를 수 있다.
 [89] 이하에서는 실시 예의 반도체 소자를 발광 소자로 설명한다.
 [90] 도 1은 본 발명의 일 실시 예에 따른 발광구조물을 설명하기 위한 도면이고, 도 2는 도 1의 복수 개의 발광부를 설명하기 위한 도면이고, 도 3은 복수 개의 발광부 사이의 광 간섭을 제거하기 위한 구조를 설명하기 위한 도면이고, 도 4는 복수 개의 발광부 사이에 광차단층이 배치된 도면이다.
 [91] 도 1을 참고하면, 실시 예에 따른 발광구조물(100)은 제1 도전형

반도체층(110)과, 제1 도전형 반도체층(110)상에서 이격 배치된 복수 개의 활성층(121, 122, 123), 및 복수 개의 활성층(121, 122, 123)상에 각각 배치되는 복수 개의 제2 도전형 반도체층(131, 132, 133)을 포함한다.

- [92] 복수 개의 활성층(121, 122, 123)은 제1방향(X방향)으로 이격 배치된 제1 내지 제3활성층(121, 122, 123)을 포함할 수 있다. 제1 내지 제3활성층(121, 122, 123)은 모두 동일한 파장대의 광을 방출할 수 있고, 적어도 하나 혹은 각각 다른 파장대의 광을 방출할 수 있다. 예시적으로 제2활성층(122)은 제1활성층(121) 및 제3활성층(123)과 다른 파장대의 광을 방출할 수 있다. 제1방향(X방향)은 제1 도전형 반도체층(110)의 두께 방향(Y방향)과 수직인 방향일 수 있다. 칩의 반사구조에 따라 복수 개의 활성층(121, 122, 123)에서 출사된 광은 도면을 기준으로 상부 또는 하부로 출사될 수 있다.
- [93] 예시적으로, 제1활성층(121)은 청색 파장대의 광을 발광할 수 있으며, 제2활성층(122)은 녹색 파장대의 광을 발광할 수 있다. 이하에서는 청색 파장대의 광을 청색광으로 정의하고, 녹색 파장대의 광을 녹색광으로 정의하고 적색 파장대의 광을 적색광으로 정의한다.
- [94] 제3활성층(123)은 청색광을 발광할 수 있다. 제3활성층(123)에서 발광한 청색광은 파장변환층에 의해 적색광으로 변환될 수 있다. 그러나, 반드시 이에 한정되는 것은 아니고 제3활성층(123)은 적색광을 발광할 수도 있다.
- [95] 제1 내지 제3발광부(P1, P2, P3)는 각각 독립적으로 활성층(121, 122, 123), 및 제2 도전형 반도체층(131, 132, 133)을 포함하고, 제1 도전형 반도체층(110)을 공유할 수 있다. 이러한 구성에 의하면 상대적으로 두꺼운 제1 도전형 반도체층(110)에 의해 발광구조물(100)에 크랙이 발생하는 것을 방지할 수 있다. 또한, 전류 분산 효과도 가질 수 있다.
- [96] 제1 도전형 반도체층(110)에는 공통전원이 인가되고, 복수 개의 제2 도전형 반도체층(131, 132, 133)에는 구동전원이 선택적으로 인가될 수 있다. 실시 예에 따르면 구동전압이 인가되는 활성층만 개별적으로 발광 가능하다.
- [97] 예시적으로, 제1 도전형 반도체층(110)에 전원이 입력된 상태에서 제1발광부(P1)의 제2 도전형 반도체층(131)에만 전원이 입력되면 제1발광부(P1)는 청색광을 발광할 수 있다. 동일하게 제1발광부(P1)와 제2발광부(P2)의 제2 도전형 반도체층(131, 132)에 전원이 입력되면 청색광과 녹색광이 동시에 발광할 수 있다.
- [98] 이러한 발광구조물(100)은 디스플레이의 픽셀을 구성할 수 있으며, 제1 내지 제3발광부(P1, P2, P3)는 RGB 서브 픽셀로 기능할 수 있다. 예시적으로 제1발광부(P1)는 Blue 픽셀로 기능할 수 있고, 제2발광부(P2)는 Green 픽셀로 기능할 수 있고, 제3발광부(P3)는 Red 픽셀로 기능할 수 있다.
- [99] 실시 예에 따른 발광구조물(100)을 이용하여 픽셀을 구현하는 경우 컬러필터를 생략할 수 있다. 또한, 각각의 RGB 픽셀을 구성하기 위해 3개의 발광 소자를 패키징하는 공정을 생략할 수 있다. 또한, RGB 패키지에 비해 소형인 발광 소자

칩을 픽셀로 사용하므로 해상도가 높은 패널을 제작할 수 있다.

- [100] 제1 도전형 반도체층(110)은 III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제1 도전형 반도체층(110)에 제1도펀트가 도핑될 수 있다. 제1 도전형 반도체층(110)은 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질, InAlGaN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중 어느 하나 이상으로 형성될 수 있으나, 이에 한정하지 않는다. 제1도펀트가 Si, Ge, Sn, Se, Te 등과 같은 n형 도펀트인 경우, 제1 도전형 반도체층(110)은 n형 질화물 반도체층일 수 있다.
- [101] 복수 개의 활성층(121, 122, 123)은 제1 도전형 반도체층(110)을 통해서 주입되는 전자(또는 정공)과 제2 도전형 반도체층(130)을 통해서 주입되는 정공(또는 전자)이 만나는 층이다. 활성층은 전자와 정공이 재결합함에 따라 낮은 에너지 준위로 천이하며, 그에 상응하는 파장을 가지는 빛을 생성할 수 있다.
- [102] 복수 개의 활성층(121, 122, 123)은 단일 우물 구조, 다중 우물 구조, 단일 양자 우물 구조, 다중 양자 우물(Multi Quantum Well; MQW) 구조, 양자점 구조 또는 양자선 구조 중 어느 하나의 구조를 가질 수 있으며, 활성층의 구조는 이에 한정하지 않는다.
- [103] 복수 개의 활성층(121, 122, 123)이 우물 구조로 형성되는 경우, 활성층의 우물층/장벽층은 InGaN/GaN, InGaN/InGaN, GaN/AlGaN, InAlGaN/GaN, GaAs(InGaAs)/AlGaAs, GaP(InGaP)/AlGaP 중 어느 하나 이상의 페어 구조로 형성될 수 있으나 이에 한정되지 않는다. 우물층은 장벽층의 밴드 갭보다 작은 밴드 갭을 갖는 물질로 형성될 수 있다.
- [104] 복수 개의 활성층(121, 122, 123)이 각각 복수 개의 우물층을 갖는 경우 각 우물층은 동일한 파장대의 광을 생성할 수 있다. 예를 들면, 제2 활성층(122)에 배치된 복수 개의 우물층은 모두 녹색광을 생성하고, 제1 활성층(121)에 배치된 복수 개의 우물층은 모두 청색광을 생성할 수 있다. 실시 예에 따른 발광구조물(100)은 디스플레이의 픽셀을 구현하기 위한 것으로 RGB광을 혼합하여 백색광을 구현하는 구조와 구별된다.
- [105] 복수 개의 제2 도전형 반도체층(131, 132, 133)은 III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제2 도전형 반도체층(131, 132, 133)에 제2도펀트가 도핑될 수 있다. 제2 도전형 반도체층(131, 132, 133)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질 또는 AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중 선택된 물질로 형성될 수 있다. 제2도펀트가 Mg, Zn, Ca, Sr, Ba 등과 같은 p형 도펀트인 경우, 제2도펀트가 도핑된 제2 도전형 반도체층(131, 132, 133)은 p형 반도체층일 수 있다.
- [106] 도 2를 참고하면, 제1 도전형 반도체층(110)은 복수 개의 볼록부(111)와 오목부(113), 및 볼록부(111)를 연결하는 베이스부(112)를 포함할 수 있다. 제1 내지 제3 발광부(P1, P2, P3)는 제1 도전형 반도체층(110)의 볼록부(111),

- 활성층(121, 122, 123), 및 제2 도전형 반도체층(131, 132, 133)을 각각 포함할 수 있다.
- [107] 제1 내지 제3발광부(P1, P2, P3)에서 생성된 광(L1)이 제2 도전형 반도체층(131, 132, 133)을 향해 방출되는 구성을 도시하였으나, 반드시 이에 한정되는 것은 아니고 제1 도전형 반도체층(110)을 향해 방출될 수도 있다.
- [108] 실시 예에 따른 발광 소자는 제1 내지 제3발광부(P1, P2, P3)가 독립적으로 점등될 수 있다. 그러나, 특정 발광부가 점등된 경우 일부 광(L2)은 제1 도전형 반도체층(110)을 통해 다른 발광부로 방출될 수도 있다. 따라서, 실제 점등되지 않아야 하는 발광부가 발광되는 광 간섭 문제가 발생할 수 있다.
- [109] 도 3을 참고하면, 제1 도전형 반도체층(110)의 볼록부(111)와 오목부(113)는 제1 내지 제3발광부(P1, P2, P3)를 구획하기 위해 메사 식각하는 과정에서 형성될 수 있다. 제1 내지 제3발광부(P1, P2, P3)를 완전히 분리하는 것이 가장 이상적일 수 있으나, 제1 도전형 반도체층(110)에 의한 전류 분산 효과를 상실하며 발광부의 두께가 얇아져 쉽게 크랙이 발생할 수 있다.
- [110] 오목부(113)의 두께(d2)는 발광구조물 전체 두께(d1)의 10% 내지 60%일 수 있다. 오목부(113)의 두께(d2)가 10%미만인 경우에는 오목부(113)의 두께가 너무 얇아 제조과정에서 크랙이 쉽게 발생하는 문제가 있으며, 두께가 60%를 초과하는 경우에는 제1 도전형 반도체층(110)을 통해 이웃한 발광부로 입사되는 광량이 높아져 서브 픽셀로 기능하기 어려운 문제가 있다. 오목부(113)의 두께(d2)가 10% 내지 33%인 경우 방출된 광(L3)의 대부분이 상부로 반사되어 광 간섭 문제를 효과적으로 개선할 수 있다. 여기서 오목부(113)의 두께(d2)는 제1 도전형 반도체층(110)의 바닥면에서 오목부(113)까지의 두께로 정의할 수 있다.
- [111] 제2활성층(122)의 높이(d4)는 제1활성층(121) 및 제3활성층(123)의 높이(d3, d5)보다 낮을 수 있다. 제2발광부(P2)는 발광구조물(100)을 식각한 후 재성장시켜 제작할 수 있다. 재성장시 발광구조물(100)이 손상될 수 있으므로 재성장 시간을 최소화하는 것이 바람직하다.
- [112] 재성장된 제1 도전형 반도체층의 두께를 최소화하면 재성장 시간을 줄일 수 있다. 이 과정에서 제2활성층(122)의 높이(d4)는 상대적으로 낮아질 수 있다. 그러나, 반드시 이에 한정되는 것은 아니고 제2활성층(122)의 높이(d4)는 제1활성층(121) 및 제3활성층(123)의 높이(d3, d5)보다 높을 수도 있다.
- [113] 제3발광부(P3)는 파장변환층(131)을 이용하여 적색광을 구현할 수 있다. 파장변환층(131)은 적색 형광체일 수 있다. 적색 형광체는 청색광을 흡수하여 적색광으로 변환할 수 있다. 이때, 제1발광부(P1)와 제3발광부(P3)가 인접 배치되면 제1발광부(P1)에서 방출된 청색광이 적색광으로 변환되어 광 간섭이 악화될 수 있다.
- [114] 일반적으로 적색 형광 물질은 청색광에 비해 녹색광(L4)의 흡수율이 낮다. 따라서, 녹색광을 방출하는 제2발광부(P2)가 제1발광부(P1)와 제3발광부(P3) 사이에 배치되는 것이 광 간섭을 개선하는데 유리할 수 있다.

- [115] 파장변환층(131)은 고분자 수지에 파장변환입자가 분산될 수 있다. 고분자 수지는 광 투과성 에폭시 수지, 실리콘 수지, 폴리이미드 수지, 요소 수지, 및 아크릴 수지 중 어느 하나 이상일 수 있다. 일 예로, 고분자 수지는 실리콘 수지일 수 있다.
- [116] 파장변환입자는 제3활성층(123)에서 방출된 광을 흡수하여 백색광으로 변환할 수 있다. 예를 들면, 파장변환입자는 형광체, QD(Quantum Dot) 중 어느 하나 이상을 포함할 수 있다.
- [117] 도 4를 참고하면, 제1 내지 제3발광부(P1, P2, P3)의 사이에는 광차단층(140)을 형성할 수 있다. 이러한 구성에 의하면, 제1 내지 제3발광부(P1, P2, P3)가 구획되어 광 간섭을 효과적으로 억제할 수 있다.
- [118] 광차단층(140)은 제1 내지 제3발광부(P1, P2, P3)의 경사면을 따라 형성될 수도 있으나, 반드시 이에 한정되는 것은 아니고 제1 내지 제3발광부(P1, P2, P3)의 사이에 수직 성장되어도 무방하다. 또한, 광차단층(140)은 제1 내지 제3발광부(P1, P2, P3) 사이에 전체적으로 채워질 수도 있다.
- [119] 광차단층(140)은 카본 블랙(carbon black), 그래파이트(Graphite)와 같이 광 흡수물질을 포함할 수도 있으나, 광을 반사하는 반사물질을 포함할 수도 있다. 광차단층의 형성 방법은 특별히 제한되지 않는다. 예시적으로 광차단층(140)은 포토리소그래피, 임프린팅, 롤투롤 프린팅, 및 잉크젯 프린팅 등을 이용하여 형성할 수 있다.
- [120] 도 5는 복수 개의 발광부의 발광 면적을 설명하기 위한 도면이고, 도 6a 내지 도 6c는 복수 개의 발광부의 발광 면적이 상이한 구성을 설명하기 위한 도면이다.
- [121] 도 5를 참고하면, 발광구조물은 스트립 형상의 액티브 영역(121, 122, 123)을 가질 수 있다. 액티브 영역(121, 122, 123)이란 광이 생성되는 영역으로서 제1 내지 제3활성층(121, 122, 123)의 면적에 대응할 수 있다.
- [122] 제1 도전형 반도체층(110)의 면적을 100으로 할 때, 액티브 영역(121, 122, 123)은 30%이상일 수 있다. 액티브 영역(121, 122, 123)이 30%미만인 경우에는 광량이 적어 픽셀로서 기능하기 어려울 수 있다. 제1 도전형 반도체층의 오목부의 두께를 얇게 하기 위해 식각을 과도하게 진행하는 경우 액티브 영역(121, 122, 123)은 30%이하로 줄어들 수 있다.
- [123] 도 6a를 참고하면, 액티브 영역(121, 122, 123)의 면적비는 서로 상이할 수 있다. 제1액티브 영역(121)은 청색 발광영역이고, 제2액티브 영역(122)은 녹색 발광영역이고, 제3액티브 영역(123)은 적색 발광영역일 수 있다. 이때, 발광 효율이 상대적으로 낮은 녹색 발광영역과 적색 발광영역의 면적을 더 크게 제작할 수 있다.
- [124] 예시적으로 녹색 발광영역은 청색 발광영역보다 1~4배 일 수 있고, 적색 발광영역은 청색 발광영역보다 1~3배 일 수 있다. 제1 내지 제3액티브 영역(121, 122, 123)의 면적비는 1:3:2 또는 1:3:3일 수 있으나 이에 한정하지 않는다.
- [125] 도 6b를 참조하면, 제1액티브 영역(121)과 제2액티브 영역(122)이 동일한

라인에 배치되고, 제3액티브 영역(123)은 이웃한 라인에 전체적으로 배치될 수도 있다. 그러나, 반드시 이에 한정하는 것은 아니고 액티브 영역의 면적은 다양하게 변형될 수도 있다. 예시적으로 도 6c와 같이 제2액티브 영역(122)이 가장 크게 배치될 수도 있다.

- [126] 도 7a 내지 도 7f는 본 발명의 제1실시 예에 따른 발광구조물 제조방법을 설명하기 위한 도면이다.
- [127] 도 7a 내지 도 7f를 참고하면, 일 실시 예에 따른 발광구조물 제조방법은, 기판(1) 상에 발광구조물(100)을 형성하는 단계와, 발광구조물(100)의 일부 영역을 식각하는 단계와, 식각된 일부 영역에 발광구조물(100)을 재성장시키는 단계를 포함한다.
- [128] 도 7a를 참고하면 발광구조물(100)을 형성하는 단계는, 기판(1) 상에 제1 도전형 반도체층(110), 활성층(120), 및 제2 도전형 반도체층(130)을 순차적으로 형성하여 발광구조물(100)을 형성할 수 있다.
- [129] 기판(1)은 사파이어(Al_2O_3), SiC, GaAs, GaN, ZnO, Si, GaP, InP 및 Ge 중 선택된 물질로 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [130] 제1 도전형 반도체층(110)과 기판(1) 사이에는 버퍼층(미도시)이 더 구비될 수 있다. 버퍼층은 기판(1) 상에 구비된 발광구조물(100)과 기판(1)의 격자 부정합을 완화할 수 있다.
- [131] 버퍼층은 III족과 V족 원소가 결합된 형태이거나 GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN 중에서 어느 하나를 포함할 수 있다. 버퍼층에는 도펀트가 도핑될 수도 있으나, 이에 한정하지 않는다.
- [132] 제1 도전형 반도체층(110), 활성층(120), 및 제2 도전형 반도체층(130)을 순차적으로 형성하여 발광구조물(100)을 형성할 수 있다. 발광구조물(100)의 두께는 $1\mu m$ 내지 $10\mu m$, 또는 $3\mu m$ 내지 $5\mu m$ 일 수 있다. 발광구조물(100)은 청색광을 방출할 수 있다.
- [133] 발광구조물(100)은 유기금속 화학 증착법(Metal Organic Chemical Vapor Deposition; MOCVD), 화학 증착법(Chemical Vapor Deposition; CVD), 플라즈마 화학 증착법(Plasma-Enhanced Chemical Vapor Deposition; PECVD), 분자선 성장법(Molecular Beam Epitaxy; MBE), 수소화물 기상 성장법(Hydride Vapor Phase Epitaxy; HVPE), 스퍼터링(Sputtering) 등의 방법을 이용하여 형성할 수 있다.
- [134] 도 7b 및 도 7c를 참고하면 식각하는 단계는, 도 7b와 같이 발광구조물(100)의 상면에 마스크(2)를 형성하여 제1영역(3)을 노출시킨다. 마스크(2)의 재질은 한정하지 않는다.
- [135] 도 7c를 참고하면, 제1 도전형 반도체층(110)의 일부까지 제거되도록 식각할 수 있다. 제1 도전형 반도체층(110)의 식각 깊이(3a)는 약 100nm 내지 400nm일 수 있다.
- [136] 도 7d를 참고하면, 제1영역(3)의 측면에 2차 마스크(2a)를 형성하여, 후속

- 공정에 의한 발광구조물(100)의 손상을 방지할 수 있다.
- [137] 도 7e를 참고하면 재성장하는 단계는, 제2발광부(P2)의 제1 도전형 반도체층(111a)을 재성장시킨다. 재성장한 제1 도전형 반도체층(111a)은 식각되기 이전의 제1 도전형 반도체층(110)과 물리적인 계면이 형성될 수도 있으나, 반드시 이에 한정되는 것은 아니고 재성장에 의해 계면이 소멸할 수도 있다.
- [138] 재성장한 제1 도전형 반도체층(111a)의 두께는 식각된 제1 도전형 반도체층의 두께보다 작을 수 있다. 일반적으로 n-GaN의 성장 온도는 상대적으로 높으므로 식각되지 않는 발광구조물(100)을 손상시킬 수 있다. 따라서, 재성장한 제1 도전형 반도체층(111a)의 두께는 최소로 제작하는 것이 바람직하다. 발광구조물(100)의 손상을 최소화하기 위해 청색 발광구조물의 성장 온도는 높이고, 녹색 발광구조물의 재성장 온도는 낮추는 것이 바람직할 수 있다.
- [139] 제2활성층(122)은 녹색광을 방출할 수 있다. 즉, 제2활성층(122)의 조성은 식각되지 않는 활성층의 조성 과 상이할 수 있다. 제2활성층(122)상에는 제2 도전형 반도체층(132)을 형성할 수 있다.
- [140] 도 7f를 참고하면 제2발광부(P2)의 제1 도전형 반도체층의 두께(d4)는 식각된 층의 두께에 비해 100nm 내지 200nm 작을 수 있다. 그 결과, 제2활성층의 높이(d4)는 식각되지 않는 제1발광부의 활성층 높이(d3)보다 낮게 형성될 수 있다. 그러나, 반드시 이에 한정되는 것은 아니고, 재성장한 제1 도전형 반도체층의 두께(d4)를 더 두껍게 제작할 수도 있다.
- [141] 제2활성층의 높이(d4)는 제1발광부의 활성층 높이(d3)의 80% 내지 110%이거나 85% 내지 95%일 수 있다. 제2활성층의 높이(d4)가 제1발광부의 활성층 높이(d3)의 85% 내지 95%인 경우 재성장시 청색 발광구조물의 손상을 줄일 수 있다.
- [142] 이후, 마스크(2)를 제거하여 제조 공정을 완료할 수 있다. 필요에 따라 제작된 제1 내지 제3발광부(P1, P2, P3)의 측면을 다시 식각하여 측면 결함(edge defect)을 제거할 수도 있다.
- [143] 도 8a 내지 도 8d는 본 발명의 제2실시 예에 따른 발광구조물 제조방법을 설명하기 위한 도면이다.
- [144] 도 8a를 참고하면, 제2발광부(P2)를 형성하는 단계는 전술한 바와 동일하다. 이하에서는 적색광을 생성하는 제3-1발광부(P31)를 형성하는 방법에 대해 설명한다.
- [145] 도 8b를 참고하면, 제1발광부(P1)와 제2발광부(P2)상에 마스크(2)를 형성하고, 제3발광부(P3)를 제거할 수 있다. 이때, 식각 깊이(3b)는 제1 도전형 반도체층(110)이 일부 식각될 정도로 식각할 수 있다.
- [146] 도 8c를 참고하면, 제3-1발광부(P31)의 재성장에 의한 발광구조물(100)의 손상을 개선하기 위해 제3-1발광부(P31)는 온도가 낮은 성장 방법이 선택될 수 있다. 일 예로, 제3-1발광부(P31)의 성장 방법은 분자선 성장법(Molecular Beam

Epitaxy; MBE)이 선택될 수 있으나 반드시 이에 한정하지 않는다.

제3-1발광부(P31)의 활성층은 적색광을 생성할 수 있다.

- [147] 도 8d를 참고하면, 제1발광부(P1)의 활성층의 높이(d3)가 가장 높을 수 있다. 또한, 제2발광부(P2)의 활성층의 높이(d4)가 제3-1발광부(P31)의 활성층의 높이(d5)보다 높을 수 있다. 그러나, 각 발광부의 활성층 높이(제1 도전형 반도체층의 두께)는 다양하게 변형될 수 있다.
- [148] 예시적으로, 제3-1발광부(P31)의 활성층의 높이(d5)는 제1발광부(P1)의 활성층의 높이(d3)의 95% 내지 130%이거나 105% 내지 120%일 수 있다.
- [149] 제3-1발광부(P31)의 활성층은 적색광을 발광하기 위해 GaAs를 포함할 수 있다. 그러나, GaAs는 GaN과 격자상수 차이가 크므로 격자 부정합을 제어할 필요가 있다. 제3-1발광부(P31)의 제1 도전형 반도체층 재성장시 아세나이드(As)를 도핑하여 격자 부정합을 해소할 수 있다. 이때, 두께 방향으로 아세나이드(As)의 농도가 높아지도록 도핑할 수 있다. 이 과정에서 제3-1발광부(P31)의 제1 도전형 반도체층의 두께는 두꺼워질 수 있다. 따라서, 제3-1발광부(P31)의 활성층 높이(d5)는 제1발광부(P1)의 활성층 높이(d3)의 105% 내지 130%일 수 있다.
- [150] 전술한 바와 같이 제2발광부(P2)의 활성층 높이(d4)는 제1발광부(P1)의 활성층 높이(d3)의 85% 내지 95%일 수 있다. 따라서, 제3발광부(P3)의 활성층 높이가 가장 높을 수도 있다.
- [151] 도 9a 내지 도 9f는 본 발명의 제3실시 예에 따른 발광구조물 제조방법을 설명하기 위한 도면이다.
- [152] 도 9a 내지 도 9f를 참고하면, 실시 예에 따른 발광구조물 제조방법은, 기판(1)상에 제1 도전형 반도체층(110)을 형성하는 단계; 제1 도전형 반도체층(110)상의 일부 영역에만 활성층(120) 및 제2 도전형 반도체층(130)을 형성하는 단계; 제1 도전형 반도체층(110)의 나머지 영역에 활성층(120) 및 제2 도전형 반도체층(130)을 형성하는 단계를 포함한다.
- [153] 도 9a를 참고하면, 제1 도전형 반도체층(110)을 형성하는 단계는 전술한 구성과 동일할 수 있다.
- [154] 도 9b 및 도 9c를 참고하면, 활성층(120) 및 제2 도전형 반도체층(130)을 형성하는 단계는, 제1영역에 마스크(2)를 형성하고 제1 도전형 반도체층(110), 활성층(120), 및 제2 도전형 반도체층(130)을 순서대로 성장시킨다. 발광구조물(100)은 청색광을 발광하도록 제작할 수 있다.
- [155] 도 9d 및 도 9e를 참고하면, 성장한 발광구조물(100)에 다시 마스크(2)를 하고, 제1영역(3c)에 제1 도전형 반도체층(110a), 활성층(120) 및 제2 도전형 반도체층(132)을 성장시킨다. 이때, 제2활성층(122)은 녹색광을 발광하도록 제작할 수 있다.
- [156] 도 9f를 참고하면, 녹색 발광구조물의 성장 시간을 최소화하기 위해 제2발광부(P2)의 활성층의 높이(d4)는 제1발광부(P1)의 활성층의 높이(d3)보다 낮을 수 있다.

- [157] 이때, 도 8에서 설명한 바와 같이 적색광을 방출하는 제3발광부를 다시 형성할 수도 있다.
- [158] 도 10a 내지 도 10f는 본 발명의 제4실시 예에 따른 발광구조물 제조방법을 설명하기 위한 도면이다.
- [159] 도 10a 내지 도 10f를 참고하면, 실시 예에 따른 발광구조물 제조방법은, 기관(1) 상에 발광구조물(100)을 형성하는 단계; 발광구조물(100)의 일부 영역을 식각하는 단계; 발광구조물(100)의 상면에 전체적으로 발광구조물(100)을 재성장시키는 단계; 및 일부 영역에 대응하는 발광구조물(100)을 제외한 나머지 재성장 발광구조물(100)을 제거하는 단계를 포함한다.
- [160] 도 10a를 참고하면 발광구조물(100)을 형성하는 단계는, 제1 도전형 반도체층(110), 활성층, 및 제2 도전형 반도체층(130)을 순차적으로 형성하여 발광구조물(100)을 형성할 수 있다. 이때, 발광구조물(100)의 상부에 식각 방지층(S1)을 더 형성할 수 있다.
- [161] 도 10b 및 도 10c를 참고하면 식각하는 단계는 식각 방지층(S1)상에 마스크(2)를 형성하고 제1영역을 노출시킨다. 마스크(2)의 재질은 특별히 한정하지 않는다. 이후, 제1영역(3d)을 제1 도전형 반도체층(110)의 일부까지 제거되도록 식각할 수 있다.
- [162] 도 10d를 참고하면, 재성장하는 단계는 일부가 식각된 발광구조물(100)의 상부에 전체적으로 제1 도전형 반도체층(110a), 활성층(120a), 및 제2 도전형 반도체층(130a)을 재성장시킨다. 재성장된 활성층(120a)은 녹색광을 생성한다.
- [163] 도 10e 및 도 10f를 참고하면, 제1영역에만 마스크(2)를 형성한 후 재성장시킨 제1 도전형 반도체층(110a), 활성층(120a), 및 제2 도전형 반도체층(130a)을 다시 식각한다. 이때, 식각은 식각 방지층(S1)까지만 진행된다. 이 과정에서 도 10f와 같이 제1 내지 제3발광부(P1, P2, P3)가 분리된다.
- [164] 이후, 도 8에서 설명한 바와 같이 적색광을 방출하는 제3발광부를 다시 형성할 수도 있다.
- [165] 도 11은 본 발명의 제1실시 예에 따른 발광 소자를 설명하기 위한 도면이다.
- [166] 도 11을 참고하면, 실시 예에 따른 발광 소자(10A)는 제1 도전형 반도체층(110), 복수 개의 활성층(121, 122, 123), 및 복수 개의 제2 도전형 반도체층(131, 132, 133)을 포함하는 발광구조물(100)과, 제1 도전형 반도체층(110)과 전기적으로 연결되는 제1전극(150), 및 제2 도전형 반도체층(130)과 전기적으로 연결되는 복수 개의 제2전극(161, 162, 163)을 포함한다.
- [167] 본 실시 예에 따른 발광구조물(100)은 도 1 내지 도 10에서 설명한 발광구조물(100)의 특징을 모두 포함할 수 있다. 즉, 복수 개의 발광부의 개별 구동, 광 간섭을 제어하기 위한 구성, 다양한 형태의 제조방법 등이 그대로 적용될 수 있다.
- [168] 제1 도전형 반도체층(110)은 베이스부(112)와 베이스부(112)상에 배치되는 복수 개의 볼록부(111) 및 오목부(도 3의 113)를 포함할 수 있다. 베이스부(112)의

측면(112a)은 상부로 갈수록 단면적이 작아지도록 기울어질 수 있다.
 베이스부(112)의 측면(112a)은 베이스부(112)의 바닥면과 이루는 각도(θ_1)가 30° 내지 89° , 또는 60° 내지 89° 일 수 있다. 경사진 측면에 의해 광 추출 효율이 증가할 수 있다.

- [169] 베이스부(112)의 측면(112a)은 복수 개의 볼록부(111)의 측면과 평행할 수 있다. 그러나, 반드시 이에 한정하는 것은 아니고, 에지 결함을 제거하기 위해 복수 개의 볼록부(111)를 다시 식각하는 경우, 베이스부(112)의 측면(112a)과 볼록부(111)의 경사각도는 상이할 수도 있다.
- [170] 제1전극(150)은 제1 도전형 반도체층(110)의 하부에 배치될 수 있다.
- [171] 제1전극(150)은 외부로부터 주입된 전류가 수평적으로 끌고루 퍼질 수 있도록 우수한 전기 전도성을 갖는 물질로 형성될 수 있다.
- [172] 제1전극(150)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 등과 같은 불투명 금속으로 형성될 수 있다. 또한, 제1전극(150)은 투명 전도성 산화막과 불투명 금속이 혼합된 하나 또는 복수 개의 층으로 형성될 수 있으며, 이에 한정하지 않는다.
- [173] 제1전극(150)과 제1 도전형 반도체층(110) 사이에는 반사층과 오믹층 등이 더 형성될 수 있다. 제1전극(150) 및/또는 반사층이 제1 도전형 반도체층(110)과 오믹 접촉하는 물질로 형성되는 경우에는 오믹층을 별도로 형성하지 않을 수도 있다.
- [174] 복수 개의 제2전극(161, 162, 163)은 복수 개의 제2 도전형 반도체층(131, 132, 133)상에 각각 배치될 수 있다. 제2전극(161, 162, 163)은 서로 전기적으로 절연될 수 있다.
- [175] 복수 개의 제2전극(161, 162, 163)은 발광구조물(100)에서 방출된 광이 투과할 수 있도록 투명 전도성 산화막(Transparent Conductive Oxide; TCO)으로 형성될 수 있다. 투명 전도성 산화막은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), ZnO, IrOx, RuOx 및 NiO 등에서 선택될 수 있다.
- [176] 도 12a 내지 도 12f는 본 발명의 제1 실시 예에 따른 발광 소자 제조방법을 설명하기 위한 도면이다.
- [177] 도 12a 내지 도 12f를 참고하면, 실시 예에 따른 발광 소자 제조방법은, 발광구조물(100)에 복수 개의 발광부를 형성하는 단계; 기관(1)을 제거하는 단계; 제1전극(150)을 형성하는 단계; 및 복수 개의 발광 소자로 분리하는 단계를 포함한다.
- [178] 도 12a 및 도 12b를 참고하면, 기관(1)상에 제1 도전형 반도체층(110), 활성층(120), 및 제2 도전형 반도체층(130)을 순차로 형성하여 발광구조물(100)을 제작하고, 그 위에 전극층(160)을 발광구조물(100)상에

- 형성할 수 있다. 이후, 도 7 내지 도 10에서 설명한 다양한 방법에 의해 제1 내지 제3발광부(P1, P2, P3)를 제작할 수 있다. 전극층(160)은 제1 내지 제3발광부(P1, P2, P3)상에 복수 개의 제2전극(161, 162, 163)으로 분리될 수 있다.
- [179] 도 12c를 참고하면, 제1 도전형 반도체층(110)의 측면을 아이솔레이션 식각(3e)할 수 있다. 아이솔레이션 식각(3e)은 버퍼층 두께까지 식각할 수 있다.
- [180] 도 12d를 참고하면 기판(1)을 제거하는 단계는, 발광구조물(100) 상에 포토레지스트층(610), 접착층(620) 및 지지층(630)을 포함하는 지지패드(600)를 형성하여 고정된 후 기판(1)을 제거할 수 있다. 접착층(620)은 포토레지스트층(610)과 지지층(630)을 고정할 수 있다. 이때, 기판(1)을 제거하는 방법은 특별히 제한되지 않는다. 기판(1)은 LLO(Laser Lift Off) 기술을 이용하여 제거할 수 있다.
- [181] 도 12e를 참고하면, 노출된 제1 도전형 반도체층(110)에 제1전극(150)을 형성한다. 이때, 상대적으로 도전성이 낮은 버퍼층까지 제거한 후 제1전극(150)을 형성하는 것이 바람직하다. 전술한 아이솔레이션 식각을 미리 한 경우 버퍼층을 제거하면 복수 개의 칩으로 분리할 수 있다.
- [182] 제1전극(150)을 형성하는 방법은 스퍼터링, 코팅, 증착 등과 같이 통상적으로 사용되는 전극 형성 방법이 모두 적용될 수 있다. 제1전극(150) 형성시 반사층과 오믹층을 더 형성할 수 있다.
- [183] 도 12f를 참고하면, 제1전극(150)에 점착성 테이프(240)를 부착한 후 포토레지스트층을 제거하여 지지패드를 박리할 수 있다. 포토레지스트층은 스트리퍼 용액에 침지하여 제거할 수 있다. 스트리퍼 용액은 포토레지스트를 녹일 수 있는 다양한 유/무기 용매를 포함할 수 있다. 점착성 테이프(240)는 이후 제거할 수 있다.
- [184] 도 13은 본 발명의 제2실시 예에 따른 발광 소자를 설명하기 위한 도면이다.
- [185] 도 13을 참고하면, 실시 예에 따른 발광 소자(10B)는 도 11의 구조에 비해 제1 도전형 반도체층(110)의 형성이 상이할 뿐 나머지 구성은 그대로 적용될 수 있다.
- [186] 제1 도전형 반도체층(110)은 복수 개의 활성층(121, 122, 123)이 배치되는 복수 개의 볼록부(111) 및 복수 개의 볼록부(111)를 전기적으로 연결하는 베이스부(112)를 포함한다.
- [187] 베이스부(112)는 상부로 갈수록 단면적이 넓어질 수 있다. 즉, 베이스부(112)의 측면(112a)은 상부 방향으로 단면적이 넓어지도록 기울어질 수 있다.
- [188] 베이스부(112)의 측면(112a)은 바닥면과 이루는 각도(θ_2)가 91° 내지 120° , 또는 100° 내지 110° 일 수 있다. 이러한 구조는 측면에서의 광 추출 효율을 증가시킬 수 있다.
- [189] 도 14a 내지 도 14e는 본 발명의 제2실시 예에 따른 발광 소자 제조방법을 설명하기 위한 도면이다.
- [190] 도 14a 내지 도 14e를 참고하면, 실시 예에 따른 발광 소자 제조방법은 발광구조물(100)에 복수 개의 발광부(P1, P2, P3)를 형성하는 단계; 기판(1)을

제거하는 단계; 제1전극(150)을 형성하는 단계; 및 복수 개의 발광 소자로 분리하는 단계를 포함한다.

- [191] 도 14a를 참고하면, 기판(1)상에 제1 도전형 반도체층(110), 활성층(120), 및 제2 도전형 반도체층(130)을 순차로 형성하여 발광구조물(100)을 제작하고, 그 위에 전극층을 발광구조물(100)상에 형성할 수 있다. 이후, 도 7 내지 도 10에서 설명한 다양한 방법에 의해 제1 내지 제3발광부(P1, P2, P3)를 제작할 수 있다. 전극층은 제1 내지 제3발광부(P1, P2, P3)상에 복수 개의 전극(161, 162, 163)으로 분리될 수 있다.
- [192] 도 14b를 참고하면 기판(1)을 제거하는 단계는, 발광구조물(100) 상에 포토레지스트층(610), 접착층(620) 및 지지층(630)을 포함하는 지지패드(600)를 형성하여 고정된 후 기판(1)을 제거할 수 있다. 접착층(620)은 포토레지스트층(610)과 지지층(630)을 고정할 수 있다. 이때, 기판(1)을 제거하는 방법은 특별히 제한되지 않는다. 기판(1)은 LLO(Laser Lift Off) 기술을 이용하여 제거할 수 있다.
- [193] 도 14c를 참고하면, 노출된 제1 도전형 반도체층(110)에 제1전극(150)을 형성한다. 제1전극(150)을 형성하는 방법은 스퍼터링, 코팅, 증착 등과 같이 통상적으로 사용되는 전극 형성 방법이 모두 적용될 수 있다. 제1전극(150) 형성시 반사층과 오믹층을 더 형성할 수 있다.
- [194] 도 14d를 참고하면, 제1전극(150) 사이로 노출된 영역을 식각할 수 있다. 이 과정에서 복수 개의 칩은 분리되고 제1 도전형 반도체층(110)의 측면(112a)에는 경사가 형성될 수 있다.
- [195] 도 14e를 참고하면, 제1전극(150)에 점착성 테이프(240)를 부착한 후 포토레지스트층을 제거할 수 있다. 포토레지스트층은 스트리퍼 용액에 침지하여 제거할 수 있다. 스트리퍼 용액은 포토레지스트를 녹일 수 있는 다양한 유/무기 용매를 포함할 수 있다. 점착성 테이프(240)는 이후 제거할 수 있다.
- [196] 도 15는 본 발명의 제3실시 예에 따른 발광 소자를 설명하기 위한 도면이다.
- [197] 도 15를 참고하면, 실시 예에 따른 발광 소자(10C)는 제1발광부(P1), 제2발광부(P2), 및 제3발광부(P3)를 포함하는 발광구조물(100)과, 제1 내지 제3발광부(P1, P2, P3)의 제1 도전형 반도체층(110)과 전기적으로 연결되는 복수 개의 제1전극(151, 152, 153), 제1 내지 제3발광부(P1, P2, P3)의 제2 도전형 반도체층(130)과 전기적으로 연결되는 복수 개의 제2전극(161, 162, 163), 제1 내지 제3발광부(P1, P2, P3)를 덮는 보호층(170), 및 보호층(170)을 관통하여 복수 개의 제2전극(161, 162, 163)과 전기적으로 연결되는 반사전극(180)을 포함한다.
- [198] 발광구조물(100)은 제1 내지 제3발광부(P1, P2, P3)가 이격 배치되고, 각각의 제1 내지 제3발광부(P1, P2, P3)는 제1 도전형 반도체층(111, 112, 113), 활성층(121, 122, 123), 및 제2 도전형 반도체층(131, 132, 133)을 포함한다. 제1발광부(P1)는 청색광을 발광하고, 제2발광부(P2)는 녹색광을 발광하고, 제3발광부(P3)는 청색광 또는 적색광을 방출할 수도 있다.

- [199] 제1 내지 제3발광부(P1, P2, P3)는 물리적으로 분리되므로 광 간섭이 개선될 수 있다. 즉, 서로 연결된 광학층을 통해 광이 전파되는 경로가 없어 광 간섭이 개선될 수 있다. 또한, 제1 내지 제3발광부(P1, P2, P3)는 상부로 갈수록 면적이 크게 형성되므로 발광면적을 높일 수 있다. 따라서, 각 서브픽셀의 크기를 개선할 수 있다.
- [200] 복수 개의 제1전극(151, 152, 153)은 제1 내지 제3발광부(P1, P2, P3)의 제1 도전형 반도체층(111, 112, 113)상에 각각 배치될 수 있다. 제1전극(150)은 투명 전도성 산화막(Transparent Conductive Oxide; TCO)으로 형성될 수 있다. 투명 전도성 산화막은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), ZnO, IrOx, RuOx 및 NiO 등에서 선택될 수 있다.
- [201] 또한, 복수 개의 제1전극(151, 152, 153)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 등과 같은 불투명 금속으로 형성될 수 있다. 이 경우 제1전극(151, 152, 153)의 면적만큼 발광면적이 작아지므로 제1전극(151, 152, 153)의 크기는 작게 형성하는 것이 바람직할 수 있다.
- [202] 복수 개의 제2전극(161, 162, 163)은 오믹 전극일 수 있다.
- [203] 보호층(170)은 발광구조물(100)의 측면 및 하부를 덮을 수 있다. 보호층(170)은 SiO₂, Si₃N₄, TiO₂, Al₂O₃, 및 MgO 중 적어도 하나를 포함할 수 있다. 또한, 보호층(170)은 광반사층 및/또는 광흡수층의 역할을 수행할 수 있다. 보호층(170)은 광반사층의 역할을 수행하기 위해 광반사 입자를 포함할 수 있으며, 광흡수층의 역할을 수행하기 위해 카본 블랙(carbon black), 그라파이트(Graphite) 등의 광흡수 입자를 포함할 수 있다.
- [204] 반사전극(180)은 보호층(170)을 관통하여 복수 개의 제2전극(161, 162, 163)과 전기적으로 연결될 수 있다. 반사전극(180)은 제1 내지 제3발광부(P1, P2, P3)에 전원을 인가하는 공통전극 역할을 수행할 수 있다. 반사전극(180)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au 및 Hf 등과 같이 반사율이 높은 물질로 형성되거나, 상기 반사율이 높은 물질과 IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO 등과 같은 투명 전도성 물질이 혼합되어 형성될 수 있으며, 이에 한정하지 않는다.
- [205] 실시 예에 따르면 제1 내지 제3발광부(P1, P2, P3)가 분리되며, 광반사층이 제1 내지 제3발광부(P1, P2, P3) 사이에 배치되므로 광 간섭 문제를 효과적으로 개선할 수 있다.
- [206] 도 16a 내지 도 16f는 본 발명의 제3실시 예에 따른 발광 소자 제조방법을 설명하기 위한 도면이다.
- [207] 도 16a 내지 도 16f를 참고하면, 실시 예에 따른 발광 소자 제조방법은, 발광구조물(100)을 식각하여 제1 내지 제3발광부(P1, P2, P3)를 형성하는 단계; 제1 내지 제3발광부(P1, P2, P3)에 제1전극(150)을 연결하는 단계; 기판(1)을

제거하는 단계; 및 제1 내지 제3발광부(P1, P2, P3)에 제2전극을 형성하는 단계를 포함한다.

- [208] 도 16a를 참고하면, 기판(1)상에 제1 도전형 반도체층(110), 활성층(120), 및 제2 도전형 반도체층(130)을 순차로 형성하여 발광구조물(100)을 제작하고, 그 위에 전극층을 발광구조물(100)상에 형성할 수 있다. 이후, 도 7 내지 도 10에서 설명한 다양한 방법에 의해 제1 내지 제3발광부(P1, P2, P3)를 제작할 수 있다. 제2전극(160)은 제1 내지 제3발광부(P1, P2, P3)상에 복수 개로 분리될 수 있다.
- [209] 도 16b를 참고하면, 제1 내지 제3발광부(P1, P2, P3) 상에 보호층(170)을 형성할 수 있다. 이때, 마스크(2)를 이용하여 제1 내지 제3발광부(P1, P2, P3)상에 배치된 복수 개의 전극(160)을 노출시킬 수 있다.
- [210] 도 16c를 참고하면, 보호층(170)상에 전체적으로 반사전극(180)을 형성한다. 반사전극(180)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 등과 같은 불투명 금속으로 형성될 수 있다.
- [211] 도 16d를 참고하면, 반사전극(180) 상에 포토레지스트층(610), 접착층(620) 및 지지층(630)을 형성하여 고정된 후 기판(1)을 제거할 수 있다. 접착층(620)은 포토레지스트층(610)과 지지층(630)을 고정할 수 있다. 이때, 기판(1)을 제거하는 방법은 특별히 제한되지 않는다. 기판(1)은 LLO(Laser Lift Off) 기술을 이용하여 제거할 수 있다.
- [212] 도 16e를 참고하면, 제1 도전형 반도체층(110)을 식각하여 제1 내지 제3발광부(P1, P2, P3)를 분리할 수 있다. 이때, 상대적으로 도전성이 낮은 버퍼층까지 제거될 수 있다.
- [213] 도 16f를 참고하면, 제1 내지 제3발광부(P1, P2, P3)의 제1 도전형 반도체층(110) 상부에 복수 개의 제1전극(151, 152, 153)을 형성할 수 있다. 제1전극(150)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 등과 같은 불투명 금속으로 형성할 수 있으나 반드시 이에 한정하지 않는다. 제1전극(150)을 불투명 금속으로 제작하는 경우 그 면적만큼 발광면적이 작아지므로 제1전극(150)의 크기는 작게 형성할 수 있다.
- [214] 이후, 점착성 테이프(240)를 제1 내지 제3발광부(P1, P2, P3) 상에 부착한 후 포토레지스트층을 제거할 수 있다. 포토레지스트층은 스트리퍼 용액에 침지하여 제거할 수 있다. 스트리퍼 용액은 포토레지스트를 녹일 수 있는 다양한 유/무기 용매를 포함할 수 있다. 점착성 테이프(240)는 이후 제거할 수 있다.
- [215] 도 17은 본 발명의 제4실시 예에 따른 발광 소자를 설명하기 위한 도면이고, 도 18은 본 발명의 제4실시 예에 따른 발광 소자의 전극구조를 설명하기 위한 도면이다.
- [216] 도 17을 참고하면, 실시 예에 따른 발광 소자(10D)는 플립칩 타입일 수 있다. 발광 소자(10D)는 제1 내지 제3발광부(P1, P2, P3)를 갖는 발광구조물(100)과, 제1 내지 제3발광부(P1, P2, P3)를 덮는 보호층(170), 보호층(170)을 관통하여 제1 도전형 반도체층(110)과 전기적으로 연결되는 제1전극(194), 및 보호층(170)을

- 관통하여 복수 개의 제2 도전형 반도체층(131, 132, 133)과 전기적으로 연결되는 복수 개의 제2전극(191, 192, 193)을 포함한다.
- [217] 제1 내지 제3발광부(P1, P2, P3)의 구체적인 구성은 도 1 내지 도 10을 통해 설명한 발광구조물의 특징이 모두 포함될 수 있다. 즉, 복수 개의 발광부의 개별 구동, 광 간섭을 제어하기 위한 구성, 다양한 형태의 제조방법 등이 그대로 적용될 수 있다.
- [218] 보호층(170)은 발광구조물(100)의 측면 및 하부를 덮을 수 있다. 보호층(170)은 PC, PMMA 등의 레진으로 제작할 수 있다. 이때 보호층(170)은 SiO₂, Si₃N₄, TiO₂, Al₂O₃, 및 MgO 중 적어도 하나를 포함할 수 있다.
- [219] 보호층(170)은 광반사층 및/또는 광흡수층의 역할을 수행할 수 있다. 보호층(170)은 광반사층의 역할을 수행하기 위해 광반사 입자를 포함할 수 있으며, 광흡수층의 역할을 수행하기 위해 카본 블랙(carbon black), 그라파이트(Graphite) 등을 포함할 수 있다. 그러나, 반드시 이에 한정하는 것은 아니고 별도의 광반사층을 더 구비할 수도 있다.
- [220] 제1전극(194)은 보호층(170)을 관통하여 제1 도전형 반도체층(110)과 전기적으로 연결될 수 있다. 이때, 제1 도전형 반도체층(110)과 제1전극(194) 사이에는 오믹전극(164)이 배치될 수 있다.
- [221] 복수 개의 제2전극(191, 192, 193)은 보호층(170)을 관통하여 복수 개의 오믹전극(161, 162, 163)과 전기적으로 연결될 수 있다.
- [222] 도 18을 참고하면, 제1전극(194) 및 복수 개의 제2전극(191, 192, 193)은 원 형상을 포함할 수 있다. 구체적으로 제1전극(194) 및 복수 개의 제2전극(191, 192, 193) 중 하나는 중앙에 형성될 수 있으며, 나머지 전극은 중앙에 형성된 전극을 감싸는 형태로 형성될 수 있다.
- [223] 일 예로, 제2전극(191, 192, 193)은 중앙에 배치된 제2-1전극(191), 제2-1전극(191)을 감싸는 제2-2전극(192), 및 제2-2전극(192)을 감싸는 제2-3전극(193)을 포함할 수 있다. 제1전극(194)은 제2-3전극(193)을 감싸는 형태일 수 있다. 그러나, 반드시 이에 한정되는 것은 아니고 각 전극의 위치는 가변적일 수 있다.
- [224] 예시적으로, 제1전극(194)이 중앙에 배치될 수 있고, 제2-1전극(191)이 제1전극(194)을 감싸고, 제2-2전극(192)이 제2-1전극(191)을 감싸고, 제2-3전극(193)이 제2-2전극(192)을 감싸는 구조일 수도 있다.
- [225] 그러나 반드시 이에 한정하는 것은 아니고, 제1전극(194) 및 복수 개의 제2전극(191, 192, 193)이 중심을 관통하는 축을 기준으로 회전 대칭인 구조이면 전극의 형상은 특별히 제한되지 않는다.
- [226] 제1전극(194) 및 복수 개의 제2전극(191, 192, 193) 중 적어도 하나는 강자성체 물질을 포함할 수 있다. 일 예로, 제1전극(194)은 니켈(Ni), 코발트(Co), 철(Fe) 중 적어도 하나를 포함하며, 예컨대 니켈 또는 니켈 합금을 포함할 수 있다. 제1전극(194) 및 복수 개의 제2전극(191, 192, 193) 중 적어도 하나는 Ti, Cr, Al, Ni,

- Sn, In, Au 중 적어도 3개 예컨대, 적어도 강자성 물질을 포함할 수 있다.
- [227] 이러한 구성에 의하면, 표시장치에 발광 소자를 배치시 패널에 자기장을 인가하여 원하는 위치에 자가 정렬(Self-Align)을 가능하게 할 수 있다.
- [228] 제1전극(194)과 제2전극(191, 192, 193)은 본딩 물질을 포함할 수 있으며, 예컨대 주석(Sn) 또는/및 인듐(In) 이외의 비스무스트(Bi), 카드뮴(Cd), 납(Pb) 중 적어도 하나 또는 이들을 선택적으로 갖는 합금을 포함할 수 있다.
- [229] 도 19를 참고하면, 도 18과 같은 전극 구조를 갖기 위해 별도의 전극기판(195)을 구비할 수 있다. 즉, 도 17의 구성을 갖는 발광 소자를 도 18의 전극구조(191a, 192a, 193a, 194a)를 갖는 전극기판(195)에 본딩할 수 있는 것이다. 즉, 전극기판의 전극구조(191a, 192a, 193a, 194a)는 평면상에서 도 18의 전극 형상과 동일한 형상을 가질 수 있다.
- [230] 도 20a 내지 도 20f는 본 발명의 제4 실시 예에 따른 발광 소자 제조방법을 설명하기 위한 도면이다.
- [231] 도 20a 내지 도 20f를 참고하면, 실시 예에 따른 발광 소자 제조방법은, 발광구조물(100)에 제1 내지 제3발광부(P1, P2, P3)를 형성하는 단계; 제1 내지 제3발광부(P1, P2, P3)를 덮는 보호층(170)을 형성하는 단계; 보호층(170)을 관통하여 제1전극(194) 및 제2전극(191, 192, 193)을 형성하는 단계를 포함한다.
- [232] 도 20a를 참고하면, 제1 내지 제3발광부(P1, P2, P3)을 포함하는 발광구조물(100)을 제작하고, 그 위에 전극층을 발광구조물(100)상에 형성할 수 있다. 이후, 도 7 내지 도 10에서 설명한 다양한 방법에 의해 제1 내지 제3발광부(P1, P2, P3)를 제작할 수 있다. 전극층은 제1 내지 제3발광부(P1, P2, P3)상에 복수 개의 제2오믹전극(161, 162, 163)으로 분리될 수 있다.
- [233] 도 20b 및 도 20c를 참고하면, 제1 도전형 반도체층(110) 상에 제1오믹전극(164)을 형성한 후, 보호층(170)을 전체적으로 형성한다. 이후, 제1오믹전극(164) 및 제2오믹전극(161, 162, 163)이 노출되도록 복수의 관통홀(171)을 형성한다.
- [234] 도 20d를 참고하면 제1전극(194) 및 제2전극(191, 192, 193)을 형성하는 단계는, 제1오믹전극(164)과 제2오믹층이 노출된 관통홀에 전극을 형성한다. 구체적으로, 제1오믹전극(164)과 전기적으로 연결되는 제1전극(194), 및 복수 개의 제2오믹전극(161, 162, 163)과 전기적으로 연결되는 복수 개의 제2전극(191, 192, 193)을 형성한다.
- [235] 도 20e를 참고하면, 기판(1)을 제거하는 단계는, 발광구조물(100) 상에 포토레지스트층(610), 및 지지층(630)을 형성하여 고정한 후 기판(1)을 제거할 수 있다. 기판(1)을 제거하는 방법은 특별히 제한되지 않는다. 기판(1)은 LLO(Laser Lift Off) 기술을 이용하여 제거할 수 있다.
- [236] 도 20f를 참고하면, 발광 소자(10D)에 점착성 테이프(240)를 부착한 후 포토레지스트층(610)을 제거할 수 있다. 포토레지스트층은 스트리퍼 용액에 침지하여 제거할 수 있다. 스트리퍼 용액은 포토레지스트를 녹일 수 있는 다양한

- 유/무기 용매를 포함할 수 있다. 점착성 테이프(240)는 이후 제거할 수 있다.
- [237] 도 21은 본 발명의 일 실시 예에 따른 표시장치를 설명하기 위한 개념도이고, 도 22는 도 21의 A-A 방향 단면도이고, 도 23은 도 21의 B-B 방향 단면도이다.
- [238] 도 21을 참고하면, 표시장치는 복수 개의 공통배선(41)과 구동배선(42)이 교차하는 패널(40), 복수 개의 공통배선(41)과 구동배선(42)이 교차하는 영역에 배치되는 복수 개의 발광 소자(10), 공통배선(41)에 구동신호를 인가하는 제1드라이버(30), 구동배선(42)에 구동신호를 인가하는 제2드라이버(20), 및 제1드라이버(30)와 제2드라이버(20)를 제어하는 컨트롤러(50)를 포함할 수 있다.
- [239] 복수 개의 발광 소자(10)는 도 1 내지 도 20에서 설명한 특징이 그대로 적용될 수 있으며, 하나의 발광 소자(10)가 하나의 픽셀(Pixel)로 정의될 수 있다. 발광 소자(10)에 배치된 제1 내지 제3발광부(P1, P2, P3)는 서브 픽셀(sub-pixel)로 기능할 수 있다.
- [240] 제1발광부(P1)는 청색광을 출력하는 제1서브픽셀의 역할을 수행할 수 있다. 제2발광부(P2)는 녹색광을 출력하는 제2서브픽셀의 역할을 수행할 수 있다. 제3발광부(P3)는 적색광을 출력하는 제3서브픽셀의 역할을 수행할 수 있다.
- [241] 공통배선(41)은 발광 소자(10)의 하부에 배치된 제1전극(150)과 전기적으로 연결되며, 제1 내지 제3구동배선(43, 44, 45)은 제1 내지 제3발광부(P1, P2, P3)와 각각 전기적으로 연결될 수 있다.
- [242] 컨트롤러(50)는 공통배선(41)과 제1 내지 제3구동배선(43, 44, 45)에 선택적으로 전원이 인가되도록 제1, 2드라이버(30, 20)에 제어신호를 출력함으로써 각 발광 소자(10)의 발광부(P1, P2, P3)를 개별적으로 제어할 수 있다.
- [243] 도 22를 참고하면, 제3발광부(P3)는 청색광을 출력하고, 그 위에 배치된 과장변환층(131)에 의해 적색광으로 변환될 수 있다. 실시 예에 따르면, 제3구동배선(45)은 제3발광부(P3)의 전극과 전기적으로 연결되고, 그 위에 과장변환층(131)이 배치될 수 있다.
- [244] 다시 도 21을 참고하면, 표시 장치는 SD(Standard Definition)급 해상도(760×480), HD(High definition)급 해상도(1180×720), FHD(Full HD)급 해상도(1920×1080), UH(Ultra HD)급 해상도(3480×2160), 또는 UHD급 이상의 해상도(예: 4K(K=1000), 8K 등)으로 구현할 경우, 실시 예에 따른 발광 소자(10)가 복수로 배열되고 연결될 수 있다.
- [245] 또는 표시 장치의 대각선 크기가 100인치 이상의 전광판이나 TV를 LED를 갖는 픽셀로 구현할 수 있다. 실시 예에 따른 발광 모듈(1000)이 LED로 배열됨으로써, 전력 소비가 낮아지며 낮은 유지 비용으로 긴 수명으로 제공될 수 있고, 고휘도의 자발광 디스플레이로 제공될 수 있다.
- [246] 실시 예에 따르면, RGB 발광 소자 모듈을 패키징하는 종래 구조에 비해 픽셀 피치 간격을 줄일 수 있다. 따라서, 해상도를 더욱 높일 수 있는 장점이 있다. 또한, 패키징 공정을 생략할 수 있다. 실시 예에 따른 발광 소자의 사이즈를

300 μ m×300 μ m로 제작하는 경우 기존 발광 소자 패키지에 비해 픽셀 밀도를 높일 수 있다.

- [247] 보호층(46)은 발광 소자 사이에 배치될 수 있다. 보호층(46)은 블랙 매트릭스 재질을 포함할 수 있다. 따라서, 보호층(46)은 표시장치의 명암비를 개선할 수 있다.
- [248] 도 23을 참고하면, 발광 소자(10)와 발광 소자(10) 사이의 간격에는 보호층(46)이 충전되므로 발광 소자(10)의 상부에 배치된 구동배선(44)은 보호층(46)에 지지될 수 있다. 따라서, 패널이 대면적으로 커져도 구동배선(44)의 단선을 방지할 수 있다.
- [249] 도 24a 및 도 24b는 제5 실시 예의 발광 소자의 단면도이며, 도 24b는 도 24a의 연결 전극의 평면도이다.
- [250] 도 24a과 같이, 발광 소자(10)는 제1, 제2, 제3 발광부(P1, P2, P3)를 포함하는 발광 구조물(100)과, 제1, 제2, 제3 발광부(P1, P2, P3)를 덮는 보호층(170), 보호층(170)을 관통하여 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)과 전기적으로 연결되는 제1 전극(194) 및 보호층(170)을 관통하여 제1, 제2, 제3 발광부(P1, P2, P3)의 제2 도전형 반도체층(130)과 전기적으로 연결되는 제2 전극(191, 192, 193)을 포함할 수 있다.
- [251] 발광 소자(10)는 플립 칩 타입으로, 제1 전극(194)과 제2 전극(191, 192, 193)은 발광 구조물(100)의 제2 도전형 반도체층(130)이 배치된 방향에 모두 배치될 수 있다.
- [252] 발광 구조물(100)은 차례로 적층된 제1 도전형 반도체층(110), 활성층(120) 및 제2 도전형 반도체층(130)을 포함하며, 제2 도전형 반도체층(130)이 활성층(120)을 사이에 두고 제1 도전형 반도체층(110)과 수직 방향으로 중첩될 수 있다. 실시 예에서는 제2 도전형 반도체층(130) 상에 활성층(120)이 배치되고, 활성층(120) 상에 제1 도전형 반도체층(110)이 배치된 것을 도시하였다. 이 때, 제1, 제2, 제3 발광부(P1, P2, P3)의 활성층(120)과 제2 도전형 반도체층(130)은 서로 분리되도록 배치될 수 있다.
- [253] 상기와 같은 발광 구조물(100)의 제1, 제2 및 제3 발광부(P1, P2, P3)는 제1 도전형 반도체층(110)을 통해 청색(B) 파장대의 광이 방출되며, 청색(B) 파장대의 광이 방출되는 방향에 파장 변환층(222)과 청색, 녹색, 적색 컬러 필터(223a, 223b, 223c)가 배치될 수 있다. 실시 예에서는 파장 변환층(222)과 청색, 녹색, 적색 컬러 필터(223a, 223b, 223c)가 제1 도전형 반도체층(110)을 사이에 두고 활성층(120)과 수직 방향으로 중첩되는 것을 도시하였다.
- [254] 파장 변환층(222)은 제1, 제2 및 제3 발광부(P1, P2, P3)에서 방출되는 청색(B) 파장대의 광을 흡수하여 백색(White: W) 파장대의 광으로 변환할 수 있다. 이를 위해 파장 변환층(222)은 파장 변환 입자를 포함할 수 있으며, 파장 변환층(222)은 투과성 에폭시 수지, 실리콘 수지, 폴리이미드 수지, 요소 수지, 및 아크릴 수지 등에서 선택된 고분자 수지에 파장 변환 입자가 분산된 구조일 수

있으며, 이에 한정하지 않는다.

- [255] 파장 변환 입자는 형광체, QD(Quantum Dot) 중 어느 하나 이상을 포함할 수 있다. 이하에서는 파장 변환 입자를 형광체로 설명한다.
- [256] 형광체는 YAG계, TAG계, Silicate계, Sulfide계 또는 Nitride계 중 어느 하나의 형광 물질이 포함될 수 있으나, 실시 예는 형광체의 종류에 제한되지 않는다. YAG 및 TAG계 형광 물질은 $(Y, Tb, Lu, Sc, La, Gd, Sm)_3(Al, Ga, In, Si, Fe)_5(O, S)_{12} : Ce$ 중에서 선택될 수 있으며, Silicate계 형광 물질은 $(Sr, Ba, Ca, Mg)_2SiO_4 : (Eu, F, Cl)$ 중에서 선택 사용 가능하다. 또한, Sulfide계 형광 물질은 $(Ca, Sr)S : Eu$, $(Sr, Ca, Ba)(Al, Ga)_2S_4 : Eu$ 중 선택 가능하며, Nitride계 형광체는 $(Sr, Ca, Si, Al, O)N : Eu$ (예, $CaAlSiN_4 : Eu$ β -SiAlON:Eu) 또는 $Ca-\alpha$ SiAlON:Eu계인 $(Ca_x, M_y)(Si, Al)_{12}(O, N)_{16}$ 일 수 있다. 이 때, M은 Eu, Tb, Yb 또는 Er 중 적어도 하나의 물질이며 $0.05 < (x+y) < 0.3$, $0.02 < x < 0.27$ and $0.03 < y < 0.3$ 을 만족하는 형광체 성분 중에서 선택될 수 있다.
- [257] 상기와 같은 파장 변환층(222)은 제1 격벽(221)에 의해 제1, 제2 및 제3 발광부(P1, P2, P3)와 수직 방향으로 중첩되는 영역별로 분리될 수 있다. 제1 격벽(221)은 제1, 제2 및 제3 발광부(P1, P2, P3)에서 방출되는 광의 혼색을 방지할 수 있다. 제1 격벽(221)은 카본 블랙(carbon black), 그래파이트(Graphite)와 같이 광 흡수물질을 포함할 수도 있으나, 광을 반사하는 반사물질을 포함할 수도 있다. 제1 격벽(221)의 형성 방법은 특별히 제한되지 않는다. 예를 들어, 제1 격벽(221)은 포토리소그라피, 임프린팅, 롤투롤 프린팅, 및 잉크젯 프린팅 등을 이용하여 형성할 수 있다.
- [258] 상기와 같이 파장 변환층(222)에 의해 변환된 백색(W) 파장대의 광은 파장 변환층(222) 상에 제1, 제2 및 제3 발광부(P1, P2, P3) 별로 배치된 청색, 녹색, 적색 컬러 필터(223a, 223b, 223c)에 의해 청색(B), 녹색(G) 및 적색(R) 파장대의 광을 구현할 수 있다.
- [259] 한편, 도 24b와 같이, 실시 예의 발광 소자(10)는 제1, 제2 및 제3 발광부(P1, P2, P3) 중 적어도 하나의 발광부(P2)의 활성층(120b)이 나머지 발광부(P1, P3)의 활성층(120a)과 상이할 수 있다. 예를 들어, 제1, 제3 발광부(P1, P3)의 제1 활성층(120a)은 청색(B) 파장대의 광을 생성하며, 제2 발광부(P2)의 제2 활성층(120b)은 녹색(G) 파장대의 광을 생성할 수 있다. 이 경우, 제3 발광부(P3)와 수직 방향으로 중첩되는 영역에만 적색 파장 변환층(222R)과 적색 컬러 필터(223c)가 배치될 수 있다. 이 때, 제3 발광부(P3)와 수직 방향으로 중첩되는 영역에 적색 파장 변환층(222R)만 배치되어도 무방하다. 적색 파장 변환층(222R)은 제3 발광부(P3)의 제1 활성층(120a)에서 방출되는 청색(B) 파장대의 광을 흡수하여 적색(R) 파장대의 광으로 변환할 수 있다.
- [260] 따라서, 상기와 같은 발광 소자(10)는 발광 구조물(100)의 제1, 제2 및 제3 발광부(P1, P2, P3)가 각각 청색(B), 녹색(G) 및 적색(R) 파장대의 광을 구현할 수 있다.

- [261] 다시, 도 24a를 참조하면, 보호층(170)은 발광 구조물(100)의 측면 및 하부를 덮을 수 있다. 보호층(170)은 PC, PMMA 등의 레진을 포함할 수 있으며, 이에 한정하지 않는다. 또한, 보호층(170)은 SiO₂, Si₃N₄, TiO₂, Al₂O₃, 및 MgO 중 적어도 하나를 포함할 수 있으며, 이에 한정하지 않는다.
- [262] 보호층(170)은 광반사층 및/또는 광흡수층의 역할을 수행할 수 있으며, 이에 한정하지 않는다. 예를 들어, 보호층(170)은 광반사층의 역할을 수행하기 위해 Al, Ag 등과 같은 금속을 포함하는 광반사 입자를 더 포함할 수 있다. 또한, 보호층(170)은 광흡수층의 역할을 수행하기 위해 카본 블랙(carbon black), 그래파이트(Graphite) 등을 포함할 수 있다.
- [263] 제1 전극(194)은 보호층(170)을 관통하여 제1 도전형 반도체층(110)과 전기적으로 연결될 수 있다. 이 때, 제1 도전형 반도체층(110)과 제1 전극(194)은 연결 전극(164)을 통해 전기적으로 연결될 수 있다. 연결 전극(164)은 제1 도전형 반도체층(110)과 보호층(170) 사이에 배치될 수 있다. 연결 전극(164)은 제1 도전형 반도체층(110)과 직접 접촉되어, 제1 전극(194)으로부터 공급되는 캐리어를 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)에 골고루 전달할 수 있다.
- [264] 연결 전극(164)은 제1 전극(194)으로부터 공급되는 캐리어를 제1, 제2, 제3 발광부(P1, P2, P3)로 용이하게 전달하기 위해, 제1, 제2, 제3 발광부(P1, P2, P3) 사이에도 배치될 수 있다. 예를 들어, 도 24c와 같이, 연결 전극(164)은 제1 도전형 반도체층(110)과 보호층(170) 사이에서 일체형으로 형성될 수 있다.
- [265] 예를 들어, 연결 전극(164)은 제1 전극(194)과 제1 도전형 반도체층(110)의 오믹 접촉을 위한 오믹 전극일 수 있다. 이 경우, 연결 전극(164)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), ZnO, IrO_x, RuO_x 및 NiO 등과 같은 투명 전도성 산화물에서 선택될 수 있으며, 이에 한정하지 않는다.
- [266] 연결 전극(164)은 형성되지 않을 수도 있으며 이 경우 제1 전극(194)이 제1 도전형 반도체층(110)에 직접 접촉하여 제1 전극(194)으로부터 공급되는 캐리어를 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)에 골고루 전달할 수 있다.
- [267] 제2 전극(191, 192, 193)은 제1, 제2, 제3 발광부(P1, P2, P3)의 제2 도전형 반도체층(130)에 각각 연결되어, 제1, 제2, 제3 발광부(P1, P2, P3)에 선택적으로 캐리어를 전달할 수 있다.
- [268] 제2 전극(191, 192, 193)은 보호층(170)을 관통하여 복수 개의 반사 전극(161, 162, 163)과 전기적으로 연결될 수 있다. 반사 전극(161, 162, 163)은 제2 전극(191, 192, 193)과 제2 도전형 반도체층(130) 사이에 배치될 수 있다. 즉, 반사 전극(161,

- 162, 163)은 제2 도전형 반도체층(130)을 사이에 두고 제1, 제2, 제3 발광부(P1, P2, P3)의 활성층(120)과 수직 방향으로 중첩될 수 있다.
- [269] 반사 전극(161, 162, 163)은 제1, 제2, 제3 발광부(P1, P2, P3)에서 발생한 광을 제1 도전형 반도체층(110) 방향으로 반사시키기 위한 것일 수 있다. 예를 들어, 반사 전극(161, 162, 163)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au 및 Hf 등과 같이 반사율이 높은 물질을 포함하여 형성되거나, 상기 반사율이 높은 물질과 IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO 등과 같은 투명 전도성 물질이 혼합되어 형성될 수 있으며, 이에 한정하지 않는다. 또한, 반사 전극(161, 162, 163)은 단층 또는 다층 구조로 형성될 수 있다.
- [270] 제1 전극(194)과 제2 전극(191, 192, 193)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), ZnO, IrOx, RuOx 및 NiO 등에서 선택될 수 있다. 제1 전극(194)과 제2 전극(191, 192, 193)은 이에 한정하지 않고 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 등에서 선택된 불투명 금속을 더 포함할 수 있으며, 단층 또는 다층 구조로 형성될 수 있다.
- [271] 상기와 같은 제5 실시 예의 발광 소자(10)는 표시 장치의 픽셀 영역마다 배치될 수 있다. 실시 예와 같이, 발광 소자(100)가 제1, 제2, 제3 발광부(P1, P2, P3)를 포함하는 경우, 제1, 제2, 제3 발광부(P1, P2, P3)는 독립적으로 발광할 수 있다.
- [272] 이하, 제5 실시 예의 발광 소자가 배치된 픽셀을 포함하는 표시 장치를 구체적으로 설명하면 다음과 같다.
- [273] 도 25a는 도 24a 및 1b의 발광 소자가 픽셀 영역마다 배치된 표시 장치의 평면도이며, 도 25b 및 도 25c는 도 25a의 I-I'의 단면도이다. 이 때, 도 25b는 도 24a의 발광 소자가 픽셀 영역에 배치된 I-I'의 단면도이며, 도 25c는 도 24b의 발광 소자가 픽셀 영역에 배치된 I-I'의 단면도이다.
- [274] 도 25a 및 도 25b와 같이, 표시 장치는 공통 배선(41)과 구동 배선(42)이 교차하는 영역으로 정의된 복수 개의 픽셀 영역을 포함하는 패널(40), 각 픽셀 영역에 배치된 발광 소자(10), 공통 배선(41)에 구동 신호를 인가하는 제1 드라이버(30), 구동 배선(42)에 구동 신호를 인가하는 제2 드라이버(20), 및 제1 드라이버(30)와 제2 드라이버(20)를 제어하는 컨트롤러(50)를 포함할 수 있다.
- [275] 패널(40)에 배치된 제2 격벽(46)은 각 픽셀 영역에 배치된 발광 소자(10) 사이에 배치되어, 발광 소자(10), 공통 배선(41) 및 구동 배선(42) 등을 지지할 수 있다. 따라서, 패널(44)이 대면적으로 커져도 공통 배선(41) 및 구동 배선(42)의 단선이 방지될 수 있다. 제2 격벽(46)은 카본 블랙(carbon black), 그래파이트(Graphite) 등과 같은 물질을 포함하여 이루어져, 인접한 픽셀 영역 사이의 빛샘을 방지할 수 있으며, 이에 한정하지 않는다.
- [276] 공통 배선(41)은 발광 소자(10)의 제1 전극(194)과 전기적으로 연결될 수 있다.

- 그리고, 제1, 제2, 제3 구동 배선(43, 44, 45)은 제1, 제2, 제3 발광부(P1, P2, P3)의 제2 전극(191, 192, 193)과 각각 전기적으로 연결될 수 있다.
- [277] 제1 전극(194)과 제2 전극(191, 192, 193)이 활성층(120)을 기준으로 모두 발광 소자(10)의 제2 도전형 반도체층(130)이 배치된 방향에서 노출되므로, 공통 배선(41)과 구동 배선(42)은 적어도 하나의 절연막을 사이에 두고 분리된 구조일 수 있으며, 이에 한정하지 않는다. 실시 예에서는 제1, 제2 절연막(1a, 1b)을 도시하였다.
- [278] 발광 소자(10)는 패널(40)의 픽셀 영역마다 배치될 수 있다. 연결 전극(164)과 보호층(170)의 하부면 사이의 보호층(170)의 두께(D)는 $20\mu\text{m}$ 내지 $100\mu\text{m}$ 일 수 있다. 이 때, 연결 전극(164)과 보호층(170)의 하부면 사이의 보호층(170)의 두께(D)가 $100\mu\text{m}$ 보다 두꺼운 경우 표시 장치의 두께가 증가한다. 반대로 연결 전극(164)과 보호층(170)의 하부면 사이의 보호층(170)의 두께(D)가 $20\mu\text{m}$ 보다 얇은 경우 발광 구조물(100)이 충분한 두께를 갖지 못하여, 발광 구조물(100)의 발광 효율이 저하될 수 있다.
- [279] 따라서, 하나의 발광 소자(10)가 표시 장치의 픽셀로 기능할 수 있다. 그리고, 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)는 제1, 제2, 제3 서브 픽셀로 기능할 수 있다. 예를 들어, 제1 발광부(P1)는 청색 서브 픽셀로 기능할 수 있고, 제2 발광부(P2)는 녹색 서브 픽셀로 기능할 수 있으며, 제3 발광부(P3)는 적색 서브 픽셀로 기능할 수 있다. 따라서, 상기와 같은 하나의 발광 소자(10)에서 방출되는 청색, 녹색 및 적색 파장대의 광을 혼합하여 백색 광을 구현할 수 있다.
- [280] 한편, 도 25c와 같이 제1, 제2 및 제3 발광부(P1, P2, P3) 중 제3 발광부(P3)와 수직 방향으로 중첩되는 영역에만 적색 파장 변환층(222R)과 적색 컬러 필터(223c)를 배치하여, 제3 발광부(P3)에서 발생한 청색(B) 파장대의 광을 적색(R) 파장대의 광으로 변환할 수 있다. 이에 따라, 제1, 제2 및 제3 발광부(P1, P2, P3)가 각각 청색(B), 녹색(G) 및 적색(R) 파장대의 광을 구현할 수 있다.
- [281] 다시 도 25a를 참조하면, 컨트롤러(50)는 공통 배선(41)과 구동 배선(42)에 선택적으로 전원이 인가되도록 제1, 제2 드라이버(30, 20)에 제어 신호를 출력할 수 있다. 이에 따라, 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)를 개별적으로 제어할 수 있다.
- [282] 일반적인 표시 장치는 픽셀의 각 서브 픽셀마다 발광 소자를 개별적으로 배치하거나, 다이 본딩(Die-Bonding) 및 와이어 본딩과 같은 추가적인 패키징 공정을 통해 패키징된 두 개 이상의 발광 소자를 포함하는 발광 소자 패키지를 픽셀에 배치할 수 있다. 따라서, 일반적인 표시 장치는 패키징 면적을 고려해야 하므로, 패널의 전체 면적 중 실제로 발광하는 영역의 면적이 좁아 발광 효율이 낮다.
- [283] 반면에, 실시 예의 표시 장치는 픽셀 영역에 칩 레벨의 발광 소자(10)가 배치되고, 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)가 R, G, B의 제1, 제2, 제3 서브 픽셀로 기능할 수 있다. 따라서, 제1, 제2, 제3 서브 픽셀로 기능하는

제1, 제2, 제3 발광부(P1, P2, P3)를 다이 본딩(Die-Bonding) 및 와이어 본딩과 같은 추가적인 공정으로 패키징할 필요가 없다. 이에 따라, 와이어 본딩 등을 수행할 면적이 제거되어, 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3) 사이의 간격이 감소할 수 있다. 즉, 서브 픽셀 및 픽셀 영역의 피치 간격이 감소하여 표시 장치의 픽셀 밀도 및 해상도가 향상될 수 있다.

- [284] 특히, 제1 전극(194)과 제2 전극(191, 192, 193)이 발광 구조물(100)과 수직 방향으로 중첩되므로, 실시 예의 반도체 소자는 상술한 패드 영역을 확보할 필요가 없다. 따라서, 발광 효율이 높으며, 상술한 바와 같이 제1, 제2, 제3 발광부(P1, P2, P3) 사이의 간격이 감소되어 발광 소자(10)의 크기를 감소시킬 수 있다.
- [285] 한편, 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)은 서로 분리되어 배치될 수 있다.
- [286] 도 26a 및 도 26b는 제5 실시 예의 다른 구조에 따른 발광 소자의 단면도이다.
- [287] 도 26a 및 도 26b와 같이, 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)은 서로 분리되어 배치될 수 있다. 이 때, 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)은 연결 전극(164)을 통해 서로 연결될 수 있다. 상기 도 24b와 같이 연결 전극(164)은 일체형으로 형성되므로 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)이 분리되어 배치되더라도, 하나의 제1 전극(194)을 통해 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)에 균일한 캐리어가 공급될 수 있다.
- [288] 구체적으로, 도 26a와 같이, 연결 전극(164)은 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)을 서로 연결하며, 동시에, 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)과 제1 전극(194)을 전기적으로 연결할 수 있다. 그리고, 도 26b와 같이, 연결 전극(164)은 보호층(170)에 의해 노출된 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)의 일면에 배치될 수 있다.
- [289] 연결 전극(164)의 일부는 제1 전극(194)과 직접 접촉될 수 있으며, 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)을 서로 연결하는 일체형의 연결 전극(164)에 의해 제1 전극(194)에서 주입되는 캐리어가 제1, 제2, 제3 발광부(P1, P2, P3)에 전달될 수 있다.
- [290] 따라서, 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)이 서로 분리되어 배치되더라도, 하나의 공통 배선(도 25a의 41)을 통해 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)에 전원을 인가할 수 있다. 그리고, 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)에 각각 연결된 구동 배선(도 25a의 42)을 통해 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)의 구동을 개별적으로 제어할 수 있다.
- [291] 도 27a 내지 도 27g는 도 24a의 발광 소자의 제조 방법을 나타낸 공정 단면도이다.
- [292] 도 27a와 같이, 기판(1) 상에 제1 도전형 반도체층(110), 활성층(120) 및 제2

도전형 반도체층(130)을 포함하는 발광 구조물(100)을 형성하고, 발광 구조물(100)의 제1, 제2, 제3 발광부(P1, P2, P3)마다 제2 도전형 반도체층(130) 상에 배치된 반사 전극(161, 162, 163)을 형성할 수 있다.

[293] 발광 구조물(100)의 제1, 제2, 제3 발광부(P1, P2, P3)은 제1 도전형 반도체층(110), 활성층(120) 및 제2 도전형 반도체층(130)이 메사 식각된 구조일 수 있다. 메사 식각에 의해 제1 도전형 반도체층(110), 활성층(120), 제2 도전형 반도체층(130)의 일부가 식각될 수 있으며, 반사 전극(161, 162, 163)이 제1, 제2, 제3 발광부(P1, P2, P3)마다 분리되도록 배치될 수 있다.

[294] 실시 예에서는 제1, 제2, 제3 발광부(P1, P2, P3)가 제1 도전형 반도체층(110)의 일부를 공유하며, 제1 도전형 반도체층(110) 상에 배치된 활성층(120), 제2 도전형 반도체층(130) 및 반사 전극(161, 162, 163)은 제1, 제2, 제3 발광부(P1, P2, P3)별로 분리된 것을 도시하였다.

[295] 도 27b와 같이, 제1 도전형 반도체층(110)의 일부가 식각된 영역 상에 연결 전극(164)을 형성할 수 있다. 연결 전극(164)은 제1, 제2, 제3 발광부(P1, P2, P3) 사이의 제1 도전형 반도체층(110) 상에도 형성될 수 있으며, 제1 도전형 반도체층(110) 상에 배치된 연결 전극(164)은 도 24c와 같이 일체형일 수 있다.

[296] 도 27c와 같이, 기판(1) 상에 연결 전극(164), 발광 구조물(100), 반사 전극(161, 162, 163)을 덮도록 보호층(170)을 형성한다. 그리고, 보호층(170)을 선택적으로 제거하여, 제1, 제2, 제3 발광부(P1, P2, P3)에 각각 배치된 제1, 제2, 제3 반사 전극(161, 162, 163) 및 연결 전극(164)의 일부를 노출시키는 관통홀(171)을 형성한다. 연결 전극(164)을 노출시키는 관통홀(171)의 깊이와 제1, 제2, 제3 반사 전극(161, 162, 163)을 노출시키는 관통홀(171)의 깊이는 상이할 수 있다.

[297] 도 27d와 같이, 관통홀(171)을 통해 제1, 제2, 제3 발광부(P1, P2, P3)의 제1, 제2, 제3 반사 전극(161, 162, 163)과 각각 접촉되는 제2 전극(191, 192, 193)을 형성한다. 그리고, 연결 전극(164)과 접촉되는 제1 전극(194)을 형성할 수 있다.

[298] 제1 전극(194)은 제1 도전형 반도체층(110) 상에 배치된 연결 전극(164)과 전기적으로 접촉될 수 있으며, 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)은 하나의 제1 전극(194)과 전기적으로 연결될 수 있다. 그리고, 제2 전극(191, 192, 193)은 제1, 제2, 제3 발광부(P1, P2, P3)의 제1, 제2, 제3 반사 전극(161, 162, 163)과 각각 접촉될 수 있다.

[299] 따라서, 실시 예의 발광 소자는 제1 전극(194)이 패널(도 25a의 40)의 공통 배선(41)과 전기적으로 연결되어, 발광 소자의 제1, 제2, 제3 발광부(P1, P2, P3)에 전원을 공급하며, 제1, 제2, 제3 발광부(P1, P2, P3)의 제2 도전형 반도체층(130)과 접촉된 제2 전극(191, 192, 193)이 패널(도 25a의 40)의 구동 배선(42)과 각각 전기적으로 연결되어, 구동 배선(42)을 제어하여 제1, 제2, 제3 발광부(P1, P2, P3)의 발광을 제어할 수 있다.

[300] 도 27e와 같이, 제2 전극(191, 192, 193) 및 제1 전극(194)을 덮도록 기판(1) 전면이 포토 레지스트층(410)과 지지층(430)을 포함하는 지지 패드(400)를

형성한 후 기관(1)을 제거할 수 있다. 기관(1)을 제거하는 방법은 특별히 제한되지 않는다. 예를 들어, 기관(1)은 레이저 리프트 오프(Laser Lift Off; LLO) 기술을 이용하여 제거할 수 있다.

- [301] 도 27f와 같이, 발광 구조물(100)로부터 지지 패드(400)를 제거할 수 있다. 예를 들어, 포토 레지스트층(410)은 스트리퍼 용액에 침지하여 제거할 수 있다. 스트리퍼 용액은 포토 레지스트를 녹일 수 있는 다양한 유/무기 용매를 포함할 수 있다. 포토 레지스트층(410)을 제거하면 발광 구조물(100)로부터 지지층(430)이 분리될 수 있다.
- [302] 그리고, 도 27g와 같이, 발광 구조물(100)의 활성층(120)에서 발생한 광이 방출되는 방향에 제1 격벽(221), 파장 변환층(222) 및 컬러 필터(223a, 223b, 223c)를 배치시킬 수 있다. 이에 따라, 제1, 제2, 제3 발광부(P1, P2, P3)를 포함하는 칩 레벨의 발광 소자(10)를 형성할 수 있다.
- [303] 따라서, 상기와 같은 발광 소자(10)는 발광 구조물(100)의 활성층(120)에서 발생된 청색 파장대의 광이 광이 방출되는 방향에 배치된 파장 변환층(222) 및 청색, 녹색, 적색 컬러 필터(223a, 223b, 223c)를 통해 제1, 제2, 제3 발광부(P1, P2, P3) 별로 청색(B), 녹색(G), 적색(R) 파장대의 광을 구현할 수 있다. 한편, 도시하지는 않았으나, 제1 발광부(P1)에는 파장 변환층(222) 및 청색 컬러 필터(223a)를 제거하여, 제3 발광부(P3)의 활성층(120)에서 발생한 청색(B) 파장대의 광을 그대로 방출시킬 수 있다.
- [304] 상기와 같은 표시 장치는 제1, 제2, 제3 발광부(P1, P2, P3)를 포함하는 칩 레벨의 발광 소자(10)를 픽셀로 사용하므로 와이어가 필요 없어 와이어 본딩과 같은 추가적인 패키징 공정을 생략할 수 있다. 따라서 와이어에 의한 광 간섭을 방지할 수 있다.
- [305] 더욱이, 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)이 서로 분리되더라도, 제2 전극(191, 192, 193) 및 제1 전극(194)이 형성된 보호층(170)을 통해 발광 구조물(100)이 지지될 수 있다. 따라서, 발광 구조물(100)로부터 기관(1)을 제거함으로써, 기관(1)에 의한 광 흡수를 방지할 수 있다.
- [306] 도 27h 및 도 27i는 도 26a의 발광 소자의 제조 방법을 나타낸 공정 단면도이다.
- [307] 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)이 서로 분리되어 배치된 도 26a와 같이 발광 소자(10)를 형성하는 방법은 상기도 27a 내지 도 27e의 단계를 실시한 후, 도 27h 및 도 27i의 단계를 더 실시할 수 있다. 또한, 도시하지는 않았으나, 도 27a와 같이, 제1 도전형 반도체층(110), 활성층(120) 및 제2 도전형 반도체층(130)을 메사 식각할 때, 제1, 제2, 제3 발광부(P1, P2, P3) 사이에서 기관(1)의 상부면이 노출되도록 제1 도전형 반도체층(110)을 제거하여 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)이 분리되어 배치될 수도 있다.
- [308] 먼저, 도 27h와 같이, 기관(도 27e의 1)이 분리되어 노출된 제1 도전형 반도체층(110)을 더 제거한다. 이 때, 제1, 제2, 제3 발광부(P1, P2, P3)의 제1

도전형 반도체층(110)이 분리되어 배치되도록 제1 도전형 반도체층(110)을 제거할 수 있다. 도 27i와 같이, 발광 구조물(100)로부터 지지 패드(400)를 제거하고, 제1 격벽(221), 과장 변환층(222) 및 청색, 녹색, 적색 컬러 필터(223a, 223b, 223c)를 배치시킬 수 있다. 이에 따라, 제1, 제2, 제3 발광부(P1, P2, P3)를 포함하는 칩 레벨의 발광 소자(10)를 형성할 수 있다.

- [309] 상기와 같은 칩 레벨의 발광 소자(10)를 픽셀로 사용하는 표시 장치는 동일한 크기의 액정 표시 장치 및 유기 전계 표시 장치보다 픽셀 밀도가 높아 고해상도의 대형 표시 장치를 구현할 수 있다.
- [310] 도 28a 내지 도 28f는 도 24b의 발광 구조물의 제조 방법을 나타낸 공정 단면도이다.
- [311] 도 24b와 같이, 제1 발광부(P1)와 제3 발광부(P3)는 동일한 제1 활성층(120a)을 포함하며, 제2 발광부(P2)는 제1 활성층(120a)과 상이한 제2 활성층(120b)을 포함하는 경우, 기판(1) 상에 발광 구조물(100)을 형성하는 단계, 발광 구조물(100)의 일부 영역을 식각하는 단계 및 식각된 일부 영역에 발광 구조물(100)을 재 성장시키는 단계를 포함할 수 있다.
- [312] 도 28a와 같이, 기판(1) 상에 제1 도전형 반도체층(110), 제1 활성층(120a), 및 제2 도전형 반도체층(130)을 차례로 형성하여 발광 구조물(100)을 형성할 수 있다. 그리고, 도 28b와 같이, 발광 구조물(100)의 상면에 제1 마스크(2)를 배치할 수 있다. 제1 마스크(2)는 발광 구조물(100)의 제2 발광부(P3)의 제2 도전형 반도체층(130)의 일부 영역을 노출시킬 수 있다. 이 때, 제1 마스크(2)에 의해 노출된 제1 영역(3)은 제1 활성층(120a)과 상이한 제2 활성층(120b)을 포함하는 발광 구조물(100)을 형성하기 위한 영역일 수 있다.
- [313] 이어, 도 28c와 같이, 제1 마스크(2)에 의해 노출된 영역의 제1 도전형 반도체층(110), 제1 활성층(120a), 및 제2 도전형 반도체층(130)을 제거하여, 하부면에서 제1 도전형 반도체층(110)이 노출되고, 측면에서 제1 도전형 반도체층(110), 제1 활성층(120a), 및 제2 도전형 반도체층(130)이 노출된 홈(3a)을 형성할 수 있다. 그리고, 도 28d와 같이, 홈(3a)의 측면을 덮도록 제2 마스크(2a)를 배치할 수 있다. 제2 마스크(2a)는 후속 공정에 의한 발광 구조물(100)의 손상을 방지하기 위한 것일 수 있다.
- [314] 이어, 도 28e와 같이, 홈(3a)의 바닥면에서 노출된 제1 도전형 반도체층(110) 상에서 제1 도전형 반도체층(110)을 재 성장시킨다. 재 성장한 제1 도전형 반도체층(110)은 식각되기 이전의 제1 도전형 반도체층(110)과 물리적인 계면이 생성될 수도 있으나, 반드시 이에 한정되는 것은 아니고 재 성장에 의해 계면이 소멸할 수도 있다. 그리고, 재 성장한 제1 도전형 반도체층(110) 상에 제2 활성층(120b)을 형성하고, 제2 활성층(120b) 상에 제2 도전형 반도체층(130)을 재 성장시킬 수 있다. 예를 들어, 제2 활성층(222)은 녹색(G) 과장대의 광을 방출할 수 있으며, 제1 활성층(120a)은 청색(B) 과장대의 광을 방출할 수 있다.
- [315] 그리고, 도 28f와 같이, 제1, 제2 마스크(2, 2a)를 제거하여 동일한 제1

활성층(120a)을 포함하는 제1 발광부(P1)와 제3 발광부(P3) 및 제1 활성층(120a)과 상이한 제2 활성층(120b)을 포함하는 제2 발광부(P2)를 포함하는 발광 구조물(100)을 형성할 수 있다. 그리고, 제1, 제2, 제3 발광부(P1, P2, P3)마다 발광 구조물(100) 상에 각각 반사 전극(161, 162, 163)을 형성할 수 있다.

- [316] 이후의 공정은 상기 도 27b 내지 도 27f와 동일하며 기재를 생략할 수 있다. 그리고, 도 24b와 같이, 발광 구조물(100) 상에 제2 발광부(P2)와 수직 방향으로 중첩되는 영역에만 적색 파장 변환층(222R)과 적색 컬러 필터(223c)를 배치할 수 있다. 이 때, 적색 적색 파장 변환층(222R)만 배치해도 무방하며, 상기와 같이 적색 파장 변환층(222R)과 적색 컬러 필터(223c)를 모두 배치하여 구현되는 적색 파장대의 광의 색 특성을 향상시킬 수 있다.
- [317] 이하, 제6 실시 예의 발광 소자를 구체적으로 설명하면 다음과 같다.
- [318] 도 29a 및 도 29b는 제6 실시 예의 발광 소자의 단면도이다.
- [319] 도 29a와 같이, 제6 실시 예의 발광 소자(10)는 제1, 제2, 제3 발광부(P1, P2, P3)를 포함하는 발광 구조물(200)과, 제1, 제2, 제3 발광부(P1, P2, P3)를 덮는 보호층(270), 발광 구조물(200)의 제1 도전형 반도체층(210)과 전기적으로 연결되는 제1 전극(294) 및 보호층(270)을 관통하여 제1, 제2, 제3 발광부(P1, P2, P3)의 제2 도전형 반도체층(230)과 전기적으로 연결되는 복수 개의 제2 전극(291, 292, 293)을 포함할 수 있다.
- [320] 발광 소자(10)는 수직 타입으로, 제1 전극(294)과 제2 전극(291, 292, 293)은 발광 구조물(200)을 사이에 두고 서로 반대 방향에 배치될 수 있다. 실시 예에서는 발광 구조물(200)이 제2 도전형 반도체층(230), 활성층(220) 및 제1 도전형 반도체층(210)이 차례로 적층되어, 제2 도전형 반도체층(230) 상에 활성층(220)이 배치되고, 활성층(220) 상에 제1 도전형 반도체층(210)이 배치된 것을 도시하였다. 제1 전극(294)은 제1 도전형 반도체층(210) 상에 배치되어, 제1 전극(294)은 제1 도전형 반도체층(210)을 사이에 두고 활성층(220)과 수직 방향으로 중첩되도록 배치되고, 제2 전극(291, 292, 293)은 제2 도전형 반도체층(230)을 사이에 두고 활성층(220)과 수직 방향으로 중첩되도록 배치된 것을 도시하였다.
- [321] 발광 구조물(200)은 제1 도전형 반도체층(210), 제1 도전형 반도체층(210) 상에서 이격 배치되어 제1, 제2, 제3 발광부(P1, P2, P3)에 각각 배치된 활성층(220) 및 활성층(220)을 사이에 두고 제1 도전형 반도체층(210)과 수직 방향으로 중첩되는 제2 도전형 반도체층(230)을 포함할 수 있다. 제1, 제2, 제3 발광부(P1, P2, P3)는 제1 도전형 반도체층(210)을 공유하여, 제1, 제2, 제3 발광부(P1, P2, P3)는 제1 도전형 반도체층(210)을 통해 서로 연결될 수 있다.
- [322] 상기와 같은 발광 구조물(200)의 제1, 제2 및 제3 발광부(P1, P2, P3)는 동일한 색의 광을 방출할 수 있다. 예를 들어, 발광 구조물(200)의 제1, 제2 및 제3 발광부(P1, P2, P3)는 청색(B) 광을 방출할 수 있다.
- [323] 상기와 같은 발광 소자(10)는 활성층(220)에서 생성된 청색(B) 파장대의 광이

방출되는 방향에서 제1 도전형 반도체층(210)과 접촉되는 제1 전극(294)이 배치되므로, 제1 전극(294) 상에 바로 컬러 필터와 파장 변환층을 배치하는 경우, 제1 전극(294)을 후술할 패널의 공통 배선과 전기적으로 접촉시킬 수 없다. 따라서, 발광 소자(10)를 패널에 실장한 후, 컬러 필터와 파장 변환층을 공통 배선 상에 배치할 수 있다.

- [324] 한편, 도 29b와 같이, 제1 발광부(P1)와 제3 발광부(P3)는 동일한 제1 활성층(220a)을 포함하며, 제2 발광부(P2)는 제1 활성층(220a)과 상이한 제2 활성층(220b)을 포함할 수 있다. 이 때, 제1 활성층(220a)은 청색(B) 파장대의 광을 생성할 수 있으며, 제2 활성층(220b)은 녹색(G) 파장대의 광을 생성할 수 있다.
- [325] 상기와 같은 발광 소자(10)는 표시 장치의 패널에 배치된 후, 발광 구조물(200)의 제1, 제2 및 제3 발광부(P1, P2, P3)는 파장 변환층 및 컬러 필터를 통해 청색(B), 녹색(G) 및 적색(R) 파장대의 광을 구현할 수 있다.
- [326] 다시 도 29a를 참조하면, 제1 전극(294)은 보호층(270)에 의해 노출된 발광 구조물(200)의 제1 도전형 반도체층(210)과 직접 접촉될 수 있다. 예를 들어, 보호층(270)은 발광 구조물(200)의 제1 도전형 반도체층(210)을 노출시킬 수 있다. 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(210)은 하나의 제1 전극(294)과 전기적으로 연결되어, 제1 전극(294)을 통해 제1, 제2, 제3 발광부(P1, P2, P3)에 전원 신호가 인가될 수 있다. 도 29a에서 제1 전극(294)이 제1 도전형 반도체층(210)의 상부면에만 배치된 것으로 되어 있으나 이에 한정하지 않고 제1 전극(294)은 보호층(270)의 일영역에도 배치될 수 있다.
- [327] 제2 전극(291, 292, 293)은 제1, 제2, 제3 발광부(P1, P2, P3)의 제2 도전형 반도체층(230)과 각각 전기적으로 접촉될 수 있다. 예를 들어, 제2 전극(291, 292, 293)과 제1, 제2, 제3 발광부(P1, P2, P3)의 제2 도전형 반도체층(230) 사이에는 반사 전극(261, 262, 263)이 배치되어, 제2 전극(291, 292, 293)은 반사 전극(261, 262, 263)을 통해 제1, 제2, 제3 발광부(P1, P2, P3)의 제2 도전형 반도체층(230)과 전기적으로 접촉될 수 있다. 반사 전극(261, 262, 263)은 제1, 제2, 제3 발광부(P1, P2, P3)에서 발생한 광을 제1 도전형 반도체층(210) 방향으로 반사시킬 수 있다.
- [328] 상기와 같은 제6 실시 예의 발광 소자(10)는 제1 전극(294)으로부터 제1, 제2, 제3 발광부(P1, P2, P3)에 전원 신호가 인가되며, 제2 전극(291, 292, 293)을 통해 제1, 제2, 제3 발광부(P1, P2, P3)가 선택적으로 구동되어 발광할 수 있다.
- [329] 이하, 제6 실시 예의 발광 소자(10)가 배치된 픽셀을 포함하는 표시 장치를 구체적으로 설명하면 다음과 같다.
- [330] 도 30a는 제6 실시 예의 발광 소자가 픽셀 영역마다 배치된 표시 장치의 평면도이며, 도 30b 및 도 30c는 도 30a의 I-I'의 단면도이다. 이 때, 도 30b는 도 29a의 발광 소자가 픽셀 영역에 배치된 I-I'의 단면도이며, 도 30c는 도 29b의 발광 소자가 픽셀 영역에 배치된 I-I'의 단면도이다.
- [331] 도 30a 및 도 30b와 같이, 표시 장치는 공통 배선(41)과 구동 배선(42)이

교차하는 영역으로 정의된 복수 개의 픽셀 영역을 포함하는 패널(40), 각 픽셀 영역에 배치된 발광 소자(10), 공통 배선(41)에 구동 신호를 인가하는 제1 드라이버(30), 구동 배선(42)에 구동 신호를 인가하는 제2 드라이버(20), 및 제1 드라이버(30)와 제2 드라이버(20)를 제어하는 컨트롤러(50)를 포함할 수 있다.

[332] 패널(40)에 배치된 제2 격벽(46)은 각 픽셀 영역에 배치된 발광 소자(10) 사이에 배치되어, 발광 소자(10), 공통 배선(41) 및 구동 배선(42) 등을 지지할 수 있다. 따라서, 패널(44)이 대면적으로 커져도 공통 배선(41) 및 구동 배선(42)의 단선이 방지될 수 있다. 제2 격벽(46)은 카본 블랙(carbon black), 그래파이트(Graphite) 등과 같은 물질을 포함하여 이루어져, 인접한 픽셀 영역 사이의 빛샘을 방지할 수 있으며, 이에 한정하지 않는다. 더욱이, 파장 변환층(222)과 청색, 녹색, 적색 컬러 필터(223a, 223b, 223c)가 공통 배선(41) 사이에 배치되더라도, 인접한 발광 소자(10) 사이에 배치된 제2 격벽(46)이 파장 변환층(222)과 청색, 녹색, 적색 컬러 필터(223a, 223b, 223c)를 충분히 지지할 수 있다.

[333] 공통 배선(41)은 발광 소자(10)의 제1 전극(294)과 전기적으로 연결될 수 있다. 그리고, 제1, 제2, 제3 구동 배선(43, 44, 45)은 제1, 제2, 제3 발광부(P1, P2, P3)의 제2 전극(291, 292, 293)과 각각 연결될 수 있다. 제1 전극(294)과 제2 전극(291, 292, 293)이 활성층(220a, 220b)을 기준으로 서로 반대 방향에 배치되므로, 공통 배선(41)은 발광 소자(10) 상부에서 제1 전극(294)과 전기적으로 연결되며, 제1, 제2, 제3 구동 배선(43, 44, 45; 42)은 발광 소자(10)의 하부에서 제1, 제2 및 제3 발광부(P1, P2, P3)의 제2 전극(291, 292, 293)과 각각 접촉될 수 있다. 따라서, 공통 배선(41)과 구동 배선(42)의 간섭을 효율적으로 방지할 수 있다.

[334] 표시 장치는 컨트롤러(50)가 공통 배선(41)과 구동 배선(42)에 선택적으로 전원이 인가되도록 제1, 제2 드라이버(30, 20)에 제어 신호를 출력할 수 있다. 이에 따라, 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)를 개별적으로 제어할 수 있다.

[335] 예를 들어, 공통 배선(41)을 통해 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)에 전원을 공급하며, 제1, 제2, 제3 구동 배선(43, 44, 45; 42)을 제어하여 제1, 제2, 제3 발광부(P1, P2, P3)이 선택적으로 발광할 수 있다.

[336] 발광 구조물(200) 상에 공통 배선(41)을 사이에 두고 발광 소자(10)의 제1, 제2 및 제3 발광부(P1, P2, P3)와 수직 방향으로 각각 중첩되도록 파장 변환층(222)과 청색, 녹색, 적색 컬러 필터(223a, 223b, 223c)가 배치될 수 있다. 파장 변환층(222)은 제1, 제2 및 제3 발광부(P1, P2, P3)에서 방출되는 청색 파장대의 광을 백색 파장대의 광으로 변환하기 위한 물질을 포함할 수 있다.

[337] 상기와 같은 파장 변환층(222)은 제1 격벽(221)에 의해 제1, 제2 및 제3 발광부(P1, P2, P3)와 수직 방향으로 중첩되는 영역별로 분리될 수 있다. 제1 격벽(221)은 제1, 제2 및 제3 발광부(P1, P2, P3)에서 방출되는 광의 혼색을 방지할 수 있다. 제1 격벽(221)은 카본 블랙(carbon black), 그래파이트(Graphite)와 같이 광 흡수물질을 포함할 수도 있으나, 광을 반사하는 반사물질을 포함할 수도

있다. 제1 격벽(221)의 형성 방법은 특별히 제한되지 않는다. 예를 들어, 제1 격벽(221)은 포토리소그래피, 임프린팅, 롤투롤 프린팅, 및 잉크젯 프린팅 등을 이용하여 형성할 수 있다.

- [338] 상기와 같이 파장 변환층(222)에 의해 변환된 백색 파장대의 광은 파장 변환층(222) 상에 제1, 제2 및 제3 발광부(P1, P2, P3) 별로 배치된 청색, 녹색, 적색 컬러 필터(223a, 223b, 223c)에 의해 청색(B), 녹색(G) 및 적색(R) 파장대의 광을 구현할 수 있다.
- [339] 한편, 도 30c와 같이, 발광 구조물(200) 상에 공통 배선(41)을 사이에 두고 제1, 제2 및 제3 발광부(P1, P2, P3) 중 제3 발광부(P3)와 수직 방향으로 중첩되는 영역에만 적색 파장 변환층(222R)과 적색 컬러 필터(223c)를 배치하여, 제3 발광부(P3)에서 발생한 청색(B) 파장대의 광을 적색(R) 파장대의 광으로 변환할 수 있다. 이에 따라, 제1, 제2 및 제3 발광부(P1, P2, P3)가 각각 청색(B), 녹색(G) 및 적색(R) 파장대의 광을 구현할 수 있다.
- [340] 한편, 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)은 분리되어 배치된 구조일 수 있다. 이 때, 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(110)의 분리는 발광 소자(10)의 제조 공정 시, 기판을 분리하여 노출된 제1 도전형 반도체층(110)을 더 제거하여 실시될 수 있다.
- [341] 도 31a 및 도 31b는 제6 실시 예의 다른 구조에 따른 발광 소자의 단면도이다.
- [342] 도 31a 및 도 31b와 같이, 제6 실시 예의 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(210)은 서로 분리되어 배치된 구조일 수 있다.
- [343] 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(210)을 더 제거하여 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(210)이 서로 분리되어 배치되더라도, 발광 구조물(200)의 측면 및 하부면을 감싸도록 배치된 보호층(270)을 통해 서로 분리된 제1, 제2, 제3 발광부(P1, P2, P3)를 포함하는 발광 구조물(200)이 지지될 수 있다.
- [344] 도 31a와 같이, 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(210)이 하나의 제1 전극(294)에 연결되거나, 도 31b와 같이, 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(210) 상에 배치되어 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(210)과 접촉하는 제1 전극(294)이 서로 분리되어 배치될 수 있다. 실시 예에서는 제1 전극(294)이 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(210)의 상부면에만 배치된 것으로 되어 있으나 이에 한정하지 않고 제1 전극(294)은 보호층(270)의 일영역에도 배치될 수 있다. 한편, 도 31b의 경우, 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(210) 상에 각각 배치된 제1 전극(294)이 하나의 공통 배선(41)에 연결될 수 있다.
- [345] 따라서, 하나의 공통 배선(도 30a의 41)을 통해 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)에 전원을 인가할 수 있으며, 발광 소자(10)의 제1, 제2, 제3

발광부(P1, P2, P3)에 각각 연결된 구동 배선(도 30a의 42)을 통해 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)의 구동을 개별적으로 제어할 수 있다.

- [346] 도 32a 내지 도 32f는 도 29a의 발광 소자의 제조 방법을 나타낸 공정 단면도이다.
- [347] 도 32a와 같이, 기판(1) 상에 제1 도전형 반도체층(210), 활성층(220) 및 제2 도전형 반도체층(230)을 포함하는 발광 구조물(200)을 형성하고, 발광 구조물(200)의 제1, 제2, 제3 발광부(P1, P2, P3)마다 제2 도전형 반도체층(230) 상에 반사 전극(261, 262, 263)을 형성할 수 있다.
- [348] 이 때, 발광 구조물(200)의 제1, 제2, 제3 발광부(P1, P2, P3)는 제1 도전형 반도체층(210), 활성층(220) 및 제2 도전형 반도체층(230)이 mesa 식각된 구조일 수 있다. mesa 식각에 의해 제1 도전형 반도체층(210), 활성층(220), 제2 도전형 반도체층(230)의 일부가 식각될 수 있으며, 반사 전극(261, 262, 263)이 제1, 제2, 제3 발광부(P1, P2, P3)마다 분리되도록 배치될 수 있다.
- [349] 실시 예에서는 제1, 제2, 제3 발광부(P1, P2, P3)가 제1 도전형 반도체층(210)의 일부를 공유하며, 제1 도전형 반도체층(210) 상에 배치된 활성층(220), 제2 도전형 반도체층(230) 및 반사 전극(261, 262, 263)은 제1, 제2, 제3 발광부(P1, P2, P3) 별로 분리된 것을 도시하였다.
- [350] 도 32b와 같이, 기판(1) 상에 발광 구조물(200), 반사 전극(261, 262, 263)을 덮도록 보호층(270)을 형성하고, 보호층(270)을 선택적으로 제거하여, 제1, 제2, 제3 발광부(P1, P2, P3)에 각각 배치된 제1, 제2, 제3 반사 전극(261, 262, 263)을 노출시키는 관통홀(271)을 형성할 수 있다.
- [351] 도 32c와 같이, 보호층(270) 상에 관통홀(271)에 의해 노출된 제1, 제2, 제3 발광부(P1, P2, P3)의 제1, 제2, 제3 반사 전극(261, 262, 263)과 각각 접촉되는 제2 전극(291, 292, 293)을 형성할 수 있다. 즉, 제2 전극(291, 292, 293)은 제1, 제2, 제3 발광부(P1, P2, P3)의 제2 도전형 반도체층(230)과 각각 연결될 수 있다.
- [352] 도 32d와 같이, 제2 전극(291, 292, 293) 및 보호층(270)을 덮도록 기판(1) 전면에 포토 레지스트층(410)과 지지층(430)을 포함하는 지지 패드(400)를 형성한다. 그리고, 도 32e와 같이, 발광 구조물(200)로부터 기판(1)을 제거할 수 있다. 기판(1)을 제거하는 방법은 특별히 제한되지 않는다. 예를 들어, 기판(1)은 레이저 리프트 오프(Laser Lift Off; LLO) 기술을 이용하여 제거할 수 있다.
- [353] 한편, 도시하지는 않았으나, 발광 구조물(200)로부터 기판(1)을 분리한 후, 기판(1)이 분리되어 노출된 제1 도전형 반도체층(210)을 더 제거하여, 도 31a 및 도 31b와 같이, 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(210)을 서로 분리시킬 수 있다.
- [354] 또한, 도시하지는 않았으나, 도 32a와 같이, 제1 도전형 반도체층(210), 활성층(220) 및 제2 도전형 반도체층(230)을 mesa 식각할 때, 제1, 제2, 제3 발광부(P1, P2, P3) 사이에서 기판(1)의 상부면이 노출되도록 제1 도전형 반도체층(210)을 제거하여 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형

반도체층(210)이 분리되어 배치될 수도 있다.

- [355] 이어, 도 32f와 같이, 기판(1)이 제거되어 노출된 발광 구조물(200)의 제1 도전형 반도체층(210) 상에 제1 전극(294)을 형성할 수 있다. 그리고, 발광 구조물(200)로부터 지지 패드(400)를 제거할 수 있다. 예를 들어, 포토 레지스트층(410)은 스트리퍼 용액에 침지하여 제거할 수 있다. 스트리퍼 용액은 포토레지스트를 녹일 수 있는 다양한 유/무기 용매를 포함할 수 있다. 포토 레지스트층(410)을 제거하면 발광 구조물(200)로부터 지지층(430)이 분리될 수 있다. 이에 따라, 제1, 제2, 제3 발광부(P1, P2, P3)를 포함하는 칩 레벨의 발광 소자(10)를 형성할 수 있다.
- [356] 이하, 제7 실시 예의 발광 소자를 구체적으로 설명하면 다음과 같다.
- [357] 도 33a 및 도 33b는 제7 실시 예의 발광 소자의 단면도이다.
- [358] 도 33a와 같이, 제7 실시 예의 발광 소자(10)는 제1, 제2, 제3 발광부(P1, P2, P3)를 포함하는 발광 구조물(300), 발광 구조물(300) 하부에 배치된 보호층(370), 보호층(370)을 관통하여 발광 구조물(300)의 제1 도전형 반도체층(310)과 전기적으로 연결되는 제1 전극(394) 및 발광 구조물(300)의 상부면에서 노출된 제1, 제2, 제3 발광부(P1, P2, P3)의 제2 도전형 반도체층(330)과 전기적으로 연결되는 복수 개의 제2 전극(361, 362, 363)을 포함할 수 있다.
- [359] 발광 소자(10)는 수직 타입으로, 제1 전극(394)과 제2 전극(361, 362, 363)은 발광 구조물(200)을 사이에 두고 서로 반대 방향에 배치될 수 있다.
- [360] 발광 구조물(300)은 제1 도전형 반도체층(310), 활성층(320) 및 제2 도전형 반도체층(320)이 차례로 적층되어, 제1 도전형 반도체층(310) 상에 활성층(320)이 배치되고, 활성층(220) 상에 제2 도전형 반도체층(330)이 배치될 수 있다.
- [361] 활성층(320)은 제1 도전형 반도체층(310)상에서 이격 배치되어 제1, 제2, 제3 발광부(P1, P2, P3)에 각각 배치될 수 있다. 그리고, 제2 도전형 반도체층(330)은 활성층(320)을 사이에 두고 제1 도전형 반도체층(310)과 수직 방향으로 중첩될 수 있다. 제1, 제2, 제3 발광부(P1, P2, P3)는 제1 도전형 반도체층(310)을 공유하여, 제1, 제2, 제3 발광부(P1, P2, P3)는 제1 도전형 반도체층(310)을 통해 서로 연결될 수 있다.
- [362] 상기와 같은 발광 구조물(300)의 제1, 제2 및 제3 발광부(P1, P2, P3)는 동일한 색의 광을 방출할 수 있다. 예를 들어, 발광 구조물(300)의 제1, 제2 및 제3 발광부(P1, P2, P3)는 청색 광을 방출할 수 있다.
- [363] 한편, 도 33b와 같이, 제1 발광부(P1)와 제3 발광부(P3)는 동일한 제1 활성층(320a)을 포함하며, 제2 발광부(P2)는 제1 활성층(320a)과 상이한 제2 활성층(320b)을 포함할 수 있다. 이 때, 제1 활성층(320a)은 청색(B) 파장대의 광을 생성할 수 있으며, 제2 활성층(320b)은 녹색(G) 파장대의 광을 생성할 수 있다.
- [364] 상기와 같은 발광 소자(10)는 표시 장치의 패널에 배치된 후, 발광

구조물(300)의 제1, 제2 및 제3 발광부(P1, P2, P3)는 파장 변환층 및 컬러 필터를 통해 청색(B), 녹색(G) 및 적색(R) 파장대의 광을 구현할 수 있다.

- [365] 다시 도 33a를 참조하면, 제1 전극(394)은 보호층(370)을 관통하여 발광 구조물(300)과 전기적으로 연결될 수 있다. 보호층(370)과 발광 구조물(300) 사이에 반사 전극(350)이 배치될 수 있으며, 보호층(370)은 반사 전극(350)을 노출시키는 관통홀(371)을 포함하여 이루어져, 관통홀(371)에 의해 노출된 반사 전극(350)과 제1 전극(394)이 전기적으로 접촉될 수 있다. 반사 전극(350)은 제1, 제2, 제3 발광부(P1, P2, P3)에서 발생한 광을 제2 도전형 반도체층(310) 방향으로 반사시키기 위한 것일 수 있다. 도 33a에서 반사 전극(350)이 보호층(370)과 제1 도전형 반도체층(310)이 접하는 면에만 배치된 것으로 도시되어 있으나 이에 한정하지 않으며, 반사 전극(350)은 보호층(370)의 상면 전체에 배치될 수 있으며 이에 한정하지 않는다.
- [366] 제2 전극(361, 362, 363)은 제1, 제2, 제3 발광부(P1, P2, P3)의 제2 도전형 반도체층(310) 상에 배치되어, 제2 도전형 반도체층(310)과 각각 전기적으로 접속될 수 있다. 제2 전극(361, 362, 363)은 제1, 제2, 제3 발광부(P1, P2, P3)에서 발생한 광이 청색, 녹색, 적색 컬러 필터(323a, 323b, 323c)가 배치된 방향으로 진행하도록 투명한 물질을 포함할 수 있다. 예를 들어, 제2 전극(361, 362, 363)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO) 등과 같은 물질을 포함할 수 있으며, 이에 한정하지 않는다.
- [367] 이하, 제7 실시 예의 발광 소자가 배치된 픽셀을 포함하는 표시 장치를 구체적으로 설명하면 다음과 같다.
- [368] 도 34a는 제7 실시 예의 발광 소자가 픽셀 영역마다 배치된 표시 장치의 평면도이며, 도 34b 및 도 34c는 도 34a의 I-I'의 단면도이다. 이 때, 도 34b는 도 33a의 발광 소자가 픽셀 영역에 배치된 I-I'의 단면도이며, 도 34c는 도 33b의 발광 소자가 픽셀 영역에 배치된 I-I'의 단면도이다.
- [369] 도 34a 및 도 34b와 같이, 표시 장치는 공통 배선(41)과 구동 배선(42)이 교차하는 영역으로 정의된 복수 개의 픽셀 영역을 포함하는 패널(40), 각 픽셀 영역에 배치된 발광 소자(10), 공통 배선(41)에 구동 신호를 인가하는 제1 드라이버(30), 구동 배선(42)에 구동 신호를 인가하는 제2 드라이버(20), 및 제1 드라이버(30)와 제2 드라이버(20)를 제어하는 컨트롤러(50)를 포함할 수 있다.
- [370] 패널(40)에 배치된 제2 격벽(46)은 각 픽셀 영역에 배치된 발광 소자(10) 사이에 배치되어, 발광 소자(10), 공통 배선(41) 및 구동 배선(42) 등을 지지할 수 있다. 따라서, 패널(44)이 대면적으로 커져도 공통 배선(41) 및 구동 배선(42)의 단선이 방지될 수 있다. 제2 격벽(46)은 카본 블랙(carbon black), 그래파이트(Graphite) 등과 같은 물질을 포함하여 이루어져, 인접한 픽셀 영역 사이의 빛샘을 방지할

수 있으며, 이에 한정하지 않는다.

- [371] 공통 배선(41)은 발광 소자(10)의 제1 전극(394)과 전기적으로 연결될 수 있다. 그리고, 제1, 제2, 제3 구동 배선(43, 44, 45)은 제1, 제2, 제3 발광부(P1, P2, P3)의 제2 전극(391, 392, 393)과 각각 연결될 수 있다. 제1 전극(394)과 제2 전극(391, 392, 393)이 활성층(320a, 320b)을 기준으로 서로 반대 방향에 배치되므로, 공통 배선(41)은 발광 소자(10) 상부에서 제1 전극(394)과 전기적으로 연결되며, 제1, 제2, 제3 구동 배선(43, 44, 45; 42)은 발광 소자(10)의 하부에서 제1, 제2 및 제3 발광부(P1, P2, P3)의 제2 전극(391, 392, 393)과 각각 접속될 수 있다. 따라서, 공통 배선(41)과 구동 배선(42)의 간섭을 효율적으로 방지할 수 있다.
- [372] 표시 장치는 컨트롤러(50)가 공통 배선(41)과 구동 배선(42)에 선택적으로 전원이 인가되도록 제1, 제2 드라이버(30, 20)에 제어 신호를 출력할 수 있다. 이에 따라, 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)를 개별적으로 제어할 수 있다. 예를 들어, 공통 배선(41)을 통해 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)에 전원을 공급하며, 제1, 제2, 제3 구동 배선(43, 44, 45; 42)을 제어하여 제1, 제2, 제3 발광부(P1, P2, P3)가 선택적으로 발광할 수 있다.
- [373] 발광 구조물(300) 상에 제1, 제2, 제3 구동 배선(43, 44, 45; 42)을 사이에 두고 발광 소자(10)의 제1, 제2 및 제3 발광부(P1, P2, P3)와 수직 방향으로 각각 중첩되도록 파장 변환층(322)과 청색, 녹색, 적색 컬러 필터(323a, 323b, 223c)가 배치될 수 있다. 파장 변환층(322)은 제1, 제2 및 제3 발광부(P1, P2, P3)에서 방출되는 청색 파장대의 광을 백색 파장대의 광으로 변환하기 위한 물질을 포함할 수 있다.
- [374] 상기와 같은 파장 변환층(322)은 제1 격벽(321)에 의해 제1, 제2 및 제3 발광부(P1, P2, P3)와 수직 방향으로 중첩되는 영역별로 분리될 수 있다. 제1 격벽(321)은 제1, 제2 및 제3 발광부(P1, P2, P3)에서 방출되는 광의 혼색을 방지할 수 있다. 제1 격벽(321)은 카본 블랙(carbon black), 그래파이트(Graphite)와 같이 광 흡수물질을 포함할 수도 있으나, 광을 반사하는 반사물질을 포함할 수도 있다. 제1 격벽(321)의 형성 방법은 특별히 제한되지 않는다. 예를 들어, 제1 격벽(321)은 포토리소그래피, 임프린팅, 롤투롤 프린팅, 및 잉크젯 프린팅 등을 이용하여 형성할 수 있다.
- [375]
- [376] 상기와 같이 파장 변환층(322)에 의해 변환된 백색 파장대의 광은 파장 변환층(322) 상에 제1, 제2 및 제3 발광부(P1, P2, P3) 별로 배치된 청색, 녹색, 적색 컬러 필터(323a, 323b, 323c)에 의해 청색(B), 녹색(G) 및 적색(R) 파장대의 광을 구현할 수 있다.
- [377] 한편, 도 34c와 같이, 발광 구조물(300) 상에 공통 배선(41)을 사이에 두고 제1, 제2 및 제3 발광부(P1, P2, P3) 중 제3 발광부(P3)와 수직 방향으로 중첩되는 영역에만 적색 파장 변환층(322R)과 적색 컬러 필터(323c)를 배치하여, 제3 발광부(P3)에서 발생한 청색(B) 파장대의 광을 적색(R) 파장대의 광으로 변환할

수 있다. 이에 따라, 제1, 제2 및 제3 발광부(P1, P2, P3)가 각각 청색(B), 녹색(G) 및 적색(R) 파장대의 광을 구현할 수 있다.

- [378] 한편, 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(310)은 분리되어 배치될 수 있다. 이 때, 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(310)의 분리는 발광 소자(10)의 제조 공정 시, 기판을 분리하여 노출된 제1 도전형 반도체층(310)을 더 제거하여 실시될 수 있다.
- [379] 도 35a 내지 도 35c는 제7 실시 예의 다른 구조에 따른 발광 소자의 단면도이다.
- [380] 도 35a 내지 도 35c와 같이, 제7 실시 예의 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(310)은 서로 분리되어 배치될 수 있다. 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(310)이 서로 분리되어 배치되더라도, 보호층(370)을 통해 발광 구조물(300)의 제1, 제2, 제3 발광부(P1, P2, P3)가 지지될 수 있다.
- [381] 도 35a와 같이, 발광 구조물(300)과 제1 전극(394)은 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(310)과 보호층(370) 사이에 상에 배치된 반사 전극(350)을 통해 전기적으로 연결될 수 있다. 또한, 도 35b와 같이, 반사 전극(350) 역시 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(310)와 같이 분리될 수 있다. 이 경우, 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(310)과 각각 접촉되는 반사 전극(350)이 제1 전극(394)과 전기적으로 연결될 수 있다.
- [382] 또한, 도 35c와 같이, 제1 전극(394)이 제1, 제2, 제3 발광부(P1, P2, P3)에 각각 접촉되도록 분리되어 배치될 수 있다. 이 경우, 제1 전극(394)은 발광 구조물(300)의 하부면에서 노출된 제1, 제2, 제3 발광부(P1, P2, P3)의 반사 전극(350)과 각각 접촉될 수 있다. 도 35c와 같이, 제1 전극(394)이 분리되어 배치되더라도, 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 전극(394)은 하나의 공통 배선(41)에 연결될 수 있다.
- [383] 따라서, 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(310)이 분리되어 배치되더라도, 제1 전극(394)과 전기적으로 연결되는 하나의 공통 배선(도 33a의 41)을 통해 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)에 전원을 인가할 수 있으며, 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)에 각각 연결된 구동 배선(도 33a의 42)을 통해 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)의 구동을 개별적으로 제어할 수 있다.
- [384] 도 36a 내지 도 36f는 제7 실시 예의 발광 소자의 제조 방법을 나타낸 공정 단면도이다.
- [385] 도 36a와 같이, 기판(1) 상에 제1 도전형 반도체층(310), 활성층(320) 및 제2 도전형 반도체층(330)을 포함하는 발광 구조물(300)을 형성하고, 발광 구조물(300)의 제1, 제2, 제3 발광부(P1, P2, P3)마다 제2 도전형 반도체층(330) 상에 반사 전극(361, 362, 363)을 형성할 수 있다.
- [386] 이 때, 발광 구조물(300)의 제1, 제2, 제3 발광부(P1, P2, P3)는 제1 도전형

반도체층(310), 활성층(320) 및 제2 도전형 반도체층(330)이 메사 식각된 구조일 수 있다. 메사 식각에 의해 제1 도전형 반도체층(310), 활성층(320), 제2 도전형 반도체층(330)의 일부가 식각될 수 있으며, 반사 전극(361, 362, 363)이 제1, 제2, 제3 발광부(P1, P2, P3)마다 분리되도록 배치될 수 있다.

- [387] 실시 예에서는 제1, 제2, 제3 발광부(P1, P2, P3)가 제1 도전형 반도체층(310)의 일부를 공유하며, 제1 도전형 반도체층(310) 상에 배치된 활성층(220), 제2 도전형 반도체층(330) 및 반사 전극(361, 362, 363)은 제1, 제2, 제3 발광부(P1, P2, P3) 별로 분리된 것을 도시하였다.
- [388] 이어, 도 36b와 같이, 제2 전극(361, 362, 363) 및 발광 구조물(300)을 덮도록 기판(1) 전면이 포토 레지스트층(410)과 지지층(430)을 포함하는 지지 패드(400)를 형성한 후 발광 구조물(300)로부터 기판(1)을 분리할 수 있다. 기판(1)을 분리하는 방법은 특별히 제한되지 않는다. 예를 들어, 기판(1)은 레이저 리프트 오프(Laser Lift Off; LLO) 기술을 이용하여 발광 구조물(300)로부터 분리할 수 있다.
- [389] 한편, 도시하지는 않았으나, 발광 구조물(300)로부터 기판(1)을 분리한 후, 기판(1)이 분리되어 노출된 제1 도전형 반도체층(310)을 더 제거하여, 도 35a 내지 도 35c와 같이, 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(310)을 서로 분리시킬 수 있다.
- [390] 또한, 도시하지는 않았으나, 도 36a와 같이, 제1 도전형 반도체층(310), 활성층(320) 및 제2 도전형 반도체층(330)을 메사 식각할 때, 제1, 제2, 제3 발광부(P1, P2, P3) 사이에서 기판(1)의 상부면이 노출되도록 제1 도전형 반도체층(310)을 제거하여 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(310)이 분리되어 배치될 수도 있다.
- [391] 그리고, 도 36c와 같이, 기판(1)이 분리되어 노출된 발광 구조물(300)의 제1 도전형 반도체층(310) 상에 반사 전극(350)을 형성할 수 있다. 도 36d와 같이, 반사 전극(350) 상에 보호층(370)을 형성하고, 보호층(370)을 선택적으로 제거하여, 제1, 제2, 제3 발광부(P1, P2, P3)와 수직 방향으로 중첩되는 영역의 반사 전극(350)을 노출시키는 관통홀(371)을 형성한다. 그리고, 도 36e와 같이, 보호층(370) 상에 관통홀(371)을 통해 노출된 반사 전극(350)과 전기적으로 접촉하는 제1 전극(394)을 형성할 수 있다.
- [392] 이어, 도 36f와 같이, 발광 구조물(300)로부터 지지 패드(400)를 제거할 수 있다. 예를 들어, 포토 레지스트층(410)은 스트리퍼 용액에 침지하여 제거할 수 있다. 스트리퍼 용액은 포토레지스트를 녹일 수 있는 다양한 유/무기 용매를 포함할 수 있다. 포토 레지스트층(410)을 제거하면 발광 구조물(300)로부터 지지층(430) 역시 제거될 수 있다. 이에 따라, 제1, 제2, 제3 발광부(P1, P2, P3)를 포함하는 칩 레벨의 발광 소자(10)를 형성할 수 있다. 한편, 반사 전극(350) 상에 바로 제1 전극(394)을 형성할 수도 있다.
- [393] 도 37a 및 도 37b는 제8 실시 예의 발광 소자의 단면도이다.

- [394] 도 37a와 같이, 제8 실시 예의 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(510)은 서로 분리되어 배치될 수 있으며, 제1, 제2, 제3 발광부(P1, P2, P3)의 제1 도전형 반도체층(510)에 각각 접촉된 제1 전극(591, 592, 593)이 서로 다른 구동 배선(45, 44, 43)에 접촉될 수 있다. 이 경우, 구동 배선(45, 44, 43)을 통해 발광 소자(10)의 제1, 제2, 제3 발광부(P1, P2, P3)의 구동을 개별적으로 제어할 수 있다.
- [395] 그리고, 제1, 제2, 제3 발광부(P1, P2, P3)에 전원을 공급하는 패널의 공통 배선(41)은 제2 전극(594)를 통해 제1, 제2, 제3 발광부(P1, P2, P3)에 공급되며, 제1, 제2, 제3 발광부(P1, P2, P3)의 제2 도전형 반도체층(530)과 접촉되는 제2 전극(594)은 서로 분리되어 배치될 수 있다.
- [396] 구체적으로, 제2 전극(594)은 발광 구조물(500)의 하부면에 배치되어 제1, 제2, 제3 발광부(P1, P2, P3)의 반사 전극(561, 562, 563)과 각각 접촉되도록 분리되어 배치될 수 있다. 이 경우, 제1, 제2, 제3 발광부(P1, P2, P3)의 반사 전극(561, 562, 563)에 각각 접촉된 서로 다른 제2 전극(594)은 하나의 공통 배선(41)에 연결될 수 있다. 한편, 도 37b와 같이, 제1, 제2, 제3 발광부(P1, P2, P3)의 반사 전극(561, 562, 563)은 하나의 제2 전극(594)과 접촉되어, 제1, 제2, 제3 발광부(P1, P2, P3)의 반사 전극(561, 562, 563)은 제2 전극(594)를 통해 전기적으로 연결될 수 있다.
- [397] 상술한 바와 같이, 실시 예의 발광 소자(10)는 개별적으로 구동되는 제1, 제2, 제3 발광부(P1, P2, P3)를 포함하여 이루어져, 칩 레벨의 발광 소자(10)가 표시 장치의 각 픽셀로 기능할 수 있다. 이 때, 제1, 제2, 제3 발광부(P1, P2, P3)가 픽셀의 각 서브 픽셀로 기능할 수 있다. 따라서, 고해상도의 표시 장치를 구현할 수 있다.
- [398] 상술한 발광 소자는 전광판이나 이동통신 단말기에 적용되어 화상을 구현하거나, 신호등, 차량 전조등 등에 적용될 수 있다.
- [399] 도 38는 실시 예의 발광 소자가 배치된 패널을 포함하는 이동통신 단말기의 도면이다.
- [400] 도 38와 같이, 이동통신 단말기(1)는 영상을 표시하는 화면(2) 및 화면(2)을 감싸는 케이스(3)를 포함할 수 있다. 화면(2)은 패널을 포함하며, 패널의 각 픽셀에는 상술한 발광 소자(10)가 배치될 수 있다. 또한, 상술한 발광 소자는 발광 소자 패키지로 구성되어 조명 시스템의 광원으로 사용될 수 있으며, 예를 들어 영상 표시 장치의 광원이나 조명 장치 등의 광원으로 사용될 수 있다.
- [401] 도 39는 본 발명의 일 실시 예에 따른 표시장치의 개념도이고, 도 40은 도 39의 픽셀을 구성하는 발광소자의 개념도이고, 도 41은 웨이퍼상에 성장된 발광구조물을 보여주는 도면이다.
- [402] 도 39를 참고하면, 표시장치는 복수 개의 공통배선(241)과 구동배선(242)이 교차하는 어레이 기관(200), 및 복수 개의 발광소자(10)를 포함하는 패널(40), 공통배선(241)에 구동신호를 인가하는 제1드라이버(20), 구동배선(242)에 구동신호를 인가하는 제2드라이버(30), 및 제1드라이버(20)와

- 제2드라이버(30)를 제어하는 컨트롤러(50)를 포함할 수 있다. 이러한 구성에 의하면 별도의 백라이트 유닛을 생략할 수 있다.
- [403] 어레이 기관(200)은 복수 개의 발광소자(10)가 실장되는 회로기관일 수 있다. 어레이 기관(200)은 단층 또는 다층의 리지드(rigid) 기관이거나 연성 기관일 수 있다. 어레이 기관(200)에는 공통배선(241)과 구동배선(242)이 형성될 수 있다.
- [404] 픽셀영역에는 발광소자(10)가 실장되어 RGB 픽셀 역할을 수행할 수 있다. 픽셀영역은 복수 개의 공통배선(241)과 구동배선(242)이 교차하는 영역으로 정의할 수 있다.
- [405] 공통배선(241)은 제1방향으로 배치된 복수 개의 발광소자(10)와 전기적으로 연결될 수 있다. 이하에서 제1방향은 X방향으로 정의하고, 제2방향은 Z방향으로 정의한다.
- [406] 공통배선(241)과 복수 개의 발광소자(10)의 전기적 연결 방법은 특별히 제한되지 않는다. 예시적으로, 관통전극을 이용하거나 기관의 리드전극을 이용하여 공통배선(241)과 발광소자(10)를 전기적으로 연결할 수 있다.
- [407] 구동배선(242)은 Z방향으로 배치된 복수 개의 발광소자(10)와 전기적으로 연결될 수 있다.
- [408] 구동배선(242)과 복수 개의 발광소자(10)의 전기적 연결 방법은 제한되지 않는다. 예시적으로, 관통전극을 이용하거나 기관의 리드전극을 이용하여 구동배선(242)과 발광소자(10)를 전기적으로 연결할 수도 있다.
- [409] 보호층(46)은 복수 개의 발광소자(10) 사이에 배치될 수 있다. 보호층(46)은 발광소자(10) 및 어레이 기관(200)의 회로 패턴을 보호할 수 있다.
- [410] 보호층(46)은 솔더 레지스트와 같은 재질로 형성되거나 절연 재질로 형성될 수 있다. 보호층(46)은 SiO_2 , Si_3N_4 , TiO_2 , Al_2O_3 , 및 MgO 중 적어도 하나를 포함할 수 있다.
- [411] 보호층(46)은 블랙 매트릭스 재질을 포함할 수도 있다. 보호층(46)이 블랙 매트릭스 재질인 경우, 예컨대 카본 블랙(carbon black), 그라파이트(Graphite) 또는 폴리 피롤(poly pyrrole)로 구현될 수 있다.
- [412] 컨트롤러(50)는 공통배선(241)과 3구동배선(242)에 선택적으로 전원이 인가되도록 제1, 2드라이버(20, 30)에 제어신호를 출력함으로써 복수 개의 발광소자(10)를 제어할 수 있다.
- [413] 표시장치는 대각선 크기가 100인치 이상의 대형 전광판이나 TV일 수 있다. 실시 예는 픽셀을 발광다이오드(LED)로 구현하므로 전력 소비가 낮아지며 낮은 유지 비용으로 긴 수명을 제공할 수 있다. 또한, 색순도(color purity) 및 색재현성(color reproduction)이 우수할 수 있다.
- [414] 도 40을 참고하면 발광소자(10)는 기관(S), 제1광을 방출하는 제1발광부(P1), 기관상에 배치되고 제2광을 방출하는 제2발광부(P2), 및 기관상에 배치되고 제3광을 방출하는 제3발광부(P3)를 포함한다.
- [415] 기관(S)은 X방향과 평행한 제1측면(S1)과 제2측면(S2), 및 Z방향과 평행한

- 제3측면(S3)과 제4측면(S4)을 포함할 수 있다. 기관(S)은 제1 내지 제3발광부를 지지하는 구성이면 특별히 제한되지 않는다.
- [416] 제1발광부(P1)는 청색 파장대의 광을 방출하고, 제2발광부(P2)는 녹색 파장대의 광을 방출할 수 있다. 제3발광부(P3)는 청색 파장대 또는 적색 파장대의 광을 방출할 수 있다.
- [417] 제3발광부(P3)의 활성층은 청색 파장대의 광을 방출할 수 있고, 별도의 파장변환층에 의해 적색 파장대의 광을 방출할 수 있다. 파장변환층은 발광소자(10) 내에 배치될 수도 있고, 발광소자의 외부에 별도로 형성될 수도 있다. 그러나 반드시 이에 한정되는 것은 아니고 제3발광부(P3)의 활성층이 적색 파장대의 광을 방출할 수도 있다.
- [418] 제2발광부(P2)는 Z방향으로 제1발광부(P1) 및/또는 제3발광부(P3)보다 길게 배치될 수 있다($W3 > W5 > W1$). X방향으로 제1 내지 제3발광부(P1, P2, P3)의 폭은 동일($W2 = W4 = W6$)할 수 있으나 반드시 이에 한정되는 것은 아니고 폭은 서로 상이할 수도 있다.
- [419] 제1 내지 제3발광부(P1, P2, P3)의 면적비는 1:3:3 또는 1:3:2일 수 있다. 즉, 제2발광부(P2)의 면적은 가장 클 수 있다. 여기서, 제1 내지 제3발광부(P1, P2, P3)의 면적비는 각 발광부의 활성층의 면적비일 수 있다.
- [420] 제1발광부(P1)와 제3발광부(P3)는 X방향으로 제2발광부(P2)와 이격 배치되고, 제1발광부(P1)와 제3발광부(P3)는 Z방향으로 이격 배치될 수 있다. 즉, 제1발광부(P1)와 제3발광부(P3)는 Z방향으로 동일 라인상에 배치되고 제2발광부(P2)는 이웃한 라인에 배치될 수 있다. 예시적으로 제2발광부(P2)가 좌측에 배치되고 제1발광부(P1)와 제3발광부(P3)가 우측에 배치되는 것으로 도시되었으나 반드시 이에 한정되는 것은 아니고 제2발광부(P2)가 우측에 배치되고 제1발광부(P1)와 제3발광부(P3)가 좌측에 배치될 수도 있다.
- [421] 도 41을 참고하면, 웨이퍼(W)상에 발광구조물을 성장시키는 경우, 일부 영역의 발광 구조물을 제거하고 다른 파장대를 갖는 발광 구조물을 재성장시키는 공정을 수행할 수 있다. 이러한 공정에 의하면 예시적으로 녹색 파장대를 발광하는 발광 구조물 라인(이하 녹색 라인)과 청색 파장대를 발광하는 발광 구조물 라인(이하 청색 라인)이 교대로 배치될 수 있다.
- [422] 웨이퍼 절단시 적어도 하나의 녹색 라인과 청색 라인을 포함하도록 절단하면 각 발광소자는 녹색 발광부와 청색 발광부를 가질 수 있다. 이때, 녹색 라인이 좌측에 오도록 절단하는지(A) 아니면 녹색 라인이 오른쪽에 오도록 절단하는지(B)에 따라 발광소자 내에서 발광부의 배치는 상이해질 수 있다.
- [423] 이후, 식각을 통해 청색 발광부를 2개로 분리하고 그 중 하나에 파장변환층을 형성하여 적색 발광부를 형성할 수 있다. 따라서, 실시 예에 따르면, 제1발광부와 제3발광부는 청색 라인상에 배치되고 제2발광부는 녹색 라인상에 배치될 수 있다.
- [424] 도 42는 복수 개의 발광소자가 배선과 전기적으로 연결된 상태를 보여주는

도면이고, 도 43은 도 42의 변형예이고, 도 44 내지 도 46은 다양한 형태의 픽셀 배치를 보여주는 도면이다.

- [425] 도 42를 참고하면, 복수 개의 발광소자(10)는 X방향 및 Z방향으로 복수 개 배치되어 픽셀로서 기능할 수 있다. 이때, 제1 내지 제3구동배선(243, 244, 245)은 발광소자(10)의 하부에 배치되어 전기적으로 연결될 수 있다. 그러나, 이에 한정되는 것은 아니고 제1 내지 제3구동배선(243, 244, 245)은 발광소자(10)의 상부에 배치될 수도 있다. 이하에서는 구동배선이 발광소자(10)의 하부에 배치된 것으로 설명한다.
- [426] 제1구동배선(243)은 제2발광부(P2)에 전기적으로 연결될 수 있다. 제2구동배선(244)은 제1발광부(P1)에 전기적으로 연결될 수 있다. 제3구동배선(245)은 제3발광부(P3)에 전기적으로 연결될 수 있다.
- [427] 발광소자(10)는 제1발광부(P1)와 제2구동배선(244)을 연결하는 제1-1전극패드(244a), 제2발광부(P2)와 제1구동배선(243)을 연결하는 제1-2전극패드(243a), 제3발광부(P3)와 제3구동배선(245)을 연결하는 제1-3전극패드(245a)를 포함할 수 있다. 제1-1 내지 제1-3전극패드(244a, 243a, 245a)는 관통전극 등에 의해 각 발광부와 전기적으로 연결될 수 있다.
- [428] 실시 예에 따르면, 제1발광부(P1)와 제3발광부(P3)가 Z방향으로 배치되어도 제1 내지 제3구동배선(243, 244, 245)을 Z방향으로 평행하게 형성할 수 있어 회로 패턴이 단순해진다. 따라서, 드라이버 IC의 구동 시퀀스(Sequence)도 단순화될 수 있다.
- [429] 실시 예에 따르면, 복수 개의 발광소자(10)는 제1 내지 제3발광부(P1, P2, P3)의 배치가 모두 동일할 수 있다. 이러한 구성에 의하면 선형(직선)이미지의 가독성이 우수할 수 있다. 그러나, 반드시 이에 한정되는 것은 아니고 제1 내지 제3발광부(P1, P2, P3)의 배치는 각 발광소자(10)마다 상이할 수 있다.
- [430] 도 43을 참고하면, 복수 개의 발광소자(10)는 도면을 기준으로 제2발광부(P2)가 좌측에 배치되는 제1발광소자(A) 및 제2발광부(P2)가 우측에 배치되는 제2발광소자(B)로 구분될 수 있다. 이는 도 41에서 설명한 바와 같이 웨이퍼 상에서 절단되는 위치에 의해 결정될 수 있다.
- [431] 이때, X방향으로는 제1발광소자(A) 또는 제2발광소자(B)가 연속 배치되고, Z방향으로는 제1발광소자(A)와 제2발광소자(B)가 교대로 배치될 수 있다. 일반적으로 픽셀이 구현하는 디스플레이의 이미지는 직선에 비해 사선 및 곡선의 비중이 높다. 이러한 교차 배열에 의하면 곡선 이미지의 가독성을 향상시킬 수 있다.
- [432] 이때, 제2발광소자(B)는 하면에 제1발광부(P1)와 제2구동배선(244)을 연결하는 제2-1전극패드(244b), 제2발광부(P2)와 제1구동배선(243)을 연결하는 제2-2전극패드(243b), 제3발광부(P3)와 제3구동배선(245)을 연결하는 제2-3전극패드(245b)를 포함할 수 있다. 제2-1 내지 제2-3전극패드(244b, 243b, 245b)는 관통전극 등에 의해 각 발광부와 전기적으로 연결될 수 있다.

- 제1발광소자(A)의 전극패드는 도 42에서 설명한 구조와 동일하다.
- [433] 실시 예에 따르면, 제1발광소자(A)와 제2발광소자(B)의 발광부 위치가 달라져도 제1 내지 제3구동배선(243, 244, 245)을 Z방향으로 평행하게 형성할 수 있어 회로 패턴이 단순해진다. 따라서, 드라이버 IC의 구동 시퀀스(Sequence)도 단순화될 수 있다.
- [434] 이러한 교차배열은 다양한 형태로 변형될 수 있다. 도 44와 같은 Z방향으로 제1발광소자(A)와 제2발광소자(B)가 교차 배열되는 것 이외에도, 도 45와 같이 X방향으로 제1발광소자(A)와 제2발광소자(B)의 교차 배열될 수도 있다. 또는 도 46과 같이 X방향과 Z방향으로 모두 교차 배열될 수도 있다.
- [435] 도 47은 본 발명의 일 실시 예에 따른 발광소자의 개념도이고, 도 48은 도 47의 변형예이다.
- [436] 도 47을 참고하면, 실시 예에 따른 발광소자는 제1도전형 반도체층(110)과, 제1도전형 반도체층(110)상에서 이격 배치된 복수 개의 활성층(121, 122, 123), 및 복수 개의 활성층(121, 122, 123)상에 각각 배치되는 복수 개의 제2도전형 반도체층(131, 132, 133)을 포함한다. 도 47은 도 40을 I-I 방향에서 본 단면일 수 있다.
- [437] 복수 개의 활성층(121, 122, 123)은 제1방향으로 이격 배치된 제1활성층(121), 제2활성층(122), 및 제3활성층(123)을 포함할 수 있다. 제2활성층(122)은 제1활성층(121) 및 제3활성층(123)과 다른 파장대의 광을 방출할 수 있다.
- [438] 칩의 반사구조에 따라 복수 개의 활성층(121, 122, 123)에서 출사된 광은 도면을 기준으로 상부 또는 하부로 출사될 수 있다.
- [439] 예시적으로, 제1활성층(121)은 청색 파장대의 광을 발광할 수 있으며, 제2활성층(122)은 녹색 파장대의 광을 발광할 수 있다.
- [440] 제3활성층(123)은 청색 파장대의 광을 발광할 수 있다. 제3활성층(123)에서 발광한 청색 파장대의 광은 파장변환층에 의해 적색 파장대의 광으로 변환될 수 있다. 그러나, 반드시 이에 한정되는 것은 아니고 제3활성층(123)은 적색 파장대의 광을 발광할 수도 있다.
- [441] 제1 내지 제3발광부(P1, P2, P3)는 각각 독립적으로 활성층(121, 122, 123), 및 제2도전형 반도체층(131, 132, 133)을 포함하고, 제1도전형 반도체층(110)을 공유할 수 있다. 이러한 구성에 의하면 상대적으로 두꺼운 제1도전형 반도체층(110)에 의해 발광구조물에 크랙이 발생하는 것을 방지할 수 있다. 또한, 전류 분산 효과도 가질 수 있다. 그러나, 반드시 이에 한정되는 것은 아니고 도 48과 같이 각 발광부(P1, P2, P3)의 제1도전형 반도체층(111, 112, 113)은 식각에 의해 구획될 수도 있다.
- [442] 다시 도 47을 참고하면, 제1도전형 반도체층(110)에는 공통전원이 인가되고, 복수 개의 제2도전형 반도체층(131, 132, 133)에는 구동전원이 선택적으로 인가될 수 있다. 실시 예에 따르면 구동전압이 인가되는 활성층만 개별적으로 발광 가능하다.

- [443] 예시적으로, 제1도전형 반도체층(110)에 전원이 입력된 상태에서 제1발광부(P1)의 제2도전형 반도체층(131)에만 전원이 입력되면 제1발광부(P1)는 청색광을 발광할 수 있다. 동일하게 제1발광부(P1)와 제2발광부(P2)의 제2도전형 반도체층(131, 132)에 전원이 입력되면 청색광과 녹색광이 동시에 발광할 수 있다.
- [444] 따라서 발광소자(10)는 표시장치의 픽셀을 구성할 수 있으며, 제1 내지 제3발광부(P1, P2, P3)는 RGB 서브 픽셀로 기능할 수 있다.
- [445] 실시 예에 따른 발광소자를 이용하여 픽셀을 구현하는 경우 각각의 RGB 픽셀을 구성하기 위해 3개의 발광소자를 패키징하는 공정을 생략할 수 있다. 또한, RGB 패키지에 비해 소형인 발광소자 칩을 픽셀로 사용하므로 해상도가 높은 패널을 제작할 수 있다.
- [446] 제2활성층(122)의 높이(d2)는 제1활성층(121) 및 제3활성층(123)의 높이(d1, d3)보다 낮을 수 있다. 제2발광부(P2)는 발광구조물을 식각한 후 재성장시켜 제작할 수 있다. 재성장시 발광구조물이 손상될 수 있으므로 재성장 시간을 최소화하는 것이 바람직하다.
- [447] 재성장된 제1도전형 반도체층의 두께를 최소화하면 재성장 시간을 줄일 수 있다. 이 과정에서 제2활성층(122)의 높이(d2)는 상대적으로 낮아질 수 있다.
- [448] 도 49a 내지 도 49g는 본 발명의 일 실시 예에 따른 발광소자의 제조방법을 설명하기 위한 도면이다.
- [449] 도 49a를 참고하면 기판(1) 상에 제1도전형 반도체층(110), 활성층(120), 및 제2도전형 반도체층(130)을 순차적으로 형성하여 발광구조물을 형성할 수 있다.
- [450] 기판(1)은 사파이어(Al_2O_3), SiC, GaAs, GaN, ZnO, Si, GaP, InP 및 Ge 중 선택된 물질로 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [451] 제1도전형 반도체층(110)과 기판(1) 사이에는 버퍼층(미도시)이 더 구비될 수 있다. 버퍼층은 기판(1) 상에 구비된 발광구조물과 기판(1)의 격자 부정합을 완화할 수 있다.
- [452] 버퍼층은 III족과 V족 원소가 결합된 형태이거나 GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN 중에서 어느 하나를 포함할 수 있다. 버퍼층에는 도펀트가 도핑될 수도 있으나, 이에 한정하지 않는다.
- [453] 제1도전형 반도체층(110), 활성층(120), 및 제2도전형 반도체층(130)은 유기금속 화학 증착법(Metal Organic Chemical Vapor Deposition; MOCVD), 화학 증착법(Chemical Vapor Deposition; CVD), 플라즈마 화학 증착법(Plasma-Enhanced Chemical Vapor Deposition; PECVD), 분자선 성장법(Molecular Beam Epitaxy; MBE), 수소화물 기상 성장법(Hydride Vapor Phase Epitaxy; HVPE), 스퍼터링(Sputtering) 등의 방법을 이용하여 형성할 수 있다.
- [454] 이후, 발광구조물의 상면에 마스크(2)를 형성하여 제1영역(3)을 노출시킨다. 마스크(2)의 재질은 한정하지 않는다.

- [455] 도 49b를 참고하면, 제1도전형 반도체층(110)의 일부까지 제거되도록 식각할 수 있다. 제1도전형 반도체층(110)의 식각 깊이(3a)는 약 100nm 내지 400nm일 수 있다.
- [456] 이때, 제1영역(3)의 측면에 2차 마스크(2a)를 형성하여, 후속 공정에 의한 발광구조물의 손상을 방지할 수 있다.
- [457] 도 49c를 참고하면 재성장하는 단계는, 제2발광부(P2)의 제1도전형 반도체층(111a)을 재성장시킨다. 재성장한 제1도전형 반도체층(111a)은 식각되기 이전의 제1도전형 반도체층(110)과 물리적인 계면이 생성될 수도 있으나, 반드시 이에 한정되는 것은 아니고 재성장에 의해 계면이 소멸할 수도 있다.
- [458] 재성장한 제1도전형 반도체층(111a)의 두께는 식각된 제1도전형 반도체층의 두께보다 작을 수 있다. 일반적으로 n-GaN의 성장 온도는 상대적으로 높으므로 식각되지 않는 발광구조물을 손상시킬 수 있다. 특히, 녹색 발광구조물을 제작하는 공정은 상대적으로 온도가 높다. 따라서, 재성장한 제1도전형 반도체층(111a)의 두께는 최소로 제작하는 것이 바람직하다. 발광구조물의 손상을 최소화하기 위해 청색 발광구조물의 성장 온도는 높이고, 녹색 발광구조물의 성장 온도는 낮추는 것이 바람직할 수 있다.
- [459] 제2활성층(122)은 녹색광을 방출할 수 있다. 즉, 제2활성층(122)의 조성은 식각되지 않는 활성층의 조성 과 상이할 수 있다. 제2활성층(122)상에는 제2도전형 반도체층(132)을 형성할 수 있다.
- [460] 도 49d를 참고하면 제2발광부(P2)의 제1도전형 반도체층의 두께(d2)는 식각된 층의 두께에 비해 100nm 내지 200nm 작을 수 있다. 그 결과, 제2활성층의 높이(d2)는 식각되지 않는 제1발광부의 활성층 높이(d1)보다 낮게 형성될 수 있다. 이때, 제3발광부(P3)를 식각하여 적색광을 방출하는 활성층(123)을 다시 성장시킬 수도 있다.
- [461] 이후, 마스크를 제거하여 제조 공정을 완료할 수 있다. 필요에 따라 제작된 제1 내지 제3발광부(P1, P2, P3)의 측면을 다시 식각하여 측면 결함(edge defect)을 제거할 수도 있다.
- [462] 도 49e를 참고하면, 제1 내지 제3발광부(P1, P2, P3)상에 복수 개의 제2전극(161, 162, 163)을 형성할 수 있다. 제2전극(161, 162, 163)은 발광구조물상에 미리 형성된 후 동시에 메사 식각될 수 있다.
- [463] 이때, 제1도전형 반도체층(110)의 측면을 아이솔레이션 식각(3e)할 수 있다. 아이솔레이션 식각(3e)은 버퍼층 두께까지 식각할 수 있다.
- [464] 도 49f를 참고하면 발광구조물 상에 포토레지스트층(610), 접착층(620) 및 지지층(630)을 포함하는 지지패드(600)를 형성하여 고정한 후 기판(1)을 제거할 수 있다. 접착층(620)은 포토레지스트층(610)과 지지층(630)을 고정할 수 있다. 이때, 기판(1)을 제거하는 방법은 특별히 제한되지 않는다. 기판(1)은 LLO(Laser Lift Off) 기술을 이용하여 제거할 수 있다.

- [465] 이후, 노출된 제1도전형 반도체층(110)상에 제1전극(150)을 형성한다. 이때, 상대적으로 도전성이 낮은 버퍼층까지 제거한 후 제1전극(150)을 형성하는 것이 바람직하다. 전술한 아이솔레이션 식각을 미리 한 경우 버퍼층을 제거하면 복수 개의 칩으로 분리할 수 있다.
- [466] 제1전극(150)을 형성하는 방법은 스퍼터링, 코팅, 증착 등과 같이 통상적으로 사용되는 전극 형성 방법이 모두 적용될 수 있다. 제1전극(150) 형성시 반사층과 오믹층을 더 형성할 수 있다.
- [467] 도 49g를 참고하면, 제1전극(150)에 점착성 테이프(240)를 부착한 후 포토레지스트층을 제거하여 지지패드를 박리할 수 있다. 포토레지스트층은 스트리퍼 용액에 침지하여 제거할 수 있다. 스트리퍼 용액은 포토레지스트를 녹일 수 있는 다양한 유/무기 용매를 포함할 수 있다. 점착성 테이프(240)는 이후 제거할 수 있다.
- [468] 도 50은 본 발명의 다른 실시 예에 따른 발광소자를 보여주는 평면도이고, 도 51은 본 발명의 다른 실시 예에 따른 발광소자를 보여주는 단면도이다.
- [469] 도 50 및 도 51을 참고하면, 실시 예에 따른 발광소자는 플립칩 타입일 수 있다. 발광소자는 제1 내지 제3발광부(P1, P2, P3), 제1 내지 제3발광부(P1, P2, P3)를 덮는 보호층(170), 보호층(170)을 관통하여 제1도전형 반도체층(110)과 전기적으로 연결되는 제1전극(194), 및 보호층(170)을 관통하여 복수 개의 제2도전형 반도체층(131, 132, 133)과 전기적으로 연결되는 복수 개의 제2전극(191, 192, 193)을 포함한다.
- [470] 보호층(170)은 발광부의 측면 및 하부를 지지하는 기관일 수 있다. 보호층(170)은 PC, PMMA 등의 레진으로 제작할 수 있다. 이때 보호층(170)은 SiO₂, Si₃N₄, TiO₂, Al₂O₃, 및 MgO 중 적어도 하나를 포함할 수 있다.
- [471] 보호층(170)은 광반사층 및/또는 광흡수층의 역할을 수행할 수 있다. 보호층(170)은 광반사층의 역할을 수행하기 위해 광반사 입자를 포함할 수 있으며, 광흡수층의 역할을 수행하기 위해 카본 블랙(carbon black), 그라파이트(Graphite) 등을 포함할 수 있다. 그러나, 반드시 이에 한정하는 것은 아니고 별도의 광반사층을 더 구비할 수도 있다.
- [472] 제1전극(194)은 보호층(170)을 관통하여 제1도전형 반도체층(110)과 전기적으로 연결될 수 있다. 이때, 제1도전형 반도체층(110)과 제1전극(194) 사이에는 오믹전극(164)이 배치될 수 있다.
- [473] 복수 개의 제2전극(191, 192, 193)은 보호층(170)을 관통하여 복수 개의 오믹전극(161, 162, 163)과 전기적으로 연결될 수 있다.
- [474]
- [475] 실시 예에 따른 발광소자는 전광판이나 이동통신 단말기에 적용되어 화상을 구현하거나, 신호등, 차량 전조등 등에 적용될 수 있다.
- [476] 영상 표시 장치의 백라이트 유닛으로 사용될 때 에지 타입의 백라이트 유닛으로 사용되거나 직하 타입의 백라이트 유닛으로 사용될 수 있고, 조명

장치의 광원으로 사용될 때 등기구나 벌브 타입으로 사용될 수도 있으며, 또한 이동 단말기의 광원으로 사용될 수도 있다.

- [477] 발광 소자는 상술한 발광 다이오드 외에 레이저 다이오드가 있다.
- [478] 레이저 다이오드는, 발광 소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있다. 그리고, p-형의 제1 도전형 반도체와 n-형의 제2 도전형 반도체를 접합시킨 뒤 전류를 흘려주었을 때 빛이 방출되는 electro-luminescence(전계발광) 현상을 이용하나, 방출되는 광의 방향성과 위상에서 차이점이 있다. 즉, 레이저 다이오드는 여기 방출(stimulated emission)이라는 현상과 보강간섭 현상 등을 이용하여 하나의 특정한 파장(단색광, monochromatic beam)을 가지는 빛이 동일한 위상을 가지고 동일한 방향으로 방출될 수 있으며, 이러한 특성으로 인하여 광통신이나 의료용 장비 및 반도체 공정 장비 등에 사용될 수 있다.
- [479] 수광 소자로는 빛을 검출하여 그 강도를 전기 신호로 변환하는 일종의 트랜스듀서인 광 검출기(photodetector)를 예로 들 수 있다. 이러한 광 검출기로서, 광전지(실리콘, 셀렌), 광도전 소자(황화 카드뮴, 셀렌화 카드뮴), 포토 다이오드(예를 들어, visible blind spectral region이나 true blind spectral region에서 피크 파장을 갖는 PD), 포토 트랜지스터, 광전자 증배관, 광전관(진공, 가스 봉입), IR(Infra-Red) 검출기 등이 있으나, 실시 예는 이에 국한되지 않는다.
- [480] 또한, 광검출기와 같은 반도체 소자는 일반적으로 광변환 효율이 우수한 직접 천이 반도체(direct bandgap semiconductor)를 이용하여 제작될 수 있다. 또는, 광검출기는 구조가 다양하여 가장 일반적인 구조로는 p-n 접합을 이용하는 pin형 광검출기와, 쇼트키접합(Schottky junction)을 이용하는 쇼트키형 광검출기와, MSM(Metal Semiconductor Metal)형 광검출기 등이 있다.
- [481] 포토 다이오드(Photodiode)는 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있고, pn접합 또는 pin 구조로 이루어진다. 포토 다이오드는 역바이어스 혹은 제로바이어스를 가하여 동작하게 되며, 광이 포토 다이오드에 입사되면 전자와 정공이 생성되어 전류가 흐른다. 이때 전류의 크기는 포토 다이오드에 입사되는 광의 강도에 거의 비례할 수 있다.
- [482] 광전지 또는 태양 전지(solar cell)는 포토 다이오드의 일종으로, 광을 전류로 변환할 수 있다. 태양 전지는, 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있다.
- [483] 또한, p-n 접합을 이용한 일반적인 다이오드의 정류 특성을 통하여 전자 회로의 정류기로 이용될 수도 있으며, 초고주파 회로에 적용되어 발진 회로 등에 적용될 수 있다.
- [484] 또한, 상술한 반도체 소자는 반드시 반도체로만 구현되지 않으며 경우에 따라 금속 물질을 더 포함할 수도 있다. 예를 들어, 수광 소자와 같은 반도체 소자는 Ag, Al, Au, In, Ga, N, Zn, Se, P, 또는 As 중 적어도 하나를 이용하여 구현될 수

있으며, p형이나 n형 도펀트에 의해 도핑된 반도체 물질이나 진성 반도체 물질을 이용하여 구현될 수도 있다.

- [485] 이상에서 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시 예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

청구범위

- [청구항 1] 제1 도전형 반도체층, 상기 제1 도전형 반도체층상에서 이격 배치된 복수 개의 활성층, 및 상기 복수 개의 활성층상에 각각 배치되는 복수 개의 제2 도전형 반도체층을 포함하는 발광구조물;
 상기 제1 도전형 반도체층에 전기적으로 연결된 제1전극; 및
 상기 복수 개의 제2 도전형 반도체층에 각각 전기적으로 연결된 복수 개의 제2전극을 포함하고,
 상기 복수 개의 활성층은 제1활성층, 제2활성층, 및 제3활성층을 포함하고,
 상기 발광구조물은 상기 제1활성층을 포함하는 제1발광부, 상기 제2활성층을 포함하는 제2발광부, 및 상기 제3활성층을 포함하는 제3발광부를 포함하고,
 상기 제1활성층은 청색 파장대의 광을 방출하고, 상기 제2활성층은 녹색 파장대의 광을 방출하고,
 상기 제2활성층의 높이는 상기 제1활성층의 높이와 상이한 반도체 소자.
- [청구항 2] 제1항에 있어서,
 상기 제3활성층의 높이는 상기 제1, 제2활성층의 높이와 상이하고,
 상기 제3활성층은 적색 파장대의 광을 방출하는 반도체 소자.
- [청구항 3] 제2항에 있어서,
 상기 제1, 제2 및 제3 발광부의 상기 제1 도전형 반도체층은 서로 분리 배치되고,
 상기 분리된 상기 제1 도전형 반도체층은 연결 전극에 의해 서로 전기적으로 연결되는 반도체 소자.
- [청구항 4] 제1항에 있어서,
 상기 제1 도전형 반도체층은 베이스부, 상기 베이스부상에 배치되는 복수 개의 불록부 및 오목부를 포함하고,
 상기 복수 개의 활성층은 상기 복수 개의 불록부 상에 배치되고,
 상기 베이스부는 상기 활성층에 가까워질수록 단면적이 넓어지거나 작아지는 반도체 소자.
- [청구항 5] 제4항에 있어서,
 상기 오목부의 두께는 상기 발광구조물의 최대 두께의 10% 내지 60%인 반도체 소자.
- [청구항 6] 제1항에 있어서,
 상기 발광구조물 상에 배치되고 상기 제1 도전형 반도체층의 일면을 노출시키는 보호층; 및
 상기 제1 도전형 반도체층의 일면에 배치되는 파장 변환층 및 컬러 필터를 포함하고,

상기 제1전극은 상기 보호층을 관통하여 상기 제1 도전형 반도체층과 전기적으로 연결되고,

상기 복수 개의 제2전극은 상기 보호층을 관통하여 상기 제2 도전형 반도체층과 전기적으로 연결되고,

상기 제1전극과 상기 제2전극은 상기 제1, 제2 및 제3 활성층을 기준으로 상기 제2 도전형 반도체층이 배치된 방향에 배치된 반도체 소자.

[청구항 7]

제1항에 있어서,

상기 발광 구조물 상에 배치되고 상기 제1 도전형 반도체층의 일면을 노출시키는 보호층; 및

상기 제1전극상에 배치되는 과장 변환층 및 컬러 필터를 포함하고,

상기 제1전극은 상기 제1 도전형 반도체층의 일면에 배치되고,

상기 복수 개의 제2전극은 상기 보호층을 관통하여 상기 제2 도전형 반도체층과 전기적으로 연결되는 반도체 소자.

[청구항 8]

제1항에 있어서,

상기 제1발광부와 상기 제3발광부는 제1방향으로 상기 제2발광부와 이격 배치되고,

상기 제1발광부와 상기 제3발광부는 상기 제1방향과 수직한 제2방향으로 이격 배치되고,

상기 제2발광부는 제2방향으로 상기 제1발광부 또는 상기 제3발광부보다 길고,

상기 제1발광부는 청색 과장대의 광을 방출하고, 상기 제2발광부는 녹색 과장대의 광을 방출하고, 상기 제3발광부는 청색 또는 적색 과장대의 광을 방출하는 반도체 소자.

[청구항 9]

복수 개의 공통배선 및 복수 개의 구동배선을 포함하는 패널; 및

상기 공통배선과 구동배선이 교차하는 영역에 배치되는 복수 개의 반도체 소자를 포함하고,

상기 반도체 소자는,

제1 도전형 반도체층, 상기 제1 도전형 반도체층상에서 이격 배치된 복수 개의 활성층, 및 상기 복수 개의 활성층상에 각각 배치되는 복수 개의 제2 도전형 반도체층을 포함하는 발광구조물;

상기 제1 도전형 반도체층에 전기적으로 연결된 제1전극; 및

상기 복수 개의 제2 도전형 반도체층에 각각 전기적으로 연결된 복수 개의 제2전극을 포함하고,

상기 복수 개의 활성층은 제1활성층, 제2활성층, 및 제3활성층을 포함하고,

상기 발광구조물은 상기 제1활성층을 포함하는 제1발광부, 상기 제2활성층을 포함하는 제2발광부, 및 상기 제3활성층을 포함하는 제3발광부를 포함하고,

상기 제1활성층은 청색 파장대의 광을 방출하고, 상기 제2활성층은 녹색 파장대의 광을 방출하고,

상기 제2활성층의 높이는 상기 제1활성층의 높이와 상이하고,

상기 제1, 제2 및 제3 발광부는 각각 청색, 녹색 및 적색 파장대의 광을 방출하는 제1, 제2 및 제3 서브 픽셀인 표시장치.

[청구항 10]

제9항에 있어서,

상기 제1발광부와 상기 제3발광부는 제1방향으로 상기 제2발광부와 이격 배치되고,

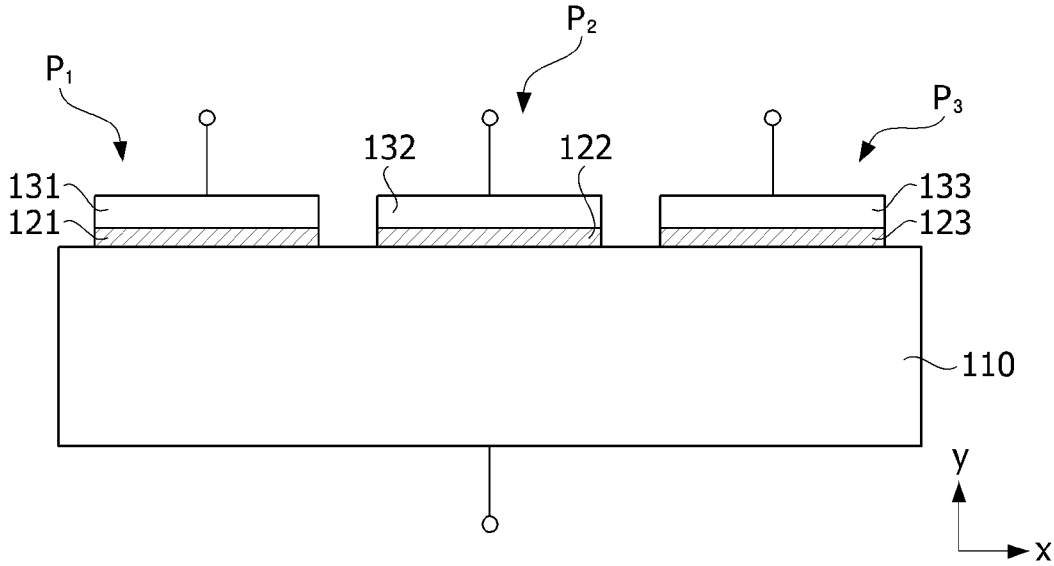
상기 제1발광부와 상기 제3발광부는 상기 제1방향과 수직한 제2방향으로 이격 배치되고,

상기 제2발광부는 제2방향으로 상기 제1발광부 또는 상기 제3발광부보다 길고,

상기 제1발광부는 청색 파장대의 광을 방출하고, 상기 제2발광부는 녹색 파장대의 광을 방출하고, 상기 제3발광부는 청색 또는 적색 파장대의 광을 방출하는 표시장치.

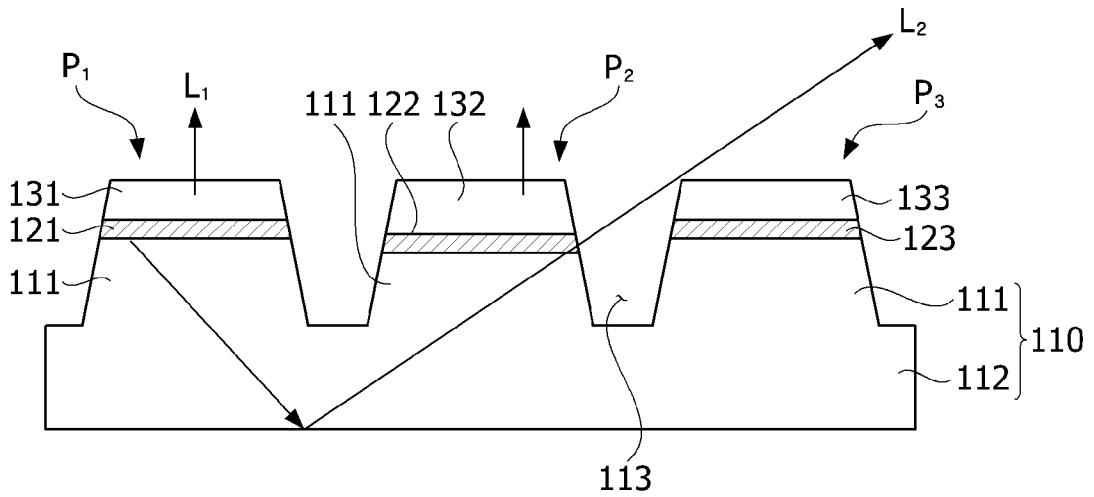
[도1]

100



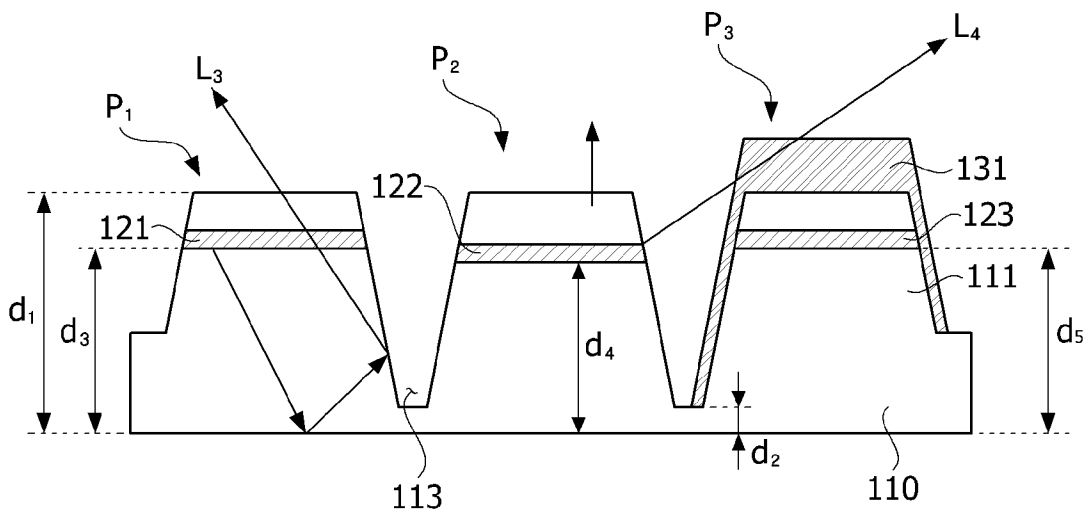
[도2]

100



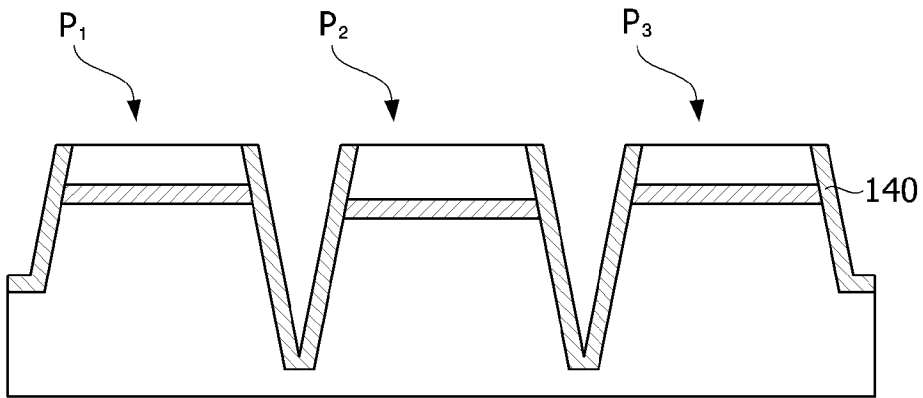
[도3]

100

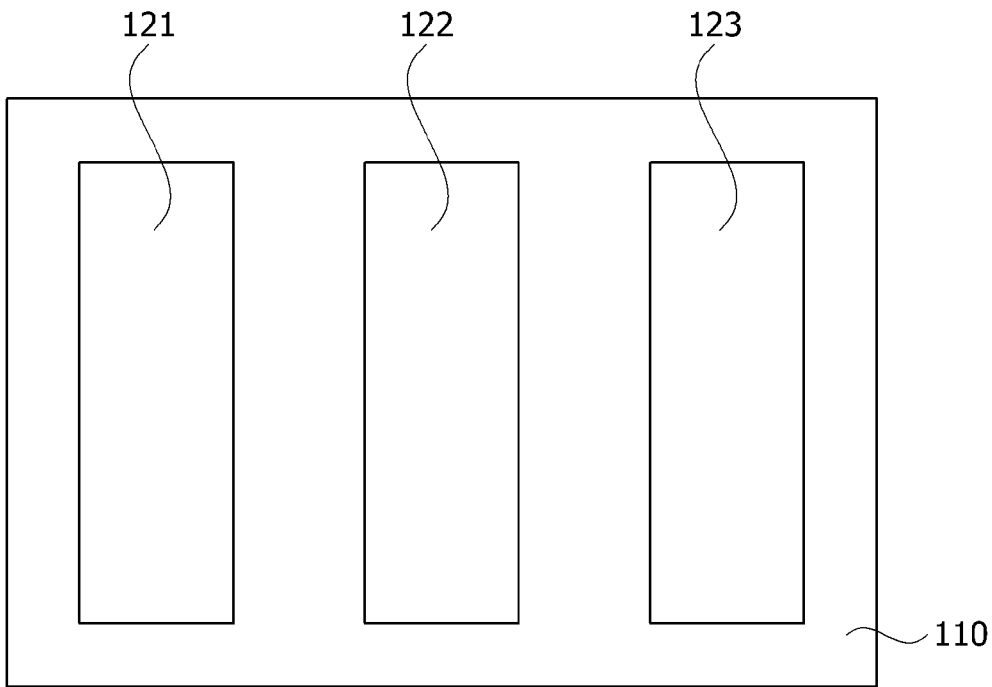


[도4]

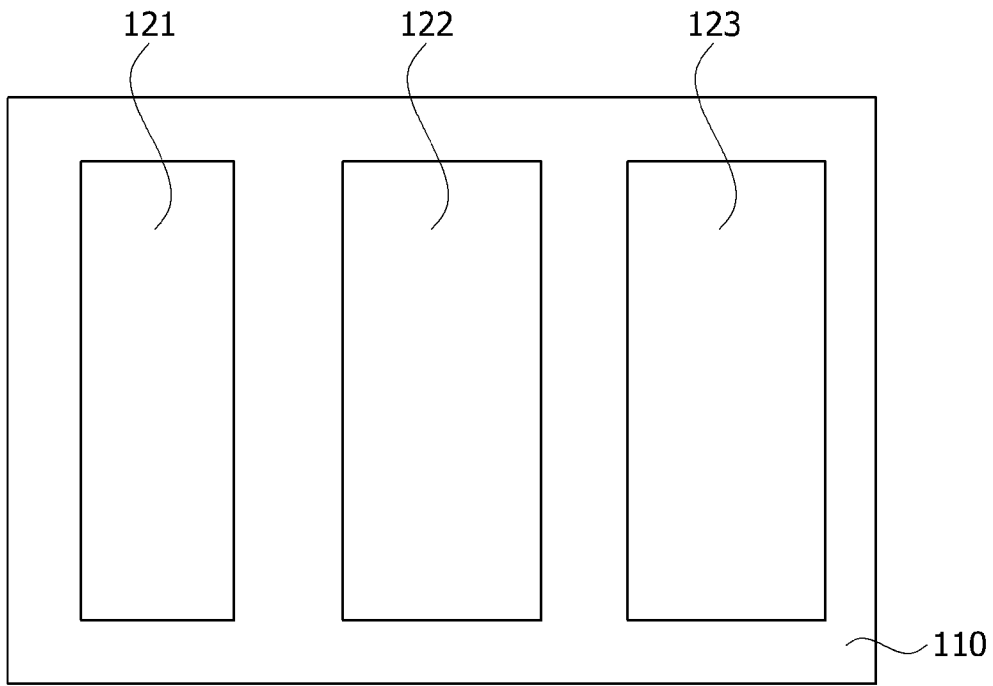
100



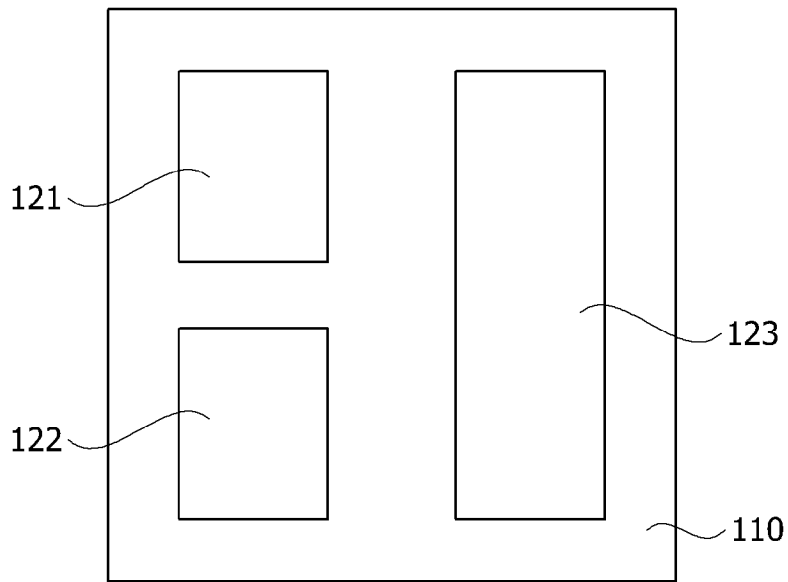
[도5]



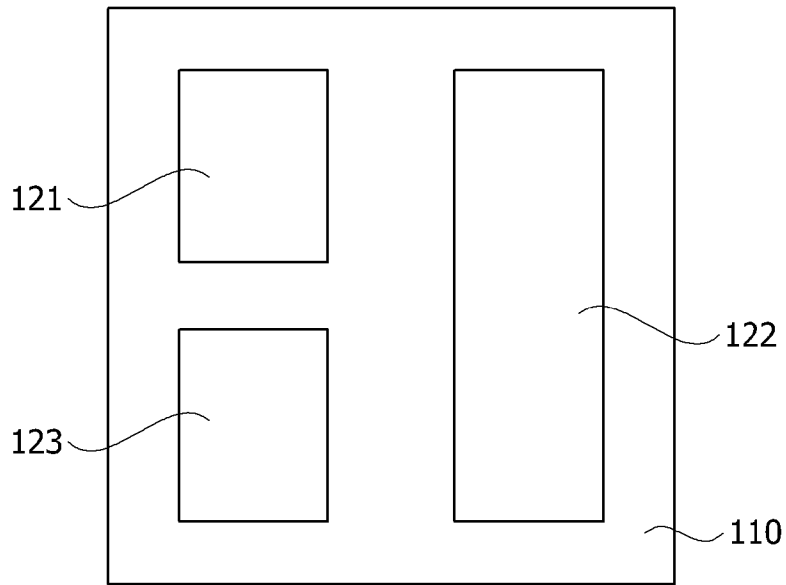
[도6a]



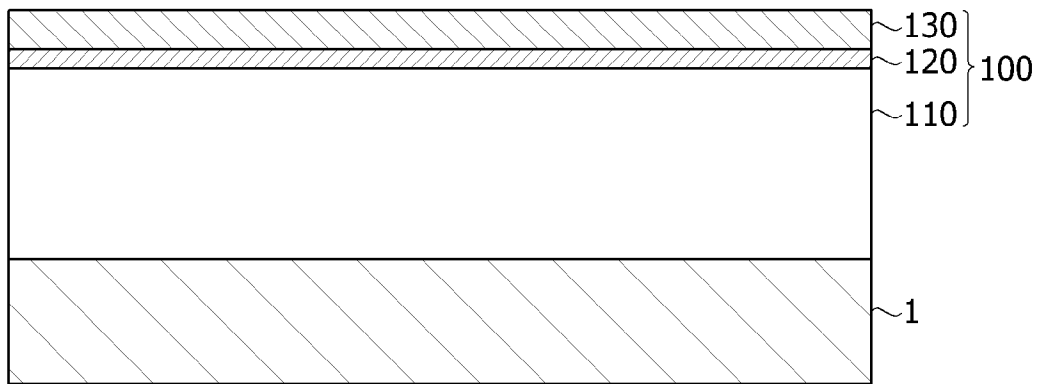
[도6b]



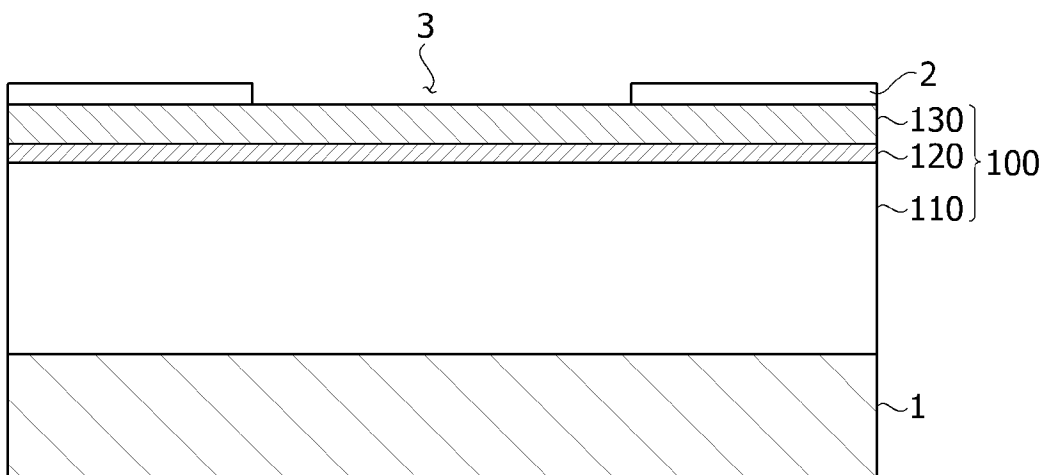
[도6c]



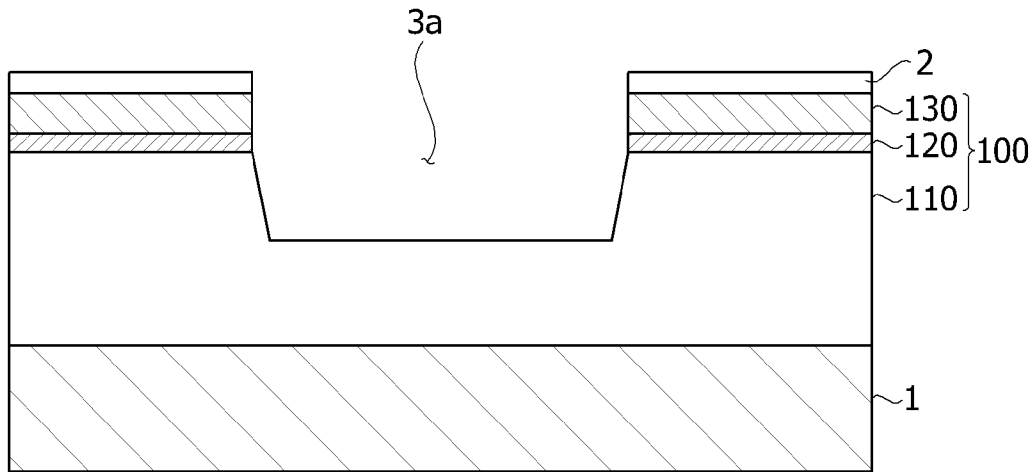
[도7a]



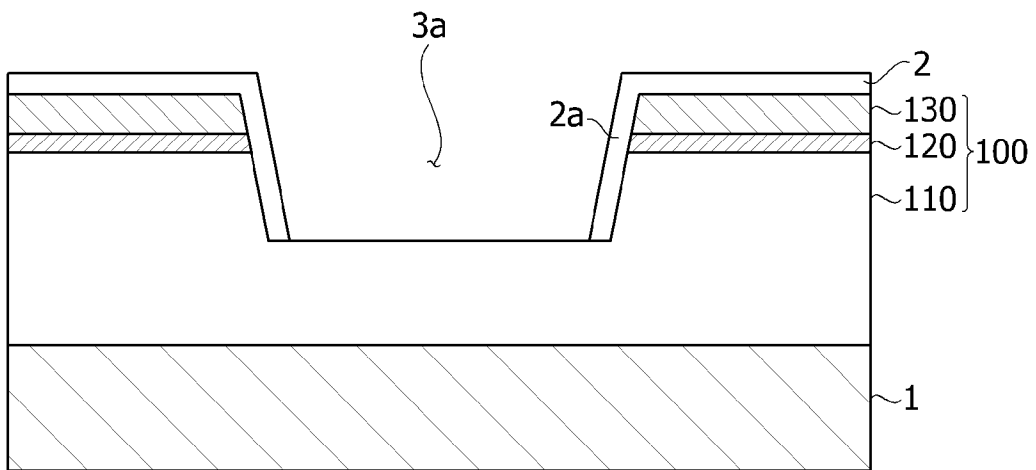
[도7b]



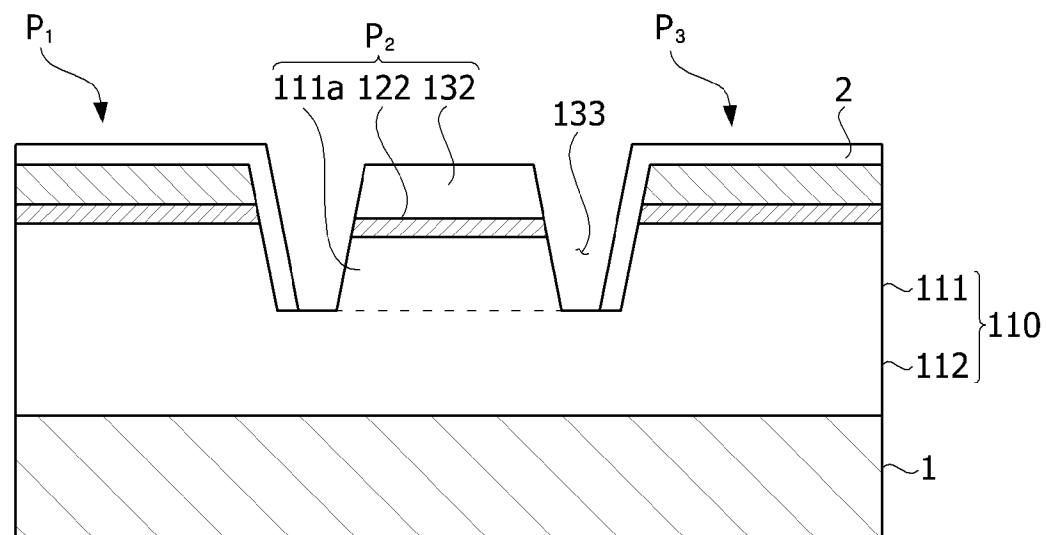
[도7c]



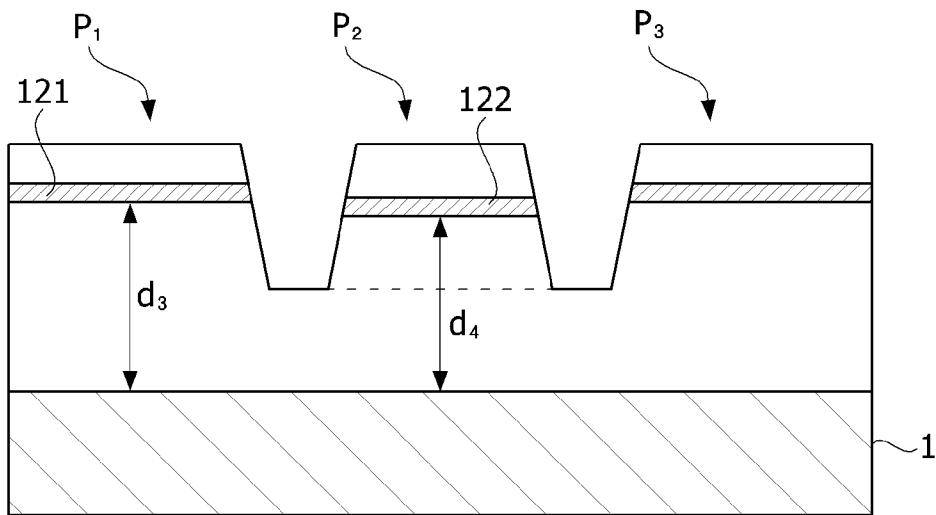
[도7d]



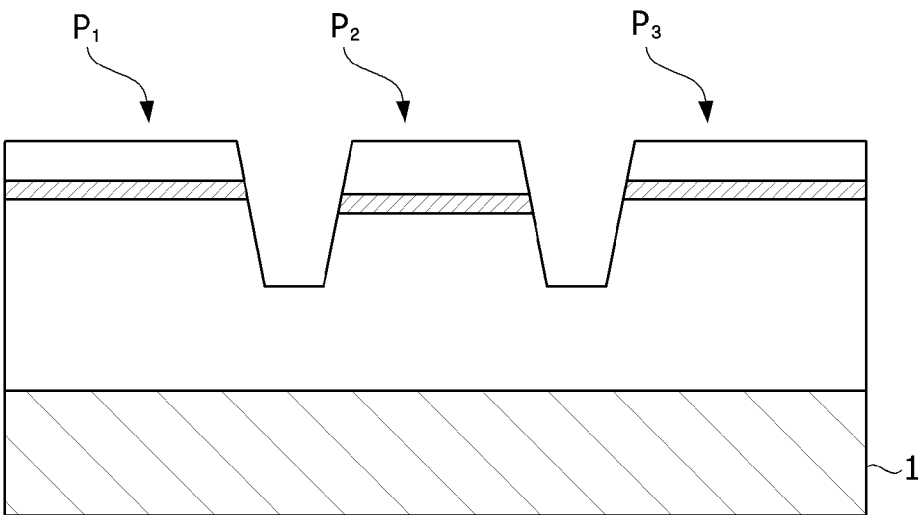
[도7e]



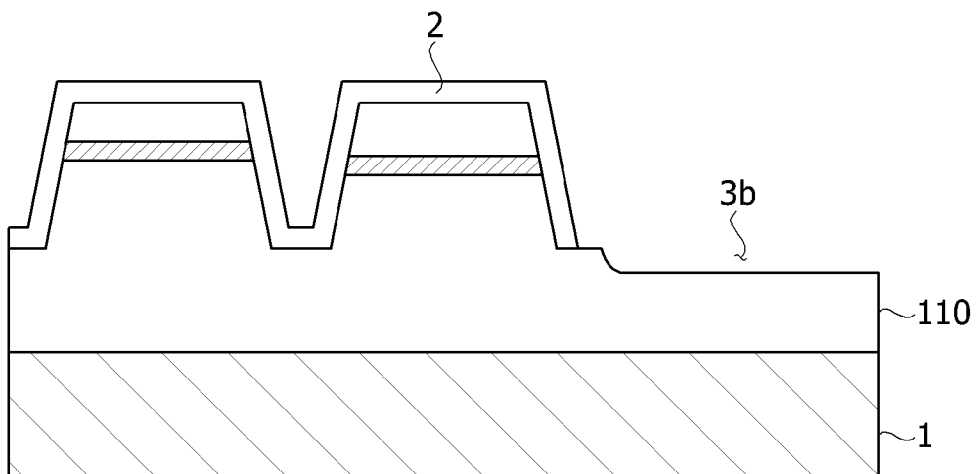
[도7f]



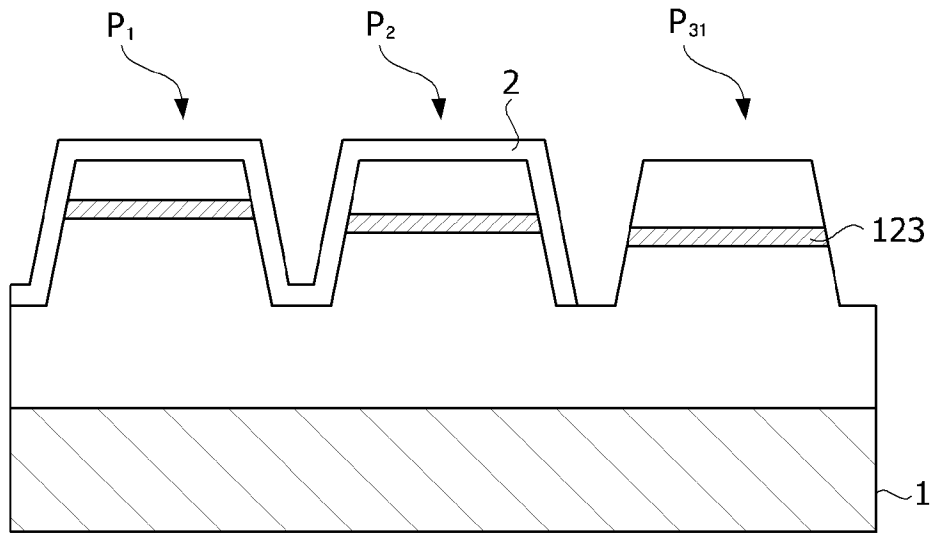
[도8a]



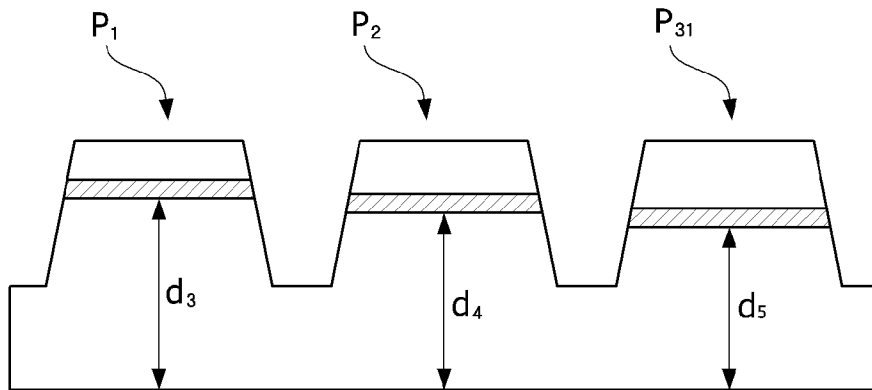
[도8b]



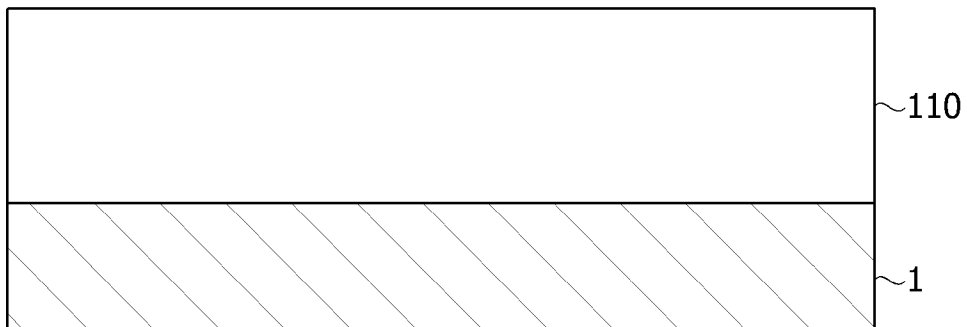
[도8c]



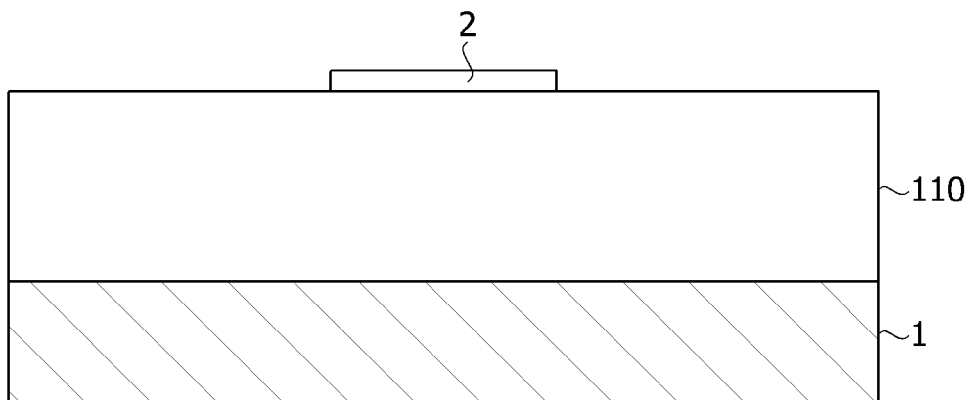
[도8d]



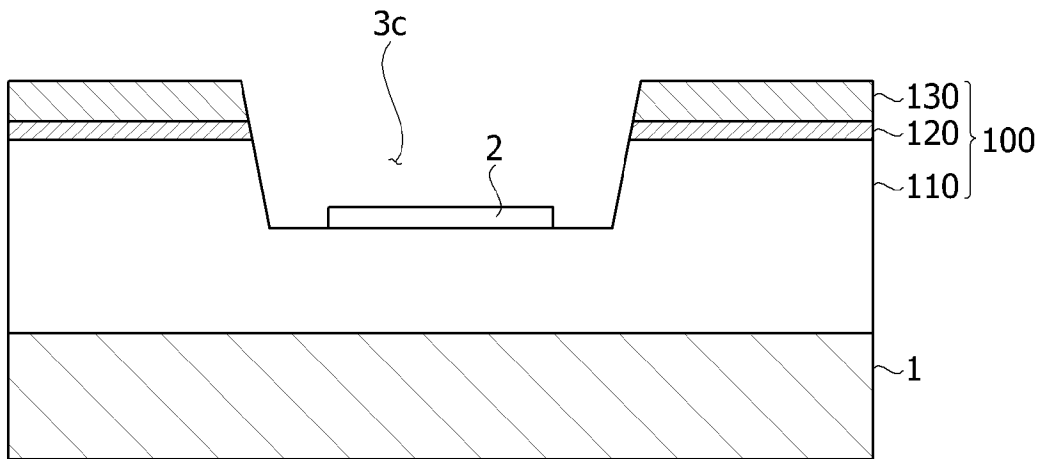
[도9a]



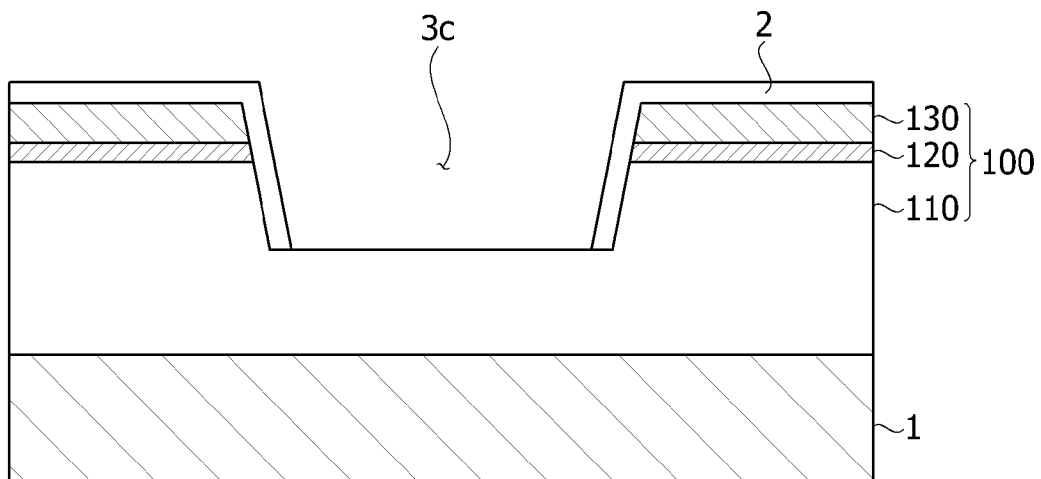
[도9b]



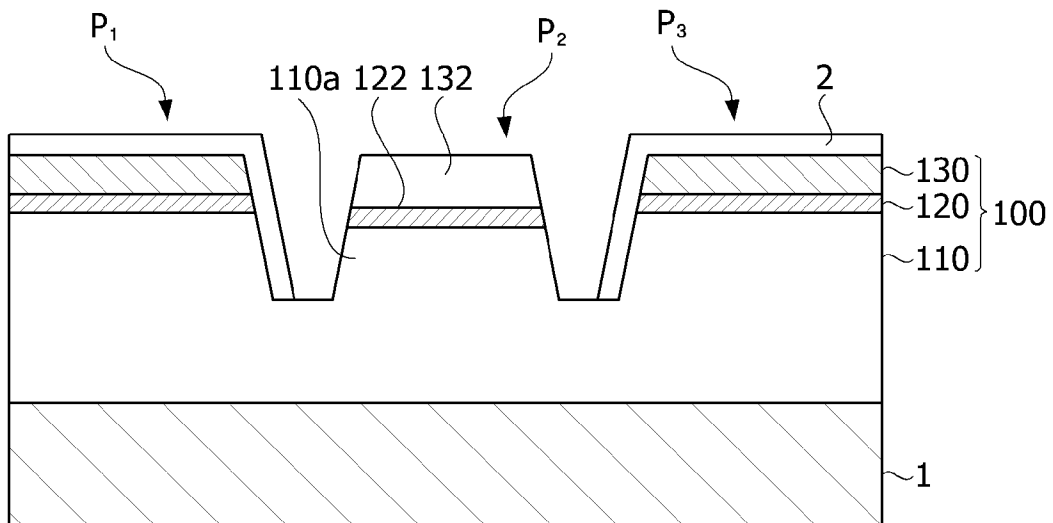
[도9c]



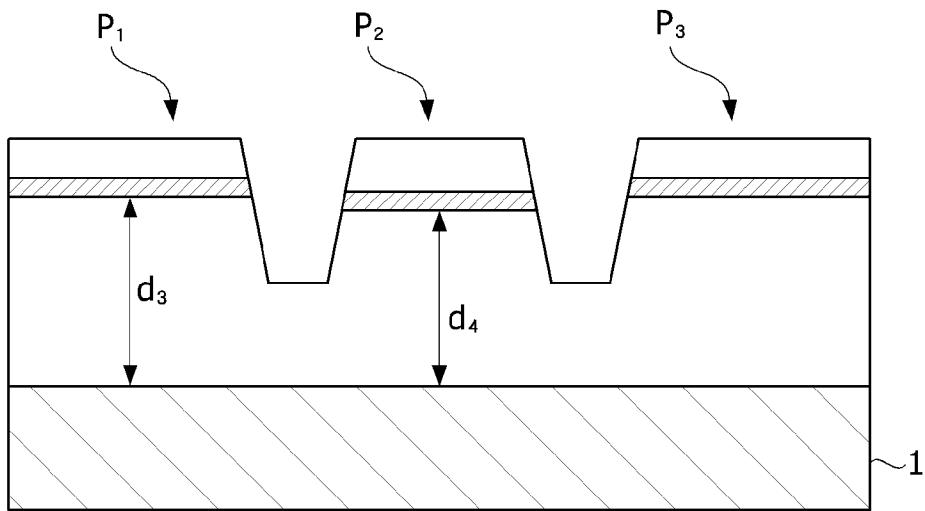
[도9d]



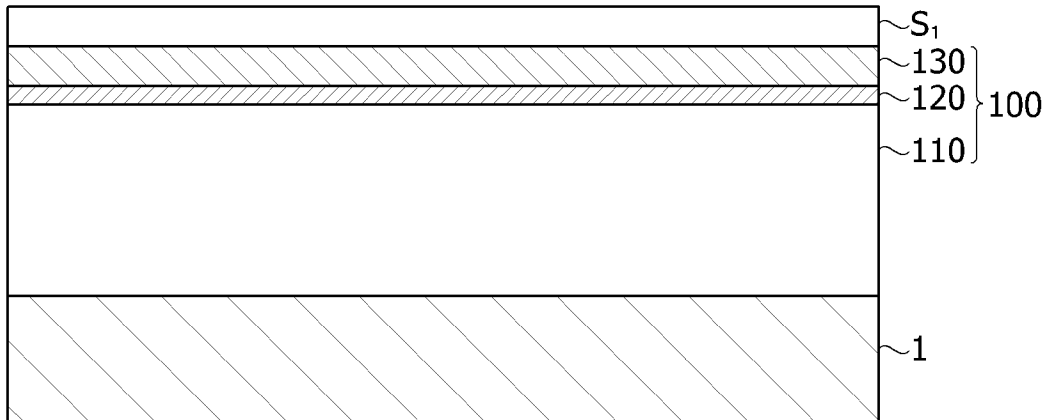
[도9e]



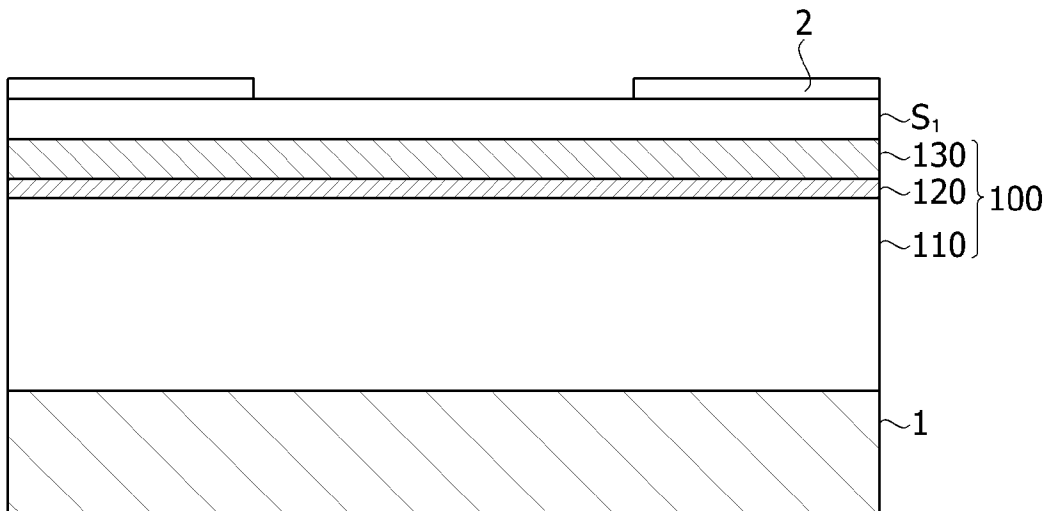
[도9f]



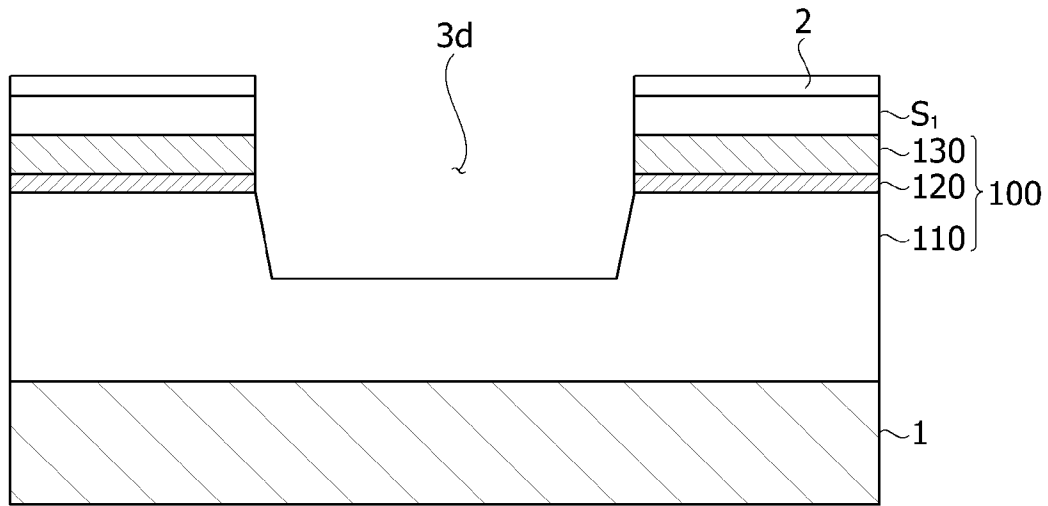
[도10a]



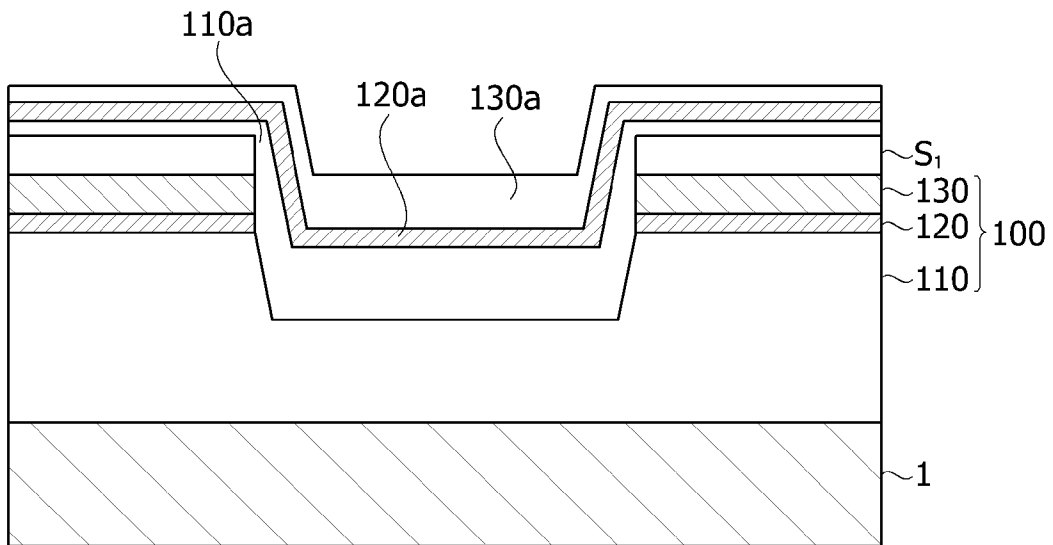
[도10b]



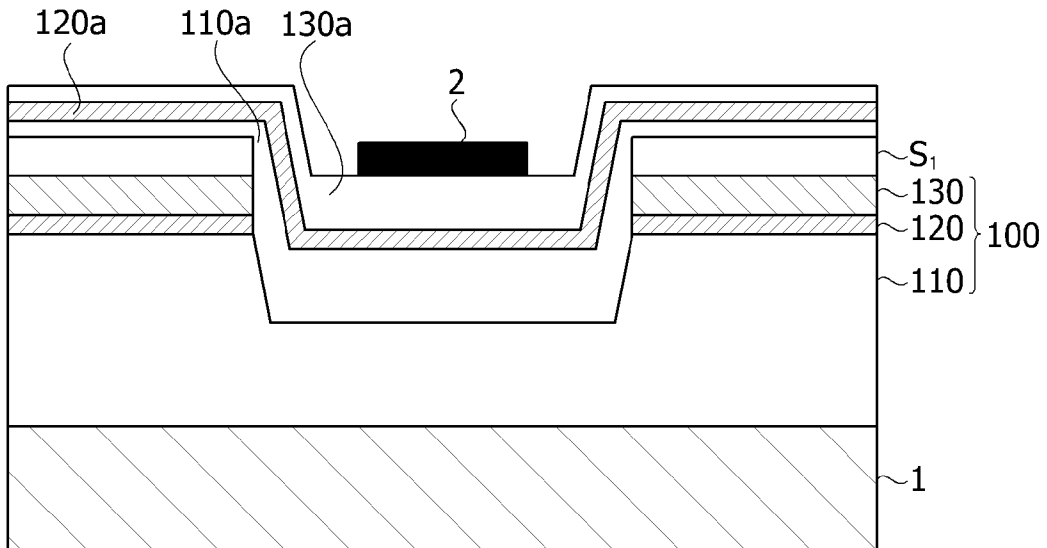
[도10c]



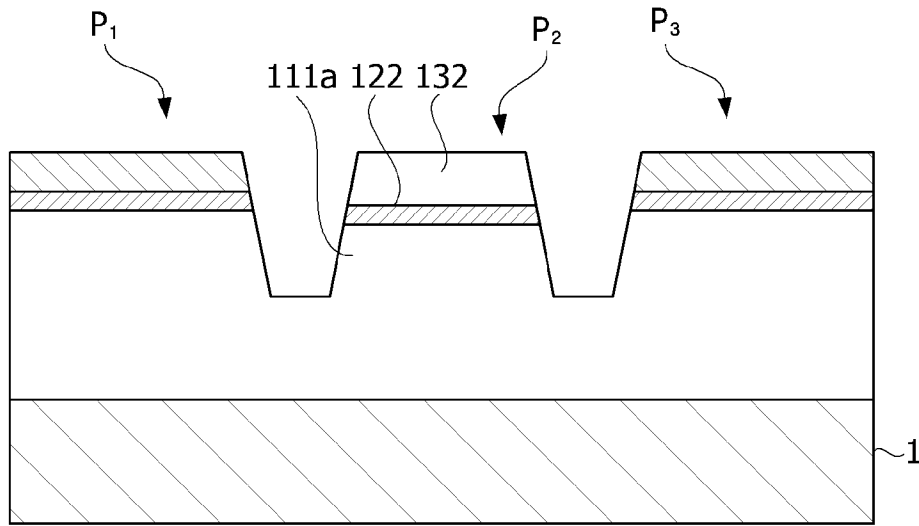
[도10d]



[도10e]

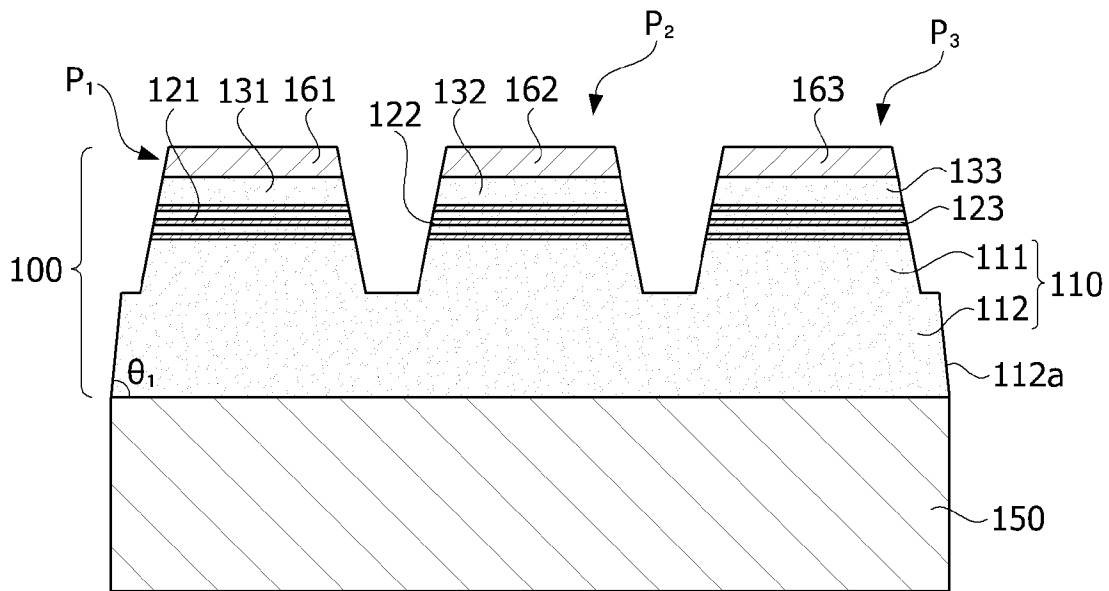


[도 10f]

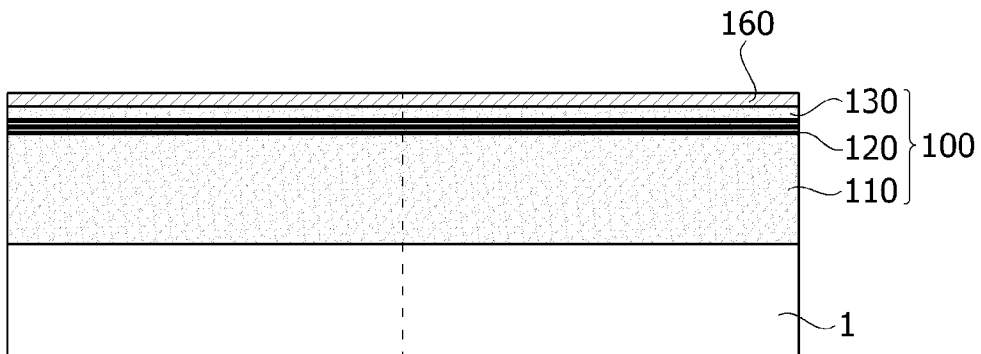


[도 11]

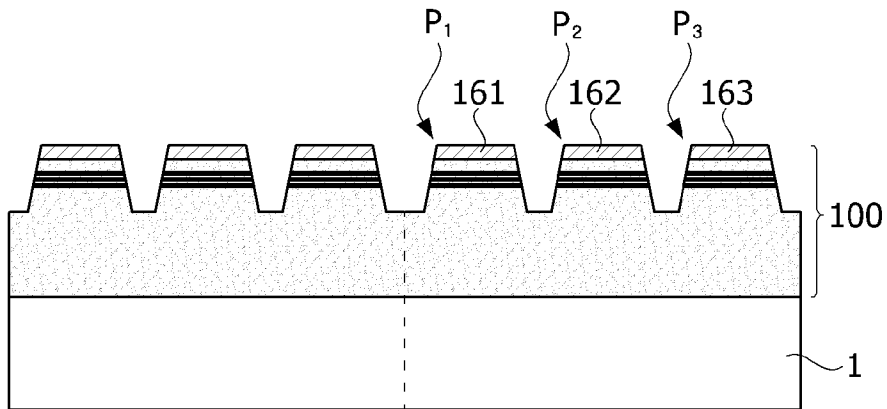
10A



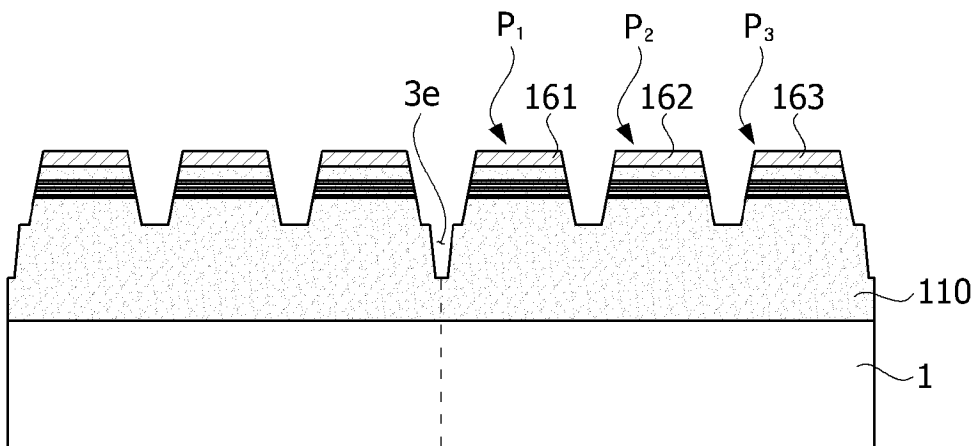
[도 12a]



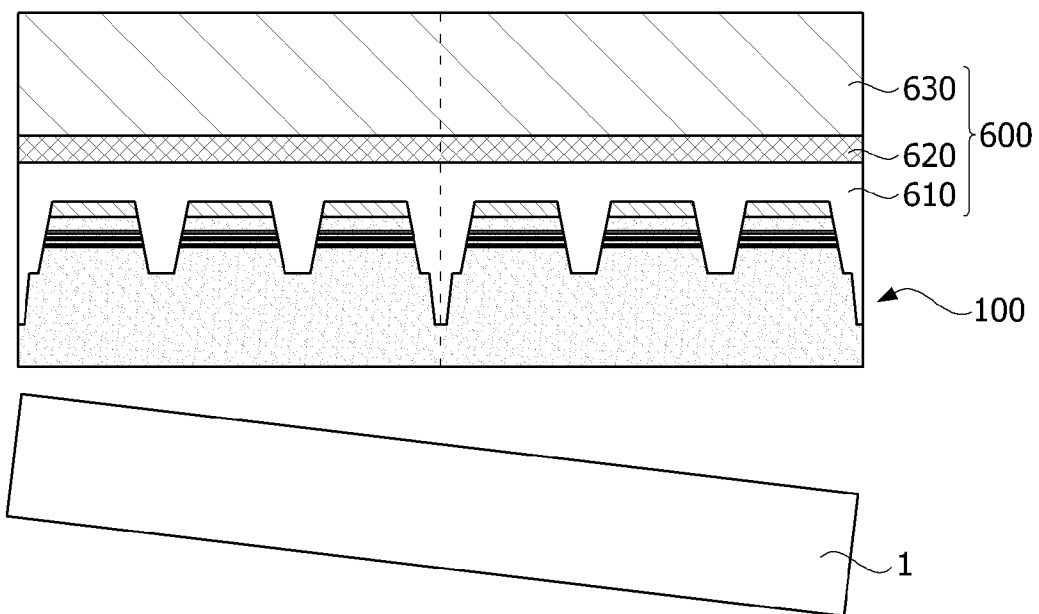
[도 12b]



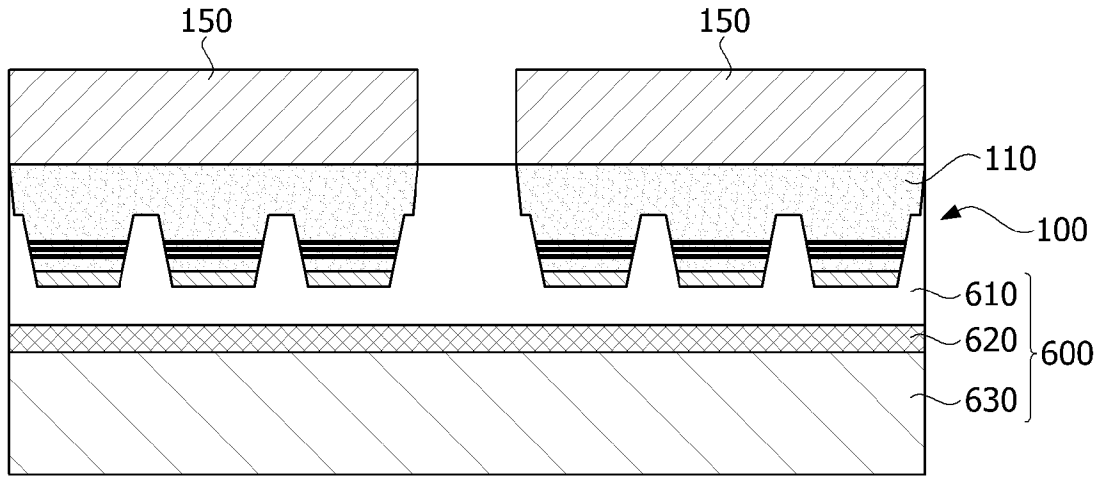
[도 12c]



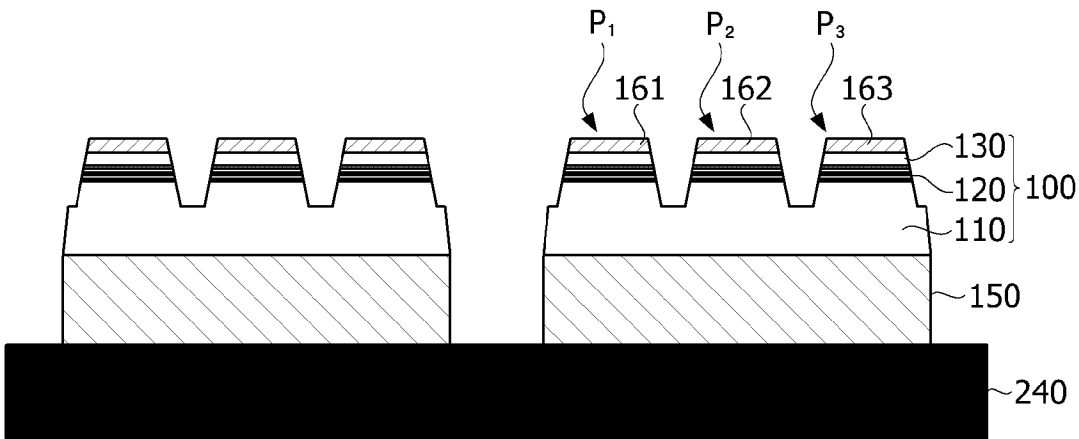
[도 12d]



[도 12e]

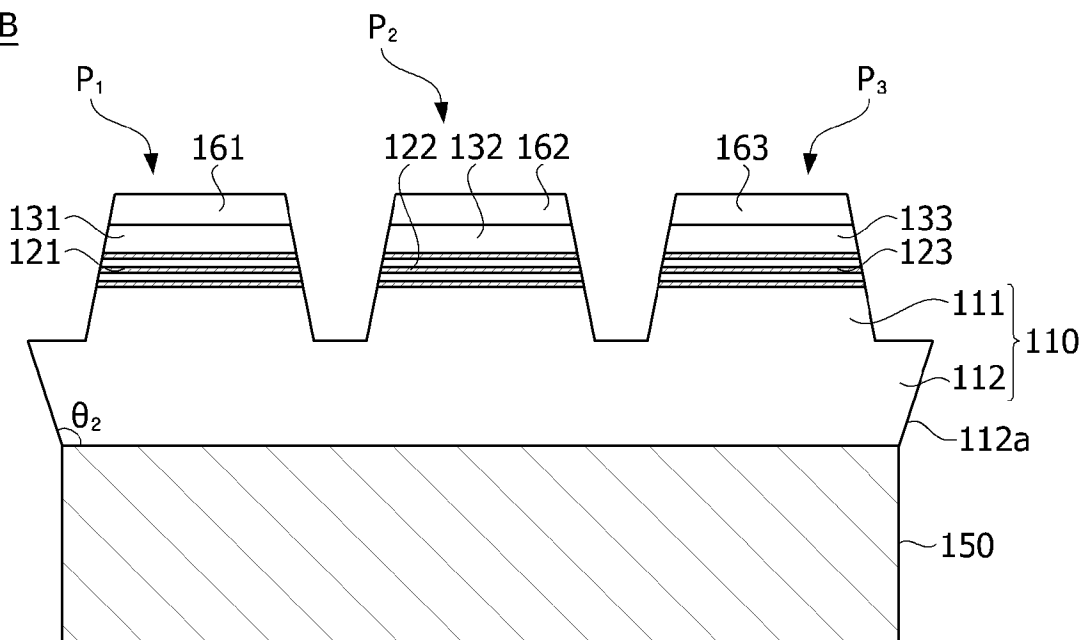


[도 12f]

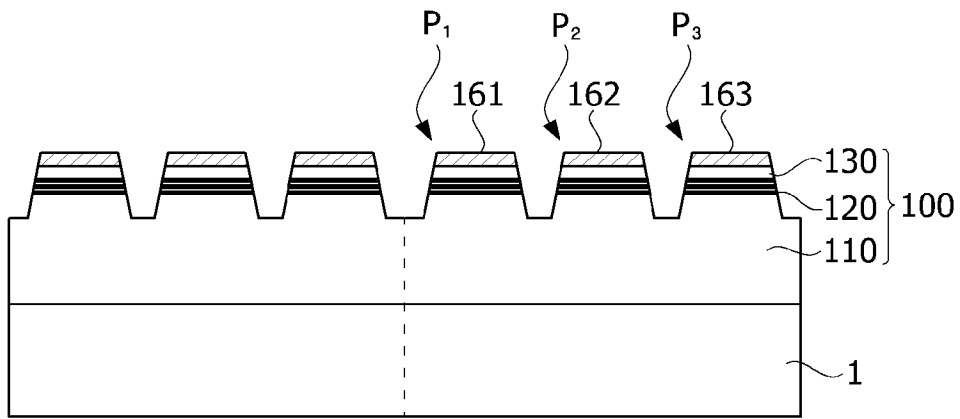


[도 13]

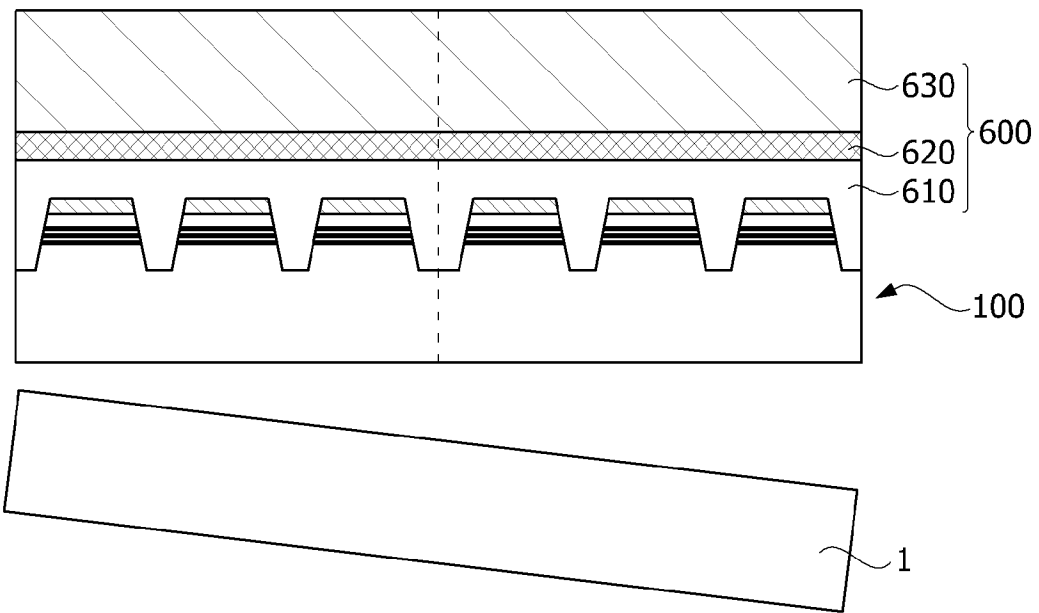
10B



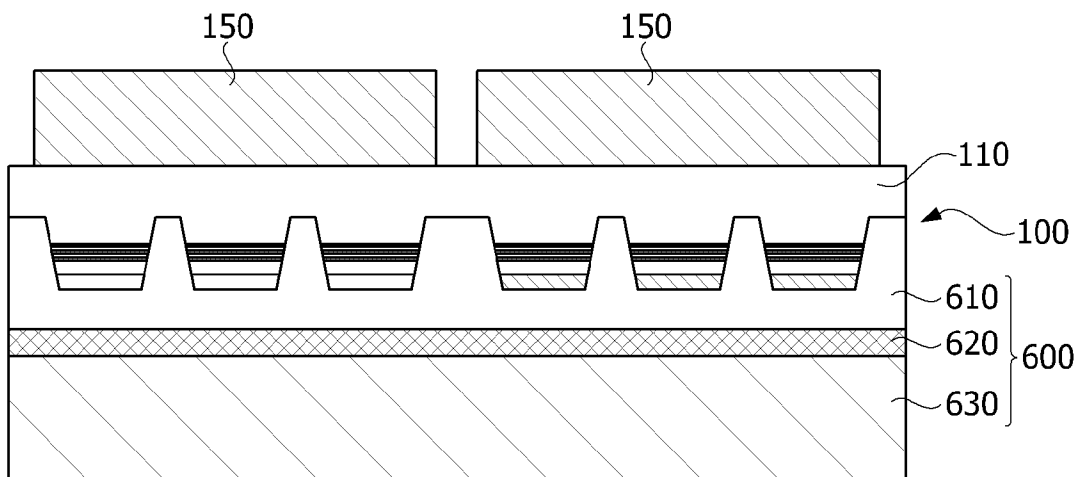
[도 14a]



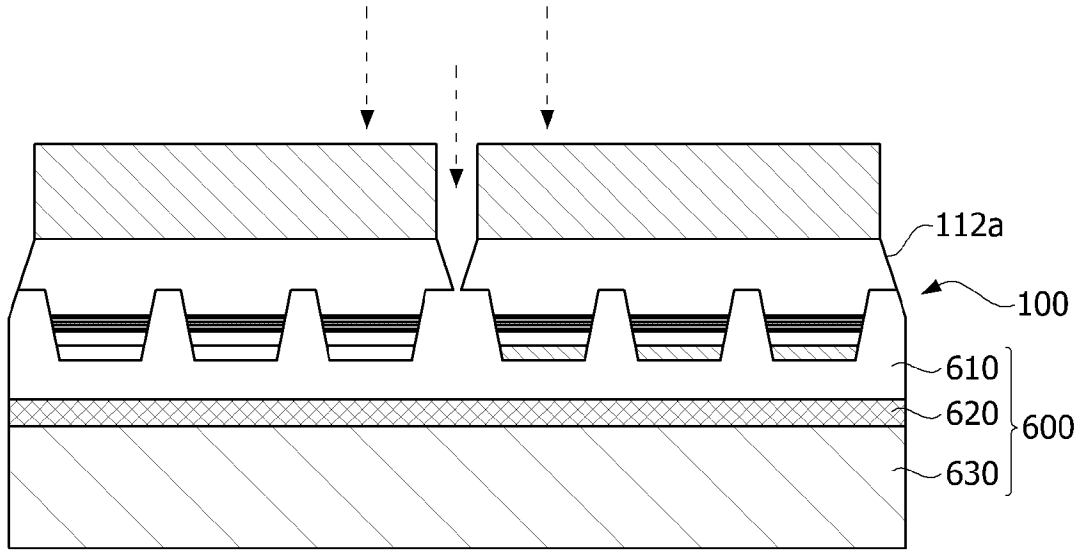
[도 14b]



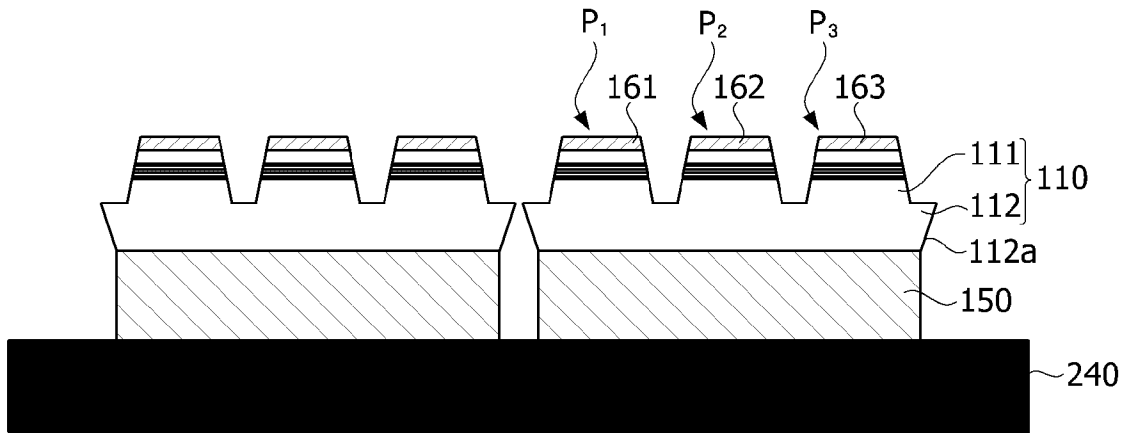
[도 14c]



[도14d]

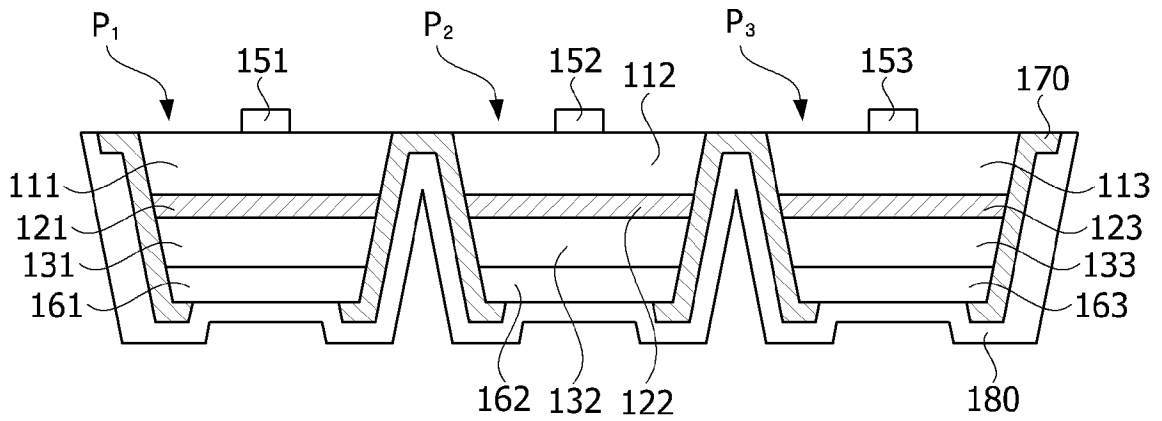


[도14e]

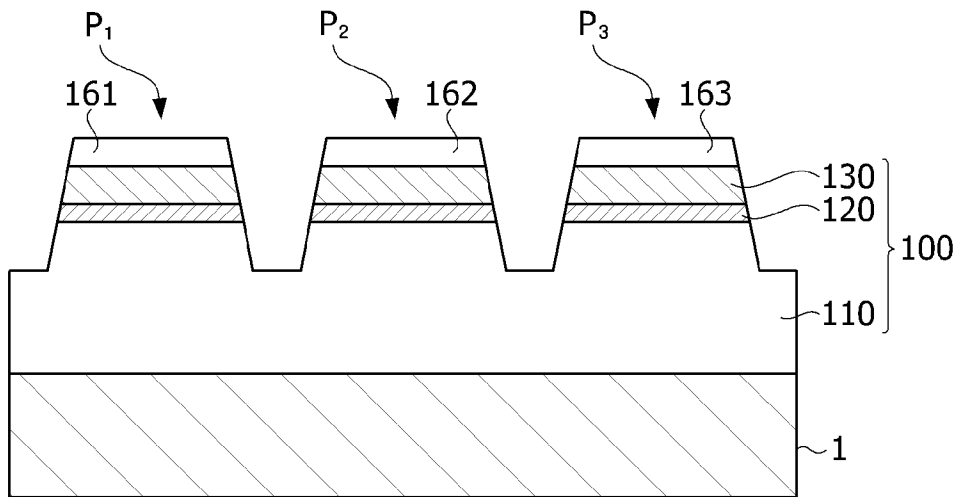


[도15]

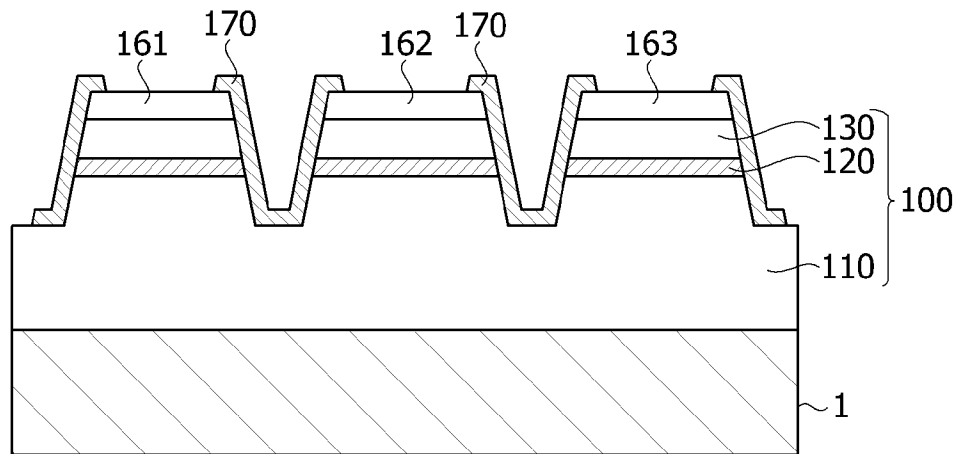
10C



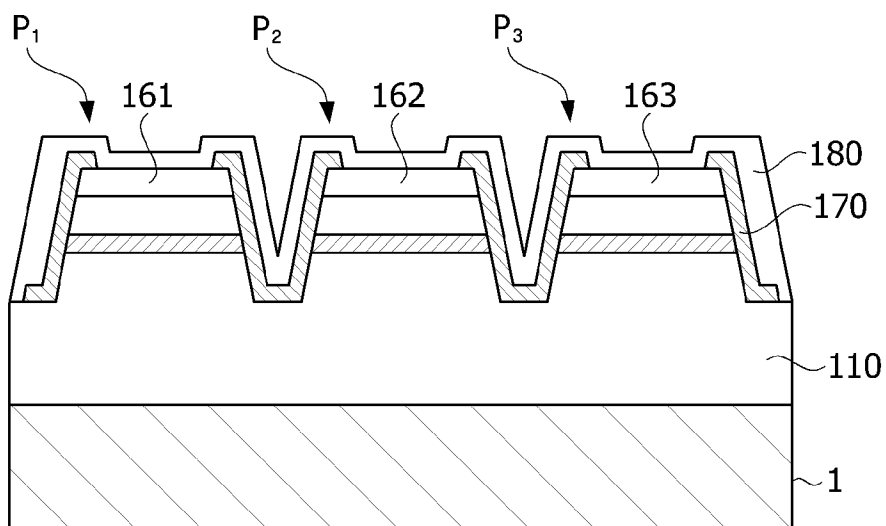
[도 16a]



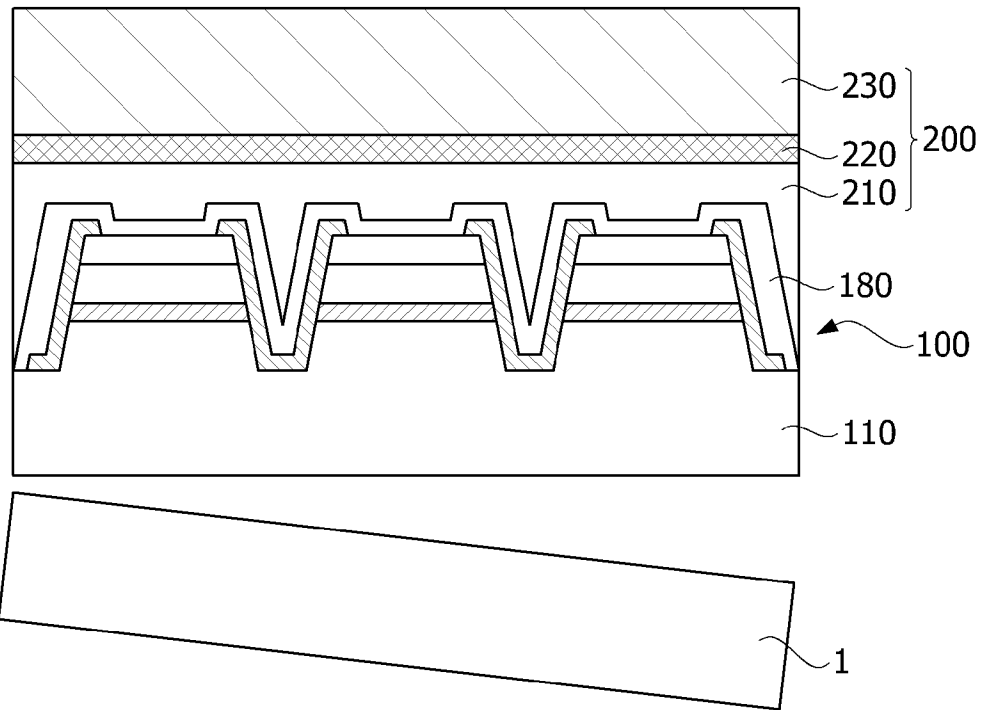
[도 16b]



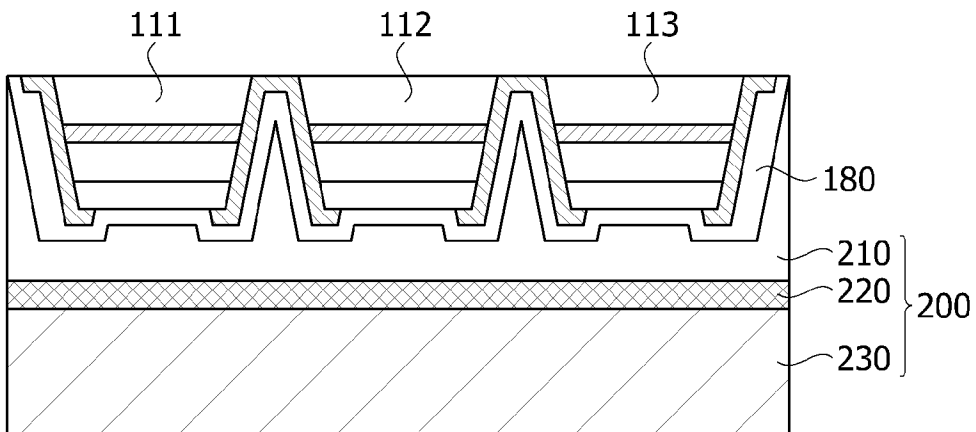
[도 16c]



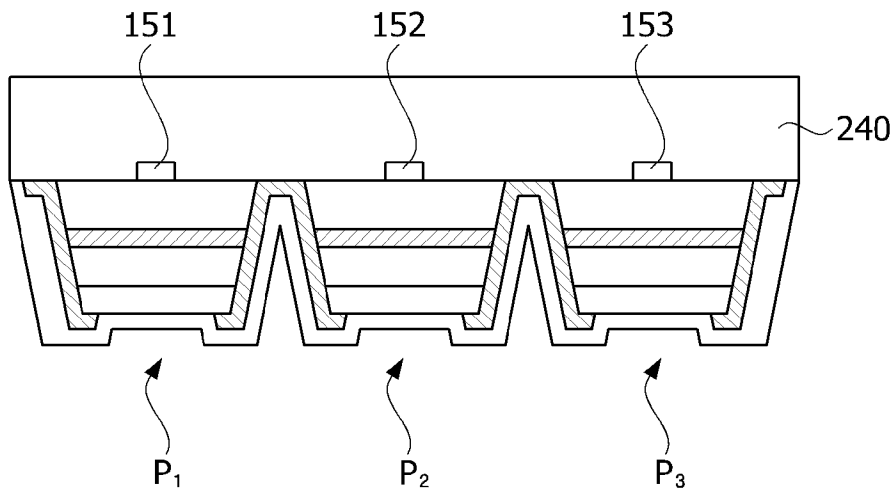
[도16d]



[도16e]

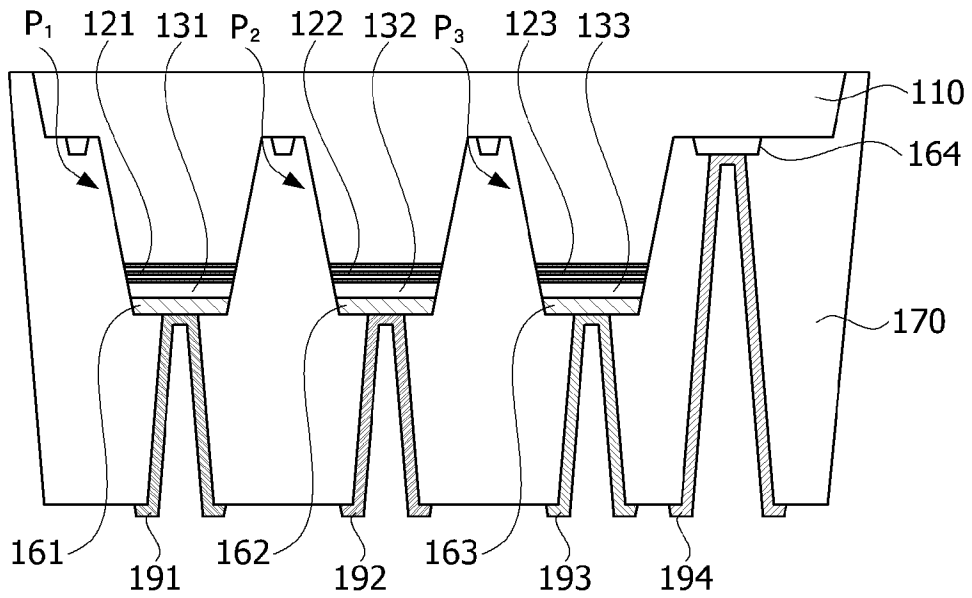


[도16f]

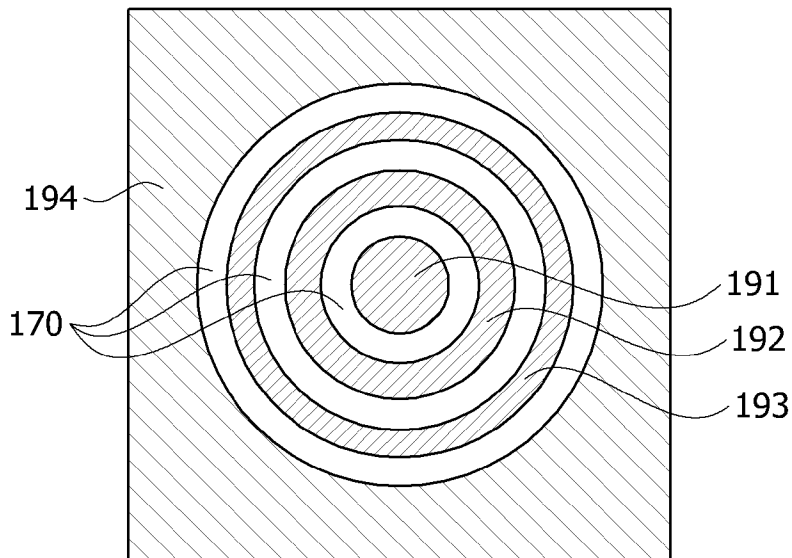


[도17]

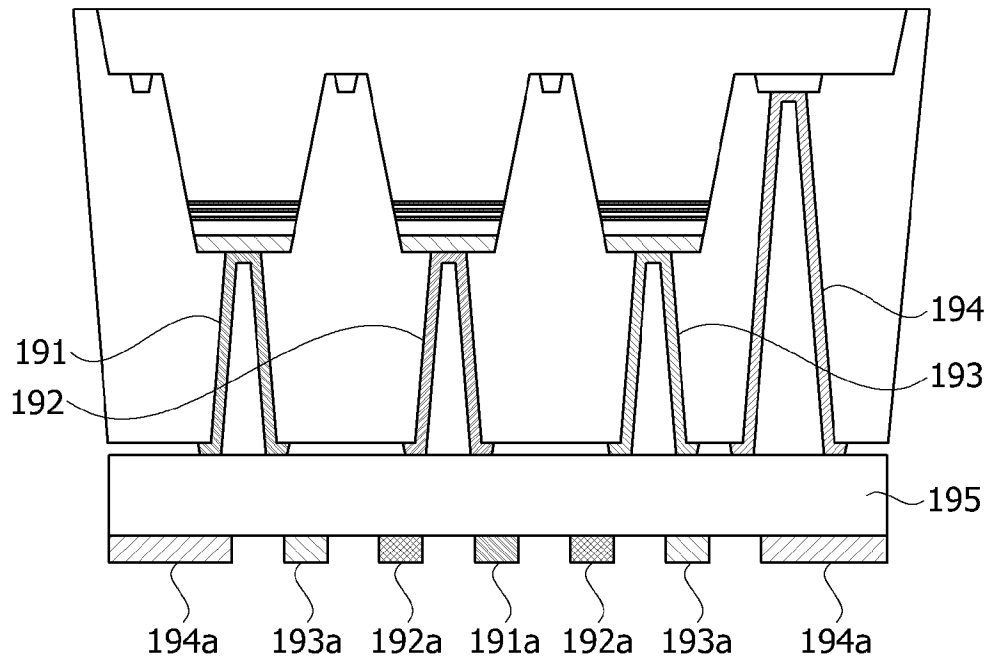
10D



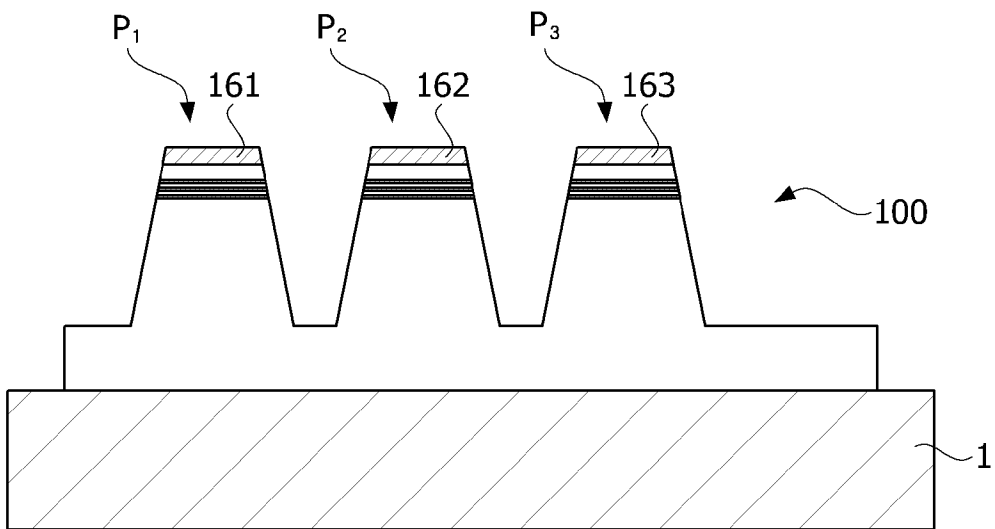
[도18]



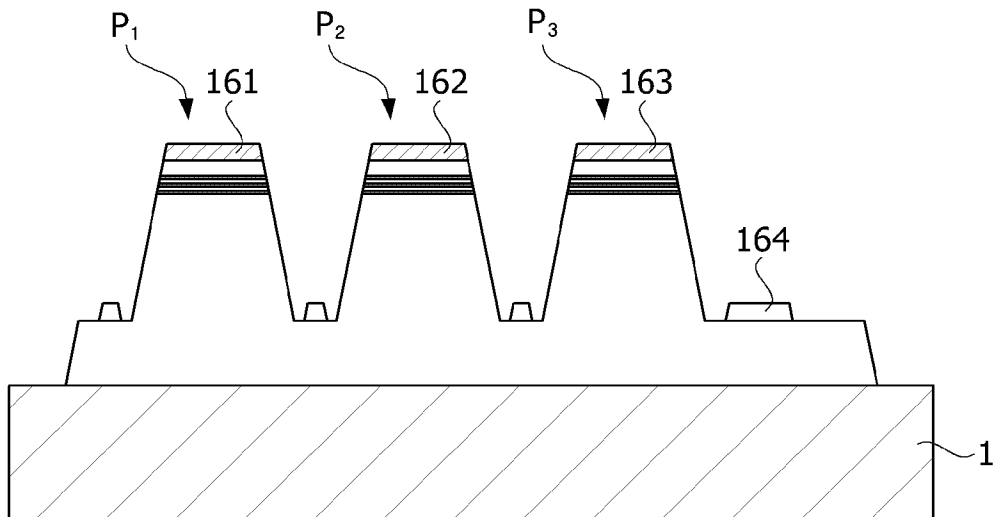
[도19]



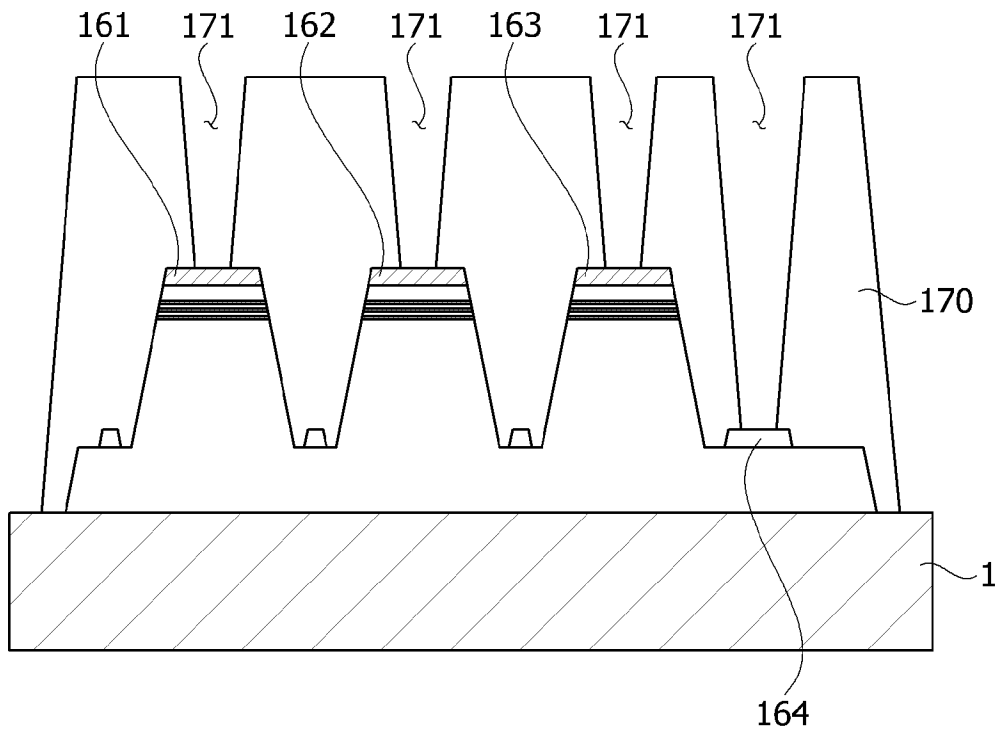
[도20a]



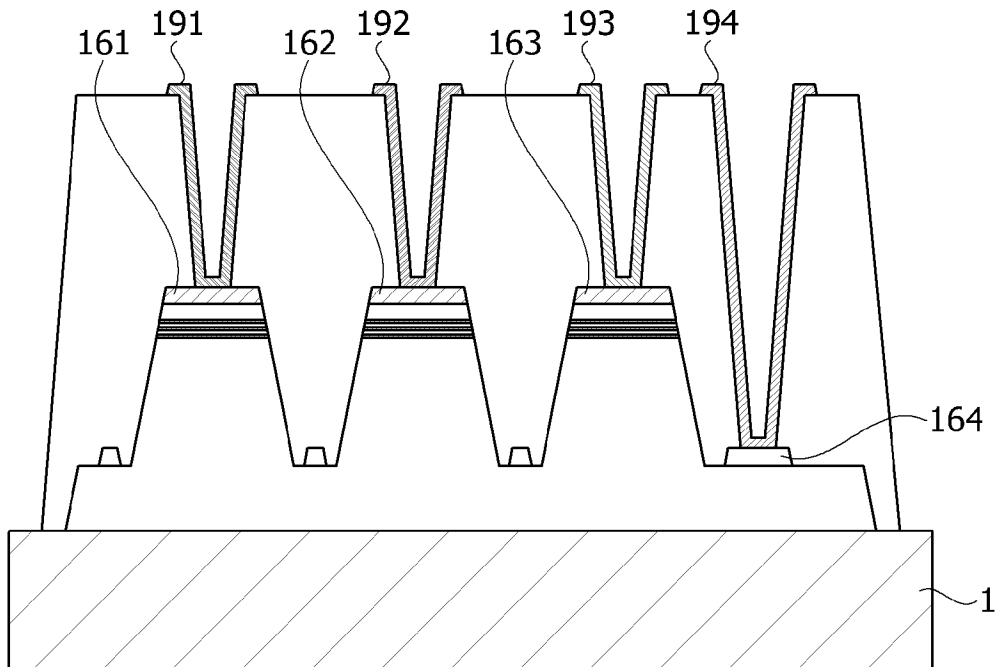
[도20b]



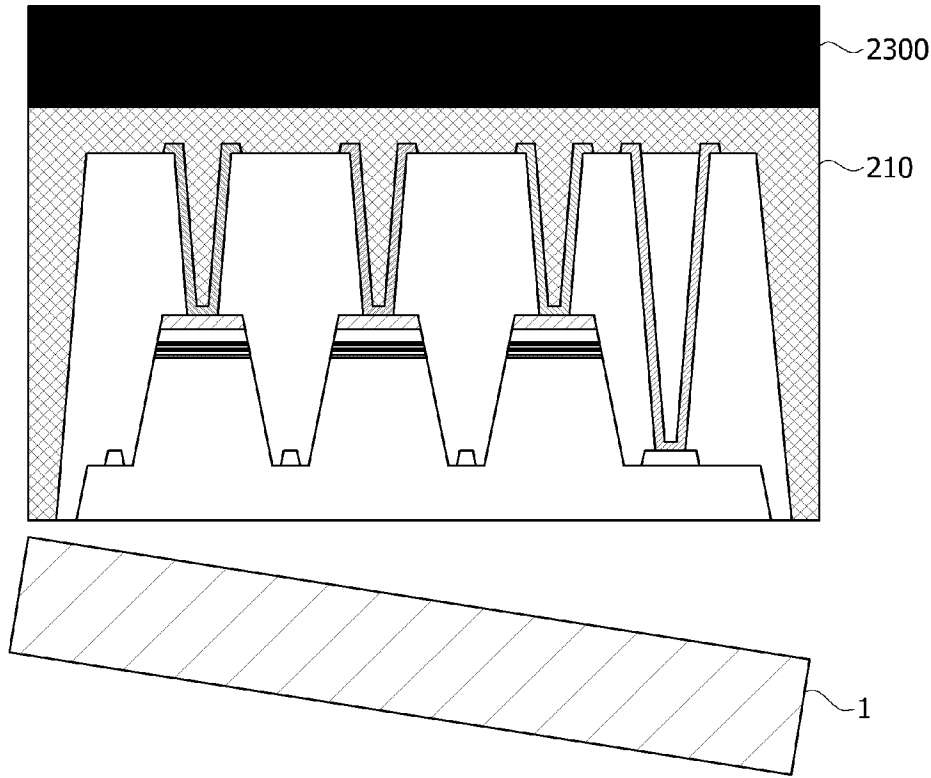
[도20c]



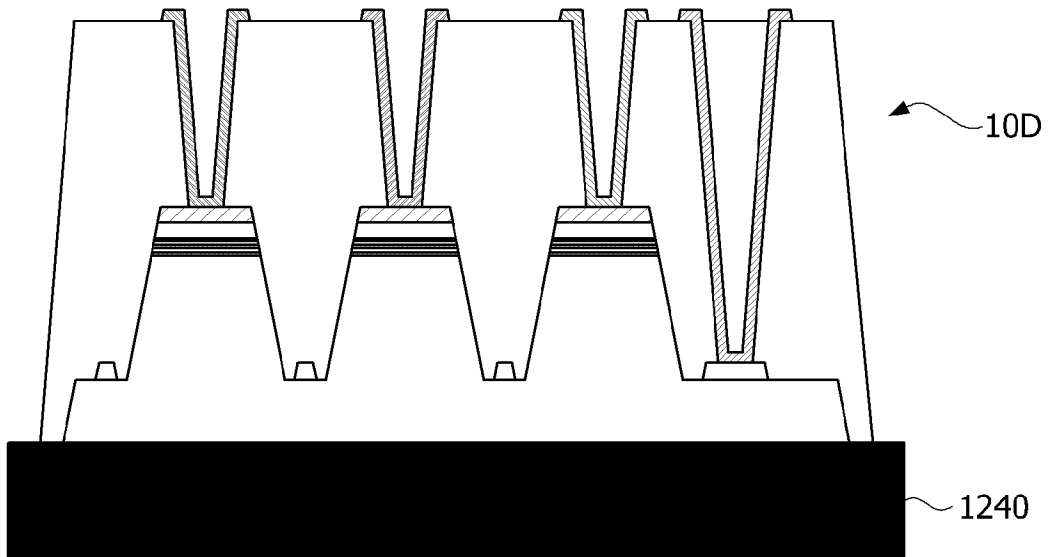
[도20d]



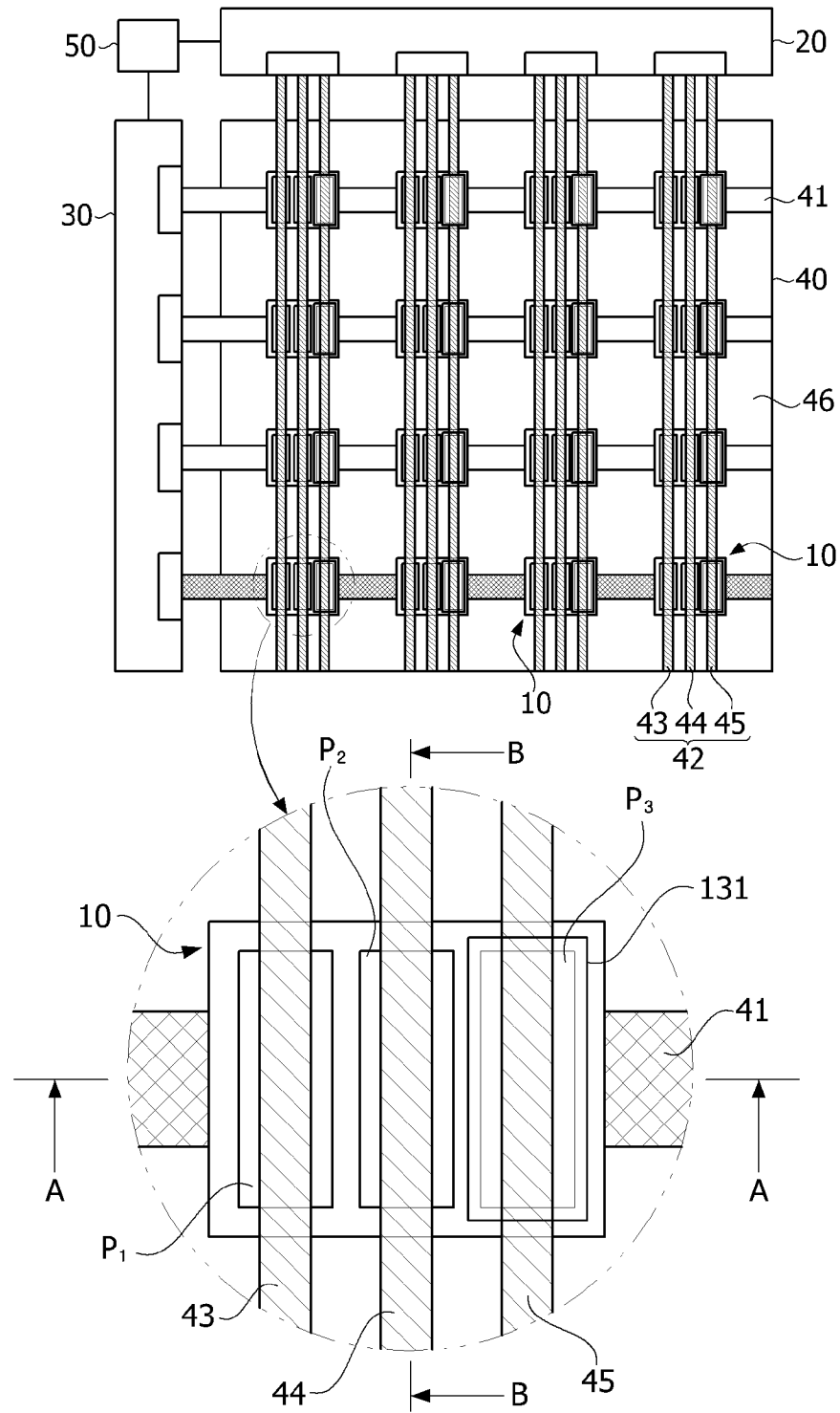
[도20e]



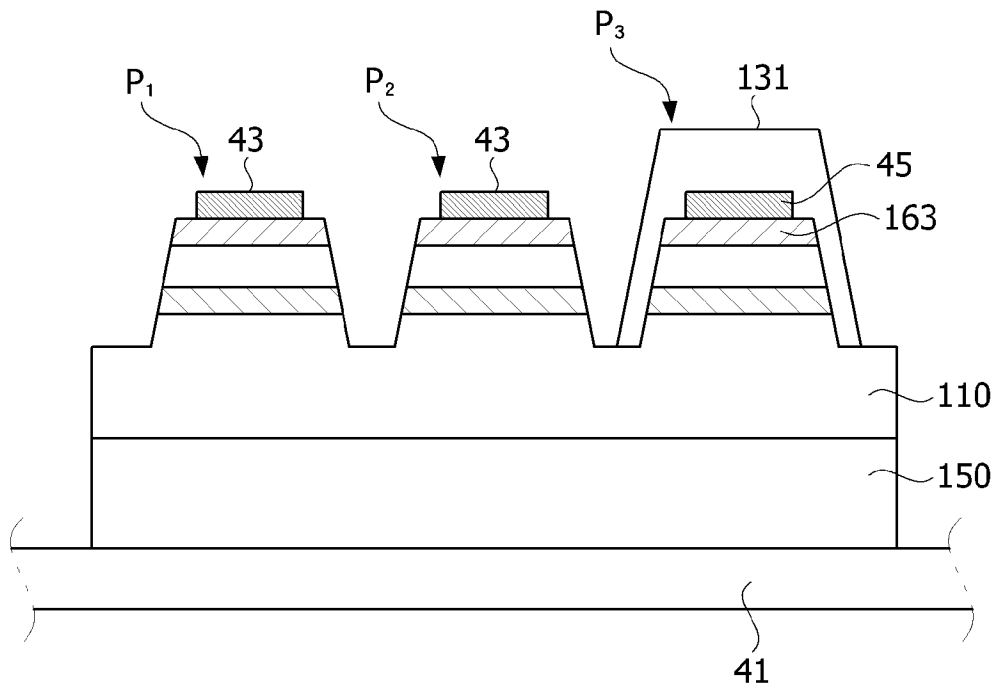
[도20f]



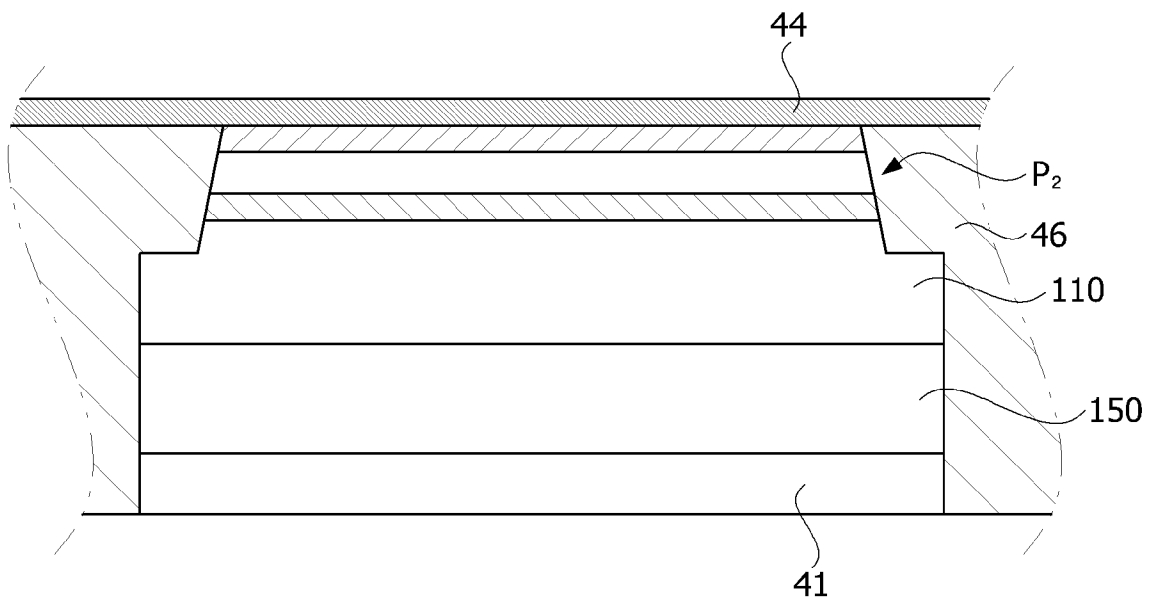
[도21]



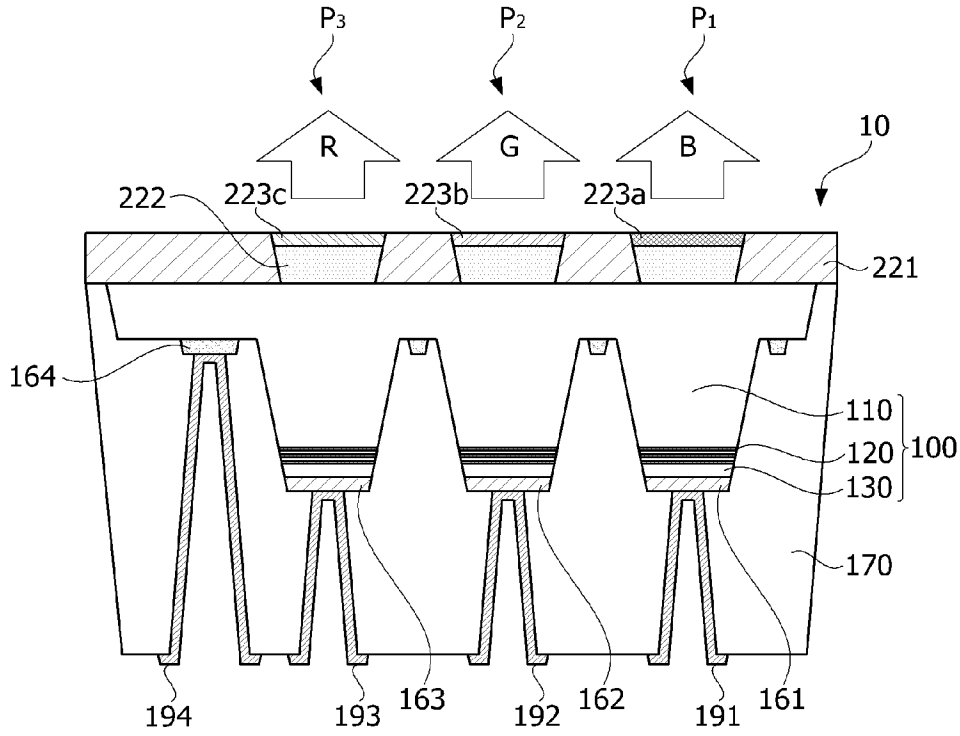
[도22]



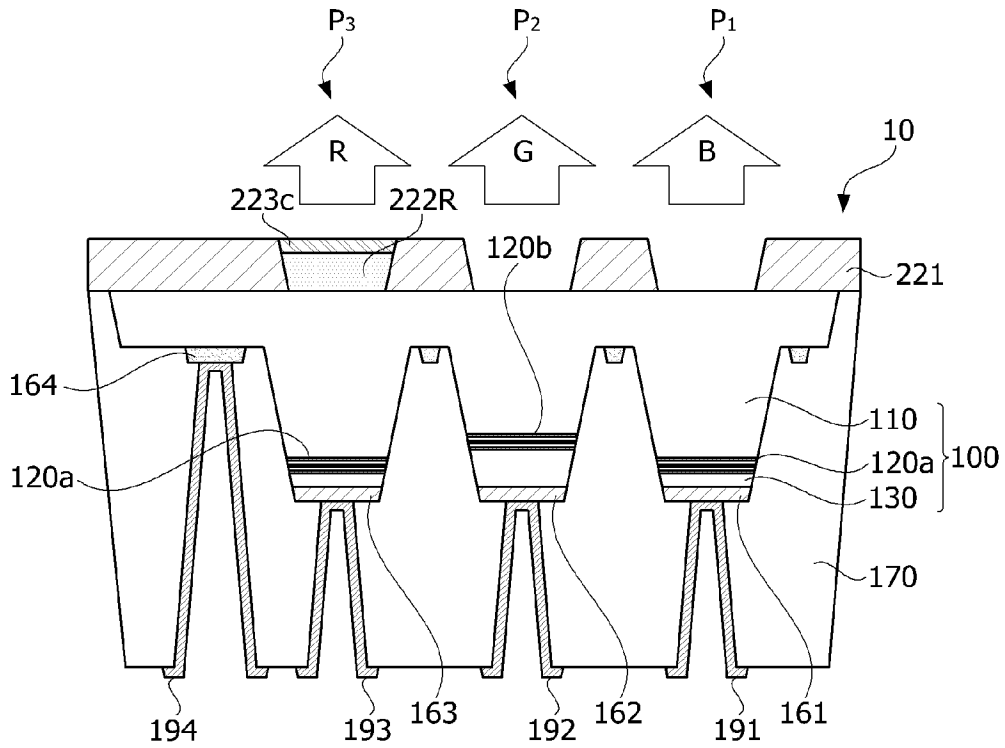
[도23]



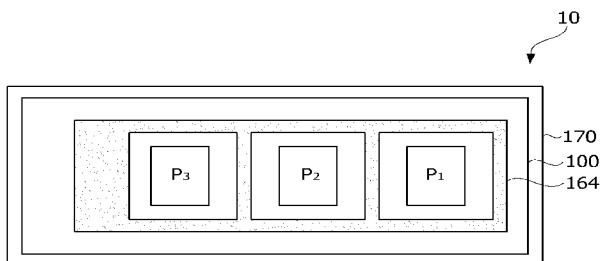
[도24a]



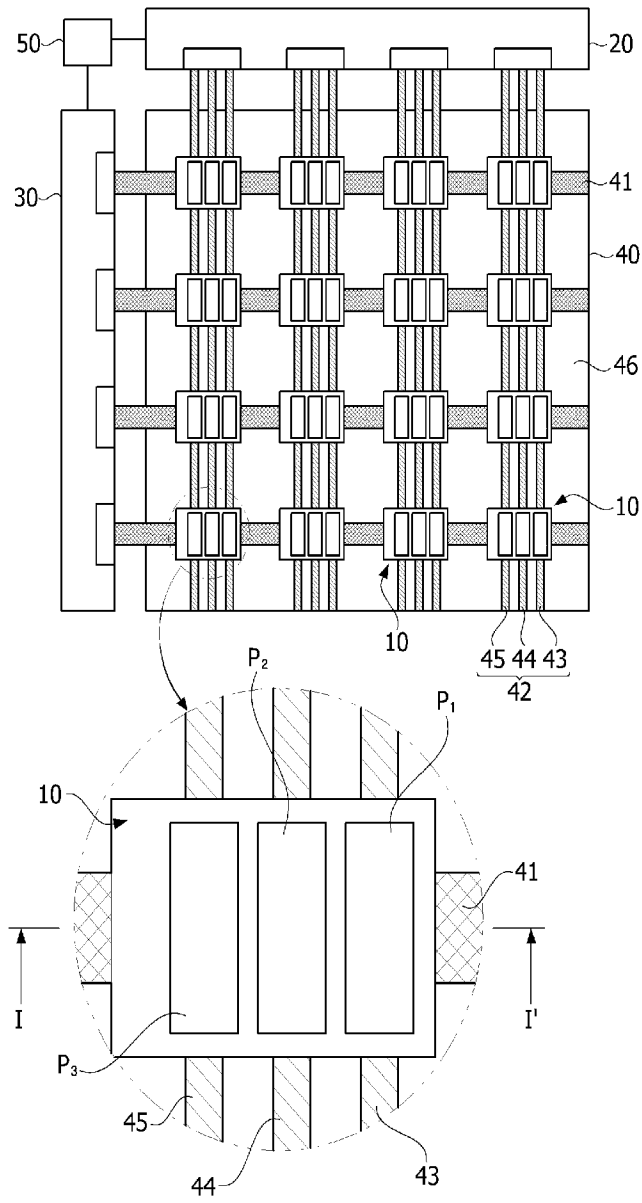
[도24b]



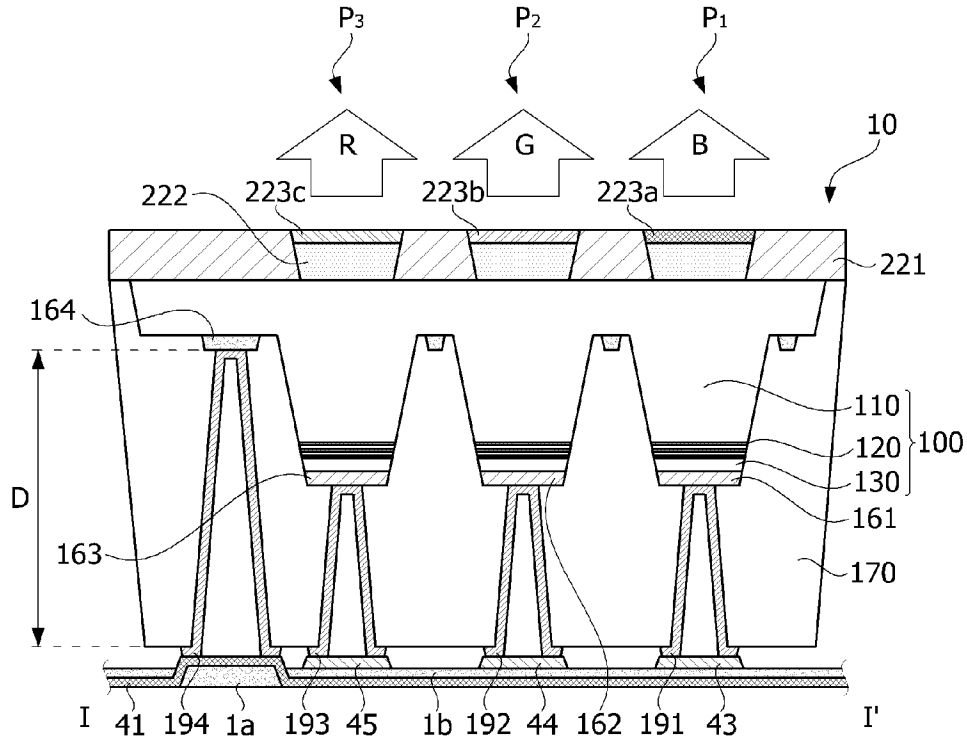
[도24c]



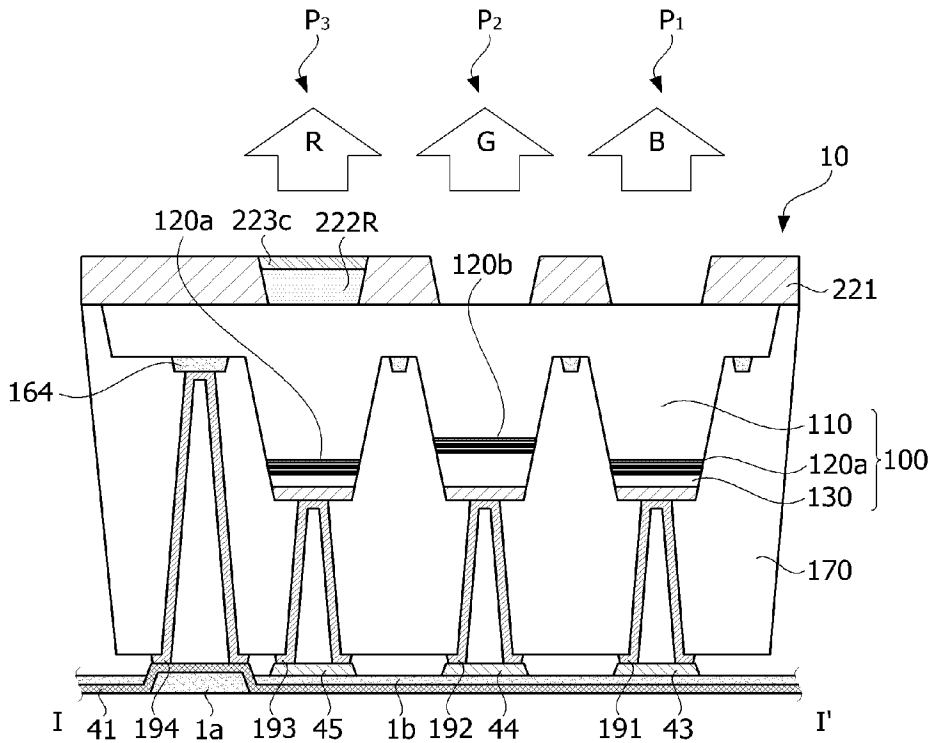
[도25a]



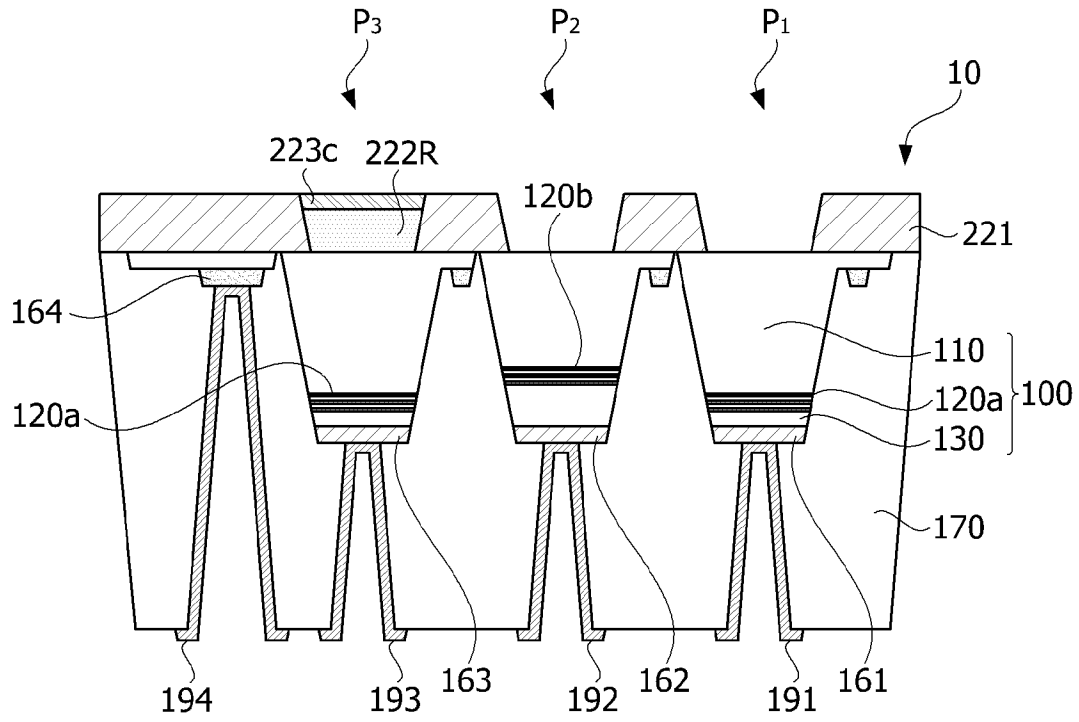
[도25b]



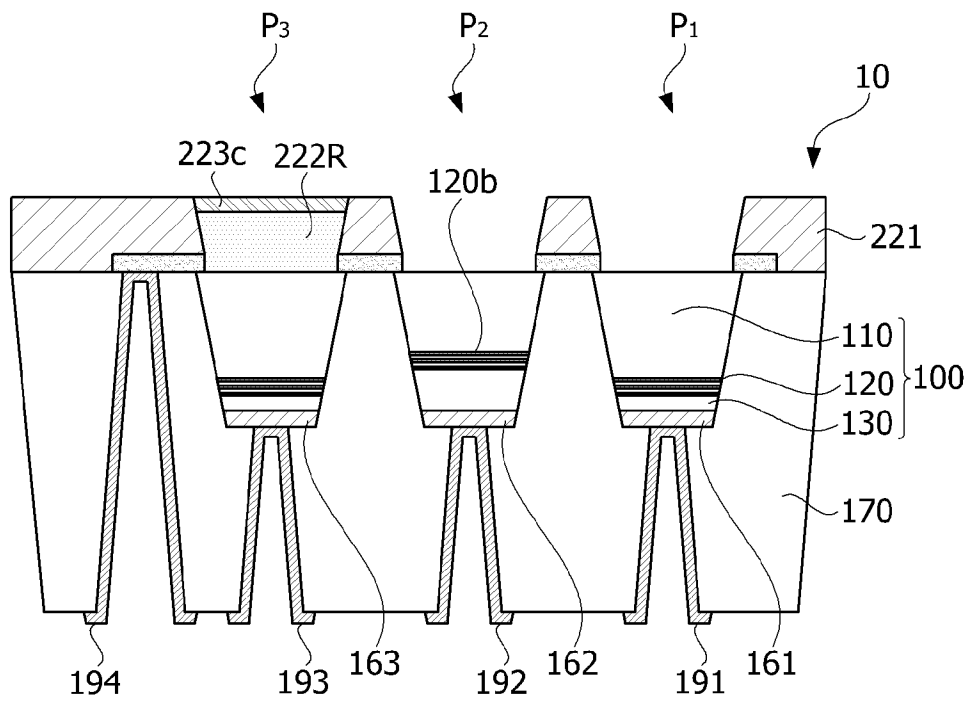
[도25c]



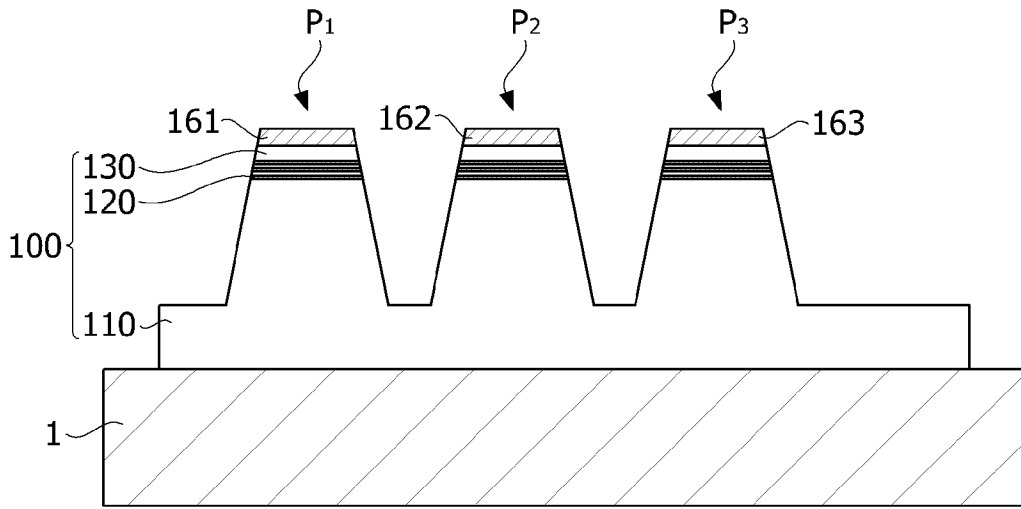
[도26a]



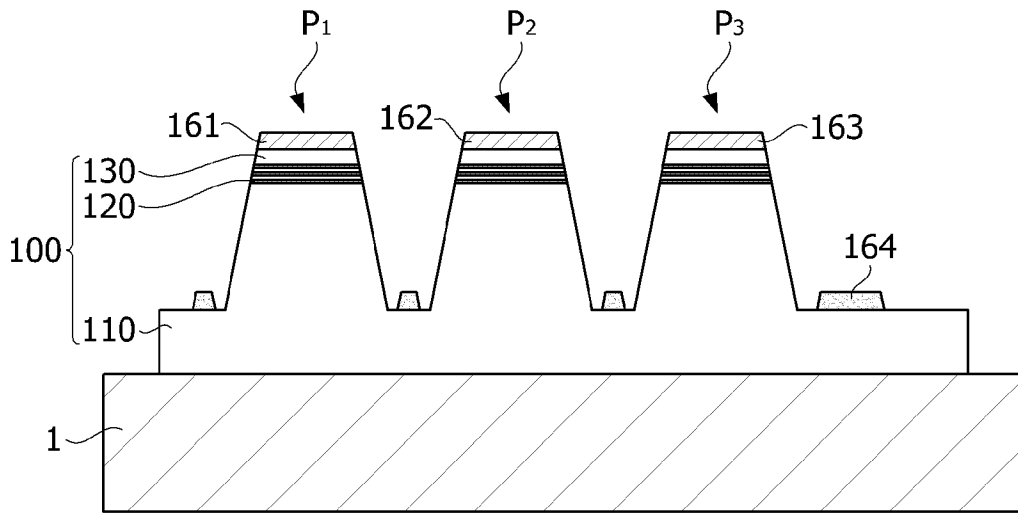
[도26b]



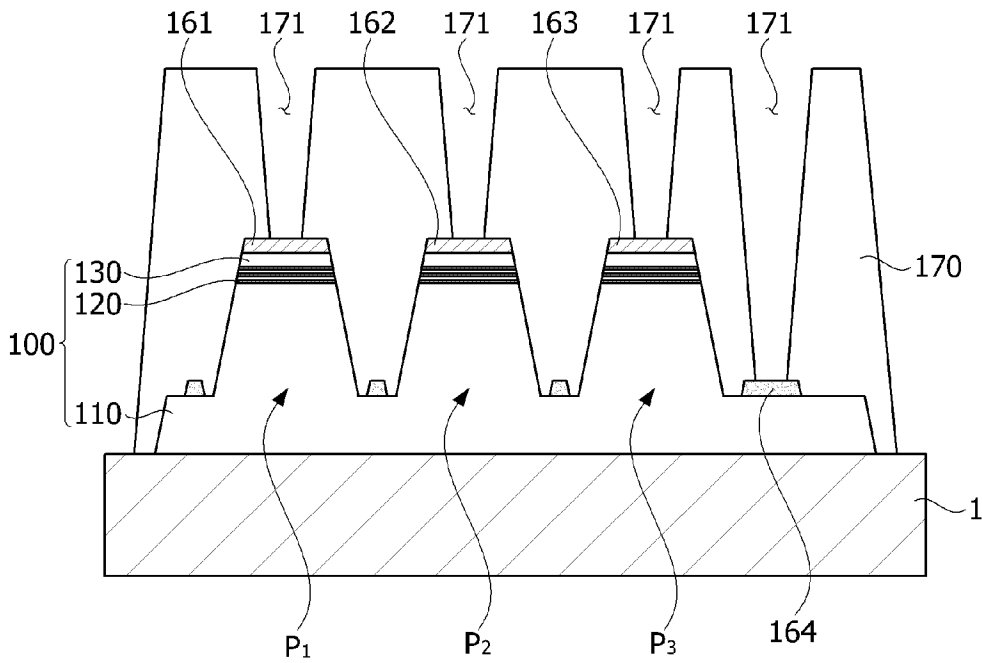
[도27a]



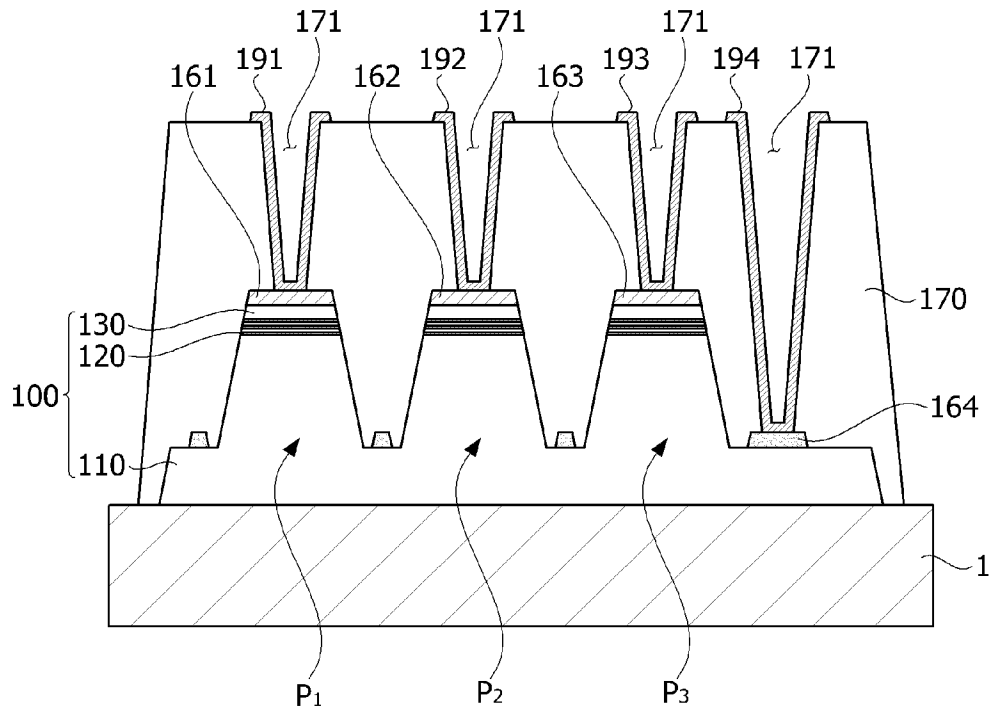
[도27b]



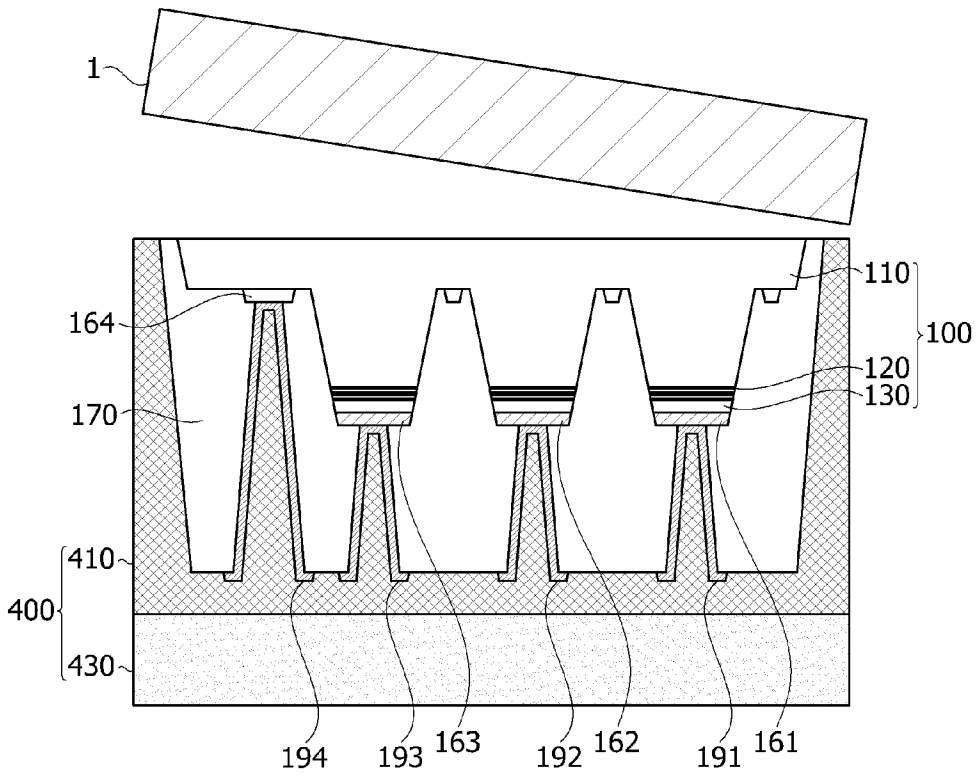
[도27c]



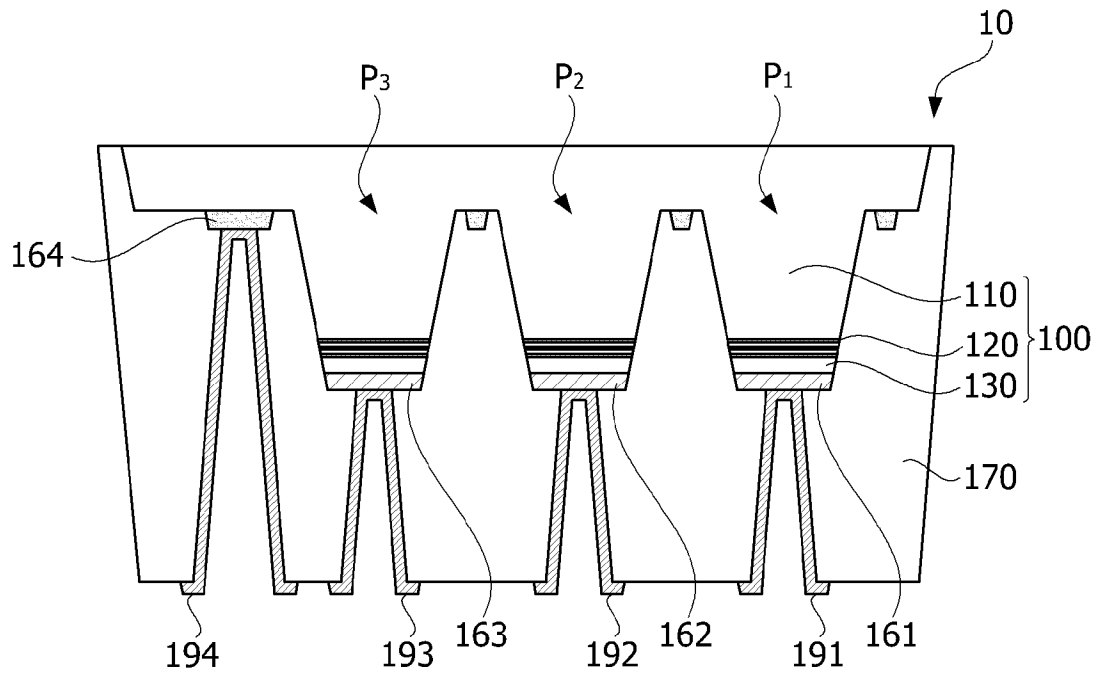
[도27d]



[도27e]



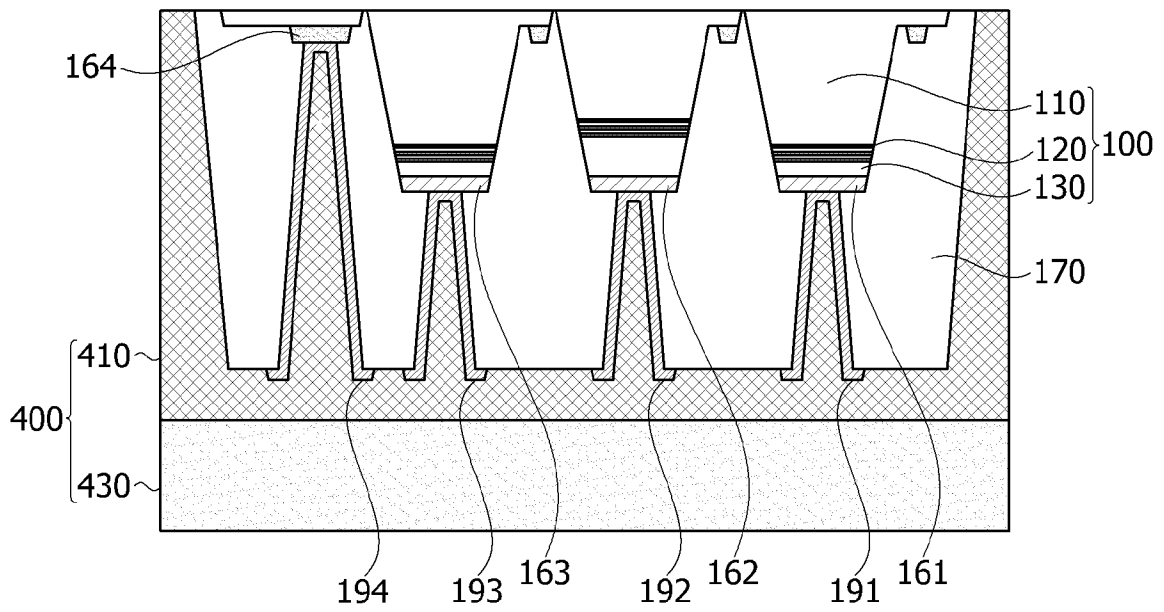
[도27f]



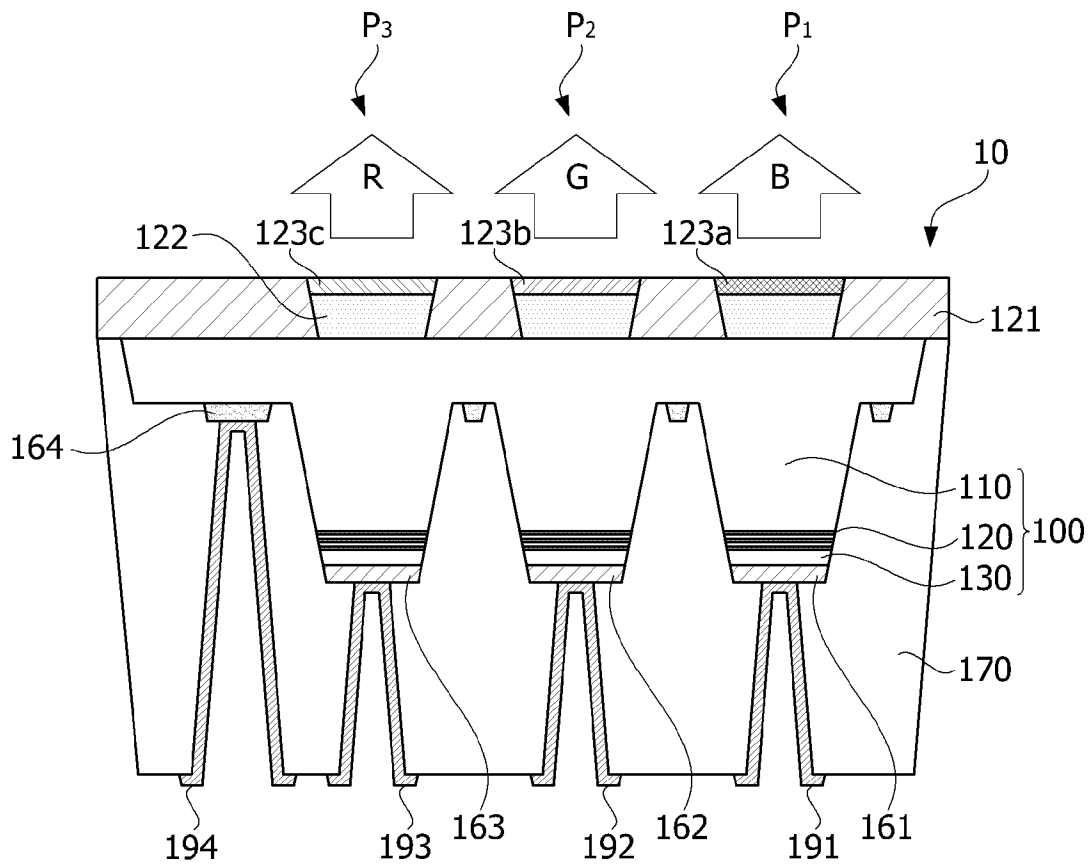
[도27g]



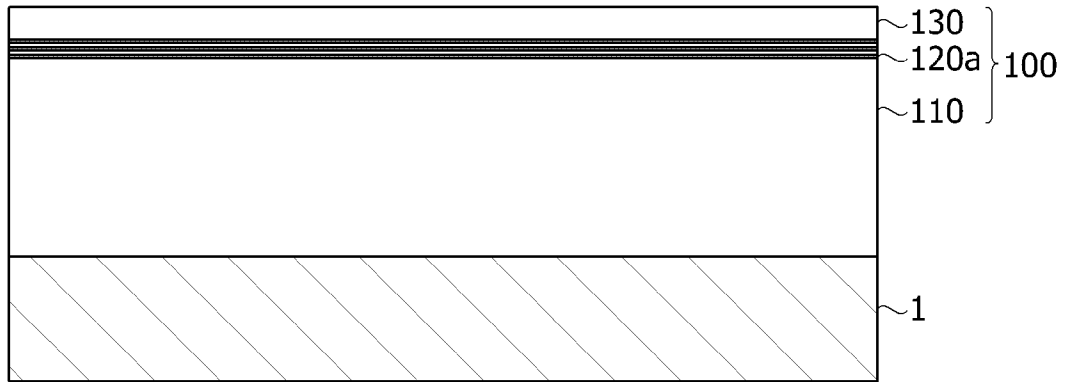
[도27h]



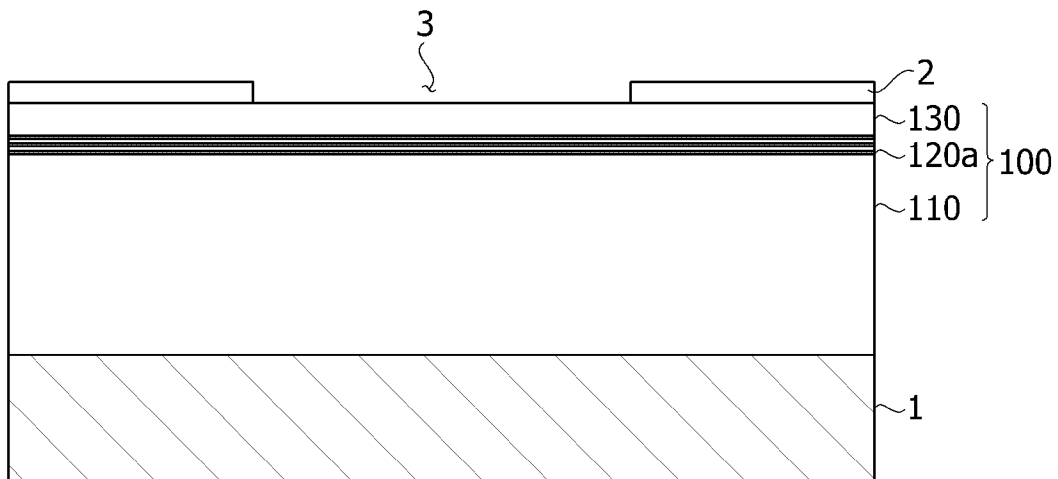
[도27i]



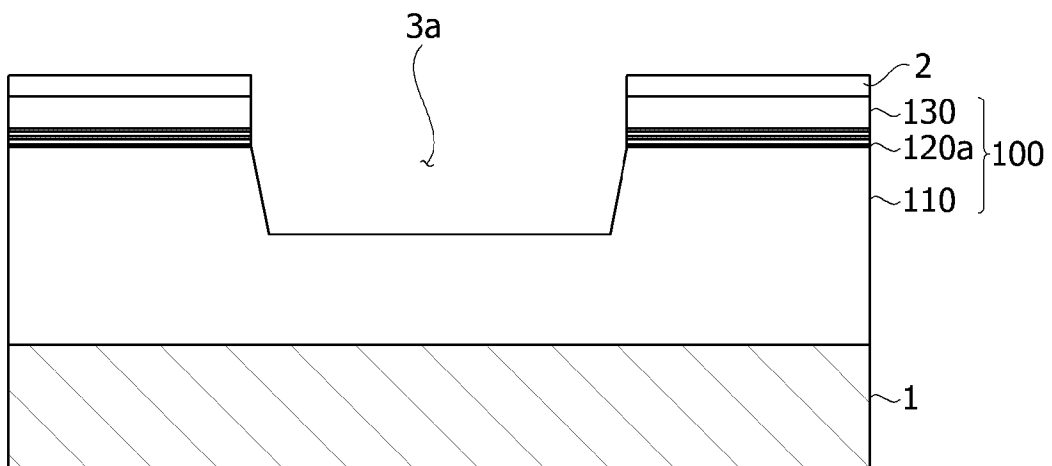
[도28a]



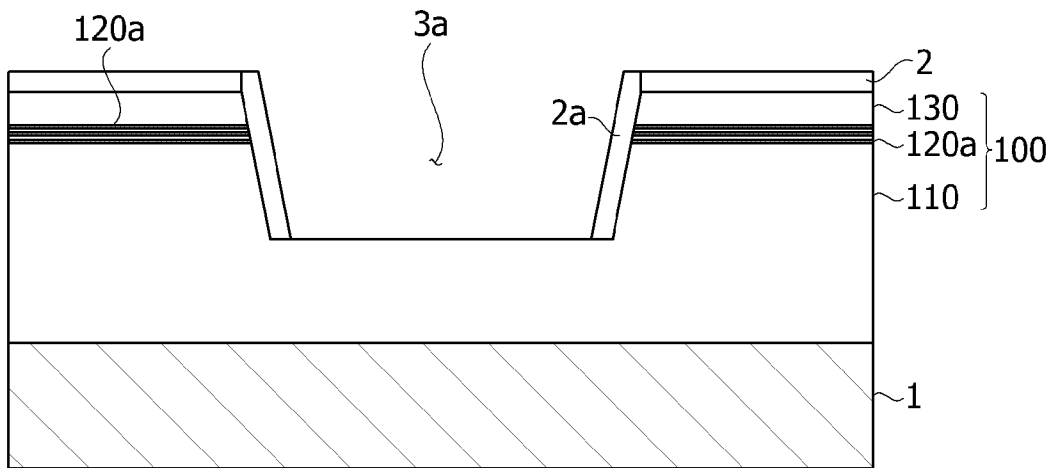
[도28b]



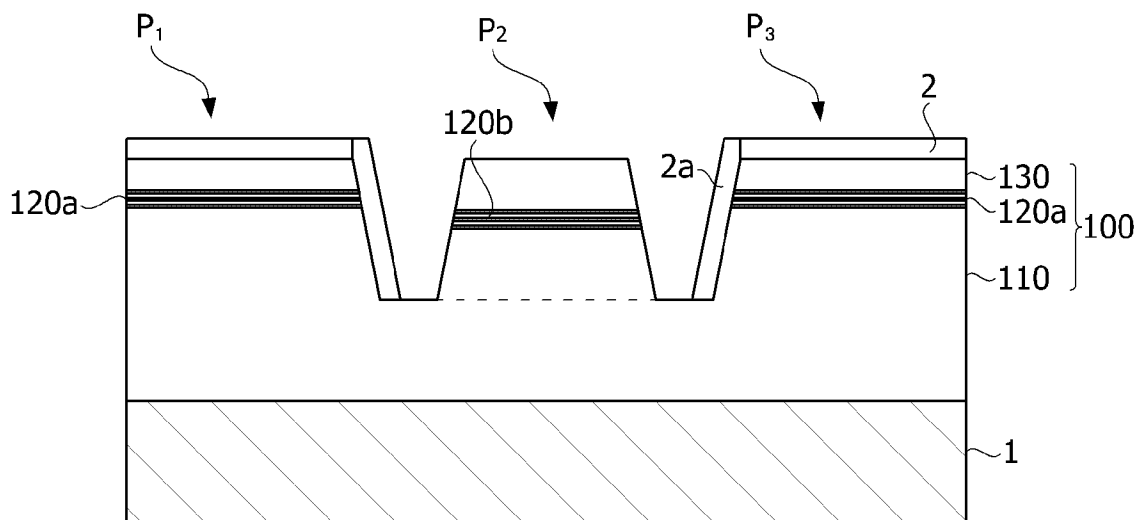
[도28c]



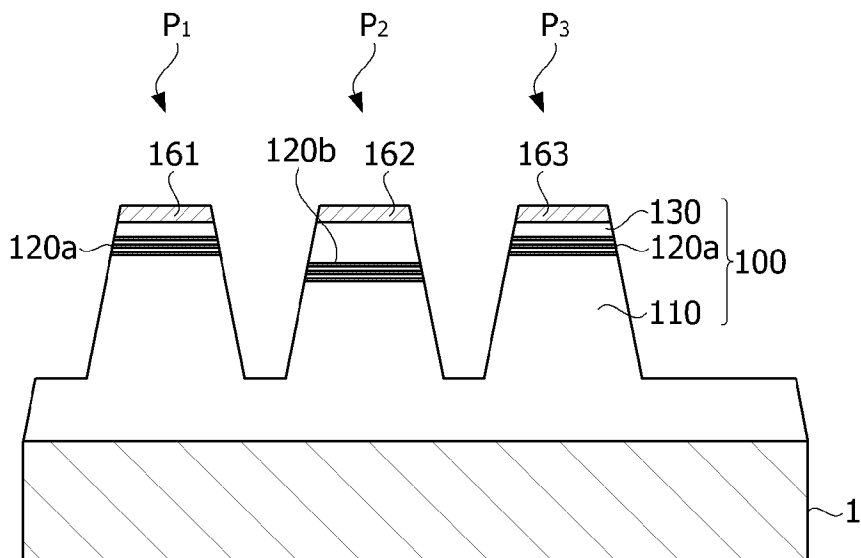
[도28d]



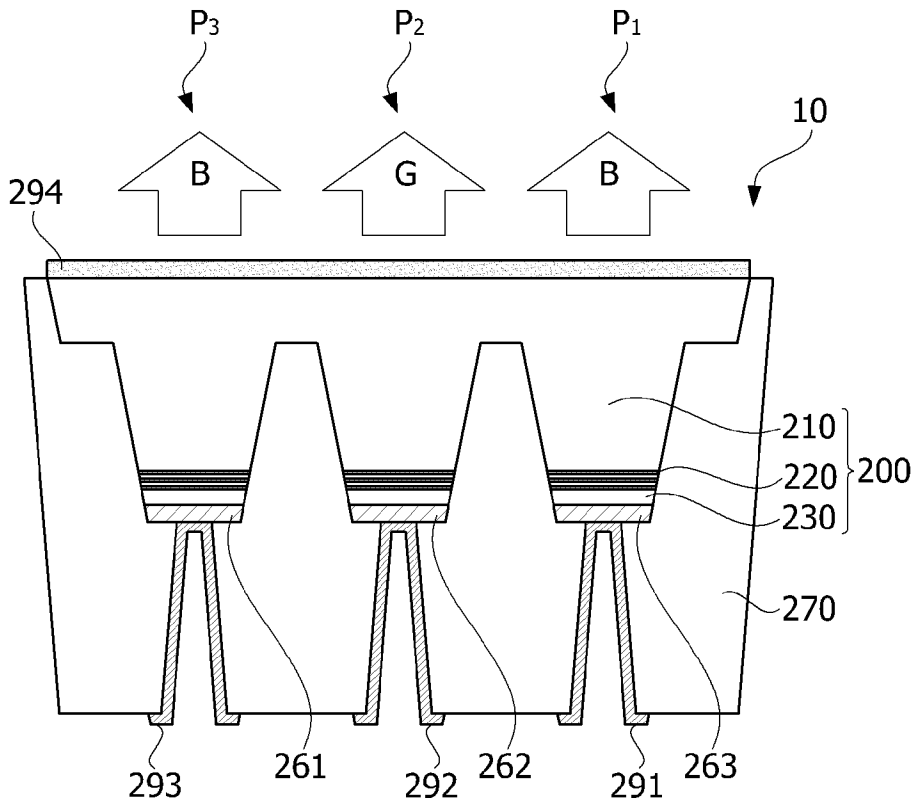
[도28e]



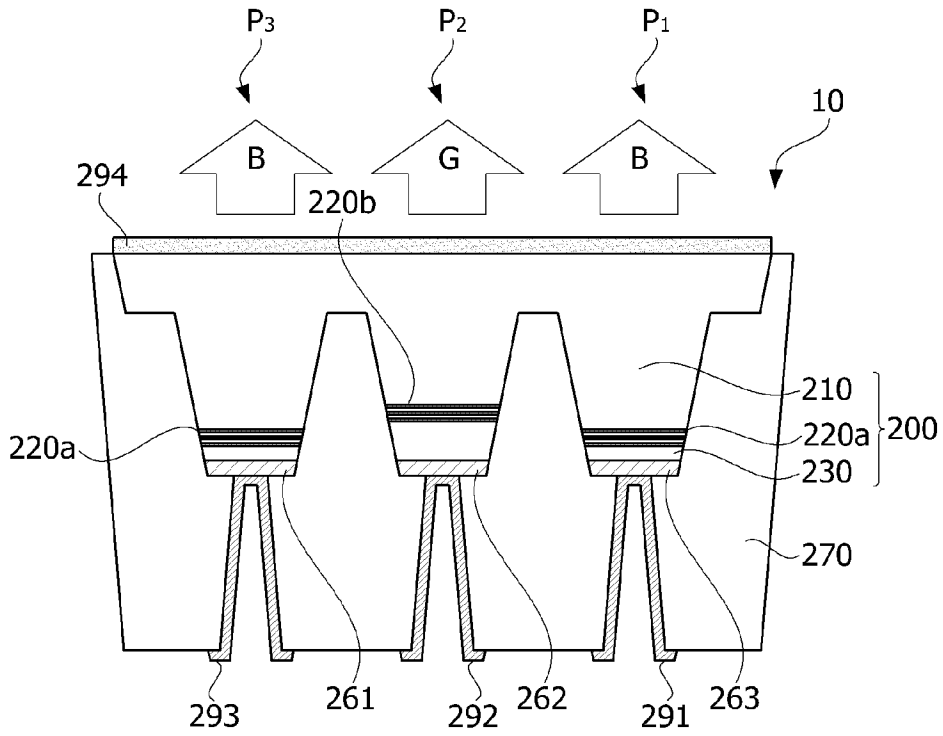
[도28f]



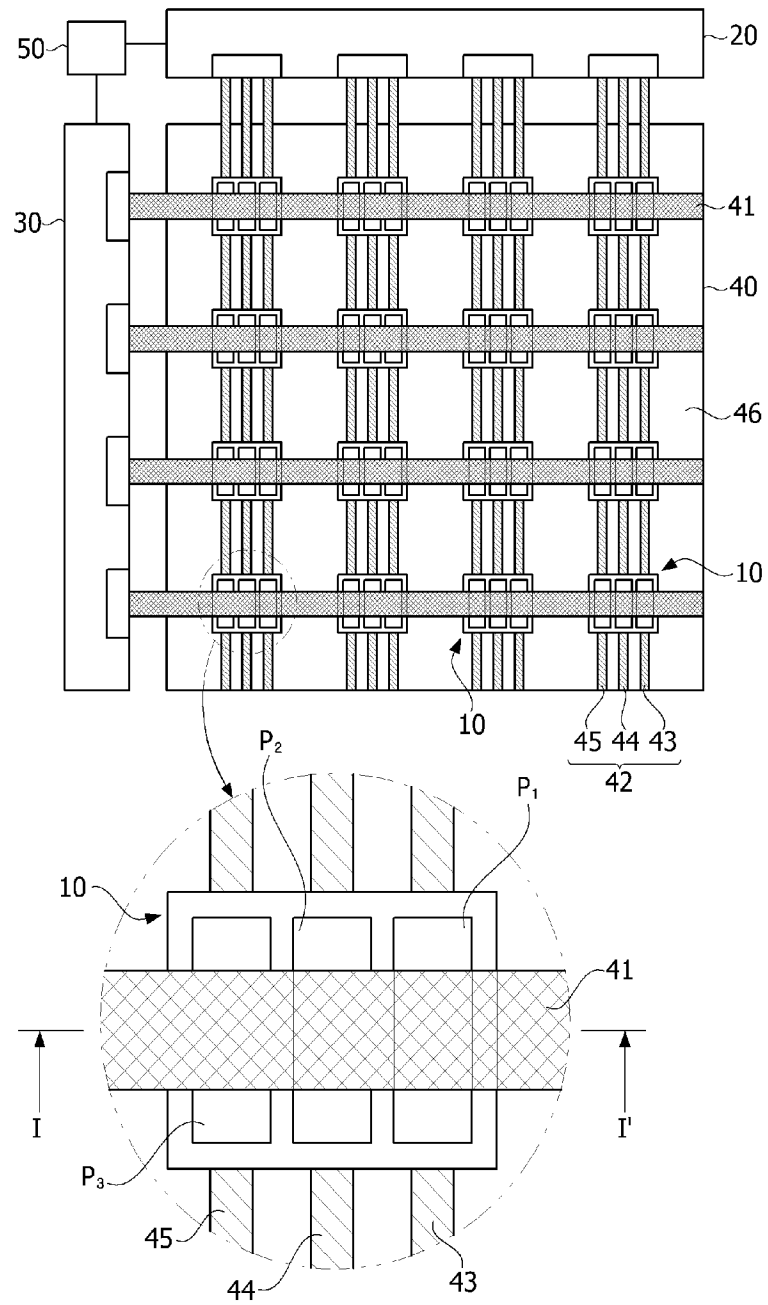
[도29a]



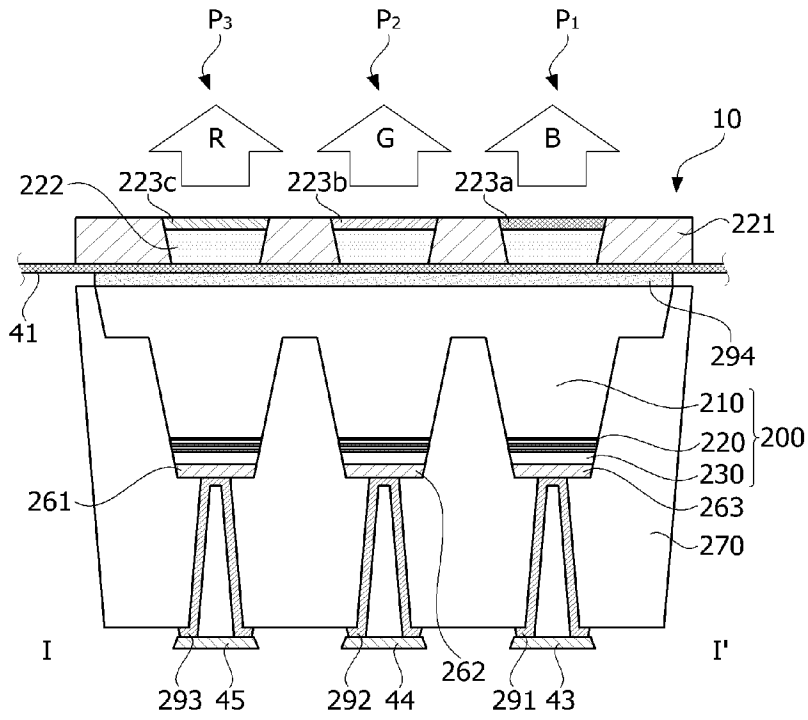
[도29b]



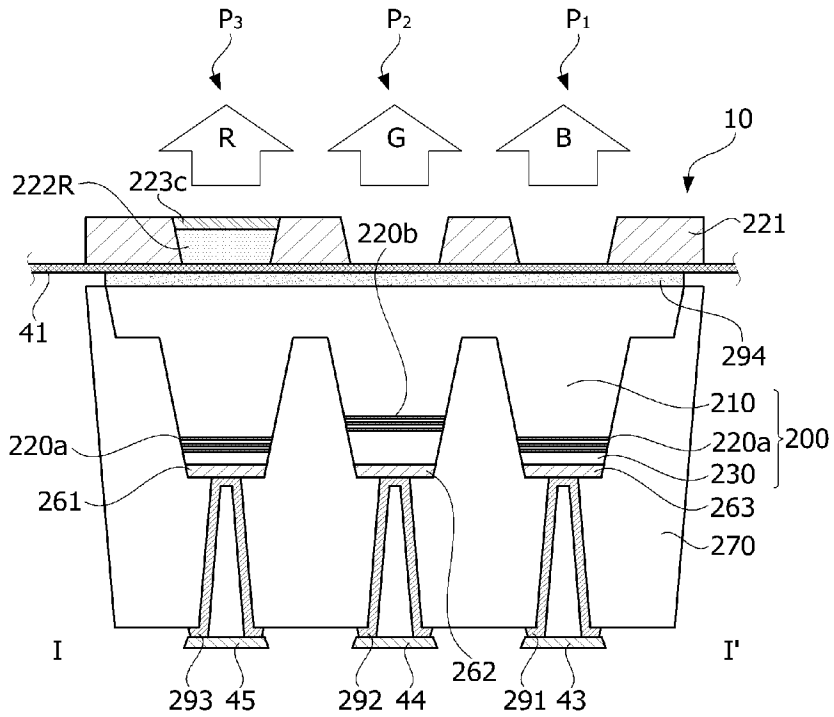
[도30a]



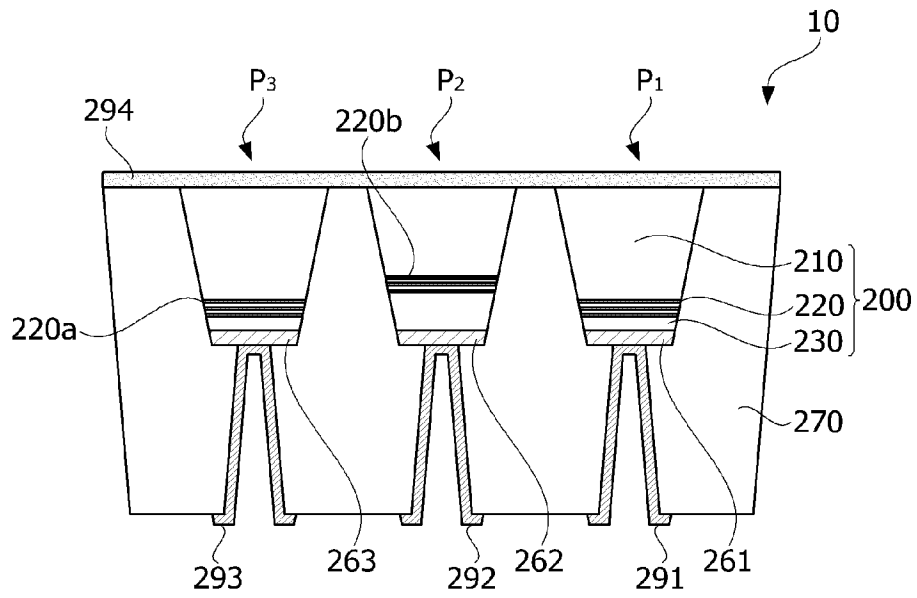
[도30b]



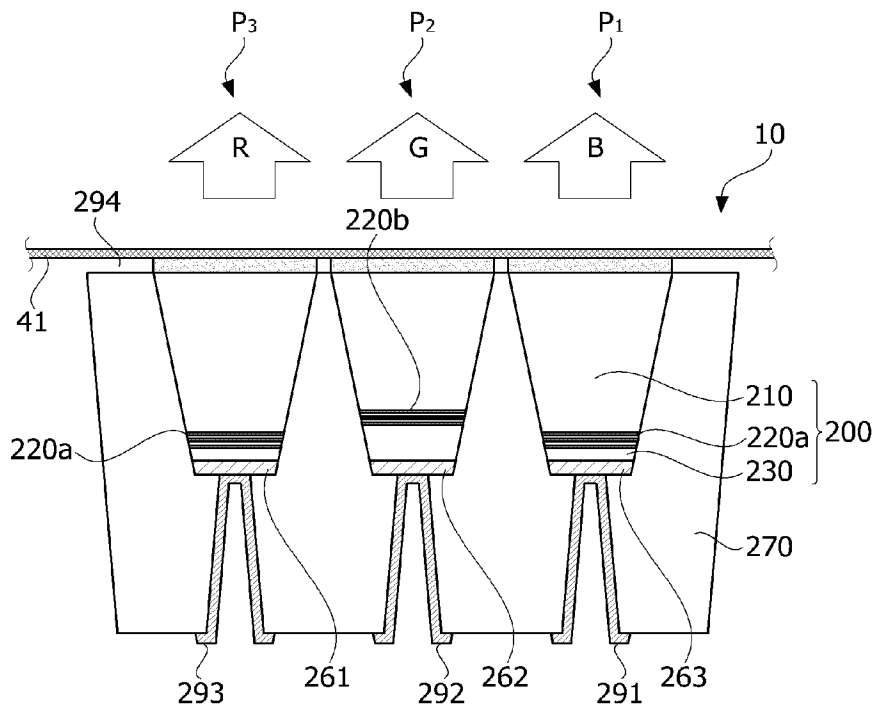
[도30c]



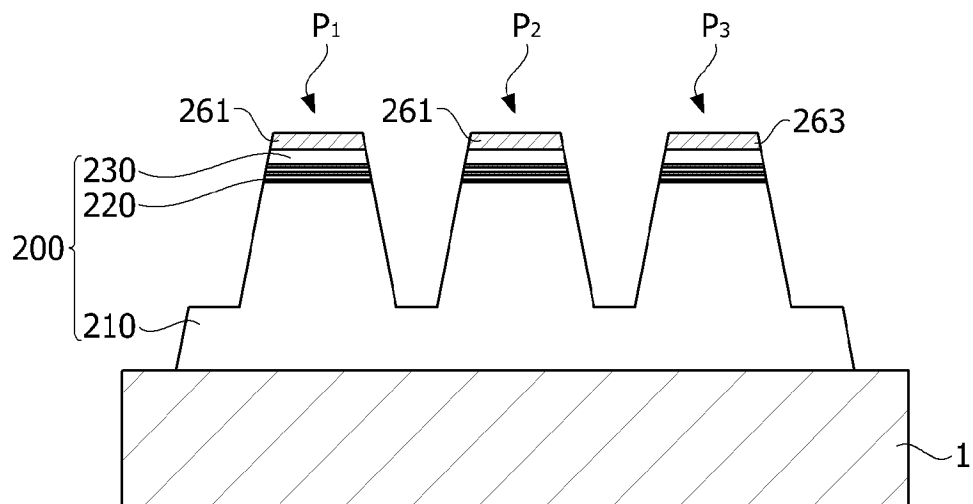
[도31a]



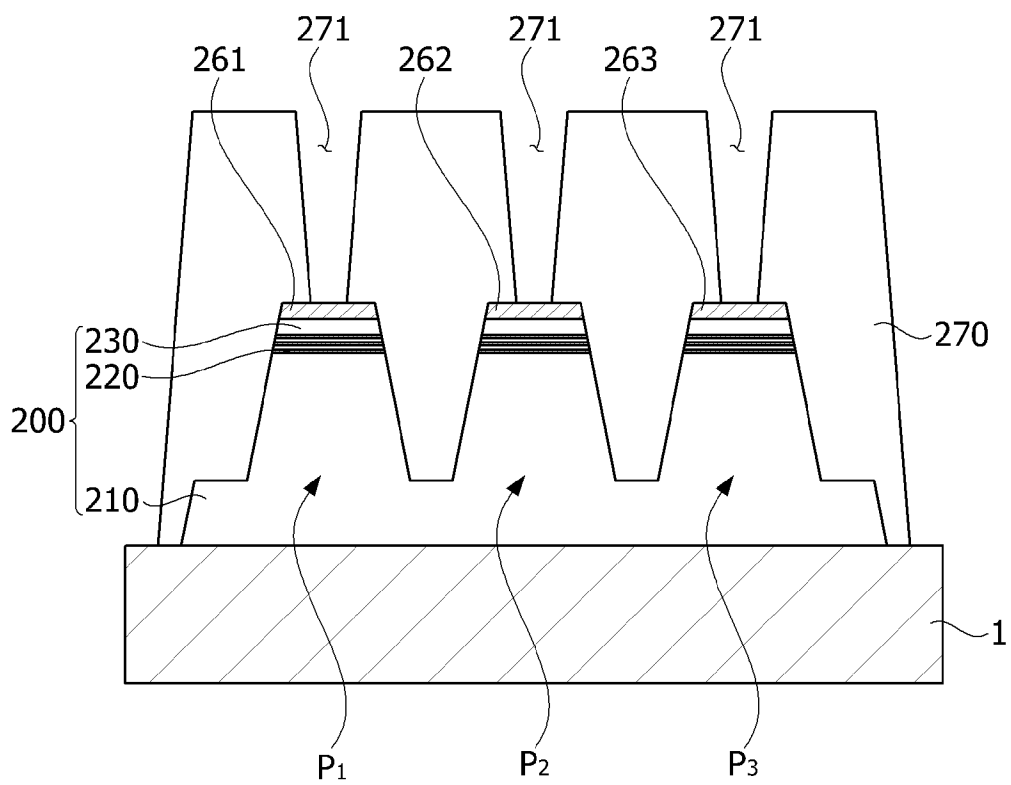
[도31b]



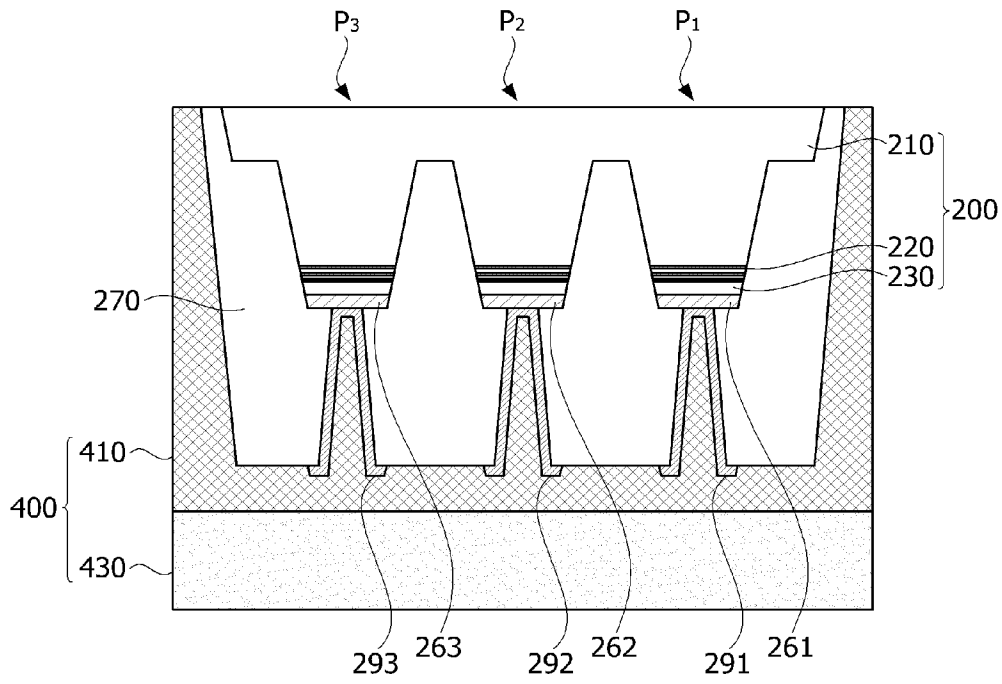
[도32a]



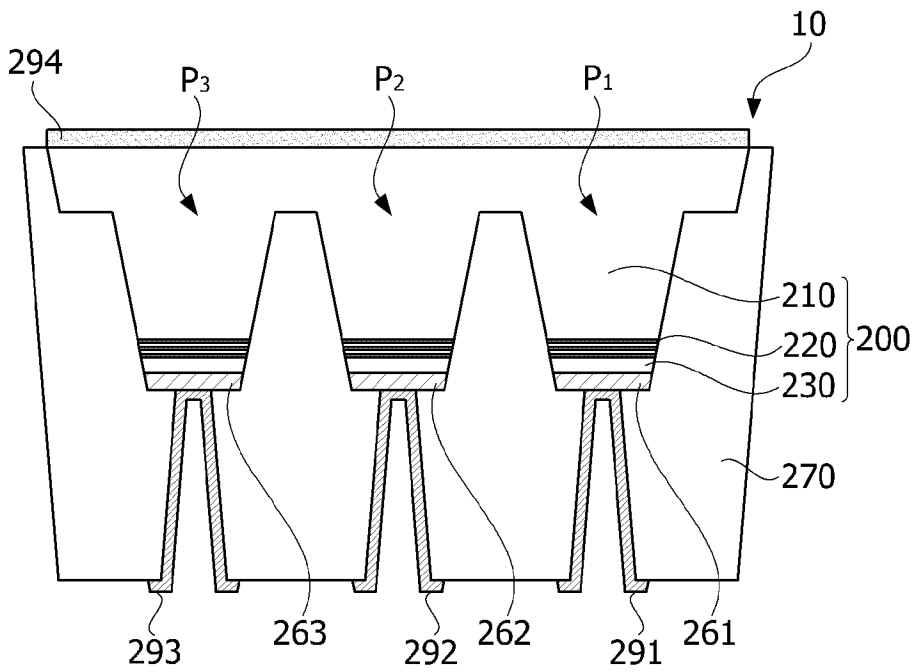
[도32b]



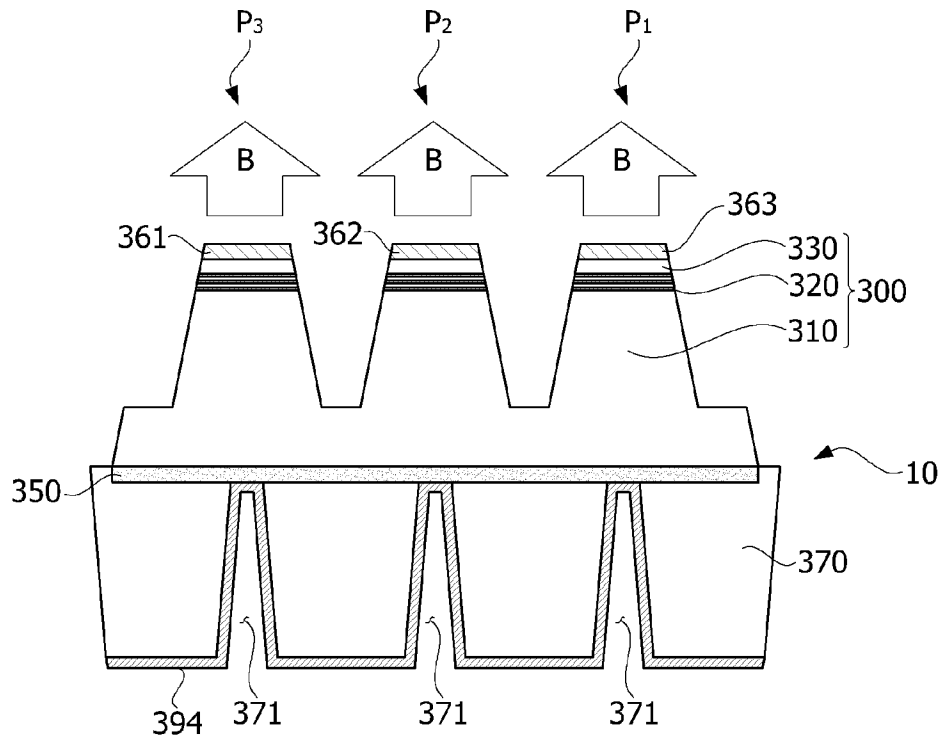
[도32e]



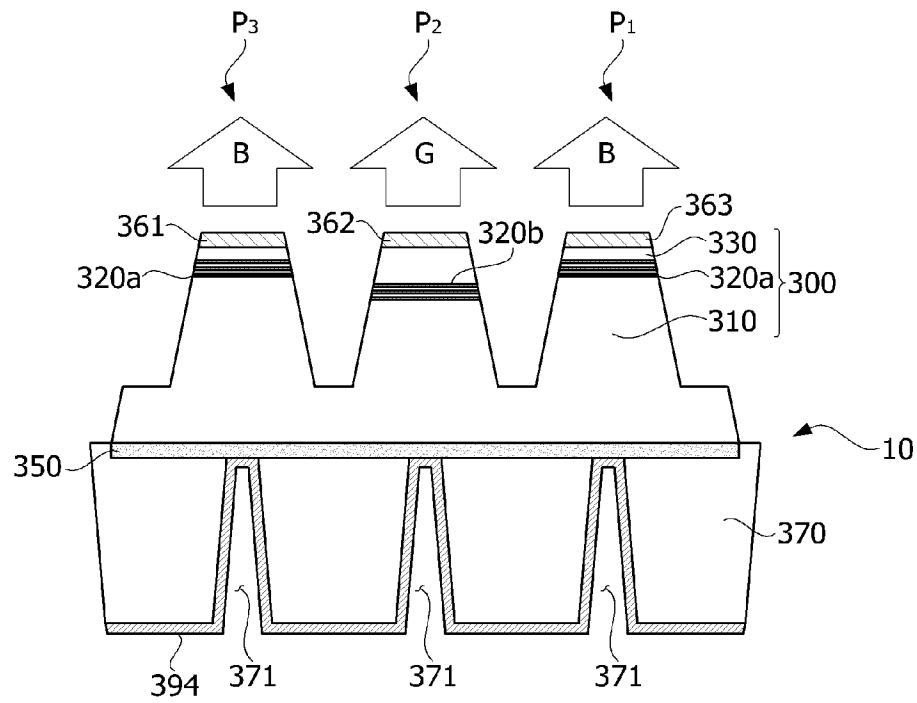
[도32f]



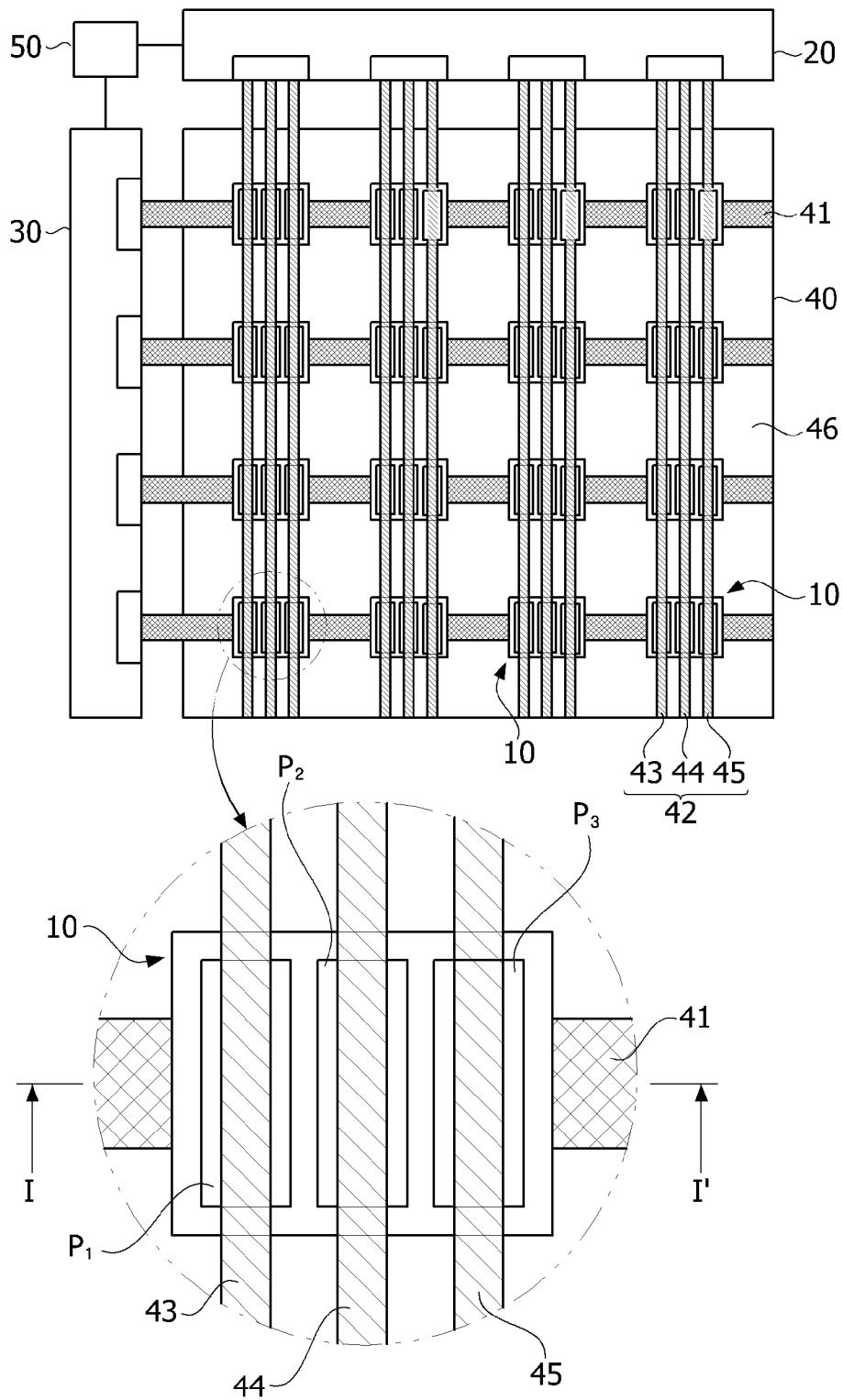
[도33a]



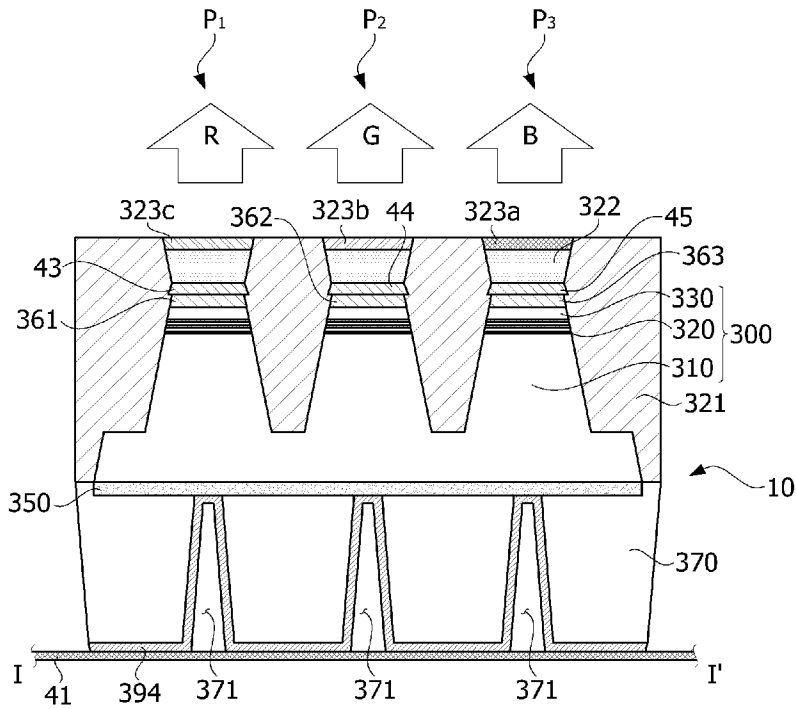
[도33b]



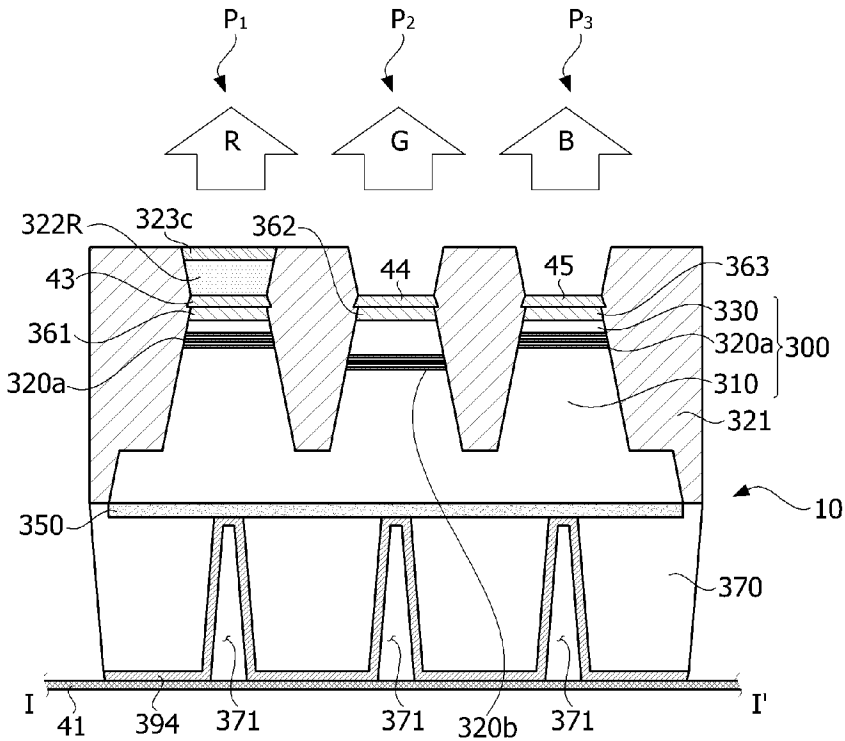
[도34a]



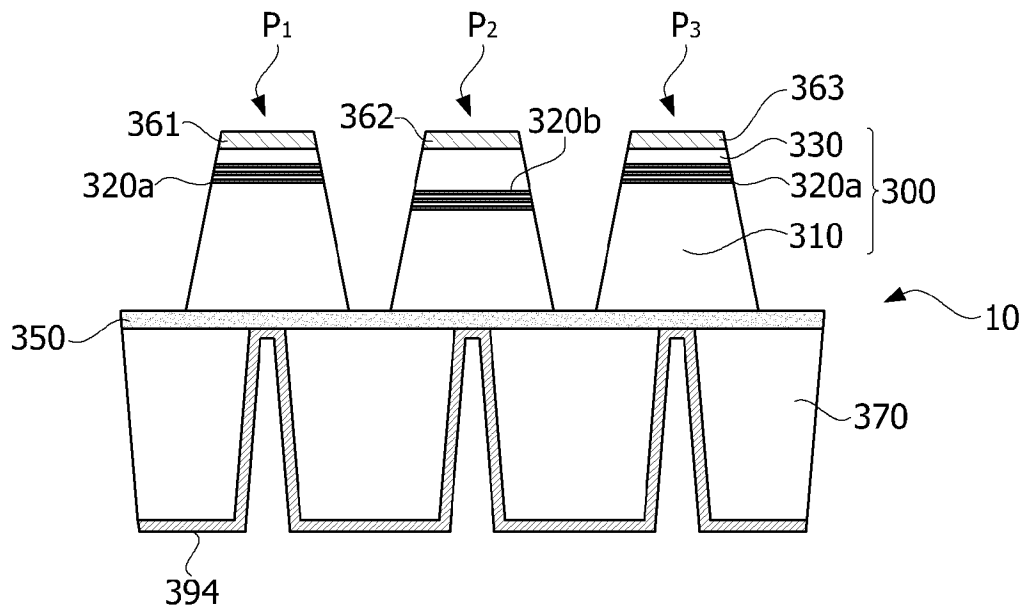
[도34b]



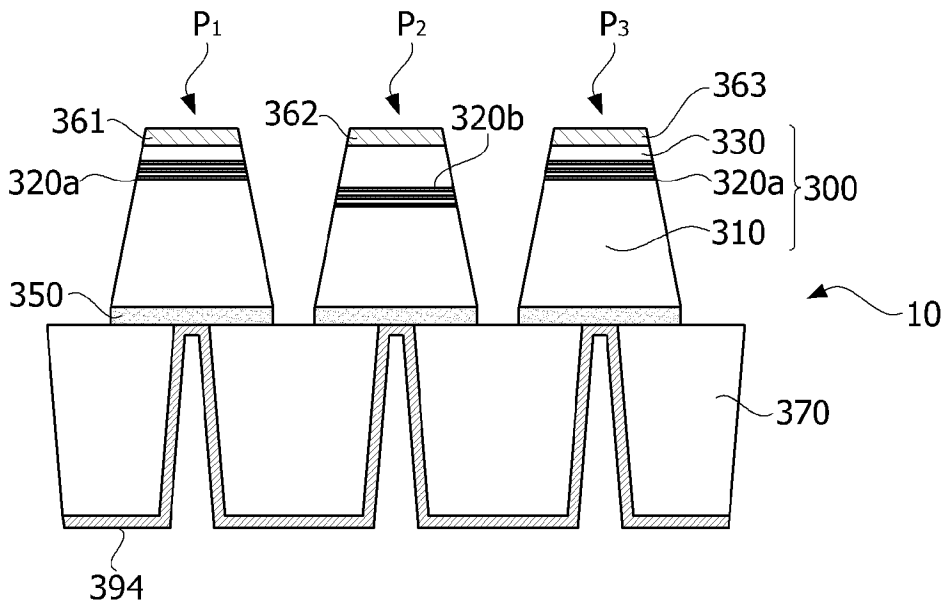
[도34c]



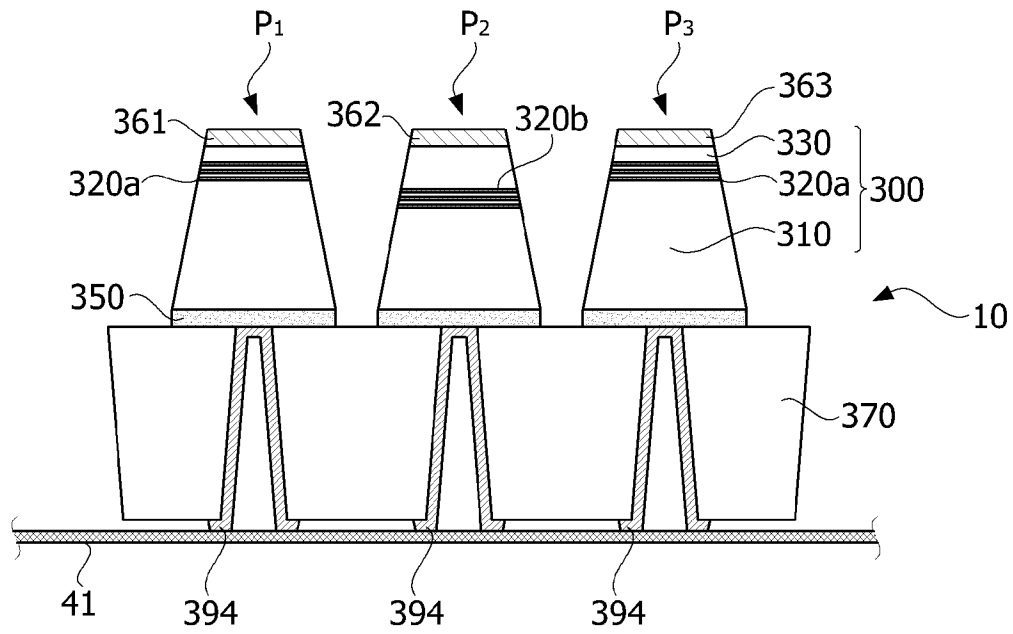
[도35a]



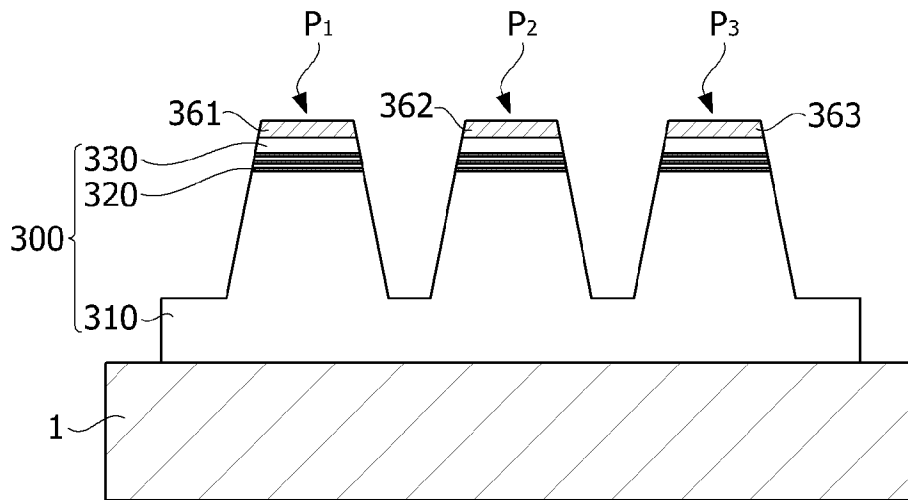
[도35b]



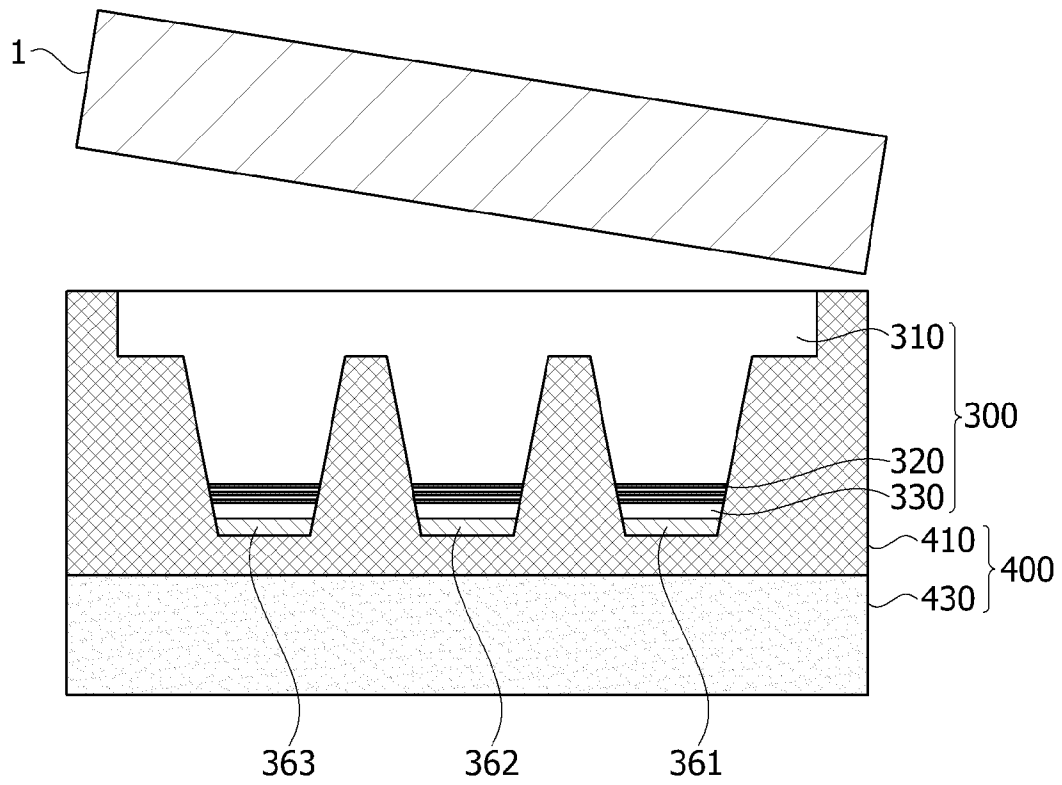
[도35c]



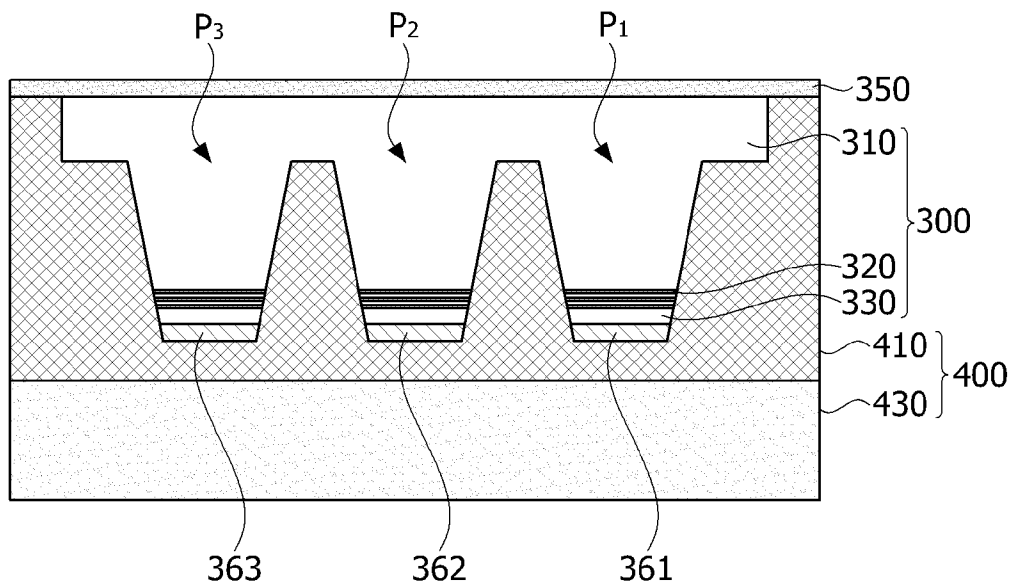
[도36a]



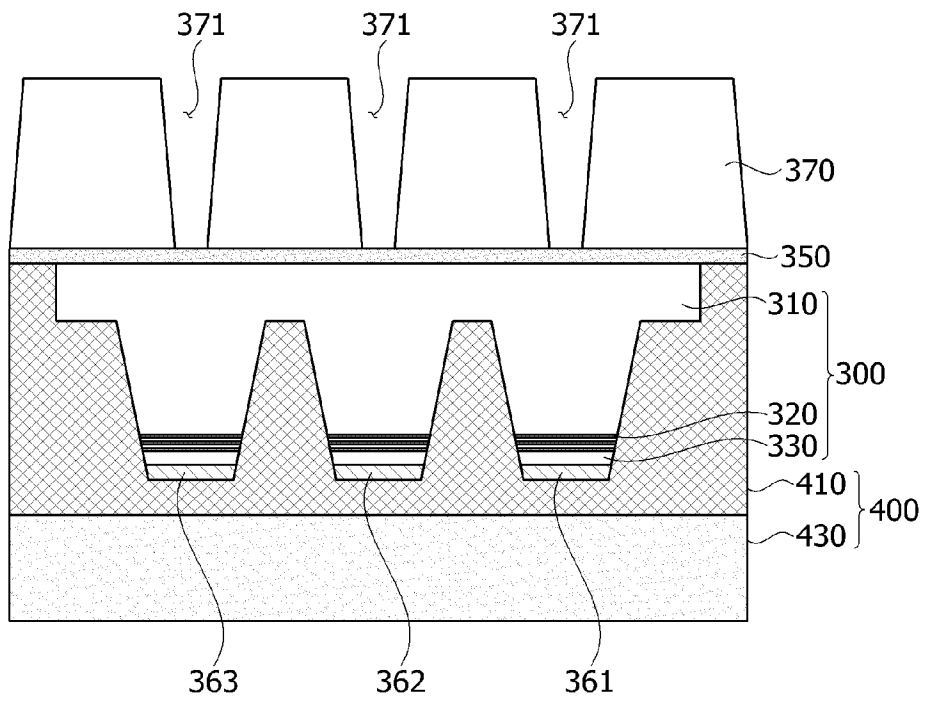
[도36b]



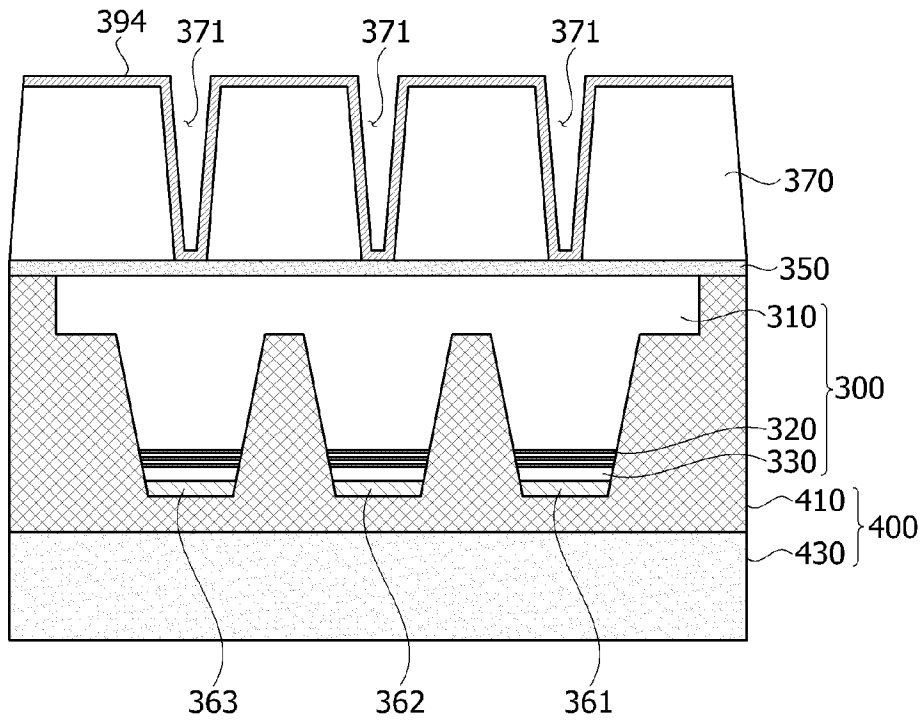
[도36c]



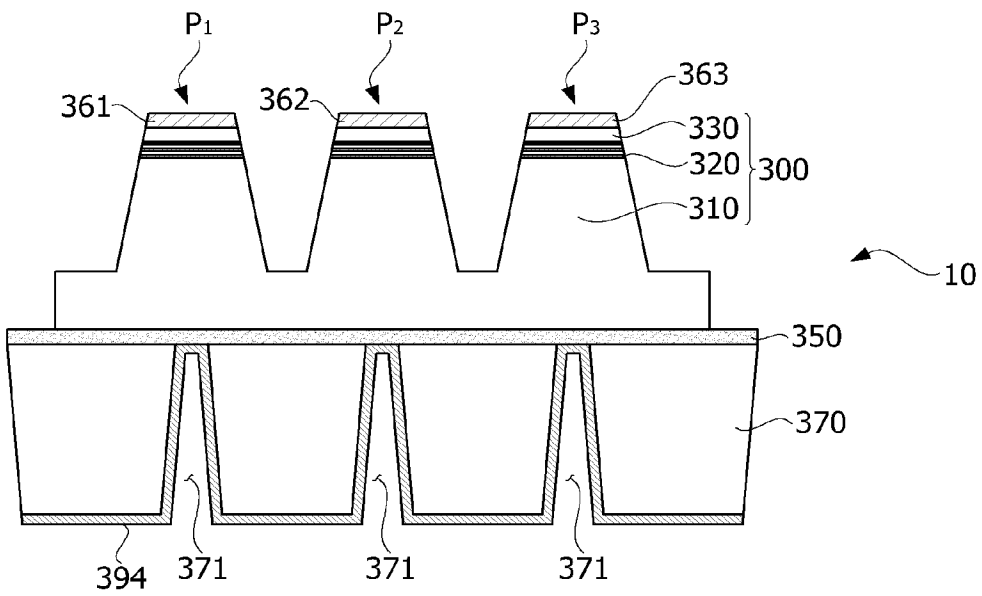
[도36d]



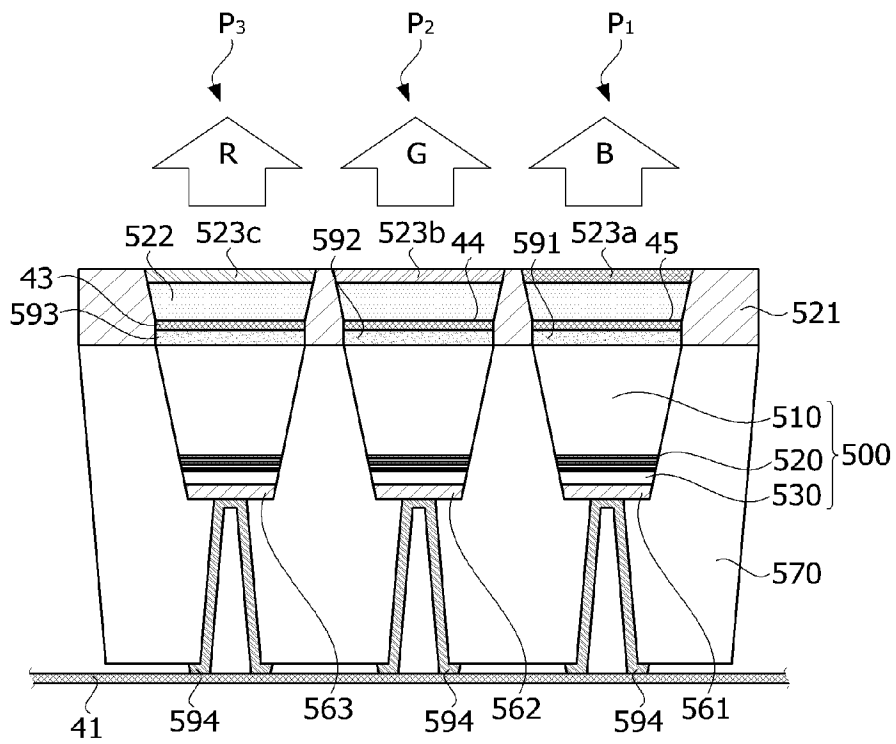
[도36e]



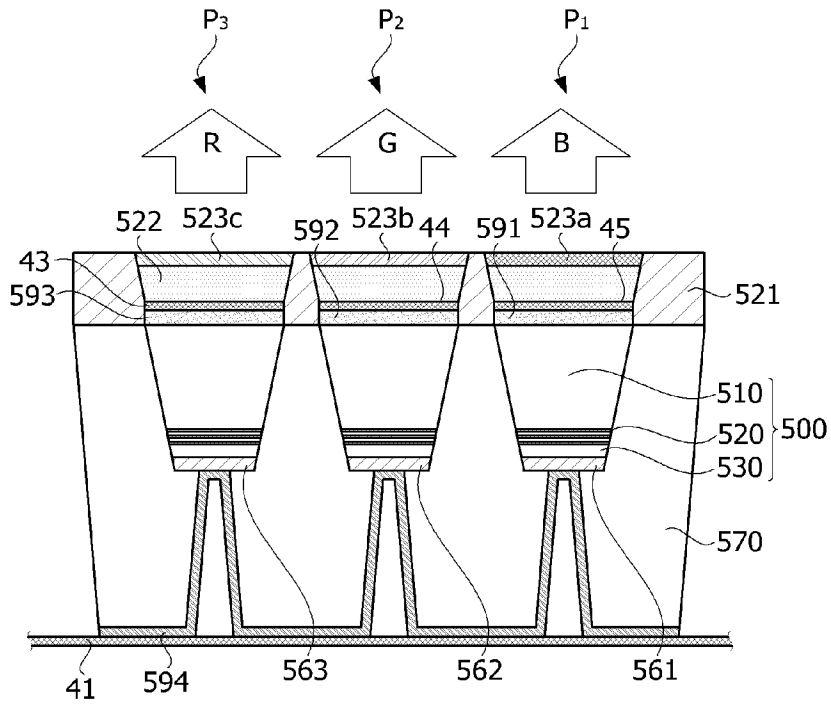
[도36f]



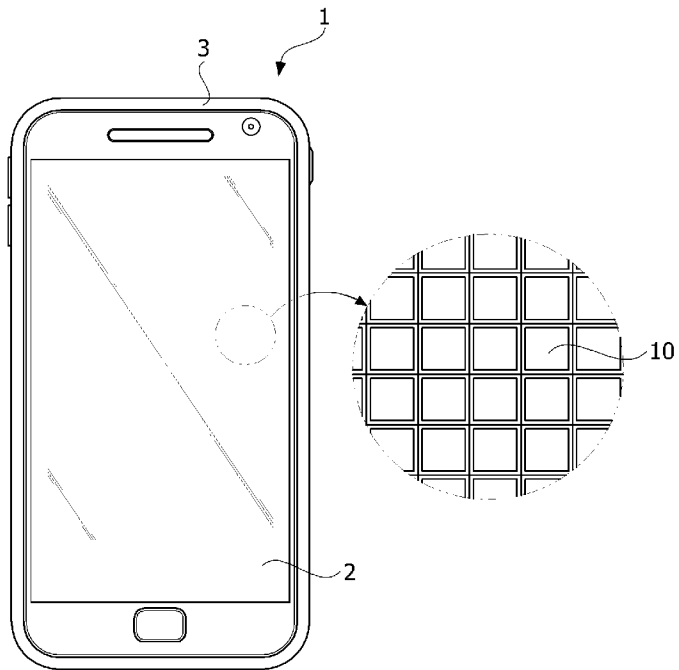
[도37a]



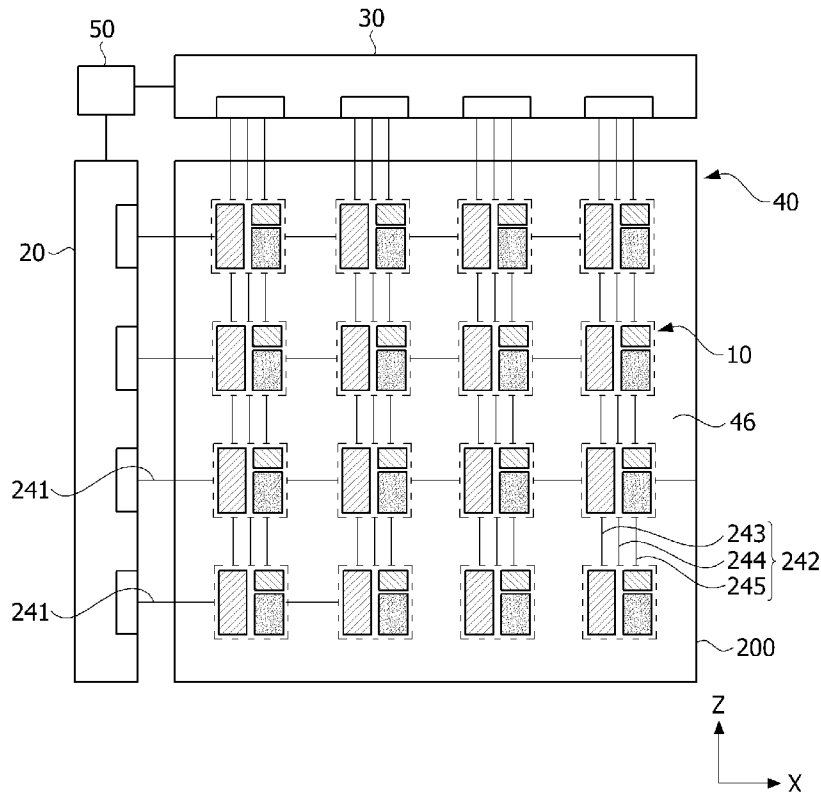
[도37b]



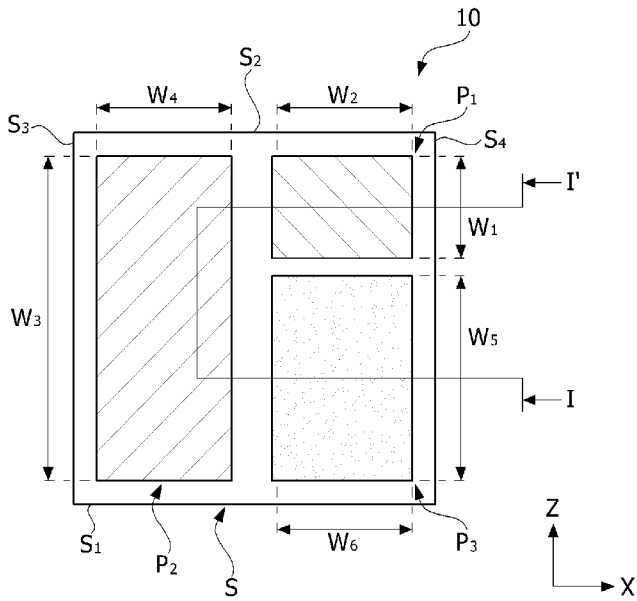
[도38]



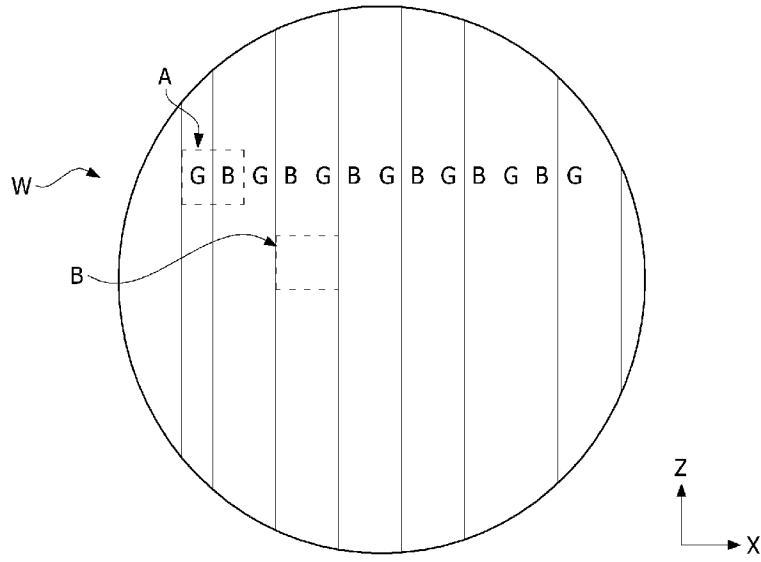
[도39]



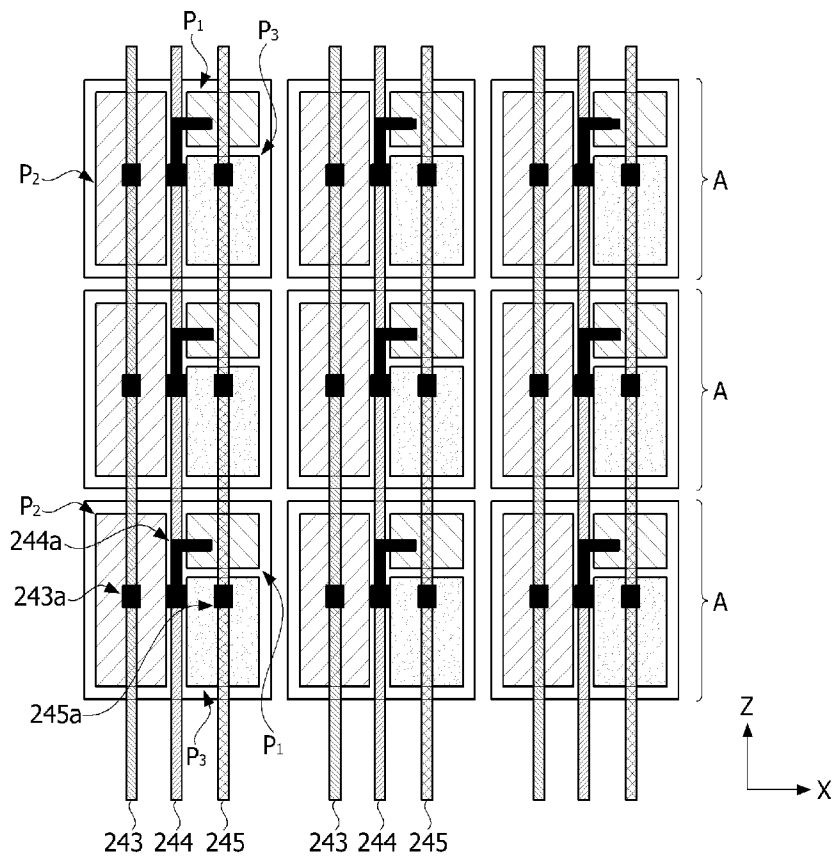
[도40]



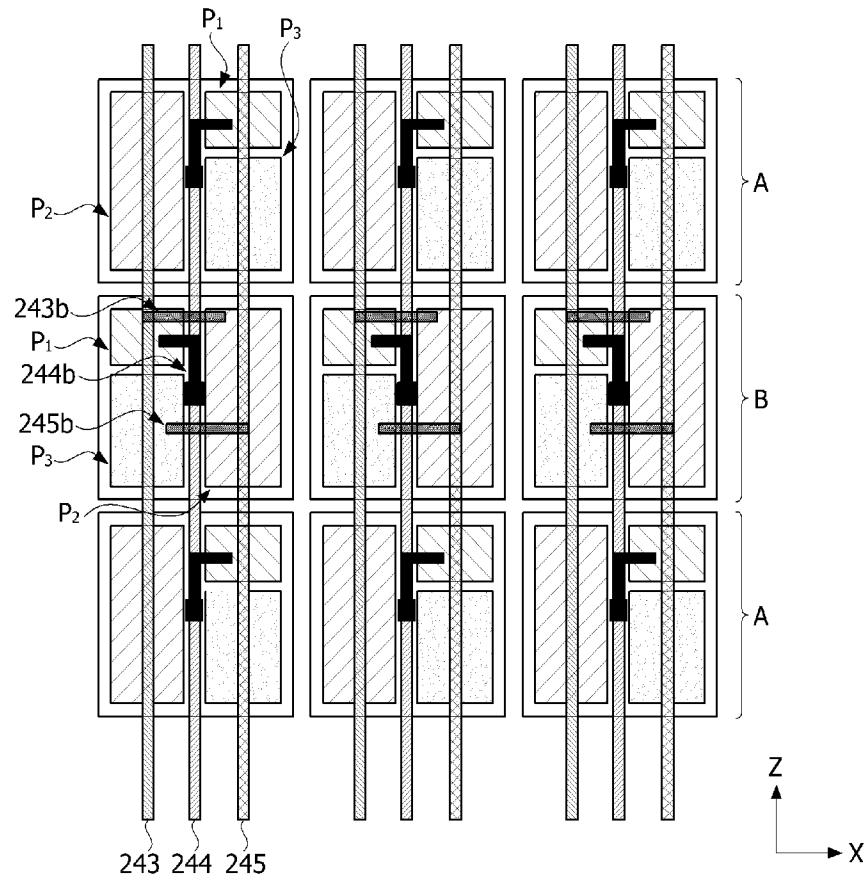
[도41]



[도42]

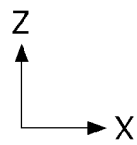


[도43]



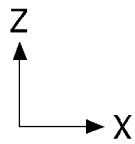
[도44]

A	A	A	A	A
B	B	B	B	B
A	A	A	A	A
B	B	B	B	B
A	A	A	A	A



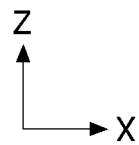
[도45]

A	B	A	B	A
A	B	A	B	A
A	B	A	B	A
A	B	A	B	A
A	B	A	B	A

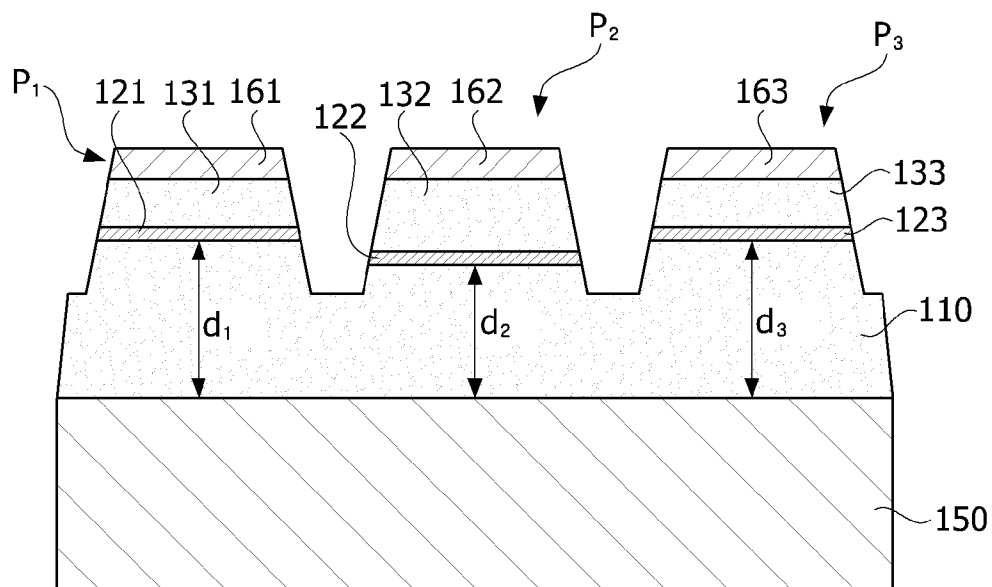


[도46]

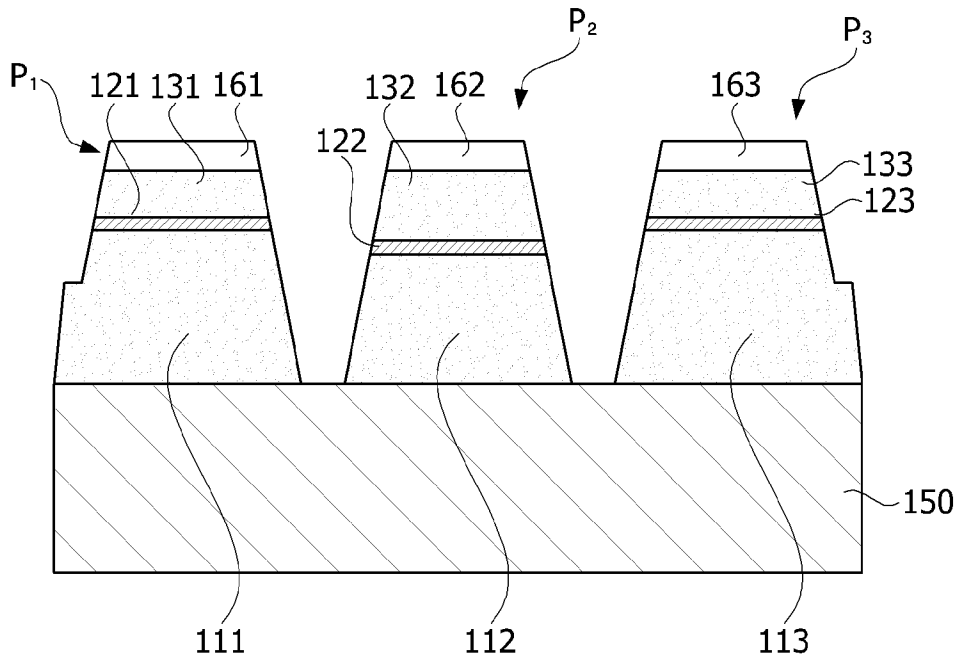
A	B	A	B	A
B	A	B	A	B
A	B	A	B	A
B	A	B	A	B
A	B	A	B	A



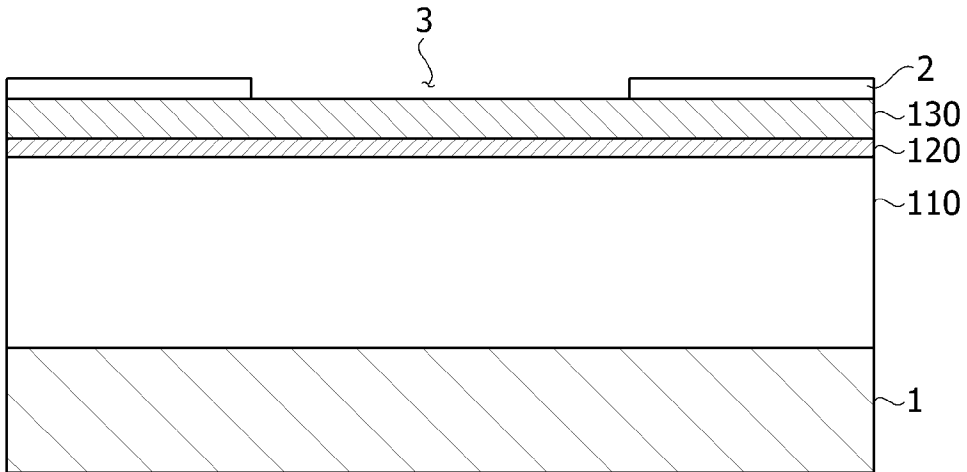
[도47]



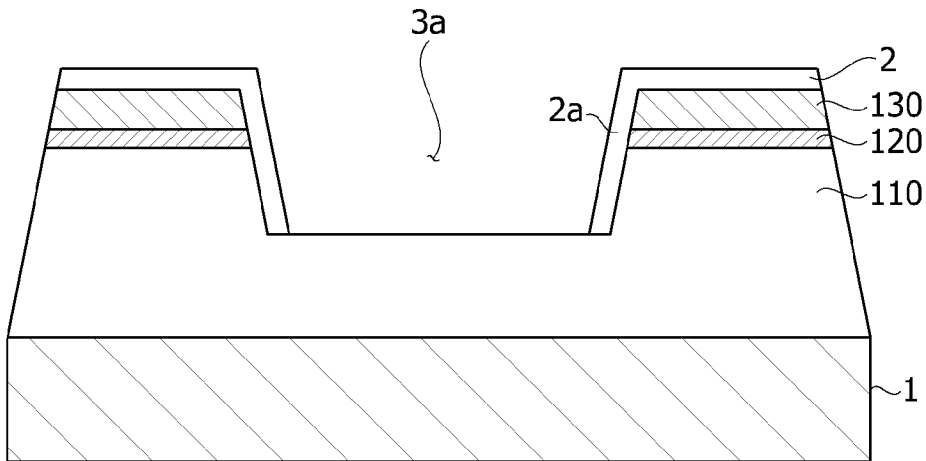
[도48]



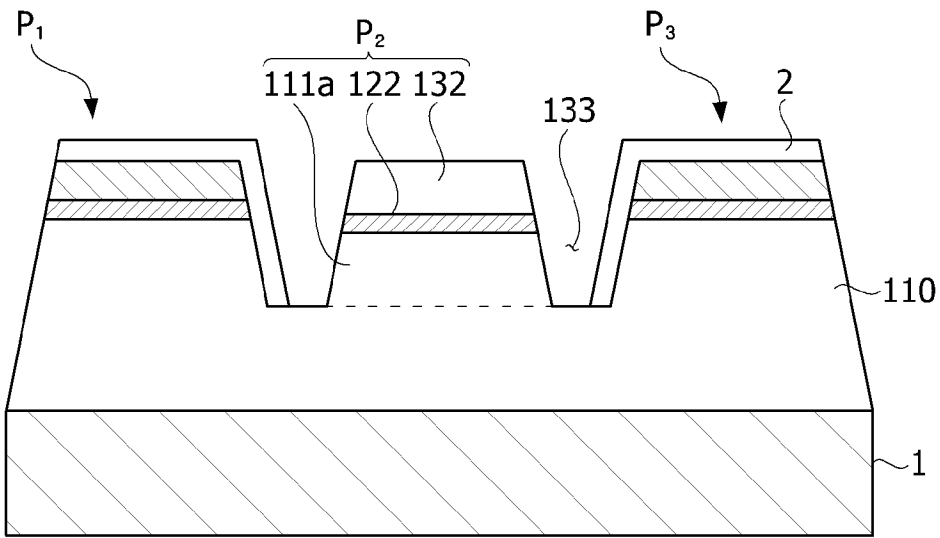
[도49a]



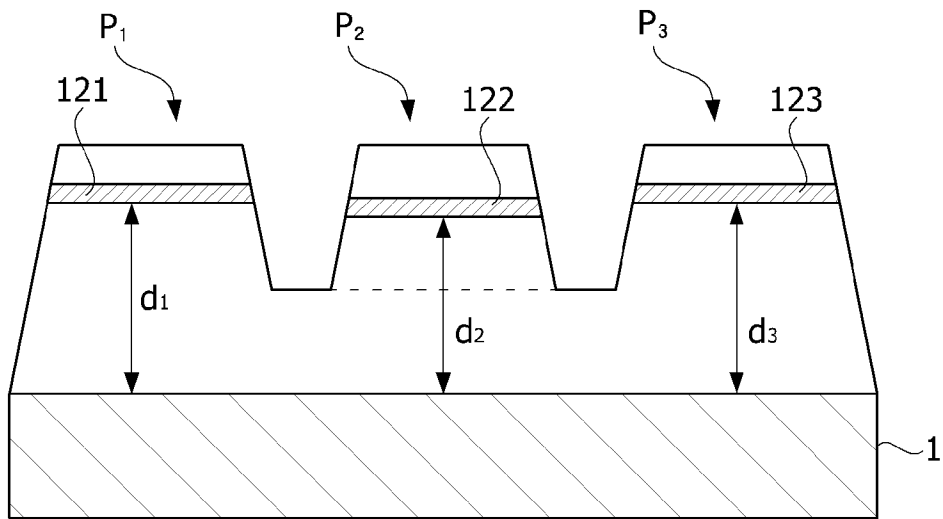
[도49b]



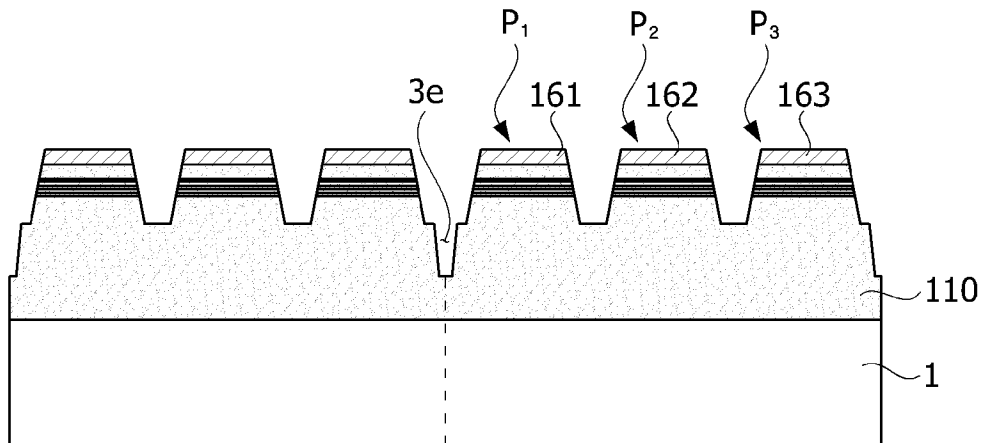
[도49c]



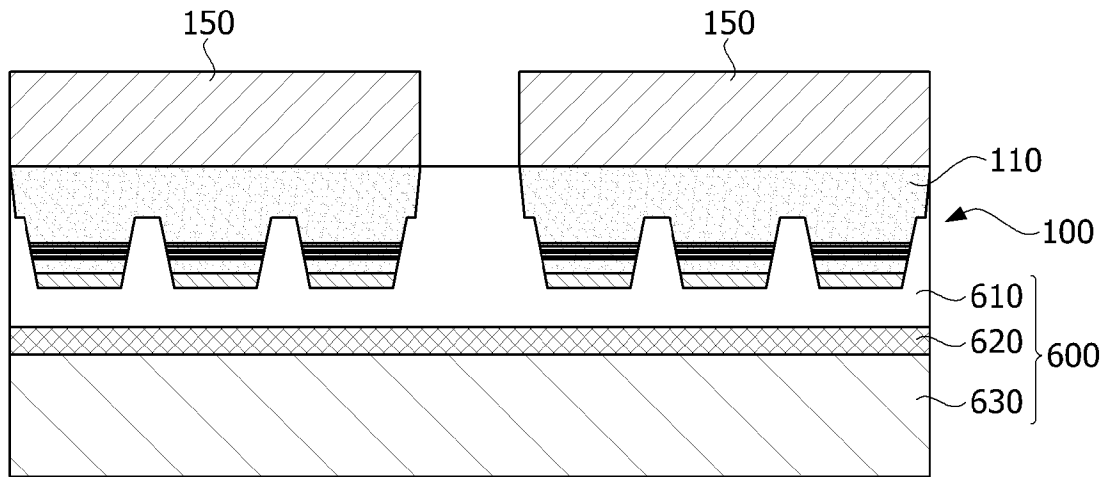
[도49d]



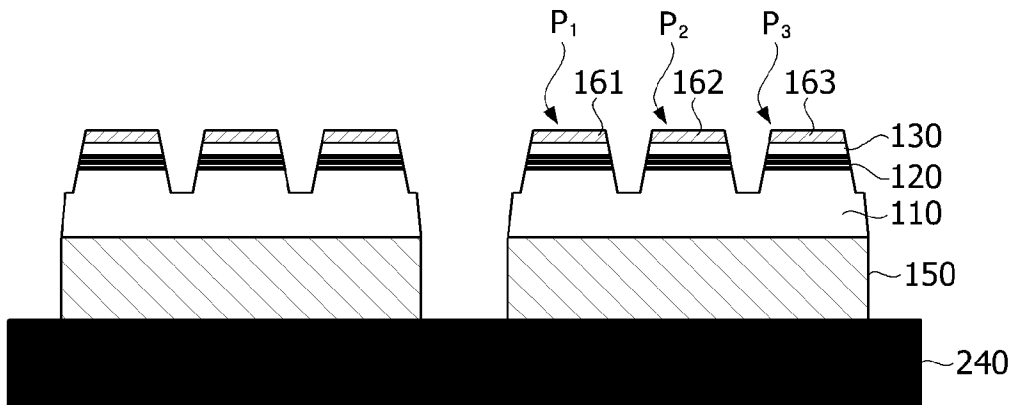
[도49e]



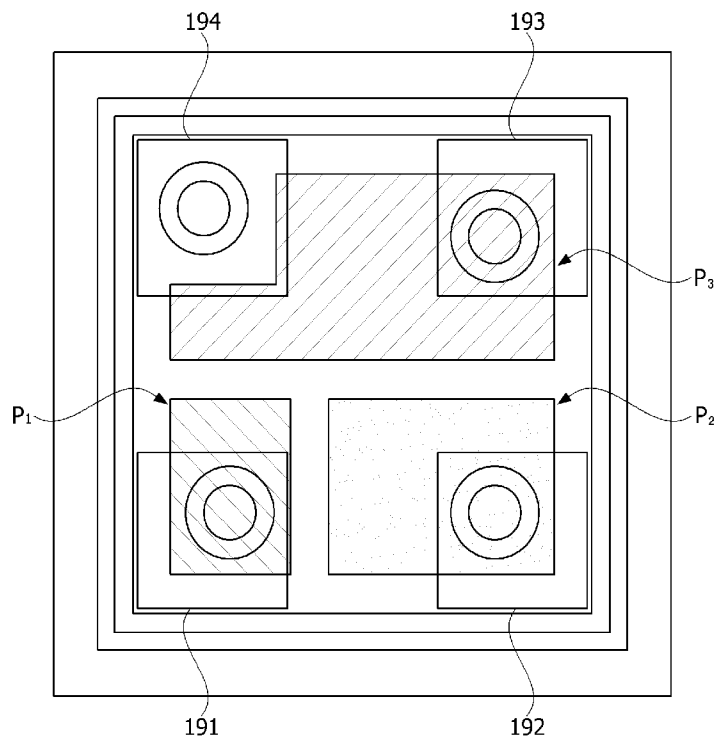
[도49f]



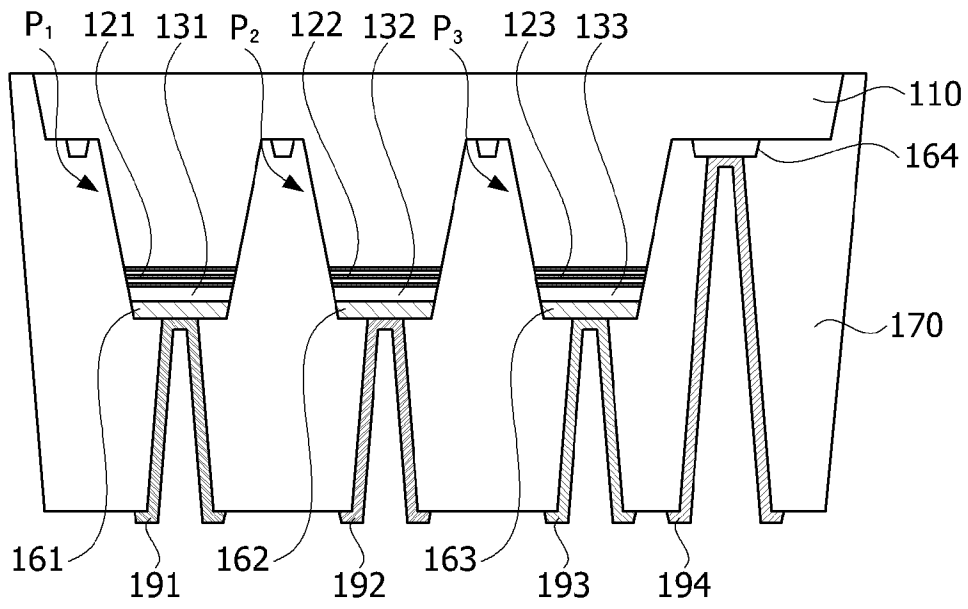
[도49g]



[도50]



[도51]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/002903

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/15(2006.01)i, H01L 33/38(2010.01)i, H01L 33/40(2010.01)i, H01L 33/50(2010.01)i, H01L 33/58(2010.01)i, H05B 33/12(2006.01)i, H01L 25/075(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/15; G09F 9/33; H01L 33/00; H01L 33/32; H01L 33/02; H01L 33/08; H01L 33/38; H01L 33/40; H01L 33/50; H01L 33/58; H05B 33/12; H01L 25/075

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: semiconductor device, display device, light emitting structure, electrode, active layer, height

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-185044 A (NICHIA CHEM. IND. LTD.) 28 June 2002 See paragraphs [0007]-[0014], [0017], [0025]-[0032] and figures 1-9.	1-2,4-5,8
Y		3,6-7,9-10
Y	KR 10-2014-0083488 A (LG ELECTRONICS INC.) 04 July 2014 See paragraphs [0043]-[0056], [0076]-[0083], [0098] and figures 1-4, 11.	3,6-7,9-10
A	KR 10-2010-0055747 A (LG INNOTEK CO., LTD.) 27 May 2010 See paragraphs [0013]-[0032] and figures 1-2.	1-10
A	US 2012-0273816 A1 (YOSHIDA, Takahisa et al.) 01 November 2012 See paragraphs [0046]-[0061] and figures 1-2.	1-10
A	KR 10-2011-0123118 A (SAMSUNG ELECTRONICS CO., LTD.) 14 November 2011 See paragraphs [0039]-[0049] and figures 1-2.	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

26 JUNE 2017 (26.06.2017)

Date of mailing of the international search report

26 JUNE 2017 (26.06.2017)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/002903

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2002-185044 A	28/06/2002	JP 3758562 B2	22/03/2006
KR 10-2014-0083488 A	04/07/2014	NONE	
KR 10-2010-0055747 A	27/05/2010	CN 101740600 A	16/06/2010
		CN 101740600 B	04/09/2013
		EP 2187442 A2	19/05/2010
		EP 2187442 A3	29/12/2010
		KR 10-1154758 B1	08/06/2012
		US 2010-0123145 A1	20/05/2010
		US 8884505 B2	11/11/2014
US 2012-0273816 A1	01/11/2012	CN 103460529 A	18/12/2013
		JP 05234130 B2	10/07/2013
		JP 2012-209352 A	25/10/2012
		TW 201244311 A	01/11/2012
		US 8445925 B2	21/05/2013
		WO 2012-133546 A1	04/10/2012
KR 10-2011-0123118 A	14/11/2011	US 2011-0272712 A1	10/11/2011
		US 2014-0057381 A1	27/02/2014
		US 8592839 B2	26/11/2013
		US 8871544 B2	28/10/2014

A. 발명이 속하는 기술분류(국제특허분류(IPC))
H01L 27/15(2006.01)i, H01L 33/38(2010.01)i, H01L 33/40(2010.01)i, H01L 33/50(2010.01)i, H01L 33/58(2010.01)i, H05B 33/12(2006.01)i, H01L 25/075(2006.01)i

B. 조사된 분야
 조사된 최소문헌(국제특허분류를 기재)
 H01L 27/15; G09F 9/33; H01L 33/00; H01L 33/32; H01L 33/02; H01L 33/08; H01L 33/38; H01L 33/40; H01L 33/50; H01L 33/58; H05B 33/12; H01L 25/075

조사된 기술분야에 속하는 최소문헌 이외의 문헌
 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
 eKOMPASS(특허청 내부 검색시스템) & 키워드: 반도체 소자, 표시장치, 발광구조물, 전극, 활성층, 높이

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	JP 2002-185044 A (NICHIA CHEM IND LTD.) 2002.06.28 단락 [0007]-[0014], [0017], [0025]-[0032] 및 도면 1-9 참조.	1-2, 4-5, 8
Y		3, 6-7, 9-10
Y	KR 10-2014-0083488 A (엘지전자 주식회사) 2014.07.04 단락 [0043]-[0056], [0076]-[0083], [0098] 및 도면 1-4, 11 참조.	3, 6-7, 9-10
A	KR 10-2010-0055747 A (엘지이노텍 주식회사) 2010.05.27 단락 [0013]-[0032] 및 도면 1-2 참조.	1-10
A	US 2012-0273816 A1 (TAKAHISA YOSHIDA 등) 2012.11.01 단락 [0046]-[0061] 및 도면 1-2 참조.	1-10
A	KR 10-2011-0123118 A (삼성전자주식회사) 2011.11.14 단락 [0039]-[0049] 및 도면 1-2 참조.	1-10

추가 문헌이 C(계속)에 기재되어 있습니다. 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:
 “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌
 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
 “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
 “&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일 2017년 06월 26일 (26.06.2017)	국제조사보고서 발송일 2017년 06월 26일 (26.06.2017)
--	---

ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 장기정 전화번호 +82-42-481-8364
---	------------------------------------



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2002-185044 A	2002/06/28	JP 3758562 B2	2006/03/22
KR 10-2014-0083488 A	2014/07/04	없음	
KR 10-2010-0055747 A	2010/05/27	CN 101740600 A CN 101740600 B EP 2187442 A2 EP 2187442 A3 KR 10-1154758 B1 US 2010-0123145 A1 US 8884505 B2	2010/06/16 2013/09/04 2010/05/19 2010/12/29 2012/06/08 2010/05/20 2014/11/11
US 2012-0273816 A1	2012/11/01	CN 103460529 A JP 05234130 B2 JP 2012-209352 A TW 201244311 A US 8445925 B2 WO 2012-133546 A1	2013/12/18 2013/07/10 2012/10/25 2012/11/01 2013/05/21 2012/10/04
KR 10-2011-0123118 A	2011/11/14	US 2011-0272712 A1 US 2014-0057381 A1 US 8592839 B2 US 8871544 B2	2011/11/10 2014/02/27 2013/11/26 2014/10/28