

(12) 发明专利

(10) 授权公告号 CN 101361194 B

(45) 授权公告日 2010.12.22

(21) 申请号 200680051344.9

(22) 申请日 2006.12.20

(30) 优先权数据

60/754,550 2005.12.27 US

(85) PCT申请进入国家阶段日

2008.07.18

(86) PCT申请的申请数据

PCT/US2006/048986 2006.12.20

(87) PCT申请的公布数据

W02007/075996 EN 2007.07.05

(73) 专利权人 美商科斯德半导体股份有限公司

地址 美国加利福尼亚州

(72) 发明人 理查德·弗朗西斯 范杨榆

埃里克·约翰逊 希·霍安格

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 余刚 尚志峰

(51) Int. Cl.

H01L 29/872(2006.01)

H01L 29/772(2006.01)

H01L 27/07(2006.01)

(56) 对比文件

WO 01/11693 A1, 2001.02.15, 说明书第6页  
第11行至第18页第10行,附图1至11.

WO 02/09174 A1, 2002.01.31, 全文.

US 2005/0230744 A1, 2005.10.20, 说明书第  
0031段至第0050段、附图1A-3G.

DE 10350160 A1, 2005.06.09, 说明书第  
0045段至第0054段、附图1-6.

US 6380569 B1, 2002.04.30, 说明书第4栏  
第7行至第9栏第62行、附图1-11.

审查员 王子元

权利要求书 2 页 说明书 8 页 附图 5 页

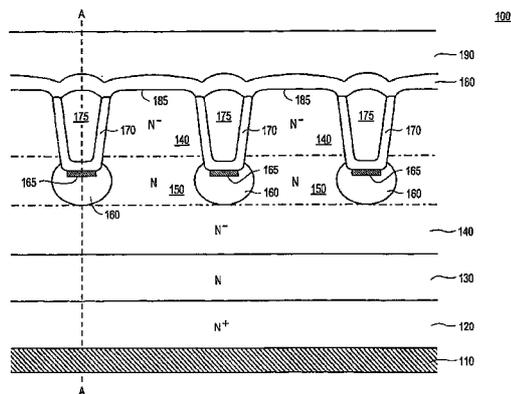
(54) 发明名称

用于快速恢复整流器结构的装置及方法

(57) 摘要

一种用于快速恢复整流器结构的装置和方法。具体地,该结构包括第一掺杂物的衬底(120)。轻掺杂有第一掺杂物的第一外延层(140)连接到该衬底。第一金属化层(190)连接到第一外延层。多个沟槽(175)凹入第一外延层,其中,多个沟槽中的每一个均连接到金属化层。该器件还包括多个阱,每一个均掺杂第二掺杂物类型,其中,每一个阱均形成在相应沟槽下方并邻近于该相应沟槽。多个氧化层(170)形成在相应沟槽的壁和底部上。多个掺杂有第一掺杂物的沟道区形成在位于两个相应阱之间的第一外延层内。多个沟道区(150)中的每一个均比第一外延层更重掺杂有第一掺杂物。

CN 101361194 B



1. 一种整流器件,包括:

衬底,其中所述衬底掺杂有第一掺杂物类型;

第一外延层,掺杂有所述第一掺杂物类型,所述第一外延层连接到所述衬底;

第一金属化层,邻近于所述第一外延层;

多个沟槽,凹入所述第一外延层,其中,所述多个沟槽中的每一个均包括连接到所述金属化层的导电硅或多晶硅物质;

多个阱,每一个均掺杂有第二掺杂物类型,其中,所述多个阱中的每一个彼此分开,其中,所述多个阱中的每一个均形成在所述多个沟槽中的相应的沟槽的下方;

导电二硅化钛层,布置在所述多个阱中的每一个与所述相应的沟槽之间;

多个氧化层,所述多个氧化层中的每一个均形成在相应的沟槽的壁和底部上,从而相应的阱与所述相应的沟槽内的所述导电硅或多晶硅物质电隔离;以及

多个沟道区,掺杂有所述第一掺杂物类型,所述多个沟道区形成在所述第一外延层内,其中,所述多个沟道区中的每一个均位于所述多个阱中的两个相应的阱之间,其中,所述多个沟道区中的每一个均比所述第一外延层更重掺杂有所述第一掺杂物类型。

2. 根据权利要求1所述的整流器件,进一步包括:

第二外延层,位于所述衬底和所述第一外延层之间,其中,所述第二外延层比所述衬底更轻掺杂,而比所述第一外延层更重掺杂。

3. 根据权利要求1所述的整流器件,进一步包括:

肖特基势垒,放置于所述第一金属化层下面,从而所述肖特基势垒将所述第一金属化层和所述第一外延层隔离开。

4. 根据权利要求3所述的整流器件,进一步包括:

多个PiN区域,其中,所述肖特基势垒区域对所述多个PiN区域中的每一个的比率是大于或等于一。

5. 根据权利要求1所述的整流器件,其中,所述多个沟槽中的每一个均包括未掺杂的硅。

6. 根据权利要求1所述的整流器件,其中,所述第一掺杂物类型包括n-型掺杂物。

7. 根据权利要求1所述的整流器件,进一步包括:

多个接触区,连接到所述多个阱和所述第一金属化层。其中,所述多个接触区中的每一个配置为连接所述多个阱的相应子集和所述第一金属化层。

8. 一种超快二极管,包括:

衬底,其中,所述衬底掺杂有第一掺杂物类型;

第一外延层,轻掺杂有所述第一掺杂物类型,所述第一外延层连接到所述衬底;

第一金属化层,邻近于所述第一外延层;

第一沟槽,凹入所述第一外延层并且包括连接到所述金属化层的第一导电硅或多晶硅物质;

第一阱,掺杂有第二掺杂物类型,形成在所述第一沟槽下方;

第二沟槽,凹入所述第一外延层并且包括连接到所述金属化层的第二导电硅或多晶硅物质;

第二阱,掺杂有所述第二掺杂物类型,所述第二阱形成在所述第二沟槽下方;

导电二硅化钛层,布置在所述第一阱和第二阱中的每一个与相应的沟槽之间;以及沟道区,形成在所述第一外延层内并且位于所述第一阱和所述第二阱之间,其中,所述沟道区比所述第一外延层更重掺杂有所述第一掺杂物类型。

9. 根据权利要求 8 所述的超快二极管,进一步包括:

第一氧化层,形成在所述第一沟槽的壁和底部上,从而所述第一阱与所述第一沟槽内的所述第一导电硅或多晶硅物质电隔离;以及

第二氧化层,形成在所述第二沟槽的壁和底部上,从而所述第二阱与所述第二沟槽内的所述第二导电硅或多晶硅物质电隔离。

10. 根据权利要求 8 所述的超快二极管,进一步包括:

第二金属化层,邻近于所述衬底。

11. 根据权利要求 8 所述的超快二极管,其中,所述第一掺杂物类型包括 n- 型掺杂物。

12. 根据权利要求 8 所述的超快二极管,进一步包括:

所述第一掺杂物类型的第二外延层,位于所述衬底和所述第一外延层之间,其中,所述衬底比所述第二外延层更重掺杂,其中,所述第二外延层比所述第一外延层更重掺杂,其中,所述衬底掺杂有所述第一掺杂物类型。

13. 根据权利要求 8 所述的超快二极管,进一步包括:

至少一个接触区,连接到所述第一阱、所述第二阱、以及所述第一金属化层。

14. 根据权利要求 8 所述的超快二极管,进一步包括:

肖特基势垒,位于所述第一金属化层和所述第一外延层之间。

15. 根据权利要求 14 所述的超快二极管,进一步包括:

PiN 区域,其中,所述肖特基势垒区域对所述 PiN 区域的比率是大于或等于一。

## 用于快速恢复整流器结构的装置及方法

[0001] 相关申请的交叉参考

[0002] 本申请要求于 2005 年 12 月 27 日提交的第 60/754, 550 号, 题为“Fast Recovery Rectifier Structure”并且转让给本发明受让人的共同未决临时专利申请的优先权, 其全部内容结合于此作为参考。

[0003] 本申请涉及 2004 年 6 月 15 日提交的第 10/869, 718 号, 题为“Schottky Barrier Rectifier and Method of Manufacturing the Same”共同未决的、共有的美国专利申请, 其全部内容结合于此作为参考。

[0004] 本申请涉及 2005 年 12 月 27 日提交的第 11/320, 313 号, 题为“Ultrafast Recovery Diode”共同未决的、共有的美国专利申请, 其全部内容结合于此作为参考。

### 技术领域

[0005] 本发明实施例涉及整流器领域。更具体地, 本发明实施例大体上涉及快速恢复整流器结构。

### 背景技术

[0006] 在开关式电源的效率中一个重要因数是在这种电路中所使用的二极管的性能。更具体地, 这种二极管的反向恢复能够降低这种电源中的晶体管开关的导通损耗。例如, 在开关开通期间反向恢复电流瞬时表现为电流的额外组分, 结果是开关的开通损耗明显高于没有这种反向恢复组分的不同情况。因此, 对于改进开关式电源的效率来说降低二极管反向恢复电荷 ( $Q_{rr}$ ) 是重要的。

[0007] 然而, 不幸地是, 如果反向恢复太突然, 则电流和电压将经历不期望的振荡。这种振荡可以导致 (例如) 低效电源运转、有害噪声输出 (例如, 电源波纹和 / 或电磁干扰)、和 / 或极高的并且可能是破坏性的电压尖峰。

### 发明内容

[0008] 因此, 极为期望保持软恢复特性的具有减少的反向恢复电荷的快速恢复整流器结构。还存在这样的期待: 满足之前确定的对利用沟槽而形成的较小几何形状的快速恢复整流器结构的期望。还存在另一种期待: 满足之前确定的与传统半导体加工工艺和装置兼容并互补 (complimentary) 的期望。

[0009] 因此, 本发明的多个实施例公开了一种用于快速恢复整流器结构的装置和方法。本发明的实施例能够减小反向恢复电荷而同时保持软恢复特性。并且, 本发明的实施例公开了基于硅的快速恢复整流器结构, 包括创建与 JFET 沟道区相串联的肖特基二极管区、或混合的 PiN 肖特基 (MPS) 二极管结构。由于较小的几何结构, 该 MPS 二极管结构使得肖特基对 PiN 的比率较高, 例如, 在一个实施例中, 由于在阱区之间的 N 掺杂而减少了沟道阻抗, 这在正向传导期间降低了空穴注入的贡献。

[0010] 具体地, 整流器结构包括第一掺杂物类型的衬底。轻掺杂有该第一掺杂物类型的

第一外延层连接到衬底。邻近于第一外延层连接第一金属化层。多个沟槽凹入第一外延层,每一个沟槽均连接到金属化层。该器件还包括多个阱,每一个阱均掺杂有第二掺杂物类型,每一个阱彼此分开,其中,每一个阱均形成在多个沟槽中相应的沟槽之下并且邻近于该相应的沟槽。多个氧化层形成在相应沟槽的壁和底部上,从而相应的阱与相应的沟槽电隔离。多个掺杂有该第一掺杂物类型的沟道区形成在多个阱中的两个相应阱之间的第一外延层内,其中,多个沟道区中的每一个沟道区都比第一外延层更重掺杂有第一掺杂物类型。

[0011] 本发明的实施例还描述了用于形成快速恢复整流器结构的方法。该方法包括在衬底之上沉积掺杂有第一掺杂物类型的第二外延层。对该衬底重掺杂第一掺杂物类型。即,该衬底比第二外延层更重掺杂。该方法还在第二外延层上沉积轻掺杂有第一掺杂物类型的第一外延层。该第二外延层比第一外延层更重掺杂。将多个沟槽蚀刻进第一外延层。在多个沟槽的每个沟槽的壁和底部上形成多个氧化物、栅极限定隔离件。最接近多个沟槽中的每一个沟槽的底部处离子注入 (implant) 多个阱。对多个阱中的每一个阱均掺杂第二掺杂物类型,并且将多个阱彼此分开。即,将多个阱中的每一个阱与相应沟槽电隔离。在外延层之上沉积第一金属化层。

#### 附图说明

[0012] 图 1 示出了根据本发明一个实施例的超快恢复二极管的侧面剖视图。

[0013] 图 2 是根据本发明一个实施例的沿 p- 阱的中平面的图 1 的超快恢复二极管的截面图。

[0014] 图 3 是根据本发明一个实施例的超快恢复二极管的顶视图。

[0015] 图 4 是示出了根据本发明一个实施例在用于制造具有肖特基对 PiN 的比率大于 1 的超快恢复二极管的方法中的步骤的流程图。

[0016] 图 5 是示出了根据本发明一个实施例的示例性的电流与时间的恢复特性的图表。

#### 具体实施方式

[0017] 以下将详细参考本发明的优选实施例,快速恢复整流器结构及用于制造该结构的方法,其示例在附图中示出。尽管将结合优选实施例来描述本发明,但应当理解其并不旨在将本发明限制于这些实施例。相反地,本发明旨在覆盖可以包括在所附权利要求所限定的本发明的精神和范围之内的替代物、修改以及等同替换。

[0018] 此外,在本发明的以下详细描述中,为了提供对本发明的透彻理解而阐述了多个特定细节。然而,本领域的技术人员应当认识到,没有这些特定细节也可以实现本发明。在其他情况下,由于没有必要模糊本发明的方面,因此未描述公知的方法、步骤、组件、以及电路。

[0019] 为了清楚和理解的目的,将本发明的实施例描述为在 n- 型衬底中具有 p- 阱的整流器。然而,应当理解,本发明的其他实施例也适合于利用了与本文中所描述的那些极性相反的材料构造,例如,在 p- 衬底中具有 n- 阱的整流器。认为这种可替换的实施例处于本发明的范围内。

[0020] 图 1 是根据本发明的一个实施例的快速恢复整流器件 100 的侧面剖视图。如图 1 所示,可以在半导体衬底中重复整流器件 100 来完成一个或多个整流器件 100。该整流器包

括第一金属化层 190 和第二金属化层 110。例如,第一金属化层 190 起阳极的作用,第二金属化层 110 起阴极的作用。在图 1 中所描述的整流器结构能够创建具有从 150 伏特至 1200 伏特额定击穿电压的器件。

[0021] 整流器件 100 包括掺杂有第一掺杂物类型的重掺杂衬底 120。在一个实施例中,如图 1 所示,第一掺杂物类型是  $n^-$  型掺杂物。同样地,将该衬底 120 掺杂至  $n^+$  浓度。

[0022] 在一个实施例中,邻近于衬底 120 放置第二金属化层。即,如图 1 所示,整流器 100 的阴极金属化层连接到  $n^+$  衬底。

[0023] 在  $n^+$  衬底 120 的顶部上所放置的是第一外延层 140,第一外延层被外延沉积并且轻掺杂有第一掺杂物类型(诸如,  $n^-$  型)。即,  $n^-$  第一外延层或  $n^-$  漂移区的掺杂物浓度低于  $n^+$  衬底 120 的掺杂物浓度。此外,在一个实施例中,第一外延层 140 连接至衬底。

[0024] 在一个实施例中,邻近于第一外延层 140 放置第一金属化层 190。该第一金属化层典型地包括铝,并且在一些实施例中还可包括大约百分之一的硅。即,在一个实施例中,第一金属化层 190 包括掺杂有硅的单一铝层。在另一实施例中,第一金属化层 190 包括掺杂有硅的复合铝层。

[0025] 在  $n^+$  衬底 120 和第一外延层 140 之间所放置的是掺杂有第一掺杂物类型(诸如,  $n^-$  型)的第二外延层 130。  $n^-$  型第二外延层 130 的掺杂物浓度低于  $n^+$  衬底 120 的掺杂物浓度。同样地,  $n^-$  型第二外延层 130 的掺杂物浓度高于  $n^-$  第一外延层 140 的掺杂物浓度。

[0026] 在整流器 100 的双外延层结构中,第二外延层 130 起耗尽层抑制器(stop)的作用。即,在第二外延层 130 中,电场在到达  $n^+$  衬底 120 之前能够减小至零。因此,利用附加的第二外延层 130,可以将第一外延层 140 制作得更薄。

[0027] 整流器结构 100 包括多个沟槽 175,每一个沟槽均凹进第一外延层 140。此外,多个沟槽 175 中的每一个都被电连接至第一金属化层 190(未示出)。在一个实施例中,多个沟槽中的每一个均被埋置有未掺杂的硅或未掺杂的多晶硅。

[0028] 在一个实施例中,沟槽 175 具有大约 300 纳米至 700 纳米的示例性深度尺寸。此外,沟槽 175 具有大约  $0.4\ \mu\text{m}$  至  $0.5\ \mu\text{m}$  的示例性宽度尺寸。应当理解,根据本发明的实施例也适于其他尺寸。

[0029] 位于多个沟槽 175 的底部的是多个阱 160。即,位于多个沟槽 175 的每一个的底部的是浅阱 160。同样地,将多个阱 160 中的每一个形成在多个沟槽 175 中相应沟槽 175 下方并且邻近于该相应沟槽。多个阱中的每一个均掺杂有诸如  $p^-$  型掺杂物的第二掺杂物类型。如图 1 所示,多个  $p^-$  阱 160 中的每一个彼此分开。

[0030] 在一个实施例中,  $p^-$  阱 160 掺杂有硼原子。例如,在此区中的硼的浓度为大约  $1 \times 10^{18}$  个原子每立方厘米。此外,在另一实施例中  $p^-$  阱的结深度约为  $0.2\ \mu\text{m}$ – $0.3\ \mu\text{m}$ 。同样地,  $p^-$  阱窗的尺寸大约为 150 纳米至 200 纳米。

[0031] 在本发明的一个实施例中,实施少数载流子寿命消抑技术(minority carrier lifetime killing technique)来减少载流子在整流器结构 100 的反向恢复期间的重新组合。

[0032] 还如图 1 所示,整流器 100 包括多个氧化层 170。多个氧化层 170 中的每一个均形成在相应沟槽的壁和底部上。例如,在一个实施例中,每个沟槽 175 均覆盖有二氧化硅的绝缘膜 170。在一个实施例中,沟槽 175 的剩余部分埋置有未掺杂的多晶硅。

[0033] 同样地,每个阱 160 均通过氧化层 170 与相应的沟槽 175 电隔离。即,将第一金属化层 190 电连接到未掺杂的、埋置有多晶硅的沟槽 175。然而,第一金属化层 190 并不通过沟槽区 175 电连接到 p- 阱 160。即,在沟槽 175 底部和垂直侧面处的绝缘二氧化硅的氧化层 170 用于通过沟槽 175 将 p- 阱 160 与第一金属化层 190 电隔离。然而,在下面图 2 和图 3 中所描述的,通过位于远处的接触区(未示出)将阱 160 电连接到第一金属化层 190。

[0034] 如图 1 所示,在每个阱 160 之间形成多个沟道区 150。即,阱 160 之间的区掺杂有第一掺杂物类型(例如,n- 型掺杂物),并且形成在第一外延层 140 内。即,每个沟道区 150 位于两个相应的阱 160 之间。沟道区 150 的掺杂物浓度高于第一外延层 140 的掺杂物浓度。

[0035] 根据本发明的实施例,p- 阱 160 之间的区 150 包含 n- 型掺杂,并被称作“n- 沟道增强”层 150。N- 沟道增强 150 包含大约  $1.0 \times 10^{15}$  个原子每立方厘米至  $2.0 \times 10^{16}$  个原子每立方厘米的示例性掺杂。在一个实施例中,沟道区 150 掺杂有磷。应当理解,这种掺杂级通常高于在 n<sup>-</sup> 第一外延层 140 的掺杂级。

[0036] 整流器结构 100 还包括导电二硅化钛 (TiSi<sub>2</sub>) 层 165,导电二硅化钛层被放置在多个阱 160 中的每一个的表面上。例如,在 p- 阱 160 的表面上创建二硅化钛层 165 来减少 p- 阱 160 的横向电阻。

[0037] 在整流器 100 中所示的肖特基势垒金属 180 放置在第一金属化层 190 下面。肖特基势垒金属 180 将第一金属化层 190 与第一外延层 140、以及沟槽 175 隔离开。该肖特基势垒金属 180 包括与第一外延层 140、氧化层 170 和沟槽 175 中的多晶硅区紧密接触的势垒金属(诸如,钼、钨、或铂)。

[0038] 肖特基势垒 185 形成在阳极金属 190 和 n<sup>-</sup> 外延层 140 之间的 n<sup>-</sup> 第一外延层 140 的台面区中。n<sup>-</sup> 第一外延层 140 的台面区形成在沟槽 175 之间。在一个实施例中,台面区具有大约 0.45 μm 至 0.65 μm 的尺寸。此外,例如,可以通过布置在邻近于 n<sup>-</sup> 外延层的铝(例如,包括邻近于 n<sup>-</sup> 外延层 140 放置的铝的阳极金属 190) 的固有特性来形成肖特基势垒 185。

[0039] 应当理解,在反向偏压条件下,肖特基二极管通常易于泄漏。然而,根据本发明的实施例,在反向偏压下,p- 阱 160 夹断(例如,形成在 p- 阱 160 之间的耗尽区),这确保了整流器 100 的期望的击穿电压以及较低的泄漏。有利地,整流器结构 100 的 n- 沟道特性导致了改进的反向恢复。这种改进的反向恢复的一个机制是由于对来自 p- 阱 160 的少数载流子注入(injection) 的抑制。

[0040] 根据本发明的一个实施例,将该整流器 100 理解为包括一个或多个肖特基二极管,肖特基二极管中的每一个与结型场效应晶体管、和 P 本征 N(PiN) 二极管的基极区串联。即,p- 阱 160、n<sup>-</sup> 第一外延层 140、以及 n<sup>+</sup> 衬底形成 PiN 二极管,位于每个 PiN 二极管之间的是肖特基二极管。该 PiN 二极管是通过来自 JFET 的栅极的少数载流子的注入导电地调制的。

[0041] 利用相对精细的工艺几何形状来构造整流器结构 100。在本实施例中,该整流器结构 100 呈现了肖特基势垒 185 对 PiN 区域的尺寸比率为大于或等于一。特别地,之前所描述的整流器结构 100 的几何形状包括:大约 0.45 μm 至 0.65 μm 的 n<sup>-</sup> 台面区、大约 0.4 μm 至 0.5 μm 的沟槽宽度区、大约 300nm 至 700nm 的沟槽深度、大约 150nm 至 200nm 的 p- 阱窗尺寸、以及大约 0.2 μm 至 0.3 μm 的 p- 阱深度。这些几何形状使得肖特基对 PiN 的比率大

于一。

[0042] 由于整流器 100 的肖特基对 PiN 的高比率,以及 n- 沟道区 150,因此整流器 100 呈现了改进的反向恢复特性。在一个实施例中,肖特基比率是肖特基势垒 185 的尺寸对 p- 阱 160 的宽度的比率。

[0043] 此外,在一个实施例中,在精细工艺几何形状中的构造致使放置在沟槽下方的 p- 阱 160 的掺杂,其与对应于较大工艺几何形状的在较大沟槽下方的 p- 阱的掺杂相比较明显更容易。

[0044] 现在在功能上描述整流器结构 100。JFET 沟道形成在多个 p- 阱 160 之间。在正向偏压条件下,p- 阱将空穴注入到 JFET 沟道中。这些附加的空穴减小了 JFET 沟道的电阻,增强了整流器结构 100 的肖特基区中的正向传导。肖特基势垒 185 和 n<sup>-</sup> 外延 140 之间的肖特基二极管的特征在于与相应的 PiN 二极管相比具有大约 0.3 伏特的较低的正向压降。当横跨 JFET 沟道的压降达到大约 0.6 伏特时,p- 阱开始注入空穴。

[0045] 具有金属 / 半导体结的肖特基二极管呈现了整流性能 (例如,通过该结构的电流比通过其他结构的电流更容易具有一个极性)。可以在高频以及快速切换应用中使用本实施例的肖特基二极管。该肖特基二极管利用多数载流子工作。金属区被浓密地填满有导带电子,而 n- 型半导体区被轻掺杂。

[0046] n- 沟道增强区 150 减小 JFET 沟道中的电阻,从而延迟了 p- 阱 160 的正向偏压条件的开始。在这种情况下,多数电流流过 JFET 沟道。更少的少数载流子导致少数载流子浓度的减少,在反向恢复器件性能上产生了有利改进。

[0047] 在反向偏压条件下,在 p- 阱 160 周围形成耗尽区。最后,这些耗尽区彼此重叠,导致 JFET 沟道的“夹断”。

[0048] 有利地,根据本发明的实施例的特性很大程度上由器件的几何形状所控制而非掺杂工艺。通常,掺杂工艺产生了掺杂物浓度的变化分布,而几何形状工艺通常更精确。

[0049] 应当理解,根据本发明的实施例十分适合于通过例如包括少数载流子寿命周期的减少 (例如,包括电子放射,氦、氦、或氢离子注入) 或重金属 (例如,铂或金) 扩散的多种公知技术的单一或多种结合所进行的性能调节。

[0050] 根据本发明的另一实施例,本文中描述了超快二极管。该超快二极管包括衬底。该衬底掺杂有第一掺杂物类型 (例如, n- 型掺杂物)。超快二极管 100 包括连接到衬底的轻掺杂有第一掺杂物类型的第一外延层。邻近于第一外延层放置第一金属化层。第一沟槽被凹入到第一外延层中并将被连接到金属化层。第一阱形成在第一沟槽下方且邻近于该第一沟槽。第一阱掺杂有第二掺杂物类型 (例如, p- 型掺杂物)。

[0051] 此外,第二沟槽被凹进到第一外延层中并被连接到金属化层。第二阱形成在第二沟槽下方且邻近于该第二沟槽。该第二阱掺杂有第二掺杂物类型 (例如, p- 型掺杂物)。

[0052] 沟道区形成在第一外延层内并且位于第一 p- 阱和第二 p- 阱之间。该沟道区比第一外延层更重掺杂有第一掺杂物类型。

[0053] 此外,在第一沟槽的壁和底部上形成第一氧化层,从而第一阱与第一沟槽电隔离。同样地,在第二沟槽的壁和底部上形成第二氧化层,从而第二阱与第二沟槽电隔离。

[0054] 图 2 是根据本发明一个实施例的通过沟槽插塞区域的沿 p- 阱 160 的中平面的超快恢复整流器结构 200 的截面图。在另一实施例中,整流器结构 200 代表图 1 的整流器 100。

例如,图 2 代表沿图 1 的线 A-A 的整流器结构 100 的截面图。

[0055] 如图 2 所示,超快整流器结构 200 包括放置在金属化层上的  $n^+$  衬底 220 (例如,阴极接点)。超快整流器结构 200 包括掺杂有  $n$ - 型掺杂物的第一外延层 230。第一外延层 230 起耗尽层抑制器的作用,并邻近于衬底 220。整流器结构 200 还包括放置在第一外延层 230 顶部上的第二外延层 240。

[0056] 如图 2 所示,示出了沟槽插塞区域的横截面。该沟槽插塞区域对应于图 1 的沟槽区 175。例如,沟槽插塞区域包括硅化钛层 265。氧化层 270 被放置在沟槽的底部和壁上。该沟槽被埋置有未掺杂的多晶硅 275。同样地,该沟槽插塞区域包括置于沟槽埋置 275 和阳极金属化层 215 之间的势垒金属 280。

[0057] 如图 2 所示, $p$ - 阱 260 被放置在沟槽插塞区域的底部。正如所示, $p$ - 阱 260 通过沟槽插塞区域与沟槽区 275 电隔离,并且相应地与阳极金属化层 215 电隔离。

[0058]  $p$ - 阱区 260 通过接点 310 电连接到阳极金属化 215。即,代替通过在  $p$ - 阱 260 和阳极金属 215 之间的沟槽插塞区域而形成接点,本发明的实施例提供远离沟槽插塞区域的接点区域 310 以利于  $p$ - 阱 260 和阳极金属化层 215 之间的电连接。在如图 3 所示的器件的特别创建的区中创建接点 310。

[0059] 图 3 是根据本发明一个实施例的超快恢复整流器结构 300 的顶视图。在一个实施例中,图 3 是图 1 的整流器结构 100 的示例性自顶向下的视图,其暴露了在金属化层 (未示出) 下面的部件。同样地,在另一实施例中,图 3 是图 2 的整流器结构 200 的示例。

[0060] 如图 3 所示,整流器结构 300 包括多个沟槽 375。多个肖特基二极管 395 放置在多个沟槽 375 之间。多个  $p$ - 阱被放置在多个沟槽 375 之下。

[0061] 如图 3 所示,也示出了多个位于远处的接触区 310。接触区 310 位于远离整流器结构 300 的沟槽插塞区域。即, $p$ - 阱通过沟槽插塞区域而与阳极金属化层 (未示出) 电隔离。

[0062] 多个接触区 310 中的每一个均将多个  $p$ - 阱和阳极金属化层 (未示出) 电连接起来。从而, $p$ - 阱通过接触区 310 电连接到阳极金属化层。

[0063] 图 4 是示出了根据本发明一个实施例在用于制造具有肖特基对  $PiN$  的比率等于或大于一的超快恢复二极管结构的方法中的步骤的流程图。如图 4 所描述的,制造工艺可以开始于在半导体衬底上的初始工艺 (诸如,清洁、沉积、掺杂、蚀刻、和 / 或类似处理)。半导体衬底可以包括第一浓度的第一类型掺杂物。例如,在本发明的实施例中,该衬底可包括重掺杂有磷或砷的硅,或重掺杂有硼的硅。

[0064] 在 410 处,本实施例在衬底上沉积可选的外延层 (第二外延层)。第二外延层掺杂有第一掺杂物类型。第二外延层起耗尽层抑制器的作用。从而,衬底比第二外延层更重掺杂有第一掺杂物。

[0065] 在 420 处,本实施例将另一外延层 (第一外延层) 沉积在可选的第二外延层上。第一外延层轻掺杂有第一掺杂物类型。第二外延层比第一外延层更重掺杂。

[0066] 在一个实施例中,通过在沉积期间将掺杂物引入到外延室来掺杂第一外延层。例如,外延沉积的第一层可以是适度掺杂有砷化磷 (phosphorous of arsenic) 的硅 (N)。还可以在沉积之后通过可选的高能离子注入 (high-energy implant) 以及热退火工艺来掺杂第一外延层。在这种情况下,外延沉积的半导体层可以是适度掺杂有硼白的硅。

[0067] 在 430 处,本实施例将多个沟槽蚀刻进第一外延层中。这些沟槽基本是平行并且线形的。选择沟槽之间的间距以及沟槽的深度,使得肖特基势垒对 PiN 的比率大于或等于一,从而增加了整流器在反向偏压中的恢复特性。

[0068] 在 440 处,本实施例形成多个氧化层,其被放置在多个沟槽中的每一个的壁和底部上。从而,由于该氧化层,沟槽埋置与在沟槽底部之下的区相隔离。

[0069] 在 450 处,本实施例紧接着多个沟槽的每一个的底部离子注入每一个均掺杂有第二掺杂物类型的多个阱。在一个实施例中,多个阱中的每一个彼此分开,并且其中多个阱中的每一个通过之前描述的氧化层而与相应的沟槽电隔离。作为实例,多个阱形成控制栅极区的栅格。可以通过任意公知的高能离子注入工艺来离子注入阱。在一个实施例中,可以利用热循环(例如,快速热退火)使掺杂物达到期望的深度。

[0070] 此外,本实施例形成多个位于远处的接触区,其将多个阱和第一金属化层电连接起来。

[0071] 在一个实施例中,阱之间的多个沟道区离子注入有第一掺杂物类型,以形成增强沟道区。即,在多个阱之间所限定的多个沟道区中的第一半导体层中的区离子注入有第一掺杂物。从而,多个沟道区比第一外延层更重掺杂。

[0072] 在 460 处,本实施例将第一金属化层沉积在第一外延层上。例如,第一金属化层是阳极金属化层。

[0073] 同样地,在另一实施例中,肖特基势垒金属被放置在第一金属化层下,从而该肖特基势垒将第一金属化层和第一外延层分隔。特别地,在之前所描述的沟道区上的第一外延层和肖特基势垒金属之间形成肖特基势垒二极管。

[0074] 图 5 示出了根据本发明实施例的示例性的电流与时间的恢复特性 500。恢复特性 510 表示在传统技术中所知的示例的 600 伏特超快二极管的反向恢复特性。应当理解,恢复特性包括大约三安培的最大反向电流以及大约  $3 \times 10$  秒的持续时间。

[0075] 恢复特性 520 表示根据本发明实施例的示例的 600 伏特二极管的反向恢复特性。应当理解,该二极管的恢复特性包括明显小于传统二极管的特性 510 的电流。恢复特性 520 示出了大约 1.3 安培的最大反向电流。有利地,在持续时间上,恢复持续时间(例如,大约  $4.5 \times 10^8$  秒)稍微长于特性 510 的持续时间。

[0076] 恢复特性 530 表示根据本发明实施例的第二示例的 600 伏特二极管的反向恢复特性。应当理解,该二极管的恢复特性包括明显小于传统二极管的特性 510 的电流。恢复特性 520 示出了大约 0.8 安培的最大反向电流。有利地,在持续时间上,恢复持续时间(例如,大约  $4.5 \times 10^8$  秒)稍微长于特性 510 的持续时间。

[0077] 因此,本发明的多个实施例公开了用于快速恢复整流器结构的装置和方法。本发明的实施例能够减少反向恢复电荷而同时保持软恢复特性。同样地,本发明的实施例公开了基于硅的快速恢复二极管,其涉及与 JFET 沟道区串联的肖特基二极管区或合并的 PiN 肖特基 (MPS) 二极管结构的创建。例如在一个实施例中, MPS 二极管结构由于较小的几何结构而实现了较高的肖特基对 PiN 的比率,并且由于在阱区之间的 N 掺杂而降低了沟道电阻,这减少了正向传导期间的空穴注入的贡献。

[0078] 尽管在流程图 400 中所示出的实施例的方法示出了步骤的特定顺序和数量,但本发明也适于选择性实施例。例如,对于本发明并不要求在该方法中所提供的全部步骤。此

外,可以将附加步骤添加到本实施例中所呈现的步骤中。同样地,可以取决于应用而修改步骤的顺序。

[0079] 这样描述了本发明的实施例,具有肖特基对 PiN 的比率大约大于或等于一的快速恢复整流器结构及其制造方法。尽管在特定实施例中描述了本发明,但应当理解,不应当将本发明解释为局限于这些实施例,而应当解释为根据以下的权利要求。

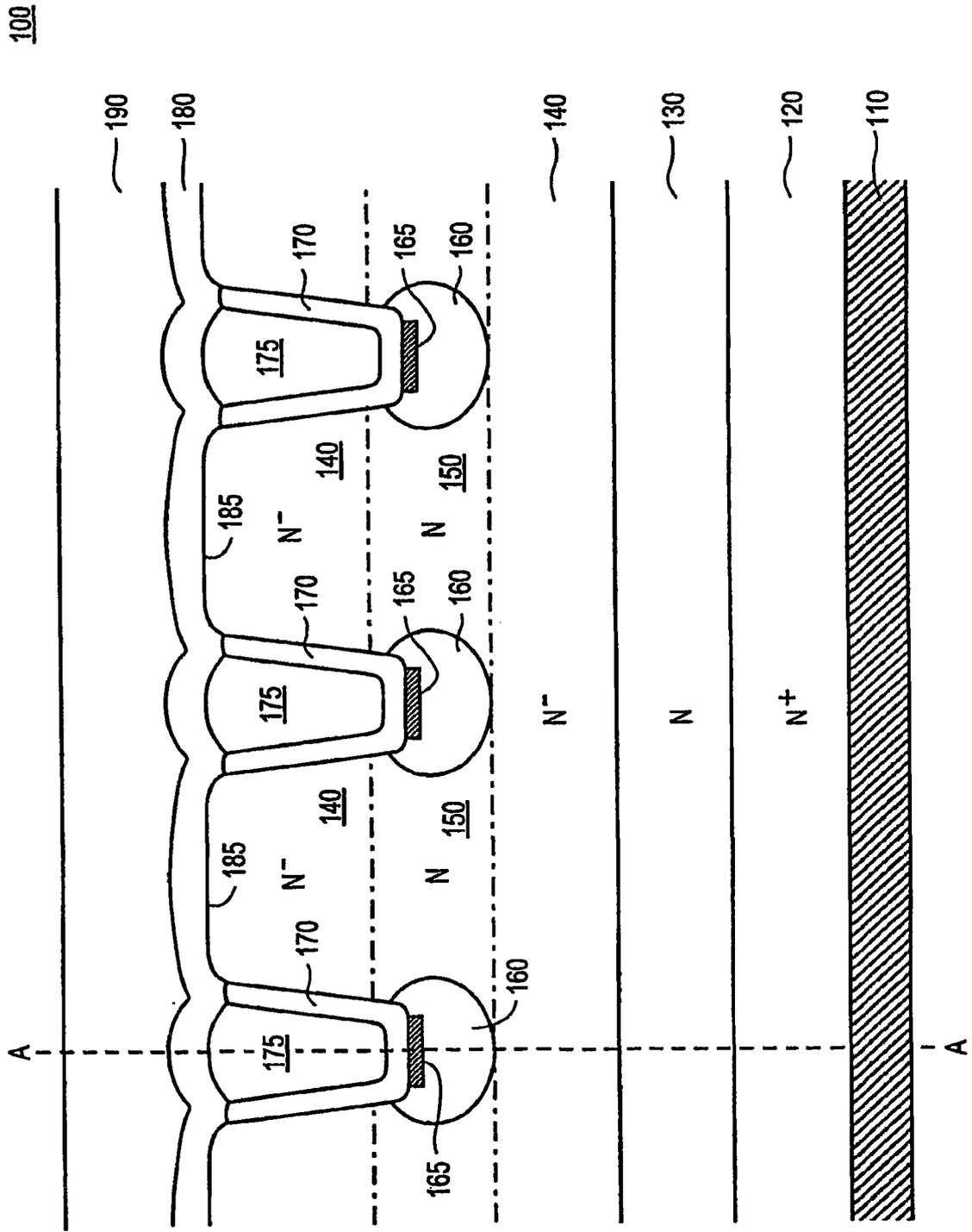


图 1

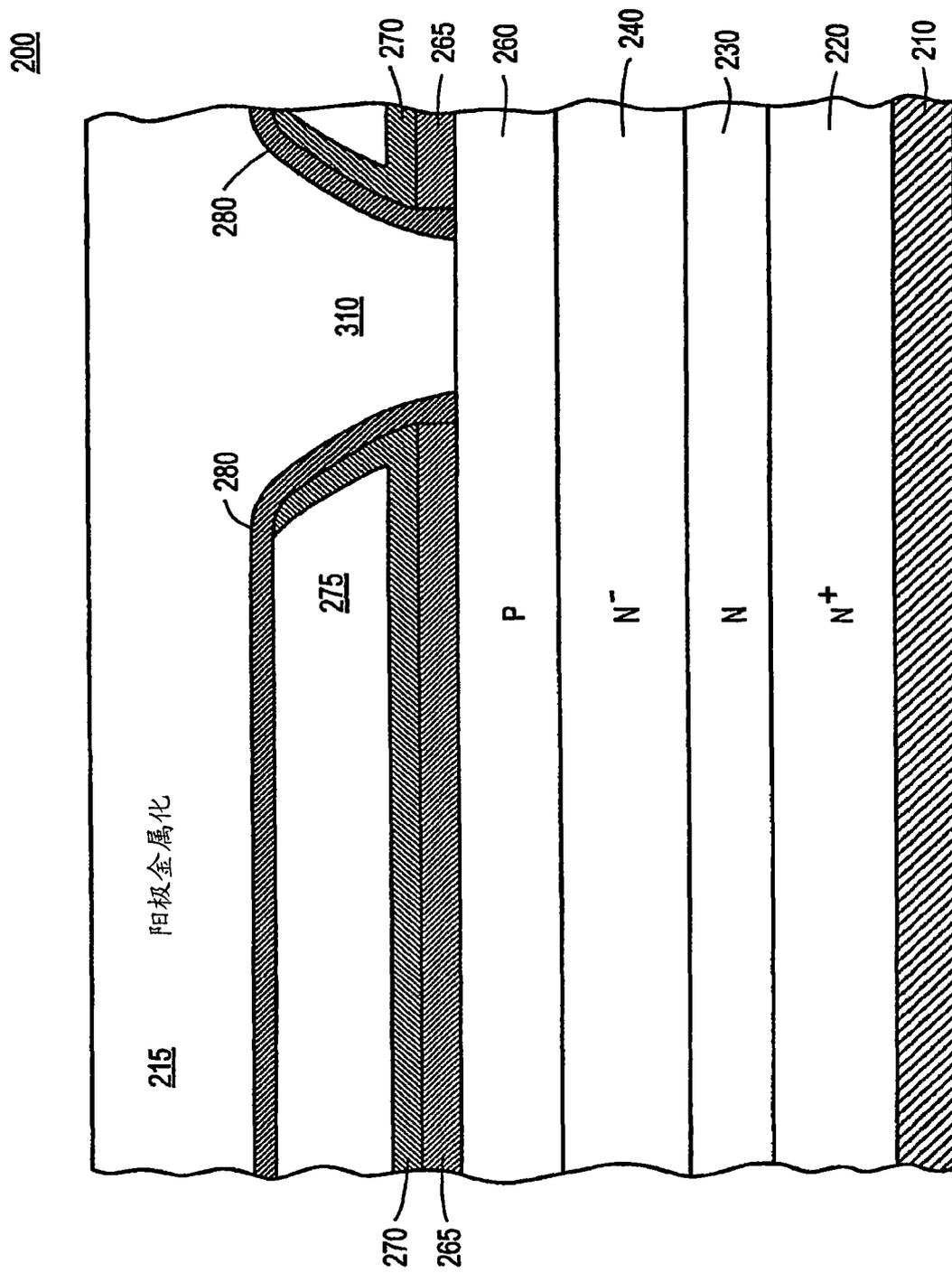


图 2

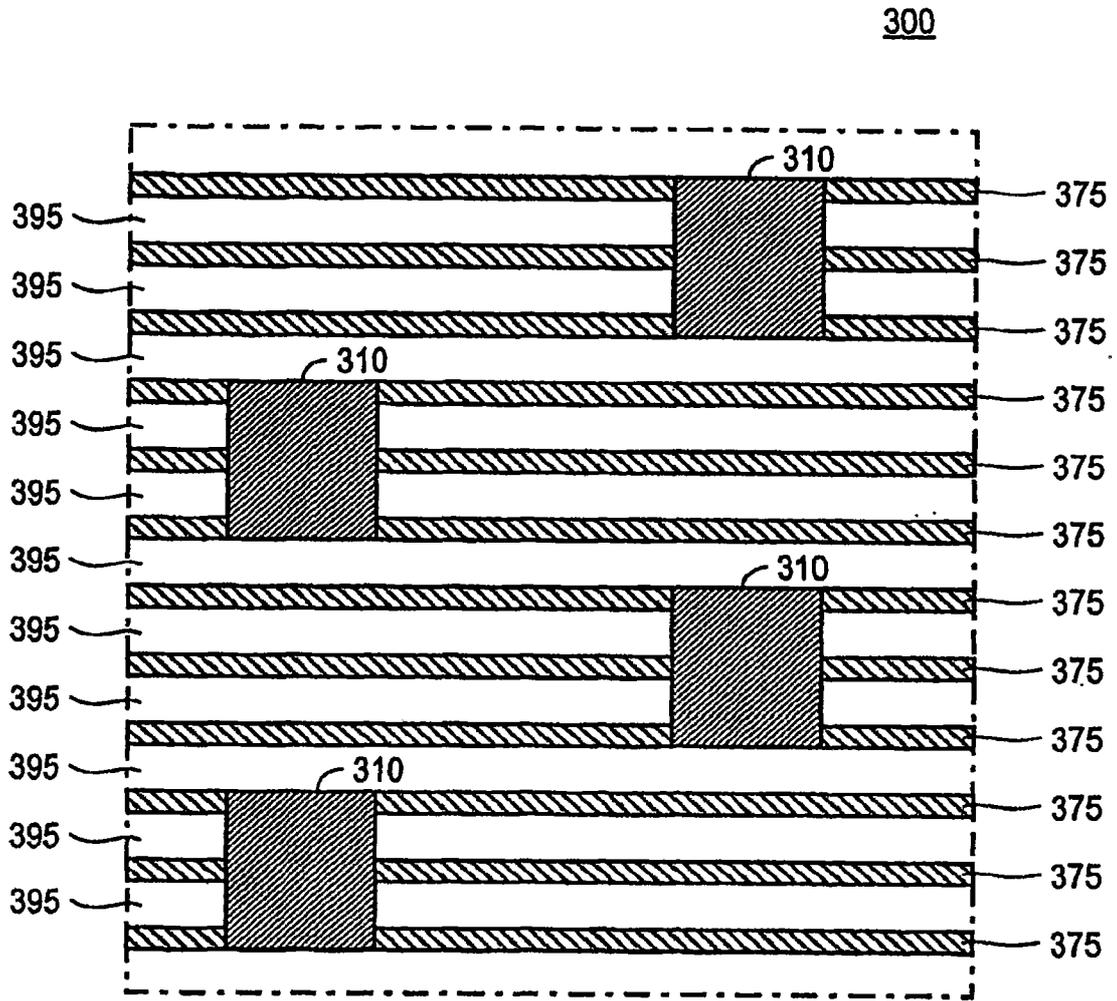


图 3

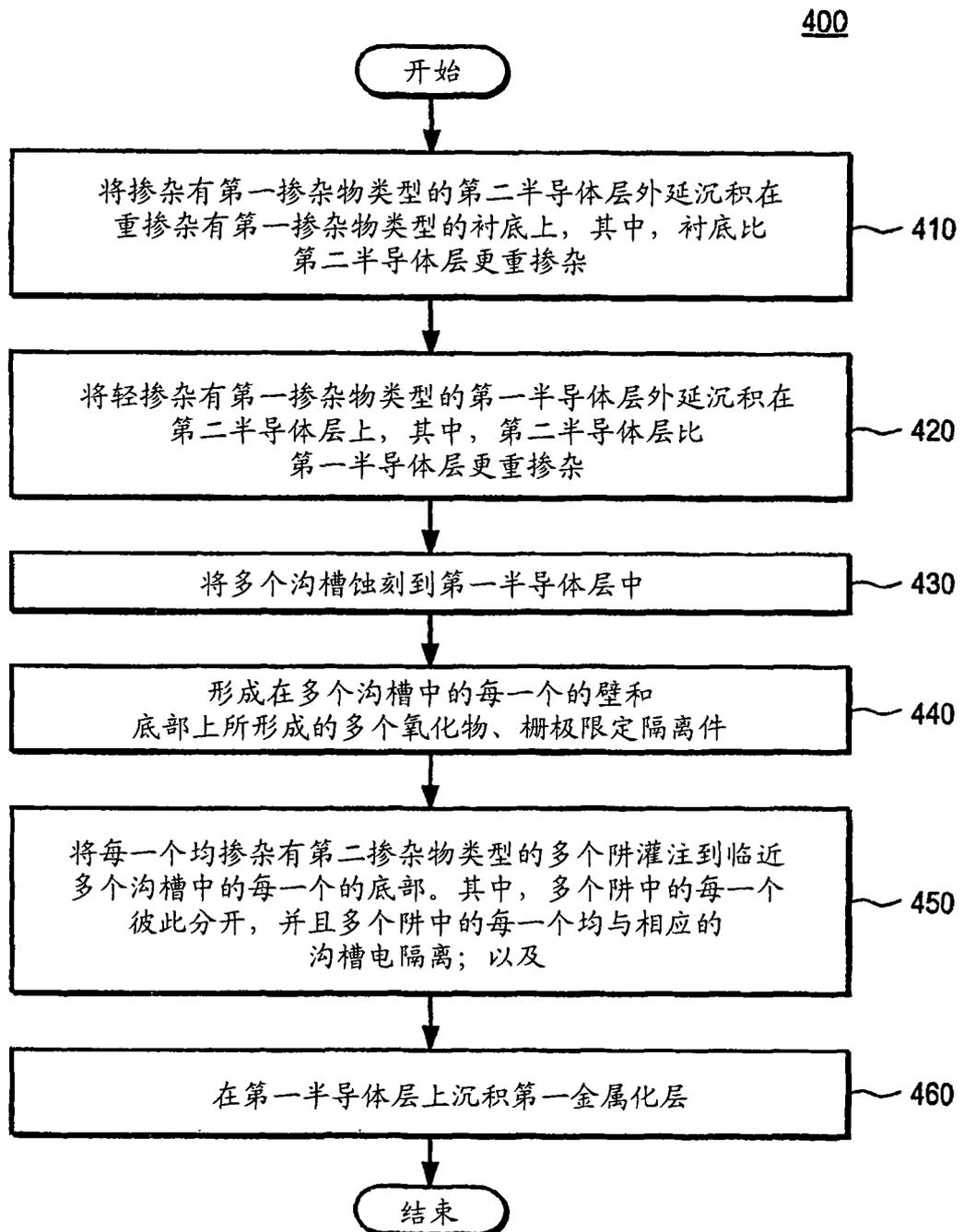


图 4

500

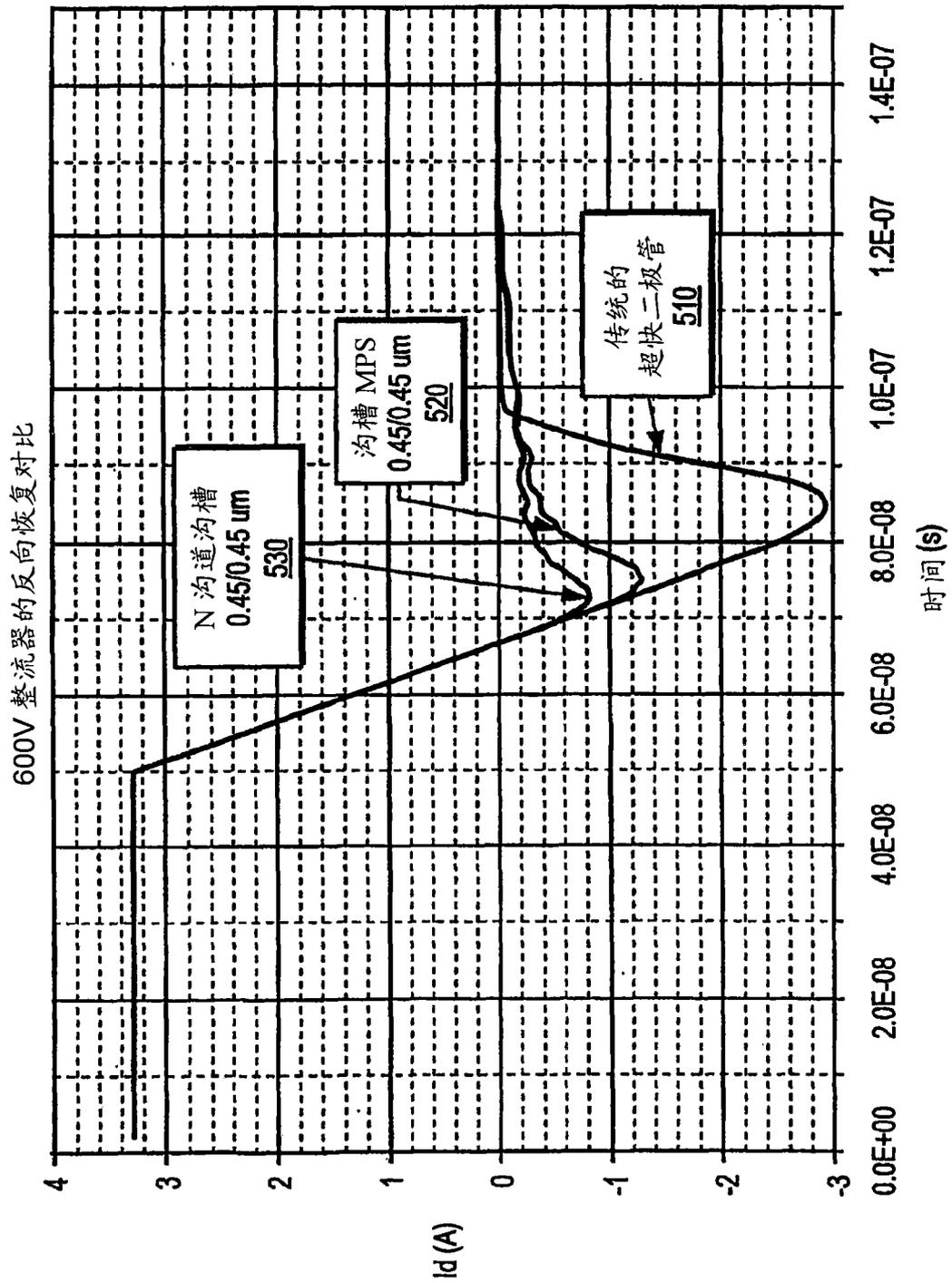


图 5