

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第4129106号  
(P4129106)

(45) 発行日 平成20年8月6日 (2008.8.6)

(24) 登録日 平成20年5月23日 (2008.5.23)

(51) Int. Cl.	F I
HO 1 L 29/861 (2006.01)	HO 1 L 29/91 C
HO 1 L 21/331 (2006.01)	HO 1 L 29/72 Z
HO 1 L 29/73 (2006.01)	HO 1 L 29/74 F
HO 1 L 29/74 (2006.01)	HO 1 L 29/74 C
HO 1 L 29/744 (2006.01)	

請求項の数 2 (全 11 頁)

(21) 出願番号	特願平11-305303	(73) 特許権者	000006013
(22) 出願日	平成11年10月27日 (1999.10.27)		三菱電機株式会社
(65) 公開番号	特開2001-127308 (P2001-127308A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成13年5月11日 (2001.5.11)	(74) 代理人	100088672
審査請求日	平成16年11月24日 (2004.11.24)		弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	森下 和博
			福岡県福岡市西区今宿東一丁目1番1号
			三菱セミコンエンジニアリング株式会社内
		(72) 発明者	佐藤 克己
			東京都千代田区丸の内二丁目2番3号 三
			菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1導電型の第1半導体層と、第2導電型の第2半導体層と、前記第1半導体層と前記第2半導体層の間に介在して前記第2半導体層よりも不純物濃度の低い前記第2導電型の半導体基板とを備え、

前記第2半導体層の不純物濃度は前記半導体基板に近づくにつれて減少し、前記第2半導体層における前記不純物濃度の最大値の90%から50%へと減少する不純物濃度勾配が、 $1 \times 10^{18} \text{ cm}^{-4}$ 以上 $2 \times 10^{18} \text{ cm}^{-4}$ 以下であり、前記第2半導体層の前記不純物濃度の前記最大値は $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $5 \times 10^{15} \text{ cm}^{-3}$ 以下であることを特徴とする半導体装置。

【請求項 2】

前記半導体基板と共に前記第2半導体層を挟む前記第2導電型の第3の半導体層と、前記第2半導体層と共に前記第3半導体層を挟む金属電極とを更に備え、

前記第3半導体層の前記金属電極側の表面不純物濃度が前記第3半導体層における当該不純物の最大固溶度以下であって $5 \times 10^{17} \text{ cm}^{-3}$ 以上であることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、 $p\text{-}i\text{-}n$ 構造を有する半導体装置、例えばダイオード、トランジスタ、サイリスタに関する。

【0002】

【従来の技術】

図15は従来の $p\text{-}i\text{-}n$ ダイオードの構造を示し、同図(a)は断面図、同図(b)は不純物濃度プロファイルである。例えばシリコンを主成分とする $n^-$ 型半導体基板601は、その一主面側(図中左側)に $p$ 層602を、他の主面側(図中右側)に $n^+$ 層603を、それぞれ備えている。 $p$ 層602は例えばボロンやガリウムを、 $n^+$ 層603は例えば燐を、それぞれ不純物として採用し、熱処理を行って所定の深さまで拡散して得ることができる。 $p$ 層602及び $n^+$ 層603にはそれぞれ $n^-$ 型半導体基板601と反対側に、電気抵抗の小さい金属から成るアノード電極604、カソード電極605が設けられている。

10

【0003】

$n^-$ 型半導体基板601の不純物はほぼ均一に分布しており、不純物濃度勾配は非常に小さい。また $p$ 層602及び $n^+$ 層603は、その形成が $n^-$ 型半導体基板601の2つの主面に対する不純物拡散で行われるので、いずれの不純物濃度も、 $n^-$ 型半導体基板601に近づくほど減少する不純物濃度勾配を有している。例えば $n^+$ 層603の不純物濃度勾配は、約 $4 \times 10^{18} \text{ cm}^{-4}$ である。ここで不純物濃度勾配は、 $n^+$ 層603における不純物濃度の最大値の90%である第1の濃度を有する位置から、最大値の50%である第2の濃度を有する位置までの距離で、第1の濃度と第2の濃度の差を除いた値を採用している。

20

【0004】

一般に $p\text{-}n$ 接合を有するダイオードに対して、外部回路の瞬間的な切替えによって、順方向に電流が流れている状態から逆バイアスを加えようとすると、過渡的にある期間だけ大きな逆電流が流れる。これはダイオードには少数キャリア蓄積現象があって、電流が一旦零になっても、直ちには逆方向に回復しないことによる。この逆電流は接合近傍に過剰キャリアとして残っていた小数キャリアがある濃度以下に減少して、空乏層が確立されるまで続く。

【0005】

空乏層が確立すると、これが逆電圧を支え始め、空乏層の広がりに対応して逆電圧が徐々に増加すると共に逆電流が徐々に減少する。そして素子電圧が逆バイア스에 印加された電圧に定常的に等しくなって逆回復動作が完了する。逆回復動作において流れる逆電流は、逆バイアス値と外部回路のインダクタンスで決まる電流減少率で減少する。

30

【0006】

図15に示されたダイオードでは、 $p$ 層602と $n^-$ 型半導体基板601とが形成する $p\text{-}n$ 接合近傍で、プロトン照射等によりキャリア再結合の中心が形成され、 $p\text{-}n$ 接合近傍のライフタイムを局部的に短く制御することで順電圧を低く、且つ逆回復電流が小さく、 $di/dt$ 耐量の高い特性を図っている。また $n^-$ 型半導体基板601は、全体に重金属の拡散や電子線照射等が施され、キャリアのライフタイムが短くなるように制御されている。

【0007】

【発明が解決しようとする課題】

しかしながら逆バイアス電圧が高い場合、逆回復動作の完了時近傍で、ダイオードの印加電圧が急激に振動し、周辺の電気機器の誤動作をもたらすようなノイズを発生させるという問題がある。図16は図15に示されたダイオードの逆回復動作前後の電圧 $V_A$ 、電流 $I_A$ の時間変化を示すグラフであり、外部回路によって順バイアスから逆バイアスへと切り替えられた時刻を零としている。切り替え後約 $8 \mu\text{s}$ において、ダイオードの電流が定常的に零となり始め、その直後に2000Vを越える振幅 $V$ の電圧振動が生じていることがわかる。

40

【0008】

このような電圧振動はダイオードと外部回路が形成するLCR直列回路の共振によって生

50

じると考えられる。このLCR直列回路は、ダイオードの空乏層と過剰キャリアをパラメータにした容量成分Cと、ダイオードに対する印加電圧と洩れ電流及び過剰キャリアの再結合電流をパラメータにした抵抗成分Rと、外部回路のインダクタンス成分Lとによって形成される。

#### 【0009】

ダイオードの容量成分Cと抵抗成分Rは時間的に変化する。特に抵抗成分Rは、空乏層外にある過剰キャリアが消滅すると急激に変化する。よってLCR回路の共振条件に達し、図16に示されたように電圧が振動すると考えられる。又、空乏層が $n^+$ 層603に到達すると容量成分Cが急激に変化し、これがトリガーとなって電圧振動を発生させる場合もある。

10

#### 【0010】

このような電圧振動はダイオードに限らず、スイッチング速度の速いGCT (gate controlled turn-off) サイリスタなどでも、ターンオフ動作での電圧上昇時に生じうる。かかる電圧振動は、周辺の電気機器の誤動作をもたらすようなノイズの原因になるという問題がある。

#### 【0011】

本発明は上記のような問題を解決するためになされたもので、逆回復動作時やターンオフ動作時に印加電圧に振動の発生が少ない半導体装置を提供することを目的とする。

#### 【0012】

なお、逆回復時の波形を改善する為に半導体層と濃度とを制御する技術が、例えば特開昭62-115880号公報に開示されている。

20

#### 【0013】

##### 【課題を解決するための手段】

この発明のうち請求項1にかかるものは、第1導電型の第1半導体層と、第2導電型の第2半導体層と、前記第1半導体層と前記第2半導体層の間に介在して前記第2半導体層よりも不純物濃度の低い前記第2導電型の半導体基板とを備える半導体装置であって、前記第2半導体層の不純物濃度は前記半導体基板に近づくにつれて減少し、前記第2半導体層における前記不純物濃度の最大値の90%から50%へと減少する不純物濃度勾配が、 $1 \times 10^{18} \text{ cm}^{-4}$ 以上  $2 \times 10^{18} \text{ cm}^{-4}$ 以下であり、前記第2半導体層の前記不純物濃度の前記最大値は  $1 \times 10^{15} \text{ cm}^{-3}$ 以上  $5 \times 10^{15} \text{ cm}^{-3}$ 以下であることを特徴とする。

30

#### 【0015】

この発明のうち請求項2にかかるものは、請求項1記載の半導体装置であって、前記半導体基板と共に前記第2半導体層を挟む前記第2導電型の第3の半導体層と、前記第2半導体層と共に前記第3半導体層を挟む金属電極とを更に備え、前記第3半導体層の前記金属電極側の表面不純物濃度が前記第3半導体層における当該不純物の最大固溶度以下であって  $5 \times 10^{17} \text{ cm}^{-3}$ 以上であることを特徴とする。

#### 【0019】

##### 【発明の実施の形態】

実施の形態1.

図1は本発明の実施の形態1にかかるpinダイオードの構造を示し、同図(a)は断面図、同図(b)は不純物濃度プロファイルである。例えばシリコンを主成分とする $n^-$ 型半導体基板101は、その一主面側(図中左側)にp層102を、他の主面側(図中右側)に $n^+$ 層103を、それぞれ備えている。p層102は例えばボロンやガリウムを、 $n^+$ 層103は例えば磷を、それぞれ不純物として採用し、熱処理を行って所定の深さまで拡散して得ることができる。p層102及び $n^+$ 層103にはそれぞれ $n^-$ 型半導体基板101と反対側に、電気抵抗の小さい金属から成るアノード電極104、カソード電極105が設けられている。

40

#### 【0020】

p層102と $n^-$ 型半導体基板101とが形成するpn接合近傍で、プロトン照射等によりキャリア再結合の中心が形成され、pn接合近傍のライフタイムを局部的に短く制御す

50

ることで順電圧を低く、且つ逆回復電流が小さく、 $di/dt$ 耐量の高い特性を図っている。また $n^-$ 型半導体基板101は、全体に重金属の拡散や電子線照射等が施され、キャリアのライフタイムが短くなるように制御されている。

#### 【0021】

$n^-$ 型半導体基板101の不純物はほぼ均一に分布しており、不純物濃度勾配は非常に小さい。またp層102及び $n^+$ 層103は、その形成が $n^-$ 型半導体基板101の2つの主面に対する不純物拡散で行われるので、いずれの不純物濃度も、 $n^-$ 型半導体基板101に近づくほど減少する不純物濃度勾配を有している。

#### 【0022】

しかし、図15に示されたダイオードとは異なり、 $n^+$ 層103の不純物濃度勾配は、 $2 \times 10^{18} \text{ cm}^{-4}$ 以下に設定される。 10

#### 【0023】

図2及び図3は、図1に示されたダイオードの逆回復動作前後の電圧 $V_A$ 、電流 $I_A$ の時間変化を示すグラフであり、外部回路によって順バイアスから逆バイアスへと切り替えられた時刻を零としている。図2、図3はそれぞれ $n^+$ 層103の不純物濃度勾配が $2 \times 10^{18} \text{ cm}^{-4}$ 、 $9 \times 10^{17} \text{ cm}^{-4}$ に設定された場合を示しており、アノード電極104とカソード電極105との間の距離、 $n^+$ 層103への不純物の総導入量並びにp層102の厚さ及び不純物プロファイルは図16に示された場合と揃えている。

#### 【0024】

図2、図3共に切り替え後約 $8 \mu\text{s}$ において、ダイオードの電流が定常的に零となり始め、その直後に電圧振動が生じている。しかし図2ではその振幅 $V$ が数百V程度であって、図16に示された場合と比較して約 $1/5$ と大幅に抑えられている。また図3に示された場合では更に振幅 $V$ が抑制されている。振幅 $V$ は $500 \text{ V}$ 以下ならば外部回路がノイズによる影響を受け難いので、 $n^+$ 層103の不純物濃度勾配は、 $2 \times 10^{18} \text{ cm}^{-4}$ 以下に設定されることが望ましい。 20

#### 【0025】

図4は $n^+$ 層103の不純物濃度勾配と逆回復動作時の電圧振動の振幅 $V$ との関係を示したグラフであり、 $\times$ 印は実測値を示す。 $n^+$ 層103の不純物濃度勾配を緩やかにすることで、逆回復動作時の電圧振動が軽減されるのが分る。これは逆回復動作時、pn接合から伸びる空乏層が $n^+$ 層103に到達した場合、 $n^+$ 層103の不純物濃度勾配が小さいほど、空乏層の拡大が急激には停止し難いことによると考えられる。 30

#### 【0026】

また、 $n^+$ 層103の形成においては、通常、燐や砒素などを $n^-$ 型半導体基板101に対してイオン注入もしくは1000程度の熱処理により付着させた後に、1100以上の高温での熱処理により所定の深さまで拡散していく。よって緩やかな不純物濃度勾配を得るためには不純物を導入した後の熱処理時間を長く採る必要がある。この故に、 $n^+$ 層103への不純物の総導入量が変わらず、p層102及び $n^+$ 層103を形成する前の $n^-$ 型半導体基板101の厚さ及びp層102の厚さも固定されれば、 $n^+$ 層103の厚さは不純物濃度勾配が小さいほど厚くなる。従ってp層102及び $n^+$ 層103を形成した後の $n^-$ 型半導体基板101の厚さは、不純物濃度勾配が緩やかな程、薄くなる。よってp層102及び $n^+$ 層103を形成する前の $n^-$ 型半導体基板101の厚さにほぼ等しいアノード電極104とカソード電極105との間の距離と、 $n^+$ 層103への不純物の総導入量並びにp層102の厚さ及び不純物プロファイルとを揃えれば、不純物濃度勾配が小さいほど $n^-$ 型半導体基板101が薄くなり、空乏層が $n^+$ 層103へ到達する時間が早くなる。このことも $n^+$ 層103の不純物濃度勾配を緩やかにすることで逆回復動作時の電圧振動が軽減される間接的な原因であると考えられる。 40

#### 【0027】

実施の形態2.

図5は図15(b)、図1(b)に対応したpinダイオードの不純物濃度プロファイルである。図中のグラフ101a、101bは $n^-$ 型半導体基板101の、グラフ102a 50

、102bはp層102の、103a、103bはn<sup>+</sup>層103の、それぞれの不純物濃度プロファイルを示している。

【0028】

グラフ101a、102a、103aと、グラフ101b、102b、103bとはそれぞれ別個に構成されたpinダイオードの不純物濃度プロファイルを示している。そしてn<sup>+</sup>層103の中でn<sup>-</sup>型半導体基板101から最も遠い位置での表面不純物濃度は、前者及び後者のダイオードのそれぞれにおいてN2、N1(<N2)に設定されている。

【0029】

上述のようにn<sup>+</sup>層103の形成においては、通常、燐や砒素などをn<sup>-</sup>型半導体基板101に対してイオン注入もしくは1000程度の熱処理により付着させた後に、1100以上の高温での熱処理により所定の深さまで拡散していく。従って、あるn<sup>+</sup>層103の不純物濃度勾配を得る場合、高い表面不純物濃度N2を有するn<sup>+</sup>層103を備えたダイオードよりも、低い表面不純物濃度N1を有するn<sup>+</sup>層103を備えたダイオードの方が、n<sup>+</sup>層103の厚さは薄くなる。従って、n<sup>+</sup>層103を短時間で形成するためには、その表面不純物濃度を小さくする事が望ましい。

【0030】

勿論、上述の傾向は、実施の形態1にかかるpinダイオードについても当てはまる。図6はn<sup>+</sup>層103の表面不純物濃度とn<sup>+</sup>層103の厚さ、即ち拡散深さとの関係を示すグラフであり、n<sup>+</sup>層103の不純物濃度勾配が $2 \times 10^{18} \text{ cm}^{-4}$ に設定された場合を示している。図中印は実測値を示す。表面不純物濃度が $5 \times 10^{15} \text{ cm}^{-3}$ の場合の拡散深さは約40μmであるのに対し、表面不純物濃度 $1 \times 10^{16} \text{ cm}^{-3}$ の場合では、拡散深さが約75μm必要である。拡散に必要な熱処理の時間は、拡散温度を1250とした場合、深さ40μmの拡散においては約25時間であるのに対し、深さ75μmの拡散においては約85時間である。作業者の生活リズムが1日、即ち24時間であることに鑑みれば、拡散時間はほぼ24時間程度にする事が望ましい。従って実施の形態1にかかるダイオードのようにn<sup>+</sup>層103の不純物濃度勾配が $2 \times 10^{18} \text{ cm}^{-4}$ 以下に設定された場合には、n<sup>+</sup>層103の表面不純物濃度は $5 \times 10^{15} \text{ cm}^{-3}$ 以下とし、拡散深さを40μm以下にすることが望ましい。

【0031】

なお、図7にn<sup>+</sup>層103の表面不純物濃度とスイッチング1回当たりの逆回復損失との関係もグラフとして示した。図中印は実測値を示す。このようにn<sup>+</sup>層103の表面不純物濃度を低減することは、損失の抑制という観点からも望ましい。

【0032】

実施の形態3.

図8はpinダイオードにおいてn型半導体のカソード電極と接触する位置における不純物濃度、即ち表面不純物濃度と、そのダイオードのオン電圧との関係を示すグラフであり、図中印は実測値を示す。n型半導体はシリコンを主成分とし、カソード電極はアルミを主成分とする場合が示されている。カソード電極に接触するn型半導体の表面不純物濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以上であればほぼオン電圧は3.0Vで一定となるのに対し、表面不純物濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 未満であれば、表面不純物濃度の低下と共にオン電圧は急激に上昇する。これはカソード電極とこれに接触するn型半導体との間でのオーミックコンタクトが良好に採れるか否かの差に起因すると考えられる。従って、カソード電極に接触するn型半導体の表面不純物濃度は $5 \times 10^{17} \text{ cm}^{-3}$ 以上とし、良好なオーミックコンタクトを得ることが望ましい。

【0033】

しかし、実施の形態2で説明した $5 \times 10^{15} \text{ cm}^{-3}$ 以下という低い表面不純物濃度を有するn<sup>+</sup>層103に対してカソード電極105を直接に接触させると、良好なオーミックコンタクトが採れにくい。

【0034】

図9は本発明の実施の形態3にかかるpinダイオードの構造を示す断面図である。本発

10

20

30

40

50

明の実施の形態 1 にかかる p i n ダイオード ( 図 1 ( a ) 参照 ) に対して、 $n^+$ 層 1 0 3 とカソード電極 1 0 5 との間に  $n^{++}$ 層 1 0 6 を介在させた構造を有している。従って、 $n^+$ 層 1 0 3 の不純物濃度の内、 $n^-$ 型半導体基板 1 0 1 から最も遠い、従って  $n^{++}$ 層 1 0 6 に最も近い側での値、即ち  $n^+$ 層 1 0 3 の表面不純物濃度を  $5 \times 10^{15} \text{ cm}^{-3}$  以下に設定しつつも、 $n^{++}$ 層 1 0 6 の表面不純物濃度を  $5 \times 10^{17} \text{ cm}^{-3}$  以上に設定することにより、 $n^+$ 層 1 0 3 の不純物濃度勾配を容易に  $2 \times 10^{18} \text{ cm}^{-4}$  以下に設定し、かつカソード電極 1 0 5 との良好なオーミックコンタクトを得ることができる。従って、逆回復動作が完了した後の電圧振幅は小さく、かつオン電圧が小さな p i n ダイオードを実現することができる。

#### 【 0 0 3 5 】

10

実施の形態 4 .

図 1 0 は本実施の形態を説明する図であり、図 1 0 ( a ) は図 1 5 ( b )、図 1 ( b ) に対応した p i n ダイオードの不純物濃度プロファイルを示し、グラフ 1 0 1 c , 1 0 2 c , 1 0 3 c はそれぞれ  $n^-$ 型半導体基板 1 0 1、p 層 1 0 2、 $n^+$ 層 1 0 3 の不純物濃度プロファイルを示している。また図 1 0 ( b ) は逆バイアスを印加した定格電圧保持時の p i n ダイオードの各位置における電界強度プロファイルを示し、特にグラフ E 1 は図 1 0 ( a ) と位置を整合させて示している。

#### 【 0 0 3 6 】

逆バイアス印加時の p i n ダイオードでは  $n^-$ 型半導体基板 1 0 1 と p 層 1 0 2 との間の p n 接合から伸びた空乏層が  $n^+$ 層 1 0 3 にまで達しており、空乏層中において電界強度 E 1 が大きくなっている。図 1 0 では空乏層は領域 A、領域 B、領域 C に跨って広がる。

20

#### 【 0 0 3 7 】

領域 B は  $n^-$ 型半導体基板 1 0 1 全体に広がり、領域 A は  $n^-$ 型半導体基板 1 0 1 と接触している位置から p 層 1 0 2 へと部分的に進入しており、領域 D は  $n^-$ 型半導体基板 1 0 1 と接触している位置から  $n^+$ 層 1 0 3 へと部分的に進入している。そして領域 A における不純物量 ( 以下、これにも符号 A を付記する ) は、領域 B における不純物濃度 ( 以下、これにも符号 B を付記する ) と領域 D における不純物量 ( 以下、これにも符号 D を付記する ) との和以下になる。そして領域 A の  $n^-$ 型半導体基板 1 0 1 から遠い方の端は、不純物量 A とグラフ 1 0 2 c とによって、また領域 D の  $n^-$ 型半導体基板 1 0 1 から遠い方の端は、不純物量 D とグラフ 1 0 3 c とによって、それぞれ決定されることになる。

30

#### 【 0 0 3 8 】

安価な製造コストを実現するため、さほど微細加工プロセスを用いずに製造する大電力素子では微細な異物等が付着しても定格耐圧の低下が発生しないことが望まれる。そのための工夫として、p 層 1 0 2 は  $100 \mu\text{m}$  程度と、他の種類の素子に比べ、極めて厚く形成される。このように形成した素子では定格電圧保持時には、不純物量 A は p 層 1 0 2 における不純物量の総和の、不純物量 D は  $n^+$ 層 1 0 3 における不純物量の、いずれも  $1/2$  程度となる。

#### 【 0 0 3 9 】

図 1 0 ( b ) においてグラフ E 1 , E 2 は、不純物量 B の不純物量 A に対する比  $B/A$  がそれぞれ  $1, 2/3$  の場合の電界強度を示している。後者は前者よりも電界強度が屈曲する位置が p 層 1 0 2 側に近く、p i n ダイオードの厚さを薄くすることができるので、オン電圧を小さくすることができる。

40

#### 【 0 0 4 0 】

図 1 1 は比  $B/A$  と、オン電圧との関係のシミュレーション結果を示すグラフであり、 $B/A = 1/3, 2/3, 3/3$  の値でオン電圧をシミュレーションした。 $B/A = 2/3$  ではオン電圧は比  $B/A$  によらずにほぼ  $3 \text{ V}$  の一定値を採るが、 $B/A > 2/3$  ではオン電圧は比  $B/A$  の上昇と共に急上昇する。よって比  $B/A$  は  $2/3$  以下に設定することが望ましい。

#### 【 0 0 4 1 】

図 1 2 は不純物量 D の不純物量 A に対する比  $D/A$  と、漏れ電流との関係のシミュレーシ

50

ョン結果を示すグラフであり、比  $B/A$  は  $2/3$  に設定している。 $D/A = 1/3, 1/2, 2/2, 3/2$  の値で漏れ電流をシミュレーションした。漏れ電流は、 $D/A = 2/2$  において  $D/A$  の増大に伴って急激に減少するので、比  $D/A$  は 1 以上に設定することが望ましい。更には、一般に漏れ電流が  $10\text{ mA}$  以下であればデバイス動作上の悪影響が無視できるので、 $D/A = 3/2$  とすることがより望ましい。

#### 【0042】

実施の形態の変形。

上記各実施の形態では  $p\text{-}i\text{-}n$  構造のダイオードを例示して説明したが、 $p\text{-}i\text{-}n$  構造を有した他の半導体素子についても適用することができる。

#### 【0043】

図13は  $p\text{-}i\text{-}n$  構造を有するトランジスタの構造を示す断面図である。当該トランジスタは  $p$  層402と、 $n^+$ 層403と、 $p$ 層402及び  $n^+$ 層403に挟まれた  $n^-$ 層401と、 $n^-$ 層401と共に  $n^+$ 層403を挟む  $p^+$ 層404と、 $n^+$ 層403と共に  $n^-$ 層401を挟む電極405と、 $n^-$ 層401と共に  $p$ 層402を挟む電極406と、 $n^+$ 層403と共に  $p^+$ 層404を挟む電極407とを備えている。電極405、406、407はそれぞれベース電極、エミッタ電極、コレクタ電極として機能する。

#### 【0044】

当該トランジスタは、その  $p$  層402、 $n^-$ 層401、 $n^+$ 層403において、 $p\text{-}i\text{-}n$  構造を有しており、実施の形態1乃至実施の形態4に示された技術を適用し、ターンオフ時の電圧振動を抑制することができる。

#### 【0045】

図14は  $p\text{-}i\text{-}n$  構造を有する  $G\text{-}C\text{-}T$  サイリスタの構造を示す断面図である。当該  $G\text{-}C\text{-}T$  サイリスタは、 $p$  層502と、 $n^+$ 層503と、 $p$ 層502及び  $n^+$ 層503に挟まれた  $n^-$ 層501と、 $n^-$ 層501と共に  $n^+$ 層503を挟む  $p^+$ 層504と、 $n^-$ 層501と共に  $p$ 層502を挟む  $n$ 層505と、 $p$ 層502と共に  $n$ 層505を挟む電極506と、 $n^-$ 層501と共に  $p$ 層502を挟む電極507と、 $n^+$ 層503と共に  $p^+$ 層504を挟む電極508とを備えている。電極506、507、508はそれぞれカソード電極、ゲート電極、アノード電極として機能する。当該サイリスタは、その  $p$  層502、 $n^-$ 層501、 $n^+$ 層503において  $p\text{-}i\text{-}n$  構造を有しており、実施の形態1乃至実施の形態4に示された技術を適用し、逆回復動作時の電圧振動を抑制することができる。

#### 【0046】

#### 【発明の効果】

この発明のうち請求項1にかかる半導体装置によれば、第2半導体層の不純物濃度勾配が緩やかであるので、第1半導体層と半導体基板とが作る  $p\text{-}n$  接合を有するダイオードの逆回復動作時や、あるいは当該  $p\text{-}n$  接合を有するトランジスタや  $G\text{-}C\text{-}T$  サイリスタのターンオフ動作時の空乏層の急激な広がりを抑制する。従って上記動作時の不要な電圧変動の発生、即ちノイズの発生を抑制することができる。また上記不純物濃度勾配を容易に得ることができる。

#### 【0048】

この発明のうち請求項2にかかる半導体装置によれば、第2半導体層の不純物濃度の最大値を抑制してその不純物濃度勾配を容易に良好にしつつも、不純物濃度の高い第3半導体層が介在することにより、金属電極と第2半導体層との良好なオーミックコンタクトを得ることができる。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1にかかるダイオードの構造を示す断面図及び濃度プロファイルである。

【図2】 この発明の実施の形態1にかかるダイオードの動作を示すグラフである。

【図3】 この発明の実施の形態1にかかるダイオードの動作を示すグラフである。

【図4】 この発明の実施の形態1を説明するグラフである。

【図5】 この発明の実施の形態2を説明する濃度プロファイルである。

10

20

30

40

50

【図 6】 この発明の実施の形態 2 を説明するグラフである。

【図 7】 この発明の実施の形態 2 を説明するグラフである。

【図 8】 この発明の実施の形態 3 を説明するグラフである。

【図 9】 この発明の実施の形態 3 にかかるダイオードの構造を示す断面図である。

【図 10】 この発明の実施の形態 4 を説明する濃度プロファイル及び電界強度プロファイルである。

【図 11】 この発明の実施の形態 4 を説明するグラフである。

【図 12】 この発明の実施の形態 4 を説明するグラフである。

【図 13】 この発明の変形の構造を示す断面図である。

【図 14】 この発明の変形の構造を示す断面図である。

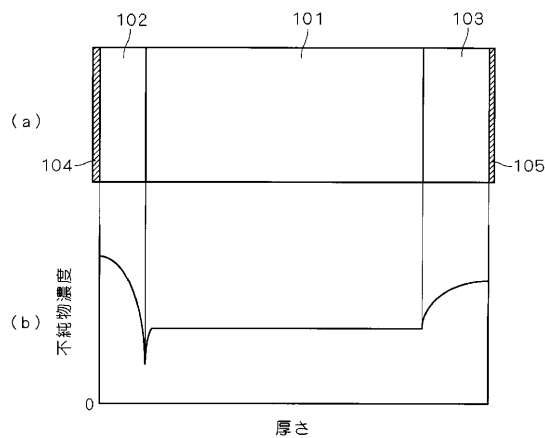
【図 15】 従来の技術にかかるダイオードの構造を示す断面図及び濃度プロファイルである。

【図 16】 従来の技術にかかるダイオードの動作を示すグラフである。

【符号の説明】

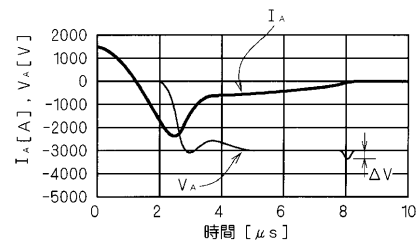
101  $n^-$  型半導体基板、401, 501  $n^-$  層、102, 402, 502 p 層、103, 403, 503  $n^+$  層、106  $n^{++}$  層、A, B, D 領域及び不純物量。

【図 1】

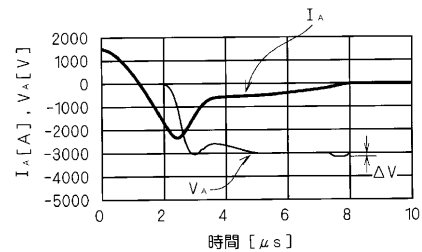


101:  $n^-$  型半導体基板  
102: p 層  
103:  $n^+$  層

【図 2】

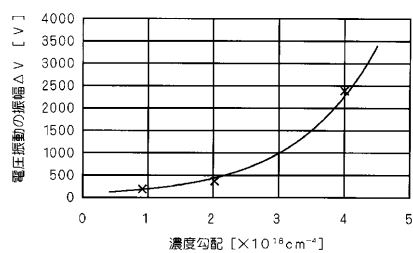


【図 3】

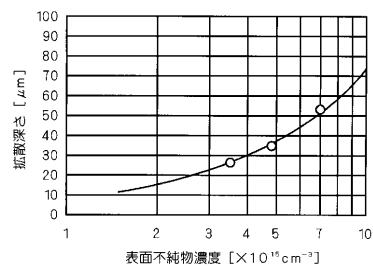




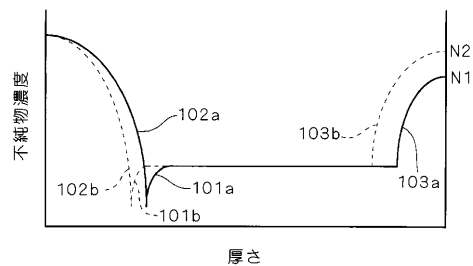
【図 4】



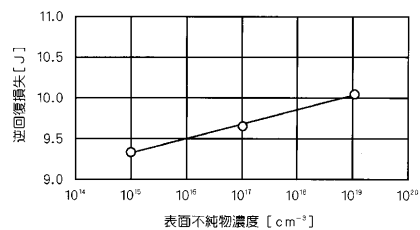
【図 6】



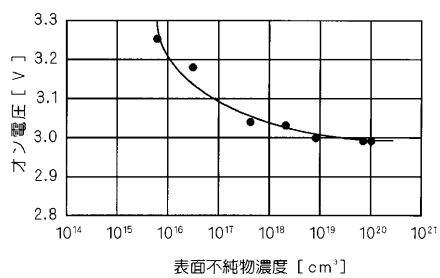
【図 5】



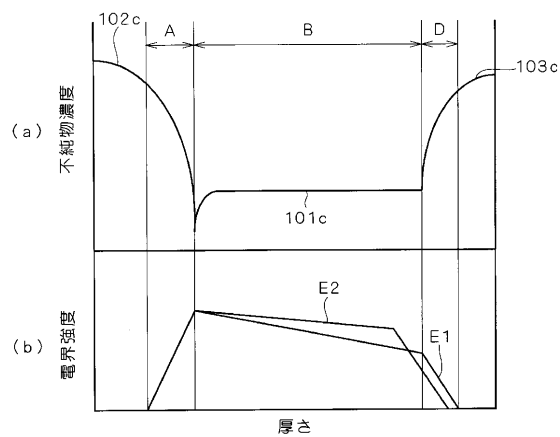
【図 7】



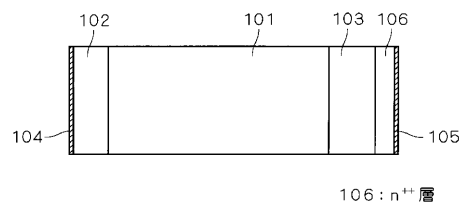
【図 8】



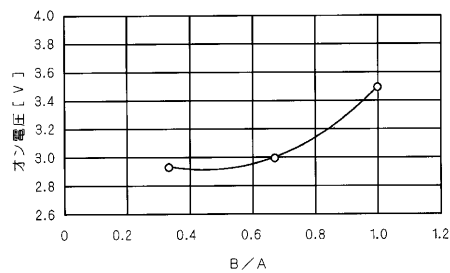
【図 10】



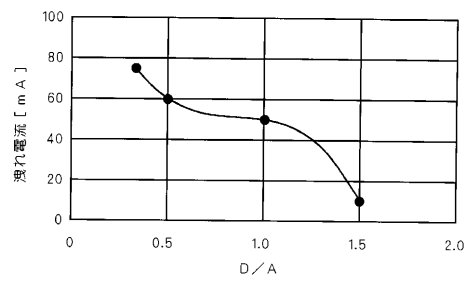
【図 9】



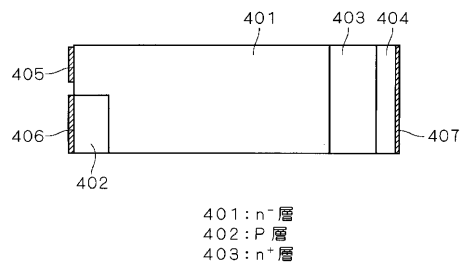
【図 11】



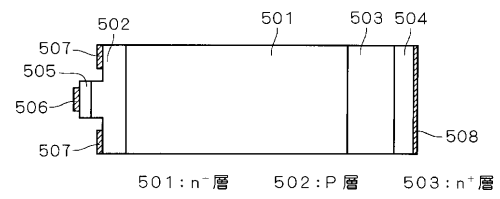
【図 12】



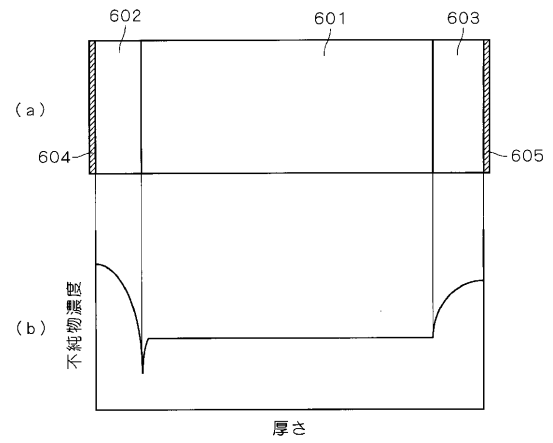
【図 13】



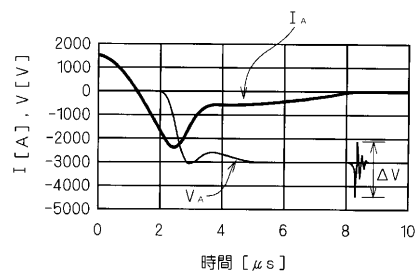
【図 14】



【図 15】



【図 16】



---

フロントページの続き

(72)発明者 平野 紀利  
福岡市中央区大名2丁目8番1号 株式会社メルニック内

審査官 河口 雅英

(56)参考文献 特開昭59-029469(JP,A)  
特開平08-316500(JP,A)  
特開平04-067687(JP,A)  
特開2001-111047(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/861

H01L 21/331

H01L 29/73

H01L 29/74

H01L 29/744