

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 9 月 1 日(01.09.2011)

PCT

(10) 国際公開番号
WO 2011/105434 A1

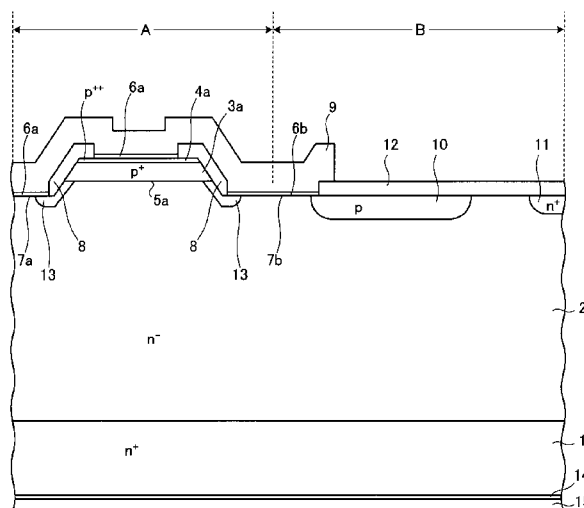
- (51) 国際特許分類:
H01L 29/861 (2006.01) H01L 29/47 (2006.01)
H01L 21/329 (2006.01) H01L 29/872 (2006.01)
- (21) 国際出願番号: PCT/JP2011/054000
- (22) 国際出願日: 2011 年 2 月 23 日(23.02.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-055070 2010 年 2 月 23 日(23.02.2010) JP
特願 2010-094448 2010 年 3 月 31 日(31.03.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 富士電機ホールディングス株式会社(FUJI ELECTRIC HOLDINGS CO., LTD.) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (71) 出願人: 菅原 良孝(SUGAWARA, Yoshitaka) [JP/JP]; 〒3160026 茨城県日立市みかの原町 2 丁目 1 9 番 1 0 号 Ibaraki (JP).
- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関 3 丁目 2 番 5 号 霞が関ビルディング 20 階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図7]



(57) Abstract: Disclosed is a wide-gap semiconductor composite diode wherein p^+ type anode layers (3a, 3b) are epitaxially grown on an n^- type drift layer (2), then the anode layers are processed into mesa-shapes, and one or more pn junctions are provided. On the mesa bottom portion, Schottky junctions (7a, 7b) are provided at a distance from pn main junctions (5a, 5b). Thus, defects and influences of the defects, which are generated in the Schottky junctions (7a, 7b) due to defects generated in both the junctions when being formed and stress is applied by wire bonding, are reduced. A p type integrated electric field relaxing layer (13) having a concentration lower than that of the p^+ type anode layers (3a, 3b) is provided between the junctions such that the p type integrated electric field relaxing layer is in contact with both the junctions. A high withstand voltage is achieved by suppressing the generation of the defects. Furthermore, accumulated carriers remaining under the pn junctions (5a, 5b) are efficiently discharged without deteriorating the high withstand voltage, and a

reverse recovery time and a reverse recovery current are reduced by disposing the Schottky junctions (7a, 7b) on the outermost circumferential portions of both the junctions, and by providing the p type integrated electric field relaxing layer (13) connected to the Schottky junctions.

(57) 要約:

[続葉有]

WO 2011/105434 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

— 補正された請求の範囲及び説明書 (条約第 19 条(1))

ワイドギャップ半導体複合ダイオードにおいて、 n^- ドリフト層 (2) 上に p^+ アノード層 (3 a, 3 b) をエピタキシャル成長し、メサ状に加工して $p-n$ 接合を 1 つ以上設ける。メサ底部に、ショットキー接合 (7 a, 7 b) を $p-n$ 主接合 (5 a, 5 b) から離して設ける。これにより、形成時に両接合に発生する欠陥やワイヤボンディングのストレスによりショットキー接合 (7 a, 7 b) に発生する欠陥やその影響を低減する。両接合間には p^+ アノード層 (3 a, 3 b) よりも濃度の低い p 融合電界緩和層 (1 3) を両接合に接触するように設ける。これにより、欠陥の発生を抑制して高耐圧を実現する。また、両接合の最外周部にショットキー接合 (7 a, 7 b) を配置し、これに連結して p 融合電界緩和層 (1 3) を設けることにより、高耐圧を損ねることなく $p-n$ 接合 (5 a, 5 b) 下の残存する蓄積キャリアの排出を効率的にして逆回復時間や逆回復電流を低減する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 従来、高耐圧用途では、シリコン（Si）を半導体材料としたpn接合ダイオード等のバイポーラ半導体素子が用いられている。これは、pn接合ダイオードがショットキー接合ダイオードなどのユニポーラ半導体素子に比べて、接合のビルトイン電位が高いにもかかわらず、少数キャリアの注入によりドリフト層に伝導度変調が生じ内部抵抗を大幅に低くすることができるからである。高耐圧用途では、半導体素子のドリフト層が厚くなり高抵抗になってしまう。このため、定常損失を小さくすることができるpn接合ダイオードを用いることが好適である。しかしながら、pn接合ダイオードは、スイッチング動作のオフ時にドリフト層内に残存する蓄積キャリアが多いため、蓄積キャリアの消滅に時間を要するとともに逆回復電流も大きくなる。このため、スイッチング速度が遅くスイッチング損失も大きくなってしまいう問題が生じる。

[0003] このような問題を解消するため、pn接合ダイオードと、このpn接合ダイオードよりもビルトイン電位が低いダイオードとを組み合わせた複合ダイオードが提案されている。上記pn接合ダイオードよりもビルトイン電圧が低いダイオードとは、ショットキー接合ダイオードや、上記pn接合ダイオードを構成するp層よりも浅くかつ低い不純物濃度を有するp層（以下、浅pn層とする）からなる浅pn接合ダイオードである。

[0004] 具体的には、図18に示すようなpn接合とショットキー接合とを組み合わせたMPS（Merged Pin/Schottky）構造のSi複合ダイオード（MPSダイオード）や、図19に示すようなpn接合と浅pn接合とを組み合わせたSFD（Soft and Fast recovery

ry Diode) 構造の Si 複合ダイオード (SFD ダイオード) が提案され活用されている。

[0005] 図 18 は、従来の複合ダイオードを示す断面図である。図 18 に示す低耐圧の MPS ダイオードは、 n^+ 型の Si 基板 181 のおもて面側の表面に、 n^- ドリフト層 182 となる n^- 型のエピタキシャル層が設けられている。 n^- ドリフト層 182 の表面には、pn 接合面とショットキー接合面とが混在する。具体的には、 n^- ドリフト層 182 の表面層に、複数の p^+ 型領域 183 が選択的に設けられ、 n^- ドリフト層 182 と p^+ 型領域 183 とが交互に繰り返してなる pn 接合が形成されている。

[0006] ショットキーコンタクト 184 は、Si 基板 181 のおもて面側に形成され、 p^+ 型領域 183 およびドリフト層 182 に接する。オーミックコンタクト 185 は、Si 基板 181 の裏面に設けられ、Si 基板 181 に接する。最も外側に形成された p^+ 型領域 183 は、接合終端構造 (JTE: Junction Termination Extension) 領域 190 まで伸びている。パッシベーション膜 191 は、Si 基板 181 のおもて面側に設けられ、終端部の p^+ 型領域 183 の一部および接合終端構造領域 190 において露出する n^- ドリフト層 182 を覆う。

[0007] このような MPS ダイオードは、小電流域ではショットキー接合ダイオードの動作が支配的になり低い順電圧となる一方、大電流域では pn 接合ダイオードの動作が支配的になり、伝導度変調によりショットキー接合ダイオードよりも低い順電圧となる。このため、全電流域で比べると定常損失が低減する。また、MPS ダイオードは、スイッチング動作のオフ時にドリフト層内に残存する蓄積キャリアの大部分がショットキー接合を介して排出されるため、蓄積キャリアの消滅時間を短くすることができる。この結果、MPS ダイオードは、スイッチング速度が速く、かつスイッチング損失も小さいという特徴を有する (例えば、下記非特許文献 1 参照。)

[0008] 図 19 は、従来の複合ダイオードの別の一例を示す断面図である。図 19 に示す SFD ダイオードは、 n^+ 型の Si 基板 201 のおもて面側の表面に、

nドリフト層202となるn型のエピタキシャル層が設けられている。nドリフト層202の表面には、pn接合面と浅pn接合面とが混在する。具体的には、nドリフト層202の表面層に、p⁺型領域203が選択的に設けられ、nドリフト層202とp⁺型領域203とからなるpn接合が形成されている。

[0009] また、nドリフト層202の表面層には、p⁺型領域203よりも浅くかつ低い不純物濃度を有する浅p型領域204が選択的に設けられている。浅p型領域204は、p⁺型領域203に接する。ショットキーコンタクト205は、Si基板201のおもて面側に形成され、p⁺型領域203および浅p型領域204に接する。オーミックコンタクト206は、Si基板201の裏面に設けられ、Si基板201に接する。SFDダイオードは、例えば600V級の耐圧を有する。

[0010] このようなSFDダイオードは、小電流域では浅pn接合ダイオードの動作が支配的となる一方、大電流域ではpn接合ダイオードの動作が支配的になる。このため、使用時の大電流域ではpn接合ダイオードの大きな伝導度変調を享受でき低い順電圧となるので、pn接合のみのダイオードと同様の低い定常損失を維持する。一方、SFDダイオードは、スイッチング動作のオフ時にドリフト層内に残存する蓄積キャリアの大部分が浅pn接合を介して排出されるため、蓄積キャリアの消滅時間を短くすることができる。この結果、SFDダイオードは、pn接合のみのダイオードに比べてスイッチング速度が速く、スイッチング損失も小さいという特徴を有する。さらに、SFDダイオードは、逆回復電流を低減することができ、リカバリー時間を遅く（ソフトリカバリー）できるため、インバータ等に適用しノイズ発生を抑制するという特徴を有する（例えば、下記非特許文献2参照。）。

[0011] ところで、近年、高耐圧用途に適した半導体材料として、炭化珪素（SiC）などのワイドギャップ半導体材料が注目されている。例えば、SiCは、Siに比べて絶縁破壊電界強度が約10倍程度高いという優れた特性を有しており、高い逆電圧阻止特性を実現する。SiCを用いてバイポーラ半導

体素子であるpn接合ダイオードを構成する場合、Siを用いたpn接合ダイオードに比べて格段に優れた性能を実現する。例えば、SiCを用いたpn接合ダイオードは、10kV以上の高耐圧を有する場合、Siを用いたpn接合ダイオードに比べて、順電圧が約1/4以下となり、かつターンオフ時の速度に相当する逆回復時間が約1/10以下となる。このため、SiCを用いたpn接合ダイオードは、スイッチング動作が高速であり、かつSiを用いたpn接合ダイオードの約1/6以下の電力損失とすることができる。したがって、SiCなどのワイドギャップ半導体材料は、省エネルギー化に大きく貢献するものと期待されている（例えば、下記非特許文献3参照）。

[0012] ワイドギャップ半導体材料を用いた半導体装置として、次のような装置が提案されている。バイポーラ半導体素子のドリフト層とアノード層との接合と、電界緩和層とを離隔して形成し、前記接合と電界緩和層との間の半導体領域に、アノード電極の端部を絶縁膜を介して対向させる。逆バイアス時には、絶縁膜を介して電極から前記接合と電界緩和層の間のドリフト層に与えられる電界効果により接合と電界緩和層は電氣的に接続され、接合の端部の電界集中が緩和される。順バイアス時には、接合と電界緩和層を電氣的にも離隔して順方向電流が接合のみを流れて流れるようにする（例えば、下記特許文献1参照）。

[0013] また、ショットキー接合が形成された半導体装置として、第一および第二の面、第一の面に隣接した第一導電型カソード領域、およびカソード領域上の第一導電型ドリフト領域を有する半導体基板と、カソード領域に接したカソード電極と、第二の面にあり、かつドリフト領域内に第一の側壁部を有し、また第一の側壁部と第二の側壁部とのあいだにメサが設けられ、かつ当該メサが所定のメサ幅と所定のメサドーピング濃度とを有するものである第一のトレンチと、第二の面にあり、かつドリフト領域内に第二の側壁部を有する第二のトレンチと、第一の側壁部上の第一の絶縁領域および第二の側壁部上の第二の絶縁領域と、第二の面と第一および第二の絶縁領域との上にあり

、また第二の面上でメサとともにショットキー整流接合を形成するアノード電極と、を有し、さらに、所定のメサドーピング濃度は 1×10^{16} ドーパント／立方センチメートルよりも大きい装置が提案されている（例えば、下記特許文献2参照。）。

- [0014] 近年、ワイドギャップ半導体材料としてSiCを用いて、図18に示すような600V級の低耐圧MPSダイオードが提案されており、その特性が開示されている（例えば、下記非特許文献4参照。）。

先行技術文献

特許文献

- [0015] 特許文献1：特開2005-223220号公報

特許文献2：特表平08-512430号公報

非特許文献

- [0016] 非特許文献1：電気学会、パワーデバイス・パワーICハンドブック、第1版、コロナ社、1996年7月30日、p. 97-98

非特許文献2：エム・モリ（M. Mori）、他3名、A NOVEL SOFT AND FAST RECOVERY DIODE (SFD) WITH THIN P-LAYER FORMED BY AL-Si ELECTRODE）、（アメリカ）、プロシーディングス オブ サード インターナショナル シンポジウム オン パワー セミコンダクター デバイス アンド ICズ（Proceedings of 3rd International Symposium on Power Semiconductor Devices and ICs）、1991年、p. 113-117

非特許文献3：菅原良孝、大電力変換用SiCパワーデバイス、応用物理、応用物理学会、2001年、第70巻、第5号、p. 530-535

非特許文献4：ピー・アレクサンドロフ（P. Alexandrov）、他5

名、4エイチエスアイシー エムピーエス ダイオード ファブリケーション アンド キャラクタゼーション イン アン インダクティベリー ローデッド ハーフブリッジ インバータ アップ ツウ 100キロワット (4H-SiC MPS Diode Fabrication and Characterization in an Inductively Loaded Half-Bridge Inverter up to 100 kW)、(スイス)、プロシーディングス オブ インターナショナル カンファレンス オブ シリコン カーバイド アンド リレイティドゥ マテリアルズ 2001 (ICSCRM '01: Proceedings of International Conference of Silicon Carbide and Related Materials 2001)、2001年10月28日-11月2日、p. 1177-1180

発明の概要

発明が解決しようとする課題

[0017] しかしながら、上述した非特許文献2、4の技術には、高耐圧を有するワイドギャップ半導体材料を用いた高耐圧ダイオードに関して言及されておらず、高耐圧化に伴う障害や対策について開示されていない。さらに、ワイドギャップ半導体材料として用いるSiCと、従来の半導体材料であるSiとの相違による製造プロセスの制約や、現在のSiC加工プロセスの加工精度に起因する制約により、本来の複合ダイオードが有する高性能性を実現する上で種々の問題があることについても言及されていない。これらの問題は、特に高性能の高耐圧複合ダイオードの性能を向上する上で深刻な問題となる。

[0018] 具体的には、ワイドギャップ半導体材料として用いられるSiCは、Siに比べて不純物の拡散速度が非常に遅いため、SiC基板にpn接合を形成するのが難しい。このため、図18、19に示すような複合ダイオードでは、通電電流を流すpn接合（以下、pn主接合とする）を構成するp⁺型領域

183, 203（以下、pn接合部とする）をイオン打ち込み（イオン注入）によって形成されている。しかしながら、イオン注入によってSiC基板に形成されるpn接合部には欠陥が多く生じる。このため、順バイアス時には、pn接合部に生じた欠陥でキャリアが再結合して消滅するため、順電圧が高くなってしまう。また、逆バイアス時には、pn接合部に生じた欠陥によりリーク電流が多量に発生する。SiCが本来の優位性を発揮する高温・高電界領域ではさらにリーク電流が増大するため、高耐圧を実現するのが難しいという第1の問題がある。

[0019] また、アノードとして機能するp⁺型領域183, 203は、キャリアの注入効率を高くするために、不純物濃度を高くする必要がある。このため、p⁺型領域183, 203を形成するためのイオン注入ではドーズ量を高くする必要があり、pn接合部の欠陥が非常に多くなる。この欠陥により、pn主接合と、ショットキー接合や浅pn接合との接触部近傍では良好なショットキー接合や浅pn接合を形成することができず、順方向および逆方向の両方向における耐圧特性を損ねてしまう。特に、ショットキー接合や浅pn接合にかかる電界が高くなる高耐圧素子では、上述した耐圧特性の劣化が顕著に生じるという第2の問題が生じる。

[0020] また、アノード電極（ショットキーコンタクト184, 205）上にワイヤボンディングを施す際に、アノード電極とワイヤとの接合部に大きな機械的ストレス（外力）がかかる。このため、おもて面素子表面近傍に設けられたショットキー接合を構成するn⁻ドリフト層182（ショットキー接合部）や、浅pn接合を構成するp⁺型領域203（浅pn接合部）が損傷し、欠陥が発生する虞がある。この欠陥により、順方向および逆方向の両方向における電気的特性を損ねてしまう。特に、ショットキー接合や浅pn接合にかかる電界が高くなる高耐圧素子では、上述した耐圧特性の低下が顕著に生じるという第3の問題がある。

[0021] この発明は、上述した従来技術による問題点を解消するため、耐圧の高い半導体装置を提供することを目的とする。耐圧特性が劣化することを回避す

ることができる半導体装置を提供することを目的とする。

課題を解決するための手段

- [0022] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、シリコンよりもバンドギャップが広い材料からなる第1導電型の第1の半導体領域と、前記第1の半導体領域の表面に選択的に設けられ、当該第1の半導体領域との間に第1の接合を形成する第1の層と、前記第1の半導体領域の表面に選択的に設けられ、当該第1の半導体領域との間に第2の接合を形成する第2の層と、前記第1の接合を含む領域からなる第1のダイオードと、前記第2の接合を含む領域からなる第2のダイオードと、を備え、前記第1の半導体領域の表面には、凹部と当該凹部の底面よりも突出した凸部とが設けられ、前記第1の接合および前記第2の接合は、それぞれ前記第1の半導体領域の表面から異なる深さに形成されており、前記第2のダイオードのビルトイン電位は、前記第1のダイオードのビルトイン電位よりも低いことを特徴とする。
- [0023] また、この発明にかかる半導体装置は、上述した発明において、前記第1の層は、前記凸部の表面に設けられており、前記第2の層は、前記凹部の底面に設けられており、上記凸部に形成された前記第1の接合の、当該凸部表面からの深さは、前記凹部よりも浅いことを特徴とする。
- [0024] また、この発明にかかる半導体装置は、上述した発明において、前記第1の接合の端部は前記凸部の側面に露出していることを特徴とする。
- [0025] また、この発明にかかる半導体装置は、上述した発明において、前記第1の層に比べて前記第2の層の厚さが薄いことを特徴とする。
- [0026] また、この発明にかかる半導体装置は、上述した発明において、前記第1の層は、第2導電型の第2の半導体領域であり、前記第2の層は、第2導電型の第3の半導体領域であり、前記第3の半導体領域は、前記第2の半導体領域よりも薄く、かつ当該第2の半導体領域よりも低い不純物濃度を有することを特徴とする。
- [0027] また、この発明にかかる半導体装置は、上述した発明において、前記第2

の半導体領域は、前記第 1 の半導体領域の表面に選択的に設けられたエピタキシャル層であり、前記凸部は、前記第 2 の半導体領域からなることを特徴とする。

[0028] また、この発明にかかる半導体装置は、上述した発明において、前記第 1 のダイオードおよび前記第 2 のダイオードは、 $p-n$ 接合ダイオードであることを特徴とする。

[0029] また、この発明にかかる半導体装置は、上述した発明において、前記第 1 の層は、第 2 導電型の第 2 の半導体領域であり、前記第 2 の層は、前記第 1 の半導体領域との間にショットキー接合を形成する金属膜であることを特徴とする。

[0030] また、この発明にかかる半導体装置は、上述した発明において、前記第 2 の半導体領域は、前記第 1 の半導体領域の表面に選択的に設けられたエピタキシャル層であり、前記凸部は、前記第 2 の半導体領域からなることを特徴とする。

[0031] また、この発明にかかる半導体装置は、上述した発明において、前記第 1 のダイオードは、 $p-n$ 接合ダイオードであり、前記第 2 のダイオードは、ショットキー接合ダイオードであることを特徴とする。

[0032] また、この発明にかかる半導体装置は、上述した発明において、前記凸部は、テーパ状に設けられ、前記第 1 の接合と前記第 2 の接合との間の、前記凹部の側面の表面層に、前記第 1 の接合および前記第 2 の接合に接し、かつ前記第 2 の半導体領域よりも低い不純物濃度を有する第 2 導電型の第 4 の半導体領域が設けられていることを特徴とする。

[0033] また、この発明にかかる半導体装置は、上述した発明において、前記凹部は、前記第 1 の半導体領域の、前記第 2 の半導体領域が設けられる側の表面に形成されたトレンチであり、前記第 1 の接合と前記第 2 の接合との間の、前記トレンチの側壁の表面層に、前記第 1 の接合および前記第 2 の接合に接し、かつ前記第 2 の半導体領域よりも低い不純物濃度を有する第 2 導電型の第 4 の半導体領域が設けられていることを特徴とする。

- [0034] また、この発明にかかる半導体装置は、上述した発明において、前記凹部の底面の表面層には、前記第2の半導体領域より低い不純物濃度を有する第2導電型の第5の半導体領域が設けられ、前記凹部の底面に設けられた前記第2の接合は、前記第5の半導体領域によって分離されていることを特徴とする。
- [0035] また、この発明にかかる半導体装置は、上述した発明において、前記第3の半導体領域はイオン注入によって形成された領域であることを特徴とする。
- [0036] また、この発明にかかる半導体装置は、上述した発明において、前記金属膜は、金属蒸着後に熱処理によって形成された合金層であることを特徴とする。
- [0037] また、この発明にかかる半導体装置は、上述した発明において、前記第1の半導体領域は、シリコンよりもバンドギャップが広い材料からなる第1導電型の半導体基板上に設けられており、前記第1の半導体領域の内部には、前記半導体基板の表面に平行に、当該半導体基板よりも薄く、かつ不純物濃度の高い第6の半導体領域が設けられ、前記第6の半導体領域は、前記第1の半導体領域の内部の中間の深さよりも前記半導体基板側に設けられていることを特徴とする。
- [0038] また、この発明にかかる半導体装置は、上述した発明において、前記第1の接合と前記第2の接合とが交互に繰り返し設けられたストライプ状の平面レイアウトを有し、前記第1の接合と前記第2の接合とがストライプ状に配置され、該ストライプの長手方向に直交する方向の最外周部には、前記第2の接合の端部が露出し、前記ストライプの長手方向に平行な方向の最外周部には、当該第1の接合の端部と当該第2の接合の端部とが交互に露出し、前記最外周部に設けられ、前記第1の接合と前記第2の接合とを囲む電界緩和層が、当該最外周部に露出する前記第1のp n接合の端部および前記第2の接合の端部のそれぞれに接することを特徴とする。
- [0039] この発明によれば、イオン注入技術に比べて格段に欠陥を少なくできるエ

ピタキシャル技術を用いてMPSダイオードを製作する。すなわち、 n 層（第1の半導体領域）上に p^+ 層（第2の半導体領域）をエピタキシャル成長して pn 主接合（第1の接合）を形成し、部分的にこの p^+ エピタキシャル層を除去した n 層上にショットキー接合（第2の接合）を形成する。または、エピタキシャル技術を用いてMPSダイオードを製作するに当って、 n 層を部分的に除去し p^+ 層をエピタキシャル成長して埋め込んで pn 主接合を形成し、除去していない n 層上にショットキー接合を形成することを特徴とする。これらにより、格段に欠陥が少なく高温でもリーク電流が小さいMPSダイオードを実現することができる。ダイオードの外周部においては、 p^+ エピタキシャル層除去後に n 層上に電界緩和領域（JTEやFLRやRESURF）を形成して、高耐圧の実現に寄与するものである。

[0040] また、 pn 主接合とショットキー接合を隔離して設け、両接合間には p^+ アノード層（第2の半導体領域）よりも濃度の低い p 融合電界緩和層（第4の半導体領域）をイオン注入によって形成し、この p 融合電界緩和層を介して両接合を接触する。融合電界緩和層とは、 pn 主接合の電界緩和層とショットキー接合の電界緩和層を融合させたものであり、両方の接合の電界緩和を同時に達成する機能をもつ。これにより、 pn 接合とショットキー接合の直接接触を回避することができ、 p^+ アノード層のみを高い不純物濃度で設けることができる一方、ショットキー接合に接触する p 不純物をイオン注入することによって形成される電界緩和層（第5の半導体領域）として機能させるためドーズ量を p^+ アノード層よりも少なくすることができる。この結果、イオン注入の際に発生する欠陥を少なくできるので、リーク電流の少ない良好な順逆特性を実現できる。

[0041] なお、 p 融合電界緩和層によりショットキー接合端部の過度の電界集中を緩和し、ショットキー接合部の高耐圧化を実現する一方、この p 融合電界緩和層により pn 主接合端の電界集中も緩和し、この pn 主接合の高耐圧化も同時に実現することができる。 pn 主接合とショットキー接合の両者の耐圧をバランスよく高耐圧にするためには、 p 融合電界緩和層の不純物濃度は5

$\times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の範囲にするのがよく、より好ましくは $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $8 \times 10^{17} \text{ cm}^{-3}$ 以下の範囲にするのがよい。

[0042] また、上述した第3の問題を解決するために、第1の問題解決手段を活用するものである。すなわち、ショットキー接合は p^+ アノード層よりも低い位置に形成されるので、アノード電極にワイヤボンディングを施す際に、機械的ストレスが p^+ アノード層の上部には直接的におよぶが、ショットキー接合には直接的にはおよばない。このため、ショットキー接合の損傷を免れることができる。一方、 n 層を部分的に除去し p^+ 層をエピタキシャル成長して埋め込んで $p-n$ 主接合を形成する際、除去していない n 層よりも p^+ 層が高くなるようにする。この結果、ワイヤボンディングの際に機械的ストレスがショットキー接合には直接的にはおよばないのでショットキー接合の損傷を免れることができる。 $p-n$ 接合部は p^+ アノード層下部すなわちSiC基板（半導体基板）内部に形成されているので、ワイヤボンディングの際の機械的ストレスがかなり緩和される。これにより、 $p-n$ 接合部が損傷することを回避することができる。これらの結果、両接合部におけるワイヤボンディング時の欠陥の発生を抑制でき良好な順逆特性を実現することができる。

[0043] このように、イオン注入によって生じる欠陥を低減することができるので、欠陥に起因してその後の稼働時に生じる、欠陥が拡大し順逆特性が劣化することを抑制することができ、高信頼性を向上することができる。また、 p 融合電界緩和層は、 n 層上にエピタキシャル成長して形成した p^+ 層を部分的にエッチング除去する際、 p^+ 層を形成するために n 層を部分的に除去する際に、凹部のコーナー部がオーバーエッチングされ突起状の溝を頻発する。その結果、完成したダイオードにおいて、逆バイアス時にこのオーバーエッチングされた突起状の溝部分に電界が過度に集中し耐圧を低下させてしまう。上記の p 融合電界緩和層は突起状の溝の電界集中も緩和するので、この種の耐圧低下を防ぎ高耐圧を実現することができる。

[0044] また、 $p-n$ 主接合を形成するために、 p^+ エピタキシャル層を部分的にエッチング除去した際や、 p^+ 層を形成するために n 層を部分的に除去した際に、

除去表面や凹部のコーナ一部にはエッチングに起因する種々の結晶欠陥が形成されることが多い。この欠陥のうちの積層欠陥はキャリアを捕獲して消滅させる悪作用をもつ。さらに、 $p-n$ 主接合から注入された少数キャリアが積層欠陥部の結晶格子に衝突する際の衝撃で容易に拡大してしまう。その結果、キャリアを捕獲して消滅させる領域が拡大することになり、順電圧が増大する。このため、定常損失が増大するだけでなく、素子が破壊する虞がある。 p 融合電界緩和層は注入されたキャリアがエッチング表面付近やコーナ一部表面付近の積層欠陥に衝突するのを抑制するので、定常損失の増大や素子破壊を抑制することができる。

[0045] また、ショットキー接合部に1個以上の上記濃度範囲の p 層（第5の半導体領域）を設けることを特徴とする。これにより、逆バイアス時に所定の逆電圧以上の逆印加電圧では、ショットキー接合部の下の p 層に挟まれた n 層が両者で形成する接合から広がる空乏層でピンチオフされ、それ以上の逆印加電圧でショットキー接合部の電界強度が高くなるのを抑制することができる。ショットキー接合部の全体幅すなわち面積をほぼ等しくした場合には、従来の半導体装置に比べて超高耐圧を実現できる。また耐圧をほぼ等しくした場合には、従来の半導体装置に比べてショットキー接合部の面積を広げることができる。この結果、スイッチングオフ時にドリフト層内の残留キャリアの消滅時間をより短くできるので、スイッチング速度をより速くすることができ、その結果、低損失化を図ることができる。

[0046] また、 p^+ アノード層が設けられる凸部の両側の傾斜面にオーミックコンタクトメタル膜と電極膜を直接接触させて形成することを特徴とする。この結果、オーミックコンタクトメタル膜のリフトオフ工程を省略することができるので、製作工程を簡略化することができ歩留まりや経済性の向上が図れるとともに、 p 融合電界緩和層が順電圧印加時にキャリアの注入層としてもある程度機能するので、オン電圧を低減することができる。

[0047] また、 $p-n$ 接合のオーミックコンタクト膜とショットキー接合メタルの材質を変えることを特徴とする。これにより、コンタクト抵抗を小さくするこ

とと、ショットキー接合を良好にすることが独立にできるようになるので、それぞれに最適な材質を選択することができる。例えば、 p^+ 層のオーミックコンタクト膜としてチタン（Ti）を、ショットキー接合メタルとしてニッケル（Ni）を用いることにより半導体装置の特性を向上することができる。この場合、TiおよびNiからなる電極膜上には厚めの金（Au）やアルミニウム（Al）膜を設けて両者を接続するとともにアノード電極の抵抗を下げることで、損失を低減している。

- [0048] また、 $p-n$ 主接合とショットキー接合を交互に配列したアノード領域の両端がショットキー接合になるように構成し、そのショットキー接合端部が外周部の n 層上に設けた電界緩和領域（JTEやFLRやRESURF）と重畳させて接触させる。これにより、スイッチングオフ時にアノード領域の全 $p-n$ 主接合下の n^- ドリフト層内の残留キャリアの排出時間の偏りがなくなり、逆回復時間を短くすることができスイッチング損失を少なくすることができる。アノード領域の両端が $p-n$ 主接合になるように配置した場合は、両端の $p-n$ 主接合下の n^- ドリフト層内の残留キャリアの排出時間が、内部の他の $p-n$ 主接合下の n^- ドリフト層内の残留キャリアの排出時間よりも長くなり、逆回復時間が長くなりスイッチング損失がより多くなっていた。

発明の効果

- [0049] 本発明にかかる半導体装置によれば、耐圧の高い半導体装置を提供することができるという効果を奏する。また、耐圧特性が劣化することを回避することができる半導体装置を提供することができるという効果を奏する。以上のように、本発明により内蔵欠陥が少ないワイドギャップMPSダイオードを提供でき、ダイオードの高耐圧化や低損失化、高速化といった高性能化が実現できるとともに信頼性も向上できる。

図面の簡単な説明

- [0050] [図1] 図1は、実施の形態1にかかるMPSダイオードの要部を示す断面図である。

[図2] 図2は、実施の形態1にかかるMPSダイオードの要部を示す平面図で

ある。

[図3] 図3は、実施の形態2にかかるMPSダイオードの要部を示す断面図である。

[図4] 図4は、実施の形態3にかかるMPSダイオードの要部を示す断面図である。

[図5] 図5は、実施の形態4にかかるMPSダイオードの要部を示す断面図である。

[図6] 図6は、実施の形態5にかかるMPSダイオードの要部を示す断面図である。

[図7] 図7は、実施の形態6にかかるMPSダイオードの要部を示す断面図である。

[図8] 図8は、実施の形態7にかかる複合ダイオードの要部を示す断面図である。

[図9] 図9は、実施の形態7にかかる複合ダイオードの要部を示す平面図である。

[図10] 図10は、実施の形態8にかかる複合ダイオードの要部を示す断面図である。

[図11] 図11は、実施の形態9にかかる複合ダイオードの要部を示す断面図である。

[図12] 図12は、実施の形態10にかかる複合ダイオードの要部を示す断面図である。

[図13] 図13は、実施の形態11にかかる複合ダイオードの要部を示す断面図である。

[図14] 図14は、実施の形態12にかかる複合ダイオードの要部を示す断面図である。

[図15] 図15は、実施の形態13にかかる複合ダイオードの要部を示す断面図である。

[図16] 図16は、実施の形態14にかかる複合ダイオードの要部を示す断面

図である。

[図17] 図17は、実施の形態15にかかる複合ダイオードの要部を示す断面図である。

[図18] 図18は、従来の複合ダイオードを示す断面図である。

[図19] 図19は、従来の複合ダイオードの別の一例を示す断面図である。

発明を実施するための形態

[0051] 以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、 n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n や p に付す $+$ および $-$ は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0052] (実施の形態1)

図1は、実施の形態1にかかるMPSダイオードの要部を示す断面図である。図1に示すMPSダイオードは、例えば、16kV級の耐圧を有する高耐圧ワイドギャップ半導体ダイオードである。図1に示すMPSダイオードにおいて、 n^+ カソード基板1のおもて面側の表面に、 n^- ドリフト層（第1の半導体領域）2が設けられている。 n^+ カソード基板1は、例えば、炭化珪素の四層周期六方晶（4H-SiC）など、シリコンよりもバンドギャップが広い材料（ワイドギャップ半導体）からなる。 n^+ カソード基板1の不純物濃度および厚さは、それぞれ $2 \times 10^{19} \text{ cm}^{-3}$ および $400 \mu\text{m}$ であってもよい。 n^- ドリフト層2の不純物濃度および厚さは、それぞれ $4.5 \times 10^{14} \text{ cm}^{-3}$ および $170 \mu\text{m}$ であってもよい。 n^- ドリフト層2は、例えばエピタキシャル成長法で形成される。

[0053] n^- ドリフト層2の表面には、 p^+ アノード層（第1の層、第2の半導体領域）3a、3bが互いに離れて設けられている。 p^+ アノード層3aは、複数設けられている。複数の p^+ アノード層3aは、互いに離れて、かつ隣り合うよ

うに設けられている。具体的には、 n^+ カソード基板 1 を個々のチップに切断したときに、 p^+ アノード層 3 b はチップの外周部側に設けられ、複数の p^+ アノード層 3 a は p^+ アノード層 3 b よりもチップの中央部側に設けられている（図 2 参照）。

[0054] p^+ アノード層 3 a, 3 b の不純物濃度および厚さは、それぞれ $5 \times 10^{18} \text{ cm}^{-3}$ および $1.7 \mu\text{m}$ であってもよい。 p^+ アノード層 3 a, 3 b の表面には、それぞれ p^{++} コンタクト層 4 a, 4 b が設けられている。 p^{++} コンタクト層 4 a, 4 b の不純物濃度および厚さは、それぞれ $2 \times 10^{19} \text{ cm}^{-3}$ および $0.2 \mu\text{m}$ であってもよい。 n^- ドリフト層 2 の表面には、 p^+ アノード層 3 a, 3 b と n^- ドリフト層 2 とからなる $p-n$ 接合（ $p-n$ 主接合、第 1 の接合）5 a, 5 b がそれぞれ形成される。つまり、 $p-n$ 主接合 5 a, 5 b を含む領域からなる $p-n$ 接合ダイオード（第 1 のダイオード）が設けられている。 $p-n$ 主接合 5 a, 5 b を含む領域とは、少なくとも n^+ カソード基板 1、 n^- ドリフト層 2 および p^+ アノード層 3 a, 3 b を含む領域である。

[0055] p^+ アノード層 3 a, 3 b および p^{++} コンタクト層 4 a, 4 b は、順次エピタキシャル成長法によって形成される。また、 p^+ アノード層 3 a, 3 b および p^{++} コンタクト層 4 a, 4 b は、RIE（Reactive Ion Etching）技術によってメサ状に加工されている。以降、 p^+ アノード層 3 a 間、および p^+ アノード層 3 a と p^+ アノード層 3 b との間に形成されたメサ状の部分をもメサ部とする。つまり、隣り合うメサ部の間には、 p^+ アノード層 3 a が設けられている。メサ部の底面（以下、メサ底部とする、凹部）に露出する n^- ドリフト層 2 の表面から p^{++} コンタクト層 4 a, 4 b の表面までの高さ（以下、メサの高さとする）は、約 $2.5 \mu\text{m}$ であってもよい。

[0056] 隣り合う p^+ アノード層 3 a 間のメサ底部には、ショットキー接合用の金属膜（以下、ショットキー接合メタルとする）として Ti（第 2 の層）膜 6 a が設けられ、ショットキー接合（第 2 の接合）7 a が形成されている。 p^+ アノード層 3 a と p^+ アノード層 3 b との間のメサ底部には、ショットキー接合メタルとして Ti（チタン）膜 6 b が設けられ、ショットキー接合 7 b が形

成されている。つまり、ショットキー接合 7 a, 7 b を含む領域からなるショットキー接合ダイオード（第 2 のダイオード）が設けられている。ショットキー接合 7 a, 7 b を含む領域とは、少なくとも n^+ カソード基板 1、 n^- ドリフト層 2 および Ti 膜 6 a, 6 b を含む領域である。ショットキー接合ダイオードのビルトイン電位は、pn 接合ダイオードのビルトイン電位よりも低い。

[0057] ショットキー接合 7 a、7 b が形成されるメサ底部の幅 C は、 $40\ \mu\text{m}$ 程度であってもよい。メサ底部のコーナー部から隣り合うメサ底部のコーナー部まで（以下、メサ底部間とする、凸部）の間隔 D は、 $60\ \mu\text{m}$ 程度であってもよい。p⁺⁺コンタクト層 4 a, 4 b 上には、アノードのオーミック接続用の金属膜（以下、オーミックコンタクトメタルとする）として Ti 膜 16 a, 16 b とがそれぞれ設けられている。Ti 膜 6 a, 6 b, 16 a, 16 b は、同一の蒸着工程とフォトリソグラフィ工程とによって形成される。

[0058] 具体的には、pn 主接合 5 a、5 b およびショットキー接合 7 a、7 b は、次のように形成される。まず、 n^+ カソード基板 1 のおもて面に積層した n^- ドリフト層 2 の表面に、p⁺ エピタキシャル層および p⁺⁺ エピタキシャル層を順次積層する。p⁺ エピタキシャル層は、後の工程において p⁺ アノード層 3 a, 3 b となる。p⁺⁺ エピタキシャル層は、後の工程において p⁺⁺ コンタクト層 4 a, 4 b となる。

[0059] ついで、 n^- ドリフト層 2 の表面に積層された p⁺ エピタキシャル層および p⁺⁺ エピタキシャル層を選択的にエッチングし、 n^- ドリフト層 2 に達するまで除去する。このとき、p⁺ エピタキシャル層および p⁺⁺ エピタキシャル層とともに、 n^- ドリフト層 2 の表面層の一部を除去してもよい。これにより、メサ部が形成される。また、p⁺ エピタキシャル層および p⁺⁺ エピタキシャル層は、複数の p⁺ アノード層 3 a および p⁺⁺ コンタクト層 4 a と、p⁺ アノード層 3 b および p⁺⁺ コンタクト層 4 b とに分離され、pn 主接合 5 a、5 b が形成される。

[0060] ついで、 n^+ カソード基板 1 のおもて面側の全面に、Ti 膜を蒸着する。ついで、フォトリソグラフィによって、Ti 膜を選択的に除去し、p⁺⁺ コンタク

ト層 4 a, 4 b の表面およびメサ底部に積層された T i 膜を残す。これにより、 p^{++} コンタクト層 4 a, 4 b の表面に、オーミックコンタクトとなる T i 膜 6 a, 6 b がそれぞれ形成される。また、メサ底部には、ショットキーメタルとして T i 膜 1 6 a, 1 6 b が形成され、ショットキー接合 7 a, 7 b が形成される。以上の工程により、 n^{+} カソード基板 1 のおもて面側に、 p n 主接合 5 a, 5 b およびショットキー接合 7 a, 7 b は、次のように形成される。

[0061] 上述した p n 主接合 5 a, 5 b およびショットキー接合 7 a, 7 b の形成方法において、 n^{-} ドリフト層 2 の、 n^{+} カソード基板 1 に接する面に対して反対側の面に凹部を形成し、その後、この凹部内に p^{+} エピタキシャル層および p^{++} エピタキシャル層を成長させ、凹部底面に p n 主接合 5 a, 5 b を形成してもよい。この場合、 n^{-} ドリフト層 2 の、 n^{+} カソード基板 1 に接する面に対して反対側の、凹部が形成されていない表面に、ショットキーメタルとして T i 膜 1 6 a, 1 6 b を形成して、ショットキー接合 7 a, 7 b を形成する。

[0062] p n 主接合 5 a とショットキー接合 7 a との間、および p n 主接合 5 a, 5 b とショットキー接合 7 b との間に露出する n^{-} ドリフト層 2 の表面層には、それぞれ p 融合電界緩和層 1 3 (第 4 の半導体領域) がイオン打ち込み (イオン注入) によって形成されている。 p 融合電界緩和層 1 3 は、例えば p^{+} エピタキシャル層および p^{++} エピタキシャル層を除去して p^{+} アノード層 3 a, 3 b および p^{++} コンタクト層 4 a, 4 b を形成した後に形成してもよい。 p 融合電界緩和層 1 3 の不純物濃度および幅は、それぞれ約 $8 \times 10^{16} \text{ cm}^{-3}$ および約 $5 \mu\text{m}$ であってもよい。ここで、 p 融合電界緩和層 1 3 の幅とは、メサ底部側の端部から n^{+} カソード基板 1 のおもて面に平行な方向における長さである。

[0063] n^{+} カソード基板 1 のおもて面側には、メサ部側壁に設けられた絶縁保護膜 8 を介してアノード電極膜 9 が形成されている。アノード電極膜 9 は、T i 膜 6 a, 6 b, 1 6 a, 1 6 b に接する。アノード電極膜 9 は、例えば A u

(金) からなる。また、アノード電極膜 9 の厚さは、約 $3.5 \mu\text{m}$ であってもよい。メサ部側壁に設けられた絶縁保護膜 8 は、メサ部に露出する p^+ アノード層 3 a, 3 b の端部、 p^{++} コンタクト層 4 a, 4 b の端部および p 融合電界緩和層 1 3 の一部を覆う。

[0064] メサ部の中央部から隣り合うメサ部の中央部までの領域が、複合ユニット A である。つまり、複合ユニット A は、 $p-n$ 主接合 5 a が形成された領域と、この領域の両隣に形成されたメサ部の中央部までの領域とからなる。複合ユニット A は、複数並列に配置されている（図 2 参照）。

[0065] n^+ カソード基板 1 を個々のチップに切断したときに、ショットキー接合 7 b が形成されたメサ部の中央部からチップの最も外周部側の領域が、最外周部 B である。つまり、最外周部 B は、チップの最も外周部側に形成された $p-n$ 主接合 5 b を含む領域である。 $p-n$ 主接合 5 b を含む領域よりもチップの外周部側の n^- ドリフト層 2 の表面に、 p^+ アノード層 3 b および p^{++} コンタクト層 4 b を形成するために積層された p^+ エピタキシャル層および p^{++} エピタキシャル層はメサ部の形成とともに除去され、 n^- ドリフト層 2 が露出する。この n^- ドリフト層 2 が露出面の表面層には、電界緩和領域となる JTE (Junction Termination Extension) 10 およびチャネルストッパー 11 がイオン注入によって形成されている。JTE 10 およびチャネルストッパー 11 は、互いに離れて設けられる。

[0066] JTE 10 およびチャネルストッパー 11 は、チップ中央部側に設けられた複数の複合ユニット A を囲む。JTE 10 は、最も外側に形成された $p-n$ 主接合 5 b に接する。JTE 10 およびチャネルストッパー 11 は、 SiO_2 膜を含む複数の絶縁膜が積層されてなるパッシベーション膜 12 に覆われている。また、パッシベーション膜 12 は、最も外側に露出する p^+ アノード層 3 b および p^{++} コンタクト層 4 b の端部を覆う。

[0067] JTE 10 の不純物濃度、幅および深さは、それぞれ約 $2.5 \times 10^{17} \text{cm}^{-3}$ 、 $500 \mu\text{m}$ および $1.2 \mu\text{m}$ であってもよい。チャネルストッパー 11 の不純物濃度は、約 $5 \times 10^{18} \text{cm}^{-3}$ であってもよい。 n^+ カソード基板 1 の裏面

には、N i オーミックコンタクト 1 4 およびカソード電極膜 1 5 が形成されている。カソード電極膜 1 5 は、A u を主成分とする。

[0068] 図 2 は、実施の形態 1 にかかる M P S ダイオードの要部を示す平面図である。図 2 では、チップ上に形成された複数の複合ユニット A および最外周部 B の平面レイアウトを示す。実際のチップは正形状であるが、M P S ダイオードの平面レイアウトを明確に示すために、チップの縦横比を約 1 : 5 としてある。粗い点線の矩形で示す T i 膜 1 6 a, 1 6 b と実線の矩形で示すショットキー接合 7 a、7 b とを 1 つのユニット 2 0 とし、このユニット 2 0 を、例えば 3 0 個隣り合って配列している。図中の A × n とは、ユニット 2 0 が複数個配列されていることを意味する。

[0069] 例えば、1 つのユニット 2 0 内のショットキー接合 7 a の中央部から、当該ユニット 2 0 内の T i 膜 1 6 a を含み、かつ当該ユニット 2 0 内の T i 膜 1 6 a 側に隣り合うユニット 2 0 内のショットキー接合 7 b の中央部までが、図 1 に示す複合ユニット A である。また、1 つのユニット 2 0 内のショットキー接合 7 a の中央部から、当該ユニット 2 0 内の T i 膜 1 6 b を含み、かつ当該ユニット 2 0 内の T i 膜 1 6 a 側に隣り合うユニット 2 0 内のショットキー接合 7 b の中央部までを、複合ユニット A としてもよい。例えば、隣り合うメサ部に、T i 膜 1 6 a および T i 膜 1 6 b が交互に繰り返されるように、複合ユニット A が配置されていてもよい。

[0070] また、最も外側に設けられたユニット 2 0 内のショットキー接合 7 b の中央部から、チップ最外周のチャネルストッパー 1 1 までが、図 1 に示す最外周部 B である。3 0 個のユニット 2 0 (以下、複合ユニット群とする) のうち、チップ中央部近傍のユニット 2 0 を図示省略して太く細かい点線で示す。ユニット 2 0 が配列される方向のユニット 2 0 の長さは、例えば 3 mm である。

[0071] J T E 1 0 は、複合ユニット群を囲む。チャネルストッパー 1 1 は、J T E 1 0 および複合ユニット群を囲む。チップは、例えば一辺が約 4 mm の正形状をしていてもよい。つまり、ユニット 2 0 が配列された方向に直交す

る方向の、ユニット20内のTi膜16a, 16bの端部（切断線E-E'の上下端）にはpn接合5a, 5bを構成するn⁻ドリフト層2およびp⁺アノード層3a, 3bが露出しており、pn接合5a, 5b（図1参照）がJTE10に接続した構成である。また、ユニット20が配列された方向に直交する方向の、ユニット20内のショットキー接合7a, 7b（切断線F-F'の上下端）では、ショットキー接合7a, 7bがJTE10に接続した構成である。

[0072] 実施の形態1では、ショットキー接合7a, 7bをpn主接合5a, 5bよりも深い位置に形成することができるので、スイッチング動作のオフ時にはpn主接合5a, 5b直下のn⁻ドリフト層2内に残存する蓄積キャリアまでの距離を短くすることが容易となる。この結果、pn主接合5a, 5bよりもビルトイン電圧が低いショットキー接合7a, 7bを介して蓄積キャリアをより速く且つ効率的に排出できるので、蓄積キャリア消滅時間を短くできスイッチング速度が速くスイッチング損失も小さくできるとともに、逆回復電流を低減することができる。

[0073] （実施例1）

次に、実施の形態1にかかるMPSダイオードの動作と代表的な特性を、実施例1として作製した実施の形態1にかかるMPSダイオードの動作試験時の動作に沿って説明する。実施例1にかかるMPSダイオードを作製し、次に示すように実装した。まず、TO型（ピン挿入型）のパッケージにダイボンディングした。そして、Auからなるアノード電極膜9上に結線用の複数本のAuワイヤをワイヤボンディングした。Auワイヤの直径を100μmとした。ついで、ダイオード保護用の高耐熱レジンであるナノテクレジンでチップ全体およびAuワイヤの大部分を被覆して半導体装置を作製した。そして、実施例1にかかるMPSダイオードの動作試験を実施した。

[0074] まず、実施例1にかかるMPSダイオードにおいて、アノード電極膜9とカソード電極膜15との間に、アノード電極膜9の電位がカソード電極膜15の電位よりも高い状態、いわゆる順方向状態になるように電圧を印加した

。この印加電圧を高くすると0.6～0.7 V付近より順方向電流が流れ始めた。これは、ショットキー接合7a, 7bが順バイアスされたからである。印加電圧をさらに高くすると2.7 V付近から順方向電流が急増し始めた。これは、pn主接合5a, 5bが順バイアスされ、少数キャリアの注入が始まったことにより、n⁻ドリフト層2が伝導度変調され内部抵抗が低減したからである。また、実施例1にかかるMPSダイオードは、室温で順電圧5 Vにおける平均的な順電流密度は約40 A/cm²であり、高耐圧にも関わらず耐圧5 kV級のSiダイオードと同様であった。これにより、実施例1にかかるMPSダイオードは、従来のSiダイオードと同様に十分実用に耐えうるレベルの電気的特性を有し、かつ従来のSiダイオードよりも高耐圧とすることができることがわかった。

[0075] つづいて、実施例1にかかるMPSダイオードにおいて、アノード電極膜9とカソード電極膜15との間に、アノード電極膜9の電位がカソード電極膜15の電位よりも低い状態、いわゆる逆方向状態になるように電圧を印加した。リーク電流は、印加電圧が高くなるにつれて増加する傾向にある。実施例1にかかるMPSダイオードは、リーク電流の耐圧電流密度は、印加電圧が16 kVであった場合でも、室温で 3×10^{-3} A/cm²以下、250℃の高温で 4×10^{-2} A/cm²以下と低い値となり、良好な電気的特性を示した。また、なだれ降伏を示す耐圧は、室温で18 kV以上となり、良好な電気的特性を示した。

[0076] 比較として、pn主接合5a, 5bとショットキー接合7a, 7bとの間にp融合電界緩和層13を設けない半導体装置を作製し（以下、第1比較例とする）、実施例1にかかるMPSダイオードと同様の動作試験を実施した。第1比較例のその他の構成は、実施例1にかかるMPSダイオードと同様である。第1比較例では、順方向耐圧は約5.2 kVとなった。また、p融合電界緩和層13に代えて、メサ底部のコナー一部からショットキー接合を離してガードリングのみを設けた半導体装置を作製し（以下、第2比較例とする）、実施例1にかかるMPSダイオードと同様の動作試験を実施した。

第2比較例のその他の構成は、実施例1にかかるMPSダイオードと同様である。第2比較例では、順方向耐圧は約6.8 kVであった。これにより、p融合電界緩和層13を設けることで、高耐圧半導体装置のリーク電流を少なくすることができ、耐圧を高くすることができることがわかった。

[0077] さらに、実施例1にかかるMPSダイオードは、順電流密度約40 A/cm²で順方向電流を流した状態からオフ状態にした際の逆回復時間は26 nsであった。また、逆回復電流密度は約54 A/cm²と低く、極めて良好な電気的特性を示すことがわかった。このときの試験条件は、室温で、逆印加電圧が6.5 kVであり、電流密度の減少率 dj/dt が7 kA/cm²/μsである。比較として、ショットキー接合7a, 7bを形成せずにpn主接合5a, 5bのみのpnダイオード（以下、第3比較例とする）を作製し、実施例1にかかるMPSダイオードと同様の条件で逆回復時間および逆回復電流密度を測定した。第3比較例のその他の構成は、実施例1にかかるMPSダイオードと同様である。第3比較例の逆回復時間は57 nsであった。第3比較例の逆回復電流密度は、約165 A/cm²と実施例1にかかるMPSダイオードに比べて高かった。これにより、実施例1にかかるMPSダイオードが第3比較例よりもリーク電流を低減することができることがわかった。

[0078] また、実施例1にかかるMPSダイオードは、ショットキー接合7a, 7bが形成されるメサ底部の幅Cを40 μmとし、メサ底部間の間隔Dを60 μmとしたが、これらの幅Cや間隔Dを種々変更してもよい。つまり、メサ底部の幅Cと底部間の間隔Dとの総和した幅（C+D）を変更せずに、メサ底部の幅Cやメサ底部間の間隔Dを種々変更してもよい。これにより、オン電圧と逆回復時間のトレードオフ関係を変化させることができる。

[0079] 具体的には、ショットキー接合7a, 7bが形成されるメサ底部の幅Cを大きくし、かつpn主接合5a, 5bが形成されたメサ底部間の間隔Dを小さくすることにより、オン電圧はやや増大するが、逆回復時間を短くすることができる。一方、メサ底部の幅Cを小さくし、かつメサ底部間の間隔Dを

大きくすることにより、逆回復時間は長くなるが、オン電圧を低減することができる。例えば、メサ底部の幅Cを $60\mu\text{m}$ とし、メサ底部間の間隔Dを $40\mu\text{m}$ とし、室温で順電流密度約 $40\text{A}/\text{cm}^2$ で通電させた場合、オン電圧は 5.6V に増大したが、逆回復時間を 19ns に低減することができた。

[0080] また、アノード電極膜9にAuワイヤボンディングを施したときに、アノード電極膜9とAuワイヤとの接合部にかかる機械的ストレス（以下、アノード電極膜9にかかる外力とする）は、アノード電極膜9に接する p^+ アノード層3a, 3bの上部にかかる。 pn 接合5a, 5bは、 p^+ アノード層3a, 3bの下部側で形成されるので、 p^+ アノード層3a, 3bの厚みの分だけ pn 接合5a, 5b近傍にかかる応力が緩和される。このため、 pn 主接合5a, 5bを構成する部分の p^+ アノード層3a, 3b（ pn 接合部）が損傷することを低減することができる。また、ショットキー接合7a, 7bはメサ底部に形成されているため、ワイヤボンディング時にアノード電極膜9にかかる外力が、ショットキー接合7a, 7b近傍に直接かかることはない。このため、ショットキー接合7a, 7bを構成する n^- ドリフト層2（ショットキー接合部）が損傷することを回避することができる。

[0081] このように、 pn 接合部およびショットキー接合部におけるワイヤボンディング時の欠陥の発生を抑制することができるため、良好な順方向および逆方向における各種特性を実現することができる。さらに、 pn 接合部およびショットキー接合部に生じる欠陥が少なくなるため、稼働時にこの欠陥から損傷が拡大することが少なくなり、順方向および逆方向の耐圧特性が劣化することを抑制することができる。これにより、高信頼性および高耐圧のMPSダイオードを実現することができる。

[0082] 具体的には、実施例1にかかるMPSダイオードに対して、 200°C の高温で印加電圧 16kV の逆電圧印加試験や、順電流密度 $40\text{A}/\text{cm}^2$ での通電試験を各々約1000時間実施した。その結果、実施例1にかかるMPSダイオードに、顕著な特性の劣化は発見されなかった。ここで、積層欠陥に

起因する順電圧の増大は、ダイオードの温度を高くすると低減し、ダイオードの温度を元の温度に戻すと再現するという傾向にある。上記逆電圧印加試験や通電試験においては、このような順電圧の増大は、温度条件によらず観察されなかった。このため、少なくとも p^+ アノード層3a, 3bとなる p^+ エピタキシャル層のRIEエッチング時の、 p^+ アノード層3a, 3bの損傷によって生じる積層欠陥に起因する順電圧の増大は、 p 融合電界緩和層13により抑制されたと推測される。

[0083] 以上、説明したように、実施の形態1によれば、 n^- ドリフト層2の表面に、 p^+ アノード層3a, 3bとなる p^+ エピタキシャル層を積層し、 n^- ドリフト層2と p^+ エピタキシャル層とからなる pn 主接合5a, 5bを形成する。このため、イオン注入を用いずに、SiC基板に pn 主接合5a, 5bを形成することができる。これにより、イオン注入によって p^+ アノード層3a, 3b内に欠陥が生じることはない。したがって、イオン注入によって p^+ アノード層3a, 3b内に形成される欠陥に起因してリーク電流が発生することを回避することができる。このため、耐圧の高いMPSダイオードを提供することができる。

[0084] また、 p^+ アノード層3a, 3bをメサ状に加工して pn 主接合5a, 5bを形成し、メサ底部にショットキー接合7a, 7bを形成する。これにより、 pn 主接合5a, 5bとショットキー接合7a, 7bとが接触することがない。したがって、キャリアの注入効率を高くするために、アノードとして機能する p^+ アノード層3a, 3bの不純物濃度を高くしたとしても、リーク電流の少ない良好なショットキー接合7a, 7bを形成することができる。これにより、リーク電流を低減することができ、順方向および逆方向の両方項における耐圧特性が劣化することを回避することができる。

[0085] また、 pn 主接合5a, 5bは、 p^+ アノード層3a, 3bの下部側で形成される。このため、 p^+ アノード層3a, 3bの厚みの分だけ pn 接合部にかかる応力が緩和される。これにより、 pn 接合部が損傷することを低減することができる。また、ショットキー接合7a, 7bをメサ底部に形成するこ

とで、ワイヤボンディング時にアノード電極膜 9 にかかる外力が、ショットキー接合部にかかることはない。これにより、ショットキー接合部が損傷することを回避することができる。したがって、pn 接合部およびショットキー接合部に欠陥が生じることが少なくなるので、リーク電流を低減することができ、順方向および逆方向の両方向における耐压特性が劣化することを回避することができる。

[0086] (実施の形態 2)

図 3 は、実施の形態 2 にかかる MP S ダイオードの要部を示す断面図である。図 3 に示す MP S ダイオードは、例えば、13 kV 級の耐压を有する高耐压 MP S ダイオードである。実施の形態 2 にかかる MP S ダイオードは、次に示す 2 点が実施の形態 1 にかかる MP S ダイオードと異なる構成となっている。

[0087] (1) pn 主接合 35 a 間のメサ底部に形成されたショットキー接合の幅、および pn 主接合 35 a と pn 主接合 35 b との間のメサ底部に形成されたショットキー接合の幅を、実施の形態 1 のショットキー接合 7 a, 7 b の幅 C よりも広くする。ショットキー接合の中央部に、ピンチオフ用 p 層 30 (第 5 の半導体領域) を設ける。

(2) 電界緩和領域である JTE 10 を、p 融合電界緩和層 13 と同一のイオン注入工程で形成し、半導体装置の製造プロセスを簡略化している(図示省略)。

[0088] つまり、上記(1)に示すように、メサ底部に設ける Ti 膜 26 a, 26 b の幅が広がっている。また、ピンチオフ用 p 層 30 の不純物濃度は、従来の MSP ダイオードの pn 接合を構成する p⁺型領域(図 18 参照)の不純物濃度よりも低くするのが好ましい。その理由は、次の通りである。ピンチオフ用 p 層 30 は、主にピンチオフを実現する領域として機能し、キャリアを注入するアノードとしての機能は少なくなる。そして、ピンチオフ用 p 層 30 を形成するためのイオン注入のドーズ量を少なくすることができ、イオン注入による欠陥の発生を少なくすることができる。これにより、リーク電

流の発生を抑制することができるからである。ピンチオフ用p層30の不純物濃度は、約 $2 \times 10^{17} \text{ cm}^{-3}$ であってもよい。

- [0089] また、ピンチオフ用p層30は、p融合電界緩和層13と同一のイオン注入工程で形成される。つまり、上記(2)に示すように、JTE10、p融合電界緩和層13およびピンチオフ用p層30は、同一のイオン注入工程で形成される。ピンチオフ用p層30によって、pn主接合35aとpn主接合35bとの間のメサ底部に形成されたショットキー接合は、ショットキー接合37bとショットキー接合37cとに分割される。pn主接合35a間のメサ底部に形成されたショットキー接合も同様に、ピンチオフ用p層30によって、ショットキー接合37aと図示省略するショットキー接合とに分割される。
- [0090] pn主接合35a、35bを構成するp⁺アノード層33a、33bやp⁺⁺コンタクト層34a、34b、およびアノードのオーミックコンタクトメタルとしてTi膜36a、36bの幅は、実施の形態1のp⁺アノード層3a、3b、p⁺⁺コンタクト層4a、4b、Ti膜16a、16bよりも狭くなる。それ以外の構成は、実施の形態1にかかるMPSダイオード(図1参照)と同様である。
- [0091] このような構成とすることで、逆バイアス時に所定の逆電圧以上の電圧が印加されたときに、ショットキー接合37a、37b、37cの直下のp融合電界緩和層13とピンチオフ用p層30とに挟まれたn⁻ドリフト層2が、これらのpn接合から広がる空乏層でピンチオフされ、それ以上の逆印加電圧でショットキー接合部の電界強度が高くなるのを抑制することができる。これにより、実施の形態1と同様の逆耐圧を実現することができる。一方、スイッチング動作のオフ時には、n⁻ドリフト層2内に残留する蓄積キャリアを、実施の形態1よりも幅の広いショットキー接合37a、37b、37cで排出することができる。このため、蓄積キャリアの消滅時間をより短くすることができる。この結果、スイッチング速度をより速くすることができ、かつスイッチング損失をより小さくすることができる。

[0092] (実施例 2)

実施例 2 として、実施の形態 2 にかかる M P S ダイオードを作製した。実施例 2 にかかる M P S ダイオードは、ピンチオフ用 p 層 3 0 によって分割された例えばショットキー接合 3 7 a, 3 7 b, 3 7 c を設けている。また、T i 膜 3 6 a 側の p 融合電界緩和層 1 3 の端部からピンチオフ用 p 層 3 0 の端部までの距離、および T i 膜 3 6 b 側の p 融合電界緩和層 1 3 の端部からピンチオフ用 p 層 3 0 間の端部まで距離を各々 $20\text{ }\mu\text{m}$ とした。ピンチオフ用 p 層 3 0 の幅を $5\text{ }\mu\text{m}$ とした。また、ピンチオフ用 p 層 3 0 の不純物濃度は、約 $2 \times 10^{17}\text{ cm}^{-3}$ とした。それ以外の構成は、実施例 1 にかかる M P S ダイオードと同様である。比較として、実施例 1 にかかる M P S ダイオードと同様の第 1 ~ 3 比較例を作製した。

[0093] また、電界緩和領域となる J T E 1 0 の不純物濃度、幅および深さを、それぞれ $3 \times 10^{17}\text{ cm}^{-3}$ 、 $350\text{ }\mu\text{m}$ および約 $0.65\text{ }\mu\text{m}$ とした。この場合に、リーク電流密度 $2 \times 10^{-3}\text{ A/cm}^2$ での逆印加電圧は室温で 13.6 kV となり、第 1, 2 比較例よりも高耐圧を実現することができた。

[0094] また、実施例 2 にかかる M P S ダイオードは、順電流密度約 40 A/cm^2 で順方向電流を流した状態からオフ状態にした際の逆回復時間は 14 ns であり、第 3 比較例よりもスイッチング動作を速くすることができた。また、逆回復電流密度は約 97 A/cm^2 であり、スイッチング損失は実施例 1 にかかる M P S ダイオードとほぼ同様であった。このときの試験条件は実施例 1 にかかる M P S ダイオードと同様である。

[0095] また、実施例 2 にかかる M P S ダイオードは、R I E エッチング条件のバラツキにより、1 枚のウエハ内に p⁺エピタキシャル層を除去した部分（メサ部）の、メサ底部のコーナー部がオーバーエッチングされ、突起状の溝が多数形成されているウエハが発見された。実施例 2 にかかる M P S ダイオードは、各ウエハの約 1 / 4 は、比較実験のために p 融合電界緩和層 1 3 を形成していない。オーバーエッチングされた突起状の溝の深さは最大 $0.4\text{ }\mu\text{m}$ 程度であり、この溝部分に電界が過度に集中し耐圧を低下させてしまうこと

が懸念された。p融合電界緩和層13を形成しないダイオード（第1比較例）では、p融合電界緩和層13がないために当然耐圧が低い。しかし、複数の第1比較例のうち、第1比較例の平均的な耐圧に比べて大幅に耐圧が低い第1比較例（以下、耐圧の低い第1比較例とする）は約30%発生した。

[0096] そこで、この耐圧の低い第1比較例のメサ部に埋め込まれたアノード電極膜の一部（例えば、複合ユニットを配列する方向に垂直な方向に半分ほど）をエッチング除去し、残っているアノード電極膜に逆電圧を印加した状態でフォトエミッション顕微鏡によりメサ底部のコーナ一部を観察した。その結果、耐圧の低い第1比較例では、アノード電極膜除去部においてメサ底部のコーナ一部の溝部に比較的低い逆電圧で特有の発光が観察された。つまり、メサ底部のコーナ一部の溝が耐圧低下の原因であることが示唆される。一方、p融合電界緩和層13を形成したダイオード（例えば、実施例1, 2かかるMPSダイオード）では顕著な耐圧不良素子は発見されなかった。その理由は、p融合電界緩和層13が突起状の溝での電界集中を緩和し、耐圧低下を防ぐことで高耐圧を実現することができたからであると推測される。

[0097] 以上、説明したように、実施の形態2によれば、実施の形態1と同様の効果を得ることができる。

[0098] （実施の形態3）

図4は、実施の形態3にかかるMPSダイオードの要部を示す断面図である。図4に示すMPSダイオードは、例えば、13kV級の耐圧を有する高耐圧MPSダイオードである。実施の形態1において、絶縁保護膜を設けない構成としてもよい。また、複数のTi膜に代えて、n⁺カソード基板1のおもて面側のほぼ全面を覆うTi膜を1つ設けてもよい。

[0099] 実施の形態3では、図4に示すように、p⁺アノード層3a, 3bとp⁺⁺コンタクト層4a, 4bの両側のメサ部側壁に絶縁保護膜を有していない。また、n⁺カソード基板1のおもて面側に1つのTi膜46が設けられている。Ti膜46は、p⁺⁺コンタクト層4a, 4bおよびメサ底面に露出するn⁻ドリフト層2に接する。また、Ti膜46上には、Ti膜46を覆うアノード電極

膜 4 9 が設けられている。それ以外の構成は、実施の形態 1 と同様である。

[0100] 実施の形態 3 によれば、実施の形態 1 において T i 膜 6 a, 6 b, 1 6 a, 1 6 b を形成する際のリフトオフ工程を省略することができる。この結果、半導体装置作製工程の簡略化を図ることができ、さらに、半導体装置の歩留まりを大幅に向上することができるので、コスト低減を図ることができる。

[0101] 実施の形態 3 では、A u からなるアノード電極膜 4 9 が、T i 膜 4 6 を介して p 融合電界緩和層 4 3 に接する。このため、高い逆電圧が印加された場合に p 融合電界緩和層 4 3 がパンチスルーされてしまう。これを防ぐために、p 融合電界緩和層 4 3 の厚さを、例えば $1.2 \mu\text{m}$ とし、実施の形態 1 よりも厚くするのがよい。さらに、p 融合電界緩和層 4 3 の不純物濃度を、例えば $3.5 \times 10^{17} \text{cm}^{-3}$ とし、実施の形態 1 よりも高くするのがよい。

[0102] (実施例 3)

実施例 3 として、実施の形態 3 にかかる M P S ダイオードを作製した。具体的には、実施例 3 にかかる M P S ダイオードは、p⁺アノード層 3 a, 3 b と p⁺⁺コンタクト層 4 a, 4 b の両側のメサ部側壁に絶縁保護膜を有していない。また、p⁺⁺コンタクト層 4 b から、メサ底部および p⁺⁺コンタクト層 4 a へと連続して伸びる T i 膜 4 6 を設けた。p 融合電界緩和層 4 3 の厚さおよび不純物濃度を、それぞれ $1.2 \mu\text{m}$ および $3.5 \times 10^{17} \text{cm}^{-3}$ とした。それ以外の構成は、実施例 1 にかかる M P S ダイオードと同様である。

[0103] 実施例 3 にかかる M P S ダイオードは、室温で 1 6 k V の逆電圧を印加した際のリーク電流密度は $6 \times 10^{-3} \text{A} / \text{cm}^2$ とやや増加したが、なだれ降伏を示す耐圧は室温で 1 8 k V 以上と実施例 1 にかかる M P S ダイオードと同様の結果となった。また、実施例 3 にかかる M P S ダイオードは、順電圧を印加した際のキャリアを注入するアノードとしての機能がやや増加し、オン電圧が低減することがわかった。具体的には、実施例 3 にかかる M P S ダイオードは、順電流密度約 $40 \text{A} / \text{cm}^2$ での順電圧は室温において、オン電圧は 4. 8 5 V となった。

[0104] 以上、説明したように、実施の形態 3 によれば、実施の形態 1 と同様の効果を得ることができる。

[0105] (実施の形態 4)

図 5 は、実施の形態 4 にかかる M P S ダイオードの要部を示す断面図である。図 5 に示す M P S ダイオードは、例えば、1 6 k V 級の耐圧を有する高耐圧 M P S ダイオードである。実施の形態 4 にかかる M P S ダイオードは、実施の形態 3 にかかる M P S ダイオードの T i 膜に代えて N i 膜を設けている。また、 p^{++} コンタクト層 4 a, 4 b と N i 膜との間に、オーミックコンタクト用の T i 膜を設けてもよい。

[0106] 実施の形態 4 では、図 4 に示すように、 p^{++} コンタクト層 4 a, 4 b の表面に、T i 膜 5 6 a, 5 6 b をそれぞれ設けている。 p^{++} コンタクト層 4 a, 4 b 上に設けられた T i 膜 5 6 a, 5 6 b からメサ底部へと連続して伸びる N i 膜 6 6 が設けられている。つまり、 $p-n$ 接合のオーミックコンタクトメタルとして T i 膜 5 6 a, 5 6 b を設け、ショットキー接合メタルとして N i 膜 6 6 を設けている。この場合、T i 膜 5 6 a, 5 6 b を形成した後に、別途 N i 膜 6 6 を形成する。それ以外の構成は、実施の形態 3 と同様である。

[0107] (実施例 4)

実施例 4 として、実施の形態 4 にかかる M P S ダイオードを作製した。具体的には、実施例 4 にかかる M P S ダイオードは、オーミックコンタクトメタルとして T i 膜 5 6 a, 5 6 b を形成し、ショットキー接合メタルとして N i 膜 6 6 を形成している。それ以外の構成は、実施例 3 にかかる M P S ダイオードと同様である。

[0108] 実施例 4 にかかる M P S ダイオードは、オーミックコンタクト用の T i 膜 5 6 a, 5 6 b を形成した後、ショットキー接合メタルである N i 膜 6 6 を形成する前に、T i 膜 5 6 a, 5 6 b に対する熱処理を行う。このため、ショットキー接合メタルである N i 膜 6 6 は、T i 膜 5 6 a, 5 6 b に対して行う熱処理の影響を受けない。したがって、T i 膜 5 6 a, 5 6 b に対して行う熱処理の温度を 9 5 0 °C と高く設定でき、コンタクト抵抗の低い良好な

p⁺⁺コンタクト層 4 a, 4 b のオーミックコンタクトを形成することができる。これにより、実施例 4 にかかる M P S ダイオードの順電圧を約 0.4 V 低くすることができ、定常損失を低減することができた。

[0109] 以上、説明したように、実施の形態 4 によれば、実施の形態 1 と同様の効果を得ることができる。

[0110] (実施の形態 5)

図 6 は、実施の形態 5 にかかる M P S ダイオードの要部を示す断面図である。図 6 に示す M P S ダイオードは、例えば、20 k V 級の耐圧を有する高耐圧 M P S ダイオードである。実施の形態 5 にかかる M P S ダイオードは、実施の形態 1 にかかる M P S ダイオードの、p n 接合 5 a、5 b の上方に設けられるアノード電極膜と、ショットキー接合 7 a、7 b の上方に設けられるアノード電極膜とをそれぞれ別々に設けている。

[0111] 実施の形態 5 では、図 6 に示すように、ショットキー接合 7 a、7 b を形成する T i 膜 6 a、6 b には、それぞれアノード電極膜 6 9 c、6 9 d が接する。p n 接合 5 a、5 b の上方に設けられた T i 膜 1 6 a、1 6 b には、それぞれアノード電極膜 6 9 a、6 9 b が接する。n⁻ドリフト層 6 2 の不純物濃度は、例えば、 $3 \times 10^{14} \text{ cm}^{-3}$ と、実施の形態 1 よりも低い。n⁻ドリフト層 6 2 の厚さは、例えば、220 μm と、実施の形態 1 よりも厚い。p 融合電界緩和層 6 3 の不純物濃度は、例えば $3 \times 10^{17} \text{ cm}^{-3}$ と、実施の形態 1 よりも高い。それ以外の構成は、実施の形態 1 と同様である。

[0112] 実施の形態 5 によれば、アノード電極膜が p⁺アノード層 3 a、3 b の端部が露出するメサ部側壁上に存在しない。このため、逆電圧印加時のアノード電極膜の電界効果によるメサ部側壁でのキャリア誘起が生じない。このため、実施の形態 1 に比べて、安定しかつバラツキの少ない高耐圧 M P S ダイオードを実現することができる。

[0113] 実施の形態 5 にかかる M P S ダイオードは、次のような平面レイアウトを有する。図 2 に示すように、30 個のユニット 2 0 からなる複合ユニット群と複合ユニット群に並列に設けられた 1 個の p⁺アノード層 3 b の、ユニット

20が配列される方向の外周部は、 p^+ アノード層3bに接触するJTE10に囲まれている。一方、30個のユニット20からなる複合ユニット群と複合ユニット群に並列に設けられた1個の p^+ アノード層3bの、ユニット20が配列される方向に直交する方向の外周部は、別途ユニット20が配列される方向に延びる p^+ 層（以下、横長 p^+ 層とする、不図示）を31本の p^+ アノード層3a、3bや30本のショットキー接合7a、7bに接触して設けている。横長 p^+ 層の外周部は、横長 p^+ 層に接触するJTE10に囲まれている。さらに、JTE10の外周部をチャンネルストッパー11が囲む。

[0114] 横長 p^+ 層上には、オーミックコンタクトメタルであるTi膜およびAu電極が形成されており（不図示）、各 p^+ アノード層3a、3bの上方に設けられたアノード電極膜69a、69b、69c、69dにそれぞれ接続されている。したがって、横長 p^+ 層は、 p^+ アノード層として機能する。また、横長 p^+ 層とショットキーメタルであるTi膜6a、6bおよびアノード電極膜69a、69b、69c、69dは、横長 p^+ 層の端部に接する絶縁保護膜上を延在して横長 p^+ 層上のオーミックコンタクトメタルであるTi膜やAu電極と各々接続されている。

[0115] （実施例5）

実施例5として、実施の形態5にかかるMPSダイオードを作製した。具体的には、実施例5にかかるMPSダイオードは、Ti膜16a、16b、6a、6bに、それぞれアノード電極膜69a、69b、69c、69dが接する。また、Ti膜16a、16b、6a、6bおよびアノード電極膜69a、69b、69c、69dに接する横長 p^+ 層が設けられている n^- ドリフト層62の不純物濃度および厚さを、それぞれ $3 \times 10^{14} \text{ cm}^{-3}$ および $220 \mu\text{m}$ とした。 p 融合電界緩和層63の不純物濃度を、 $3 \times 10^{17} \text{ cm}^{-3}$ とした。それ以外の構成は、実施例1にかかるMPSダイオードと同様である。

[0116] 実施例5にかかるMPSダイオードは、なだれ降伏を示す耐圧は室温で21kV以上と高く、リーク電流のバラツキも実施例1にかかるMPSダイオードに比べて40%ほど低減することができた。また、横長 p^+ 層上のオーミ

ックコンタクトメタルであるTi膜やAu電極部分の電界効果による影響は、面積比率が小さいこともあり実用上問題になるレベルではなかった。

[0117] 以上、説明したように、実施の形態5によれば、実施の形態1と同様の効果を得ることができる。

[0118] (実施の形態6)

図7は、実施の形態6にかかるMPSダイオードの要部を示す断面図である。図7に示すMPSダイオードは、例えば、16kV級の耐圧を有する高耐圧MPSダイオードである。実施の形態7にかかるMPSダイオードは、実施の形態1にかかるMPSダイオードの、最外周部Bのpn主接合5bを設けていない。

[0119] 実施の形態6では、最外周部Bにおいて、pn主接合5bを構成するp⁺アノード層3bおよびp⁺⁺コンタクト層4bが設けられていない。JTE10は、ショットキー接合7bを構成するTi膜6bの端部が重畳され接している。この重畳されている部分の幅は、例えば約3μmであってもよい。ショットキー接合7bの幅は、実施の形態1と同様に40μmである。それ以外の構成は、実施の形態1にかかるMPSダイオードと同様である。

[0120] 実施の形態1では最外周部Bのp⁺アノード層3bの幅が複合ユニットAのp⁺アノード層3aの幅とほぼ同じであったために、スイッチング動作のオフ時に最外周部Bのn⁻ドリフト層2内の蓄積キャリアの排出時間が複合ユニットAのn⁻ドリフト層2内の蓄積キャリアの排出時間よりも長くなり、その結果、逆回復時間が長くなっていた。一方、実施の形態5では、最外周部Bのp⁺アノード層3bを設けないことで、逆回復時間を短くすることができる。その理由は、実施の形態1の複合ユニットAでは、p⁺アノード層3aの両側のメサ底部に形成されたショットキー接合7a、7bにより両側からそれぞれ残存キャリアが排出されるのに対し、最外周部Bでは、一方のショットキー接合7b側からしか排出されないからである。

[0121] (実施例6)

実施例6として、実施の形態6にかかるMPSダイオードを作製した。具

体的には、実施例 6 にかかる M P S ダイオードは、最外周部 B に p⁺アノード層 3 b を設けていない。それ以外の構成は、実施例 1 にかかる M P S ダイオードと同様である。実施例 6 にかかる M P S ダイオードは、実施例 1 にかかる M P S ダイオードのような排出時間の不均等さがなくなり逆回復時間を短くすることができた。

[0122] また、実施例 6 にかかる M P S ダイオードに対して、実施例 1 にかかる M P S ダイオードと同様に逆回復時間を測定した。測定条件は、実施例 1 にかかる M P S ダイオードと同様である。実施例 6 にかかる M P S ダイオードは、逆回復時間が 21 ns であり、実施例 1 にかかる M P S ダイオードよりも約 20 % 低減することができた。この結果、スイッチング損失も低減することができた。実施例 6 にかかる M P S ダイオードの耐圧は、16.2 kV であり、実施例 1 にかかる M P S ダイオードよりもやや低めであった。この理由は、J T E 10 上のアノード電極膜 9 の端部での電界集中が高いからである。この場合、アノード電極膜 9 側のパッシベーション膜 12 の厚さをさらに厚くすることで、アノード電極膜 9 の端部での電界集中を緩和することができる。

[0123] 以上、説明したように、実施の形態 6 によれば、実施の形態 1 と同様の効果を得ることができる。

[0124] (実施の形態 7)

図 8 は、実施の形態 7 にかかる複合ダイオードの要部を示す断面図である。図 8 に示す複合ダイオードは、例えば、16 kV 級の耐圧を有する高耐圧複合ダイオードである。実施の形態 7 にかかる複合ダイオードは、実施の形態 1 にかかる M P S ダイオードのショットキー接合 7 a, 7 b に代えて、p n 主接合 5 a, 5 b を構成する p⁺アノード層 3 a, 3 b よりも浅くかつ低い不純物濃度を有する p 層（浅 p n 層）からなる浅 p n 接合としてもよい。

[0125] 実施の形態 7 では、n ドリフト層 8 2 の不純物濃度および厚さは、それぞれ $4 \times 10^{14} \text{ cm}^{-3}$ および $170 \mu\text{m}$ である。メサ底部には、Al・Si 合金電極膜 8 6 a, 8 6 b が形成されている。この Al・Si 合金電極膜 8 6 a

、86bは、リフトオフ手法で形成されている。リフトオフ手法とは、素子全面をレジストで覆い、フォトリソグラフィによってメサ底部のレジストのみをエッチングで除去した後にAl・Si合金膜を蒸着することにより、メサ底部のみにAl・Si合金電極膜86a、86bを残す手法である。その後、700℃以上1100℃以下の熱処理を施すことによりAl・Si合金電極膜内のAlをSiC（nドリフト層82）内に侵入させる。これにより、メサ底部の表面層に、浅pn接合（第2の層、第3の半導体領域）87a、87bが形成される。浅pn接合87a、87bを形成する浅p層の不純物濃度および厚さは、例えば、それぞれ $8 \times 10^{16} \text{ cm}^{-3}$ および約20nmであってもよい。また、浅pn接合87a、87bが形成されるメサ底部の幅Cは40μmであり、メサ底部間の間隔Dは60μmであってもよい。

[0126] p⁺⁺コンタクト層4a、4b上には、オーミックコンタクトメタルとしてTi膜96a、96bを、リフトオフ手法を用いて形成している。n⁺カソード基板1のおもて面側には、メサ部側壁に設けられた絶縁保護膜8を介してAlからなるアノード電極膜89が形成されている。アノード電極膜89のその他の条件は、実施の形態1のアノード電極膜と同様である。

[0127] pn主接合5aと浅pn接合87aとの間、およびpn主接合5a、5bと浅pn接合87bとの間に露出するnドリフト層82の表面層には、それぞれp融合電界緩和層13が形成されている。p融合電界緩和層13の不純物濃度および幅は、それぞれ約 $1 \times 10^{17} \text{ cm}^{-3}$ および4μmである。p融合電界緩和層13の幅とは、pn主接合5a、5bのメサ部側壁における露出位置から、メサ底部における浅pn接合87a、87bとp融合電界緩和層13との重畳部のメサ底部のコーナ一部から最長端までの長さである。それ以外の構成は、実施の形態1と同様である。

[0128] 図9は、実施の形態7にかかる複合ダイオードの要部を示す平面図である。チップ上に形成された複数の複合ユニットAおよび最外周部Bの平面レイアウトは、実施の形態1と同様である。つまり、ユニット20内の浅pn接合87a、87bおよびTi膜96a、96bは、図2に示す実施の形態1

のショットキー接合 7 a, 7 b および T i 膜 16 a, 16 b と同様に配置されている。

[0129] 実施の形態 7 では、実施の形態 1 と同様に、浅 p n 接合 87 a, 87 b を p n 主接合 5 a, 5 b よりも深い位置に形成することができるので、スイッチング動作のオフ時には p n 主接合 5 a, 5 b 直下の n ドリフト層 82 内に残存する蓄積キャリアまでの距離を短くすることが容易となる。この結果、p n 主接合 5 a, 5 b よりもビルトイン電圧が低い浅 p n 接合 87 a, 87 b を介して蓄積キャリアをより速く且つ効率的に排出できるので、蓄積キャリア消滅時間を短くできスイッチング速度が速くスイッチング損失も小さくできるとともに、逆回復電流を低減することができる。

[0130] (実施例 7)

実施例 7 として、実施の形態 7 にかかる複合ダイオードを作製した。具体的には、実施例 7 にかかる複合ダイオードは、実施例 1 にかかる M P S ダイオードの A u ワイヤに代えて、A l ワイヤを用いている。また、実施例 7 にかかる複合ダイオードは、実施例 1 にかかる M P S ダイオードの A u からなるアノード電極膜 9 およびショットキー接合 7 a, 7 b に代えて、A l からなるアノード電極膜 89 および浅 p n 接合 87 a, 87 b を設けている。それ以外の構成は、実施例 1 にかかる M P S ダイオードと同様である。そして、実施例 7 にかかる複合ダイオードの動作試験を実施した。

[0131] まず、実施例 7 にかかる複合ダイオードにおいて、アノード電極膜 89 とカソード電極膜 15 との間に順方向状態になるように電圧を印加した。この印加電圧を高くすると 2.7 V 付近から電流が急増し始めた。これは、浅 p n 接合 87 a, 87 b と p n 主接合 5 a, 5 b が順バイアスされ、少数キャリアの注入が始まったことにより、n ドリフト層 82 が伝導度変調され内部抵抗が低減したからである。また、実施例 7 にかかる複合ダイオードは、室温で順電圧 5 V における平均的な順電流密度は約 45 A/cm² であり、高耐圧にも関わらず耐圧 5 kV 級の S i ダイオードと同等であった。これにより、実施例 7 にかかる複合ダイオードは、実施例 1 にかかる M P S ダイオード

と同様の効果を有することがわかった。

[0132] つづいて、実施例7にかかる複合ダイオードにおいて、アノード電極膜89とカソード電極膜15との間に逆方向状態になるように電圧を印加した。実施例7にかかる複合ダイオードでは、リーク電流の耐圧電流密度は、印加電圧が10kVであった場合でも室温で $1.5 \times 10^{-3} \text{ A/cm}^2$ 以下、印加電圧が16kVであった場合でも室温で $3 \times 10^{-3} \text{ A/cm}^2$ 以下、250℃の高温で $4 \times 10^{-2} \text{ A/cm}^2$ 以下と低い値となり、良好な電気的特性を示した。また、なだれ降伏を示す耐圧は、室温で18kV以上となり、良好な電気的特性を示した。

[0133] 比較として、pn主接合5a, 5bと浅pn接合7a, 7bとの間にp融合電界緩和層13を設けない半導体装置を作製し（以下、第4比較例とする）、実施例7にかかる複合ダイオードと同様の動作試験を実施した。第4比較例のその他の構成は、実施例7にかかる複合ダイオードと同様である。第4比較例では、順方向の耐圧は約5.2kVとなった。また、p融合電界緩和層13に代えて、メサ底部のコナー部から浅pn接合を離してガードリングのみを設けた半導体装置を作製し（以下、第5比較例とする）、実施例7にかかる複合ダイオードと同様の動作試験を実施した。第2比較例のその他の構成は、実施例7にかかる複合ダイオードと同様である。第5比較例では、順方向耐圧約6.8kVであった。これにより、実施例7にかかる複合ダイオードは、実施例1にかかるMPSダイオードと同様の効果を有することがわかった。

[0134] さらに、実施例7にかかる複合ダイオードでは、順電流密度約50A/cm²で順方向電流を流した状態からオフ状態にした際の逆回復時間は26nsであり、逆回復電流密度は約34A/cm²と低く、極めて良好な電気的特性を示すことがわかった。このときの試験条件は、実施例1にかかるMPSダイオードと同様である。比較として、浅pn接合87a, 87bを形成せずにpn接合5a, 5bのみのダイオード（以下、第6比較例とする）を作製し、実施例7にかかる複合ダイオードと同様の条件で逆回復時間および逆回

復電流密度を測定した。第6比較例のその他の構成は、実施例7にかかる複合ダイオードと同様である。第6比較例の逆回復時間は57 nsであった。第6比較例の逆回復電流密度は、約95 A/cm²と高く、実施例7にかかる複合ダイオードが第6比較例よりも低損失・高速・ソフトリカバリー効果を得ることができることがわかった。

[0135] また、実施例7にかかる複合ダイオードでは、浅pn接合87a, 87bが形成されるメサ底部の幅Cを40 μmとし、メサ底部間の間隔Dを60 μmとしたが、実施例1にかかるMPSダイオードと同様に、これらの幅Cや間隔Dを種々変更してもよい。これにより、オン電圧と逆回復時間とのトレードオフ関係を変化させることができる。例えば、メサ底部の幅Cを60 μm、メサ底部間の間隔Dを40 μmとし、室温で順電流密度約50 A/cm²で通電させた場合、オン電圧は5.6 Vに増大したが、逆回復時間を19 nsに低減することができた。

[0136] また、実施例7にかかる複合ダイオードでは、実施例1にかかるMPSダイオードと同様に、アノード電極膜9にAlワイヤボンディングを施したときに、アノード電極膜9とAlワイヤとの接合部にかかる機械的ストレス（アノード電極膜9にかかる外力）により、pn接合5a, 5b近傍にかかる応力が緩和される。また、浅pn接合87a, 87bはメサ底部に形成されているため、ワイヤボンディング時にアノード電極膜9にかかる外力が、浅pn接合87a, 87b近傍に直接かかることはない。このため、実施例1にかかるMPSダイオードと同様に、浅pn接合87a, 87bを構成するnドリフト層82（以下、浅pn接合部とする）が損傷することを回避することができることがわかった。その理由は、実施例1にかかるMPSダイオードと同様である。具体的には、実施例7にかかる複合ダイオードに対して、200℃の高温で印加電圧16 kVの逆電圧印加試験や、順電流密度40 A/cm²での通電試験を各々約1000時間実施した。その結果、実施例7にかかる複合ダイオードに、顕著な特性の劣化は発見されなかった。

[0137] 以上、説明したように、実施の形態7によれば、実施の形態1と同様の効

果を得ることができる。

[0138] (実施の形態 8)

図 10 は、実施の形態 8 にかかる複合ダイオードの要部を示す断面図である。図 10 に示す複合ダイオードは、例えば、13 kV 級高耐圧複合ダイオード装置である。実施の形態 8 にかかる複合ダイオードは、実施の形態 2 にかかる MPS ダイオードのショットキー接合 37 a、37 b、37 c に代えて、浅 p n 接合 107 a、107 b、107 c を設けている。

[0139] 実施の形態 8 では、メサ底部に設ける Ti 膜 96 a、96 b の幅が広がっている。ピンチオフ用 p 層 30 によって、p n 主接合 35 a と p n 主接合 35 b との間のメサ底部に形成された浅 p n 接合は、浅 p n 接合 107 b と浅 p n 接合 107 c とに分割される。p n 主接合 35 a 間のメサ底部に形成された浅 p n 接合も同様に、ピンチオフ用 p 層 30 によって、浅 p n 接合 107 a と図示省略する浅 p n 接合とに分割される。

[0140] アノードのオーミックコンタクトメタルとして Ti 膜 106 a、106 b の幅は、実施の形態 2 の Ti 膜 36 a、36 b と同様である。それ以外の構成は、実施の形態 1 (図 1 参照) と同様である。n ドリフト層 82 およびアノード電極膜 89 の構成は、実施の形態 7 と同様である。ピンチオフ用 p 層 30 の不純物濃度は、p 融合電界緩和層 13 の不純物濃度と同様であってもよい。

[0141] (実施例 8)

実施例 8 として、実施の形態 8 にかかる複合ダイオードを作製した。具体的には、実施例 8 にかかる複合ダイオードは、例えば、ピンチオフ用 p 層 30 によって分割された例えば浅 p n 接合 107 a、107 b、107 c を設けた。ピンチオフ用 p 層 30 の不純物濃度を p 融合電界と同じく $2 \times 10^{17} \text{ cm}^{-3}$ とした。n ドリフト層 82 およびアノード電極膜 89 を実施例 7 にかかる複合ダイオードと同様に設けた。電界緩和領域となる JTE 10 の不純物濃度を $2 \times 10^{17} \text{ cm}^{-3}$ とした。それ以外の構成は、実施例 2 にかかる MPS ダイオードと同様である。実施例 8 にかかる複合ダイオードは、リーク電流密

度 $2 \times 10^{-3} \text{ A/cm}^2$ の逆印加電圧は室温で 13.6 kV となり、実施例 2 にかかる M P S ダイオードと同様に高耐圧を実現することができた。

[0142] また、実施例 8 にかかる複合ダイオードは、順電流密度約 50 A/cm^2 の順電流密度で順方向電流を流した状態からオフ状態にした際の逆回復時間は 15 ns であり、実施例 2 にかかる M P S ダイオードと同程度にスイッチング動作を速くすることができた。また、逆回復電流密度は約 30 A/cm^2 であり、スイッチング損失は実施例 7 にかかる複合ダイオードに比べて改善することができた。

[0143] また、実施例 8 にかかる複合ダイオードは、実施例 2 にかかる M P S ダイオードと同様に、p 融合電界緩和層 13 によってメサ底部のコナー部における電界集中を緩和することができ、耐圧低下を防ぐことができることがわかった。

[0144] 以上、説明したように、実施の形態 8 によれば、実施の形態 1 と同様の効果を得ることができる。

[0145] (実施の形態 9)

図 11 は、実施の形態 9 にかかる複合ダイオードの要部を示す断面図である。図 11 に示す複合ダイオードは、例えば、10 kV 級の耐圧を有する高耐圧複合ダイオード装置である。実施の形態 9 にかかる複合ダイオードは、実施の形態 7 にかかる複合ダイオードのメサ部に代えて、 p^+ エピタキシャル層をトレンチ状に除去してもよい。そして、このトレンチ底部に浅 $p-n$ 接合 87a, 87b を設けてもよい。具体的には、実施の形態 7 とは以下の 2 点異なる。それ以外の構成は、実施の形態 7 にかかる複合ダイオードと同様である。

[0146] (1) n ドリフト層 82 の表面に、 p^+ エピタキシャル層および p^{++} エピタキシャル層を順次積層し、 p^+ アノード層 113a, 113b および p^{++} コンタクト層 114a, 114b となる部分を除いて上記エピタキシャル層を R I E 技術で除去し、トレンチ状に加工する。これにより、 p^+ アノード層 113a, 113b および p^{++} コンタクト層 114a, 114b が形成される。 p^+ アノー

ド層 113a, 113b および p⁺⁺コンタクト層 114a, 114b の幅は、トレンチ側壁が基板おもて面に対してほぼ垂直であるため、実施の形態 7 の p⁺アノード層 3a, 3b および p⁺⁺コンタクト層 4a, 4b よりも広くなる。Al・Si 合金膜 86a, 86b は、トレンチ底面に設けられる。

[0147] (2) 少なくともトレンチ底の浅 p n 接合 87a, 87b に対応する n ドリフト層 82 の表面上 (トレンチ底部を挟む p 融合電界緩和層 123 間) をマスキングして、SiC ウエハを回転させながら p 融合電界緩和層 123 形成用のイオン注入をして熱処理を施す。これにより、p 融合電界緩和層 123 が形成される。その後、上記のマスキング膜を除去して、トレンチ底面に Al をイオン注入して熱処理を行う。これにより、浅 p n 接合 87a, 87b が形成される。

[0148] 実施の形態 9 において、Ti 膜 116a, 116b、p n 主接合 115a、115b、絶縁保護膜 118 およびアノード電極膜 119 は、それぞれ、実施の形態 7 の Ti 膜 96a, 96b、p n 主接合 5a、5b、絶縁保護膜 8 およびアノード電極膜 89 に相当する。これらの領域の断面形状や寸法は、トレンチ側壁が基板おもて面に対してほぼ垂直であることより、実施の形態 7 の各領域と異なっている。

[0149] 実施の形態 9 では、逆バイアス時に所定の逆電圧以上の電圧が印加されると、トレンチ底面コーナ一部に設けられた p 融合電界緩和層 123 間に挟まれ、かつ浅 p n 接合部の下に設けられた n ドリフト層 82 が、p 融合電界緩和層 123 との p n 接合から広がる空乏層でピンチオフされ、それ以上の逆印加電圧で浅 p n 接合部 87a, 87b の電界強度が高くなるのを抑制することができ、実施の形態 7 と同様に高い逆耐圧を実現することができる。トレンチ状加工は実施の形態 7 のメサ状加工に比べて凹凸の微細化が容易である。

[0150] また、従来例 (図 19 参照) に比べて、浅 p n 接合 87a が p n 主接合 115a よりも深い位置に形成されており、実施の形態 9 にかかる複合ダイオードは、p 融合電界緩和層 123 の厚さを例えば、約 0.3 μm としてある

ので、浅pn接合87aからpn主接合115a下のドリフト層内に残存する蓄積キャリアまでの距離を従来例よりも容易に短くすることができる。この結果、スイッチング動作のオフ時には、pn主接合115aよりもビルトイン電圧（ビルトイン電位）が低い浅pn接合87aを介して蓄積キャリアを従来例よりも速く且つ効率的に排出できるので蓄積キャリア消滅時間を短くできる。この結果、従来例よりもスイッチング速度をより速くすることができ、スイッチング損失をより小さくすることができる。

[0151] （実施例9）

実施例9として、実施の形態9にかかる複合ダイオードを作製した。具体的には、実施例9にかかる複合ダイオードは、例えば、nドリフト層82の表面にトレンチを設け、トレンチ底面に浅pn接合87a、87bを形成し、その後Al・Si合金膜86a、86bを設けている。凹部となるトレンチの幅を約 $10\mu\text{m}$ とし、凸部の幅（凹部間距離）を約 $15\mu\text{m}$ とした。この結果、上記のピンチオフがより効果的にでき、浅pn接合87a、87bの電界強度が高くなるのをより抑制することができ、高電圧印加時のリーク電流を低減することができた。リーク電流の耐压電流密度は、印加電圧が 10 kV であった場合でも室温で $0.7 \times 10^{-3} \text{ A/cm}^2$ 以下であった。また、浅pn接合87a、87b形成のために、Alをイオン注入して熱処理し、Alのイオン注入のドーズ量を約 $3 \times 10^{16} \text{ cm}^{-3}$ と少なく、かつイオン注入の打込み深さも 100 nm と浅くした。このために、イオン注入に発生する欠陥は極めて少なく実用上問題になるレベルではなかった。この場合、Alのイオン注入のドーズ量が約 $8 \times 10^{16} \text{ cm}^{-3}$ 以下であれば、イオン注入の打込み深さが 600 nm 程度でもリーク電流は少なく、また稼働時に順電圧が増大するような劣化現象も顕著ではないので、浅pn接合87a、87bに生じる欠陥は実用上問題にならず浅pn接合87a、87bは十分良好に機能させることができた。

[0152] また、実施例9にかかる複合ダイオードは、JTE10の幅、不純物濃度および深さを、それぞれを $300\mu\text{m}$ 、 $3 \times 10^{17} \text{ cm}^{-3}$ および約 0.65μ

mとした。これにより、降伏電圧は室温で12.6 kVであり、高耐圧を実現することができた。降伏電圧に比べてドリフト層の厚さを厚くしているため、降伏時には空乏層がn⁺カソード基板1に達しないノンパンチスルー状態となる。この結果、空乏層とn⁺カソード基板1間に蓄積した多数の少数キャリアが再結合で比較的ゆっくりと消滅する。このため、ソフトリカバリー特性の大幅な向上を図ることができた。また、実施例9にかかる複合ダイオードは、p融合電界緩和層123は主に上記のピンチオフを実現する領域として機能し、キャリアを注入するアノードとしての機能は少ないが、p融合電界緩和層123の不純物濃度が低いので少ないドーズ量でp融合電界緩和層123を形成することができ、イオン注入による欠陥を少なくし、リーク電流を少なくすることができる。

[0153] また、実施例9にかかる複合ダイオードは、約50 A/cm²の順電流密度で順電流を流した状態でオフした際の逆回復時間は15 nsと速くすることができた。一方、逆回復電流密度は約22 A/cm²であり、スイッチング損失をかなり改善することができた。

[0154] 以上、説明したように、実施の形態9によれば、実施の形態1と同様の効果を得ることができる。

[0155] (実施の形態10)

図12は、実施の形態10にかかる複合ダイオードの要部を示す断面図である。図12に示す複合ダイオードは、例えば11 kV級の耐圧を有する高耐圧複合ダイオードである。実施の形態10にかかる複合ダイオードは、実施の形態3にかかるMPSダイオードのショットキー接合7a, 7bに代えて、浅pn接合を設けている。

[0156] 実施の形態10では、p⁺アノード層3a, 3bとp⁺⁺コンタクト層4a, 4bの両側のメサ部側壁に絶縁保護膜を有していない。つまり、p⁺⁺コンタクト層4a, 4bからメサ底部へと連続して伸びるAl-Si合金膜126が設けられている。Al-Si合金膜126上には、Al-Si合金膜126を覆うアノード電極膜129が設けられている。それ以外の構成は、実施の形

態 3 と同様である。

[0157] (実施例 10)

実施例 10 として、実施の形態 10 にかかる複合ダイオードを作製した。具体的には、実施例 10 にかかる複合ダイオードは、 p^{++} コンタクト層 4 b から、メサ底部および p^{++} コンタクト層 4 a へと連続して伸びる Al・Si 合金膜 126 を設けた。それ以外の構成は、実施例 3 にかかる MP S ダイオードと同様である。

[0158] この結果、実施例 10 にかかる複合ダイオードは、室温での 16 kV の逆電圧を印加した際のリーク電流密度は $6 \times 10^{-3} \text{ A/cm}^2$ とやや増加しなだれ降伏を示す耐圧も室温で 12 kV 以上と高耐圧にすることができた。一方、Al・Si 合金膜 126 はオーミックコンタクト用メタルとしては従来の Ti や Ni に比べてややコンタクト抵抗が大きく、室温で順電流密度 45 A/cm^2 で順電圧は 5.38 V とやや大きくなった。改善策として、 p^{++} コンタクト層 4 a, 4 b 上に Ti 膜を形成した後に Al・Si 合金膜 126 を形成するのが効果的であった。これにより、実施例 1 にかかる MP S ダイオードとほぼ同等レベルの順電圧を実現することができた。また、スイッチングオフした際の逆回復時間や逆回復電流密度も実施例 1 にかかる MP S ダイオードとほぼ同等となり良好であった。

[0159] さらに、Al・Si 合金膜 126 の代わりに、Al・Si 合金膜 126 を形成する領域に Al をイオン注入して熱処理を行い、その後に、 p^{++} コンタクト層 4 a, 4 b 上に Ti 膜を形成し、さらに Ti 膜を Al からなるカソード電極膜 129 で覆うプロセスも順電圧低減の改善策として極めて効果的であった。この場合、Al イオン注入のドーズ量は約 $5 \times 10^{16} \text{ cm}^{-3}$ と少なく、かつイオン注入の打込み深さも 80 nm と浅くしたため、イオン注入時に発生する欠陥は極めて少なく、実用上問題になるレベルにはならなかった。この場合も、Al イオン注入のドーズ量が約 $8 \times 10^{16} \text{ cm}^{-3}$ 以下であれば、イオン注入の打込み深さが 600 nm 程度でもリーク電流は少なく、また稼働時に順電圧が増大するような劣化現象も顕著でないので、浅 p n 接合 87 a

、 87b に生じる欠陥は実用上問題にならず浅pn接合87a、87bが十分良好に機能できた。また、スイッチングオフした際の逆回復時間や逆回復電流密度も実施例1にかかるMPSダイオードとほぼ同等であり良好であった。

[0160] 以上、説明したように、実施の形態10によれば、実施の形態1と同様の効果を得ることができる。

[0161] (実施の形態11)

図13は、実施の形態11にかかる複合ダイオードの要部を示す断面図である。図13に示す複合ダイオードは、20kV級の耐圧を有する高耐圧複合ダイオードである。実施の形態11にかかる複合ダイオードは、実施の形態5にかかるMPSダイオードのショットキー接合7a、7bに代えて、浅pn接合を設けている。

[0162] 実施の形態11では、pn接合5a、5bの上方に設けられるA1からなるアノード電極膜139a、139bと、浅pn接合部87a、87bの上方に設けられるA1からなるアノード電極膜139d、139cを各々分離している。nドリフト層132の不純物濃度は、例えば $2 \times 10^{14} \text{ cm}^{-3}$ と、実施の形態7にかかる複合ダイオードよりも低くした。nドリフト層132の厚さを $220 \mu\text{m}$ と、実施の形態7にかかる複合ダイオードよりも厚くしている。それ以外の構成は、実施の形態5にかかる複合ダイオードと同様である。

[0163] 実施の形態11にかかる複合ダイオードは、次のような平面レイアウトを有する。図9に示すように、30個のユニット20からなる複合ユニット群と複合ユニット群に並列に設けられた1個のp⁺アノード層3bの、ユニット20が配列される方向の外周部は、p⁺アノード層3bに接触するJTE10に囲まれている。一方、30個のユニット20からなる複合ユニット群と複合ユニット群に並列に設けられた1個のp⁺アノード層3bの、ユニット20が配列される方向に直交する方向の外周部は、別途ユニット20が配列される方向に延びるp⁺層（横長p⁺層、不図示）を31本のp⁺アノード層3a、3

bや30本の浅pn接合部87a、87bに接触して設けている。横長p⁺層の外周部は、横長p⁺層に接触するJTE10に囲まれている。さらに、JTE10の外周部をチャンネルストッパー11が囲む。

[0164] 横長p⁺層上には、オーミックコンタクトメタルであるTi膜およびAl電極が形成されており（不図示）、各p⁺アノード層3a、3bの上方に設けられたアノード電極膜139a、139b、139c、139dにそれぞれ接続されている。したがって、横長p⁺層は、p⁺アノード層として機能する。また、アノード電極膜139a、139b、139c、139dは、横長p⁺層の端部に接する絶縁保護膜上を延在しているが、この部分における電圧降下による影響は面積比率が小さいことより実用上問題になるレベルではないと推測される。

[0165] また、実施の形態11にかかる複合ダイオードは、アノード電極膜がp⁺アノード層3a、3bの両側の傾斜面上に存在しないので、逆電圧印加時のアノード電極膜の電界効果によるSiC傾斜面でのキャリア誘起が生じない。このため、実施例1にかかるMPSダイオードに比べて、安定し且つバラツキの少ない高耐圧を実現することができる。

[0166] （実施例11）

実施例11として、実施の形態11にかかる複合ダイオードを作製した。具体的には、実施例11にかかる複合ダイオードは、実施例5にかかるMPSダイオードのショットキー接合に代えて、浅pn接合87a、87bを設けている。また、Auからなるアノード電極膜に代えて、Alからなるアノード電極膜を設けている。実施例11にかかる複合ダイオードは、なだれ降伏を示す耐圧は室温で21kV以上と高く、リーク電流のバラツキも実施例1にかかるMPSダイオードに比べて40%ほどに著しく低減できた。一方、スイッチングオフした際の逆回復時間や逆回復電流密度は実施例1にかかるMPSダイオードとほぼ同等であり良好であった。

[0167] 以上、説明したように、実施の形態11によれば、実施の形態1、5と同様の効果を得ることができる。

[0168] (実施の形態 12)

図 14 は、実施の形態 12 にかかる複合ダイオードの要部を示す断面図である。図 14 に示す複合ダイオードは、15 kV 級の耐圧を有する高耐圧複合ダイオードである。実施の形態 12 にかかる複合ダイオードは、実施の形態 7 にかかる複合ダイオードの、最外周部 B の p n 主接合 5 b を設けなくてもよい。また、n ドリフト層内に n バッファ層を設けてもよい。

[0169] 実施の形態 12 にかかる複合ダイオードでは、最外周部 B において、p n 主接合 5 b を構成する p⁺アノード層 3 b および p⁺⁺コンタクト層 4 b が設けられていない。JTE10 は、浅 p n 接合 87 b の端部が重畳され接している。この重畳されている部分の幅は、例えば約 3 μm であってもよい。浅 p n 接合 87 a の幅は、実施の形態 7 と同様に 40 μm である。それ以外の構成は、実施の形態 7 と同様である。

[0170] 実施の形態 7 にかかる複合ダイオードでは最外周部 B の p⁺アノード層 3 b の幅が複合ユニット A の p⁺アノード層 3 a の幅と同じであったために、スイッチング動作のオフ時に最外周部 B の n ドリフト層 82 内の蓄積キャリアの排出時間が複合ユニット A の n ドリフト層 82 内の蓄積キャリアの排出時間よりも長くなり、その結果、逆回復時間が長くなっていた。実施の形態 7 の複合ユニット A では、p⁺アノード層 3 a の両側のメサ底部に形成された浅 p n 接合 87 a, 87 b により両側から p n 主接合 5 a, 5 b 下の残存キャリアが排出されるのに対し、最外周部 B では一方の浅 p n 接合 87 b 側からしか排出されないためである。実施の形態 12 では、最外周部 B に p⁺アノード層が存在しないので、実施の形態 7 のような端部の p⁺アノード層での蓄積キャリアの排出時間の不均等さがなくなり逆回復時間を短縮することができる。

[0171] また、n ドリフト層の中央よりも n⁺カソード基板 1 寄りの位置に n ドリフト層よりも不純物濃度が $6 \times 10^{14} \text{ cm}^{-3}$ と高く、厚さ約 5 μm の n バッファ層（第 6 の半導体領域）140 を設けている。つまり、n ドリフト層の内部には、n⁺カソード基板 1 の表面に平行に、n⁺カソード基板 1 よりも薄く、

かつ不純物濃度の高い n バッファ層 140 が設けられている。 n バッファ層 140 は、 n ドリフト層の内部の中間の深さよりも n^+ カソード基板 1 側に設けられている。具体的には、 n^+ カソード基板 1 に、 n ドリフト層 142 b、 n バッファ層 140、 n ドリフト層 142 a が順次積層されている。

[0172] n バッファ層 140 によりスイッチングオフ時に p n 主接合 5 a や浅 p n 接合 87 a, 87 b から広がる空乏層の広がり速度が n バッファ層 140 で一旦抑制される。このため、この間に n バッファ層 140 よりもアノード側の n ドリフト層 142 a 内の少数キャリアがより素早く排出される。その後、 n バッファ層 140 よりもカソード側の n ドリフト層 142 b に空乏層が進入していくが、 n バッファ層 140 の位置を適正化（例えば n^+ カソード基板 1 から $50 \sim 70 \mu\text{m}$ の位置に）することにより空乏層の進入広がりを大幅に抑制することができる。この結果、 n バッファ層 140 のカソード側での少数キャリアの大半が空乏層の広がりを介しての排出ではなく再結合のみでゆっくり減少していく。このため、少数キャリアの減少速度を大幅に抑制することができ、対応する d_i / d_t を小さくすることができる。したがって、著しいソフトリカバリー特性の向上が達成できる。

[0173] （実施例 12）

実施例 12 として、実施の形態 12 にかかる複合ダイオードを作製した。つまり、実施例 12 にかかる複合ダイオードは、最外周部 B に p^+ アノード層 3 b を設けていない。また、 n ドリフト層内に n バッファ層 140 を設けた。それ以外の構成は、実施例 7 にかかる複合ダイオードと同様である。実施例 12 にかかる複合ダイオードは、 15 kV でも室温でのリーク電流が $4 \times 10^{-3} \text{ A/cm}^2$ 以下と良好であり、なだれ降伏を示す耐圧は室温で 16 kV と高耐圧にすることができた。さらに、順電流密度約 50 A/cm^2 で順電流を流した状態でオフした際の逆回復時間は 18 ns であり、逆回復電流密度は約 26 A/cm^2 と低く、かつ d_i / d_t を半減することができ大幅にソフトリカバリー特性を向上することができた。

[0174] 以上、説明したように、実施の形態 12 によれば、実施の形態 1 と同様の

効果を得ることができる。

[0175] (実施の形態 13)

図 15 は、実施の形態 13 にかかる複合ダイオードの要部を示す断面図である。図 15 に示す複合ダイオードは、例えば、10 kV 級の耐圧を有する高耐圧複合ダイオードである。実施の形態 13 にかかる複合ダイオードは、実施の形態 9 にかかる複合ダイオードの浅 p n 接合に代えて、ショットキー接合を設けている。それ以外の構成は、実施の形態 9 と同様である。

[0176] 実施の形態 13 にかかる複合ダイオードは、逆バイアス時に所定の逆電圧以上の電圧が印加されると、トレンチ底面コーナー部に設けられた p 融合電界緩和層 123 間に挟まれたショットキー接合 7a, 7b の下に設けられた n ドリフト層 82 が、p 融合電界緩和層 123 との p n 接合から広がる空乏層でピンチオフされ、それ以上の逆印加電圧でショットキー接合 7a, 7b の電界強度が高くなるのを抑制することができ、実施の形態 9 と同様にトレンチ状加工が実施例 1 のメサ状加工に比べて凹凸の微細化が容易であることも合わさって、高い逆耐圧を実現することができる。

[0177] また、ショットキー接合 7a, 7b が p n 主接合 115a, 115b よりも深い位置に形成されているので、ショットキー接合 7a, 7b から p n 主接合 115a, 115b 下の n ドリフト層 82 内に残存する蓄積キャリアまでの距離を容易に短くすることができる。この結果、スイッチングオフ時には、p n 主接合 115a よりもビルトイン電圧が低いショットキー接合 7a, 7b を介して蓄積キャリアをより速く効率的に排出できる。これにより、蓄積キャリア消滅時間を短くすることができ、この結果、スイッチング速度をより速くできスイッチング損失をより小さくすることができる。

[0178] 実施の形態 13 では、p 融合電界緩和層 123 は、主に上記のピンチオフを実現する領域として機能しキャリアを注入するアノードとしての機能は少ない。しかし、p 融合電界緩和層 123 の不純物濃度が低いので少ないドーズ量で p 融合電界緩和層 123 を形成することができ、イオン注入による欠陥を少なくしリーク電流を少なくすることができる。

[0179] (実施例 13)

実施例 13 として、実施の形態 13 にかかる複合ダイオードを作製した。具体的には、実施例 13 にかかる複合ダイオードは、 n ドリフト層 82 の表面にトレンチを設け、トレンチ底面に $Al \cdot Si$ 合金膜 86a, 86b を設けている。浅 $p-n$ 接合 87a, 87b は形成していない。それ以外の構成は、実施例 9 にかかる複合ダイオードと同様である。 $JTE10$ の幅、不純物濃度および深さを、それぞれ $300 \mu m$ 、 $3 \times 10^{17} cm^{-3}$ および約 $0.65 \mu m$ とした。この場合に、リーク電流密度 $1 \times 10^{-3} A/cm^2$ での逆印加電圧は室温で $11.2 kV$ であり、室温での降伏電圧は $12.3 kV$ であり、高耐圧を実現することができた。降伏電圧に比べて n ドリフト層 82 の厚さを厚くしているので、降伏時には空乏層が n^+ カソード基板 1 に達しないノンパンチスルー状態となる。この結果、空乏層と n^+ カソード基板 1 間に蓄積した多数の少数キャリアが再結合で比較的ゆっくりと消滅するので、ソフトリカバリー特性の大幅な向上を図ることができた。

[0180] また、実施例 13 にかかる複合ダイオードは、約 $50 A/cm^2$ の順電流密度で順電流を流した状態でオフした際の逆回復時間は $14 ns$ と速くすることができた。一方、逆回復電流密度は約 $24 A/cm^2$ であり、スイッチング損失は実施の形態 9 とほぼ同様になった。

[0181] 以上、説明したように、実施の形態 13 によれば、実施の形態 1 と同様の効果を得ることができる。

[0182] (実施の形態 14)

図 16 は、実施の形態 14 にかかる複合ダイオードの要部を示す断面図である。図 16 に示す複合ダイオードは、例えば、 $15 kV$ 級の耐圧を有する高耐圧複合ダイオードである。実施の形態 14 にかかる複合ダイオードは、実施の形態 7 にかかる複合ダイオードの複数の $Al \cdot Si$ 合金膜に代えて、 n^+ カソード基板 1 のおもて面側のほぼ全面を覆う $Al \cdot Si$ 合金膜を 1 つ設けている。

[0183] 実施の形態 14 にかかる複合ダイオードは、図 16 に示すように、 n^+ カソ

ード基板 1 のおもて面側に 1 つの $\text{Al} \cdot \text{Si}$ 合金膜 166 が設けられている。 $\text{Al} \cdot \text{Si}$ 合金膜 166 は、浅 $p\text{-n}$ 接合 87a, 87b および p^{++} コンタクト層 4a, 4b に接する。つまり、 $\text{Al} \cdot \text{Si}$ 合金膜 166 で、浅 $p\text{-n}$ 接合 87a, 87b および p^{++} コンタクト層 4a, 4b とのオーミックコンタクトを形成している。 p^{+} アノード層 3a と p^{++} コンタクト層 4a の両側のメサ部側面に設けられた絶縁保護膜 8 上にも $\text{Al} \cdot \text{Si}$ 合金膜 166 が延在している。また、 $\text{Al} \cdot \text{Si}$ 合金膜 166 上には、 $\text{Al} \cdot \text{Si}$ 合金膜 166 を覆うアノード電極膜 169 が設けられている。それ以外の構成は、実施の形態 7 にかかる複合ダイオードと同様である。

[0184] 実施の形態 14 は、実施の形態 7 において $\text{Al} \cdot \text{Si}$ 合金膜やオーミックコンタクトを形成する際の難しいリフトオフ工程を省略することができ、パッシベーション膜 12 上の $\text{Al} \cdot \text{Si}$ 合金膜 166 をフォトリソエッチング除去するだけで済む。この結果、ダイオード装置製作工程の簡略化を図ることができ、歩留まりを大幅に向上することができるため、経済性の向上が図れる。一方、 $\text{Al} \cdot \text{Si}$ 合金膜 166 はオーミックコンタクト用メタルとしては従来の Ti や Ni に比べてややコンタクト抵抗が大きく、室温で順電流密度 45 A/cm^2 で順電圧は 5.4 V とやや大きくなった。したがって、 p^{++} コンタクト層 4a, 4b 上に Ti 膜を形成した後、この Ti 膜上に $\text{Al} \cdot \text{Si}$ 合金膜 166 を形成するのがよい。これにより、実施の形態 7 にかかる複合ダイオードとほぼ同等レベルの順電圧を実現することができた。

[0185] また、実施の形態 14 では、 $\text{Al} \cdot \text{Si}$ 合金膜 166 とアノード電極膜 169 で構成されるアノード電極膜が直接 p 融合電界緩和層 13 に接触しない。この結果、高い逆電圧が印加された場合でも p 融合電界緩和層 13 がパンチスルーされてしまうのを防ぐことができる。このため、なだれ降伏を示す耐圧は室温で 15 kV 以上と高くすることができ、リーク電流の耐圧電流密度は、印加電圧 10 kV であった場合に室温で $2 \times 10^{-3} \text{ A/cm}^2$ 以下であり、実施の形態 7 に比べてほぼ同等レベルの良好な特性を維持することができた。また、スイッチングオフした際の逆回復時間や逆回復電流密度もほぼ同

等であり良好であった。

[0186] 以上、説明したように、実施の形態 14 によれば、実施の形態 7 と同様の効果を得ることができる。

[0187] (実施の形態 15)

図 17 は、実施の形態 15 にかかる複合ダイオードの要部を示す断面図である。図 17 に示す複合ダイオードは、例えば、15 kV 級の耐圧を有する高耐圧複合ダイオードである。実施の形態 15 にかかる複合ダイオードは、実施の形態 14 にかかる複合ダイオードの Al・Si 合金膜に代えて、Ti 膜を設けている。

[0188] 実施の形態 15 では、Ti 膜 176 は、pn 主接合 5a, 5b のオーミックコンタクトメタルと、ショットキー接合 7a, 7b のショットキーメタルとの両方を兼ねている。つまり、p⁺アノード層 3a, 3b と p⁺⁺コンタクト層 4a, 4b の両側のメサ部側面に設けられた絶縁保護膜 8 上にも Ti 膜 176 が延在している。Ti 膜 176 を設けることにより、p⁺⁺コンタクト層 4a, 4b との pn 主接合 5a, 5b と、n ドリフト層 82 とのショットキー接合 7a, 7b とを連結している。それ以外の構成は、実施の形態 14 と同様である。Ti 膜 176 上には、電気抵抗を低減するための、Al からなる厚いアノード電極膜 179 が形成されている。

[0189] 実施の形態 15 にかかる複合ダイオードは、なだれ降伏を示す耐圧は室温で約 16 kV 以上と高くすることができた。その理由は、実施の形態 14 にかかる複合ダイオードと同様である。

[0190] 以上、説明したように、実施の形態 15 によれば、実施の形態 14 と同様の効果を得ることができる。

[0191] 以上、実施の形態 1 ~ 15 について詳細に説明したが、上述した実施の形態に限らず、さらに多くの適用範囲や派生構造に適用することが可能である。各領域の設計条件等を種々変更し、例えば 25 kV や 50 kV といった更に高い耐圧のダイオードに適用することができる。また、pn 主接合とショットキー接合を形成する位置を代えてもよい。例えば、n ドリフト層にトレ

ンチを形成し、トレンチ内を p^+ エピタキシャル層で埋めることで、ショットキー接合よりも深い位置に $p-n$ 主接合を設けてもよい。

[0192] また、電界緩和層がJTEの場合について説明したが、FLRやRESURF等の他の電界緩和層の場合や濃度の異なる複数の領域から構成されるJTEでもよい。 p 融合電界緩和領域の不純物濃度は、浅 $p-n$ 接合に接している部分の近傍では $p-n$ 接合に接している部分よりも高くすることが、リーク電流をより低減しかつキャリア注入をより促進する上で効果的である。

[0193] また、ワイドギャップ半導体としてSiCを用いて説明しているが、GaNやダイヤモンドといった他のワイドギャップ半導体ダイオードに応用展開することができる。また、浅 $p-n$ 接合を形成する際に、Al・Ti・Si合金やAl・Ni・Si等の他の合金膜を適用してもよい。 p^+ アノード層の両端のメサ部側面の傾斜角度を変えた場合でも同様の効果を得ることができる。また、モリブデン等を用いてショットキーメタルを形成してもよい。また実施の形態2、8において、浅 $p-n$ 接合の p 融合電界緩和層間に1個のピンチオフ用 p 層を設けてもよいし、複数個のピンチオフ用 p 層を設けてもよい。浅 $p-n$ 接合部全体の幅をほぼ等しくした場合は、ピンチオフ用 p 層の数の増加に伴って高い耐圧を実現することができる。また、ピンチオフ用 p 層間の浅 $p-n$ 接合の幅を広げたり、ピンチオフ用 p 層間の浅 $p-n$ 接合の幅を固定して、ピンチオフ用 p 層と浅 $p-n$ 接合の数を増やしたりすることにより浅 $p-n$ 接合の全体の幅を広げる場合、スイッチングオフ時にドリフト層内の蓄積キャリアの消滅時間をより短くすることができる。

産業上の利用可能性

[0194] 本発明は、高耐圧用途に好適な高耐圧高性能ワイドギャップ半導体ダイオードに有用である。具体的には、配電系統に直結する高耐圧インバータ等に適用することができ、この場合、トランスを除去することもできる。システムの大幅な小型軽量化や省エネルギー化が可能となる。現在の配電系統にとどまらず、次世代の系統網であるスマートグリッドへの適用も可能である。また、大型ファンやポンプ、圧延機といった産業用機器の制御装置にも適用

することができる。

符号の説明

- [0195]
- 1 n^+ カソード基板
 - 2 n^- ドリフト層
 - 3 a, 3 b p^+ アノード層
 - 4 a, 4 b p^{++} コンタクト層
 - 5 a, 5 b p n 主接合
 - 6 a, 6 b Ti 膜 (ショットキー接合用)
 - 16 a, 16 b Ti 膜 (オーミックコンタクト用)
 - 7 a, 7 b ショットキー接合
 - 8 絶縁保護膜
 - 9 アノード電極膜
 - 10 JTE
 - 11 チャネルストッパー
 - 12 パッシベーション膜
 - 13 p 融合電界緩和層
 - 14 Ni オーミックコンタクト
 - 15 カソード電極膜
 - 30 ピンチオフ用 p 層

請求の範囲

- [請求項1] シリコンよりもバンドギャップが広い材料からなる第1導電型の第1の半導体領域と、
- 前記第1の半導体領域の表面に選択的に設けられ、当該第1の半導体領域との間に第1の接合を形成する第1の層と、
- 前記第1の半導体領域の表面に選択的に設けられ、当該第1の半導体領域との間に第2の接合を形成する第2の層と、
- 前記第1の接合を含む領域からなる第1のダイオードと、
- 前記第2の接合を含む領域からなる第2のダイオードと、
- を備え、
- 前記第1の半導体領域の表面には、凹部と当該凹部の底面よりも突出した凸部とが設けられ、
- 前記第1の接合および前記第2の接合は、それぞれ前記第1の半導体領域の表面から異なる深さに形成されており、
- 前記第2のダイオードのビルトイン電位は、前記第1のダイオードのビルトイン電位よりも低いことを特徴とする半導体装置。
- [請求項2] 前記第1の層は、前記凸部の表面に設けられており、
- 前記第2の層は、前記凹部の底面に設けられており、
- 上記凸部に形成された前記第1の接合の、当該凸部表面からの深さは、前記凹部よりも浅いことを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記第1の接合の端部は前記凸部の側面に露出していることを特徴とする請求項2に記載の半導体装置。
- [請求項4] 前記第1の層に比べて前記第2の層の厚さが薄いことを特徴とする請求項1に記載の半導体装置。
- [請求項5] 前記第1の層は、第2導電型の第2の半導体領域であり、
- 前記第2の層は、第2導電型の第3の半導体領域であり、
- 前記第3の半導体領域は、前記第2の半導体領域よりも薄く、かつ

当該第2の半導体領域よりも低い不純物濃度を有することを特徴とする請求項1に記載の半導体装置。

[請求項6] 前記第2の半導体領域は、前記第1の半導体領域の表面に選択的に設けられたエピタキシャル層であり、

前記凸部は、前記第2の半導体領域からなることを特徴とする請求項5に記載の半導体装置。

[請求項7] 前記第1のダイオードおよび前記第2のダイオードは、pn接合ダイオードであることを特徴とする請求項5に記載の半導体装置。

[請求項8] 前記第1の層は、第2導電型の第2の半導体領域であり、
前記第2の層は、前記第1の半導体領域との間にショットキー接合を形成する金属膜であることを特徴とする請求項1に記載の半導体装置。

[請求項9] 前記第2の半導体領域は、前記第1の半導体領域の表面に選択的に設けられたエピタキシャル層であり、
前記凸部は、前記第2の半導体領域からなることを特徴とする請求項8に記載の半導体装置。

[請求項10] 前記第1のダイオードは、pn接合ダイオードであり、
前記第2のダイオードは、ショットキー接合ダイオードであることを特徴とする請求項8に記載の半導体装置。

[請求項11] 前記凸部は、テーパ状に設けられ、
前記第1の接合と前記第2の接合との間の、前記凹部の側面の表面層に、前記第1の接合および前記第2の接合に接し、かつ前記第2の半導体領域よりも低い不純物濃度を有する第2導電型の第4の半導体領域が設けられていることを特徴とする請求項5または8に記載の半導体装置。

[請求項12] 前記凹部は、前記第1の半導体領域の、前記第2の半導体領域が設けられる側の表面に形成されたトレンチであり、
前記第1の接合と前記第2の接合との間の、前記トレンチの側壁の

表面層に、前記第 1 の接合および前記第 2 の接合に接し、かつ前記第 2 の半導体領域よりも低い不純物濃度を有する第 2 導電型の第 4 の半導体領域が設けられていることを特徴とする請求項 5 または 8 に記載の半導体装置。

[請求項 13] 前記凹部の底面の表面層には、前記第 2 の半導体領域より低い不純物濃度を有する第 2 導電型の第 5 の半導体領域が設けられ、

前記凹部の底面に設けられた前記第 2 の接合は、前記第 5 の半導体領域によって分離されていることを特徴とする請求項 5 または 8 に記載の半導体装置。

[請求項 14] 前記第 3 の半導体領域はイオン注入によって形成された領域であることを特徴とする請求項 5 に記載の半導体装置。

[請求項 15] 前記金属膜は、金属蒸着後に熱処理によって形成された合金層であることを特徴とする請求項 8 に記載の半導体装置。

[請求項 16] 前記第 1 の半導体領域は、シリコンよりもバンドギャップが広い材料からなる第 1 導電型の半導体基板上に設けられており、

前記第 1 の半導体領域の内部には、前記半導体基板の表面に平行に、当該半導体基板よりも薄く、かつ不純物濃度の高い第 6 の半導体領域が設けられ、

前記第 6 の半導体領域は、前記第 1 の半導体領域の内部の中間の深さよりも前記半導体基板側に設けられていることを特徴とする請求項 1, 5, 8 のいずれか一つに記載の半導体装置。

[請求項 17] 前記第 1 の接合と前記第 2 の接合とが交互に繰り返し設けられたストライプ状の平面レイアウトを有し、

前記第 1 の接合と前記第 2 の接合とがストライプ状に配置され、該ストライプの長手方向に直交する方向の最外周部には、前記第 2 の接合の端部が露出し、

前記ストライプの長手方向に平行な方向の最外周部には、当該第 1 の接合の端部と当該第 2 の接合の端部とが交互に露出し、

前記最外周部に設けられ、前記第 1 の接合と前記第 2 の接合とを囲む電界緩和層が、当該最外周部に露出する前記第 1 の接合の端部および前記第 2 の接合の端部のそれぞれに接することを特徴とする請求項 5 または 8 に記載の半導体装置。

補正された請求の範囲
[2011年7月29日(29.07.2011)国際事務局受理]

〔請求項 1〕（補正後） シリコンよりもバンドギャップが広い材料からなる第 1 導電型の第 1 の半導体領域と、

前記第 1 の半導体領域の表面に選択的に設けられ、当該第 1 の半導体領域との間に第 1 の接合を形成する第 1 の層と、

前記第 1 の半導体領域の表面に選択的に設けられ、当該第 1 の半導体領域との間に第 2 の接合を形成する第 2 の層と、

前記第 1 の接合を含む領域からなる第 1 のダイオードと、

前記第 2 の接合を含む領域からなる第 2 のダイオードと、

前記第 1 の接合と前記第 2 の接合との間の、前記第 1 の半導体領域の表面に設けられ、当該第 1 の接合および当該第 2 の接合に接する第 2 導電型の第 4 の半導体領域と、

を備え、

前記第 1 の半導体領域の表面には、凹部と当該凹部の底面よりも突出した凸部とが設けられ、

前記第 1 の接合および前記第 2 の接合は、それぞれ前記第 1 の半導体領域の表面から異なる深さに形成されており、

前記第 2 のダイオードのビルトイン電位は、前記第 1 のダイオードのビルトイン電位よりも低いことを特徴とする半導体装置。

〔請求項 2〕 前記第 1 の層は、前記凸部の表面に設けられており、

前記第 2 の層は、前記凹部の底面に設けられており、

上記凸部に形成された前記第 1 の接合の、当該凸部表面からの深さは、前記凹部よりも浅いことを特徴とする請求項 1 に記載の半導体装置。

〔請求項 3〕 前記第 1 の接合の端部は前記凸部の側面に露出していることを特徴とする請求項 2 に記載の半導体装置。

〔請求項 4〕 前記第 1 の層に比べて前記第 2 の層の厚さが薄いことを特徴とする請求項 1 に記載の半導体装置。

〔請求項 5〕 前記第 1 の層は、第 2 導電型の第 2 の半導体領域であり、

前記第2の層は、第2導電型の第3の半導体領域であり、

前記第3の半導体領域は、前記第2の半導体領域よりも薄く、かつ当該第2の半導体領域よりも低い不純物濃度を有することを特徴とする請求項1に記載の半導体装置。

〔請求項6〕 前記第2の半導体領域は、前記第1の半導体領域の表面に選択的に設けられたエピタキシャル層であり、

前記凸部は、前記第2の半導体領域からなることを特徴とする請求項5に記載の半導体装置。

〔請求項7〕 前記第1のダイオードおよび前記第2のダイオードは、pn接合ダイオードであることを特徴とする請求項5に記載の半導体装置。

〔請求項8〕 前記第1の層は、第2導電型の第2の半導体領域であり、

前記第2の層は、前記第1の半導体領域との間にショットキー接合を形成する金属膜であることを特徴とする請求項1に記載の半導体装置。

〔請求項9〕 前記第2の半導体領域は、前記第1の半導体領域の表面に選択的に設けられたエピタキシャル層であり、

前記凸部は、前記第2の半導体領域からなることを特徴とする請求項8に記載の半導体装置。

〔請求項10〕 前記第1のダイオードは、pn接合ダイオードであり、

前記第2のダイオードは、ショットキー接合ダイオードであることを特徴とする請求項8に記載の半導体装置。

〔請求項11〕（補正後） 前記凸部は、テーパ状に設けられ、

前記第4の半導体領域は、前記第1の接合と前記第2の接合との間の、前記凹部の側面の表面層に設けられ、かつ前記第2の半導体領域よりも低い不純物濃度を有することを特徴とする請求項5または8に記載の半導体装置。

〔請求項12〕（補正後） 前記凹部は、前記第1の半導体領域の、前記第2の半導体領域が設けられる側の表面に形成されたトレンチであり、

前記第4の半導体領域は、前記第1の接合と前記第2の接合との間の、前記トレンチの側壁の表面層に設けられ、かつ前記第2の半導体領域よりも低い不純物濃度を有

することを特徴とする請求項 5 または 8 に記載の半導体装置。

[請求項 13] 前記凹部の底面の表面層には、前記第 2 の半導体領域より低い不純物濃度を有する第 2 導電型の第 5 の半導体領域が設けられ、

前記凹部の底面に設けられた前記第 2 の接合は、前記第 5 の半導体領域によって分離されていることを特徴とする請求項 5 または 8 に記載の半導体装置。

[請求項 14] 前記第 3 の半導体領域はイオン注入によって形成された領域であることを特徴とする請求項 5 に記載の半導体装置。

[請求項 15] 前記金属膜は、金属蒸着後に熱処理によって形成された合金層であることを特徴とする請求項 8 に記載の半導体装置。

[請求項 16] 前記第 1 の半導体領域は、シリコンよりもバンドギャップが広い材料からなる第 1 導電型の半導体基板上に設けられており、

前記第 1 の半導体領域の内部には、前記半導体基板の表面に平行に、当該半導体基板よりも薄く、かつ不純物濃度の高い第 6 の半導体領域が設けられ、

前記第 6 の半導体領域は、前記第 1 の半導体領域の内部の中間の深さよりも前記半導体基板側に設けられていることを特徴とする請求項 1, 5, 8 のいずれか一つに記載の半導体装置。

[請求項 17] 前記第 1 の接合と前記第 2 の接合とが交互に繰り返し設けられたストライプ状の平面レイアウトを有し、

前記第 1 の接合と前記第 2 の接合とがストライプ状に配置され、該ストライプの長手方向に直交する方向の最外周部には、前記第 2 の接合の端部が露出し、

前記ストライプの長手方向に平行な方向の最外周部には、当該第 1 の接合の端部と当該第 2 の接合の端部とが交互に露出し、

前記最外周部に設けられ、前記第 1 の接合と前記第 2 の接合とを囲む電界緩和層が、当該最外周部に露出する前記第 1 の接合の端部および前記第 2 の接合の端部のそれぞれに接することを特徴とする請求項 5 または 8 に記載の半導体装置。

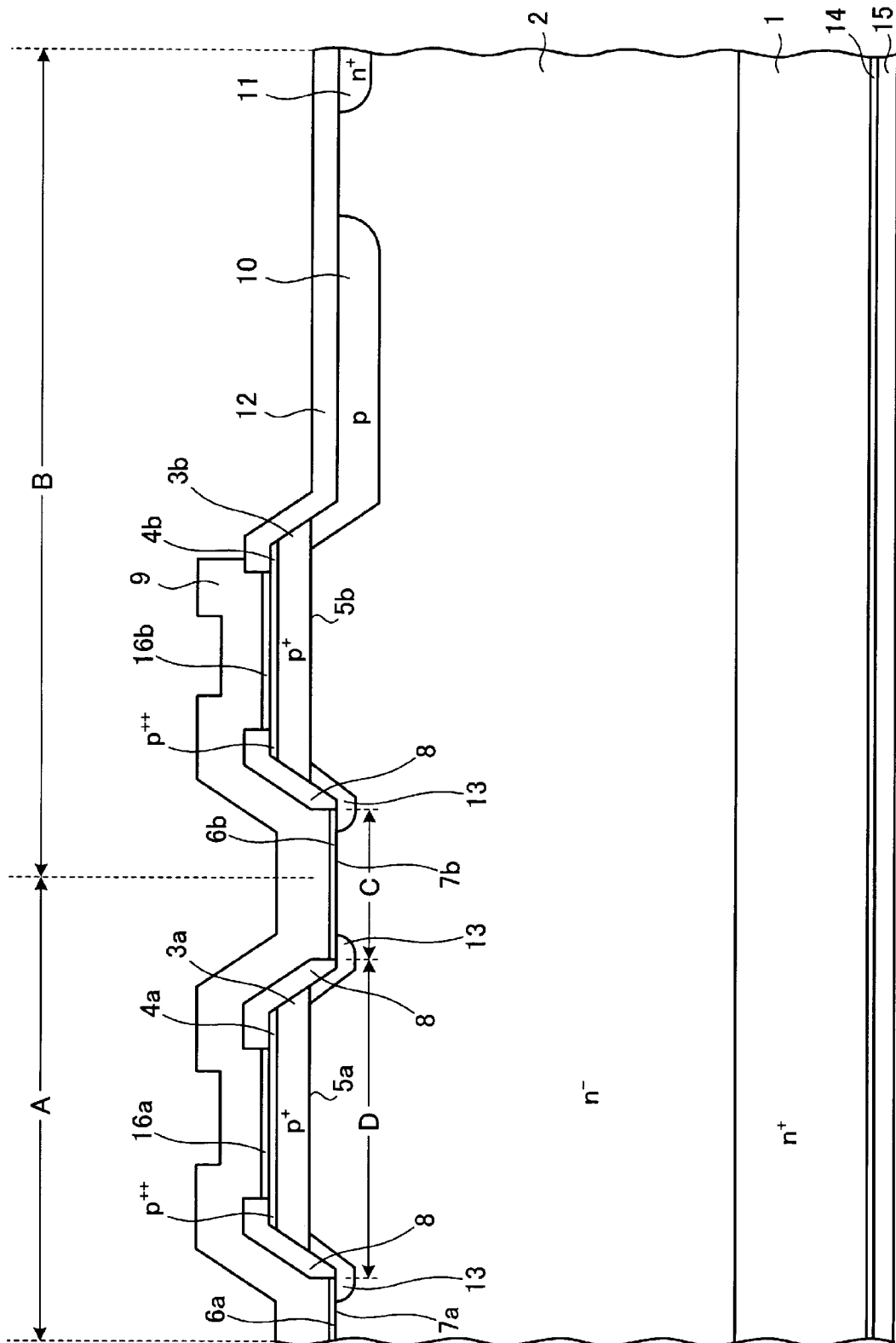
条約第 19 条（1）に基づく説明書

請求の範囲第 1 項は、補正前の請求の範囲第 1 1， 1 2 項の記載に基づいて当該請求の範囲第 1 項の範囲を限定する補正を行いました。

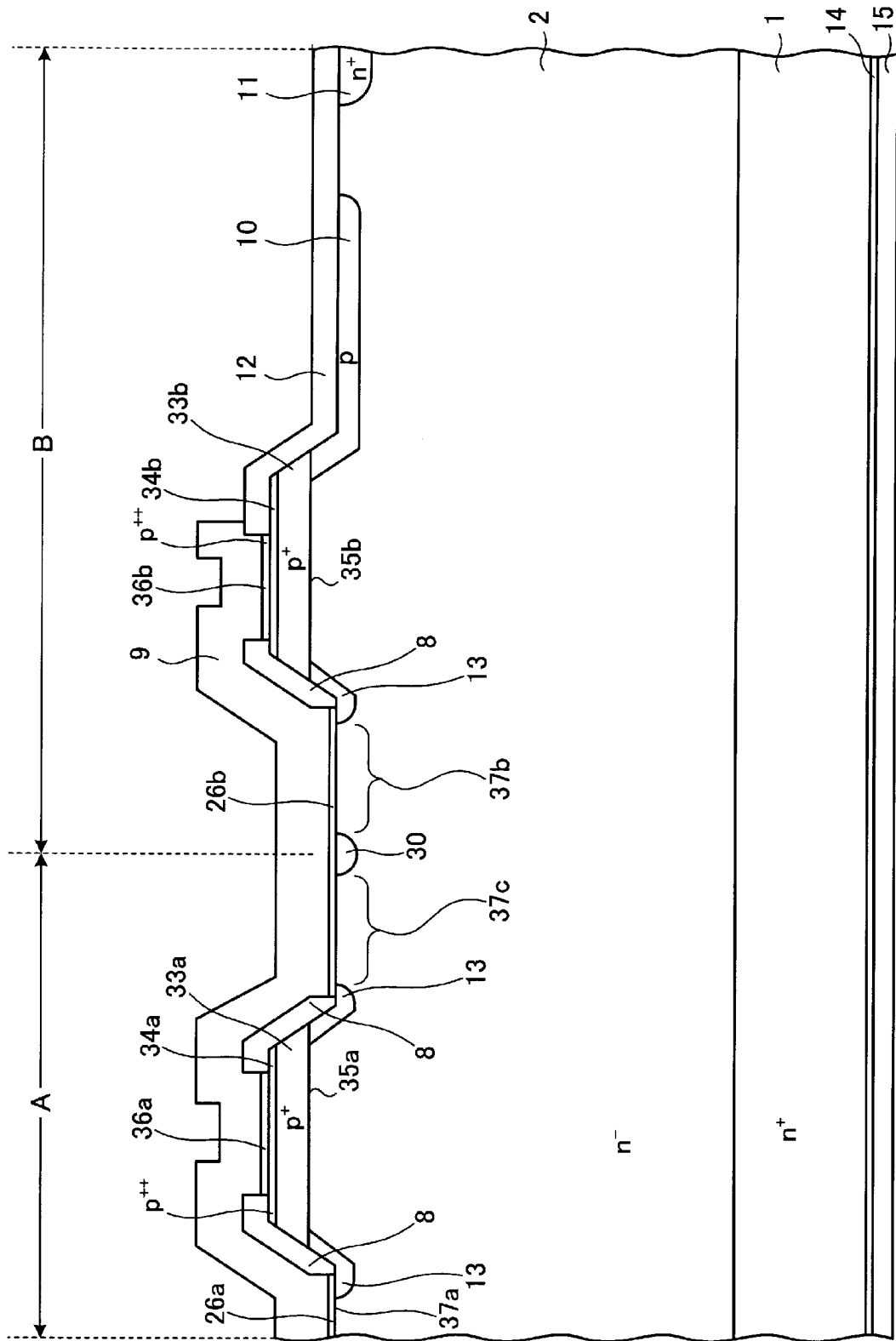
また、請求の範囲第 1 1 項は、上記請求の範囲第 1 項の補正に伴う補正を行いました。

また、請求の範囲第 1 2 項は、上記請求の範囲第 1 項の補正に伴う補正を行いました。

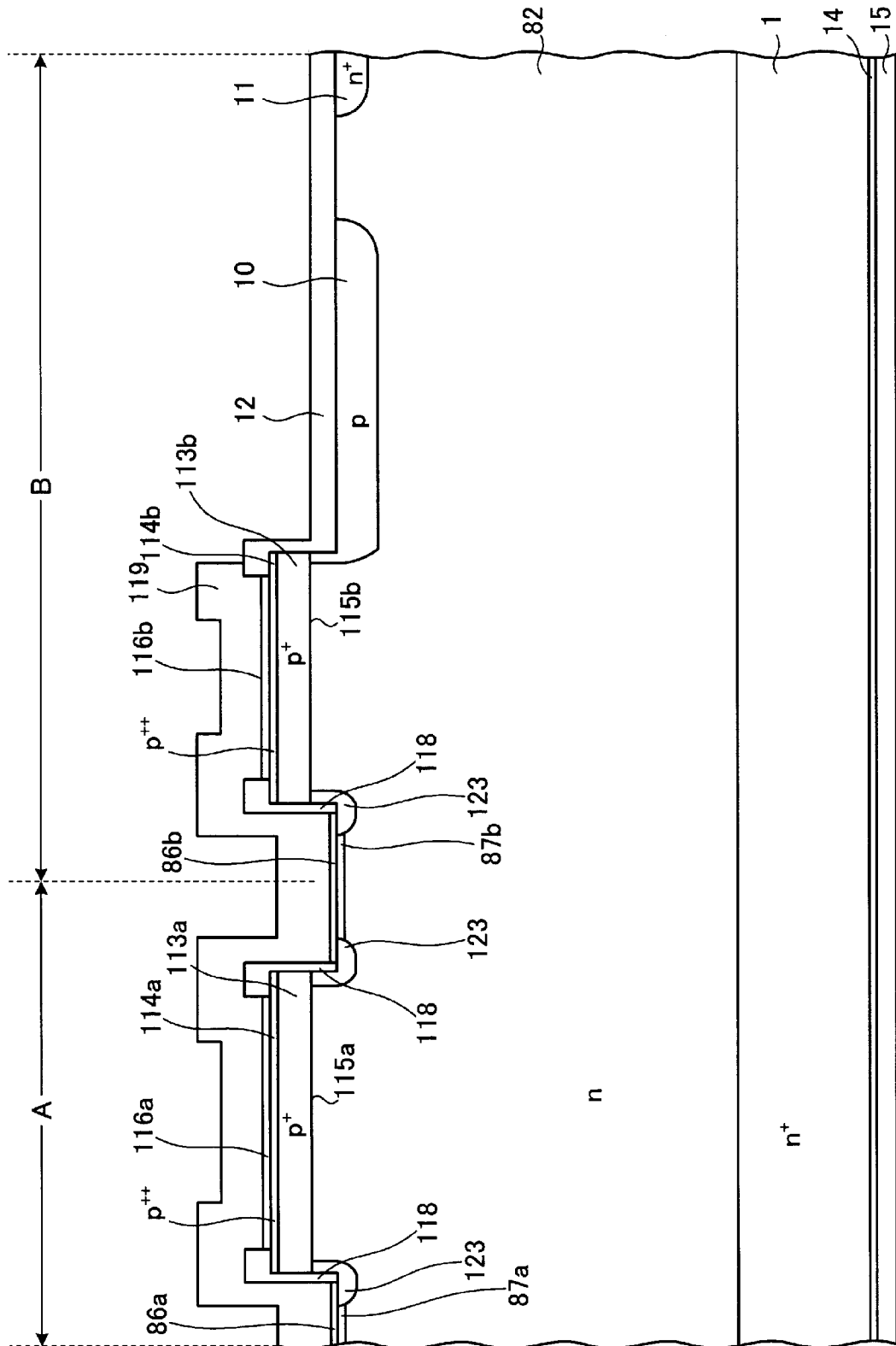
[図1]



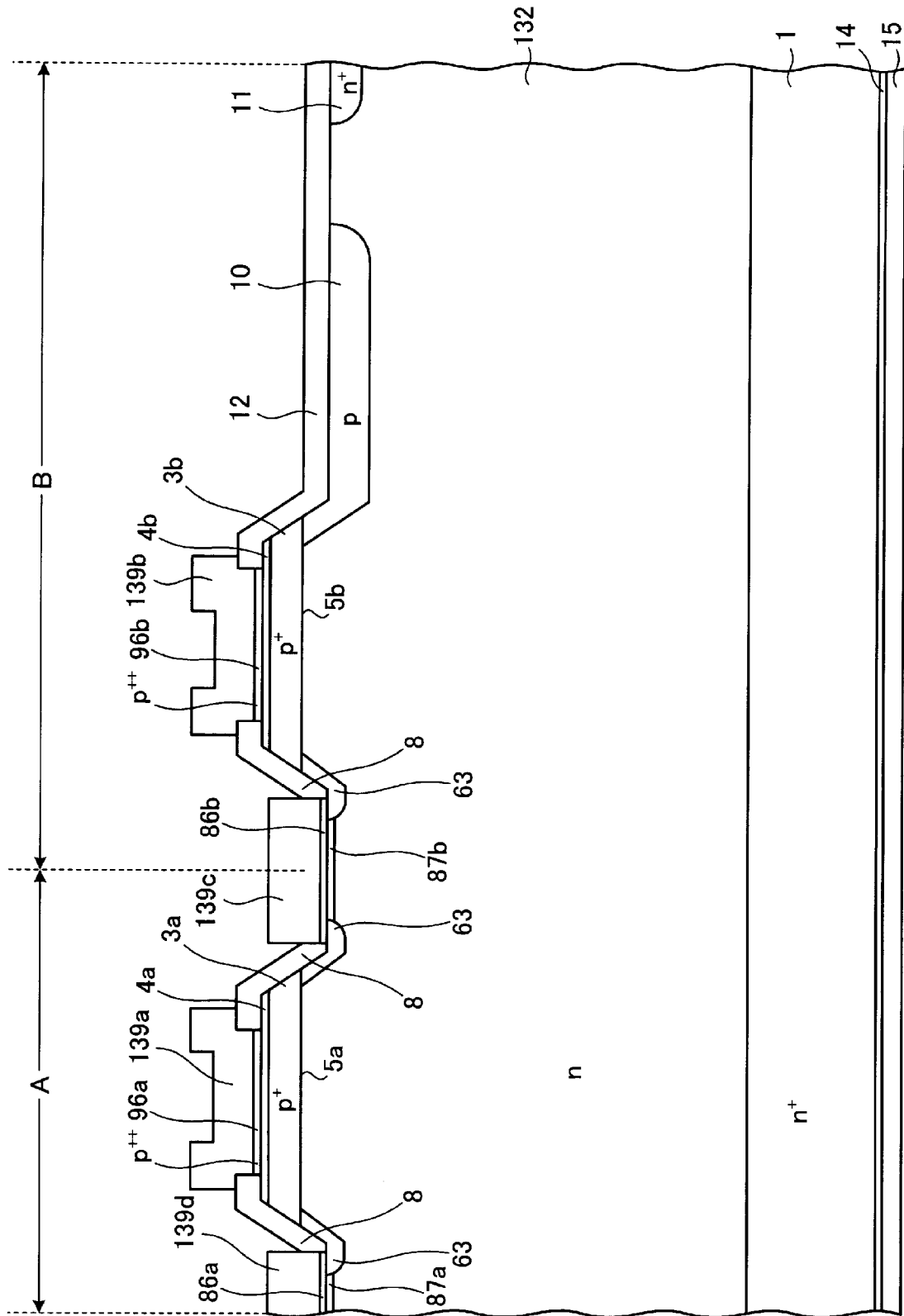
[図3]



[図11]

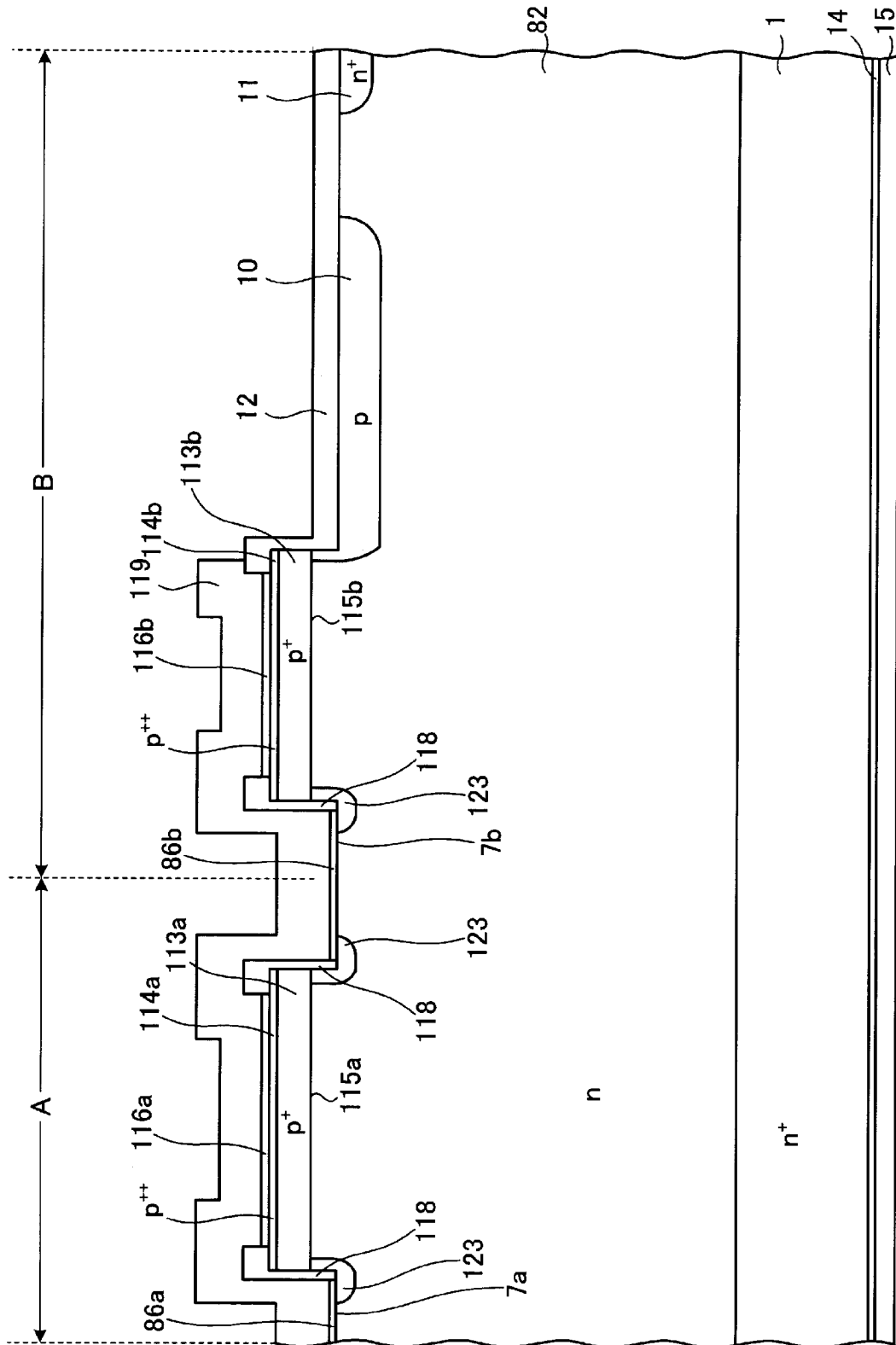


[図13]

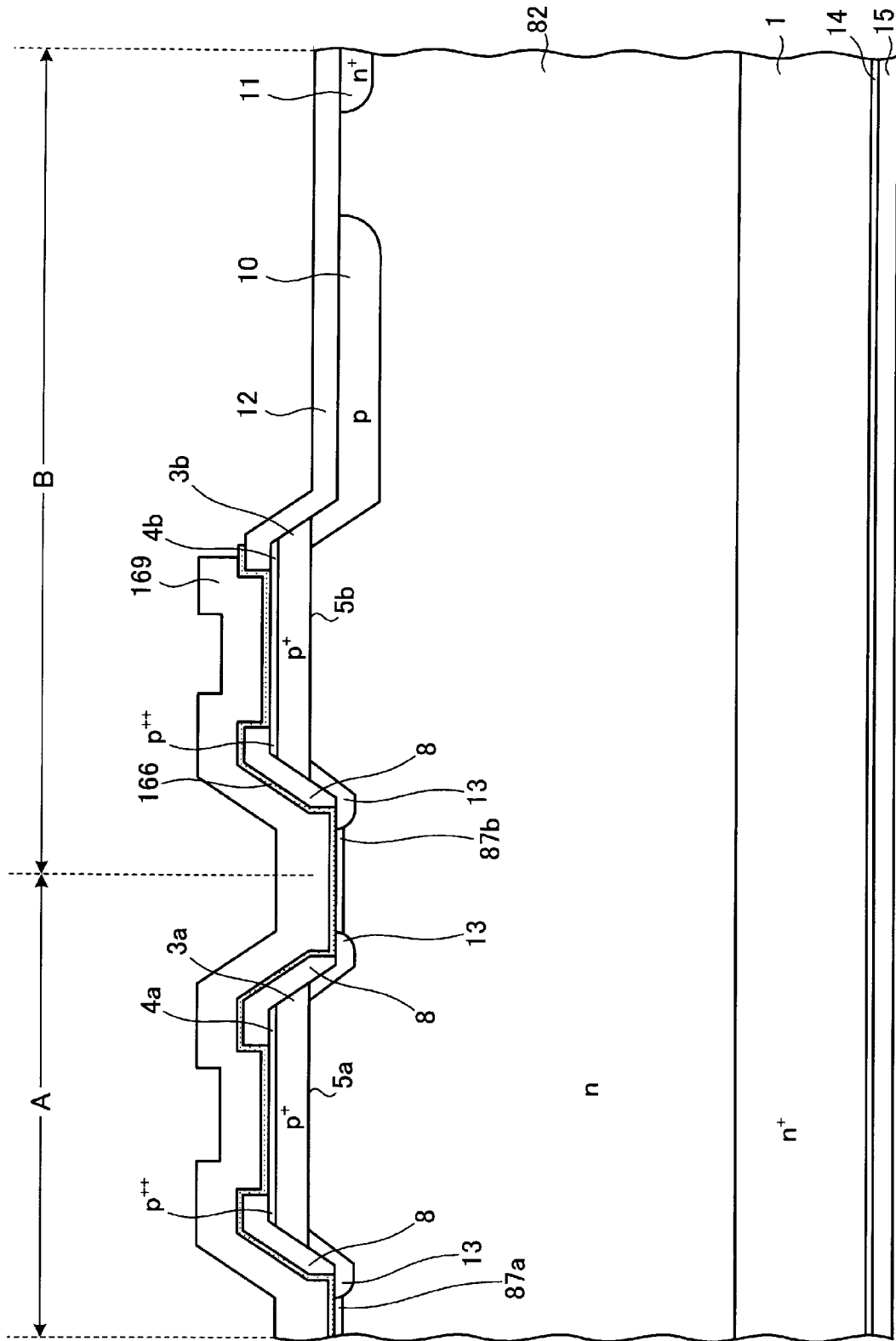


[illegible]

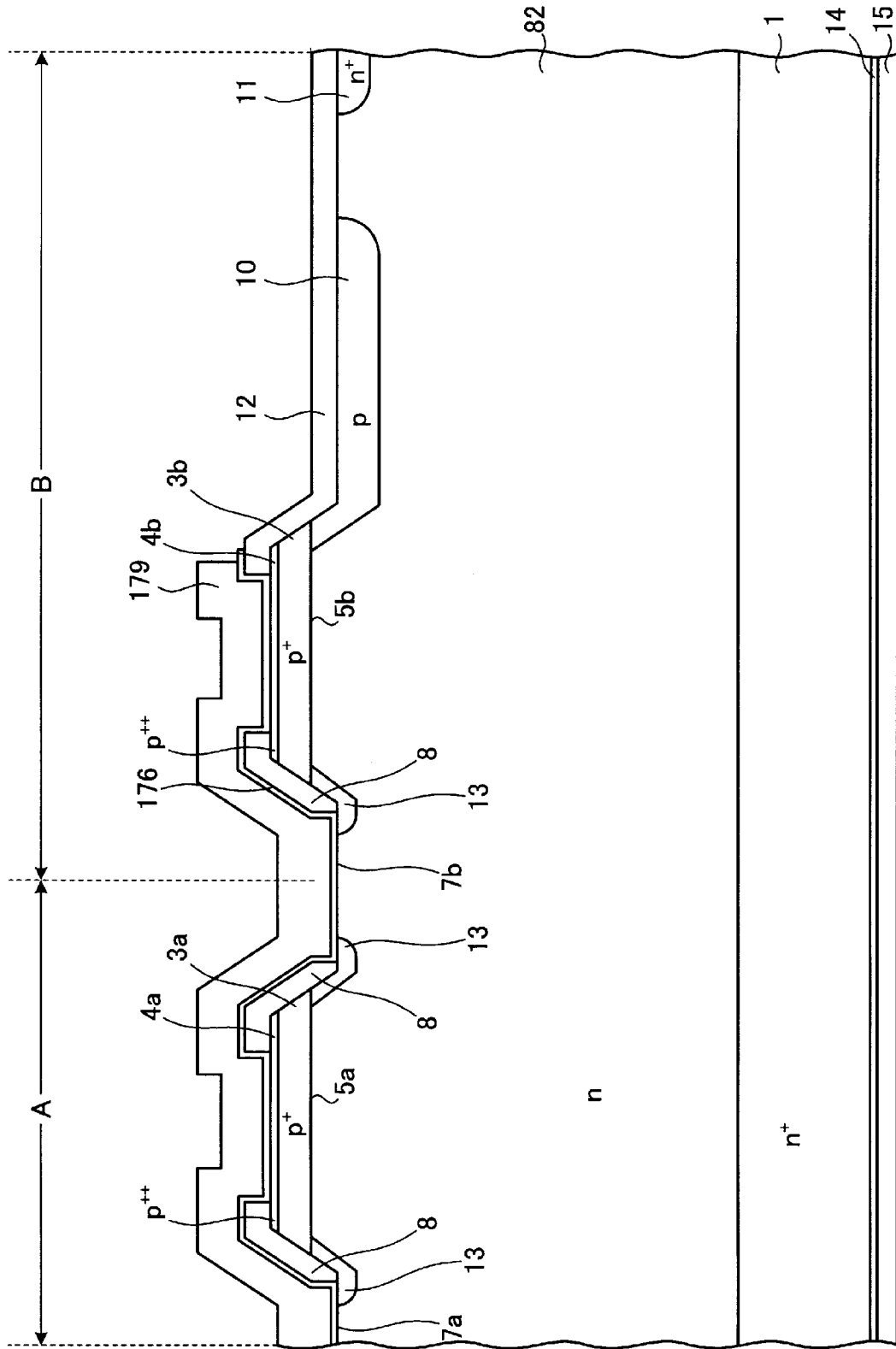
[図15]



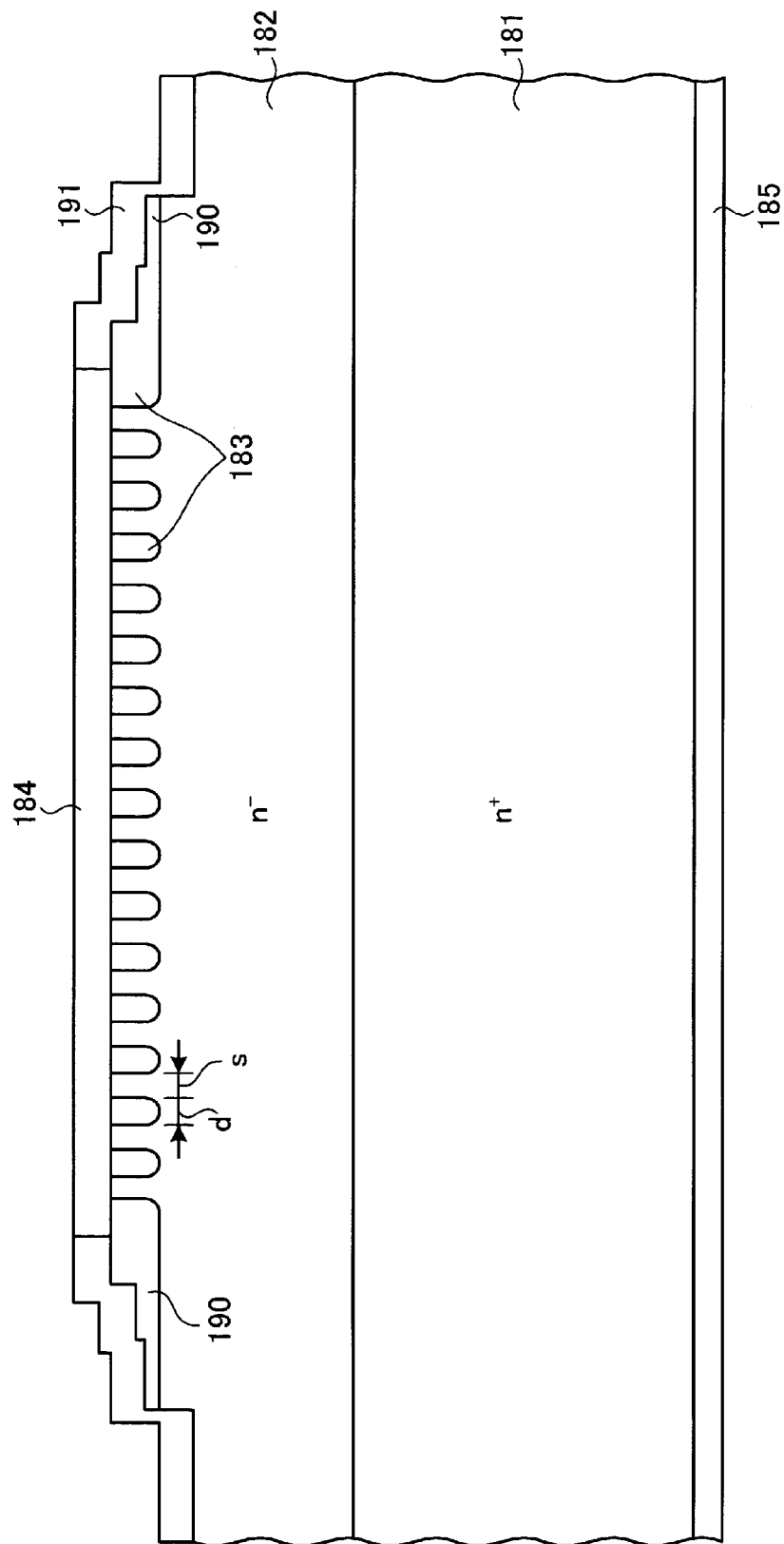
[図16]



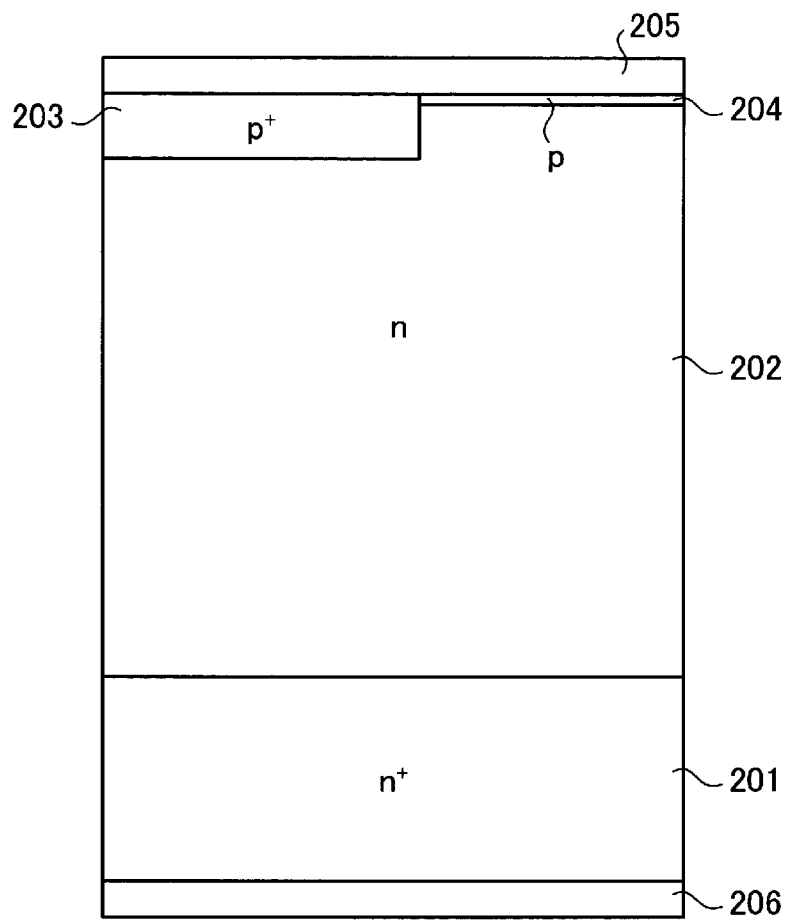
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/054000

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/861(2006.01)i, H01L21/329(2006.01)i, H01L29/47(2006.01)i,
H01L29/872(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/861, H01L21/329, H01L29/47, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 8-97441 A (Fuji Electric Co., Ltd.), 12 April 1996 (12.04.1996), paragraphs [0007] to [0010]; fig. 1 to 3 & US 5789311 A	1-4, 8-10, 15 5-7, 13, 14, 16, 17 11, 12
Y	JP 5-110061 A (Shindengen Electric Mfg. Co., Ltd.), 30 April 1993 (30.04.1993), paragraphs [0003] to [0019]; fig. 1 to 7 (Family: none)	5-7, 14
Y	JP 2000-252478 A (Hitachi, Ltd.), 14 September 2000 (14.09.2000), paragraphs [0023] to [0037]; fig. 1 (Family: none)	13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 May, 2011 (24.05.11)

Date of mailing of the international search report
31 May, 2011 (31.05.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/054000

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 58-216473 A (Hitachi, Ltd.), 16 December 1983 (16.12.1983), page 3, upper right column, line 17 to page 4, upper left column, line 2; fig. 5(b) (Family: none)	16
Y A	JP 2008-211171 A (The Kansai Electric Power Co., Inc.), 11 September 2008 (11.09.2008), paragraph [0048]; fig. 1 & US 2010/0032686 A & EP 2110857 A1 & WO 2008/093789 A1	17 11,12
A	JP 2009-539247 A (Cree Sweden AB.), 12 November 2009 (12.11.2009), paragraphs [0033] to [0034]; fig. 4 & US 2007/0278609 A1 & EP 2033226 A & WO 2007/139487 A1	1,12
A	JP 2009-535853 A (Semisouth Laboratories, Inc.), 01 October 2009 (01.10.2009), paragraphs [0011] to [0034]; fig. 1 to 8 & US 7274083 B1 & EP 2013911 A & WO 2007/130505 A2 & KR 10-2009-0017561 A & CN 101449385 A & AU 2007248544 A	1
A	JP 2009-224603 A (Toyota Central Research and Development Laboratories, Inc.), 01 October 2009 (01.10.2009), paragraphs [0017] to [0034]; fig. 1 to 8 & US 2009/0230405 A1 & DE 102009012855 A	1,12
A	US 6844251 B2 (Krishna SHENAI), 18 January 2005 (18.01.2005), column 8, line 57 to column 9, line 28; fig. 14, 15 & US 2003/0045035 A1	1
A	JP 2-91975 A (Nippon Telegraph and Telephone Corp.), 30 March 1990 (30.03.1990), page 2, lower left column, line 10 to page 3, lower right column, line 4; fig. 1 (Family: none)	1
A	S. S. ANG, A v-groove Schottky/pn diode, Microelectronics Journal, 1989, Vol.20, No.5, p.7-12	1

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/054000

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/054000

Continuation of Box No.III of continuation of first sheet (2)

The inventions of claims 1-17 have the same or corresponding technical feature in common in being provided with: a first semiconductor region of a first conductivity type, which consists of a material, the band gap of which is wider than silicon; a first layer which is selectively provided on the surface of the first semiconductor region so as to form first junction with the first semiconductor region; a second layer which is selectively provided on the surface of the first semiconductor region so as to form second junction with the first semiconductor region; a first diode consisting of a region including the first junction; and a second diode consisting of a region including the second junction, wherein a recessed section, and a projection section projecting more than the bottom surface of the recessed section are provided on the surface of the first semiconductor region; wherein the first junction and the second junction are formed in different depth planes from the surface of the first semiconductor region, respectively; and wherein the built-in potential of the second diode is lower than the built-in potential of the first diode."

However, the technical feature is publicly known as disclosed in JP 8-97441 A, paragraphs [0007] to [0010]; fig. 1 to 3 & US 5789311 A.

Thus, the inventions of claims 1-17 are not considered to have a technical interrelationship represented by the same or corresponding special technical feature.

Consequently, the inventions of claims 1-17 cannot be considered to be a group of the inventions so linked as to form a single general inventive concept.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/861 (2006.01) i, H01L21/329 (2006.01) i, H01L29/47 (2006.01) i, H01L29/872 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/861, H01L21/329, H01L29/47, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A Y	JP 8-97441 A（富士電機株式会社） 1996.04.12, 段落[0007]-[0010], 図 1-3 & US 5789311 A JP 5-110061 A（新電元工業株式会社） 1993.04.30, 段落[0003]-[0019], 図 1-7 (ファミリーなし)	1-4, 8-10, 15 5-7, 13, 14, 16, 17 11, 12 5-7, 14

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 5 . 2 0 1 1

国際調査報告の発送日

3 1 . 0 5 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

原 和秀

4 M

4 0 3 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-252478 A (株式会社日立製作所) 2000.09.14, 段落[0023]-[0037], 図1 (ファミリーなし)	13
Y	JP 58-216473 A (株式会社日立製作所) 1983.12.16, 第3頁右上欄第17行-第4頁左上欄第2行, 第5図(b) (ファミリーなし)	16
Y A	JP 2008-211171 A (関西電力株式会社) 2008.09.11, 段落[0048], 図1 & US 2010/0032686 A & EP 2110857 A1 & WO 2008/093789 A1	17 11, 12
A	JP 2009-539247 A (クレー・スウェーデン・アクチボラゲット) 2009.11.12, 段落[0033]-[0034], 図4 & US 2007/0278609 A1 & EP 2033226 A & WO 2007/139487 A1	1, 12
A	JP 2009-535853 A (セミサウス ラボラトリーズ インコーポレイ テッド) 2009.10.01, 段落[0011]-[0034], 図1-8 & US 7274083 B1 & EP 2013911 A & WO 2007/130505 A2 & KR 10-2009-0017561 A & CN 101449385 A & AU 2007248544 A	1
A	JP 2009-224603 A (株式会社豊田中央研究所) 2009.10.01, 段落[0017]-[0034], 図1-8 & US 2009/0230405 A1 & DE 102009012855 A	1, 12
A	US 6844251 B2 (Krishna SHENAI) 2005.01.18, 第8欄第57行-第9欄第28行, Fig.14,15 & US 2003/0045035 A1	1
A	JP 2-91975 A (日本電信電話株式会社) 1990.03.30, 第2頁左下欄第10行-第3頁右下欄第4行, 第1図 (ファミリーなし)	1
A	S. S. ANG, A v-groove Schottky/pn diode, Microelectronics Journal, 1989, Vol.20, No.5, p.7-12	1

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページ参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求項 1-17 に係る発明は、「シリコンよりもバンドギャップが広い材料からなる第 1 導電型の第 1 の半導体領域と、前記第 1 の半導体領域の表面に選択的に設けられ、当該第 1 の半導体領域との間に第 1 の接合を形成する第 1 の層と、前記第 1 の半導体領域の表面に選択的に設けられ、当該第 1 の半導体領域との間に第 2 の接合を形成する第 2 の層と、前記第 1 の接合を含む領域からなる第 1 のダイオードと、前記第 2 の接合を含む領域からなる第 2 のダイオードと、を備え、前記第 1 の半導体領域の表面には、凹部と当該凹部の底面よりも突出した凸部とが設けられ、前記第 1 の接合および前記第 2 の接合は、それぞれ前記第 1 の半導体領域の表面から異なる深さに形成されており、前記第 2 のダイオードのビルトイン電位は、前記第 1 のダイオードのビルトイン電位よりも低い」という同一の又は対応する技術的特徴を有する点で共通する。

しかしながら、当該技術的特徴は JP 8-97441 A の段落[0007]-[0010]、図 1-3 & US 5789311 A に記載されているように公知である。

したがって、請求項 1-17 に係る発明は相互に同一の又は対応する特別な技術的特徴によって表現された技術的相互関連性を有しているとは認められない。

よって、請求項 1-17 に係る発明は単一の一般的発明概念を形成するように関連している一群の発明とすることはできない。