



(12)发明专利

(10)授权公告号 CN 105190870 B

(45)授权公告日 2018.02.27

(21)申请号 201480013843.3

(22)申请日 2014.03.11

(65)同一申请的已公布的文献号

申请公布号 CN 105190870 A

(43)申请公布日 2015.12.23

(30)优先权数据

2013-056466 2013.03.19 JP

(85)PCT国际申请进入国家阶段日

2015.09.10

(86)PCT国际申请的申请数据

PCT/JP2014/056304 2014.03.11

(87)PCT国际申请的公布数据

W02014/148308 JA 2014.09.25

(73)专利权人 友立材料株式会社

地址 日本东京都

(72)发明人 细樫茂

(74)专利代理机构 北京林达刘知识产权代理事务
所(普通合伙) 11277

代理人 刘新宇 张会华

(51)Int.Cl.

H01L 23/12(2006.01)

H01L 21/027(2006.01)

(56)对比文件

CN 1988130 A, 2007.06.27,

CN 1273434 A, 2000.11.15,

US 2013/0065383 A1, 2013.03.14,

CN 1497690 A, 2004.05.19,

审查员 赵辉

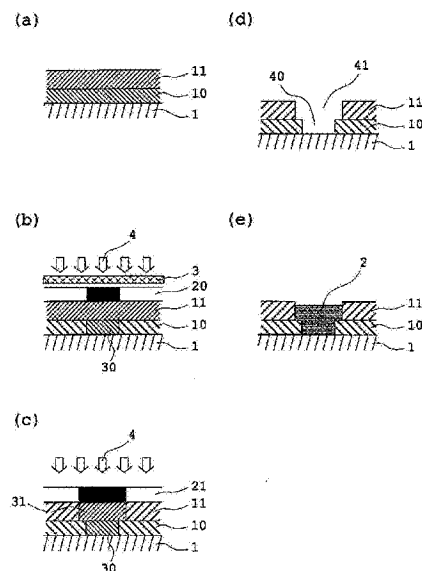
权利要求书1页 说明书7页 附图4页

(54)发明名称

半导体元件搭载用基板的制造方法

(57)摘要

为了提高电极层与树脂之间密合性强度,提供一种增加电极层的厚度并且为了咬入树脂而使电极层的截面形状形成具有凹凸的形状的半导体元件搭载用基板。该半导体元件搭载用基板的制造方法依次经过以下工序:使用主感光波长不同的两种干膜抗蚀剂在基板(1)表面形成多个抗蚀层(10、11)的工序;第1曝光工序,自多个抗蚀层的上方使用第1曝光用掩模(20)从多个抗蚀层中选择性地使特定的抗蚀层(10)以第1图案感光;第2曝光工序,自多个抗蚀层的上方使用第2曝光用掩模(21)从多个抗蚀层中选择性地使特定的抗蚀层(11)以第2图案感光;显影工序,去除多个抗蚀层的未曝光部分(30、31)而使基板的表面局部露出,从而形成具有开口部(40、41)的抗蚀剂掩模(10、11);对基板的表面的暴露的部分实施镀敷从而形成镀层(2)的工序;以及去除抗蚀剂掩模的工序。



1. 一种半导体元件搭载用基板的制造方法,该半导体元件搭载用基板在具有导电性的基板的表面包括有镀层,该镀层能够作为端子来使用,其特征在于,

该半导体元件搭载用基板的制造方法依次经过以下工序:利用主感光波长不同的第1干膜抗蚀剂和第2干膜抗蚀剂在上述基板的表面形成多个抗蚀层的工序;第1曝光工序,自上述多个抗蚀层的上方使用第1曝光用掩模从上述多个抗蚀层中选择性地使由上述第1干膜抗蚀剂形成的至少一个抗蚀层以第1图案感光;第2曝光工序,自上述多个抗蚀层的上方使用第2曝光用掩模从上述多个抗蚀层中使由上述第2干膜抗蚀剂形成的至少一个抗蚀层以第2图案感光;显影工序,去除上述多个抗蚀层的未曝光部分而使上述基板的表面局部暴露,从而形成具有作为截面形状形成有台阶的开口部的抗蚀剂掩模;对上述基板的表面的暴露的部分实施镀敷从而形成作为截面形状形成有台阶的镀层的工序;以及去除上述抗蚀剂掩模的工序。

2. 根据权利要求1所述的半导体元件搭载用基板的制造方法,其特征在于,
使用带通滤波器选择规定波长的紫外线来进行上述第1曝光工序或上述第2曝光工序。

3. 根据权利要求1所述的半导体元件搭载用基板的制造方法,其特征在于,
使用仅能够使所选择的抗蚀层曝光的波长的紫外线进行上述第1曝光工序或上述第2曝光工序。

4. 根据权利要求1所述的半导体元件搭载用基板的制造方法,其特征在于,
上述第2曝光用掩模曝光的面积小于上述第1曝光用掩模曝光的面积。

5. 根据权利要求4所述的半导体元件搭载用基板的制造方法,其特征在于,
在上述基板的表面形成多个抗蚀层的工序包括通过利用上述第1干膜抗蚀剂形成下侧的抗蚀层并利用上述第2干膜抗蚀剂形成上侧的抗蚀层来形成双层构造的工序,在上述第1曝光工序中对上述下侧的抗蚀层进行曝光,在上述第2曝光工序中对上述上侧的抗蚀层进行曝光,从而使在上述显影工序中形成的、暴露基板表面的镀敷用的抗蚀剂掩模的上述开口部的截面为T字状。

6. 根据权利要求4所述的半导体元件搭载用基板的制造方法,其特征在于,
在上述基板的表面形成多个抗蚀层的工序包括通过利用上述第1干膜抗蚀剂形成下侧的抗蚀层、利用上述第2干膜抗蚀剂形成中间的抗蚀层并利用上述第1干膜抗蚀剂形成上侧的抗蚀层来形成三层构造的工序,在上述第1曝光工序中对上述下侧的抗蚀层和上述上侧的抗蚀层进行曝光,在上述第2曝光工序中对上述中间的抗蚀层进行曝光,从而使在上述显影工序中形成的、暴露基板表面的镀敷用的抗蚀剂掩模的上述开口部的截面在两侧具有凸形状。

7. 根据权利要求4所述的半导体元件搭载用基板的制造方法,其特征在于,
在上述基板的表面形成多个抗蚀层的工序包括通过利用上述第2干膜抗蚀剂形成下侧的抗蚀层、利用上述第1干膜抗蚀剂形成中间的抗蚀层并利用上述第2干膜抗蚀剂形成上侧的抗蚀层来形成三层构造的工序,在上述第1曝光工序中对上述中间的抗蚀层进行曝光,在上述第2曝光工序中对上述下侧的抗蚀层和上述上侧的抗蚀层进行曝光,从而使在上述显影工序中形成的、暴露基板表面的镀敷用的抗蚀剂掩模的上述开口部的截面在两侧具有凹形状。

半导体元件搭载用基板的制造方法

技术领域

[0001] 本发明涉及一种半导体元件搭载用基板的制造方法,该半导体元件搭载用基板是在金属板等具有导电性的基板的表面具备有成为端子等的镀层的基板。

背景技术

[0002] 公知有以以下方式制作而成半导体装置:在具有导电性的基材的一表面侧以规定图案形成抗蚀剂掩模,在自抗蚀剂掩模暴露的基材上镀敷导电性金属,从而形成半导体元件搭载用的金属层和用于与外部连接的电极层,通过去除抗蚀剂掩模形成半导体元件搭载用基板,接着,在该半导体元件搭载用基板的金属层部分搭载半导体元件,在将半导体元件和电极层引线键合后进行树脂密封,去除基材,从而在树脂侧使金属层和电极层暴露。

[0003] 这样的半导体装置由以往被称为引线框的厚度为0.1mm~0.25mm的金属基材形成,但代替以往的金属基材,通过使用以0.01mm~0.08mm左右的厚度利用镀敷形成的金属层、电极层来实现薄型化。在该情况下,去除制作所使用的基材,但此时重要的是使利用镀敷形成的金属层、电极层与密封树脂之间可靠地密合并残留在树脂侧。

[0004] 在专利文献1中,记载有这样一种方法:通过使导电性金属超过所形成的抗蚀剂掩模地进行电沉积(镀敷),获得在金属层和电极层的上端部周缘具有突出部的半导体元件搭载用基板,并在树脂密封时使金属层和电极层的突出部以咬入树脂的方式可靠地残留在树脂侧。

[0005] 在专利文献2中记载有这样一种方法:通过使用散射紫外光将抗蚀剂掩模形成为梯形从而将金属层或电极层形成为截面为顶边侧较宽的梯形的形状。

[0006] 现有技术文献

[0007] 专利文献

[0008] 专利文献1:日本特开2002-9196号公报

[0009] 专利文献2:日本特开2007-103450号公报

发明内容

[0010] 发明要解决的问题

[0011] 在专利文献1所述的使导电性金属超过抗蚀剂掩模地进行电沉积的方法中,通过使所形成的金属层的电极层自抗蚀剂掩模扩展(日文:オーバーハング)并通过施加镀敷来形成。该金属层和电极层的扩展量与超过了抗蚀剂掩模的镀层厚度成比例。但是,由于根据抗蚀剂掩模的图案形状、镀敷条件的不同,镀层厚度的偏差较大,因此,金属层和电极层的檐长度也同样地偏差较大。由此,在设定半导体搭载用基板的金属层和电极层的尺寸、间隔等的情况下,必须考虑该檐长度的偏差,从而难以减小金属层和电极层的尺寸、间隔。

[0012] 另外,专利文献2所示的使用散射紫外光将抗蚀剂掩模的开口部的截面形状形成为顶边侧较宽的梯形的方法在所使用的抗蚀层的厚度到25 μ m左右时较为有效。因而,可以说专利文献2所示的方法是在所形成的金属层或电极层的厚度大约到20 μ m左右时较为有效

的方法。

[0013] 但是,例如在将抗蚀层增厚至50 μm 左右的情况下,由于紫外光被抗蚀剂吸收而光越向金属板方向则越逐渐减弱,因此,抗蚀剂掩模的开口部截面形状的梯形的底角变得接近90度(即长方形),或变得比90度更小而成为金属板侧成为长边的梯形形状。因而,在开口部内通过镀敷而形成的金属层或电极层的形状不会成为顶边侧较宽的梯形,因此,金属层与树脂之间或电极层与树脂之间的密合性降低。

[0014] 为了进一步提高半导体元件搭载用基板的金属层与树脂之间和电极层与树脂之间的密合性,有效的方法是进一步增加金属层和电极层的厚度。或者,为了使金属层和电极层咬入树脂,有效的方法是:将金属层和电极层设为截面为顶边侧较宽的梯形形状或形成包括具有凹凸的轮廓或除了设为顶边侧较宽的梯形形状以外还形成为包括具有凹凸的轮廓。

[0015] 因而,优选的是增厚抗蚀层从而增加金属层、电极层的厚度。另外,更优选的是,形成能形成截面为顶边侧较宽的梯形形状或具有凹凸的轮廓的镀层的抗蚀剂掩模,然后使用该抗蚀剂掩模形成截面为顶边侧较宽的梯形形状或包括具有凹凸的轮廓的镀层。另外,通过镀层而形成的金属层、电极层的厚度因梯形的形状、凹凸的形状而不同,但制造半导体元件搭载用基板基本上需要使得金属层、电极层的厚度为30 μm ~100 μm 左右。

[0016] 本发明的半导体元件搭载用基板的制造方法即是为了解决上述的课题而做成的。根据本发明的一实施方式,通过使金属层、电极层形成得较厚且形成为金属层、电极层的截面形状具有凹凸,而能够提供一种可进一步提高金属层与树脂之间、电极层与树脂之间的密合性的半导体元件搭载用基板。

[0017] 用于解决问题的方案

[0018] 为了达成上述目的,本发明的一实施方式为一种半导体元件搭载用基板的制造方法,该半导体元件搭载用基板在具有导电性的基板的表面包括有成为端子等的镀层,其特征在于,该半导体元件搭载用基板的制造方法依次经过以下工序:利用主感光波长不同的第1干膜抗蚀剂和第2干膜抗蚀剂在上述基板的表面形成多个抗蚀层的工序;第1曝光工序,自上述多个抗蚀层的上方使用第1曝光用掩模从上述多个抗蚀层中选择性地使由上述第1干膜抗蚀剂形成的至少一个抗蚀层以第1图案感光;第2曝光工序,自上述多个抗蚀层的上方使用第2曝光用掩模从上述多个抗蚀层中使由上述第2干膜抗蚀剂形成的至少一个抗蚀层以第2图案感光;显影工序,去除上述多个抗蚀层的未曝光部分而使上述基板的表面局部暴露,从而形成具有开口部的抗蚀剂掩模;对上述基板的表面的暴露的部分实施镀敷从而形成镀层的工序;以及去除上述抗蚀剂掩模的工序。

[0019] 另外,在本发明的一实施方式中,优选的是,上述第1曝光用掩模和上述第2曝光用掩模上描绘的图案不同。使用第1曝光用掩模和第2曝光用掩模对包括上述两种干膜抗蚀剂的上述多个抗蚀层进行曝光并显影,从而制作暴露上述基板表面的镀敷用的抗蚀剂掩模,但优选的是,通过使该第1曝光用掩模和第2曝光用掩模上描绘的图案不同,从而在抗蚀剂掩模的上述开口部的截面形成有台阶。

[0020] 另外,在本发明的一实施方式中,优选的是,在曝光时,使用带通滤波器选择规定波长的紫外线来进行上述第1曝光工序或上述第2曝光工序。

[0021] 另外,在本发明的一实施方式中,优选的是,在曝光时,使用仅能够使所选择的抗

蚀层曝光的波长的紫外线进行上述第1曝光工序和上述第2曝光工序。

[0022] 发明的效果

[0023] 在成为半导体基板材料的导电性材料上粘贴两层、三层主感光波长不同的两种干膜抗蚀剂,隔着曝光掩模利用可由目标层感光的单线紫外光进行曝光,从而仅对所粘贴的多层干膜抗蚀剂中的目标层进行图案化曝光,对各层实施以上工序,并对干膜抗蚀剂进行显影,由此,能够制作截面为顶边侧较宽的梯形形状、截面为T形形状或截面的轮廓为凹凸形状的开口部。然后,通过电沉积层叠镀层,能够以干膜抗蚀剂的开口部作为铸模将镀敷金属形成为与上述开口部相同的形状,因此,使金属层、电极层的截面形状形成为具有凹凸的形状,由此,能够提供一种提高金属层与树脂之间、电极层与树脂之间的密合性的半导体元件搭载用基板。

附图说明

[0024] 图1的(a)是利用本发明的一实施方式的制造方法在具有导电性的基板上使用主感光波长不同的两种干膜抗蚀剂形成包含两层的抗蚀剂掩模并进行接下来的处理,而实施了期望的镀敷时的剖视图,图1的(b)和图1的(c)是使用感光波长不同的两种干膜抗蚀剂形成包含三层的抗蚀剂掩模,并实施了期望的镀敷时的剖视图。

[0025] 图2的(a)至图2的(e)是表示沿着实施例1所示的抗蚀层为两层的情况下的制造方法的制造流程的每个工序中的处理的剖视图。

[0026] 图3的(a)至图3的(e)是表示沿着实施例2所示的抗蚀层为三层的情况下的制造方法的制造流程的每个工序中的处理的剖视图。

[0027] 图4的(a)至图4的(e)是表示沿着实施例3所示的抗蚀层为三层的情况下的制造方法的制造流程的每个工序中的处理的剖视图。

具体实施方式

[0028] 首先,在具有导电性的基板的表面使用感光波长不同的干膜抗蚀剂形成两层或三层的抗蚀层。虽然能够形成为四层以上,但导致成本上升,因而优选两层或三层。

[0029] 接着,使用第1曝光用掩模利用可由目标的抗蚀层感光的紫外光进行第1曝光,接着使用第2曝光用掩模利用可由其他的抗蚀层感光的紫外光进行第2曝光,并通过显影在多个抗蚀层上设置开口部从而形成抗蚀剂掩模。此时,曝光用掩模形成为能在开口部截面的轮廓上由多个抗蚀层形成凹凸。形成有该开口部的抗蚀剂掩模用作镀敷用掩模。

[0030] 然后,在所形成的开口部上暴露基板表面,进行所需的电镀处理并形成了截面的轮廓具有凹凸的镀层,之后,剥离抗蚀剂掩模,从而能够获得半导体元件搭载用基板。

[0031] 更具体而言,例如,如图1所示,在成为半导体基板材料的导电性材料1上粘贴两层、三层主感光波长不同的干膜抗蚀剂(例:DI用DFR(h线)、通用DFR(主波长i线)等),隔着曝光掩模利用可由目标的抗蚀层感光的单线紫外光(例:仅h线、仅i线)进行曝光,从而仅对所粘贴的多层抗蚀层中的目标层进行图案化曝光。对各层施加以上工序,并对抗蚀层进行显影,由此,形成包含两层或三层的抗蚀剂掩模10、11、12,并制作截面T形形状(图1的(a))或截面凹凸形状(图1的(b)、图1的(c))的开口部。然后,通过电沉积层叠镀层,以抗蚀剂掩模10、11、12的开口部作为铸模将镀敷金属形成为与上述开口部相同的形状,从而形成镀层

2。

[0032] 实施例

[0033] 实施例1

[0034] 接着,将本发明人进行的一个实验作为本发明的半导体元件搭载用基板的制造方法的一实施例并根据图2进行说明。如图2的(a)所示,在作为具有导电性的基板1的厚度为0.15mm的SUS430的两表面层压厚度为25 μ m的干膜抗蚀剂(旭化成电子材料制:ADH-252)从而形成抗蚀层10(背面侧未图示)。此时的层压条件为辊温度为105℃、辊压力为0.5MPa、输送速度为2.5m/min。另外,层压的干膜抗蚀剂为负型抗蚀剂,为能够利用h线照射(感光波长:405nm)进行曝光的干膜抗蚀剂。

[0035] 接着,以在单面侧(表面侧)的上述抗蚀层10上层叠的方式,在与上述相同的条件下层压感光波长与上述抗蚀层10不同的厚度为50 μ m的干膜抗蚀剂(旭化成电子材料制:AQ-5038),从而形成上层的抗蚀层11。该干膜抗蚀剂也为负型抗蚀剂,但为能够利用i线照射(感光波长:365nm)进行曝光的干膜抗蚀剂。

[0036] 于是,如图2的(a)所示,在基板1的表面侧利用感光波长不同的两种干膜抗蚀剂形成抗蚀层10、11,在背面侧(未图示)形成与表面侧的下层相同的抗蚀层。

[0037] 接着,如图2的(b)所示,在表面侧的抗蚀层10、11上罩上形成有规定图案的曝光用掩模20,在该掩模20与曝光用光源4之间设置有405nm的带通滤波器3。

[0038] 然后,使用主波长为i线且包含h线和g线的混合光线的汞灯(日本オーク制:短弧灯)作为光源4进行曝光,从而利用波长为405nm的紫外光使表面侧的下层的抗蚀层10以描绘于掩模20的图案感光并固化,利用相同的光源使背面侧的抗蚀层10直接整体感光并固化(背面侧未图示)。此时的曝光量为表面侧利用波长为405nm的检测器检测为18mJ/cm²,背面侧利用波长为365nm的检测器检测为80mJ/cm²。

[0039] 此时,表面侧通过405nm的带通滤波器3进行利用h线照射的曝光,上层的抗蚀层11为处于曝光的状态。背面侧成为利用混合光线的曝光而整体固化的抗蚀剂掩模。

[0040] 接着,如图2的(c)所示,在表面侧的抗蚀层10、11上罩上形成有与上述掩模20不同的规定图案的曝光用掩模21,利用上述的光源4(混合光线的汞灯)进行曝光,从而使抗蚀层11以曝光用掩模21的图案感光并固化。此时,掩模20和掩模21的固化的平面面积设为之后进行曝光的掩模21的曝光面积较小,从而不会使之前已曝光的抗蚀层10的未曝光部分30固化。此时的曝光量利用波长为365nm的检测器检测为70mJ/cm²。

[0041] 接着,如图2的(d)所示,通过进行显影,表面侧的上层的抗蚀层11形成规定图案,且成为在未曝光部分31形成有开口部41的抗蚀剂掩模的局部11,另外,下层的抗蚀层10也同样地在未曝光部分30形成有开口部40而成为抗蚀剂掩模的局部10,从而使基板1暴露。该显影处理是通过在使1%碳酸钠溶液的液温为30℃、喷涂压力为0.08MPa的条件下加工大约80秒来实施的。利用开口部40和开口部41形成截面大致T字状的开口部。

[0042] 然后,如图2的(e)所示,在对暴露了基板1的开口部40、41进行了表面氧化皮膜去除和采用通常的镀前处理的表面的活化处理之后,进行镀镍从而形成厚度为45 μ m的镀层(金属层、电极层)2。

[0043] 然后,通过利用碱溶液将形成于基板1的两表面的抗蚀剂掩模10、11全部剥离,而获得形成有截面形状为大致T字状的镀层(金属层、电极层)2的半导体元件搭载用基板。

[0044] 另外,不使用汞灯作为光源,而使用特定波长的紫外线LED灯,由此,还能够不使用带通滤波器而将期望的抗蚀层曝光。

[0045] 另外,由于使形成在背面侧的抗蚀层整体固化,因此能够使用任何类型的干膜抗蚀剂。而且,所形成的镀层2可以通过层叠多个镀层来形成,也可以根据需要进行选择利用金、钯、镍、铜、钴等以及它们的合金进行镀敷并通过依次层叠上述金属及合金所形成的镀层来形成。

[0046] 实施例2

[0047] 接着,将本发明人进行的使用三层干膜抗蚀剂的情况下的实验作为实施例2并根据图3进行说明。如图3的(a)所示,使用厚度为0.15mm的Cu板作为基板1,在基板1的两表面层压厚度为25 μ m的干膜抗蚀剂(旭化成电子材料制:ADH-252)从而形成抗蚀层10(背面侧未图示)。此时的进行层压条件为辊温度为105℃、辊压力为0.5MPa、输送速度为2.5m/min。另外,层压的干膜抗蚀剂为负型抗蚀剂,为能够利用h线照射(感光波长:405nm)进行曝光的抗蚀剂。

[0048] 接着,以在单面侧(表面侧)的上述抗蚀层10上层叠的方式,在与上述相同的条件下层压感光波长与上述抗蚀层10不同的厚度为25 μ m的干膜抗蚀剂(旭化成电子材料制:AQ-2558),从而形成第二层的抗蚀层11。该干膜抗蚀剂也为负型抗蚀剂,但为能够利用i线照射(感光波长:365nm)进行曝光的抗蚀剂。

[0049] 接着,以在单面侧(表面侧)的上述抗蚀层10、11上层叠的方式,在与上述相同的条件下层压与上述抗蚀层10相同的干膜抗蚀剂(旭化成电子材料制:ADH-252),从而形成最上层的抗蚀层12。

[0050] 于是,如图3的(a)所示,在基板1的表面侧上利用感光波长不同的两种干膜按顺序地形成三层抗蚀层10、11、12,在背面侧(未图示)形成与表面侧的最下层相同的抗蚀层。

[0051] 接着,如图3的(b)所示,在表面侧的抗蚀层10、11、12上罩上形成有规定图案的曝光用掩模20,在该掩模20与曝光用光源4之间设置有405nm的带通滤波器3。

[0052] 然后,使用主波长为i线且包含h线和g线的混合光线的汞灯(日本オーク制:短弧灯)作为光源4进行曝光,从而利用波长为405nm的紫外光使表面侧的最上层的抗蚀层12和最下层的抗蚀层10以描绘于掩模20的图案感光并固化,利用相同的光源使背面侧的抗蚀层10直接整体感光并固化(背面侧未图示)。此时的曝光量为表面侧利用波长为405nm的检测器检测为30mJ/cm²,背面侧利用波长为365nm的检测器检测为80mJ/cm²。

[0053] 此时,表面侧通过405nm的带通滤波器3进行利用h线照射的曝光,夹在最上层与最下层之间的中间的抗蚀层11处于未曝光的状态。背面侧成为利用混合光线的曝光而整体固化的抗蚀层。

[0054] 接着,如图3的(c)所示,在表面侧的抗蚀层10、11、12上罩上形成有与上述掩模20不同的规定图案的曝光用掩模21,利用上述的光源4(混合光线的汞灯)进行曝光,从而使抗蚀层11以曝光用掩模21的图案感光并固化。此时,掩模20和掩模21的固化的平面面积设为之后进行曝光的掩模21的曝光面积较小,从而不会使之前已曝光的抗蚀层10的未曝光部分30和抗蚀层12的未曝光部分32固化。此时的曝光量利用波长为365nm的检测器检测为70mJ/cm²。

[0055] 接着,如图3的(d)所示,通过进行显影,表面侧的最上层的抗蚀层12和最下层的抗

蚀层10形成规定图案,最上层的抗蚀层12成为在未曝光部分32形成有开口部42的抗蚀剂掩模的局部12,另外,最下层的抗蚀层10成为在未曝光部分30形成有开口部40的抗蚀剂掩模的局部10。另外,夹在最上层与最下层之间的中间的抗蚀层11也同样地在未曝光部分31形成有开口部41而成为抗蚀剂掩模的局部11,从而使基板1暴露。该显影处理是通过在使1%碳酸钠溶液的液温为30℃、喷涂压力为0.08MPa的条件下加工大约120秒来实施的。利用开口部40和开口部41以及开口部42形成两侧具有凹形状的抗蚀剂掩模的截面形状。

[0056] 然后,如图3的(e)所示,在对暴露了基板1的开口部40、41、42进行了表面氧化皮膜去除和采用通常的镀前处理的表面活化处理之后,进行镀镍从而形成厚度为70μm的镀层(金属层、电极层)2。

[0057] 然后,通过利用碱溶液将形成于基板1的两表面的抗蚀剂掩模10、11、12全部剥离,而获得形成有截面形状为两侧具有凸形状的镀层(金属层、电极层)2的半导体元件搭载用基板。

[0058] 另外,不使用汞灯作为光源,而使用特定波长的紫外线LED灯,由此,还能够不使用带通滤波器而将所需的抗蚀层曝光。

[0059] 另外,由于使形成在背面侧的抗蚀层整体固化,因此能够使用任何类型的干膜抗蚀剂。而且,所形成的镀层2可以通过层叠多个镀层而形成,也可以根据需要进行选择利用金、钯、镍、铜、钴等以及它们的合金进行镀敷并通过依次层叠上述金属及合金所形成的镀层而形成。

[0060] 实施例3

[0061] 将本发明人进行的同样地使用三层干膜抗蚀剂的情况下的其他的实验作为实施例3并根据图4进行说明。如图4的(a)所示,使用厚度为0.15mm的Cu板作为基板1,在基板1的两表面层压厚度为25μm的干膜抗蚀剂(旭化成电子材料制:AQ-2558)从而形成抗蚀层10(背面侧未图示)。此时的层压条件为辊温度为105℃、辊压力为0.5MPa、输送速度为2.5m/min。另外,层压的干膜抗蚀剂为负型抗蚀剂,为能够利用i线照射(感光波长:365nm)曝光的抗蚀剂。

[0062] 接着,以在单面侧(表面侧)的上述抗蚀层10上层叠的方式,在与上述相同的条件下层压感光波长与上述抗蚀层10不同的厚度为25μm的干膜抗蚀剂(旭化成电子材料制:ADH-252),从而形成上层的抗蚀层11。该干膜抗蚀剂也为负型抗蚀剂,但为能够利用h线照射(感光波长:405nm)进行曝光的抗蚀剂。

[0063] 接着,以在单面侧(表面侧)的上述抗蚀层10、11上层叠的方式,在与上述相同的条件下层压与上述抗蚀层10相同的干膜抗蚀剂(旭化成电子材料制:AQ-2558),从而形成最上层的抗蚀层12。

[0064] 于是,如图4的(a)所示,在基板1的表面侧上利用感光波长不同的两种干膜按顺序地形成三层抗蚀层10、11、12,在背面侧(未图示)形成与表面侧的最下层相同的抗蚀层。

[0065] 接着,如图4的(b)所示,在表面侧的抗蚀层10、11、12上罩上形成有规定图案的曝光用掩模20,在该掩模20与曝光用光源4之间设置有405nm的带通滤波器3。

[0066] 然后,使用主波长为i线且包含h线和g线的混合光线的汞灯(日本オーク制:短弧灯)作为光源4进行曝光,从而利用波长为405nm的紫外光使表面侧的中间的抗蚀层11以描绘于掩模20的图案感光并固化,利用相同的光源使背面侧的抗蚀层直接整体感光并固化

(背面侧未图示)。此时的曝光量为表面侧利用波长为405nm的检测器检测为 $16\text{mJ}/\text{cm}^2$,背面侧利用波长为365nm的检测器检测为 $80\text{mJ}/\text{cm}^2$ 。

[0067] 此时,表面侧通过405nm的带通滤波器3进行利用h线照射的曝光,最上层的抗蚀层12和最下层的抗蚀层10处于未曝光的状态。背面侧成为利用混合光线的曝光而整体固化的抗蚀层。

[0068] 接着,如图4的(c)所示,在表面侧的抗蚀层10、11、12上罩上形成有与上述掩模20不同的规定图案的曝光用掩模21,利用上述的光源4(混合光线的汞灯)进行曝光,从而使最上层的抗蚀层12和最下层的抗蚀层10以曝光用掩模21的图案感光并固化。此时,掩模20和掩模21的固化的平面面积设为之后进行曝光的掩模21的曝光面积较小,从而不会使之前已曝光的抗蚀层11的未曝光部分31固化。此时的曝光量利用波长为365nm的检测器检测为 $100\text{mJ}/\text{cm}^2$ 。

[0069] 接着,如图4的(d)所示,通过进行显影,表面侧的最上层的抗蚀层12和最下层的抗蚀层10成为规定图案,最上层的抗蚀层12成为在未曝光部分32形成有开口部42的抗蚀剂掩模的局部12,另外,最下层的抗蚀层10成为在未曝光部分30形成有开口部40的抗蚀剂掩模的局部10,另外,夹在最上层与最下层之间的中间的抗蚀层11也同样地在未曝光部分31形成有开口部41而成为抗蚀剂掩模的局部11,从而使基板1暴露。该显影处理是通过在使1%碳酸钠溶液的液温为 30°C 、喷涂压力为 0.08MPa 的条件下加工大约120秒来实施的。利用开口部40和开口部41以及开口部42在两侧形成具有凹形状的抗蚀剂掩膜的截面形状。

[0070] 然后,如图4的(e)所示,在对暴露了基板1的开口部40、41、42进行了表面氧化皮膜去除和采用通常的镀前处理的表面活化处理之后,进行镀镍从而形成厚度为 $70\mu\text{m}$ 的镀层(金属层、电极层)2。

[0071] 然后,通过利用碱溶液将形成于基板1的两表面的抗蚀剂掩模10、11、12全部剥离,而获得形成有截面形状为两侧具有凹形状的镀层(金属层、电极层)2的半导体元件搭载用基板。

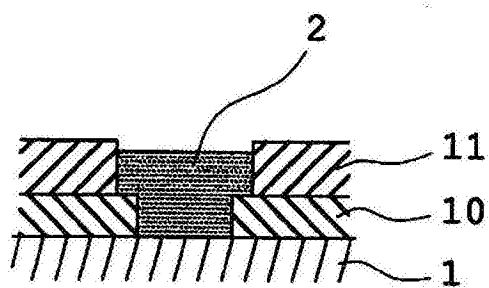
[0072] 另外,不使用汞灯作为光源,而使用特定波长的紫外线LED灯,由此,还能够不使用带通滤波器而将所需的抗蚀层曝光。

[0073] 另外,由于使形成在背面侧的抗蚀层整体固化,因此能够使用任何类型的干膜抗蚀剂。而且,所形成的镀层2可以通过层叠多个镀层而形成,也可以根据需要进行选择利用金、钯、镍、铜、钴等以及它们的合金进行镀敷并通过依次层叠上述金属及合金所形成的镀层而形成。

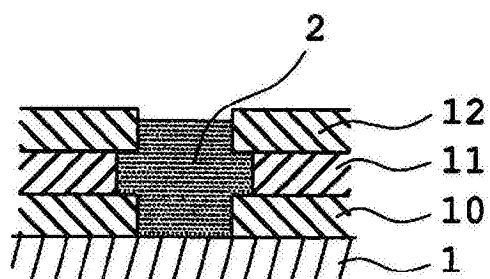
[0074] 附图标记说明

[0075] 1、基板;2、镀层(金属层、电极层);3、带通滤波器;4、光源;10、11、12、抗蚀层(抗蚀剂掩模);20、21、曝光用掩模;30、31、32、未曝光部分;40、41、42、开口部。

(a)



(b)



(c)

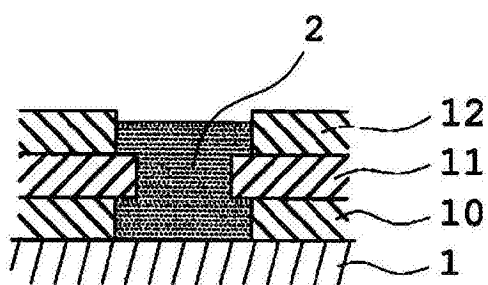


图1

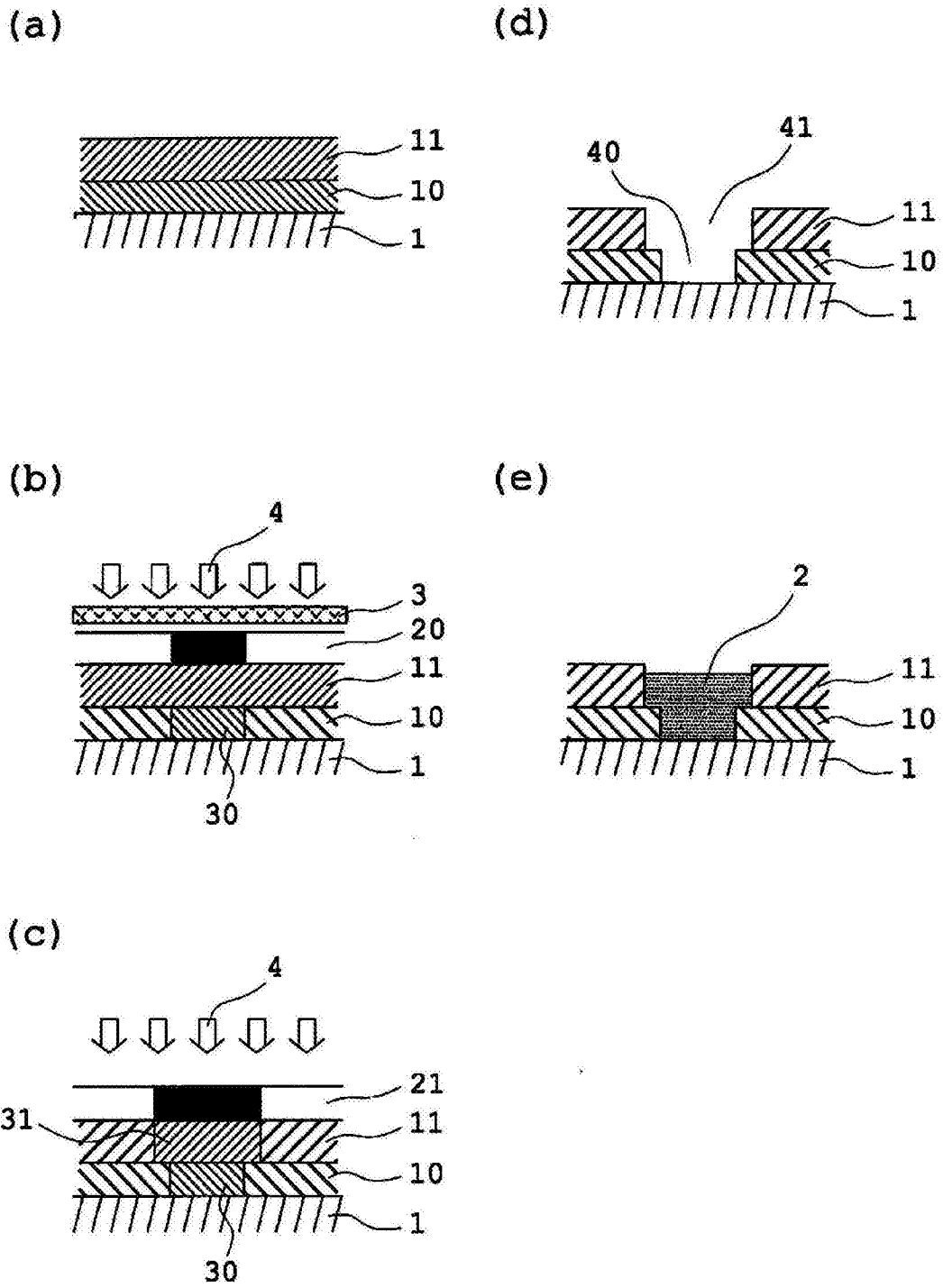


图2

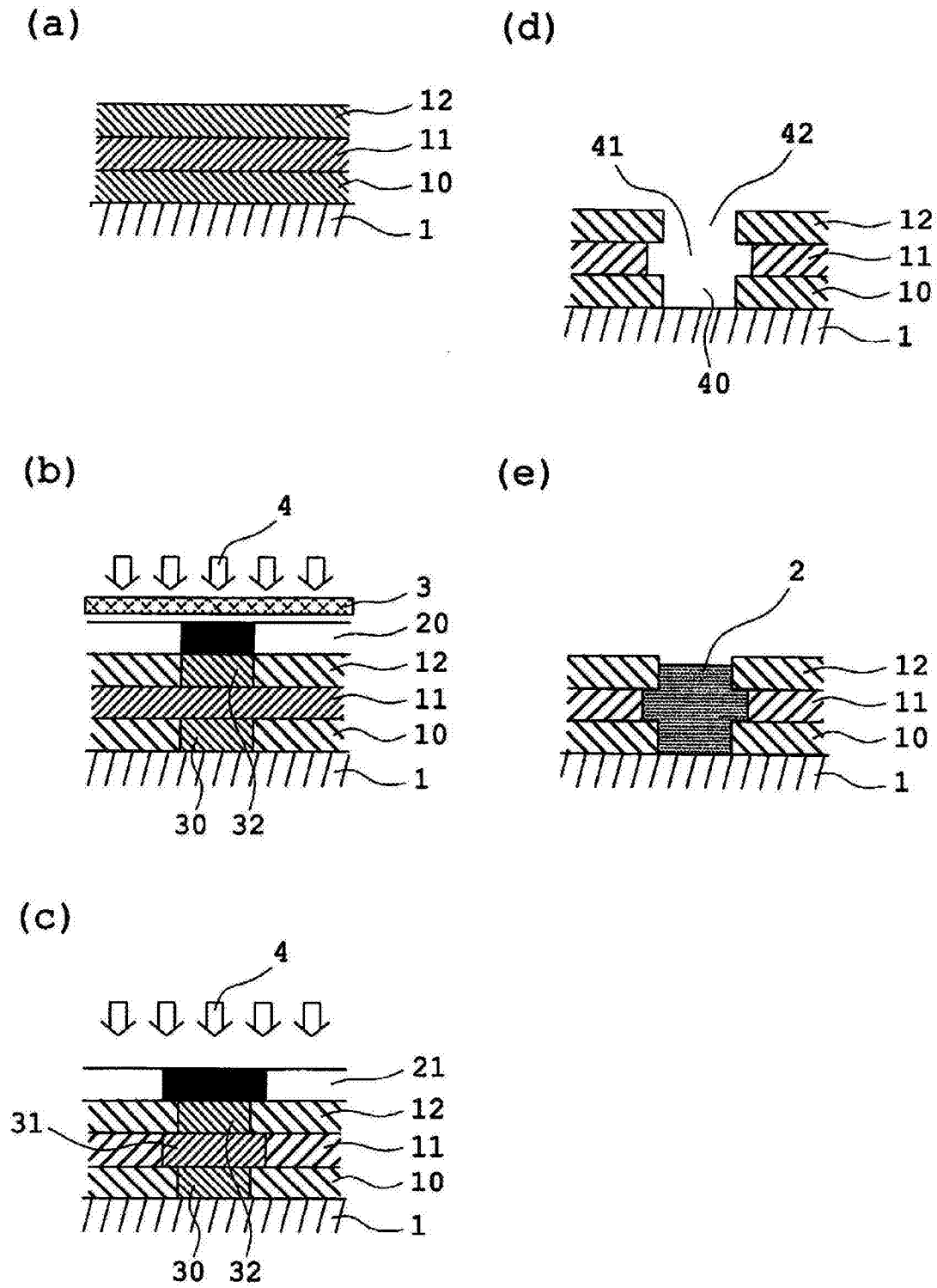


图3

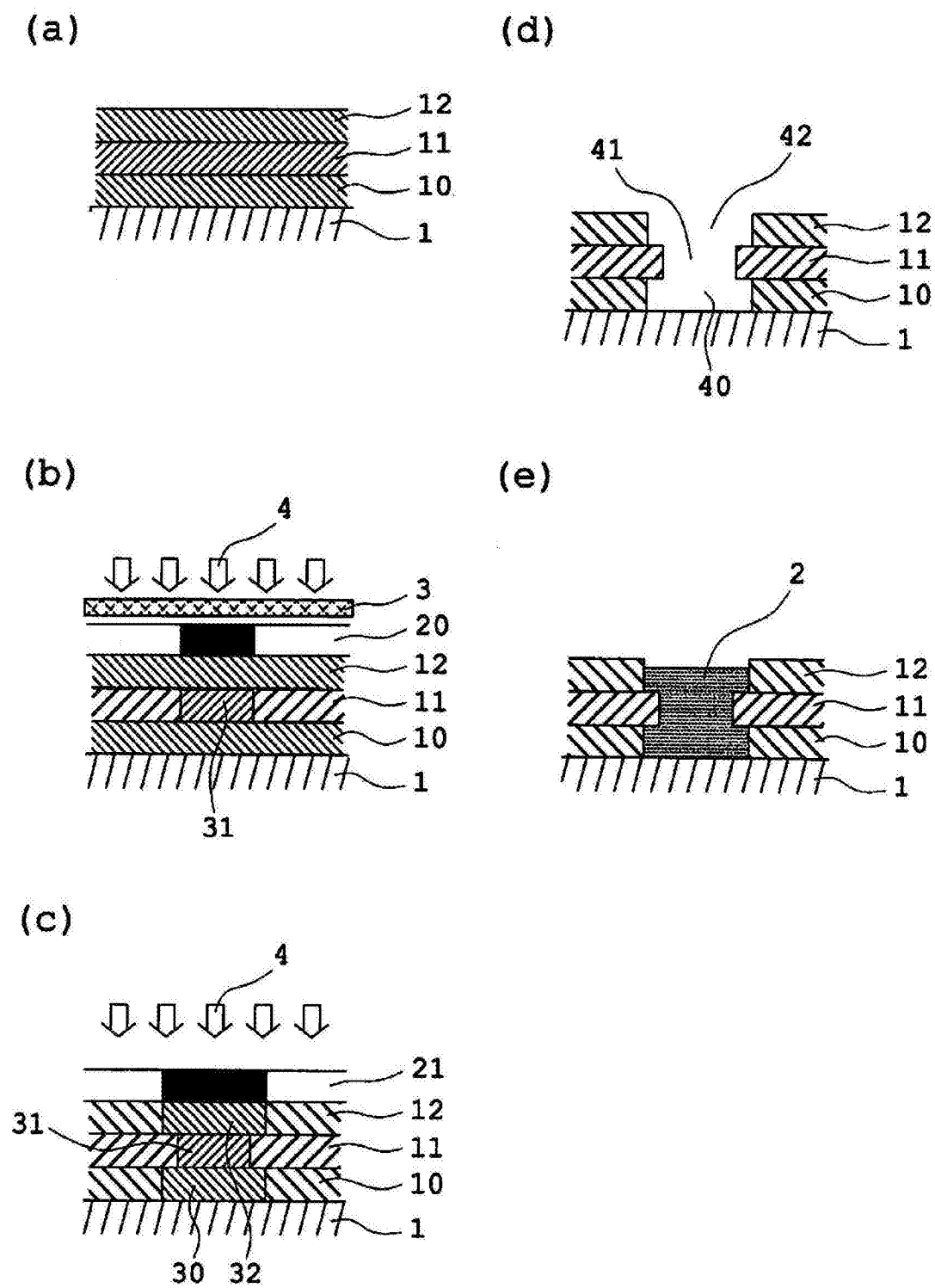


图4