

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4009846号
(P4009846)

(45) 発行日 平成19年11月21日(2007.11.21)

(24) 登録日 平成19年9月14日(2007.9.14)

| | | |
|--------------------------|--------------|---|
| (51) Int. Cl. | F I | |
| HO 1 L 25/065 (2006.01) | HO 1 L 25/08 | Z |
| HO 1 L 25/07 (2006.01) | HO 1 L 21/88 | J |
| HO 1 L 25/18 (2006.01) | | |
| HO 1 L 21/3205 (2006.01) | | |
| HO 1 L 23/52 (2006.01) | | |

請求項の数 11 (全 11 頁)

| | | | |
|-----------|-------------------------------|-----------|-------------------------------|
| (21) 出願番号 | 特願2003-7279 (P2003-7279) | (73) 特許権者 | 000002369 |
| (22) 出願日 | 平成15年1月15日(2003.1.15) | | セイコーエプソン株式会社 |
| (65) 公開番号 | 特開2004-221347 (P2004-221347A) | | 東京都新宿区西新宿2丁目4番1号 |
| (43) 公開日 | 平成16年8月5日(2004.8.5) | (74) 代理人 | 100090387 |
| 審査請求日 | 平成17年3月18日(2005.3.18) | | 弁理士 布施 行夫 |
| | | (74) 代理人 | 100090398 |
| | | | 弁理士 大淵 美千栄 |
| | | (72) 発明者 | 横山 好彦 |
| | | | 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 |
| | | 審査官 | 今井 淳一 |
| | | (56) 参考文献 | 特開2003-273155 (JP, A) |
| | | |) |
| | | | 最終頁に続く |

(54) 【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

(57) 【特許請求の範囲】

【請求項1】

スタックされた複数の半導体チップを有し、

それぞれの前記半導体チップは、第1の面から第2の面に貫通する貫通電極を有し、前記貫通電極は、前記第1の面の側に凹部を有し、前記第2の面の側に凸部を有し、

前記複数の半導体チップのうち第1の半導体チップの前記凸部によって、前記複数の半導体チップのうち第2の半導体チップの前記凹部が気密状態で塞がれて、前記凹部内に閉空間が形成され、前記閉空間は、減圧され、

前記第1の半導体チップの前記凸部は、前記第2の半導体チップの前記凹部に入り込んでなり、

前記凹部を気密状態で塞ぐために、前記凸部及び前記凹部の周囲に封止材料が設けられ、

前記凸部は、先端に向かうにつれて細くなるように形成されてなる半導体装置。

【請求項2】

請求項1記載の半導体装置において、

前記凹部は、底から開口に向けて拡がるように形成されてなる半導体装置。

【請求項3】

スタックされた複数の半導体チップを有し、

それぞれの前記半導体チップは、第1の面から第2の面に貫通する貫通電極を有し、前記貫通電極は、前記第1の面の側に凹部を有し、前記第2の面の側に凸部を有し、

10

20

前記複数の半導体チップのうち第1の半導体チップの前記凸部によって、前記複数の半導体チップのうち第2の半導体チップの前記凹部が気密状態で塞がれて、前記凹部に閉空間が形成され、前記閉空間は、減圧されてなり、

前記第1の半導体チップの前記凸部は、前記第2の半導体チップの前記凹部の開口部に接合されてなり、

前記凹部を気密状態で塞ぐために、前記凸部及び前記凹部の周囲に封止材料が設けられ、

前記凸部は、先端に向かうにつれて拡がるように形成されてなる半導体装置。

【請求項4】

請求項3記載の半導体装置において、

前記凹部は、底から開口に向けてすぼむように形成されてなる半導体装置。

【請求項5】

請求項1から請求項4のいずれかに記載の半導体装置において、

前記貫通電極は、前記凹部の内側面を形成する側壁部と、前記凹部の底面を形成する底壁部と、を有し、

前記側壁部は、前記第2の面から突出しないように形成され、

前記底壁部は、少なくとも一部が前記第2の面から突出して前記凸部を構成する半導体装置。

【請求項6】

(a) 第1の面から第2の面に貫通する貫通電極を有し、前記貫通電極は、前記第1の面の側に凹部を有し、前記第2の面の側に凸部を有する複数の半導体基板をスタックすること、

(b) 減圧雰囲気下で、前記複数の半導体基板のうち第1の半導体基板の前記凸部によって、前記複数の半導体チップのうち第2の半導体基板の前記凹部を気密状態に塞いで、前記凹部に閉空間を形成すること、及び、

(c) その後、前記減圧雰囲気を大気圧に開放すること、
を含み、

前記(b)工程で、前記凹部を気密状態で塞ぐために、前記凸部及び前記凹部の周囲に封止材料を設ける半導体装置の製造方法。

【請求項7】

請求項6記載の半導体装置の製造方法において、

前記(a)工程で、前記凸部を前記凹部に入り込ませ、前記凸部の表面と前記凹部の内面を接触させる半導体装置の製造方法。

【請求項8】

請求項7記載の半導体装置の製造方法において、

前記(a)工程前に、前記凸部の表面と前記凹部の内面の少なくとも一方には絶縁膜が形成されており、

前記凸部の表面と前記凹部の内面の摩擦によって、前記絶縁膜を除去する半導体装置の製造方法。

【請求項9】

請求項6記載の半導体装置の製造方法において、

前記(b)工程で、前記凸部の先端部を前記凹部の開口部に接合する半導体装置の製造方法。

【請求項10】

請求項1から請求項5のいずれかに記載の半導体装置が実装されてなる回路基板。

【請求項11】

請求項1から請求項5のいずれかに記載の半導体装置を有する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

10

20

30

40

50

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【従来の技術】

【0003】

【特許文献1】

特開2000-164638号公報

【0004】

【発明の背景】

3次元実装形態の半導体装置が開発されている。例えば、貫通電極が形成された半導体チップをスタックし、上下の半導体チップを貫通電極によって電氣的に接続することが知られている。貫通電極は、半導体チップに形成された貫通穴の内部にその材料を充填して形成する。しかし、気泡が生じないように、そして、熱によって気泡が膨張して半導体チップが破損しないように、材料を充填することが難しい場合があった。また、上下の貫通電極の接合部分に気泡が生じないようにすることも難しい場合があった。

10

【0005】

本発明の目的は、半導体装置の信頼性を高めることにある。

【0006】

【課題を解決するための手段】

(1) 本発明に係る半導体装置は、スタックされた複数の半導体チップを有し、それぞれの前記半導体チップは、第1の面から第2の面に貫通する貫通電極を有し、前記貫通電極は、前記第1の面の側に凹部を有し、前記第2の面の側に凸部を有し、前記複数の半導体チップのうち第1の半導体チップの前記凸部によって、前記複数の半導体チップのうち第2の半導体チップの前記凹部が気密状態で塞がれて、前記凹部内に閉空間が形成され、前記閉空間は、減圧されてなる。本発明によれば、凹部内に形成された閉空間は減圧されているので、熱によって気泡が膨張して半導体チップが破損することがない。したがって、半導体装置の信頼性が高まる。

20

(2) この半導体装置において、前記第1の半導体チップの前記凸部は、前記第2の半導体チップの前記凹部に入り込んでいてもよい。

(3) この半導体装置において、前記凸部は、先端に向かうにつれて細くなるように形成されていてもよい。

30

(4) この半導体装置において、前記凹部は、底から開口に向けて広がるように形成されていてもよい。

(5) この半導体装置において、前記第1の半導体チップの前記凸部は、前記第2の半導体チップの前記凹部の開口部に接合されていてもよい。

(6) この半導体装置において、前記凸部は、先端に向かうにつれて広がるように形成されていてもよい。

(7) この半導体装置において、前記凹部は、底から開口に向けてすぼむように形成されていてもよい。

40

(8) この半導体装置において、前記貫通電極は、前記凹部の内側面を形成する側壁部と、前記凹部の底面を形成する底壁部と、を有し、

前記側壁部は、前記第2の面から突出しないように形成され、

前記底壁部は、少なくとも一部が前記第2の面から突出して前記凸部を構成してもよい。

(9) この半導体装置において、前記凹部を気密状態で塞ぐために、前記凸部及び前記凹部の周囲に設けられた封止材料をさらに有してもよい。

(10) 本発明に係る半導体装置の製造方法は、(a) 第1の面から第2の面に貫通する貫通電極を有し、前記貫通電極は、前記第1の面の側に凹部を有し、前記第2の面の側に

50

凸部を有する複数の半導体基板をスタックすること、

(b) 減圧雰囲気下で、前記複数の半導体基板のうち第1の半導体基板の前記凸部によって、前記複数の半導体チップのうち第2の半導体基板の前記凹部を気密状態に塞いで、前記凹部内に閉空間を形成すること、及び、

(c) その後、前記減圧雰囲気を大気圧に開放すること、を含む。本発明によれば、凹部内に形成された閉空間は減圧されているので、熱によって気泡が膨張して半導体チップが破損することがない。したがって、半導体装置の信頼性が高まる。

(11) この半導体装置の製造方法において、前記(a)工程で、前記凸部を前記凹部に入り込ませ、前記凸部の表面と前記凹部の内面を接触させてもよい。 10

(12) この半導体装置の製造方法において、前記(a)工程前に、前記凸部の表面と前記凹部の内面の少なくとも一方には絶縁膜が形成されており、前記凸部の表面と前記凹部の内面の摩擦によって、前記絶縁膜を除去してもよい。

(13) この半導体装置の製造方法において、前記(b)工程で、前記凸部の先端部を前記凹部の開口部に接合してもよい。

(14) この半導体装置の製造方法において、前記(b)工程で、前記凹部を気密状態で塞ぐために、前記凸部及び前記凹部の周囲に封止材料を設けてもよい。 20

(15) 本発明に係る回路基板は、上記半導体装置が実装されてなる。

(16) 本発明に係る電子機器は、上記半導体装置を有する。

【0007】

【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照して説明する。

【0008】

(第1の実施の形態)

図1(A)～図4は、本発明を適用した第1の実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、半導体基板10を使用する。図1(A)に示す半導体基板10は、半導体ウエハであるが半導体チップであってもよい。半導体基板10には、少なくとも1つの(半導体ウエハには複数の、半導体チップには1つの)集積回路(例えばトランジスタやメモリを有する回路)12が形成されている。半導体基板10には、複数の電極(例えばパッド)14が形成されている。各電極14は、集積回路12に電気的に接続されている。各電極14は、アルミニウムで形成されていてもよい。電極14の表面の形状は特に限定されないが矩形であることが多い。半導体基板10が半導体ウエハである場合、複数の半導体チップとなる各領域に、2つ以上(1グループ)の電極14が形成される。 30

【0009】

半導体基板10には、1層又はそれ以上の層のパッシベーション膜16, 18が形成されている。パッシベーション膜16, 18は、例えば、SiO₂、SiN、ポリイミド樹脂などで形成することができる。図1(A)に示す例では、パッシベーション膜16上に電極14が形成されている。また、他のパッシベーション膜18が電極14の表面の少なくとも一部を避けて形成されている。パッシベーション膜18は、電極14の表面を覆って形成した後、その一部をエッチングして電極14の一部を露出させてもよい。エッチングにはドライエッチング及びウェットエッチングのいずれを適用してもよい。パッシベーション膜18のエッチングのときに、電極14の表面がエッチングされてもよい。 40

【0010】

本実施の形態では、半導体基板10に、その第1の面20から凹部22を形成する。凹部22は、底から開口に向けて拡がるように形成してもよい。第1の面20は、電極14が形成された側(集積回路12が形成された側)の面である。凹部22は、集積回路12の 50

素子及び配線を避けて形成する。電極 1 4 に貫通穴 2 4 を形成してもよい。貫通穴 2 4 の形成には、エッチング（ドライエッチング又はウェットエッチング）を適用してもよい。エッチングは、リソグラフィ工程によってパターンニングされたレジスト（図示せず）を形成した後に行ってもよい。電極 1 4 の下にパッシベーション膜 1 6 が形成されている場合、これにも貫通穴 2 6 を形成する。電極 1 4 のエッチングがパッシベーション膜 1 6 で止まる場合、貫通穴 2 6 の形成には、電極 1 4 のエッチングに使用したエッチャントを別のエッチャントに換えてもよい。その場合、再び、リソグラフィ工程によってパターンニングされたレジスト（図示せず）を形成してもよい。貫通穴 2 4（及び貫通穴 2 6）は、凹部 2 2 の一部であってもよい。

【 0 0 1 1 】

凹部 2 2 の形成には、エッチング（ドライエッチング又はウェットエッチング）を適用することができる。エッチングは、リソグラフィ工程によってパターンニングされたレジスト（図示せず）を形成した後に行ってもよい。あるいは、凹部 2 2 の形成に、レーザ（例えば CO_2 レーザ、YAG レーザ等）を使用してもよい。レーザは、貫通穴 2 4、2 6 の形成に適用してもよい。一種類のエッチャント又はレーザによって、貫通穴 2 4、2 6 の形成から凹部 2 2 の形成に至る工程を連続して行ってもよい。なお、凹部 2 2 の内面は、絶縁層によって形成してもよい。絶縁層は、酸化膜であってもよい。例えば、半導体基板 1 0 の基材が Si である場合、絶縁層は SiO_2 であってもよいし SiN であってもよい。凹部 2 2 の底面も絶縁層によって形成してもよい。

【 0 0 1 2 】

図 1 (B) に示すように、凹部 2 2 に導電層 2 8 を形成する。導電層 2 8 は、凹部 2 2 を埋めないように形成する。例えば、導電層 2 8 を有底筒状に形成してもよい。凹部 2 2 の内面（内側面及び底面）に形成された導電層 2 8 の表面によって、凹部 3 0 を形成する。凹部 3 0 は、底から開口に向けて広がるように形成してもよい。導電層 2 8 は、少なくともバリア層を含んでもよい。バリア層は、その上に形成される層の材料が、半導体基板 1 0（例えば Si）に拡散することを防止するものである。バリア層は、例えば TiW、TiN で形成してもよい。導電層 2 8 を電解メッキで形成する場合、導電層 2 8 は、シード層を含んでもよい。シード層は、バリア層を形成した後に形成する。シード層は、例えば Cu で形成する。導電層 2 8 の表面層は、Cu、W、ドーブドポリシリコン（例えば低温ポリシリコン）のいずれかで形成してもよい。

【 0 0 1 3 】

導電層 2 8 をパッシベーション膜 1 8 上にも一旦形成した後、導電層 2 8 のパッシベーション膜 1 8 上の部分をエッチングしてもよい。導電層 2 8 は、電極 1 4 を完全に覆って保護してもよい。その場合、導電層 2 8 の一部は、パッシベーション膜 1 8 上に載っていてもよい。導電層 2 8 は、電極 1 4（例えばその上面又は貫通穴 2 4 の内面）に接触していてもよい。凹部 2 2 の内壁面が絶縁層によって形成されていれば、半導体基板 1 0 と導電層 2 8 との電気的な接続が遮断される。

【 0 0 1 4 】

図 1 (C) に示すように、導電層 2 8 によって形成された凹部 3 0 に導電材料 3 2 を設けてもよい。導電材料 3 2 は、凹部 3 0 を埋めないように、その底部にのみ設ける。導電材料 3 2 は、メッキ（電解メッキ・無電解メッキ）によって設けてもよい。あるいは、導電材料 3 2 を液状で用意し、インクジェット方式等によって、これを凹部 3 0 に吐出又は滴下してもよい。その場合、液状の導電材料 3 2 は、凹部 3 0 内で硬化させる。

【 0 0 1 5 】

また、導電層 2 8 には、凹部 3 0 の開口端部にろう材 3 4 を設けてもよい。ろう材 3 4 は、例えばハンダ又はインジウム等で形成し、軟ろう及び硬ろうのいずれで形成してもよい。ろう材 3 4 は、電解メッキで形成してもよい。凹部 3 0 の開口端部で、導電層 2 8 がフランジを形成するように外方向に屈曲している場合、凹部 3 0 の開口端部に導電部 2 8 の角部が形成される。角部には、電解メッキを行うときに電流が集中するので、ろう材 3 4 を設けやすい。

10

20

30

40

50

【0016】

本実施の形態では、図2(A)に示すように、半導体基板10の第2の面(第1の面20とは反対側の面)36を、例えば機械研磨・研削及び化学研磨・研削の少なくとも一つの方法によって削る。そして、導電層28を第2の面36から突出させる。例えば、導電層28(又はその下の絶縁層)が露出する手前まで機械研磨・研削を行い、その後、化学研磨・研削によって、導電層28を削らないように半導体基板10をエッチングしてもよい。なお、この工程は、半導体基板10の第1の面20の側に、例えば樹脂層や樹脂テープからなる補強部材を設けて行ってもよい。

【0017】

以上の工程により、貫通電極40を形成することができる。半導体基板10は、複数の貫通電極40を有する。貫通電極40は、第1の面20から第2の面36に貫通する。貫通電極40は、第1の面20の側に凹部30を有する。凹部30は、底から開口に向けて拡がるように形成されていてもよい。凹部30の内側面を形成する側壁部は、導電層28の一部(側部の上部)からなる。側壁部は、第2の面36から突出しないようになっている。凹部30の底面を形成する底壁部は、導電層28の一部(側部の下部及び底部)及び導電材料32からなる。底壁部は、その少なくとも一部(その全部あるいは一部のみ)が第2の面36から突出して凸部42を構成する。すなわち、貫通電極40は、第2の面36の側に凸部42を有する。凸部42は、先端に向かうにつれて細くなるように形成されていてもよい。

【0018】

図2(B)に示すように、複数の半導体基板10をスタックする。そのとき、1つの(第1の)半導体基板10の貫通電極40の凸部42と、他の(第2の)半導体基板10の貫通電極40の凹部30を合わせる。本実施の形態では、凸部42を凹部30に入り込ませてもよい。凹部30が底から開口に向けて拡がる形状であれば、凸部42を凹部30に入れやすい。また、凸部42が先端に向かうにつれて細くなるように形成されていれば、凸部42を凹部30に入れやすい。凸部42の表面と凹部30の内面を接触させてもよい。凸部42の表面と凹部30の内面の少なくとも一方に絶縁膜が形成されている場合には、凸部42の表面と凹部30の内面の摩擦によって絶縁膜を除去してもよい。複数の半導体基板10を貫通電極40によって電気的に接続する。すなわち、上下の(第1及び第2の)半導体基板10の凸部42及び凹部30を電気的に接続(例えば接合)する。凸部42の外側面と凹部30の内側面が接触していてもよい。

【0019】

本実施の形態では、減圧雰囲気下で、第1の半導体基板10の凸部42によって、第2の半導体基板10の凹部30を気密状態に塞いで、凹部30内に閉空間44を形成する。また、ろう材34によって、凹部30及び凸部42の接合部をシールしてもよい。ろう材34によって接合強度が増す。

【0020】

その後、減圧雰囲気を大気圧に開放する。閉空間44は、気密状態が維持されており、減圧されたまま(例えば真空)になっている。したがって、熱によって気泡が膨張して半導体チップが破損することがない。したがって、半導体装置の信頼性が高まる。

【0021】

図3に示すように、凹部30を気密状態で塞ぐために、凸部30及び凹部42(例えばその接合部)の周囲に封止材料46を設けてもよい。封止材料46は、スタックされた半導体基板10の間に充填してもよい。なお、封止材料46を設ける工程は、減圧雰囲気を大気圧に開放する前に行ってもよいし、大気圧に開放後に行ってもよい。

【0022】

スタックされた半導体基板10のうち、最も外側の凸部42を有する半導体基板10には、貫通電極を有しない半導体基板50をスタックしてもよい。半導体基板50の内容は、貫通電極を有しない点を除き、半導体基板10の内容が該当する。したがって、半導体基板10の凸部42を、半導体基板50の電極54に接合してもよい。

10

20

30

40

50

【 0 0 2 3 】

図 4 に示すように、スタックされた半導体基板 1 0 あるいはこれに加えて半導体基板 5 0 が半導体ウエハである場合、これらを切断（例えばダイシング）してもよい。切断には、カッタ（例えばダイサ）5 2 又はレーザ（例えば C O₂レーザ、Y A Gレーザ等）を使用してもよい。以上の工程により、半導体装置を製造することができる。なお、上述した例では、スタックされる半導体基板 1 0 の全てが半導体ウエハであったが、半導体ウエハである半導体基板 1 0 に、半導体チップである半導体基板 1 0 をスタックしてもよい。

【 0 0 2 4 】

図 5 は、本実施の形態に係る半導体装置を示す図である。半導体装置は、スタックされた複数の半導体チップ 6 0 を有する。半導体チップ 6 0 は、第 1 の面 2 0 から第 2 の面 3 6 に貫通する貫通電極 4 0 を有する。貫通電極 4 0 は、第 1 の面 2 0 の側に凹部 3 0 を有し、第 2 の面 3 6 の側に凸部 4 2 を有する。いずれかの（第 1 の）半導体チップ 6 0 の凸部 4 2 によって、他の（第 2 の）半導体チップ 6 0 の凹部 3 0 が気密状態で塞がれている。凹部 3 0 内に閉空間 4 4 が形成されている。閉空間 4 4 は、減圧されてなる。

【 0 0 2 5 】

スタックされた半導体チップ 6 0 のうち、最も外側の凸部 4 2 を有する半導体チップ 6 0 には、貫通電極を有しない半導体チップ 7 0 をスタックしてもよい。半導体チップ 7 0 の内容は、貫通電極を有しない点を除き、半導体チップ 6 0 の内容が該当する。したがって、半導体チップ 6 0 の凸部 4 2 を、半導体チップ 7 0 の電極 7 4 に接合してもよい。

【 0 0 2 6 】

スタックされた複数の半導体チップ 6 0 は、配線基板 8 0 に実装されてもよい。スタックされた複数の半導体チップ 6 0 のうち、最も外側の半導体チップ 6 0 は、配線基板（例えばインターポーザ）8 0 に実装してもよい。その実装にはフェースダウンボンディングを適用してもよい。その場合、最も外側（例えば最も下側）の凹部 3 0 を有する半導体チップ 6 0 が、配線基板 8 0 に実装される。また、貫通電極 4 0 と配線パターン 8 2 が電氣的に接続（例えば接合）される。配線基板 8 0 には、スルーホール 8 4 が形成されており、両面の電氣的な接続を図ってもよい。スルーホール 8 4 の開口と凹部 3 0 の開口を位置合わせしてもよい。こうすることで、凹部 3 0 が外部に開放され、閉空間が形成されず、気泡の膨張による破損が生じない。あるいは、図示しない例として、スタックされた複数の半導体チップ 6 0 を、配線基板 8 0 にフェースアップボンディングしてもよい。その場合、半導体チップ 6 0 の凸部 4 2 を配線パターン 8 2 に電氣的に接続（例えば接合）する。配線基板 8 0 には、配線パターン 8 2 に電氣的に接続された外部端子（例えばハンダボール）が設けられている。あるいは、半導体チップ 6 0 に応力緩和層を形成し、その上に電極 1 4 から配線パターンを形成し、その上に外部端子を形成してもよい。その他の内容は、上述した製造方法から導くことができる。

【 0 0 2 7 】

（第 2 の実施の形態）

図 6 (A) ~ 図 6 (B) は、本発明の第 2 の実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、図 6 (A) に示すように、貫通電極 1 4 0 を有する半導体基板 1 1 0 を使用する。貫通電極 1 4 0 は、凹部 1 3 0 及び凸部 1 4 2 を有する。凹部 1 3 0 は、底から開口に向けてすぼむように形成されている。凸部 1 4 2 は、先端に向かうにつれて広がるように形成されている。この点を除き、貫通電極 1 4 0 には、第 1 の実施の形態で説明した貫通電極 4 0 の内容（構成及び製造方法を含む。）が該当し、半導体基板 1 1 0 には、第 1 の実施の形態で説明した半導体基板 1 0 の内容（構成及び製造方法を含む。）が該当する。

【 0 0 2 8 】

図 6 (B) に示すように、複数の半導体基板 1 1 0 をスタックする。そして、1 つの（第 1 の）半導体基板 1 1 0 の凸部 1 4 2 を、他の（第 2 の）半導体基板 1 1 0 の凹部 1 3 0 の開口部に接合する。接合には、ろう接を適用してもよい。例えば、予め凹部 1 3 0 の開口部（例えば角部）に設けられたろう材 1 3 4 を使用してもよい。こうして、凹部 1 3 0

10

20

30

40

50

を気密状態で塞いで閉空間 144 を形成する。閉空間 144 の形成は、減圧雰囲気下で行う。減圧雰囲気を大気圧に開放すると、閉空間 144 は減圧された状態となる。その詳細は、第 1 の実施の形態で説明した内容が該当する。また、本実施の形態に係る製造方法によって製造された半導体装置は、上記製造方法から導くことができる内容を有する。その作用効果も、第 1 の実施の形態で説明した通りである。

【0029】

図 7 には、複数の半導体チップが積層されてなる半導体装置 1 が実装された回路基板 1000 が示されている。上述した半導体装置を有する電子機器として、図 8 にはノート型パーソナルコンピュータ 2000 が示され、図 9 には携帯電話 3000 が示されている。

【0030】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【図面の簡単な説明】

【図 1】 図 1 (A) ~ 図 1 (C) は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 2】 図 2 (A) ~ 図 2 (B) は、本発明を適用した第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 3】 図 3 は、本発明を適用した第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 4】 図 4 は、本発明を適用した第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 5】 図 5 は、本発明を適用した第 1 の実施の形態に係る半導体装置を示す図である。

【図 6】 図 6 (A) ~ 図 6 (B) は、本発明の第 2 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 7】 図 7 は、本発明の実施の形態に係る回路基板を示す図である。

【図 8】 図 8 は、本発明の実施の形態に係る電子機器を示す図である。

【図 9】 図 9 は、本発明の実施の形態に係る電子機器を示す図である。

【符号の説明】

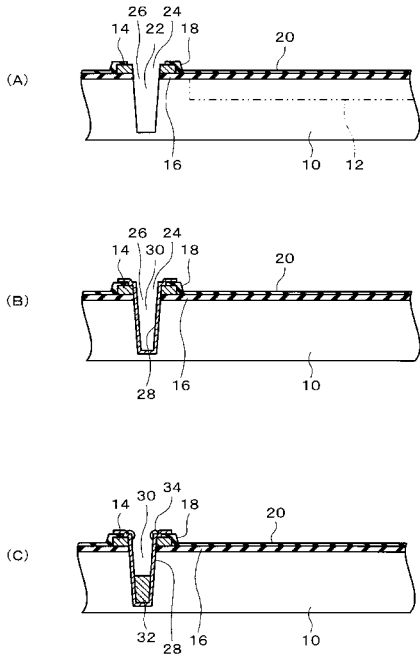
10 半導体基板、 12 集積回路、 20 第 1 の面、 30 凹部、
36 第 2 の面、 40 貫通電極、 42 凸部、 44 閉空間、
46 封止材料、 60 半導体チップ

10

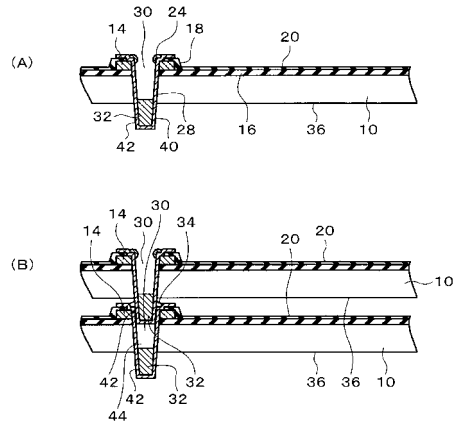
20

30

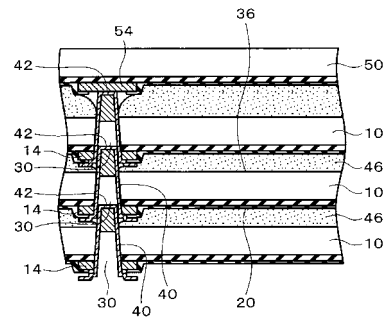
【 図 1 】



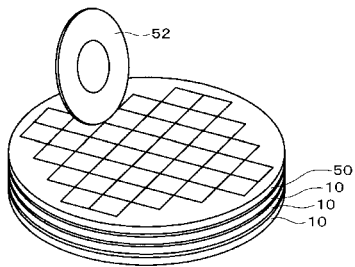
【 図 2 】



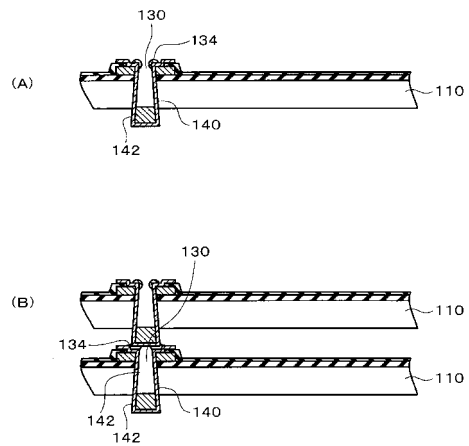
【 図 3 】



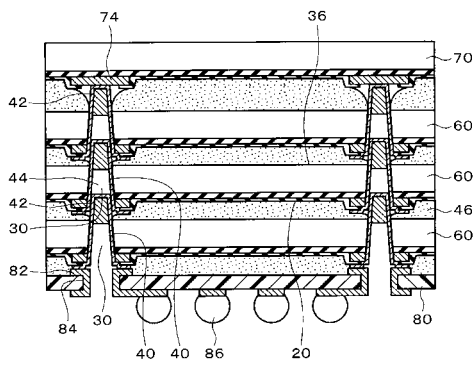
【 図 4 】



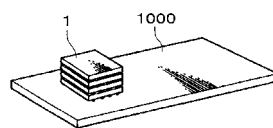
【 図 6 】



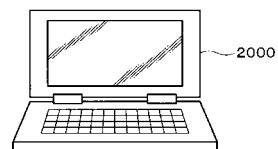
【 図 5 】



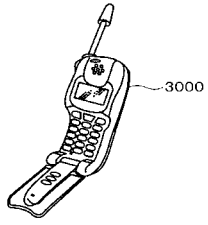
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

H01L 25/065

H01L 21/3205

H01L 23/52