Innovation, Sciences et Développement économique Canada
Office de la Propriété Intellectuelle du Canada

Innovation, Science and Economic Development Canada
Canadian Intellectual Property Office

CA 2887077 C 2023/09/26

(11)(21) 2 887 077

(12) BREVET CANADIEN
CANADIAN PATENT

(13) C

(22) Date de dépôt/Filing Date: 2015/04/01

(41) Mise à la disp. pub./Open to Public Insp.: 2015/10/07

(45) Date de délivrance/Issue Date: 2023/09/26

(30) Priorités/Priorities: 2014/04/07 (US61/976,078); 2014/07/21 (FR14 57 007)

(51) Cl.Int./Int.Cl. *G06F 15/16* (2006.01), *B64D 47/00* (2006.01), *G06F 13/00* (2006.01), *G06F 3/14* (2006.01)

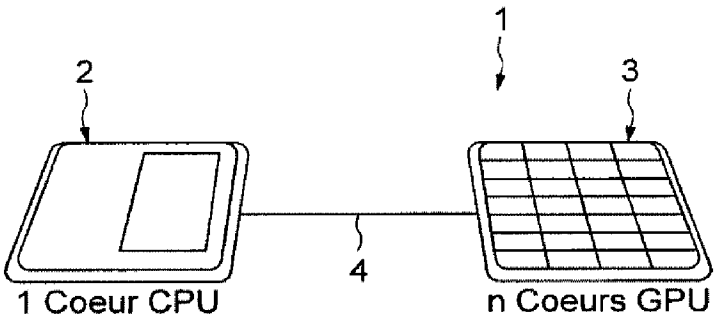
(72) Inventeurs/Inventors:
ZANTE, ETIENNE DENIS MARIE, FR;
ANDREOLETTI, REMI, FR

(73) Propriétaire/Owner:
SAFRAN ELECTRICAL & POWER, FR

(74) Agent: ROBIC

(54) Titre : SYSTEME DE TRAITEMENT DE DONNEES POUR INTERFACE GRAPHIQUE ET INTERFACE GRAPHIQUE COMPORTANT UN TEL SYSTEME DE TRAITEMENT DE DONNEES

(54) Title: DATA TREATMENT SYSTEM FOR GRAPHICAL INTERFACE AND GRAPHICAL INTERFACE COMPRISING SUCH A DATA TREATMENT SYSTEM



(57) Abrégé/Abstract:
Ce système de traitement de données pour interface graphique comprend au moins un processeur de calcul graphique (GPU) et au moins une unité centrale de traitement (CPU) qui communique avec le processeur de calcul graphique, ladite unité centrale de traitement et ledit processeur de calcul graphique comprenant chacun un ensemble de c urs de traitement de données (C1,..., C6) et (C1',...C6') respectivement.
Les c urs de traitement de données du processeur de calcul graphique sont chacun reliés à un c ur de traitement de données de l'unité centrale de traitement par un moyen de transfert unique de données dédié (B1,..., B6) de manière à réaliser un transfert de données en parallèle entre ledit processeur de calcul graphique et ladite unité centrale de traitement.

ABREGE DESCRIPTIF

Ce système de traitement de données pour interface graphique comprend au moins un processeur de calcul graphique (GPU) et au moins une unité centrale de traitement (CPU) qui communique avec le processeur de calcul graphique, ladite unité centrale de traitement et ledit processeur de calcul graphique comprenant chacun un ensemble de cœurs de traitement de données (C1,..., C6) et (C1',...C6') respectivement.

Les cœurs de traitement de données du processeur de calcul graphique sont chacun reliés à un cœur de traitement de données de l'unité centrale de traitement par un moyen de transfert unique de données dédié (B1,..., B6) de manière à réaliser un transfert de données en parallèle entre ledit processeur de calcul graphique et ladite unité centrale de traitement.

Date Reçue/Date Received 2021-11-11

Système de traitement de données pour interface graphique et interface graphique comportant un tel système de traitement de données

La présente invention concerne les systèmes de traitement de données pour interface graphique et concerne en particulier les systèmes de traitement de données fondés sur l'utilisation d'un processeur de calcul graphique (GPU, pour « Graphic Processing Unit ») pouvant coopérer avec une unité centrale de traitement (CPU, pour « Central Processing Unit »).

Elle se rapporte également à une interface homme/machine utilisant un tel système de traitement.

Une application particulièrement intéressante de l'invention concerne les systèmes de traitement de données pour interfaces homme/machine embarquées à bord d'aéronefs.

Il existe en effet un besoin pour disposer d'interfaces homme/machine tactiles à bord d'aéronefs.

Dans le domaine des interfaces graphiques, les systèmes de traitement de données sont classiquement utilisés pour exécuter des calculs graphiques et créer des contenus graphiques destinés à être affichés sur un écran de l'interface. Il peut en particulier s'agir de créer des contenus graphiques comportant des zones tactiles manipulables manuellement, en l'espèce par un pilote, pour l'exécution de fonctions prédéfinies.

Dans l'état de la technique, de manière générale, les architectures de traitement de données peuvent être réalisées sous la forme de CPU simples cœurs, d'unités centrales de traitement multiples (multi-CPU) ou CPU multicoeurs. Pour la réalisation de calculs graphiques, on utilise des architectures massivement multicoeurs et l'on utilise en particulier des processeurs de calcul graphique coopérant avec une unité centrale de traitement pour augmenter la puissance de calcul.

En ce qui concerne les CPU simples cœurs, le composant de base d'une telle architecture est le processeur, qui est un composant permettant l'interprétation d'instructions machine définissant des programmes informatiques.

Comme on le sait, pour qu'un système intégrant un processeur puisse fonctionner, il est couplé à une mémoire permanente, qui permet le stockage du programme à exécuter, à une mémoire rapide pour la lecture et l'écriture des variables utilisées lors de l'exécution des programmes, et de périphériques, de type entrée/sortie, bus de communication, contrôleur mémoire, ..., assurant l'échange de données avec l'extérieur du système.

Les processeurs modernes intégrés sur puce intègrent également un bus de communication et de la mémoire cache, très rapide, pour le stockage, au plus près de la zone d'exécution du programme, des variables utilisées par le programme, seules les variables de taille relativement importante ou moins utilisées étant envoyées vers la mémoire rapide.

Les SoC (pour « System on Chip ») intègrent, en plus du processeur, un certain nombre de périphériques.

Enfin, les microcontrôleurs sont des puces qui intègrent l'ensemble des éléments nécessaires au fonctionnement du processeur, à savoir mémoire et périphérique.

En ce qui concerne les CPU simples cœurs, les besoins croissants de puissance pour les processeurs tendent à augmenter progressivement la fréquence de fonctionnement, rendue possible par la finesse de gravure du silicium toujours plus importante. Mais l'augmentation de la fréquence provoque également une augmentation très importante de la consommation, de sorte que le gain en puissance devient marginal devant l'augmentation de la consommation. Il a donc été proposé de répliquer les cœurs de calcul afin de paralléliser l'exécution d'un programme sans pour autant augmenter la fréquence de fonctionnement.

Dans une architecture CPU multicoeur classique, chaque cœur possède un premier niveau de mémoire cache, dite mémoire cache de

premier niveau. Les différents cœurs peuvent partager ensuite une autre mémoire cache dite de second niveau. Un troisième niveau de mémoire cache peut être prévu lorsque l'on souhaite regrouper certains cœurs.

La parallélisation des tâches et l'attribution à l'un ou l'autre des cœurs des instructions à effectuer se fait via le jeu d'instructions interprété par le processeur et par le système d'exploitation (OS) implémenté qui peuvent attribuer telle ou telle tâche en fonction des différents cœurs. On parle alors de processeur multicoeur. Une telle stratégie d'implémentation peut également être applicable aux SoC multicoeurs.

Une autre stratégie consiste à prévoir une architecture similaire à l'architecture classique mais, au lieu de paralléliser le fonctionnement, les différents cœurs sont utilisés pour fiabiliser le traitement. Les cœurs exécutent les mêmes instructions au coup d'horloge près, et les traitements sont ensuite comparés afin d'obtenir un fonctionnement fiable dans des conditions critiques. Cette stratégie est connue sous le terme de « Lockstep ».

Une autre stratégie consiste à répliquer un système plutôt qu'un cœur. On parle alors de multiprocesseur. Chaque processeur est indépendant et ne partage pas de mémoire cache avec les autres. Ce type d'architecture est généralement implanté en externe pour réaliser des supercalculateurs ou des groupes de serveurs reliés en réseau pour réaliser des calculs relativement lourds nécessitant des ressources de calcul importantes.

En ce qui concerne les architectures GPU, les unités de traitement graphique sont, comme les CPU, des architectures de calcul exécutant un jeu d'instructions. Un GPU est toutefois un processeur optimisé pour les calculs graphiques tels que, accélération matérielle, calculs tridimensionnels, décodage vidéo, ...

Depuis longtemps, les GPU sont composés de multiples cœurs de calcul qui se répartissent les tâches graphiques. Il s'agit d'architectures de traitement parallèles. Comme indiqué précédemment, les GPU sont massivement multicoeurs et peuvent

comporter plus de 1000 cœurs, pour les plus performants. Les différents cœurs se voient attribuer un certain nombre de calculs à effectuer par un contrôleur.

En ce qui concerne les systèmes de traitement de données destinés à être embarqués à bord d'aéronefs, comme on le conçoit, ce type de système électronique est soumis à des contraintes sévères de maîtrise du matériel employé et de déterminisme, qui impose de déterminer de manière certaine le fonctionnement du système, par exemple en ce qui concerne la durée de transfert de données. Ils nécessitent une validation et une certification par les autorités compétentes. Les systèmes de traitement de données pour les interfaces homme-machine embarquées pour avions commerciaux doivent ainsi satisfaire un certain nombre de règles et de recommandations de développement.

Dans l'état de la technique, les systèmes de calcul embarqués sont généralement réalisés à partir de composants pris sur étagère ou « COTS » (pour « Commercial Off The Shelf »), c'est-à-dire de composants fabriqués en grande série pour réduire les coûts de fabrication et de maintenance. Toutefois, l'utilisation de composants COTS conventionnels pose en premier lieu des problèmes d'obsolescence, imposant de provisionner un grand nombre de composants et de les stocker afin de garantir la maintenabilité du produit. Compte tenu du temps de développement et de la durée de vie d'un produit pour l'aéronautique, qui peuvent atteindre plusieurs dizaines d'années, il est courant que les composants utilisés lors de la conception d'un système électronique soient en fait obsolètes même avant la fin du processus de conception, obligeant à réaliser des phases de modification et de recertification périodiques.

En second lieu, les composants électroniques COTS sont généralement dérivés de marchés grands publics ou du secteur des télécommunications et sont dès lors optimisés pour des applications non aéronautiques. Leur utilisation dans le domaine aéronautique implique la désactivation des applications d'origine, leur modification

pour les rendre compatibles avec le domaine aéronautique puis une certification, engendrant des coûts supplémentaires.

Par ailleurs, les systèmes multicoeurs usuels comportent uniquement des mémoires et des systèmes périphériques partagés entre les différents cœurs de calcul. Il en résulte un besoin d'arbitrage dans les accès potentiellement concurrents auxdits systèmes périphériques. La gestion de ces accès concurrents dans un système classique COTS est faite par un système de cohérence non maîtrisé. L'utilisation de composants de type COTS dans un système aéronautique impose donc la mise en place d'un grand nombre de verrous logiciels et matériels permettant de garantir le fonctionnement du composant dans le respect des recommandations des autorités de certification. L'ajout de ces verrous implique une dégradation forte des performances des unités centrales de traitement de données.

D'autre part, les unités de traitement graphiques conventionnelles utilisent des interfaces de programmation utilisant des fonctions normalisées de calcul de type openGL (pour « Open Graphics Library ») pour élaborer des interfaces prototypes qui, après validation, sont retraitées par des outils logiciels compatibles avec le domaine aéronautique pour l'élaboration de l'interface finale. Il en résulte une modification de l'interface d'origine de sorte que, après retraitement, l'interface finale embarquée à bord d'un cockpit peut être sensiblement différente de celle qui a été développée à l'origine et validée par les utilisateurs finaux.

Au vu de ce qui précède, le but que se propose d'atteindre l'invention est de proposer un système de traitements de données pour interface graphique permettant de pallier les inconvénients précités et, en particulier, de proposer une architecture de traitement de données adaptée au monde critique de l'aéronautique.

L'invention a donc pour objet, selon un premier aspect, un système de traitement de données pour une interface graphique comprenant au moins un processeur de calcul graphique et au moins une unité centrale de traitement qui communique avec le processeur de calcul graphique, ledit au moins un processeur de calcul graphique et

Date Reçue/Date Received 2021-11-11

ladite au moins une unité centrale de traitement comprenant chacun un ensemble de cœurs de traitement de données respectivement.

Selon une caractéristique générale du système de traitement de données selon l'invention, chaque cœur de traitement de données dudit au moins un processeur de calcul graphique sont chacun reliés à un cœur de traitement de données de ladite au moine une unité centrale de traitement par un unique moyen de transfert de données dédié, de manière à réaliser un transfert de données en parallèle entre ledit processeur de calcul graphique et ladite unité centrale de traitement.

En d'autres termes, l'invention permet une optimisation de la puissance de calcul à des fins d'utilisation en aéronautique en multipliant les cœurs de traitement CPU/GPU pour obtenir une architecture clonée ayant les mêmes avantages de parallélisation des tâches qu'une architecture multicœur, sans les inconvénients de complexité et de ressources partagées qui ne sont pas envisageables pour des raisons de sécurité et de criticité aéronautiques.

Selon une autre caractéristique de l'invention, au moins une partie des cœurs de traitement de données comportent chacun un cœur de calcul assurant l'exécution d'instructions sur les données et un moyen de transfert de données local interne relié à des dispositifs périphériques dédiés chacun à un cœur de traitement.

Les cœurs de traitement de données peuvent être reliés entre eux par un moyen de transfert de données global interne audit processeur de calcul graphique ou à ladite unité centrale de traitement et reliés à des dispositifs périphériques partagés entre les cœurs de traitement de données.

Les systèmes de traitement peuvent en outre comporter des moyens d'arbitrage pour arbitrer l'accès aux dispositifs périphériques partagés entre les cœurs de traitement de données.

Dans un mode de réalisation, les moyens d'arbitrage comportent un ordonnanceur attribuant périodiquement et successivement à chaque cœur un intervalle de temps pendant lequel ledit cœur est autorisé à communiquer avec les dispositifs périphériques partagés par l'intermédiaire du bus global.

Date Reçue/Date Received 2021-11-11

Le système peut encore comporter un système d'exploitation global partagé entre plusieurs cœurs de traitement.

Selon encore une autre caractéristique de l'invention, le système comporte des moyens pour combiner les sorties de chaque cœur de traitement du processeur de calcul graphique.

L'invention a encore pour objet une interface graphique pour cockpit d'aéronef comportant un système de traitement de données tel que défini ci-dessus.

Selon un autre aspect, l'invention a également pour objet une interface graphique pour cockpit d'aéronef qui comporte un système de traitement de données te que décrit ci-dessus; un système d'exploitation permettant d'attribuer une parallélisation des tâches en fonction des différents cœurs de traitement de données de ladite au moins une unité centrale de traitement et du au moins un processeur de calcul graphique; et une application graphique distincte et indépendante des autres applications graphique, où ladite application graphique distincte et indépendante génère une image graphique liée à celle-ci.

D'autres buts, caractéristiques et avantages de l'invention apparaîtront à la lecture de la description suivante, donnée uniquement à titre d'exemple non limitatif, et faite en référence aux dessins annexés sur lesquels :

- les figures 1 à 3 illustrent des exemples de mise en œuvre de couplages entre un CPU et un GPU, selon l'état de la technique ;

- la figure 4 illustre un mode de couplage entre un CPU et un GPU selon l'invention ;

- la figure 5 illustre l'architecture générale d'un système de traitement de données conforme à l'invention ; et

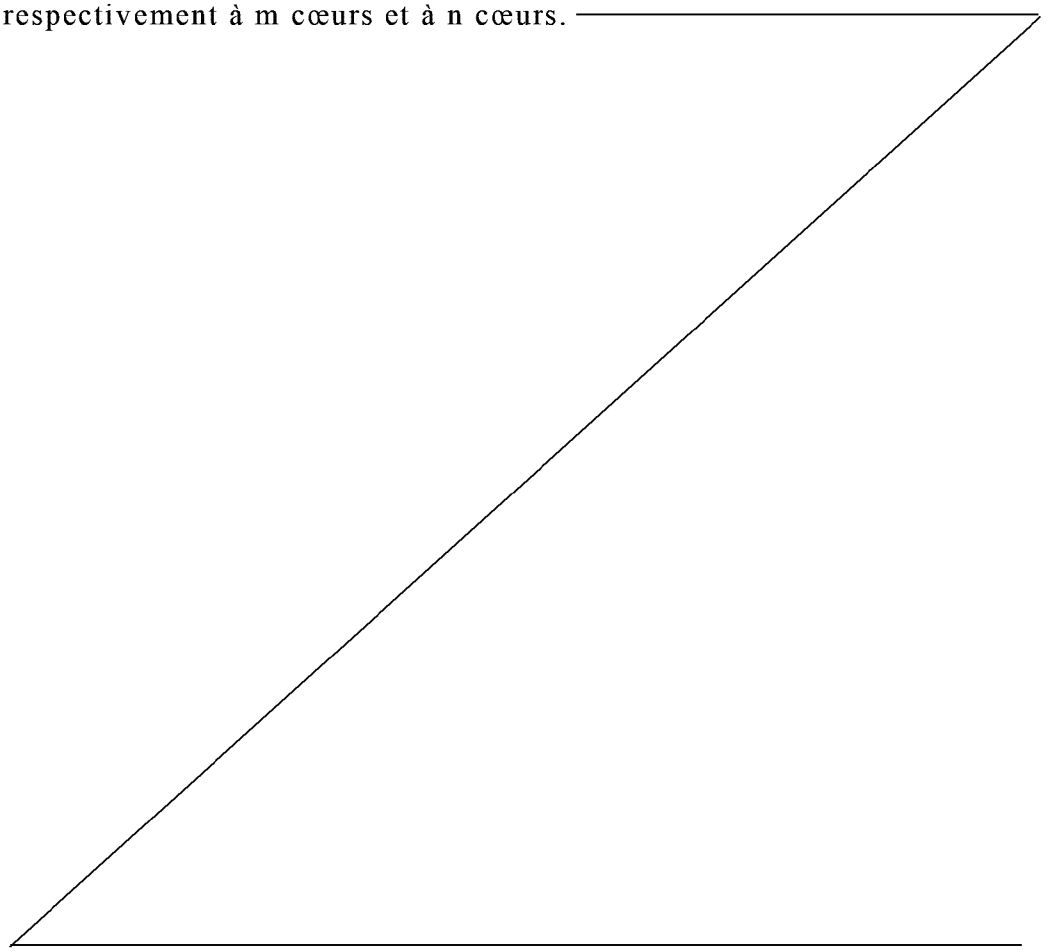
- la figure 6 montre une partie d'un système de traitement de données conforme à l'invention montrant l'utilisation de périphériques dédiés à chaque cœur de traitement et de dispositifs périphériques partagés.

Date Reçue/Date Received 2021-11-11

On se référera tout d'abord aux figures 1 à 3 qui montrent différentes configurations d'une architecture 1 CPU/GPU simple cœur ou multicoeur selon l'état de la technique.

Comme on le voit, dans l'état de la technique, chaque unité centrale de traitement (CPU) 2 communique avec son processeur de calcul graphique (GPU) 3 associé par un unique bus de communication 4 global partagé entre les cœurs.

Il peut s'agir, dans diverses configurations, d'un CPU et d'un GPU simples cœurs (figure 1), d'un CPU simple cœur et d'un GPU multicoeur (figure 2), ou encore d'un CPU et d'un GPU multicoeurs, respectivement à m cœurs et à n cœurs.



Date Reçue/Date Received 2021-11-11

Selon un tel agencement, dans lequel le bus de communication est commun aux cœurs de l'unité centrale CPU et du processeur graphique GPU, lorsqu'un cœur de l'unité centrale CPU met en œuvre une application logicielle, il exploite l'ensemble des cœurs du processeur GPU.

Par ailleurs, les cœurs du processeur GPU sont partagés, ce qui implique notamment une mise à jour et une certification simultanées de l'ensemble de cœurs.

L'emploi d'un bus global nécessite en outre de prévoir un arbitrage poussé pour autoriser l'accès au processeur. Le temps de transfert de données sur le bus commun n'est toutefois pas garanti. En particulier, lorsque le nombre de cœurs augmente, la gestion des priorités et le calcul des temps d'accès s'avèrent plus complexes à mettre en œuvre. De surcroît, le nombre d'entrées et sorties est limité.

Ainsi, le fonctionnement déterministe de ce type de composants, notamment en ce qui concerne la durée de transfert de données qui ne peut être déterminée de manière certaine, n'est pas garanti.

On a représenté sur la figure 4 une architecture CPU/GPU selon l'invention permettant de pallier ces inconvénients.

Comme on le voit, le CPU et le GPU sont ici multicoeurs, à m cœurs 5, les cœurs étant reliés par couples CPU/GPU par un moyen de transfert de données 6 dédié, par exemple un ensemble de m bus, comme illustré, ou un réseau sur puce NoC (pour « Network On Chip »).

Dans l'exemple représenté, les processeurs GPU sont indépendants et reliés chacun à un unique cœur CPU via un bus dédié. Chaque cœur GPU produit une image graphique liée à l'application qu'il gère. Les différentes images produites sont ensuite assemblées par un mixeur pour produire, en définitive, une image d'écran qui est destinée à être affichée sur l'écran d'une interface homme-machine.

Ainsi, chaque couple CPU/GPU héberge une application graphique distincte et indépendante des autres. Cette architecture permet donc le développement parallèle et par plusieurs fournisseurs

d'applications d'interfaces homme-machine pour différents systèmes avioniques commerciaux. Cette architecture entièrement partitionnée permet de réaliser une certification incrémentale. En d'autres termes, il est possible de mettre à jour un cœur sans impact sur les autres.

On a représenté sur la figure 5 l'architecture générale d'un système de traitement de données selon l'invention, pour interface graphique, fondé sur le couplage entre un processeur de calcul graphique GPU et une unité centrale de traitement CPU à l'aide d'un bus dédié. Comme indiqué précédemment, on ne sort pas du cadre de l'invention lorsque le couplage est réalisé, de manière générale, par un moyen de transfert de données.

On voit en effet sur cette figure que l'unité centrale de traitement CPU et le processeur de calcul graphique GPU comportent chacun un ensemble de cœurs de traitement de données C1-C6 et C1'-C6', respectivement, ici au nombre de six, reliés entre eux par des bus B1-B6 dédié ou, de manière générale, un moyen de transfert de données, dédié.

Ainsi, les problèmes d'arbitrage et de temps de transfert non garanti ne se posent plus dans cette architecture, les données étant véhiculées entre les cœurs de traitement sur des bus non partagés.

Comme on le voit, les cœurs de traitement de données de l'unité centrale de traitement sont organisés sur le même modèle et sont fondés sur l'utilisation d'un cœur de calcul, tel que 8. Chaque cœur de traitement comporte un bus de communication interne 9 ou, de manière générale, un moyen de transfert de données, qui assure la communication au sein du cœur entre les divers composants qui le composent et avec des dispositifs périphériques locaux.

Chaque cœur de traitement comporte en effet différents types de mémoires, avec entre autre, une mémoire permanente 10, par exemple de type Flash ainsi qu'une mémoire vive 11, par exemple de type DDR, associées respectivement à un contrôleur de mémoire permanente 12 et à un contrôleur de mémoire vive 13. Bien entendu, on ne sort pas du cadre de l'invention lorsque les cœurs de calculs sont dotés d'autres types de dispositifs périphériques locaux, notamment

Date Reçue/Date Received 2021-11-11

d'autres types de mémoire. Comme cela sera précisé en référence à la figure 4, chaque cœur de traitement comporte également un certain nombre de périphériques locaux d'entrée et de sortie de données qui peuvent être différents d'un cœur à l'autre.

Des périphériques de communication 14 assurent la communication entre les bus dédiés B1-B6 et le bus de communication interne 9 associé.

A côté des mémoires 10 et 11 dédiées à chaque cœur de traitement, l'unité centrale de traitement CPU comporte en outre des mémoires et périphériques globaux partagés entre les cœurs. Il s'agit en particulier des mémoires 15, 16 et 17 associées à leurs contrôleurs de mémoire respectifs 18, 19 et 20. Il s'agit, à titre illustratif, mais de façon nullement limitative, de mémoires de type Flash, DDR ou de périphériques globaux partagés 21, 22 et 23, par exemple de types ARINC 429 ou ARINC 825. Dans l'application envisagée, qui concerne les interfaces graphiques pour équipement de cockpit pour aéronef, de telles mémoires peuvent, par exemple, être utilisées pour l'enregistrement d'informations concernant un vol.

Un bus global interne 24 ou, de manière générale, un moyen de transfert de données, assure l'échange de données entre les cœurs de traitement de données C1-C6, avec les mémoires 15, 16 et 17 et avec les dispositifs périphériques globaux 21, 22 et 23.

Les cœurs de traitement de données C1'-C6' du processeur de calcul graphique ont une structure similaire et sont fondés sur l'utilisation d'un cœur de calcul tel que 25. Ce cœur de calcul 25 communique avec un bus de communication interne 26 ou, de manière générale, avec un moyen de transfert de données, lequel est relié via des liens de communication 27 et 28 avec les bus dédiés B1-B6.

A côté du cœur de calcul 25, chaque cœur de traitement de données C1'-C6' incorpore en outre un cœur GPU de calcul graphique 29 relié au bus interne 26. Enfin, un bus local 30 ou, de manière générale, un moyen de transfert de données, qui communique avec les liens de communication 27 et 28, avec le cœur de calcul 25 et avec le

Date Reçue/Date Received 2021-11-11

cœur de calcul GPU 29 est relié à une mémoire locale 31 externe associée à un contrôleur correspondant 32.

Par ailleurs, l'unité de traitement graphique GPU comporte un mixeur 33 relié au bus local 30 de chaque unité de traitement de données C1'-C6'.

En effet, chaque couple CPU/GPU assure l'exécution d'une tâche qui lui est affectée et génère une portion de l'image finale. Le mixeur 33 procède à la combinaison de ces diverses images pour l'élaboration de l'écran final affiché sur l'interface homme-machine. De manière optionnelle, le système de traitement qui vient d'être décrit peut être doté d'une entrée vidéo 34, d'une mémoire externe 35 associée à un contrôleur 36 correspondant et à un système d'arbitrage 37 pour l'accès à des données externes partagées. Un dispositif 38 de récupération d'images associé à un gestionnaire de flux 39 permet de combiner des vidéos ou images récupérées de l'entrée 34 ou de la mémoire 35 pour générer l'image finale.

Comme on le conçoit, l'architecture qui vient d'être décrite s'apparente à une architecture multiprocesseur intégrée à une seule et même puce. En effet, chaque cœur étant indépendant et possédant ses propres contrôleurs mémoire et périphériques dédiés, l'architecture selon l'invention est analogue à une architecture multi-SoC.

En se référant à la figure 6, sur laquelle on a représenté une stratégie d'implantation de système d'exploitation dans un système de traitement de données conforme à l'invention, on voit que chaque cœur de traitement, noté C1'', C2'' ou C3'' incorpore un certain nombre de d'interfaces d'Entrée/Sortie telles que 42, 43 ou 44 qui communiquent avec un cœur « core#1 », « core#2 » ou « core#3 » via un bus local B, tandis que d'autres interfaces d'Entrée/Sortie 45 sont partagés entre les cœurs de traitement avec lesquels ils communiquent via un bus d'interface commun B'. Cette stratégie peut aussi bien s'appliquer à l'unité centrale de traitement qu'au processeur de calcul graphique. En d'autres termes, on dispose ici de deux niveaux d'interfaces d'Entrée/Sortie, l'architecture intégrant à la fois des interfaces d'Entrée/Sortie dédiées à chaque coeur pour l'accès à des

Date Reçue/Date Received 2021-11-11

périphériques dédiés et des interfaces d'Entrée/Sortie globales qui sont partagées entre les cœurs pour l'accès à des périphériques partagés.

On conçoit que les interfaces I/O locales, d'accès direct, sans partage et sans arbitrage permettent un accès plus rapide à des périphériques locaux dédiés à un cœur, tandis que les interfaces I/O globales permettent un accès à des périphériques partagés entre les cœurs.

L'accès déterministe aux ressources partagées rend souhaitable l'utilisation d'un bus d'accès partagé 24 (figure 5) maîtrisée.

Ainsi, le bus 24 est associé à des moyens d'arbitrage servant à arbitrer les échanges de données avec les dispositifs partagés ou, en d'autres termes, à arbitrer l'accès des cœurs aux ressources partagées. A titre d'exemple, ces arbitrages peuvent prendre la forme d'un ordonnanceur, par exemple intégré au bus, attribuant de manière périodique des temps de communication pour chaque cœur et ce, les uns après les autres.

REVENDICATIONS

1. Un système de traitement de données pour une interface graphique comprenant au moins un processeur de calcul graphique (GPU) et au moins une unité centrale de traitement (CPU) qui communique avec le processeur de calcul graphique, ledit au moins un processeur de calcul graphique (GPU) et ladite au moins une unité centrale de traitement (CPU) comprenant chacun un ensemble de cœurs de traitement de données (C1,..., C6, C'1,...C'6) respectivement, caractérisé en ce que chaque cœur de traitement de données dudit au moins un processeur de calcul graphique (GPU) sont chacun reliés à un cœur de traitement de données de ladite au moins une unité centrale de traitement (CPU) par un unique moyen de transfert de données dédié (B1,..., B6), de manière à réaliser un transfert de données en parallèle entre ledit processeur de calcul graphique et ladite unité centrale de traitement.

2. Le système selon la revendication 1, dans lequel au moins une partie des cœurs de traitement de données (C1,..., C6, C'1,...C'6) de ladite au moins unité centrale de traitement (CPU) comportent chacun des dispositifs périphériques dédiés (12, 13) et un moyen de transfert de données local interne (9) reliant lesdits dispositifs périphériques dédiés (12, 13) à au moins un cœur de calcul (8) assurant l'exécution d'instructions sur lesdits données transférées entre ledit au moins processeur de calcul graphique (GPU) et ladite au moins unité centrale de traitement (CPU).

3. Le système selon la revendication 2, dans lequel les cœurs de traitement de données sont reliés entre eux par un moyen de transfert de données global interne (24) de ladite au moins une unité centrale de traitement (CPU), et où les cœurs de traitement de données sont de plus reliés à des dispositifs périphériques partagés entre les cœurs de traitement de données via ledit moyen de transfert de données global interne (24).

4. Le système selon la revendication 3, comportant des moyens d'arbitrage (33), consistant à attribuer des temps de communication à

Date Reçue/Date Received 2022-09-02

chacun des cœurs de traitement de données de ladite au moins une unité centrale de traitement (CPU) pendant lequel ledit cœur de traitement de donnée de ladite au moins une unité centrale de traitement (CPU) est autorisé à communiquer avec les dispositifs périphériques, pour arbitrer l'accès auxdits dispositifs périphériques partagés entre lesdits cœurs de traitement de données de ladite au moins une unité centrale de traitement (CPU).

5. Le système selon l'une quelconque des revendications 1 à 5, comportant un moyen (33) pour combiner les sorties de chaque cœur de traitement (C1',..., C6') dudit au moins un processeur de calcul graphique (GPU).

6. Une interface graphique pour cockpit d'aéronef, caractérisée en ce qu'elle comporte :

un système de traitement de données selon l'une quelconque des revendications 1 à 5;

un système d'exploitation permettant d'attribuer une parallélisation des tâches en fonction des différents cœurs de traitement de données de ladite au moins une unité centrale de traitement (CPU) et du au moins un processeur de calcul graphique (GPU); et

une application graphique distincte et indépendante des autres applications graphique, où ladite application graphique distincte et indépendante génère une image graphique liée à celle-ci.

Date Reçue/Date Received 2022-09-02

FIG.1

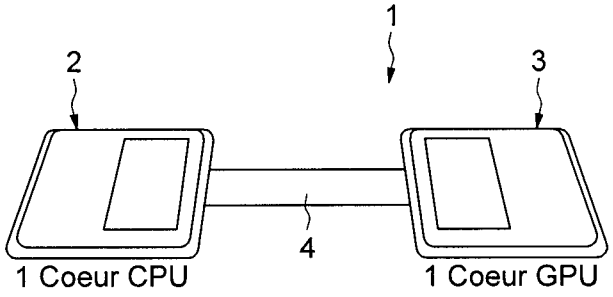


FIG.2

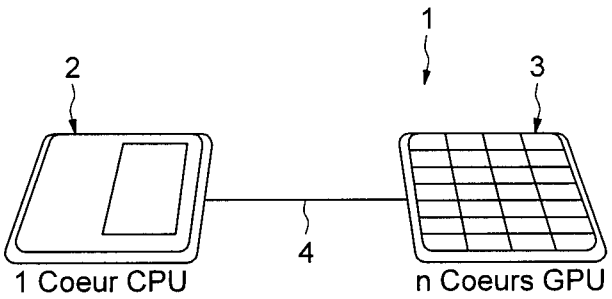


FIG.3

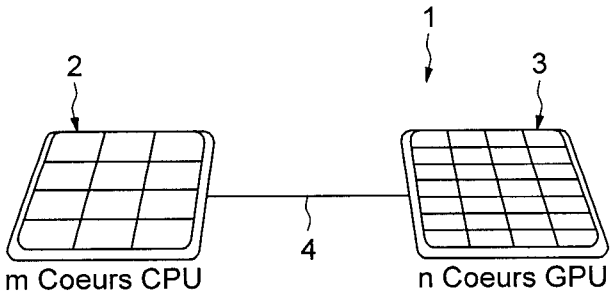


FIG.4

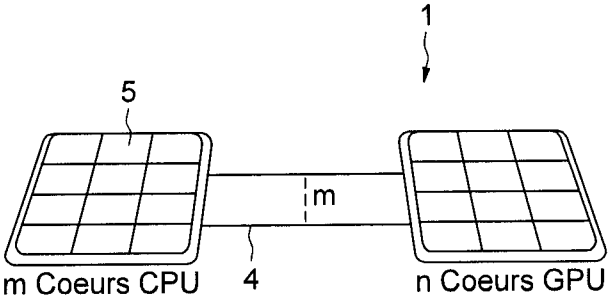


FIG.5

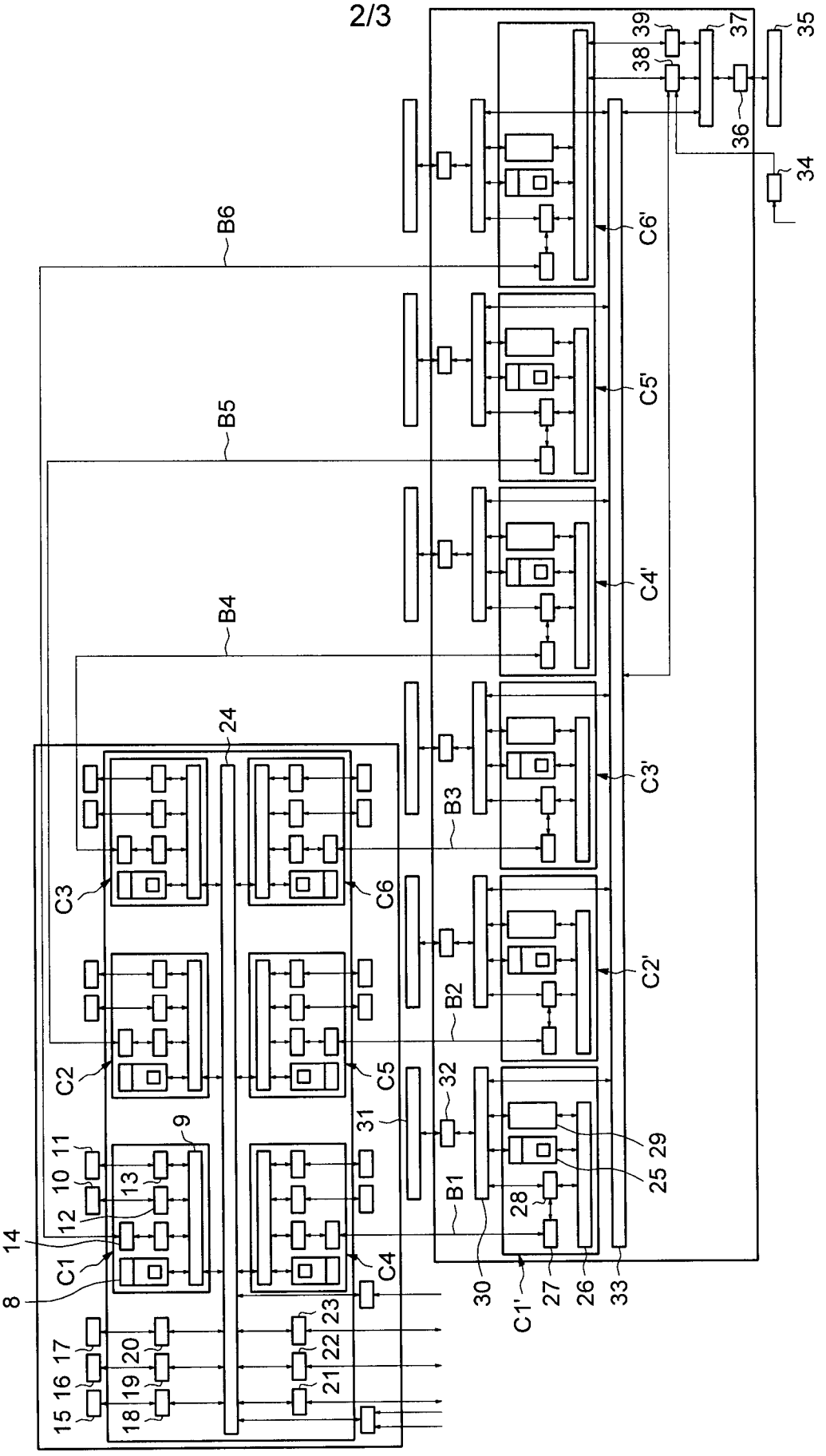
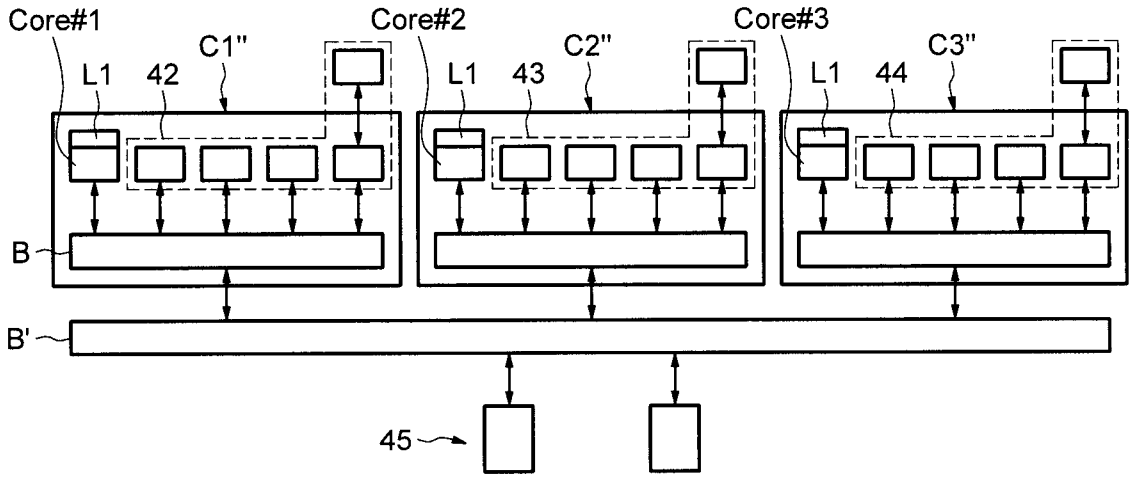
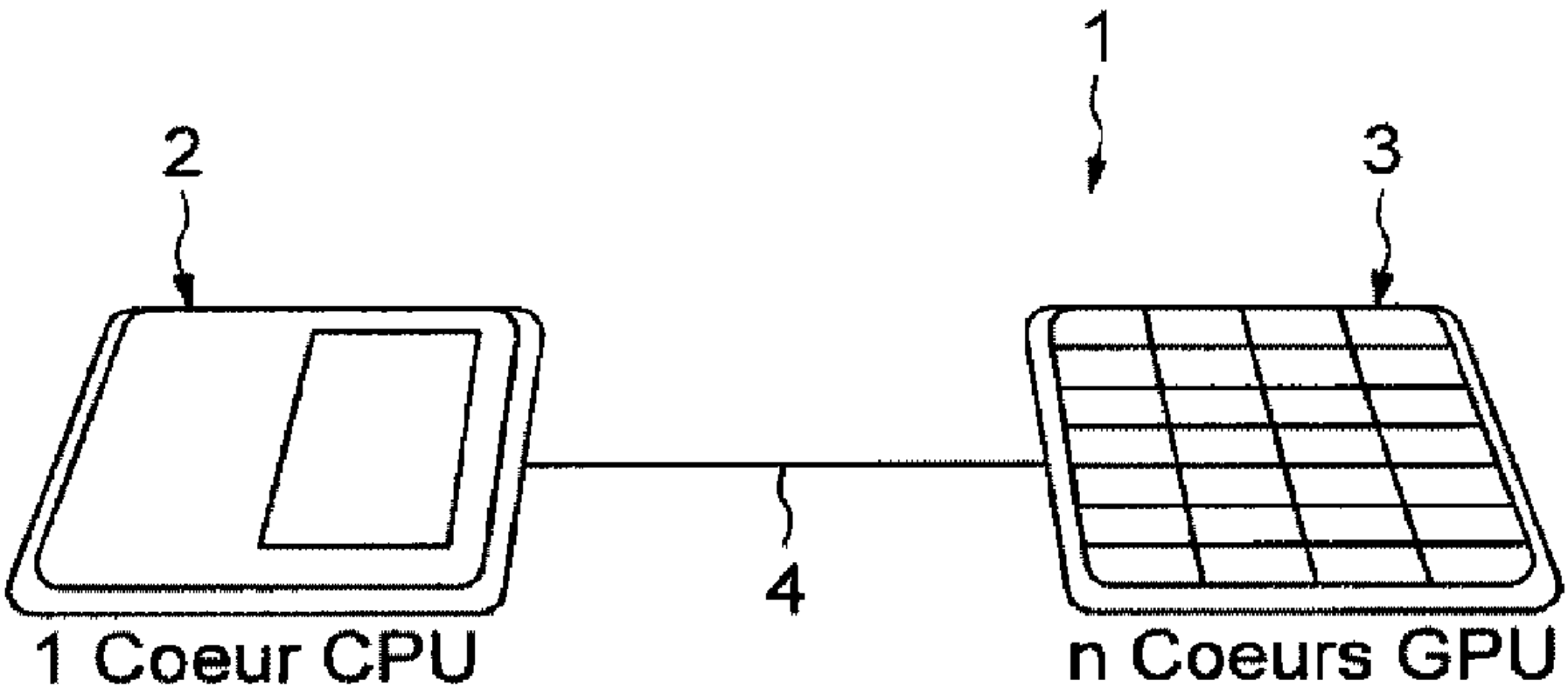

B6
B5
B4
B3
B2
B1
C6'
C5'
C4'
C3'
C2'
C1'
C6
C5
C4
C3
C2
C1
24
9
8
14
10
11
12
13
15
16
17
18
19
20
21
22
23
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39

FIG.6




1
2
3
4
1 Coeur CPU
n Coeurs GPU