



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202303899 A

(43)公開日：中華民國 112 (2023) 年 01 月 16 日

(21)申請案號：111119074

(22)申請日：中華民國 111 (2022) 年 05 月 23 日

(51)Int. Cl. : H01L23/52 (2006.01)

H01L23/48 (2006.01)

(30)優先權：2021/06/24 美國

17/357,811

(71)申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：查瓦 巴拉尼 CHAVA, BHARANI (BE) ; 羅伊 阿比那許 ROY, ABINASH (US) ;

宋 史丹利承哲 SONG, STANLEY SEUNGCHUL (US) ; 金 鐘海 KIM, JONGHAE

(US)

(74)代理人：李世章

申請實體審查：無 申請專利範圍項數：30 項 圖式數：13 共 63 頁

(54)名稱

包括整合裝置和耦合整合裝置的頂側的橋的封裝

(57)摘要

一種封裝，包括基板、耦合到該基板的第一整合裝置、耦合到該基板的第二整合裝置、第一橋以及第二橋。該第一橋耦合到該第一整合裝置和該第二整合裝置。該第一橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第一電路徑。該第一橋耦合到該第一整合裝置的頂部和該第二整合裝置的頂部。該第二橋耦合到該第一整合裝置和該第二整合裝置。該第二橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第二電路徑。

A package comprising a substrate, a first integrated device coupled to the substrate, a second integrated device coupled to the substrate, a first bridge and a second bridge. The first bridge is coupled to the first integrated device and the second integrated device. The first bridge is configured to provide at least one first electrical path between the first integrated device and the second integrated device. The first bridge is coupled to a top portion of the first integrated device and a top portion of the second integrated device. The second bridge is coupled to the first integrated device and the second integrated device. The second bridge is configured to provide at least one second electrical path between the first integrated device and the second integrated device.

指定代表圖：

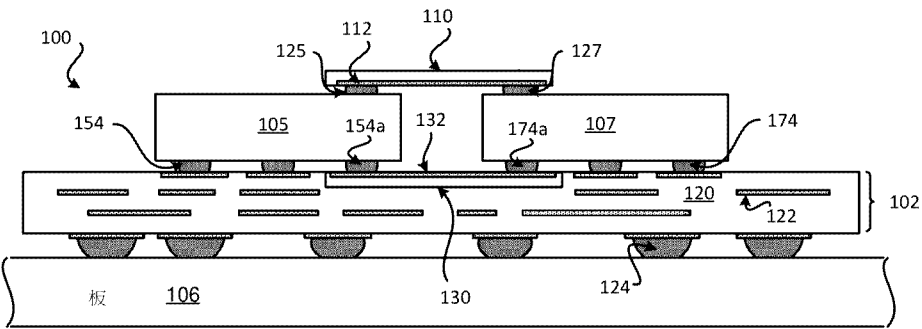


圖 1

符號簡單說明：

- 100:封裝
- 102:基板
- 105:整合裝置
- 106:板
- 107:整合裝置
- 110:橋
- 112:互連
- 120:介電層
- 122:互連
- 124:焊料互連
- 125:焊料互連
- 127:焊料互連
- 130:橋
- 132:橋互連
- 154:焊料互連
- 154a:焊料互連
- 174:焊料互連
- 174a:焊料互連

【發明摘要】

【中文發明名稱】包括整合裝置和耦合整合裝置的頂側的橋的封裝

【英文發明名稱】 PACKAGE COMPRISING INTEGRATED DEVICES AND
BRIDGE COUPLING TOP SIDES OF INTEGRATED DEVICES

【中文】

一種封裝，包括基板、耦合到該基板的第一整合裝置、耦合到該基板的第二整合裝置、第一橋以及第二橋。該第一橋耦合到該第一整合裝置和該第二整合裝置。該第一橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第一電路徑。該第一橋耦合到該第一整合裝置的頂部和該第二整合裝置的頂部。該第二橋耦合到該第一整合裝置和該第二整合裝置。該第二橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第二電路徑。

【英文】

A package comprising a substrate, a first integrated device coupled to the substrate, a second integrated device coupled to the substrate, a first bridge and a second bridge. The first bridge is coupled to the first integrated device and the second integrated device. The first bridge is configured to provide at least one first electrical path between the first integrated device and the second integrated device. The first bridge is coupled to a top portion of the first integrated device and a top portion of the second integrated device. The second bridge is coupled to the first integrated device and the second integrated device. The second bridge is configured to provide at least one second electrical path between the first integrated device and the second integrated device.

【指定代表圖】第（ 1 ）圖。

【代表圖之符號簡單說明】

1 0 0 : 封 裝

1 0 2 : 基 板

1 0 5 : 整 合 裝 置

1 0 6 : 板

1 0 7 : 整 合 裝 置

1 1 0 : 橋

1 1 2 : 互 連

1 2 0 : 介 電 層

1 2 2 : 互 連

1 2 4 : 焊 料 互 連

1 2 5 : 焊 料 互 連

1 2 7 : 焊 料 互 連

1 3 0 : 橋

1 3 2 : 橋 互 連

1 5 4 : 焊 料 互 連

1 5 4 a : 焊 料 互 連

1 7 4 : 焊 料 互 連

1 7 4 a : 焊 料 互 連

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 包括整合裝置和耦合整合裝置的頂側的橋的封裝

【英文發明名稱】 PACKAGE COMPRISING INTEGRATED DEVICES AND
BRIDGE COUPLING TOP SIDES OF INTEGRATED DEVICES

【技術領域】

【0001】 本專利申請案主張於2021年6月24日在美國專利局提交的非臨時申請案第17/357,811號的優先權和權益，該申請案的全部內容經由援引如同整體在下文全面闡述那樣且出於所有適用目的而被納入於此。

【0002】 各種特徵係關於包括整合裝置的封裝。

【先前技術】

【0003】 封裝可包括基板和若干整合裝置。整合裝置可經由基板彼此通訊。亦即，電輸入和輸出訊號可經由基板在整合裝置之間行進。封裝的效能可以與這些電訊號可在整合裝置之間行進的速度及/或整合裝置之間的訊號完整性拘束。一直存在提供效能更好的封裝的需求。

【發明內容】

【0004】 各種特徵涉及包括整合裝置的封裝。

【0005】 一個實例提供了一種封裝，包括基板、耦合到該基板的第一整合裝置、耦合到該基板的第二整合裝置、第一橋以及第二橋。該第一橋耦合到該第一整合裝置和該第二整合裝置。該第一橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第一電路徑。該第一橋耦合到該第一整合裝置的頂部和該第二整合裝置的頂部。該第

二橋耦合到該第一整合裝置和該第二整合裝置。該第二橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第二電路徑。

【0006】 另一實例提供了一種裝備，包括基板、耦合到該基板的第一整合裝置、耦合到該基板的第二整合裝置、第一橋互連裝置、以及第二橋互連裝置。該第一橋互連裝置耦合到該第一整合裝置和該第二整合裝置。該第一橋互連裝置被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第一電路徑。該第一橋互連裝置耦合到該第一整合裝置的頂部和該第二整合裝置的頂部。該第二橋互連裝置耦合到該第一整合裝置和該第二整合裝置。該第二橋互連裝置被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第二電路徑。

【0007】 另一實例提供了一種用於製造封裝的方法。該方法提供基板。該方法將第一整合裝置耦合到該基板。該方法將第二整合裝置耦合到該基板。該方法將第一橋耦合到該第一整合裝置和該第二整合裝置。該第一橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第一電路徑。該第一橋耦合到該第一整合裝置的頂部和該第二整合裝置的頂部。該方法將第二橋耦合到該第一整合裝置和該第二整合裝置。該第二橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第二電路徑。

【圖式簡單說明】

【0008】 在結合附圖理解下文闡述的詳細描述時，各種特徵、本質和優點會變得明顯，在附圖中，相像的部件符號貫穿始終作相應標識。

【0009】 圖1圖示了包括耦合到整合裝置的橋的封裝的剖面輪廓視圖。

【0010】 圖2圖示了包括耦合到整合裝置的橋的另一封裝的剖面輪廓視圖。

【0011】 圖3圖示了包括耦合到整合裝置的橋的另一封裝的剖面輪廓視圖。

【0012】 圖4圖示了包括耦合到堆疊式晶粒的橋的另一封裝的剖面輪廓視圖。

【0013】 圖5圖示了橋晶粒的剖面輪廓視圖。

【0014】 圖6圖示了橋結構的剖面輪廓視圖。

【0015】 圖7圖示了在使用非橋連接的整合裝置之間的訊號的訊號完整性的示例性圖形。

【0016】 圖8圖示了在使用橋連接的整合裝置之間的訊號的訊號完整性的示例性圖形。

【0017】 圖9A-9C圖示了用於製造包括耦合到整合裝置的橋的封裝的示例性工序。

【0018】 圖10圖示了用於製造包括耦合到整合裝置的橋的封裝的方法的示例性流程圖。

【0019】 圖11A-11C圖示了用於製造基板的示例性工序。

【0020】 圖 1 2 圖示了用於製造基板的方法的示例性流程圖。

【0021】 圖 1 3 圖示了可以整合本文中所描述的晶粒、電子電路、整合裝置、整合被動裝置（IPD）、被動部件、封裝、及/或裝置封裝的各種電子設備。

【實施方式】

【0022】 在以下描述中，提供了具體細節以提供對本案的各個態樣的透徹理解。然而，本發明所屬領域中具有通常知識者將理解，沒有這些具體細節亦可以實踐這些態樣。例如，電路可能用方塊圖示出以避免使這些態樣湮沒在不必要的細節中。在其他實例中，公知的電路、結構和技術可能不被詳細示出以免湮沒本案的這些態樣。

【0023】 本案描述了一種封裝，包括基板、耦合到該基板的第一整合裝置、耦合到該基板的第二整合裝置、第一橋以及第二橋。該第一橋耦合到該第一整合裝置和該第二整合裝置。該第一橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第一電路徑。該第一橋耦合到該第一整合裝置的頂部和該第二整合裝置的頂部。該第二橋耦合到該第一整合裝置和該第二整合裝置。該第二橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第二電路徑。該第二橋可至少部分地位於該基板中。該第二橋可位於該基板上方。該第一整合裝置可包括一或多個晶粒。該第二整合裝置可包括一或多個晶粒。該封裝可

以為整合裝置之間的輸入/輸出訊號提供更好的訊號完整性，從而得到效能更好的封裝。

包括耦合到整合裝置的橋的示例性封裝

【0024】 圖1圖示了封裝100的剖面輪廓視圖，該封裝100包括基板102、整合裝置105（例如，第一整合裝置）、整合裝置107（例如，第二整合裝置）、橋110、以及橋130。封裝100經由複數個焊料互連124耦合到板106。板106可包括印刷電路板（PCB）。

【0025】 基板102包括至少一個介電層120和複數個互連122。不同的基板可具有不同數目的金屬層。不同實現可將不同的基板用於基板102。基板102可包括嵌入式跡線基板（ETS）、層壓基板、無芯基板及/或有芯基板。基板202可以使用不同的製程來製造，包括ETS製程、半加成製程（SAP）及/或改良型半加成製程（mSAP）。

【0026】 橋130可至少部分地位於基板102中。在一些實現中，橋130可位於基板102的腔中。橋130可被嵌入在基板102中。橋130可以是第二橋。橋130可包括至少一個橋互連132。如下文將進一步描述的，橋130可包括橋晶粒及/或橋結構。橋130可以是第二橋互連裝置。在一些實現中，橋130可位於基板102上方。在一些實現中，橋130不位於基板102中。

【0027】 整合裝置105經由複數個焊料互連154耦合到基板102。整合裝置105亦經由複數個焊料互連154中的至少一個焊料互連154a耦合到橋130。整合裝置107經由複數

個焊料互連 174 耦合到基板 102。整合裝置 107 亦經由複數個焊料互連 174 中的至少一個焊料互連 174a 耦合到橋 130。橋 130 可被配置成在整合裝置 105 與整合裝置 107 之間提供至少一條第二電路徑。例如，整合裝置 105 與整合裝置 107 之間的該至少一條第二電路徑可包括至少一個焊料互連 154a、至少一個橋互連 132 及 / 或至少一個焊料互連 174a。

【0028】 橋 110 可經由至少一個焊料互連 125 耦合到整合裝置 105 的頂部。橋 110 亦可經由至少一個焊料互連 127 耦合到整合裝置 107 的頂部。橋 110 可以是第一橋。橋 110 可包括至少一個橋互連 112。如下文將進一步描述的，橋 110 可包括橋晶粒及 / 或橋結構。橋 110 可以是第一橋互連裝置。橋 110 可被配置成在整合裝置 105 與整合裝置 107 之間提供至少一條第一電路徑。例如，整合裝置 105 與整合裝置 107 之間的該至少一條第一電路徑可包括至少一個焊料互連 125、至少一個橋互連 112 及 / 或至少一個焊料互連 127。在一些實現中，整合裝置 105 與整合裝置 107 之間的一或多個輸入 / 輸出（I/O）訊號可被配置成行進穿過橋 110（例如，被配置成行進穿過至少一個焊料互連 125、至少一個橋互連 112、以及至少一個焊料互連 127）。在一些實現中，行進穿過橋 110 的輸入 / 輸出訊號可具有更好的訊號完整性，這是因為路徑位於更遠離被配置為用於其他電流（例如，功率）的電路徑的互連。在一些實現中，橋 110 在整合裝置 105 與整合裝置 107 之間提供短的電路徑，從而

提供改善的封裝效能。在一些實現中，橋 110 釋放至基板的焊料互連以使其用於功率及 / 或接地，從而改善功率分配網路（PDN）效能。在一些實現中，整合裝置 105 與整合裝置 107 之間的訊號可被配置成行進穿過整合裝置 105 的背側及 / 或整合裝置 107 的背側。在一些實現中，整合裝置 105 的頂部可包括整合裝置 105 的背側。在一些實現中，整合裝置 107 的頂部可包括整合裝置 107 的背側。整合裝置的背側可以是整合裝置的包括基板（例如，矽）的一側。整合裝置的前側可以是與整合裝置的背側相對的一側。

【0029】 圖 2 圖示了封裝 200 的剖面輪廓視圖，該封裝 200 包括基板 102、整合裝置 105（例如，第一整合裝置）、整合裝置 107（例如，第二整合裝置）、橋 110、以及橋 130。封裝 200 類似於封裝 100。然而，橋 110 和橋 130 可經由複數個焊柱互連耦合到整合裝置 105 和整合裝置 107。

【0030】 整合裝置 105 經由複數個焊柱互連 254 和複數個焊料互連 154 耦合到基板 102。整合裝置 105 經由至少一個焊柱互連 254a 和至少一個焊料互連 154a 耦合到橋 130。整合裝置 107 經由複數個焊柱互連 274 和複數個焊料互連 174 耦合到基板 102。整合裝置 107 經由至少一個焊柱互連 274a 和至少一個焊料互連 174a 耦合到橋 130。整合裝置 105 與整合裝置 107 之間的至少一條第二電路徑可包括至少一個焊柱互連 254a、至少一個焊料互連 154a、（橋 130 的）至少一個橋互連 132、至少一個焊柱互連 274a、及 / 或至少一個焊料互連 174a。

【0031】 橋 110 經由至少一個焊柱互連 225 和至少一個焊料互連 125 耦合到整合裝置 105 的頂部。橋 110 經由至少一個焊柱互連 227 和至少一個焊料互連 127 耦合到整合裝置 107 的頂部。整合裝置 105 與整合裝置 107 之間的至少一條第一電路徑可至少包括至少一個焊料互連 125、一個焊柱互連 225、（橋 110 的）至少一個橋互連 112、至少一個焊柱互連 227、及 / 或至少一個焊料互連 127。

【0032】 如下文將進一步描述的，整合裝置 105 可包括一或多個整合裝置（例如，晶粒）。類似地，整合裝置 107 可包括一或多個整合裝置（例如，晶粒）。

【0033】 圖 3 圖示了封裝 300 的剖面輪廓視圖，該封裝 300 包括基板 102、整合裝置 305（例如，第一整合裝置）、整合裝置 307（例如，第二整合裝置）、橋 110、以及橋 130。

【0034】 整合裝置 305 可以是包括第一晶粒 351、第二晶粒 353 和包封層 356 的封裝。第一晶粒 351 及 / 或第二晶粒 353 可以是整合裝置的實例。第二晶粒 353 可經由複數個焊料互連 354 耦合到第一晶粒 351。第一晶粒 351 可位於第二晶粒 353 之上（例如，上方）。包封層 356 可位於第一晶粒 351 與第二晶粒 353 之間。在一些實現中，包封層 356 可至少部分地包封第一晶粒 351 及 / 或第二晶粒 353。整合裝置 305 經由複數個焊料互連 154 耦合到基板 102 和橋 130。

【0035】 如下文將進一步描述的，第一晶粒 351 和第二晶粒 353 可在整合裝置 305 中在不同方向對準和定位。第一晶粒 351 可包括前側和背側。第二晶粒 353 亦可包括前側和背

側。在一些實現中，第一晶粒 351 的前側可面向第二晶粒 353 的前側。在一些實現中，第二晶粒 353 的前側可面向第一晶粒 351 的背側。在一些實現中，第二晶粒 353 的背側可面向第一晶粒 351 的前側。晶粒的背側可以是晶粒的包括晶粒基板（例如，矽）的一側。晶粒的前側可以是與晶粒的背側相對的一側。

【0036】 整合裝置 307 可以是包括第三晶粒 371、第四晶粒 373 和包封層 376 的封裝。第三晶粒 371 及 / 或第四晶粒 373 可以是整合裝置的實例。第四晶粒 373 可經由複數個焊料互連 374 耦合到第三晶粒 371。第三晶粒 371 可位於第四晶粒 373 之上（例如，上方）。包封層 376 可位於第三晶粒 371 與第四晶粒 373 之間。在一些實現中，包封層 376 可至少部分地包封第三晶粒 371 及 / 或第四晶粒 373。整合裝置 307 經由複數個焊料互連 174 耦合到基板 102 和橋 130。包封層（例如，356、376）可以包括模塑件、樹脂及 / 或環氧樹脂。包封層（例如，356、376）可以是包封裝置。

【0037】 如下文將進一步描述的，第三晶粒 371 和第四晶粒 373 可以在整合裝置 307 中在不同方向對準和定位。第三晶粒 371 可包括前側和背側。第四晶粒 373 亦可包括前側和背側。在一些實現中，第三晶粒 371 的前側可面向第四晶粒 373 的前側。在一些實現中，第四晶粒 373 的前側可面向第三晶粒 371 的背側。在一些實現中，第四晶粒 373 的背側可面向第三晶粒 371 的前側。

【0038】 不同實現可以不同地將晶粒定位在封裝300中。在一些實現中，第一晶粒351的背側及/或第三晶粒371的背側可面向橋110。在一些實現中，第一晶粒351的前側及/或第三晶粒371的前側可面向橋110。在一些實現中，第二晶粒353的背側及/或第四晶粒373的背側可面向橋130及/或基板102。在一些實現中，第二晶粒353的前側及/或第四晶粒373的前側可面向橋130及/或基板102。

【0039】 橋110經由至少一個焊料互連125耦合到第一晶粒351。橋110經由至少一個焊料互連127耦合到第三晶粒371。第一晶粒351可被配置成經由橋110電耦合到第三晶粒371。第一晶粒351與第三晶粒371之間的至少一條第一電路徑（例如，用於輸入/輸出訊號）可包括至少一個焊料互連125、至少一個橋互連112、及/或至少一個焊料互連127。橋110由於不必行進穿過第二晶粒353、基板102、橋130及/或第四晶粒373而在第一晶粒353與第三晶粒371之間提供較短的電路徑。

【0040】 橋130經由至少一個焊料互連154a耦合到第二晶粒353。橋130經由至少一個焊料互連174a耦合到第四晶粒373。第二晶粒353可被配置成經由橋130電耦合到第四晶粒373。第二晶粒353與第四晶粒373之間的至少一條第二電路徑（例如，用於輸入/輸出訊號）可包括至少一個焊料互連154a、至少一個橋互連132、及/或至少一個焊料互連174a。

【0041】 在一些實現中，至整合裝置305的功率（包括至第一晶粒351及/或第二晶粒353的功率）可經由基板102（例如，複數個互連122）和至少一個焊料互連154來提供。在一些實現中，至第一晶粒351的功率可經由基板102（例如，複數個互連122）、至少一個焊料互連154、第二晶粒353和至少一個焊料互連354來提供。在一些實現中，至整合裝置307的功率（包括至第三晶粒371及/或第四晶粒373的功率）可經由基板102（例如，複數個互連122）和至少一個焊料互連174來提供。在一些實現中，至第三晶粒371的功率可經由基板102（例如，複數個互連122）、至少一個焊料互連174、第四晶粒373和至少一個焊料互連374來提供。注意，整合裝置305可包括多於兩個堆疊式晶粒。類似地，整合裝置307可包括多於兩個堆疊式晶粒。

【0042】 圖4圖示了封裝300的實現的剖面輪廓視圖。如圖4中所示，第一晶粒351耦合到第二晶粒353以使得第一晶粒351的前側面向第二晶粒353的前側。晶粒的背側可以是包括晶粒基板（例如，矽）的一側。晶粒的前側可以是與晶粒的背側相對的一側。第一晶粒351包括複數個貫穿基板通孔（TSV）451。複數個TSV 451可位於第一晶粒351的背側。第二晶粒353包括複數個貫穿基板通孔（TSV）453。複數個TSV 453可位於第二晶粒353的背側。

【0043】 類似地，第三晶粒371耦合到第四晶粒373以使得第三晶粒371的前側面向第四晶粒373的前側。第三晶粒371包括複數個貫穿基板通孔（TSV）471。複數個TSV

471可位於第三晶粒371的背側。第四晶粒373包括複數個貫穿基板通孔(TSV)473。複數個TSV473可位於第四晶粒373的背側。

【0044】 在一些實現中，第一晶粒351的背側和第三晶粒371的背側可面向橋110。在一些實現中，第一晶粒351的前側和第三晶粒371的前側可面向基板102及/或橋130。在一些實現中，至少一個電流(例如，輸入/輸出訊號)可在第一晶粒351與第三晶粒371之間行進穿過複數個TSV451、至少一個焊料互連125、至少一個橋互連112、至少一個焊料互連127、以及複數個TSV471。

【0045】 在一些實現中，至少一個電流(例如，輸入/輸出訊號)可在第二晶粒353與第四晶粒373之間行進穿過複數個TSV453、至少一個焊料互連154a、至少一個橋互連132、至少一個焊料互連174a、以及複數個TSV473。

【0046】 在一些實現中，第一晶粒351和第二晶粒353可各自被配置成電耦合到基板102。在一些實現中，第一晶粒351與基板102之間的至少一個電流(例如，功率)可行進穿過複數個焊料互連154、複數個TSV453、第二晶粒353和複數個焊料互連354。在一些實現中，第二晶粒353與基板102之間的至少一個電流(例如，功率)可行進穿過複數個焊料互連154和複數個TSV453。

【0047】 在一些實現中，第三晶粒371和第四晶粒373可各自被配置成電耦合到基板102。在一些實現中，第三晶粒371與基板102之間的至少一個電流(例如，功率)可行

進穿過複數個焊料互連 174、複數個 TSV 473、第四晶粒 373 和複數個焊料互連 354。在一些實現中，第四晶粒 373 與基板 102 之間的至少一個電流（例如，功率）可行進穿過複數個焊料互連 174 和複數個 TSV 473。

【0048】 圖 4 圖示了可以如何實現堆疊式晶粒的一個實例。然而，如上面提到的，晶粒可以在不同方向上佈置並且可包括不同數目的晶粒。本案圖示並描述了橋 130 至少部分地位於（例如，嵌入）基板 102 中。然而，在一些實現中，橋 130 可位於基板 102 之上。例如，橋 130 可位於整合裝置與基板 102 之間。由此，在一些實現中，橋 130 不位於基板 102 中。

【0049】 圖 3 和 4 圖示了其中第一整合裝置（例如，305）包括兩個晶粒並且第二整合裝置（307）包括兩個晶粒的封裝的實例。然而，封裝可包括整合裝置的其他配置和組合。例如，第一整合裝置可包括一個晶粒並且第二整合裝置可包括兩個晶粒。在另一實例中，第一整合裝置可包括兩個晶粒並且第二整合裝置可包括三個或更多個晶粒。在一些實現中，封裝可包括第一整合裝置、第二整合裝置、第三整合裝置和第四整合裝置，這些整合裝置皆耦合到基板。橋可以耦合到第一整合裝置和第二整合裝置的頂部。另一橋可以耦合到第三整合裝置和第四整合裝置的頂部。整合裝置的頂部可包括整合裝置的背離基板的一側。

【0050】 整合裝置（例如，105、107、305、307）可包括晶粒（例如，半導體裸晶粒）。整合裝置可以包括晶片、

晶片組、射頻（RF）裝置、被動裝置、濾波器、電容器、電感器、天線、發射器、接收器、基於GaAs的整合裝置、面聲波（SAW）濾波器、體聲波（BAW）濾波器、發光二極體（LED）整合裝置、基於矽（Si）的整合裝置、基於碳化矽（SiC）的整合裝置、處理器、記憶體、功率管理器整合裝置及/或其組合。整合裝置（例如，105、107、305、307）可包括至少一個電子電路（例如，第一電子電路、第二電子電路等……）。

【0051】 圖5圖示了橋500的視圖。橋500可以是橋晶粒。橋500可以是被動橋晶粒。橋500可表示本案中的橋110及/或橋130。橋500可以是橋互連裝置。橋500包括晶粒基板510（例如，橋晶粒基板）、至少一個橋互連512、鈍化層520、複數個凸塊下互連514、以及複數個焊料互連530。晶粒基板510可包括矽（Si）。至少一個橋互連512可耦合到複數個凸塊下互連514。在一些實現中，至少一個橋互連512可包括多行橋互連。複數個焊料互連530可耦合到複數個凸塊下互連514。注意，複數個凸塊下互連514可被視為用於橋500的橋互連的一部分。由此，橋互連亦可以指橋的至少一個凸塊下互連。橋500被配置成允許一或多個電流（例如，輸入/輸出訊號）行進穿過凸塊下互連514a、至少一個橋互連512和凸塊下互連514b。

【0052】 圖6圖示了橋600的視圖。橋600可以是橋結構及/或橋基板。橋600可表示本案中的橋110及/或橋130。橋600可以是橋互連裝置。橋600包括至少一個介電層610、

至少一個橋互連 612 和複數個焊料互連 530。至少一個橋互連 612 包括橋互連 612 a（例如，橋通孔、橋焊盤）、橋互連 612 c（例如，橋跡線）和橋互連 612 b（例如，橋通孔、橋焊盤）。橋 600 被配置成允許一或多個電流（例如，輸入/輸出訊號）行進穿過橋互連 612 a、橋互連 612 c 和橋互連 612 b。在一些實現中，存在若干行橋互連 612 a、橋互連 612 c 和橋互連 612 b。

【0053】 圖 7 和 8 圖示了兩個整合裝置之間的示例性訊號完整性的圖形。圖 7 圖示了兩個整合裝置之間的訊號完整性的示例性圖形 700，其中訊號行進穿過非橋連接。圖 8 圖示了兩個整合裝置之間的訊號完整性的示例性圖形 800，其中訊號行進穿過耦合到整合裝置的頂部的橋。圖形 700 圖示了眼圖開口 710。圖形 800 圖示了眼圖開口 810。眼圖開口 810 大於眼圖開口 710，這可指示行進穿過橋的訊號可具有更好的訊號完整性，包括相對於可能不行進穿過橋的訊號而言具有較少串擾、改進的差分插入損耗、改進的隊內偏斜、及/或改進的模式轉換的訊號。訊號完整性的這些改進可以是由於整合裝置之間較短的佈線距離、及/或整合裝置的功率和接地凸塊的更大可用性。亦即，整合裝置與基板之間通常將用於訊號路由的凸塊及/或焊料互連可被替代地用於功率和接地，這可最終幫助改進整合裝置和封裝的功率分配網路（PDN）效能。

【0054】 已經描述了各種封裝，現在將在下文描述用於製造封裝的工序。

用於製造包括耦合到整合裝置的橋的封裝的示例性工序

【0055】 圖 9 A - 9 C 圖示了用於提供或製造包括耦合到整合裝置的橋的封裝的示例性工序。在一些實現中，圖 9 A - 9 C 的工序可被用於提供或製造圖 3 的封裝 300、或本案中所描述的任何封裝。

【0056】 應當注意，圖 9 A - 9 C 的工序可以組合一或多個階段以簡化及/或闡明用於提供或製造封裝的工序。在一些實現中，各製程的次序可被改變或修改。在一些實現中，這些製程中的一者或多者可被替代或替換，而不會背離本案的精神。不同實現可不同地製造封裝。

【0057】 如圖 9 A 中所示，階段 1 圖示了在提供基板 102 之後的狀態。基板 102 可以由供應商製造或提供。基板 102 包括至少一個介電層 120 和複數個互連 122。基板 102 可包括不同數目的金屬層。基板 102 可包括層壓基板、有芯基板及/或無芯基板（例如，ETS）。以下至少在圖 11 A - 11 C 中進一步描述製造基板的實例。

【0058】 階段 2 圖示了在基板 102 中形成腔 930 之後的狀態。不同實現可以不同地形成腔 930。在一些實現中，可使用鐳射製程（例如，鐳射消融）來形成腔 930。不同的實現可具有含不同大小、形狀和深度的腔。注意，當在圖 9 A 的階段 1 提供基板 102 時，可能已經在基板 102 中形成腔 930。

【0059】 如圖 9 B 中所示，階段 3 圖示了在將橋 130 至少部分地置於基板 102 的腔 930 中之後的狀態。在一些實現中，

可使用黏合劑（未圖示）來將橋 130 放置並耦合到基板 102。橋 130 包括至少一個橋互連 132。橋 130 可包括橋 500 或橋 600。注意，可在製程的不同階段期間提供橋 130。例如，可在將橋 130 耦合到基板 102 之前將橋 130 耦合到整合裝置。在一些實現中，可在已將整合裝置耦合到基板 102 之後將橋 130 耦合到整合裝置。

【0060】 階段 4 圖示了在將整合裝置 305 和整合裝置 307 耦合到基板 102 之後的狀態。整合裝置 305 經由複數個焊料互連 154 耦合到基板 102。整合裝置 305 亦經由複數個焊料互連 154 耦合到基板 130。整合裝置 307 經由複數個焊料互連 174 耦合到基板 102。整合裝置 307 亦經由複數個焊料互連 174 耦合到橋 130。如階段 4 中所示，整合裝置 305 包括第一晶粒 351 和第二晶粒 353。類似地，整合裝置 307 包括第三晶粒 371 和第四晶粒 373。可使用焊料回流製程來將整合裝置 305 和整合裝置 307 耦合到基板 102 和橋 130。注意，在一些實現中，複數個焊柱互連（如圖 2 中所描述的）可被用於將整合裝置 305 和整合裝置 307 耦合到基板 102 和橋 130。由此，在一些實現中，將整合裝置 305 和整合裝置 307 耦合到基板 102 亦可包括將整合裝置 305 和整合裝置 307 耦合到橋 130。然而，在一些實現中，整合裝置 305 和整合裝置 307 可在不同工序期間耦合到橋 130。例如，橋 130 可耦合到整合裝置 305 和整合裝置 307，並且隨後經耦合的整合裝置 305、整合裝置 307、橋 130 可耦合到基板 102。在另一實例中，橋 130 可在整合裝置 305 和整合裝置

307 已耦合到基板 102 之後耦合到整合裝置 305 和整合裝置 307。例如，基板 102 中可存在延伸穿過基板 102 的腔。整合裝置 305 和整合裝置 307 可耦合到基板 102，並且橋 130 可經由延伸穿過基板 102 的腔耦合到整合裝置 305 和整合裝置 307。

【0061】 如圖 9C 中所示，階段 5 圖示了在將橋 110 耦合到整合裝置 305 的頂部和整合裝置 307 的頂部之後的狀態。橋 110 可經由至少一個焊料互連 125 耦合到整合裝置 305。橋 110 可經由至少一個焊料互連 127 耦合到整合裝置 307。可使用焊料回流製程來將橋 110 耦合到整合裝置 305 和整合裝置 307。注意，在一些實現中，複數個焊柱互連（如圖 2 中所描述的）可被用於將橋 110 耦合到整合裝置 305 和整合裝置 307。

【0062】 階段 6 圖示了複數個焊料互連 124 耦合到基板 102 的底表面的狀態。可使用焊料回流製程來將複數個焊料互連 124 耦合到基板 102。複數個焊料互連 124 可以耦合到複數個互連 122 中的焊盤互連。階段 6 可圖示封裝 300。

用於製造包括耦合到整合裝置的橋的封裝的方法的示例性流程圖

【0063】 在一些實現中，製造封裝包括若干製程。圖 10 圖示了用於提供或製造包括耦合到整合裝置的橋的封裝的方法 1000 的示例性流程圖。在一些實現中，圖 10 的方法 1000 可被用來提供或製造圖 3 的封裝 300。然而，圖 10 的方法 1000 可被用來製造本案中的任何封裝。

【0064】 應當注意，圖 10 的方法可以組合一或多個製程以便簡化及 / 或闡明用於提供或製造封裝的方法。在一些實現中，各製程的次序可被改變或修改。

【0065】 該方法（在 1005）提供基板（例如，102）。基板 102 可包括至少一個介電層 120 和複數個互連 122。基板 102 可包括不同數目的金屬層。基板 102 可包括層壓基板、有芯基板及 / 或無芯基板（例如，ETS）。基板可以由供應商提供或被製造。以下至少在圖 11A - 11C 中進一步描述製造基板的實例。圖 9A 的階段 1 圖示並描述了提供基板的實例。

【0066】 該方法（在 1010）在該基板（例如，102）中形成腔（例如，930）。不同實現可以不同地形成腔 930。在一些實現中，可使用鐳射製程（例如，鐳射消融）來形成腔 930。不同的實現可具有含不同大小、形狀和深度的腔。在一些實現中，腔 930 可延伸穿過整個基板 102。注意，當（在 1005）提供基板 102 時，可能已經在基板 102 中形成腔 930。圖 9A 的階段 2 圖示並描述了在基板中形成的腔的實例。

【0067】 該方法（在 1015）將橋（例如，130）放置並耦合在基板 102 的腔 930 中。橋 130 可至少部分地被置於腔 930 中。在一些實現中，可使用黏合劑（未圖示）來將橋 130 放置並耦合到基板 102 的腔 930。橋 130 包括至少一個橋互連 132。橋 130 可包括橋 500 或橋 600。注意，橋 130 可以不同地耦合到基板 102。在一些實現中，橋 130 可以在

耦合到基板 102 之前或在被定位到基板 102 之上前耦合到整合裝置。圖 9 C 的階段 3 圖示並描述了至少部分地被置於基板的腔中的橋的實例。

【0068】 該方法（在 1020）將複數個整合裝置（例如，105、107、305、307）耦合到基板 102 和橋 130。該複數個整合裝置可經由複數個焊料互連（例如，154、174）及/或複數個焊柱互連（例如，254、274）耦合到基板 102 和橋 130。可使用焊料回流製程來將整合裝置（例如，105、107、305、307）耦合到基板 102 和橋 130。在一些實現中，橋 130 可在整合裝置耦合到基板 102 之前耦合到整合裝置。注意，在一些實現中，複數個焊柱互連（如圖 2 中所描述的）可被用於將整合裝置耦合到基板 102 和橋 130。圖 9 B 的階段 4 圖示並描述了將整合裝置耦合到基板和橋的實例。

【0069】 該方法（在 1025）將橋（例如，110）耦合到複數個整合裝置的頂部。例如，橋 110 可耦合到整合裝置 305 的頂部和整合裝置 307 的頂部。橋 110 可經由至少一個焊料互連 125 耦合到整合裝置 305。橋 110 可經由至少一個焊料互連 127 耦合到整合裝置 307。可使用焊料回流製程來將橋 110 耦合到整合裝置 305 和整合裝置 307。注意，在一些實現中，複數個焊柱互連（如圖 2 中所描述的）可被用於將橋 110 耦合到整合裝置 305 和整合裝置 307。圖 9 C 的階段 5 圖示並描述了將橋耦合到整合裝置的實例。

【0070】 該方法(在1030)將複數個焊料互連(例如,124)耦合到基板(例如,102)的底表面。可使用焊料回流製程來將複數個焊料互連124耦合到基板102。複數個焊料互連124可耦合到基板102的複數個互連122中的焊盤互連。圖9C的階段6圖示並描述了耦合到基板的焊料互連的實例。

用於製造基板的示例性工序

【0071】 在一些實現中,製造基板包括若干製程。圖11A - 11C圖示了用於提供或製造基板的示例性工序。在一些實現中,圖11A - 11C的工序可被用來提供或製造圖2的基板202及/或基板204。然而,圖11A - 11C的製程可被用來製造本案中所描述的任何基板。在一些實現中,圖11A - 11C的製程的至少一些態樣可被用於製造橋600。

【0072】 應當注意,圖11A - 11C的工序可以組合一或多個階段以簡化及/或闡明用於提供或製造基板的工序。在一些實現中,各製程的次序可被改變或修改。在一些實現中,一或多個製程可被替代或置換,而不會脫離本案的範疇。

【0073】 如圖11A中所示,階段1圖示了在提供載體1100並且在該載體1100之上形成金屬層之後的狀態。該金屬層可被圖案化以形成互連1102。可使用鍍敷製程和蝕刻製程來形成該金屬層和互連。在一些實現中,載體1100可以提供有金屬層,該金屬層被圖案化以形成互連1102。

【0074】 階段2圖示了在載體1100和互連1102之上形成介電層1120之後的狀態。可使用沉積及/或層壓製程來形

成介電層 1120。介電層 1120 可包括聚醯亞胺。然而，不同實現可以將不同材料用於介電層。

【0075】 階段 3 圖示了在介電層 1120 中形成複數個腔 1110 之後的狀態。可使用蝕刻製程（例如，光刻製程）或鐳射製程來形成該複數個腔 1110。

【0076】 階段 4 圖示了在介電層 1120 中和之上（包括在複數個腔 1110 中和之上）形成互連 1112 之後的狀態。例如，可以形成通孔、焊盤及 / 或跡線。可使用鍍敷製程來形成這些互連。

【0077】 階段 5 圖示了在介電層 1120 之上形成另一介電層 1122 之後的狀態。可使用沉積及 / 或層壓製程來形成介電層 1122。介電層 1122 可以是與介電層 1120 相同的材料。然而，不同實現可以將不同材料用於介電層。

【0078】 如圖 11B 中所示，階段 6 圖示了在介電層 1122 中形成複數個腔 1130 之後的狀態。可使用蝕刻製程或鐳射製程來形成腔 1130。

【0079】 階段 7 圖示了在介電層 1122 中和之上（包括在複數個腔 1130 中和之上）形成互連 1144 之後的狀態。例如，可以形成通孔、焊盤及 / 或跡線。可使用鍍敷製程來形成這些互連。

【0080】 階段 8 圖示了在介電層 1122 之上形成另一介電層 1124 之後的狀態。可使用沉積及 / 或層壓製程來形成介電層 1124。介電層 1124 可以是與介電層 1120 相同的材料。然而，不同實現可以將不同材料用於介電層。

【0081】 階段 9 圖示了在介電層 1124 中形成複數個腔 1140 之後的狀態。可使用蝕刻製程或鐳射製程來形成腔 1140。

【0082】 如圖 11C 中所示，階段 10 圖示了在介電層 1124 中和之上（包括在複數個腔 1140 中和之上）形成互連 1116 之後的狀態。例如，可以形成通孔、焊盤及 / 或跡線。可使用鍍敷製程來形成這些互連。

【0083】 互連 1102、1112、1114 及 / 或 1116 中的一些或全部可以定義基板 102 的複數個互連 122。介電層 1120、1122、1124 可以由至少一個介電層 120 表示。

【0084】 階段 11 圖示了從介電層 1150 解耦（例如，移除、磨掉）載體 1100 從而留下包括至少一個介電層 120 和複數個互連 122 的基板 102 之後的狀態。

【0085】 階段 12 圖示了在基板 102 之上形成第一阻焊層 1160 和第二阻焊層 1162 之後的狀態。可使用沉積製程來形成第一阻焊層 1160 和第二阻焊層 1162。在一些實現中，在至少一個介電層 1150 之上可以不形成或形成一個阻焊層。

【0086】 不同實現可使用不同製程來形成（諸）金屬層。在一些實現中，化學氣相沉積（CVD）製程及 / 或實體氣相沉積（PVD）製程用於形成（諸）金屬層。例如，可使用濺鍍製程、噴塗製程、及 / 或鍍敷製程來形成（諸）金屬層。

用於製造基板的方法的示例性流程圖

【0087】 在一些實現中，製造基板包括若干製程。圖 12 圖示了用於提供或製造基板的方法 1200 的示例性流程圖。在一些實現中，圖 12 的方法 1200 可被用來提供或製造圖 1 - 4 的（諸）基板。例如，圖 12 的方法 1200 可被用來製造基板 102。

【0088】 應當注意，圖 12 的方法可以組合一或多個製程以便簡化及 / 或闡明用於提供或製造基板的方法。在一些實現中，各製程的次序可被改變或修改。

【0089】 該方法（在 1205）提供載體 1100。不同實現可將不同材料用於載體。載體可包括基板、玻璃、石英及 / 或載體帶。圖 11A 的階段 1 圖示並描述了所提供的載體的實例。

【0090】 該方法（在 1210）在載體 1100 之上形成金屬層。該金屬層可被圖案化以形成互連。可使用鍍敷製程來形成該金屬層和互連。在一些實現中，載體可以包括金屬層。在載體之上的金屬層可被圖案化以形成互連（例如，1102）。圖 11A 的階段 1 圖示並描述了在載體之上形成金屬層和互連的實例。

【0091】 該方法（在 1215）在載體 1100 和互連 1102 之上形成介電層 1120。可使用沉積及 / 或層壓製程來形成介電層。介電層 1120 可包括聚醯亞胺。形成介電層亦可包括在介電層 1120 中形成複數個腔（例如，1110）。可使用蝕刻製程（例如，光刻）或鐳射製程來形成該複數個腔。圖

11A 的階段 2 - 3 圖示並描述了形成介電層並且在該介電層中形成腔的實例。

【0092】 該方法（在 1220）在該介電層中和之上形成互連。例如，可在介電層 1120 中和之上形成互連 1112。可使用鍍敷製程來形成這些互連。形成互連可以包括在介電層之上及 / 或中提供圖案化金屬層。形成互連亦可包括在介電層的腔中形成互連。圖 11A 的階段 4 圖示並描述了在介電層中和之上形成互連的實例。

【0093】 該方法（在 1225）在介電層 1120 和這些互連之上形成介電層 1122。可使用沉積及 / 或層壓製程來形成介電層。介電層 1122 可包括聚醯亞胺。形成介電層亦可包括在介電層 1122 中形成複數個腔（例如，1130）。可使用蝕刻製程或鐳射製程來形成該複數個腔。圖 11A - 11B 的階段 5 - 6 圖示並描述了形成介電層並且在該介電層中形成腔的實例。

【0094】 該方法（在 1230）在該介電層中及 / 或之上形成互連。例如，可以形成互連 1114。可使用鍍敷製程來形成這些互連。形成互連可以包括在介電層之上和中提供圖案化金屬層。形成互連亦可包括在介電層的腔中形成互連。圖 11B 的階段 7 圖示並描述了在介電層中和之上形成互連的實例。

【0095】 該方法可以形成（諸）附加介電層和附加互連，如在 1225 和 1230 所描述的。圖 11B - 11C 的階段 8 - 10

圖示並描述了形成附加介電層和在介電層中和之上形成互連的實例。

【0096】 一旦形成所有介電層和附加互連，該方法就可從介電層 120 解耦（例如，移除、磨掉）該載體（例如，1100），從而留下該基板。在一些實現中，該方法可在該基板之上形成阻焊層（例如，1160、1162）。

【0097】 不同實現可使用不同製程來形成（諸）金屬層。在一些實現中，化學氣相沉積（CVD）製程及/或實體氣相沉積（PVD）製程用於形成（諸）金屬層。例如，可使用濺鍍製程、噴塗製程、及/或鍍敷製程來形成（諸）金屬層。

示例性電子設備

【0098】 圖 13 圖示了可整合有前述裝置、整合裝置、積體電路（IC）封裝、積體電路（IC）裝置、半導體裝置、積體電路、晶粒、中介體、封裝、層疊封裝（PoP）、系統級封裝（SiP）、或片上系統（SoC）中的任一者的各種電子設備。例如，行動電話設備 1302、膝上型電腦設備 1304、固定位置終端設備 1306、可穿戴設備 1308、或機動交通工具 1310 可包括如本文所描述的裝置 1300。裝置 1300 可以是例如本文所描述的裝置及/或積體電路（IC）封裝中的任一者。圖 13 中所圖示的設備 1302、1304、1306 和 1308、以及交通工具 1310 僅僅是示例性的。其他電子設備亦能以裝置 1300 為特徵，此類電子設備包括但不限於包括以下各項的設備（例如，電子設備）群：行動設備、掌上型個人通訊系統（PCS）單元、可攜式資料單元（諸

如個人數位助理)、啟用全球定位系統(GPS)的設備、導航設備、機上盒、音樂播放機、視訊播放機、娛樂單元、固定位置資料單元(諸如儀錶讀取裝備)、通訊設備、智慧型電話、平板電腦、電腦、可穿戴設備(例如,手錶、眼鏡)、物聯網路(IoT)設備、伺服器、路由器、機動交通工具中實現的電子設備、或者儲存或檢索資料或電腦指令的任何其他設備,或者其任何組合。

【0099】 圖1-6、9A-9C、10、11A-11C及/或12-13中所圖示的各部件、程序、特徵、及/或功能中的一者或多者可以被重新安排及/或組合成單個部件、程序、特徵或功能,或者在若干部件、程序或功能中實施。亦可添加附加部件、部件、程序、及/或功能而不會脫離本案。亦應當注意,圖1-6、9A-9C、10、11A-11C及/或12-13及其在本案中的對應描述不限於晶粒及/或IC。在一些實現中,圖1-6、9A-9C、10、11A-11C及/或12-13及其對應描述可被用來製造、建立、提供、及/或生產裝置及/或整合裝置。在一些實現中,裝置可包括晶粒、整合裝置、整合被動裝置(IPD)、晶粒封裝、積體電路(IC)裝置、裝置封裝、積體電路(IC)封裝、晶片、半導體裝置、層疊封裝(PoP)裝置、散熱裝置及/或中介體。

【0100】 注意,本案中的附圖可以表示各種部件、部件、物件、裝置、封裝、整合裝置、積體電路、及/或電晶體的實際表示及/或概念表示。在一些實例中,附圖可以不是按比例。在一些實例中,為了清楚起見,並未圖示所有部

件及/或部件。在一些實例中，附圖中的各個部件及/或部件的定位、位置、大小、及/或形狀可以是示例性的。在一些實現中，附圖中的各個部件及/或部件可以是可任選的。

【0101】 措辭「示例性」在本文中用於表示「用作實例、例子、或圖示」。本文中描述為「示例性」的任何實現或態樣不必被解釋為優於或勝過本案的其他態樣。同樣，術語「態樣」不要求本案的所有態樣皆包括所論述的特徵、優點或操作模式。術語「耦合」在本文中用於指兩個物件之間的直接或間接耦合（例如，機械耦合）。例如，若物件A實體地接觸物件B，且物件B接觸物件C，則物件A和C仍可被認為是彼此耦合的——即便它們並非彼此直接實體接觸。將部件A耦合到部件B可表示部件A耦合到部件B、及/或部件B耦合到部件A。術語「電耦合」可表示兩個物件直接或間接耦合在一起，以使得電流（例如，訊號、功率、接地）可以在兩個物件之間傳遞。電耦合的兩個物件在這兩個物件之間可以有或者可以沒有電流傳遞。術語「第一」、「第二」、「第三」和「第四」（及/或高於第四的任何事物）的使用是任意的。所描述的任何部件可以是第一部件、第二部件、第三部件或第四部件。例如，被稱為第二部件的部件可以是第一部件、第二部件、第三部件或第四部件。術語「包封」意指物件可以部分地包封或完全包封另一物件。術語「頂部」和「底部」是任意的。位於頂部的部件可以處在位於底部的部件之上。頂部部件可被視為底部部件，反之亦然。如本案所描述的，位於第二部

件「之上」的第一部件可意味著第一部件位於第二部件上方或下方，這取決於底部或頂部被如何任意定義。在另一實例中，第一部件可位於第二部件的第一表面之上（例如，上方），而第三部件可位於第二部件的第二表面之上（例如，下方），其中第二表面與第一表面相對。進一步注意，如在本案中在一個部件位於另一部件之上的上下文中所使用的術語「之上」可被用來表示部件在另一部件上及/或在另一部件中（例如，在部件的表面上或被嵌入在部件中）。由此，例如，第一部件在第二部件之上可表示：（1）第一部件在第二部件之上，但是不直接接觸第二部件；（2）第一部件在第二部件上（例如，在第二部件的表面上）；及/或（3）第一部件在第二部件中（例如，嵌入在第二部件中）。位於第二部件「中」的第一部件可以部分地位於第二部件中或者完全位於第二部件中。如本案中所使用的術語「約‘值X’」或「大致為值X」意味著在‘值X’的百分之十以內。例如，約1或大致為1的值將意味著在0.9–1.1範圍中的值。

【0102】 在一些實現中，互連是裝置或封裝中允許或促成兩個點、部件及/或部件之間的電連接的部件或部件。在一些實現中，互連可包括跡線、通孔、焊盤、焊柱、重分佈金屬層、及/或凸塊下金屬化（UBM）層。互連可包括一或多個金屬組分（例如，晶種層+金屬層）。在一些實現中，互連是可被配置成為訊號（例如，資料訊號、接地或電源）提供電路徑的導電材料。互連可以是電路的一部分。互連

可包括不止一個部件或部件。互連可以由一或多個互連來定義。不同實現可使用相似或不同的製程來形成互連。在一些實現中，化學氣相沉積（CVD）製程及/或實體氣相沉積（PVD）製程用於形成互連。例如，可使用濺射製程、噴塗、及/或鍍敷製程來形成互連。

【0103】 亦應注意，本文中所包含的各種揭示可以作為被圖示為流程圖、流程圖、結構圖或方塊圖的程序來描述。儘管流程圖可以將操作描述為順序程序，但很多操作可以並行地或併發地執行。另外，可以重新排列操作的次序。程序在其操作完成時終止。

【0104】 以下提供了本案的各態樣的概覽：

【0105】 態樣 1：一種封裝，包括：基板；耦合到該基板的第一整合裝置；耦合到該基板的第二整合裝置；耦合到該第一整合裝置和該第二整合裝置的第一橋；其中該第一橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第一電路徑，並且其中該第一橋耦合到該第一整合裝置的頂部和該第二整合裝置的頂部；及耦合到該第一整合裝置和該第二整合裝置的第二橋，其中該第二橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第二電路徑。

【0106】 態樣 2：如態樣 1 之封裝，其中該至少一條第一電路徑包括該第一整合裝置的背側和該第二整合裝置的背側。

【0107】 態樣 3：如態樣 1 至 2 之封裝，其中該第一整合裝置包括：第一晶粒；及耦合到該第一晶粒的第二晶粒。

【0108】 態樣 4：如態樣 3 之封裝，其中該第二整合裝置包括：第三晶粒；及耦合到該第三晶粒的第四晶粒。

【0109】 態樣 5：如態樣 4 之封裝，其中該第一晶粒位於該第二晶粒之上，其中該第二晶粒耦合到該基板，其中該第三晶粒位於該第四晶粒之上，並且其中該第四晶粒耦合到該基板。

【0110】 態樣 6：如態樣 4 之封裝，其中該第一晶粒被配置成經由該第一橋電耦合到該第三晶粒。

【0111】 態樣 7：如態樣 4 至 6 之封裝，其中該第一整合裝置包括第一包封層，並且其中該第二整合裝置包括第二包封層。

【0112】 態樣 8：如態樣 3 至 7 之封裝，其中該第一晶粒的前側面向該第二晶粒的前側。

【0113】 態樣 9：如態樣 3 至 7 之封裝，其中該第一晶粒的前側面向該第二晶粒的背側。

【0114】 態樣 10：如態樣 3 至 7 之封裝，其中該第一晶粒的背側面向該第二晶粒的前側。

【0115】 態樣 11：如態樣 1 至 10 之封裝，其中該第一橋包括橋晶粒，該橋晶粒包括：晶粒基板；及至少一個橋互連。

【0116】 態樣 12：如態樣 1 至 10 之封裝，其中該第一橋包括橋結構，該橋結構包括：至少一個介電層；及至少一個橋互連。

【0117】 態樣 13：如態樣 1 至 12 之封裝，其中該第一橋被配置成在該第一整合裝置與該第二整合裝置之間為輸入/輸出（I/O）訊號提供至少一條第一電路徑。

【0118】 態樣 14：如態樣 1 至 13 之封裝，其中該第二橋被配置成在該第一整合裝置與該第二整合裝置之間為輸入/輸出（I/O）訊號提供至少一條第二電路徑。

【0119】 態樣 15：如態樣 1 至 2 之封裝，其中該第一整合裝置包括：第一晶粒；及耦合到該第一晶粒的第二晶粒，其中該第二整合裝置包括：第三晶粒；及耦合到該第三晶粒的第四晶粒，並且其中該第一橋被配置成在該第一晶粒與該第三晶粒之間為輸入/輸出（I/O）訊號提供至少一條第一電路徑，並且其中該第二橋被配置成在該第二晶粒與該第四晶粒之間為輸入/輸出（I/O）訊號提供至少一條第二電路徑。

【0120】 態樣 16：如態樣 1 至 15 之封裝，其中該第二橋至少部分地位於該基板中。

【0121】 態樣 17：一種裝備，包括：基板；耦合到該基板的第一整合裝置；耦合到該基板的第二整合裝置；耦合到該第一整合裝置和該第二整合裝置的第一橋互連裝置，其中該第一橋互連裝置被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第一電路徑，並且其中該第一橋互連裝置耦合到該第一整合裝置的頂部和該第二整合裝置的頂部；及耦合到該第一整合裝置和該第二整合裝置的第二橋互連裝置，其中該第二橋互連裝置被配置成在該第

一整合裝置與該第二整合裝置之間提供至少一條第二電路徑。

【0122】 態樣 18：如態樣 17 之裝備，其中該第一整合裝置包括：第一晶粒；及耦合到該第一晶粒的第二晶粒。

【0123】 態樣 19：如態樣 18 之裝備，其中該第二整合裝置包括：第三晶粒；及耦合到該第三晶粒的第四晶粒。

【0124】 態樣 20：如態樣 18 至 19 之裝備，其中該第一晶粒的前側面向該第二晶粒的前側。

【0125】 態樣 21：如態樣 18 至 19 之裝備，其中該第一晶粒的前側面向該第二晶粒的背側。

【0126】 態樣 22：如態樣 18 至 19 之裝備，其中該第一晶粒的背側面向該第二晶粒的前側。

【0127】 態樣 23：如態樣 17 至 22 之裝備，其中該第一橋互連裝置包括橋晶粒，該橋晶粒包括：晶粒基板；及至少一個橋互連。

【0128】 態樣 24：如態樣 17 至 22 之裝備，其中該第一橋互連裝置包括橋結構，該橋結構包括：至少一個介電層；及至少一個橋互連。

【0129】 態樣 25：如態樣 17 至 24 之裝備，其中該裝備包括從包括以下各項的群中選擇的電子設備：音樂播放機、視訊播放機、娛樂單元、導航設備、通訊設備、行動設備、行動電話、智慧型電話、個人數位助理、固定位置終端、平板電腦、電腦、可穿戴設備、膝上型電腦、伺服器、物聯網路（IoT）設備、以及機動交通工具中的設備。

【0130】 態樣 26：一種用於製造封裝的方法，包括：提供基板；將第一整合裝置耦合到該基板；將第二整合裝置耦合到該基板；將第一橋耦合到該第一整合裝置和該第二整合裝置；其中該第一橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第一電路徑，並且其中該第一橋耦合到該第一整合裝置的頂部和該第二整合裝置的頂部；及將第二橋耦合到該第一整合裝置和該第二整合裝置，其中該第二橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第二電路徑。

【0131】 態樣 27：如態樣 26 之方法，其中將該第二橋耦合到該第一整合裝置和該第二整合裝置是在該第一整合裝置和該第二整合裝置耦合到該基板時執行的。

【0132】 態樣 28：如態樣 26 至 27 之方法，其中該至少一條第一電路徑包括該第一整合裝置的背側和該第二整合裝置的背側。

【0133】 態樣 29：如態樣 26 至 28 之方法，其中該第一整合裝置包括：第一晶粒；耦合到該第一晶粒的第二晶粒；第三晶粒；及耦合到該第三晶粒的第四晶粒。

【0134】 態樣 30：如態樣 29 之方法，其中該第一晶粒被配置成經由該第一橋電耦合到該第三晶粒。

【0135】 本文中所描述的本案的各種特徵可實現於不同系統中而不會脫離本案。應當注意，本案的以上各態樣僅是實例，且不應被解釋成限定本案。對本案的各態樣的描述意欲是說明性的，而非限定所附請求項的範疇。由此，本

案的教導可以現成地應用於其他類型的裝置，並且許多替換、修改和變形對於本發明所屬領域中具有通常知識者將是顯而易見的。

【符號說明】

【0136】

1 0 0 : 封 裝

1 0 2 : 基 板

1 0 5 : 整 合 裝 置

1 0 6 : 板

1 0 7 : 整 合 裝 置

1 1 0 : 橋

1 1 2 : 互 連

1 2 0 : 介 電 層

1 2 2 : 互 連

1 2 4 : 焊 料 互 連

1 2 5 : 焊 料 互 連

1 2 7 : 焊 料 互 連

1 3 0 : 橋

1 3 2 : 橋 互 連

1 5 4 : 焊 料 互 連

1 5 4 a : 焊 料 互 連

1 7 4 : 焊 料 互 連

1 7 4 a : 焊 料 互 連

2 0 0 : 封 裝

2 2 5 : 焊 柱 互 連

2 2 7 : 焊 柱 互 連

2 5 4 : 焊 柱 互 連

2 5 4 a : 焊 柱 互 連

2 7 4 : 焊 柱 互 連

2 7 4 a : 焊 柱 互 連

3 0 0 : 封 裝

3 0 5 : 整 合 裝 置

3 0 7 : 整 合 裝 置

3 5 1 : 第 一 晶 粒

3 5 3 : 第 二 晶 粒

3 5 4 : 焊 料 互 連

3 5 6 : 包 封 層

3 7 1 : 第 三 晶 粒

3 7 3 : 第 四 晶 粒

3 7 4 : 焊 料 互 連

3 7 6 : 包 封 層

4 5 1 : 貫 穿 基 板 通 孔 (T S V)

4 5 3 : 貫 穿 基 板 通 孔 (T S V)

4 7 1 : 貫 穿 基 板 通 孔 (T S V)

4 7 3 : 貫 穿 基 板 通 孔 (T S V)

5 0 0 : 橋

5 1 0 : 晶 粒 基 板

5 1 2 : 橋 互 連

5 1 4 : 凸 塊 下 互 連

5 1 4 a : 凸 塊 下 互 連

5 1 4 b : 凸 塊 下 互 連

5 2 0 : 鈍 化 層

5 3 0 : 焊 料 互 連

6 0 0 : 橋

6 1 0 : 介 電 層

6 1 2 : 橋 互 連

6 1 2 a : 橋 互 連

6 1 2 b : 橋 互 連

6 1 2 c : 橋 互 連

7 0 0 : 圖 形

7 1 0 : 眼 圖 開 口

8 0 0 : 圖 形

8 1 0 : 眼 圖 開 口

9 3 0 : 腔

1 0 0 0 : 方 法

1 0 0 5 : 方 塊

1 0 1 0 : 方 塊

1 0 1 5 : 方 塊

1 0 2 0 : 方 塊

1 0 2 5 : 方 塊

1 0 3 0 : 方 塊

1 1 0 0 : 載 體

1 1 0 2 : 互 連

1 1 1 0 : 腔

1 1 1 2 : 互 連

1 1 1 4 : 互 連

1 1 1 6 : 互 連

1 1 2 0 : 介 電 層

1 1 2 2 : 介 電 層

1 1 2 4 : 介 電 層

1 1 4 0 : 腔

1 1 6 0 : 第 一 阻 焊 層

1 1 6 2 : 第 二 阻 焊 層

1 2 0 0 : 方 法

1 2 0 5 : 方 塊

1 2 1 0 : 方 塊

1 2 1 5 : 方 塊

1 2 2 0 : 方 塊

1 2 2 5 : 方 塊

1 2 3 0 : 方 塊

1 3 0 0 : 裝 置

1 3 0 2 : 行 動 電 話 設 備

1 3 0 4 : 膝 上 型 電 腦 設 備

1 3 0 6 : 固 定 位 置 終 端 設 備

1 3 0 8 : 可 穿 戴 設 備

1 3 1 0 : 機 動 交 通 工 具

【生物材料寄存】

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【請求項 1】 一種封裝，包括：

一基板；

耦合到該基板的一第一整合裝置；

耦合到該基板的一第二整合裝置；

耦合到該第一整合裝置和該第二整合裝置的一第一橋，

其中該第一橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第一電路徑，並且

其中該第一橋耦合到該第一整合裝置的一頂部和該第二整合裝置的一頂部；及

耦合到該第一整合裝置和該第二整合裝置的一第二橋，其中該第二橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第二電路徑。

【請求項 2】 如請求項 1 之封裝，其中該至少一條第一電路徑包括該第一整合裝置的一背側和該第二整合裝置的一背側。

【請求項 3】 如請求項 1 之封裝，其中該第一整合裝置包括：

一第一晶粒；及

耦合到該第一晶粒的一第二晶粒。

【請求項 4】 如請求項 3 之封裝，其中該第二整合裝置包括：

一第三晶粒；及

耦合到該第三晶粒的一第四晶粒。

【請求項 5】 如請求項 4 之封裝，

其中該第一晶粒位於該第二晶粒之上，

其中該第二晶粒耦合到該基板，

其中該第三晶粒位於該第四晶粒之上，並且

其中該第四晶粒耦合到該基板。

【請求項 6】 如請求項 4 之封裝，其中該第一晶粒被配置成經由該第一橋電耦合到該第三晶粒。

【請求項 7】 如請求項 4 之封裝，

其中該第一整合裝置包括一第一包封層，並且

其中該第二整合裝置包括一第二包封層。

【請求項 8】 如請求項 3 之封裝，其中該第一晶粒的前側面向該第二晶粒的一前側。

【請求項 9】 如請求項 3 之封裝，其中該第一晶粒的一前側面向該第二晶粒的一背側。

【請求項 10】 如請求項 3 之封裝，其中該第一晶粒的一背側面向該第二晶粒的一前側。

【請求項 11】 如請求項 1 之封裝，其中該第一橋包括一橋晶粒，該橋晶粒包括：

一晶粒基板；及

至少一個橋互連。

【請求項 12】 如請求項 1 之封裝，其中該第一橋包括一橋結構，該橋結構包括：

至少一個介電層；及

至少一個橋互連。

【請求項 13】如請求項 1 之封裝，其中該第一橋被配置成在該第一整合裝置與該第二整合裝置之間為輸入/輸出（I/O）訊號提供至少一條第一電路徑。

【請求項 14】如請求項 1 之封裝，其中該第二橋被配置成在該第一整合裝置與該第二整合裝置之間為輸入/輸出（I/O）訊號提供至少一條第二電路徑。

【請求項 15】如請求項 1 之封裝，

其中該第一整合裝置包括：

一第一晶粒；及

耦合到該第一晶粒的一第二晶粒，

其中該第二整合裝置包括：

一第三晶粒；及

耦合到該第三晶粒的一第四晶粒，並且

其中該第一橋被配置成在該第一晶粒與該第三晶粒之間為輸入/輸出（I/O）訊號提供至少一條第一電路徑，並且

其中該第二橋被配置成在該第二晶粒與該第四晶粒之間為輸入/輸出（I/O）訊號提供至少一條第二電路徑。

【請求項 16】如請求項 1 之封裝，其中該第二橋至少部分地位於該基板中。

【請求項 17】一種裝備，包括：

一基板；

耦合到該基板的一第一整合裝置；

耦合到該基板的一第二整合裝置；

耦合到該第一整合裝置和該第二整合裝置的一第一橋互連裝置，

其中該第一橋互連裝置被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第一電路徑，並且

其中該第一橋互連裝置耦合到該第一整合裝置的一頂部和該第二整合裝置的一頂部；及
耦合到該第一整合裝置和該第二整合裝置的一第二橋互連裝置，其中該第二橋互連裝置被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第二電路徑。

【請求項 18】如請求項 17 之裝備，其中該第一整合裝置包括：

一第一晶粒；及

耦合到該第一晶粒的一第二晶粒。

【請求項 19】如請求項 18 之裝備，其中該第二整合裝置包括：

一第三晶粒；及

耦合到該第三晶粒的一第四晶粒。

【請求項 20】如請求項 18 之裝備，其中該第一晶粒的一前側面向該第二晶粒的一前側。

【請求項 21】如請求項 18 之裝備，其中該第一晶粒的一前側面向該第二晶粒的一背側。

【請求項 22】如請求項 18 之裝備，其中該第一晶粒的一

背側面向該第二晶粒的一前側。

【請求項 23】如請求項 17 之裝備，其中該第一橋互連裝置包括一橋晶粒，該橋晶粒包括：

一晶粒基板；及

至少一個橋互連。

【請求項 24】如請求項 17 之裝備，其中該第一橋互連裝置包括一橋結構，該橋結構包括：

至少一個介電層；及

至少一個橋互連。

【請求項 25】如請求項 17 之裝備，其中該裝備包括從包括以下各項的一群中選擇的一電子設備：一音樂播放機、一視訊播放機、一娛樂單元、一導航設備、一通訊設備、一行動設備、一行動電話、一智慧型電話、一個人數位助理、一固定位置終端、一平板電腦、一電腦、一可穿戴設備、一膝上型電腦、一伺服器、一物聯網路（IoT）設備、以及一機動交通工具中的一設備。

【請求項 26】一種用於製造封裝的方法，包括以下步驟：

提供一基板；

將一第一整合裝置耦合到該基板；

將一第二整合裝置耦合到該基板；

將一第一橋耦合到該第一整合裝置和該第二整合裝置，

其中該第一橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第一電路徑，並且

其中該第一橋耦合到該第一整合裝置的一頂部和該第二整合裝置的一頂部；及

將一第二橋耦合到該第一整合裝置和該第二整合裝置，其中該第二橋被配置成在該第一整合裝置與該第二整合裝置之間提供至少一條第二電路徑。

【請求項 27】如請求項 26 之方法，其中將該第二橋耦合到該第一整合裝置和該第二整合裝置是在該第一整合裝置和該第二整合裝置耦合到該基板時執行的。

【請求項 28】如請求項 26 之方法，其中該至少一條第一電路徑包括該第一整合裝置的一背側和該第二整合裝置的一背側。

【請求項 29】如請求項 26 之方法，其中該第一整合裝置包括：

一第一晶粒；

耦合到該第一晶粒的一第二晶粒；

一第三晶粒；及

耦合到該第三晶粒的一第四晶粒。

【請求項 30】如請求項 29 之方法，其中該第一晶粒被配置成經由該第一橋電耦合到該第三晶粒。



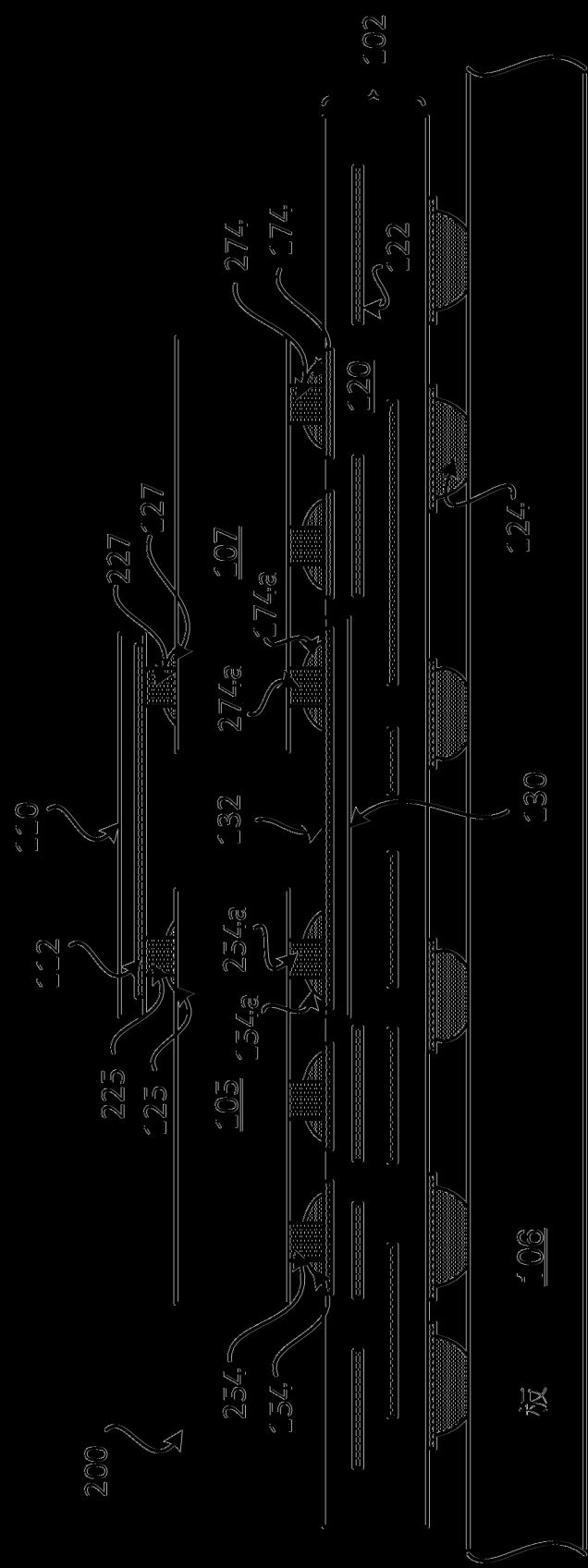


圖 2

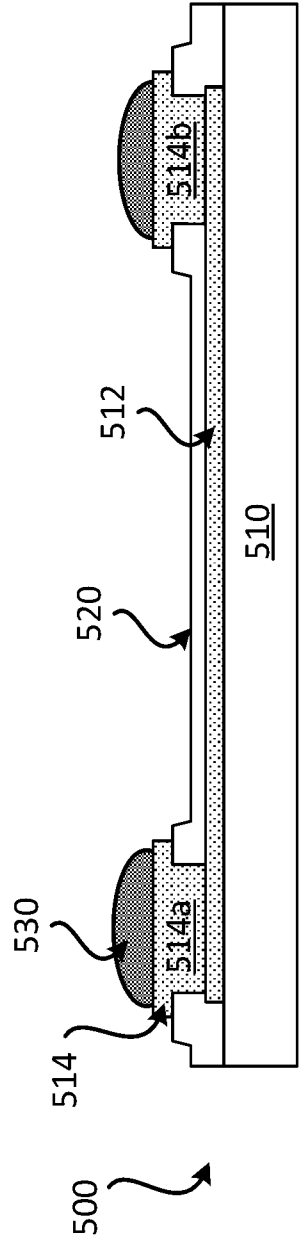


圖 5

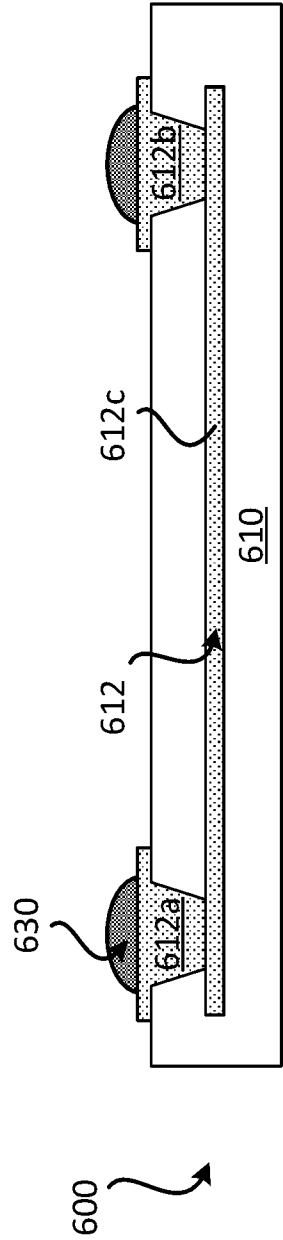


圖6

700

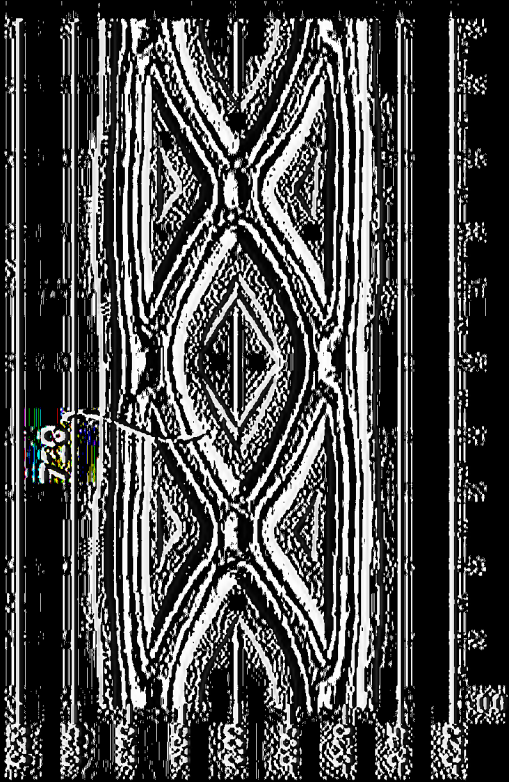


圖 7

說明

使用非直接連接的整合裝置之說明圖

說明圖 7



800

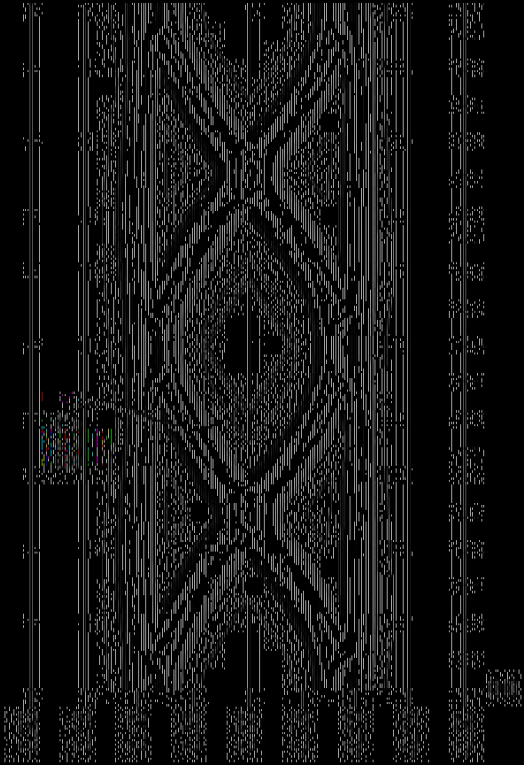


圖 8

說明

使用非直接連接的整合裝置之說明圖

說明圖 8



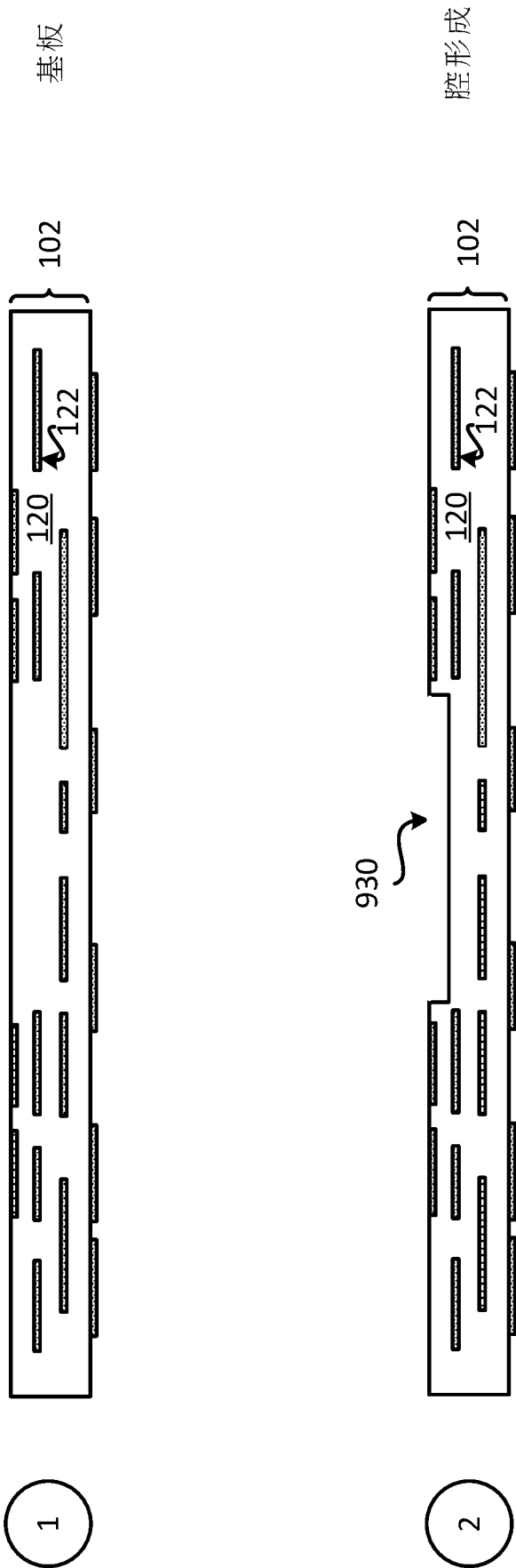


圖 9A



橫放置



整全裝置

圖 93

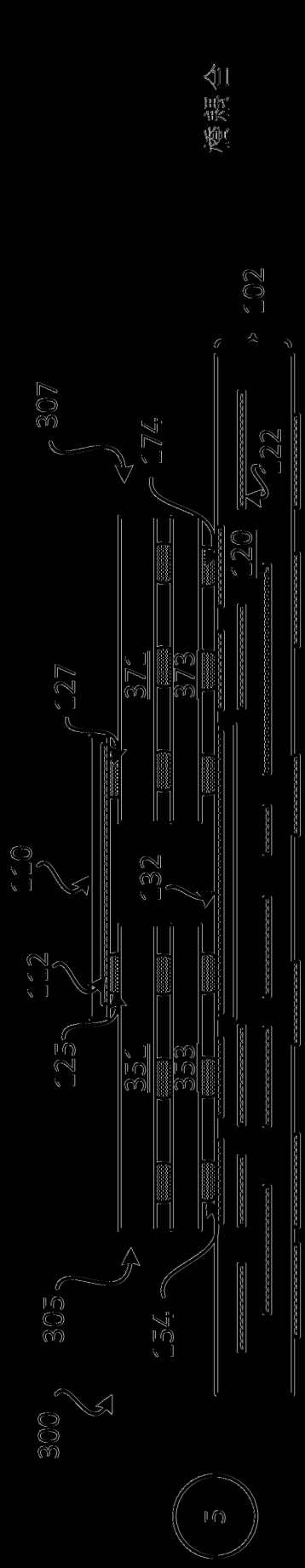


圖 5

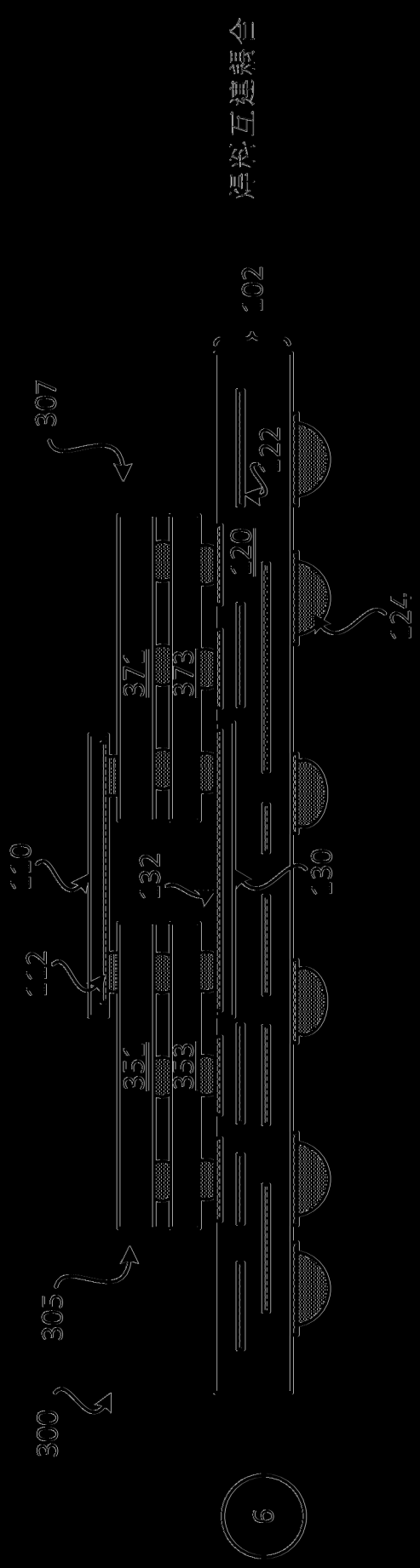


圖 6

圖 9C

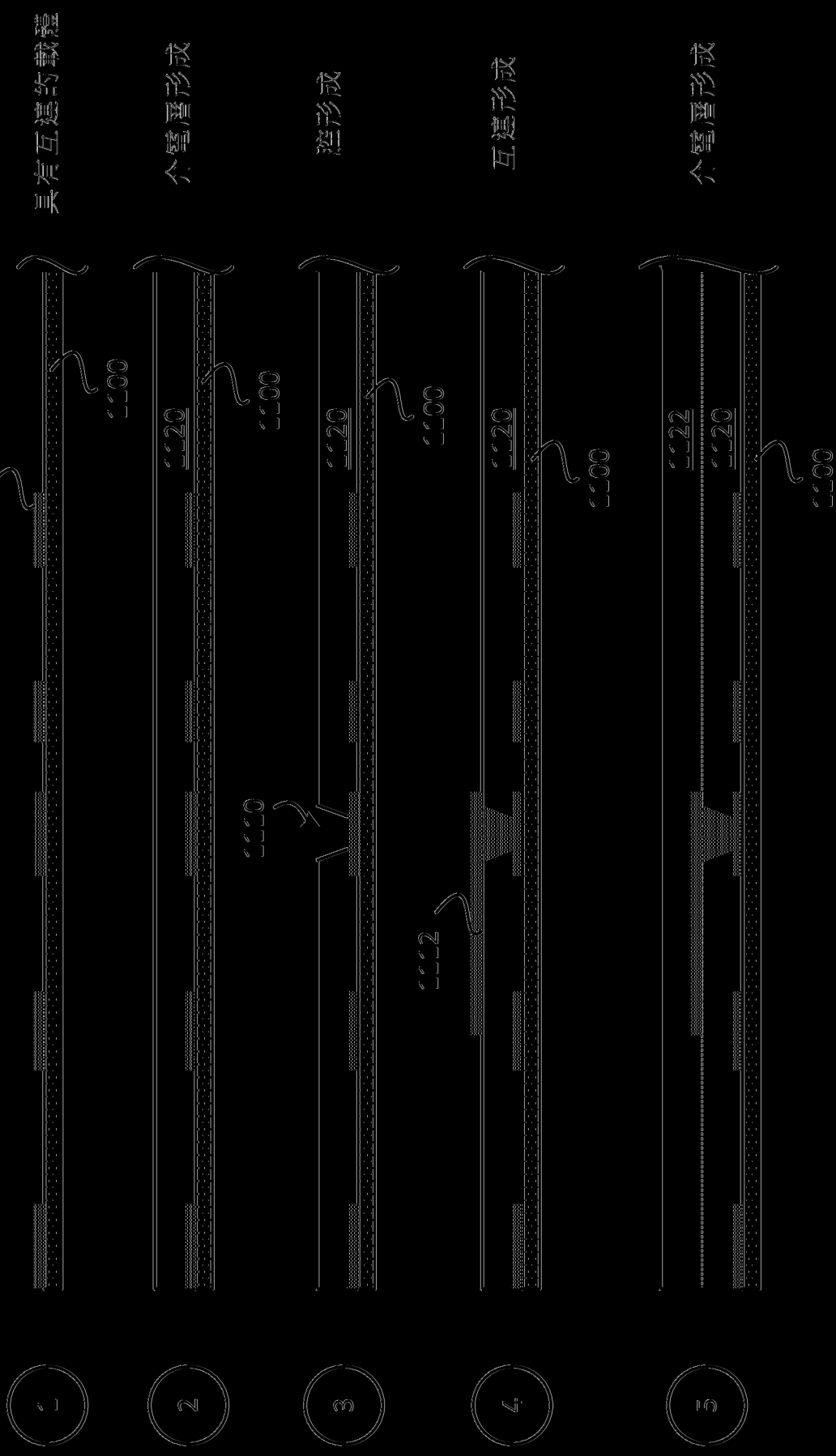


圖 1A

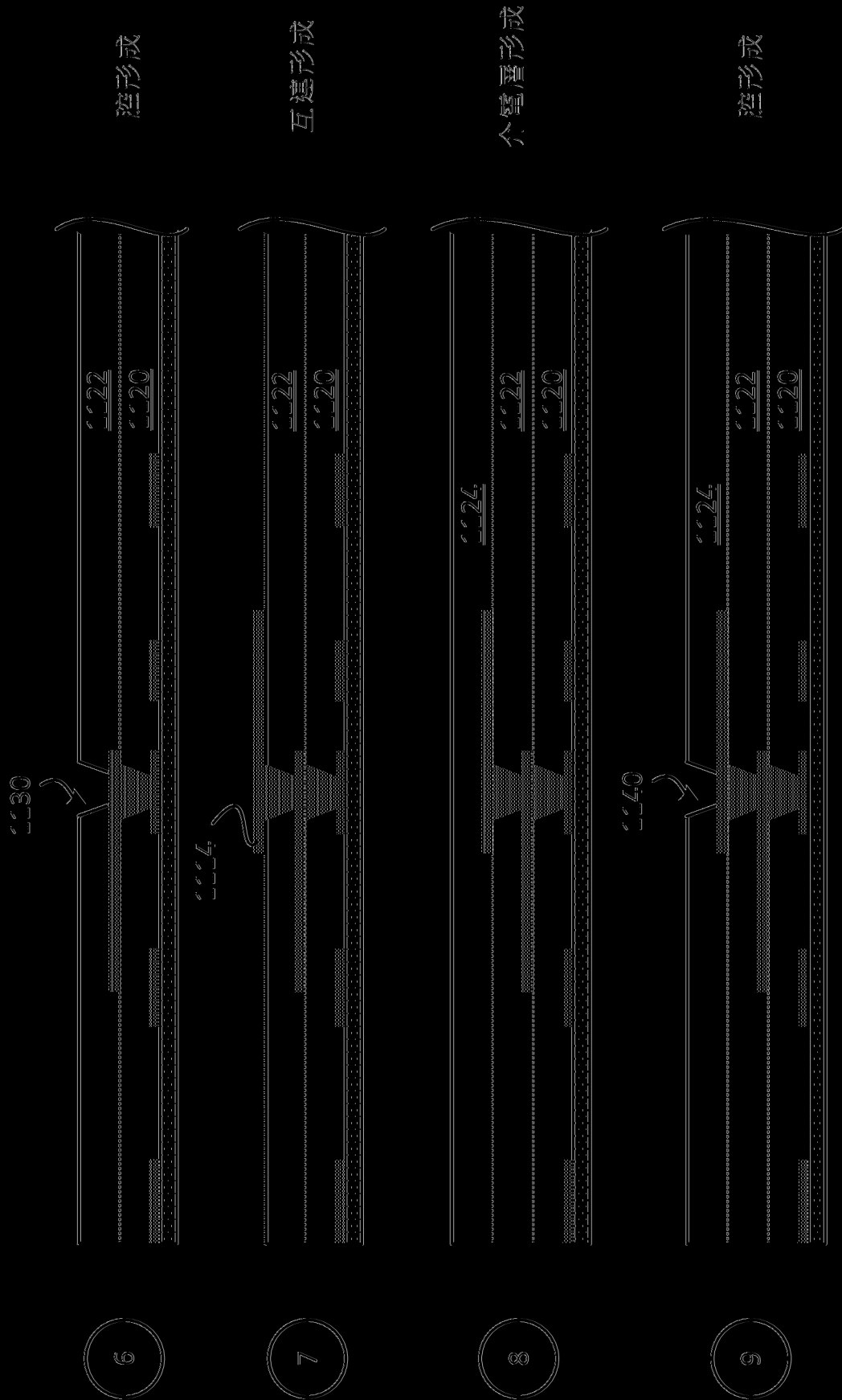


圖 13

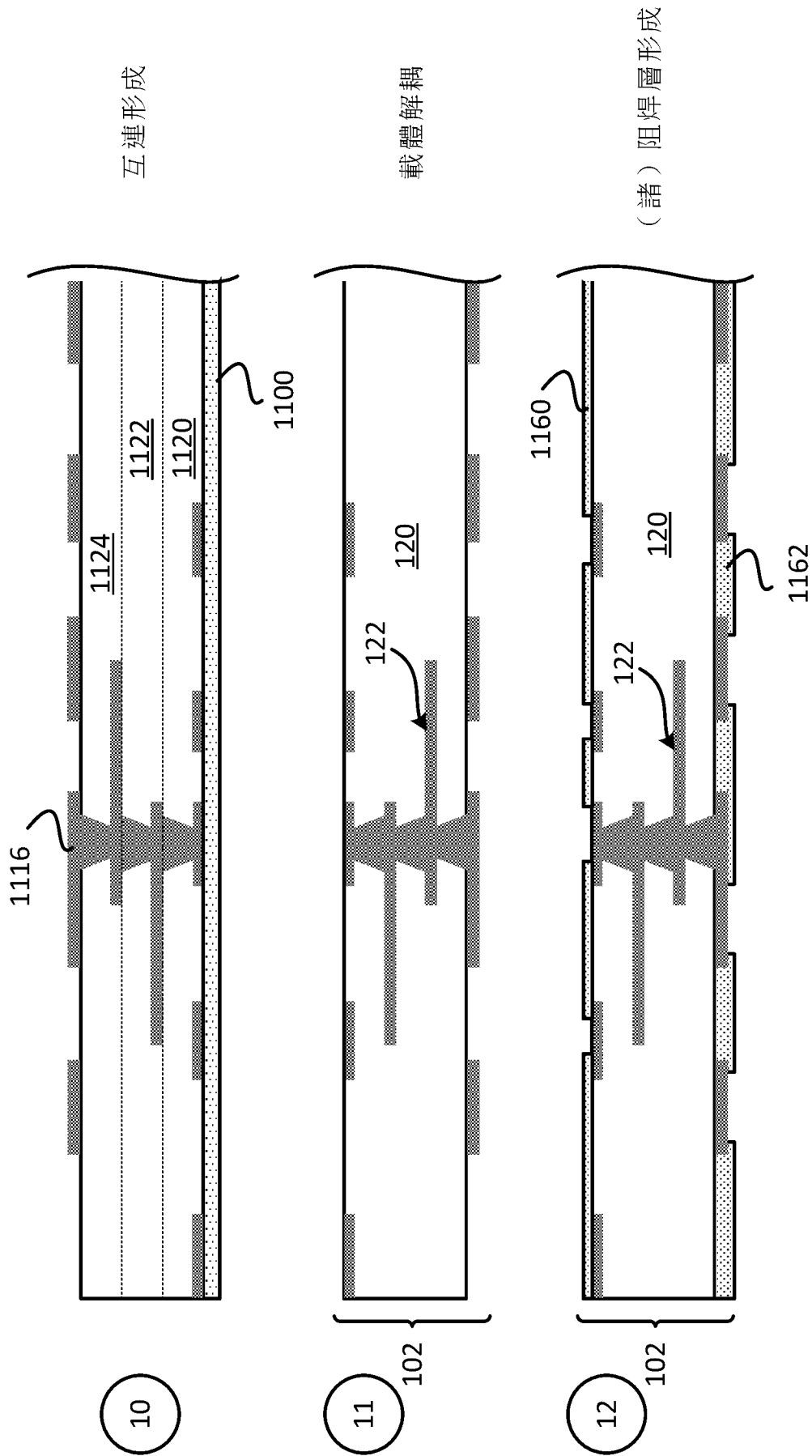


圖11C

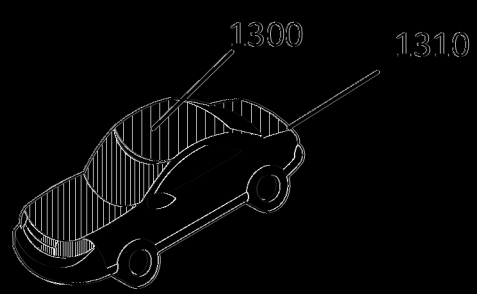
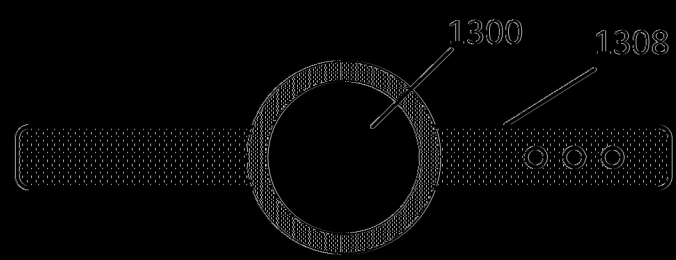
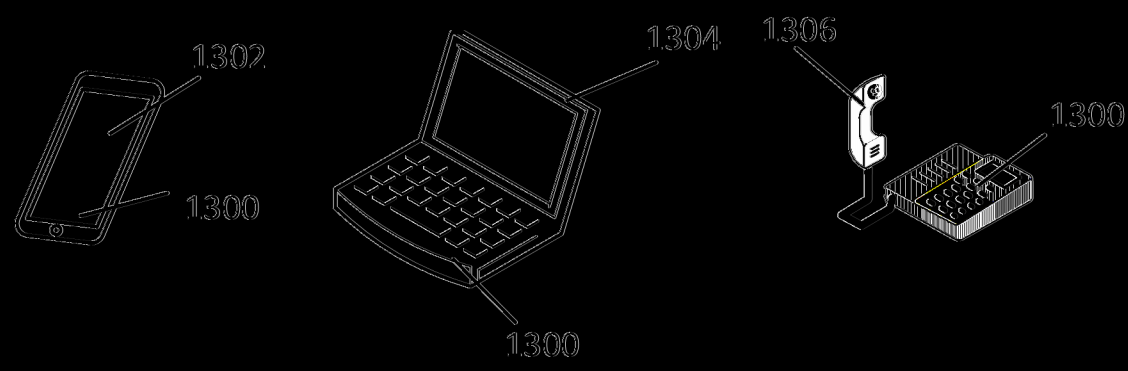


圖 13