

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

between the plurality of photoelectric conversion portions. An overflow gate is disposed in the pixel to adjust a potential of the overflow path. A pixel separating portion is disposed at a boundary of the pixel. A charge holding portion holds the generated charges. A charge transfer portion is disposed in each of the plurality of photoelectric conversion portions to transfer the generated charges to the charge holding portion to be held. An image signal generating portion generates an image signal on the basis of the generated charges.

(57) 要約: 位相差信号を生成する際の光電変換部の飽和電荷量の低下を防止する。画素は、半導体基板に形成されて被写体からの入射光の光電変換を行って電荷を生成する複数の光電変換部を備える。画素内分離部は、画素に配置されて複数の光電変換部を分離する。オーバーフローパスは、画素内分離部に配置されて複数の光電変換部同士において溢れた電荷を相互に転送する。オーバーフローゲートは、画素に配置されてオーバーフローパスのポテンシャルを調整する。画素分離部は、画素の境界に配置される。電荷保持部は、生成される電荷を保持する。電荷転送部は、複数の光電変換部毎に配置されて生成される電荷を電荷保持部に転送して保持させる。画像信号生成部は、生成される電荷に基づいて画像信号を生成する。

明 細 書

発明の名称：撮像素子及び撮像装置

技術分野

[0001] 本開示は、撮像素子及び撮像装置に関する。

背景技術

[0002] 2つの光電変換部を備える画素が2次元行列状に配置されて構成された撮像素子が使用されている。この撮像素子では、被写体からの入射光を瞳分割して像面位相差を検出するための位相差信号と被写体からの入射光に基づく画像信号とを生成することができる。位相差信号を生成する際には、2つの光電変換部の光電変換によりそれぞれ生成された電荷に基づく2つの画像信号を位相差信号として出力する。一方、画像信号を生成する際には、2つの光電変換部の光電変換により生成された電荷を画素において合算し、合算した電荷に基づいて生成された画像信号を出力する。

[0003] 2つの光電変換部は、例えば、比較的高い不純物濃度に構成された半導体領域により分離することができる。また、画素同士の間にも比較的高い不純物濃度に構成された半導体領域が配置され、画素同士を分離することができる。

[0004] この2つの光電変換部に非対称に光が入射する場合、光が多く入射する側の光電変換部に蓄積される電荷が飽和する場合がある。この蓄積電荷の飽和を生じた場合、光電変換部により新たに生成された電荷は、光電変換部から溢れ出ることとなる。この電荷が他の画素に流入すると、電荷を合算して生成された画像信号に誤差を生じる。そこで、2つの光電変換部の間の半導体領域のポテンシャル障壁を画素の間の半導体領域のポテンシャル障壁より低くして2つの光電変換部の間において電荷を移動させる光電変換装置が提案されている（例えば、特許文献1参照）。この光電変換装置では、2つの光電変換部の間の半導体領域の不純物濃度を画素の間の半導体領域の不純物濃度より低くすることにより、2つの光電変換部の間の半導体領域のポテンシ

ャル障壁を低くしている。

先行技術文献

特許文献

[0005] 特許文献1：特開 2 0 1 8 － 1 4 2 7 3 9 号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、上記の従来技術では、位相差信号を生成する際の光電変換部の飽和電荷量が低下するという問題がある。2つの光電変換部の間の半導体領域のポテンシャル障壁を低くするため、それぞれの光電変換部の飽和電荷量が低下する。位相差信号を検出する際の位相差検出可能範囲が狭くなり、利便性が低下するという問題がある。

[0007] そこで、本開示では、位相差信号を生成する際の光電変換部の飽和電荷量の低下を防止する撮像素子及び撮像装置を提案する。

課題を解決するための手段

[0008] 本開示は、上述の問題点を解消するためになされたものであり、その態様は、半導体基板に形成されて被写体からの入射光の光電変換を行って電荷を生成する複数の光電変換部を備える画素と、上記画素に配置されて上記複数の光電変換部を分離する画素内分離部と、上記画素内分離部に配置されて上記複数の光電変換部同士において溢れた電荷を相互に転送するオーバーフローパスと、上記画素に配置されて上記オーバーフローパスのポテンシャルを調整するオーバーフローゲートと、上記画素の境界に配置される画素分離部と、上記生成される電荷を保持する電荷保持部と、上記複数の光電変換部毎に配置されて上記生成される電荷を上記電荷保持部に転送して保持させる複数の電荷転送部と上記保持された電荷に基づいて画像信号を生成する画像信号生成部とを有する撮像素子である。

図面の簡単な説明

[0009] [図1]本開示の実施形態に係る撮像素子の構成例を示す図である。

[図2]本開示の実施形態に係る画素の構成例を示す図である。

[図3]本開示の第1の実施形態に係る画素の構成例を示す図である。

[図4A]本開示の第1の実施形態に係る画素の構成例を示す断面図である。

[図4B]本開示の第1の実施形態に係る画素の構成例を示す断面図である。

[図5]本開示の実施形態に係る画像信号及び位相差信号の生成の一例を示す図である。

[図6A]本開示の実施形態に係るオーバーフローゲートの効果を説明する図である。

[図6B]本開示の実施形態に係るオーバーフローゲートの効果を説明する図である。

[図6C]本開示の実施形態に係るオーバーフローゲートの効果を説明する図である。

[図7A]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7B]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7C]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7D]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図8]本開示の第1の実施形態に係るオーバーフローゲートのゲート電圧の測定の一例を示す図である。

[図9]本開示の第2の実施形態に係る画素の構成例を示す図である。

[図10A]本開示の第2の実施形態に係る画素の構成例を示す断面図である。

[図10B]本開示の第2の実施形態に係る画素の構成例を示す断面図である。

[図11A]本開示の第2の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図11B]本開示の第2の実施形態に係る撮像素子の製造方法の一例を示す図で

ある。

[図12]本開示の第3の実施形態に係る画素の構成例を示す図である。

[図13A]本開示の第3の実施形態に係る画素の構成例を示す断面図である。

[図13B]本開示の第3の実施形態に係る画素の構成例を示す断面図である。

[図14A]本開示の第3の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図14B]本開示の第3の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図14C]本開示の第3の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図14D]本開示の第3の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図15]本開示の第4の実施形態に係る画素の構成例を示す図である。

[図16A]本開示の第4の実施形態に係る画素の構成例を示す断面図である。

[図16B]本開示の第4の実施形態に係る画素の構成例を示す断面図である。

[図17]本開示の第4の実施形態に係る画素の他の構成例を示す図である。

[図18A]本開示の第4の実施形態に係る画素の他の構成例を示す断面図である。
。

[図18B]本開示の第4の実施形態に係る画素の他の構成例を示す断面図である。
。

[図19]本開示の第5の実施形態に係る画素の構成例を示す図である。

[図20]本開示の第6の実施形態に係る画素の構成例を示す図である。

[図21A]本開示の第6の実施形態に係る画素の構成例を示す断面図である。

[図21B]本開示の第6の実施形態に係る画素の構成例を示す断面図である。

[図22A]本開示の第6の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図22B]本開示の第6の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図22C]本開示の第6の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図22D]本開示の第6の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図22E]本開示の第6の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図23]本開示の第7の実施形態に係る画素の構成例を示す図である。

[図24A]本開示の第7の実施形態に係る画素の構成例を示す断面図である。

[図24B]本開示の第7の実施形態に係る画素の構成例を示す断面図である。

[図25]本開示の第8の実施形態に係る撮像素子の構成例を示す図である。

[図26A]本開示の第8の実施形態に係る撮像素子の構成例を示す図である。

[図26B]本開示の第8の実施形態に係る撮像素子の構成例を示す図である。

[図27]電子機器に搭載される撮像装置の構成例を示すブロック図である。

[図28]車両制御システムの概略的な構成の一例を示すブロック図である。

[図29]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

[図30]内視鏡手術システムの概略的な構成の一例を示す図である。

[図31]カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

発明を実施するための形態

[0010] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。説明は、以下の順に行う。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

1. 第1の実施形態
2. 第2の実施形態
3. 第3の実施形態
4. 第4の実施形態
5. 第5の実施形態
6. 第6の実施形態
7. 第7の実施形態

8. 第8の実施形態

9. 撮像装置の構成例

10. 移動体への応用例

11. 内視鏡手術システムへの応用例

[0011] (1. 第1の実施形態)

[撮像素子の構成]

図1は、本開示の実施形態に係る撮像素子の構成例を示す図である。本例の撮像素子1は、図1に示すように、半導体基板11例えばシリコン基板に複数の光電変換素子を含む画素100が規則的に2次元的に配列された画素領域（いわゆる撮像領域）3と、周辺回路部とを有して構成される。画素100は、光電変換素子となる例えばフォトダイオードと、複数の画素トランジスタ（いわゆるMOSトランジスタ）を有して成る。複数の画素トランジスタは、例えば転送トランジスタ、リセットトランジスタ及び増幅トランジスタの3つのトランジスタで構成することができる。その他、選択トランジスタを追加して4つのトランジスタで構成することもできる。画素100は、共有画素構造とすることもできる。この画素共有構造は、複数のフォトダイオードと、複数の転送トランジスタと、共有する1つの浮遊拡散領域と、共有する1つずつの他の画素トランジスタとから構成される。

[0012] 周辺回路部は、垂直駆動回路4と、カラム信号処理回路5と、水平駆動回路6と、出力回路7と、制御回路8などを有して構成される。

[0013] 制御回路8は、入力クロックと、動作モードなどを指令するデータを受け取り、また撮像素子の内部情報などのデータを出力する。すなわち、制御回路8では、垂直同期信号、水平同期信号及びマスタクロックに基づいて、垂直駆動回路4、カラム信号処理回路5及び水平駆動回路6などの動作の基準となるクロック信号や制御信号を生成する。そして、これらの信号を垂直駆動回路4、カラム信号処理回路5及び水平駆動回路6等に入力する。

[0014] 垂直駆動回路4は、例えばシフトレジスタによって構成され、画素駆動配線13を選択し、選択された画素駆動配線に画素を駆動するためのパルス

供給し、行単位で画素を駆動する。すなわち、垂直駆動回路4は、画素領域3の各画素100を行単位で順次垂直方向に選択走査し、垂直信号線9を通して各画素100の光電変換素子となる例えばフォトダイオードにおいて受光量に応じて生成した信号電荷に基づく画素信号をカラム信号処理回路5に供給する。

[0015] カラム信号処理回路5は、画素100の例えば列ごとに配置されており、1行分の画素100から出力される信号を画素列ごとにノイズ除去などの信号処理を行う。すなわちカラム信号処理回路5は、画素100固有の固定パターンノイズを除去するためのCDS (Correlated Double Sampling) や、信号増幅、AD変換等の信号処理を行う。カラム信号処理回路5の出力段には水平選択スイッチ（図示せず）が水平信号線10との間に接続されて設けられる。なお、カラム信号処理回路5は、請求の範囲に記載の処理回路の一例である。

[0016] 水平駆動回路6は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路5の各々を順番に選択し、カラム信号処理回路5の各々から画素信号を水平信号線10に出力させる。

[0017] 出力回路7は、カラム信号処理回路5の各々から水平信号線10を通して順次に供給される信号に対し、信号処理を行って出力する。例えば、バッファリングだけする場合もあるし、黒レベル調整、列ばらつき補正、各種デジタル信号処理などが行われる場合もある。入出力端子12は、外部と信号のやりとりをする。

[0018] [撮像素子の構成]

図2は、本開示の実施形態に係る画素の構成例を示す図である。同図は、本開示の実施形態に係る画素100の構成例を表す回路図である。画素100は、光電変換部101及び102と、電荷保持部103及び104と、電荷転送部105及び106と、リセットトランジスタ111と、増幅トランジスタ112と、選択トランジスタ113と、オーバーフローパス108と

、オーバーフローゲート109とを備える。なお、リセットトランジスタ111、増幅トランジスタ112及び選択トランジスタ113により構成される回路は、画像信号生成部110を構成する。また、電荷転送部105及び106、リセットトランジスタ111、増幅トランジスタ112及び選択トランジスタ113は、 n チャネルMOSトランジスタにより構成することができる。

[0019] 前述のように、画素100には、画素駆動配線13及び垂直信号線9が配線される。同図の画素駆動配線13には、信号線GATE、信号線TRG1、信号線TRG2、信号線RST、信号線SELが含まれる。また、垂直信号線9には、信号線VOが含まれる。この他、画素100には、電源線Vddが配線される。この電源線Vddは、画素100に電源を供給する配線である。

[0020] 光電変換部101のアノードは接地され、カソードは電荷転送部105のソースに接続される。光電変換部102のアノードは接地され、カソードは電荷転送部106のソースに接続される。電荷転送部105のドレインは、リセットトランジスタ111ソース、増幅トランジスタ112のゲート、電荷転送部106のドレイン、電荷保持部103の一端及び電荷保持部104の一端に接続される。電荷保持部103の他の一端及び104の他の一端は接地される。リセットトランジスタ111のドレインは、電源線Vddに接続される。増幅トランジスタ112のドレインは電源線Vddに接続され、ソースは選択トランジスタ113のドレインに接続される。選択トランジスタ113のソースは、信号線VOに接続される。オーバーフローパス108は、光電変換部101のカソード及び光電変換部102のカソードの間に接続される。

[0021] オーバーフローゲート109、電荷転送部105のゲート及び電荷転送部106のゲートには、それぞれ信号線GATE、信号線TRG1及び信号線TRG2が接続される。リセットトランジスタ111のゲート及び選択トランジスタ113のゲートには、それぞれ信号線RST及び信号線SELが接

続される。

[0022] 光電変換部101及び102は、入射光の光電変換を行うものである。この光電変換部101及び102は、後述する半導体基板120に形成されるフォトダイオードにより構成することができる。光電変換部101及び102は、露光期間において入射光の光電変換を行うとともに光電変換により生成される電荷を保持する。

[0023] 電荷保持部103及び104は、光電変換部101及び102により生成される電荷を保持するものである。同図の電荷保持部103及び104は、並列に接続される場合の例を表したものである。電荷保持部103及び104は、半導体基板120に形成される半導体領域である浮遊拡散領域（FD：Floating Diffusion）により構成することができる。

[0024] 同図の電荷転送部105及び106、リセットトランジスタ111、増幅トランジスタ112及び選択トランジスタ113は、 n チャネルMOSトランジスタにより構成することができる。この n チャネルMOSトランジスタでは、ゲートソース間電圧 V_{gs} の閾値を超える電圧をゲートに印加することにより、ドレインソース間を導通させることができる。以下、このゲートソース間電圧 V_{gs} の閾値を超える電圧をオン電圧と称する。このオン電圧を含む制御信号は、信号線TRG1等により伝達される。

[0025] 電荷転送部105及び106は、電荷を転送するものである。電荷転送部105は光電変換部101の光電変換により生成される電荷を電荷保持部103及び104に転送し、電荷転送部106は光電変換部102の光電変換により生成される電荷を電荷保持部103及び104に転送する。この電荷転送部105及び106は、光電変換部101及び102と電荷保持部103及び104との間をそれぞれ導通させることにより、電荷を転送する。電荷転送部105及び106の制御信号は、信号線TRG1及びTRG2によりそれぞれ伝達される。

[0026] 画像信号生成部110は、電荷保持部103及び104に保持される電荷に基づいて画像信号を生成するものである。前述のように、画像信号生成部

１１０は、リセットトランジスタ１１１、増幅トランジスタ１１２及び選択トランジスタ１１３により構成される。

[0027] リセットトランジスタ１１１は、電荷保持部１０３及び１０４をリセットするものである。このリセットは、電荷保持部１０３及び１０４と電源線Ｖｄｄとの間を導通して電荷保持部１０３及び１０４の電荷を排出することにより行うことができる。リセットトランジスタ１１１の制御信号は、信号線ＲＳＴにより伝達される。

[0028] 増幅トランジスタ１１２は、電荷保持部１０３及び１０４の電圧を増幅するものである。増幅トランジスタ１１２のゲートは、電荷保持部１０３及び１０４に接続されている。このため、増幅トランジスタ１１２のソースには、電荷保持部１０３及び１０４に保持された電荷に応じた電圧の画像信号が生成される。また、選択トランジスタ１１３を導通させることにより、この画像信号を信号線ＶＯに出力させることができる。選択トランジスタ１１３の制御信号は、信号線ＳＥＬにより伝達される。

[0029] オーバーフローパス１０８は、光電変換部１０１及び１０２の間において溢れた電荷を相互に転送するものである。このオーバーフローパス１０８は、光電変換部１０１及び１０２の間に配置される半導体領域により構成することができる。

[0030] オーバーフローゲート１０９は、オーバーフローパス１０８に隣接して配置される電極である。このオーバーフローゲート１０９は、オーバーフローパス１０８のポテンシャル障壁を調整する。

[0031] 画素１００において位相差信号を生成する際には、電荷転送部１０５及び１０６が光電変換部１０１及び１０２により生成される電荷を電荷保持部１０３及び１０４に個別に転送する。この電荷の転送を個別転送と称する。その後、電荷保持部１０３及び１０４に個別に転送された電荷に基づいて画像信号生成部１１０により位相差信号がそれぞれ生成される。以下、位相差信号を生成するモードを位相差信号モードと称する。

[0032] 一方、画素１００において画像信号を生成する際には、電荷転送部１０５

及び１０６が光電変換部１０１及び１０２により生成される電荷を電荷保持部１０３及び１０４に共通に転送する。この場合、電荷保持部１０３及び１０４は、光電変換部１０１及び１０２により生成される電荷を同時にまとめて保持する。この電荷の転送をまとめて転送と称する。また、この画像信号を生成するモードを画像信号モードと称する。

[0033] [撮像素子の平面の構成]

図３は、本開示の第１の実施形態に係る画素の構成例を示す図である。同図は、本開示の第１の実施形態に係る画素１００の構成例を表す平面図である。同図は、半導体基板１２０における画素１００の構成を表したものである。同図の点線の矩形が画素１００の領域を表す。また、白抜きの矩形は、半導体基板１２０に形成された半導体領域及び半導体基板１２０の表面側に配置されるゲート電極を表す。画素１００には光電変換部１０１及び１０２をそれぞれ構成する半導体領域１２１及び１２２が配置され、半導体領域１２１及び１２２に隣接して電荷転送部１０５及び１０６が配置される。同図には、電荷転送部１０５及び１０６のゲート電極１４１及び１４２を記載した。電荷転送部１０５及び１０６に隣接して電荷保持部１０３及び１０４を構成する半導体領域１２３及び１２４が配置される。

[0034] 光電変換部１０１及び１０２の間には、画素内分離部１２８が配置される。この画素内分離部１２８は、光電変換部１０１及び１０２を分離するものである。また、画素１００の境界には、画素分離部１２９が配置される。この画素分離部１２９は、画素１００を囲繞する形状に構成されて隣接する画素１００同士を分離する。

[0035] なお、同図には、画像信号生成部１１０を更に記載した。同図は、画像信号生成部１１０が画素１００以外の領域に配置される例を表したものである。同図の画素は、信号線１１９により電荷保持部１０３及び１０４と接続される。

[0036] [撮像素子の断面の構成]

図４Ａ及び４Ｂは、本開示の第１の実施形態に係る画素の構成例を示す断

面図である。図4Aは図3におけるa-a'線に沿った画素100の断面図に相当し、図4Bは図3におけるb-b'線に沿った画素100の断面図に相当する。同図の画素100は、半導体基板120と、絶縁膜149及び191と、配線領域150と、カラーフィルタ192と、オンチップレンズ193とを備える。

[0037] 半導体基板120は、画素100の素子の拡散層が配置される半導体の基板である。この半導体基板120は、例えば、シリコン(Si)により構成することができる。光電変換部101等の素子は、半導体基板120に形成されたウェル領域に配置することができる。便宜上、同図の半導体基板120は、p型のウェル領域に構成されるものと想定する。このウェル領域にn型又はp型の半導体領域を配置することにより、素子の拡散層を形成することができる。同図には、光電変換部101及び102並びにオーバーフローパス108を記載した。

[0038] 光電変換部101は、n型の半導体領域121により構成される。具体的には、n型の半導体領域121及び周囲のp型のウェル領域の界面のpn接合によるフォトダイオードが光電変換部101に該当する。同様に、光電変換部102は、n型の半導体領域122により構成される。露光期間に光電変換部101及び102の光電変換により生成される電荷は、n型の半導体領域121及び122に蓄積される。この蓄積された電荷が、露光期間の経過後に電荷転送部105及び106により電荷保持部103及び104に転送されて保持される。

[0039] 光電変換部101及び102の間には、画素内分離部128が配置される。この画素内分離部128は、p型の比較的高い不純物濃度に構成される半導体領域により構成され、光電変換部101及び102を構成するn型の半導体領域121及び122を電氣的に分離する。

[0040] また、半導体基板120の画素100の境界には、画素分離部129が配置される。この画素分離部129は、p型の比較的高い不純物濃度に構成される半導体領域により構成され、隣接する画素100同士を電氣的に分離す

る。

- [0041] 絶縁膜 149 は、半導体基板 120 の表面側を絶縁する膜である。この絶縁膜 149 は、酸化シリコン (SiO_2) や窒化シリコン (SiN) により構成することができる。
- [0042] 半導体基板 120 の表面側には、ゲート電極 141、142 及び 143 が配置される。ゲート電極 141 及び 142 は、それぞれ電荷転送部 105 及び 106 のゲートを構成する。また、ゲート電極 143 は、オーバーフローゲート 109 を構成する。このオーバーフローゲート 109 は、オーバーフローパス 108 のポテンシャル障壁を調整するものである。オーバーフローゲート 109 に電圧を印加することにより、オーバーフローパス 108 のポテンシャル障壁の高さを調整することができる。ゲート電極 141、142 及び 143 は、多結晶シリコンにより構成することができる。なお、ゲート電極 141、142 及び 143 の下層の絶縁膜 149 は、ゲート絶縁膜を構成する。
- [0043] 配線領域 150 は、半導体基板 120 の表面側に配置され、画素 100 の配線が配置される領域である。配線領域 150 は、配線 152 及び絶縁層 151 を備える。配線 152 は、画素 100 の素子の信号等を伝達するものである。この配線 152 は、銅 (Cu) やタングステン (W) 等の導体により構成することができる。絶縁層 151 は、配線 152 等を絶縁するものである。この絶縁層 151 は、例えば、 SiO_2 により構成することができる。
- [0044] 絶縁膜 191 は、半導体基板 120 の裏面側を絶縁するものである。この絶縁膜 191 は、例えば、 SiO_2 により構成することができる。
- [0045] カラーフィルタ 192 は、入射光のうちの所定の波長の光を透過する光学的なフィルタである。カラーフィルタ 192 には、例えば、赤色光、緑色光及び青色光を透過するカラーフィルタを使用することができる。
- [0046] オンチップレンズ 193 は、入射光を集光するレンズである。このオンチップレンズ 193 は、半球形状に構成され、入射光を光電変換部 101 及び 102 に集光する。

[0047] n型の半導体領域121及び122に蓄積可能な電荷量には限度がある。

この蓄積可能な電荷量を飽和電荷量 Q_s と称する。この Q_s は、n型の半導体領域121のサイズ等により変化し、 Q_s を超えて生成される電荷は、n型の半導体領域121等から溢れ出ることになる。この溢れた電荷が、他の画素100の光電変換部101等に流入して画像信号が生成されると、画像信号に誤差を生じる。そこで、光電変換部101等から溢れる電荷を自身の画素100の電荷保持部103等に排出させる。これは、電荷転送部105等のポテンシャル障壁の高さを画素分離部129のポテンシャル障壁より低くすることにより行うことができる。露光期間に電荷保持部103等に排出された電荷は、露光期間の経過後にリセットにより排出される。

[0048] これに対し、同図の画素100には、光電変換部101及び102が配置される。これら光電変換部101及び102の何れかの電荷が Q_s を超えた際にも電荷の溢れを生じる。この溢れた電荷は、電荷保持部103等に流入することとなる。この電荷は、露光期間の経過後のリセットにより排出されるため、光電変換部101及び102により生成される電荷を合算して画像信号を生成する画像信号モードの際に、画像信号に誤差を生じる。これは、光電変換部101及び102の一方から溢れた電荷が、合算後の画像信号に反映されないためであり、画素100への入射光量に対する画像信号電圧の特性における直線性が低下する。

[0049] そこで、光電変換部101及び102の間にオーバーフローパス108を配置する。このオーバーフローパス108は、n型の半導体領域125により構成される。後述するように、オーバーフローパス108は、電荷転送部105等のポテンシャル障壁より低いポテンシャル障壁に構成され、光電変換部101及び102において溢れた電荷を相互に転送することができる。例えば、光電変換部101の電荷が Q_s に達する一方で光電変換部102の電荷が Q_s に達していない場合には、光電変換部101のn型の半導体領域121からオーバーフローパス108を通して光電変換部102のn型の半導体領域122に電荷が移動する。このオーバーフローパス108を配置す

ることにより、光電変換部 101 及び 102 の電荷を合算する際の画像信号の誤差を低減することができる。

[0050] ところで、同図の画素 100 においては、オーバーフローパス 108 のポテンシャル障壁を低くするため、光電変換部 101 及び 102 のそれぞれに蓄積可能な電荷量は、 Q_s より低くなる。位相差信号モードにおいては、位相差信号の信号レベルの最大値が低下する。このため、検出可能な被写体の位相差の範囲が狭くなる。そこで、オーバーフローゲート 109 をオーバーフローパス 108 に隣接して配置する。このオーバーフローゲート 109 に電圧を印加することにより、オーバーフローパス 108 の電位を調整することができ、ポテンシャル障壁を調整することが可能になる。

[0051] [画像信号及び位相差信号の生成]

図 5 は、本開示の実施形態に係る画像信号及び位相差信号の生成の一例を示す図である。同図は、画素 100 における画像信号及び位相差信号の生成の一例を表すタイミングチャートである。

[0052] 同図の「RST」、「SEL」、「TRG1」、「TRG2」及び「GATE」は、それぞれ信号線 RST、信号線 SEL、信号線 TRG1、信号線 TRG2 及び信号線 GATE の信号を表す。これらは、2 値化された制御信号の波形を表し、値「1」の部分がオン信号の伝達される領域を表す。また、破線は、0V のレベルを表す。また、「FD」は、電荷保持部 103 及び 104 の電位を表す。また、「VO」は、信号線 VO の出力を表す。同図の前半は位相差信号モードの手順を表し、後半は画像信号モードの手順を表す。

[0053] 初期状態において、信号線 RST、信号線 SEL、信号線 TRG1 及び信号線 TRG2 には、値「0」が印加される。また、信号線 GATE には、負のゲート電圧を印加する。これにより、オーバーフローパス 108 のポテンシャル障壁を高くすることができる。

[0054] T1 において、信号線 RST、TRG1 及び TRG2 にオン信号を印加する。これにより、リセットトランジスタ 111、電荷転送部 105 及び 10

6が導通し、光電変換部101及び102並びに電荷保持部103及び104がリセットされる。

[0055] T2において、信号線RST、TRG1及びTRG2へのオン信号の印加が停止される。これにより、露光期間が開始され、光電変換部101及び102に光電変換により生成された電荷が蓄積される。

[0056] T3において、信号線GATEに正極性のゲート電圧が印加される。これにより、オーバーフローパス108のポテンシャル障壁を低くすることができる。

[0057] T4において、信号線GATEに負極性のゲート電圧が印加される。

[0058] T5において、信号線SELにオン信号が印加される。信号線SELへのオン信号の印加は、画素領域3の全ての画素100の位相差信号の出力まで継続する。

[0059] T6において、信号線RSTにオン信号が印加され、電荷保持部103及び104がリセットされる。T6において、露光期間が終了する。

[0060] T7において、信号線RSTへのオン信号の印加が停止される。次のT8までの期間においてリセット時の画像信号aが信号線VOから出力される。

[0061] T8において、信号線TRG1にオン信号が印加される。電荷転送部105が導通し、光電変換部101に蓄積された電荷が電荷保持部103及び104に転送される。これにより、FDの電位が低下する。

[0062] T9において、信号線TRG1へのオン信号の印加が停止される。次のT10までの期間において、光電変換部101の電荷に応じた画像信号bが信号線VOから出力される。画像信号a及び画像信号bにより前述のCDSが実行され、位相差信号が生成される。

[0063] T10において、信号線RSTにオン信号が印加され、電荷保持部103及び104がリセットされる。

[0064] T11において、信号線RSTへのオン信号の印加が停止される。次のT12までの期間においてリセット時の画像信号cが信号線VOから出力される。

- [0065] T 1 2 において、信号線 T R G 2 にオン信号が印加される。電荷転送部 1 0 6 が導通し、光電変換部 1 0 2 に蓄積された電荷が電荷保持部 1 0 3 及び 1 0 4 に転送される。これにより、F D の電位が低下する。
- [0066] T 1 3 において、信号線 T R G 2 へのオン信号の印加が停止される。その後、光電変換部 1 0 2 の電荷に応じた画像信号 d が信号線 V O から出力される。画像信号 c 及び画像信号 d により C D S が実行され、位相差信号が生成される。
- [0067] このように、位相差信号モードにおいて 2 つの位相差信号を生成することができる。次に、画像信号モードを説明する。
- [0068] T 1 4 において、信号線 R S T、T R G 1 及び T R G 2 にオン信号を印加する。これにより、リセットトランジスタ 1 1 1、電荷転送部 1 0 5 及び 1 0 6 が導通し、光電変換部 1 0 1 及び 1 0 2 並びに電荷保持部 1 0 3 及び 1 0 4 がリセットされる。
- [0069] T 1 5 において、信号線 R S T、T R G 1 及び T R G 2 へのオン信号の印加が停止される。これにより、露光期間が開始され、光電変換部 1 0 1 及び 1 0 2 に光電変換により生成された電荷が蓄積される。
- [0070] T 1 6 において、信号線 G A T E に正極性のゲート電圧が印加される。これにより、オーバーフローパス 1 0 8 のポテンシャル障壁を低くすることができる。
- [0071] T 1 7 において、信号線 G A T E に負極性のゲート電圧が印加される。
- [0072] T 1 8 において、信号線 S E L にオン信号が印加される。信号線 S E L へのオン信号の印加は、画素領域 3 の全ての画素 1 0 0 の画像信号の出力まで継続する。
- [0073] T 1 9 において、信号線 R S T にオン信号が印加され、電荷保持部 1 0 3 及び 1 0 4 がリセットされる。T 1 9 において、露光期間が終了する。
- [0074] T 2 0 において、信号線 R S T へのオン信号の印加が停止される。次の T 2 1 までの期間においてリセット時の画像信号 e が信号線 V O から出力される。

[0075] T 2 1 において、信号線 T R G 1 及び T R G 2 にオン信号が印加される。電荷転送部 1 0 5 及び 1 0 6 が導通し、光電変換部 1 0 1 及び 1 0 2 に蓄積された電荷が電荷保持部 1 0 3 及び 1 0 4 に転送される。これにより、F D の電位が低下する。

[0076] T 2 2 において、信号線 T R G 1 及び T R G 2 へのオン信号の印加が停止される。その後、光電変換部 1 0 1 及び 1 0 2 の電荷に応じた画像信号 f が信号線 V O から出力される。画像信号 e 及び画像信号 f により C D S が実行され、画像信号が生成される。

[0077] なお、位相差信号モードの T 3 - T 4 における信号線 G A T E のゲート電圧と画像信号モードの T 1 6 - T 1 7 における信号線 G A T E のゲート電圧とは、異なる値にすることができる。具体的には、T 3 - T 4 におけるゲート電圧を低い電圧にすることができる。これにより、位相差信号モードにおけるオーバーフローパス 1 0 8 のポテンシャル障壁を画像信号モードより高くすることができる。

[0078] [オーバーフローゲートの効果]

図 6 A、6 B 及び 6 C は、本開示の実施形態に係るオーバーフローゲートの効果を説明する図である。図 6 A は、画素 1 0 0 の光電変換部 1 0 1 及び 1 0 2、電荷転送部 1 0 5 及び 1 0 6、電荷保持部 1 0 3 及び 1 0 4 並びにオーバーフローパス 1 0 8 のポテンシャル障壁を表した図である。横軸が画素 1 0 0 における位置を表し、縦軸がポテンシャルを表す。なお、「F D 1」、「T G 1」、「P D 1」、「G A T E」、「P D 2」、「T G 2」及び「F D 2」は、図 3 に記載した位置を表す。

[0079] 露光期間に電荷転送部 1 0 5 及び 1 0 6 には、高いポテンシャル障壁を形成する。これにより、光電変換部 1 0 1 及び 1 0 2 に電荷が蓄積される。同図のハッチングを付した矩形は、蓄積される電荷を表す。また、オーバーフローゲート 1 0 9 には、高いゲート電圧が印加され、オーバーフローパス 1 0 8 のポテンシャル障壁が比較的低くなる。このため、図 6 A に表したように、光電変換部 1 0 2 から溢れた電荷がオーバーフローパス 1 0 8 を通って

光電変換部１０１に転送される。なお、オーバーフローパス１０８の点線のポテンシャル障壁は、オーバーフローゲート１０９にゲート電圧を印加しない場合のポテンシャル障壁を表す。

[0080] 図６Ｂは、画像信号モードにおける電荷の蓄積時間と電荷量との関係を表した図である。同図の横軸は蓄積時間を表し、縦軸は電荷量を表す。同図の実線のグラフは、図６Ａにおける光電変換部１０２の電荷量の変化を表すグラフである。また、同図の一点鎖線のグラフは、図６Ａにおける光電変換部１０１の電荷量の変化を表すグラフである。また、同図の点線のグラフは、光電変換部１０１及び１０２の電荷を合算した電荷量を表すグラフである。

[0081] 同図の（１）の期間において、光電変換部１０１及び１０２において電荷が蓄積され、電荷量が増加する。光電変換部１０２の方が蓄積される電荷量が多くなる。その後、（２）の期間に光電変換部１０２が飽和し、電荷が光電変換部１０１に溢れ出す。光電変換部１０２の電荷量が一定値となる一方、光電変換部１０１に蓄積される電荷量が増大する。その後、（３）において光電変換部１０１も飽和し、電荷量が一定値となる。光電変換部１０１及び１０２の電荷を合算した電荷量は、（１）から（２）の期間において直線的に増加する。光電変換部１０１及び１０２の何れかが飽和した場合であっても、合算された電荷に基づく画像信号の直線性を保つことができる。

[0082] 図６Ｃは、位相差信号モードにおけるポテンシャル障壁を表したものである。前述のように、位相差信号モードにおいては、光電変換部１０１及び１０２の電荷が個別に電荷保持部１０３及び１０４に転送される。同図は、光電変換部１０１の電荷を転送する場合の例を表したものである。電荷転送部１０５のゲート電極にオン信号を印加することにより、電荷転送部１０５のポテンシャル障壁を低くして電荷を電荷保持部１０３に転送する。このゲート電極に印加される電圧によりオーバーフローパス１０８の電位が変調を受けてオーバーフローパス１０８のポテンシャル障壁が低下する場合がある。そこで、オーバーフローゲート１０９に負のゲート電圧を印加してオーバーフローパス１０８のポテンシャル障壁の低下を防ぎ、光電変換部１０２から

光電変換部 101 への電荷の移動を防ぐことができる。このようなゲート電圧の調整は、垂直駆動回路 3 が行う。

[0083] [撮像素子の製造方法]

図 7 A - 7 D は、本開示の第 1 の実施形態に係る撮像素子の製造方法の一例を示す図である。図 7 A - 7 D は、撮像素子 1 のうちの画素 100 の部分の製造工程の一例を表す図である。

[0084] まず、半導体基板 120 にウェル領域を形成し、画素内分離部 128 及び画素分離部 129 を形成する（図 7 A）。これは、不純物のイオン注入により行うことができる。この際、イオン注入は、ウェル領域と同じ導電型である p 型にするためのアクセプタ不純物を注入する。

[0085] 次に、半導体基板 120 に光電変換部 101 等を形成する。具体的には、半導体基板 120 に n 型の半導体領域 121 及び 122 等を形成する。これは、不純物のイオン注入により行うことができる（図 7 B）。

[0086] 次に、半導体基板 120 にオーバーフローパス 108 を構成する半導体領域 125 を形成する。これは、不純物のイオン注入により行うことができる（図 7 C）。

[0087] 次に、半導体基板 120 の表面側に絶縁膜 149 を形成し、オーバーフローゲート 109 を構成するゲート電極 143 を配置する。次に、半導体基板 120 の表面側に配線領域 150 を形成する（図 7 D）。

[0088] 次に、半導体基板 120 の裏面側を研削して薄肉化する。次に、半導体基板 120 の裏面側に絶縁膜 191、カラーフィルタ 192 及びオンチップレンズ 193 を配置することにより画素 100 を製造することができる。

[0089] [ゲート電圧の測定]

図 8 は、本開示の第 1 の実施形態に係るオーバーフローゲートのゲート電圧の測定の一例を示す図である。図 8 は、撮像素子 1 の製造工程におけるオーバーフローゲート 109 のゲート電圧の測定の一例を表すフローチャートである。まず、製造後の撮像素子 1 の画素 100 の光電変換部 101 及び 102 毎に電荷量を測定する（ステップ S101）。これは、光電変換部 10

1 及び 102 の Q_s を測定することにより行うことができる。次に、画素間ポテンシャルを測定する（ステップ S102）。これは、画素 100 の間のポテンシャルを測定することにより行うことができる。次に、ゲート電圧を検出する（ステップ S103）。これは、 Q_s や画素間ポテンシャル等に基づいて所望の特性を得るためのオーバーフローゲート 109 の電圧を検出することにより行うことができる。次に、ゲート電圧を保持する（ステップ S104）。これは、検出したゲート電圧を撮像素子 1 に配置されたレジスタ等の保持部に保持させることにより行うことができる。

[0090] 撮像素子 1 の使用時においてレジスタから読み出したゲート電圧をオーバーフローゲート 109 に印加することにより、所望の特性を得ることができる。

[0091] このように、本開示の画素 100 は、複数の光電変換部 101 及び 102 の間に配置されるオーバーフローパス 108 に隣接してオーバーフローゲート 109 を配置し、オーバーフローゲート 109 の印加電圧を調整する。これにより、オーバーフローパス 108 のポテンシャル障壁を調整することができ、画像信号の直線性を向上させるとともに位相差信号を生成する際の位相差検出可能範囲を広くすることができる。利便性を向上させることができる。

[0092] （2. 第 2 の実施形態）

上述の第 1 の実施形態の撮像素子 1 は、画素 100 の境界に半導体領域により形成された画素分離部 129 が配置されていた。これに対し、本開示の第 2 の実施形態の撮像素子 1 は、絶縁物により構成される画素分離部を配置する点で、上述の第 1 の実施形態と異なる。

[0093] [撮像素子の構成]

図 9 は、本開示の第 2 の実施形態に係る画素 100 の構成例を示す図である。同図は、図 3 と同様に、撮像素子 1 の構成例を表す平面図である。同図の画素 100 は、画素分離部 129 の代わりに画素分離部 131 を備える点で、図 3 の画素 100 と異なる。

[0094] 画素分離部 131 は、半導体基板 120 に絶縁部材が埋め込まれて構成された画素分離部である。この画素分離部 131 は、半導体基板 120 に形成された溝部 132 に SiO_2 等の絶縁物の膜を埋め込むことにより形成することができる。

[0095] [撮像素子の断面の構成]

図 10A 及び 10B は、本開示の第 2 の実施形態に係る画素の構成例を示す断面図である。図 10A 及び 10B は、図 4A 及び 4B と同様に画素 100 の構成例を表す断面図である。図 10A 及び 10B の画素 100 は、画素分離部 129 の代わりに画素分離部 131 が配置される点で、図 4A 及び 4B の画素 100 と異なる。画素分離部 131 は、画素 100 の境界の半導体基板 120 の裏面側から形成された溝部 132 に絶縁物の膜を配置することにより構成することができる。

[0096] [撮像素子の製造方法]

図 11A 及び 11B は、本開示の第 2 の実施形態に係る撮像素子の製造方法の一例を示す図である。図 11A 及び 11B は、撮像素子 1 のうちの画素 100 の部分の製造工程の一例を表す図である。まず、図 7A－7D の工程を実行する。次に撮像素子 1 の天地を反転させ、半導体基板 120 の裏面側から溝部 132 を形成する（図 11A）。これは、例えば、ドライエッチングにより行うことができる。

[0097] 次に、溝部 132 に絶縁部材、例えば SiO_2 を配置する。これは、例えば、CVD により行うことができる（図 11B）。これにより、画素分離部 131 を形成することができる。

[0098] これ以外の撮像素子 1 の構成は本開示の第 1 の実施形態における撮像素子 1 の構成と同様であるため、説明を省略する。

[0099] このように、本開示の第 2 の実施形態の撮像素子 1 は、絶縁部材により構成された画素分離部 131 を配置することにより、画素 100 間の絶縁特性を向上させることができる。

[0100] (3. 第 3 の実施形態)

上述の第2の実施形態の撮像素子1は、画素100の境界に半導体基板120の裏面側から形成した溝部132に絶縁物が埋め込まれた画素分離部131が配置されていた。これに対し、本開示の第3の実施形態の撮像素子1は、半導体基板120の表面から形成された溝部に絶縁物が埋め込まれて構成された画素分離部を配置する点で、上述の第2の実施形態と異なる。

[0101] [撮像素子の構成]

図12は、本開示の第3の実施形態に係る画素100の構成例を示す図である。同図は、図9と同様に、撮像素子1の構成例を表す平面図である。同図の画素100は、画素分離部131の代わりに画素分離部133を備える点で、図9の画素100と異なる。

[0102] 画素分離部133は、半導体基板120に絶縁部材が埋め込まれて構成された画素分離部である。この画素分離部133は、半導体基板120に形成された溝部134に SiO_2 等の絶縁物の膜を埋め込むことにより形成することができる。

[0103] [撮像素子の断面の構成]

図13A及び13Bは、本開示の第3の実施形態に係る画素の構成例を示す断面図である。図13A及び13Bは、図10A及び10Bと同様に画素100の構成例を表す断面図である。図13A及び13Bの画素100は、画素分離部131の代わりに画素分離部133が配置される点で、図10A及び10Bの画素100と異なる。同図に表したように、画素分離部133は、半導体基板120を貫通する形状に構成される。また、溝部134は、画素100の境界の半導体基板120の表面から形成された溝部である。この溝部134に絶縁物の膜を配置することにより画素分離部133を構成することができる。

[0104] [撮像素子の製造方法]

図14A及び14Dは、本開示の第3の実施形態に係る撮像素子の製造方法の一例を示す図である。図14A及び14Dは、撮像素子1のうちの画素100の部分の製造工程の一例を表す図である。まず、半導体基板120の

表面側に溝部 134 を形成する（図 14 A）。これは、ドライエッチングにより行うことができる。

[0105] 次に、溝部 134 に SiO_2 等の絶縁物の膜を埋め込むことにより画素分離部 133 を形成する（図 14 B）。

[0106] 次に、画素内分離部 128、半導体領域 121 及び 122、半導体領域 125、絶縁膜 149、ゲート電極 143 及び配線領域 150 を形成する（図 14 C）。

[0107] 次に、半導体基板 120 の裏面側を研削して薄肉化する（図 14 D）。これにより、半導体基板 120 を貫通する形状の画素分離部 133 を形成することができる。

[0108] これ以外の撮像素子 1 の構成は本開示の第 2 の実施形態における撮像素子 1 の構成と同様であるため、説明を省略する。

[0109] このように、本開示の第 3 の実施形態の撮像素子 1 は、半導体基板 120 を貫通する形状の画素分離部 133 を備える。これにより、半導体基板 120 の表面側における画素 100 間の絶縁特性を更に向上させることができる。

[0110] （4. 第 4 の実施形態）

上述の第 2 の実施形態の撮像素子 1 は、画素 100 の境界に画素分離部 131 が配置されていた。これに対し、本開示の第 4 の実施形態の撮像素子 1 は、画素 100 の光電変換部 101 及び 102 の間に絶縁物からなる分離部がさらに配置される点で、上述の第 2 の実施形態と異なる。

[0111] [撮像素子の構成]

図 15 は、本開示の第 4 の実施形態に係る画素 100 の構成例を示す図である。同図は、図 9 と同様に、撮像素子 1 の構成例を表す平面図である。同図の画素 100 は、画素内分離部 135 を更に備える点で、図 9 の画素 100 と異なる。

[0112] 画素内分離部 135 は、光電変換部 101 及び 102 の間に配置される分離部であり、半導体基板 120 に形成された溝部に絶縁部材が埋め込まれて

構成された分離部である。同図の溝部 134 は、画素 100 の境界に加えて光電変換部 101 及び 102 の間にも形成される。画素内分離部 135 は、この光電変換部 101 及び 102 の間の溝部 134 に画素分離部 131 と同様の絶縁物の膜を埋め込むことにより形成することができる。

[0113] [撮像素子の断面の構成]

図 16A 及び 16B は、本開示の第 4 の実施形態に係る画素の構成例を示す断面図である。図 16A 及び 16B は、図 10A 及び 10B と同様に画素 100 の構成例を表す断面図である。図 16A 及び 16B の画素 100 は、画素内分離部 135 を更に備える点で、図 10A 及び 10B の画素 100 と異なる。同図に表したように、オーバーフローパス 108 の下層の半導体基板 120 には、画素内分離部 128 が配置される。なお、画素内分離部 128 は、請求の範囲に記載の第 2 の画素内分離部の一例である。

[0114] [撮像素子の他の構成]

図 17 は、本開示の第 4 の実施形態に係る画素 100 の他の構成例を示す図である。同図は、図 16 と同様に、撮像素子 1 の構成例を表す平面図である。同図の画素 100 は、画素分離部 131 及び画素内分離部 135 の代わりに画素分離部 133 及び画素内分離部 137 を備える点で、図 16 の画素 100 と異なる。

[0115] 画素内分離部 137 は、画素分離部 133 と同様に、半導体基板 120 を貫通する形状の分離部である。

[0116] [撮像素子の断面の構成]

図 18A 及び 18B は、本開示の第 4 の実施形態に係る画素の他の構成例を示す断面図である。図 18A 及び 18B は、図 10A 及び 10B と同様に画素 100 の構成例を表す断面図である。図 18A 及び 18B の画素 100 は、画素分離部 131 及び画素内分離部 135 の代わりに画素分離部 133 及び画素内分離部 137 を備える点で、図 10A 及び 10B の画素 100 と異なる。画素内分離部 137 は、半導体基板 120 を貫通する形状に構成される。また、オーバーフローパス 108 の下層の半導体基板 120 には、画

素内分離部 128 が配置される。

[0117] これ以外の撮像素子 1 の構成は本開示の第 2 の実施形態における撮像素子 1 の構成と同様であるため、説明を省略する。

[0118] このように、本開示の第 4 の実施形態の撮像素子 1 は、絶縁部材により構成された画素内分離部 135 及び 137 を備える。これにより、光電変換部 101 及び 102 の間の絶縁特性を向上させることができる。

[0119] (5. 第 5 の実施形態)

上述の第 1 の実施形態の撮像素子 1 は、画素 100 の中央部にオーバーフローパス 108 及びオーバーフローゲート 109 が配置されていた。これに対し、本開示の第 5 の実施形態の撮像素子 1 は、オーバーフローパス 108 及びオーバーフローゲート 109 が画素 100 の端部の近傍に配置される点で、上述の第 1 の実施形態と異なる。

[0120] [撮像素子の構成]

図 19 は、本開示の第 5 の実施形態に係る画素 100 の構成例を示す図である。同図は、図 3 と同様に、撮像素子 1 の構成例を表す平面図である。同図の画素 100 は、オーバーフローパス 108 及びオーバーフローゲート 109 が画素 100 の端部の近傍に配置される点で、図 3 の画素 100 と異なる。

[0121] 同図のオーバーフローパス 108 及びオーバーフローゲート 109 は、画素 100 の端部の近傍に配置されるとともに電荷転送部 105 及び 106 から離隔して配置される。すなわち、オーバーフローパス 108 及びオーバーフローゲート 109 と電荷転送部 105 及び 106 とは、対向する画素 100 の境界の近傍にそれぞれ配置される。オーバーフローパス 108 が電荷転送部 105 及び 106 から離隔して配置されるため、図 6C において説明したオーバーフローパス 108 の電位の変調を低減することができる。

[0122] これ以外の撮像素子 1 の構成は本開示の第 1 の実施形態における撮像素子 1 の構成と同様であるため、説明を省略する。

[0123] このように、本開示の第 5 の実施形態の撮像素子 1 は、オーバーフローパ

ス１０８が電荷転送部１０５及び１０６から離隔して配置されるため、オーバーフローパス１０８に対する電荷転送部１０５及び１０６のゲート電圧の影響を低減することができる。

[0124] (６．第６の実施形態)

上述の第４の実施形態の撮像素子１は、オーバーフローゲート１０９が半導体基板１２０の表面側に配置されていた。これに対し、本開示の第６の実施形態の撮像素子１は、半導体基板１２０に埋め込まれて構成されたオーバーフローゲートが配置される点で、上述の第４の実施形態と異なる。

[0125] [撮像素子の構成]

図２０は、本開示の第６の実施形態に係る画素１００の構成例を示す図である。同図は、図１７と同様に、撮像素子１の構成例を表す平面図である。同図の画素１００は、ゲート電極１４４により構成されるオーバーフローゲート１０９を備える点で、図１７の画素１００と異なる。

[0126] 同図のオーバーフローゲート１０９は、ゲート電極１４４を備える。このゲート電極１４４は、少なくとも一部が半導体基板１２０に埋め込まれて構成されたゲート電極である。

[0127] [撮像素子の断面の構成]

図２１Ａ及び２１Ｂは、本開示の第６の実施形態に係る画素の構成例を示す断面図である。図２１Ａ及び２１Ｂは、図１８Ａ及び１８Ｂと同様に画素１００の構成例を表す断面図である。図２１Ａ及び２１Ｂの画素１００は、ゲート電極１４３の代わりにゲート電極１４４を備えるオーバーフローゲート１０９が配置される点で、図１８Ａ及び１８Ｂの画素１００と異なる。同図に表したように、ゲート電極１４４は、下部が半導体基板１２０に埋め込まれる形状に構成される。また、同図のオーバーフローパス１０８は、このゲート電極１４４の下層に配置することができる。オーバーフローパス１０８を電荷転送部１０５及び１０６から離隔することができる。

[0128] [撮像素子の製造方法]

図２２Ａ－２２Ｅは、本開示の第６の実施形態に係る撮像素子の製造方法

の一例を示す図である。図 2 2 A – 2 2 E は、撮像素子 1 のうちの画素 1 0 0 の部分の製造工程の一例を表す図である。まず、半導体基板 1 2 0 の表面側に画素分離部 1 3 3 を形成する。次に、半導体基板 1 2 0 に画素内分離部 1 2 8 を形成する。次に、半導体基板 1 2 0 に半導体領域 1 2 1 及び 1 2 2 を形成する。次に、半導体基板 1 2 0 の表面側に、開口部 1 4 5 を形成する。これは、ドライエッチングにより行うことができる（図 2 2 A）。

[0129] 次に、開口部 1 4 5 に SiO_2 等の膜 3 0 1 を配置する（図 2 2 B）。この膜 3 0 1 は、いわゆる犠牲膜と称される。

[0130] 次に、膜 3 0 1 越しにイオン注入を行い、開口部 1 4 5 の底面及び側面の半導体基板 1 2 0 に p 型の半導体領域 1 2 9 を形成する（図 2 2 C）。

[0131] 次に、オーバーフローパス 1 0 8 の半導体領域 1 2 5 を形成する（図 2 2 D）。これは、イオン注入により行うことができる。

[0132] 次に、膜 3 0 1 を剥離する。次に、開口部 1 4 5 にゲート酸化膜を配置する。次に、開口部 1 4 5 にゲート電極の部材を配置してゲート電極 1 4 4 を形成する（図 2 2 E）。

[0133] 以上の工程によりゲート電極 1 4 4 を形成することができる。なお、図 2 2 C において形成した半導体領域 1 2 9 は、オーバーフローパス 1 0 8 部以外のポテンシャルがゲート電極 1 4 4 により変調されて意図しない電子の通り道を作ること防ぐために配置する。また、この半導体領域 1 2 9 を配置することにより、開口部 1 4 5 の壁面の欠陥準位に起因する暗電流の発生を抑制することもできる。

[0134] これ以外の撮像素子 1 の構成は本開示の第 4 の実施形態における撮像素子 1 の構成と同様であるため、説明を省略する。

[0135] このように、本開示の第 6 の実施形態の撮像素子 1 は、少なくとも一部が半導体基板 1 2 0 に埋め込まれて構成されたゲート電極 1 4 4 を有するオーバーフローゲート 1 0 9 を備える。これにより、オーバーフローパス 1 0 8 に対する電荷転送部 1 0 5 及び 1 0 6 の影響を低減することができる。

[0136] （7. 第 7 の実施形態）

上述の第6の実施形態の撮像素子1は、半導体基板120に埋め込まれて構成されたゲート電極144が配置されていた。これに対し、本開示の第7の実施形態の撮像素子1は、ゲート電極144の周囲に埋込み絶縁膜が配置される点で、上述の第6の実施形態と異なる。

[0137] [撮像素子の構成]

図23は、本開示の第7の実施形態に係る画素100の構成例を示す図である。同図は、図20と同様に、撮像素子1の構成例を表す平面図である。同図の画素100は、ゲート電極144の周囲に埋込み絶縁膜が配置される点で、図20の画素100と異なる。

[0138] [撮像素子の断面の構成]

図24A及び24Bは、本開示の第7の実施形態に係る画素の構成例を示す断面図である。図24A及び24Bは、図21A及び21Bと同様に画素100の構成例を表す断面図である。図24A及び24Bの画素100は、ゲート電極144の周囲に埋込み絶縁膜138が配置される点で、図21A及び21Bの画素100と異なる。同図に表したように、埋込み絶縁膜138は、半導体基板120に埋め込まれたゲート電極144の周囲に配置される。このような埋込み絶縁膜138は、STI(Shallow Trench Isolation)と称される。

[0139] このSTIは、半導体基板120に開口部を形成し、絶縁膜を埋め込むことにより形成することができる。このSTIの中央部に図22Aにおいて説明した開口部145を形成し、ゲート電極144を配置することにより、ゲート電極144の周囲に埋込み絶縁膜138を配置することができる。ゲート電極144の側面が埋込み絶縁膜138により絶縁されるため、ゲート電極144によるオーバーフローパス108以外のポテンシャル障壁の変調を防止することができる。オーバーフローパス108のポテンシャル障壁の制御性を向上させることができる。なお、埋込み絶縁膜138と半導体基板120との界面に起因する暗電流を抑制するため、図22Cにおいて説明して半導体領域129等を配置することもできる。なお、埋込み絶縁膜138は

、請求の範囲に記載の分離部の一例である。

[0140] これ以外の撮像素子 1 の構成は本開示の第 6 の実施形態における撮像素子 1 の構成と同様であるため、説明を省略する。

[0141] このように、本開示の第 7 の実施形態の撮像素子 1 は、ゲート電極 144 の周囲に埋込み絶縁膜 138 を配置することにより、ゲート電極 144 によるオーバーフローパス 108 以外のポテンシャル障壁の変調を防止することができる。オーバーフローパス 108 のポテンシャル障壁の制御性を向上させることができる。

[0142] (8. 第 8 の実施形態)

上述の第 1 の実施形態の撮像素子 1 は、半導体基板 120 により構成されていた。これに対し、本開示の第 8 の実施形態の撮像素子 1 は、複数の半導体基板が積層されて構成される点で、上述の第 1 の実施形態と異なる。

[0143] [撮像素子の構成]

図 25 は、本開示の第 8 の実施形態に係る撮像素子の構成例を示す図である。同図は、撮像素子 1 の構成例を表す断面図である。同図の撮像素子 1 は、半導体基板 120 に半導体基板 220 及び 320 が積層されて構成される点で、図 1 の撮像素子 1 と異なる。

[0144] 同図の半導体基板 120 は、画素 100 のうち、光電変換部 101 及び 102、不図示の電荷転送部 105 及び 106 並びに不図示の電荷保持部 103 及び 104 が配置される。また、半導体基板 120 には、画素 100 のうちの、オーバーフローパス 108 及びオーバーフローゲート 109 が配置される。なお、同図の半導体基板 120 には、画素 100a 及び 100b を記載した。

[0145] 同図の配線領域 150 には、配線 152 を記載した。この配線 152 は、画素 100a 及び 100b のそれぞれのゲート電極 143 が共通に接続される。配線 152 は、例えば、不純物を注入した多結晶シリコンにより構成することができる。

[0146] 半導体基板 220 は、配線領域 250 を備えて半導体基板 120 に積層さ

れる半導体基板である。この半導体基板 220 には、画像信号生成部 110 が配置される。同図の画像信号生成部 110 には、増幅トランジスタ 112 を例として記載した。この増幅トランジスタ 112 は、半導体基板 220 に形成された半導体領域 221 及び 222 と、ゲート電極 242 とにより構成される。

[0147] 配線領域 250 は、絶縁層 251 と、配線 252 と、ビアプラグ 253 と、接続パッド 259 を備える。接続パッド 259 は、後述する半導体基板 320 の配線領域 350 の接続パッド 359 と電氣的に接続するものである。なお、半導体基板 120 及び半導体基板 220 を接続するための貫通ビア 154 が配置される。同図の貫通ビア 154 は、配線 152 と 252 とを接続する。この貫通ビア 154 は、柱状のタングステン (W) 等により構成することができる。

[0148] 半導体基板 320 は、配線領域 350 を備えて半導体基板 220 に積層される半導体基板である。この半導体基板 320 には、垂直駆動回路 4 等が配置される。

[0149] 配線領域 350 は、絶縁層 351 及び配線 352、ビアプラグ 354 及び接続パッド 359 が配置される。

[0150] オーバーフローゲート 109 のゲート電極 143 のゲート電圧は、配線 152、貫通ビア 154、配線 252、ビアプラグ 253、接続パッド 259 及び 359 並びにビアプラグ 354 を介して垂直駆動回路 4 から供給される。複数のゲート電極 143 を配線 152 に共通に接続することにより、貫通ビア 154 の個数を削減することができる。

[0151] [画素の構成]

図 26A 及び 26B は、本開示の第 8 の実施形態に係る撮像素子の構成例を示す図である。図 26A 及び 26B は、半導体基板 120 における配線 152 の配置例を表す平面図である。図 26A 及び 26B には、4 つの画素 100 を記載した。これらの画素 100 の「R」、「G」及び「B」の記載は、カラーフィルタ 192 の種類を表したものである。

[0152] 図26Aは、同じ種類のカラーフィルタ192が配置される画素100のゲート電極143が同じ配線152に共通に接続される例を表したものである。同じ種類のカラーフィルタ192が配置される画素100は、共通のタイミングにおいてゲート電極143にゲート電圧が印加される。そこで、これらの画素100のゲート電圧を共通の配線152から供給する。

[0153] 図26Bは、8つの画素100のゲート電極143に共通に配線152を接続する例をあらしたものである。貫通ビア154の個数を更に削減することができる。

[0154] (9. 撮像装置の構成例)

上述したような撮像素子1は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0155] 図27は、電子機器に搭載される撮像装置の構成例を示すブロック図である。

[0156] 図27に示すように、撮像装置701は、光学系702、撮像素子703、DSP (Digital Signal Processor) 704を備えており、バス707を介して、DSP 704、表示装置705、操作系706、メモリ708、記録装置709、および電源系710が接続されて構成され、静止画像および動画像を撮像可能である。

[0157] 光学系702は、1枚または複数枚のレンズを有して構成され、被写体からの像光（入射光）を撮像素子703に導き、撮像素子703の受光面（センサ部）に結像させる。

[0158] 撮像素子703としては、上述したいずれかの構成例の撮像素子1が適用される。撮像素子703には、光学系702を介して受光面に結像される像に応じて、一定期間、電子が蓄積される。そして、撮像素子703に蓄積された電子に応じた信号がDSP 704に入力される。

[0159] DSP 704は、撮像素子703からの信号に対して各種の信号処理を施

して画像を取得し、その画像のデータを、メモリ 708 に一時的に記憶させる。メモリ 708 に記憶された画像のデータは、記録装置 709 に記録されたり、表示装置 705 に供給されて画像が表示されたりする。また、操作系 706 は、ユーザによる各種の操作を受け付けて撮像装置 701 の各ブロックに操作信号を供給し、電源系 710 は、撮像装置 701 の各ブロックの駆動に必要な電力を供給する。

[0160] (10. 移動体への応用例)

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0161] 図 28 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0162] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接続された複数の電子制御ユニットを備える。図 28 に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010、ボディ系制御ユニット 12020、車外情報検出ユニット 12030、車内情報検出ユニット 12040、及び統合制御ユニット 12050 を備える。また、統合制御ユニット 12050 の機能構成として、マイクロコンピュータ 12051、音声画像出力部 12052、及び車載ネットワーク I/F (Interface) 12053 が図示されている。

[0163] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

- [0164] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。
- [0165] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。
- [0166] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。
- [0167] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

- [0168] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含む A D A S (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。
- [0169] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。
- [0170] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。
- [0171] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 28 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。
- [0172] 図 29 は、撮像部 12031 の設置位置の例を示す図である。
- [0173] 図 29 では、撮像部 12031 として、撮像部 12101、12102、

12103、12104、12105を有する。

[0174] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0175] なお、図29には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112、12113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0176] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0177] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上

にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0178] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0179] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を

重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0180] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１に適用され得る。具体的には、図１の撮像素子１は、撮像部１２０３１に適用することができる。

[0181] （１１．内視鏡手術システムへの応用例）

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0182] 図３０は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0183] 図３０では、術者（医師）１１１３１が、内視鏡手術システム１１０００を用いて、患者ベッド１１１３３上の患者１１１３２に手術を行っている様子が図示されている。図示するように、内視鏡手術システム１１０００は、内視鏡１１１００と、気腹チューブ１１１１１やエネルギー処置具１１１１２等の、その他の術具１１１１０と、内視鏡１１１００を支持する支持アーム装置１１１２０と、内視鏡下手術のための各種の装置が搭載されたカート１１２００と、から構成される。

[0184] 内視鏡１１１００は、先端から所定の長さの領域が患者１１１３２の体腔内に挿入される鏡筒１１１０１と、鏡筒１１１０１の基端に接続されるカメラヘッド１１１０２と、から構成される。図示する例では、硬性の鏡筒１１１０１を有するいわゆる硬性鏡として構成される内視鏡１１１００を図示しているが、内視鏡１１１００は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0185] 鏡筒１１１０１の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡１１１００には光源装置１１２０３が接続されており、当該光源装置１１２０３によって生成された光が、鏡筒１１１０１の内部に延設

されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者 1 1 1 3 2 の体腔内の観察対象に向かって照射される。なお、内視鏡 1 1 1 0 0 は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0186] カメラヘッド 1 1 1 0 2 の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU: Camera Control Unit）1 1 2 0 1 に送信される。

[0187] CCU 1 1 2 0 1 は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡 1 1 1 0 0 及び表示装置 1 1 2 0 2 の動作を統括的に制御する。さらに、CCU 1 1 2 0 1 は、カメラヘッド 1 1 1 0 2 から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0188] 表示装置 1 1 2 0 2 は、CCU 1 1 2 0 1 からの制御により、当該CCU 1 1 2 0 1 によって画像処理が施された画像信号に基づく画像を表示する。

[0189] 光源装置 1 1 2 0 3 は、例えばLED（light emitting diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡 1 1 1 0 0 に供給する。

[0190] 入力装置 1 1 2 0 4 は、内視鏡手術システム 1 1 0 0 0 に対する入力インタフェースである。ユーザは、入力装置 1 1 2 0 4 を介して、内視鏡手術システム 1 1 0 0 0 に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡 1 1 1 0 0 による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0191] 処置具制御装置 1 1 2 0 5 は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具 1 1 1 1 2 の駆動を制御する。気腹装置 1 1 2 0 6 は、

内視鏡 1 1 1 0 0 による視野の確保及び術者の作業空間の確保の目的で、患者 1 1 1 3 2 の体腔を膨らめるために、気腹チューブ 1 1 1 1 1 を介して当該体腔内にガスを送り込む。レコーダ 1 1 2 0 7 は、手術に関する各種の情報を記録可能な装置である。プリンタ 1 1 2 0 8 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0192] なお、内視鏡 1 1 1 0 0 に術部を撮影する際の照射光を供給する光源装置 1 1 2 0 3 は、例えば L E D、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。R G Bレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 1 1 2 0 3 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、R G Bレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御することにより、R G Bそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0193] また、光源装置 1 1 2 0 3 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0194] また、光源装置 1 1 2 0 3 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光

観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 11203 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成される。

[0195] 図 31 は、図 30 に示すカメラヘッド 11102 及び CCU 11201 の機能構成の一例を示すブロック図である。

[0196] カメラヘッド 11102 は、レンズユニット 11401 と、撮像部 11402 と、駆動部 11403 と、通信部 11404 と、カメラヘッド制御部 11405 と、を有する。CCU 11201 は、通信部 11411 と、画像処理部 11412 と、制御部 11413 と、を有する。カメラヘッド 11102 と CCU 11201 とは、伝送ケーブル 11400 によって互いに通信可能に接続されている。

[0197] レンズユニット 11401 は、鏡筒 11101 との接続部に設けられる光学系である。鏡筒 11101 の先端から取り込まれた観察光は、カメラヘッド 11102 まで導光され、当該レンズユニット 11401 に入射する。レンズユニット 11401 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0198] 撮像部 11402 を構成する撮像素子は、1 つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部 11402 が多板式で構成される場合には、例えば各撮像素子によって RGB それぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部 11402 は、3D（dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための 1 対の撮像素子を有するように構成されてもよい。3D 表示が行われることにより、術者 11131 は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部 11402 が多板式で構成される場合には、各

撮像素子に対応して、レンズユニット１１４０１も複数系統設けられ得る。

[0199] また、撮像部１１４０２は、必ずしもカメラヘッド１１１０２に設けられなくてもよい。例えば、撮像部１１４０２は、鏡筒１１１０１の内部に、対物レンズの直後に設けられてもよい。

[0200] 駆動部１１４０３は、アクチュエータによって構成され、カメラヘッド制御部１１４０５からの制御により、レンズユニット１１４０１のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部１１４０２による撮像画像の倍率及び焦点が適宜調整され得る。

[0201] 通信部１１４０４は、ＣＣＵ１１２０１との間で各種の情報を送受信するための通信装置によって構成される。通信部１１４０４は、撮像部１１４０２から得た画像信号をＲＡＷデータとして伝送ケーブル１１４００を介してＣＣＵ１１２０１に送信する。

[0202] また、通信部１１４０４は、ＣＣＵ１１２０１から、カメラヘッド１１１０２の駆動を制御するための制御信号を受信し、カメラヘッド制御部１１４０５に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0203] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてＣＣＵ１１２０１の制御部１１４１３によって自動的に設定されてもよい。後者の場合には、いわゆるＡＥ（Auto Exposure）機能、ＡＦ（Auto Focus）機能及びＡＷＢ（Auto White Balance）機能が内視鏡１１１００に搭載されていることになる。

[0204] カメラヘッド制御部１１４０５は、通信部１１４０４を介して受信したＣＣＵ１１２０１からの制御信号に基づいて、カメラヘッド１１１０２の駆動を制御する。

- [0205] 通信部 11411 は、カメラヘッド 11102 との間で各種の情報を送受信するための通信装置によって構成される。通信部 11411 は、カメラヘッド 11102 から、伝送ケーブル 11400 を介して送信される画像信号を受信する。
- [0206] また、通信部 11411 は、カメラヘッド 11102 に対して、カメラヘッド 11102 の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。
- [0207] 画像処理部 11412 は、カメラヘッド 11102 から送信された RAW データである画像信号に対して各種の画像処理を施す。
- [0208] 制御部 11413 は、内視鏡 11100 による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部 11413 は、カメラヘッド 11102 の駆動を制御するための制御信号を生成する。
- [0209] また、制御部 11413 は、画像処理部 11412 によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置 11202 に表示させる。この際、制御部 11413 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 11413 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 11112 の使用時のミスト等を認識することができる。制御部 11413 は、表示装置 11202 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 11131 に提示されることにより、術者 11131 の負担を軽減することや、術者 11131 が確実に手術を進めることが可能になる。
- [0210] カメラヘッド 11102 及び CCU 11201 を接続する伝送ケーブル 11400 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。
- [0211] ここで、図示する例では、伝送ケーブル 11400 を用いて有線で通信が

行われていたが、カメラヘッド１１１０２とＣＣＵ１１２０１との間の通信は無線で行われてもよい。

[0212] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、内視鏡１１１００や、カメラヘッド１１１０２の撮像部１１４０２に適用され得る。具体的には、図１の撮像素子１は、撮像部１１４０２に適用することができる。

[0213] なお、ここでは、一例として内視鏡手術システムについて説明したが、本開示に係る技術は、その他、例えば、顕微鏡手術システム等に適用されてもよい。

[0214] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0215] なお、本技術は以下のような構成も取ることができる。

(１)

半導体基板に形成されて被写体からの入射光の光電変換を行って電荷を生成する複数の光電変換部を備える画素と、

前記画素に配置されて前記複数の光電変換部を分離する画素内分離部と、

前記画素内分離部に配置されて前記複数の光電変換部同士において溢れた電荷を相互に転送するオーバーフローパスと、

前記画素に配置されて前記オーバーフローパスのポテンシャルを調整するオーバーフローゲートと、

前記画素の境界に配置される画素分離部と、

前記生成される電荷を保持する電荷保持部と、

前記複数の光電変換部毎に配置されて前記生成される電荷を前記電荷保持部に転送して保持させる複数の電荷転送部と

前記保持された電荷に基づいて画像信号を生成する画像信号生成部とを有する撮像素子。

(２)

前記複数の電荷転送部は、前記複数の光電変換部によりそれぞれ生成され

る電荷を前記電荷保持部に共通に転送して前記電荷保持部に前記複数の光電変換部により生成される電荷を同時にまとめて保持させるまとめ転送と前記複数の光電変換部によりそれぞれ生成される電荷を前記電荷保持部に個別に転送する個別転送とを行い、

前記画像信号生成部は、前記まとめ転送により前記電荷保持部にまとめて保持された電荷に基づいて前記画像信号を生成するとともに前記個別転送により前記電荷保持部に個別に保持されたそれぞれの電荷に基づいて前記被写体を瞳分割して像面位相差を検出するための複数の位相差信号を生成する

前記（１）に記載の撮像素子。

（３）

前記オーバーフローゲートは、前記まとめ転送により転送される電荷が生成される際に前記ポテンシャルを調整する前記（２）に記載の撮像素子。

（４）

前記画素内分離部は、前記半導体基板の半導体領域により構成される前記（１）から（３）の何れかに記載の撮像素子。

（５）

前記画素内分離部は、前記電荷転送部より低いポテンシャルに調整される前記（４）に記載の撮像素子。

（６）

前記画素分離部は、前記半導体基板の半導体領域により構成される前記（１）から（５）の何れかに記載の撮像素子。

（７）

前記画素分離部は、前記半導体基板に形成された溝部に埋め込まれた絶縁部材により構成される前記（１）から（６）の何れかに記載の撮像素子。

（８）

前記半導体基板に形成された溝部に埋め込まれた絶縁部材により構成されて前記複数の光電変換部を分離する第２の画素内分離部を更に有する前記（１）から（７）の何れかに記載の撮像素子。

(9)

前記複数の電荷転送部は、前記画素の内部における前記画素の境界の近傍に配置され、

前記オーバーフローゲートは、前記複数の電荷転送部が近傍に配置される前記画素の境界に対向する前記画素の境界の近傍に配置される

前記 (1) から (8) の何れかに記載の撮像素子。

(1 0)

前記オーバーフローゲートは、少なくとも一部が前記半導体基板に埋め込まれて構成され、

前記オーバーフローパスは、前記オーバーフローゲートの下層に配置される

前記 (1) から (9) の何れかに記載の撮像素子。

(1 1)

前記半導体基板に埋め込まれた絶縁部材により構成されて前記オーバーフローゲートの側面に隣接して配置される分離部を更に有する前記 (1 0) に記載の撮像素子。

(1 2)

前記半導体基板は、複数の前記画素、複数の前記電荷転送部及び前記電荷保持部を備え、

前記画像信号生成部を備えるとともに前記半導体基板に積層される第 2 の半導体基板を更に有する

前記 (1) から (1 1) の何れかに記載の撮像素子。

(1 3)

前記半導体基板及び前記第 2 の半導体基板の間に配置されて前記複数の画素のそれぞれの前記オーバーフローゲートを共通に接続する共通配線と、

前記共通配線及び前記画像信号生成部を接続する接続部と

を更に有する前記 (1 2) に記載の撮像素子。

(1 4)

半導体基板に形成されて被写体からの入射光の光電変換を行って電荷を生成する複数の光電変換部を備える画素と、

前記画素に配置されて前記複数の光電変換部を分離する画素内分離部と、

前記画素内分離部に配置されて前記複数の光電変換部同士において溢れた電荷を相互に転送するオーバーフローパスと、

前記画素に配置されて前記オーバーフローパスのポテンシャルを調整するオーバーフローゲートと、

前記画素の境界に配置される画素分離部と、

前記生成される電荷に基づいて画像信号を生成する画像信号生成部と、

前記生成された画像信号を処理する処理回路と

を有する撮像装置。

符号の説明

- [0216] 1、703 撮像素子
- 2 受光画素
- 4 垂直駆動回路
- 5 カラム信号処理回路
- 100、100a、100b 画素
- 101、102 光電変換部
- 103、104 電荷保持部
- 105、106 電荷転送部
- 108 オーバーフローパス
- 109 オーバーフローゲート
- 110 画像信号生成部
- 120、220 半導体基板
- 128 画素内分離部
- 129、131、133 画素分離部
- 135、137 画素内分離部
- 141、143、144 ゲート電極

1 5 2、2 5 2、3 5 2 配線

7 0 1 撮像装置

1 1 4 0 2、1 2 0 3 1、1 2 1 0 1 ~ 1 2 1 0 5 撮像部

請求の範囲

- [請求項1] 半導体基板に形成されて被写体からの入射光の光電変換を行って電荷を生成する複数の光電変換部を備える画素と、
前記画素に配置されて前記複数の光電変換部を分離する画素内分離部と、
前記画素内分離部に配置されて前記複数の光電変換部同士において溢れた電荷を相互に転送するオーバーフローパスと、
前記画素に配置されて前記オーバーフローパスのポテンシャルを調整するオーバーフローゲートと、
前記画素の境界に配置される画素分離部と、
前記生成される電荷を保持する電荷保持部と、
前記複数の光電変換部毎に配置されて前記生成される電荷を前記電荷保持部に転送して保持させる複数の電荷転送部と
前記保持された電荷に基づいて画像信号を生成する画像信号生成部と
を有する撮像素子。
- [請求項2] 前記複数の電荷転送部は、前記複数の光電変換部によりそれぞれ生成される電荷を前記電荷保持部に共通に転送して前記電荷保持部に前記複数の光電変換部により生成される電荷を同時にまとめて保持させるまとめ転送と前記複数の光電変換部によりそれぞれ生成される電荷を前記電荷保持部に個別に転送する個別転送とを行い、
前記画像信号生成部は、前記まとめ転送により前記電荷保持部にまとめて保持された電荷に基づいて前記画像信号を生成するとともに前記個別転送により前記電荷保持部に個別に保持されたそれぞれの電荷に基づいて前記被写体を瞳分割して像面位相差を検出するための複数の位相差信号を生成する
請求項1に記載の撮像素子。
- [請求項3] 前記オーバーフローゲートは、前記個別転送により転送される電荷

が生成される際に前記ポテンシャルを調整する請求項 2 に記載の撮像素子。

[請求項4] 前記画素内分離部は、前記半導体基板の半導体領域により構成される請求項 1 に記載の撮像素子。

[請求項5] 前記画素内分離部は、前記電荷転送部より低いポテンシャルに調整される請求項 4 に記載の撮像素子。

[請求項6] 前記画素分離部は、前記半導体基板の半導体領域により構成される請求項 1 に記載の撮像素子。

[請求項7] 前記画素分離部は、前記半導体基板に形成された溝部に埋め込まれた絶縁部材により構成される請求項 1 に記載の撮像素子。

[請求項8] 前記半導体基板に形成された溝部に埋め込まれた絶縁部材により構成されて前記複数の光電変換部を分離する第 2 の画素内分離部を更に有する請求項 1 に記載の撮像素子。

[請求項9] 前記複数の電荷転送部は、前記画素の内部における前記画素の境界の近傍に配置され、

前記オーバーフローゲートは、前記複数の電荷転送部が近傍に配置される前記画素の境界に対向する前記画素の境界の近傍に配置される請求項 1 に記載の撮像素子。

[請求項10] 前記オーバーフローゲートは、少なくとも一部が前記半導体基板に埋め込まれて構成され、

前記オーバーフローパスは、前記オーバーフローゲートの下層に配置される

請求項 1 に記載の撮像素子。

[請求項11] 前記半導体基板に埋め込まれた絶縁部材により構成されて前記オーバーフローゲートの側面に隣接して配置される分離部を更に有する請求項 10 に記載の撮像素子。

[請求項12] 前記半導体基板は、複数の前記画素、複数の前記電荷転送部及び前記電荷保持部を備え、

前記画像信号生成部を備えるとともに前記半導体基板に積層される第2の半導体基板を更に有する

請求項1に記載の撮像素子。

[請求項13] 前記半導体基板及び前記第2の半導体基板の間に配置されて前記複数の画素のそれぞれの前記オーバーフローゲートを共通に接続する共通配線と、

前記共通配線及び前記画像信号生成部を接続する接続部とを更に有する請求項12に記載の撮像素子。

[請求項14] 半導体基板に形成されて被写体からの入射光の光電変換を行って電荷を生成する複数の光電変換部を備える画素と、

前記画素に配置されて前記複数の光電変換部を分離する画素内分離部と、

前記画素内分離部に配置されて前記複数の光電変換部同士において溢れた電荷を相互に転送するオーバーフローパスと、

前記画素に配置されて前記オーバーフローパスのポテンシャルを調整するオーバーフローゲートと、

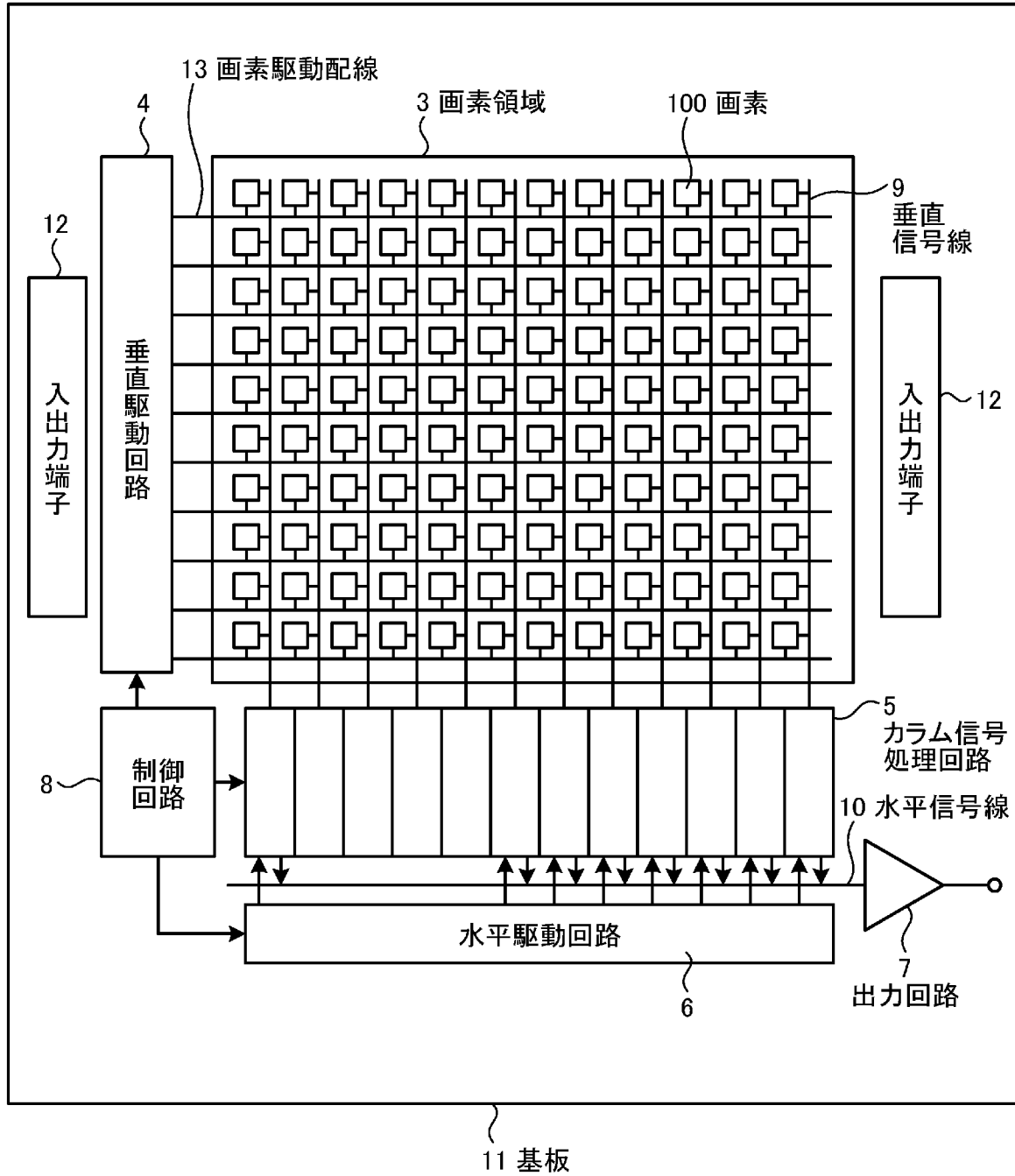
前記画素の境界に配置される画素分離部と、

前記生成される電荷に基づいて画像信号を生成する画像信号生成部と、

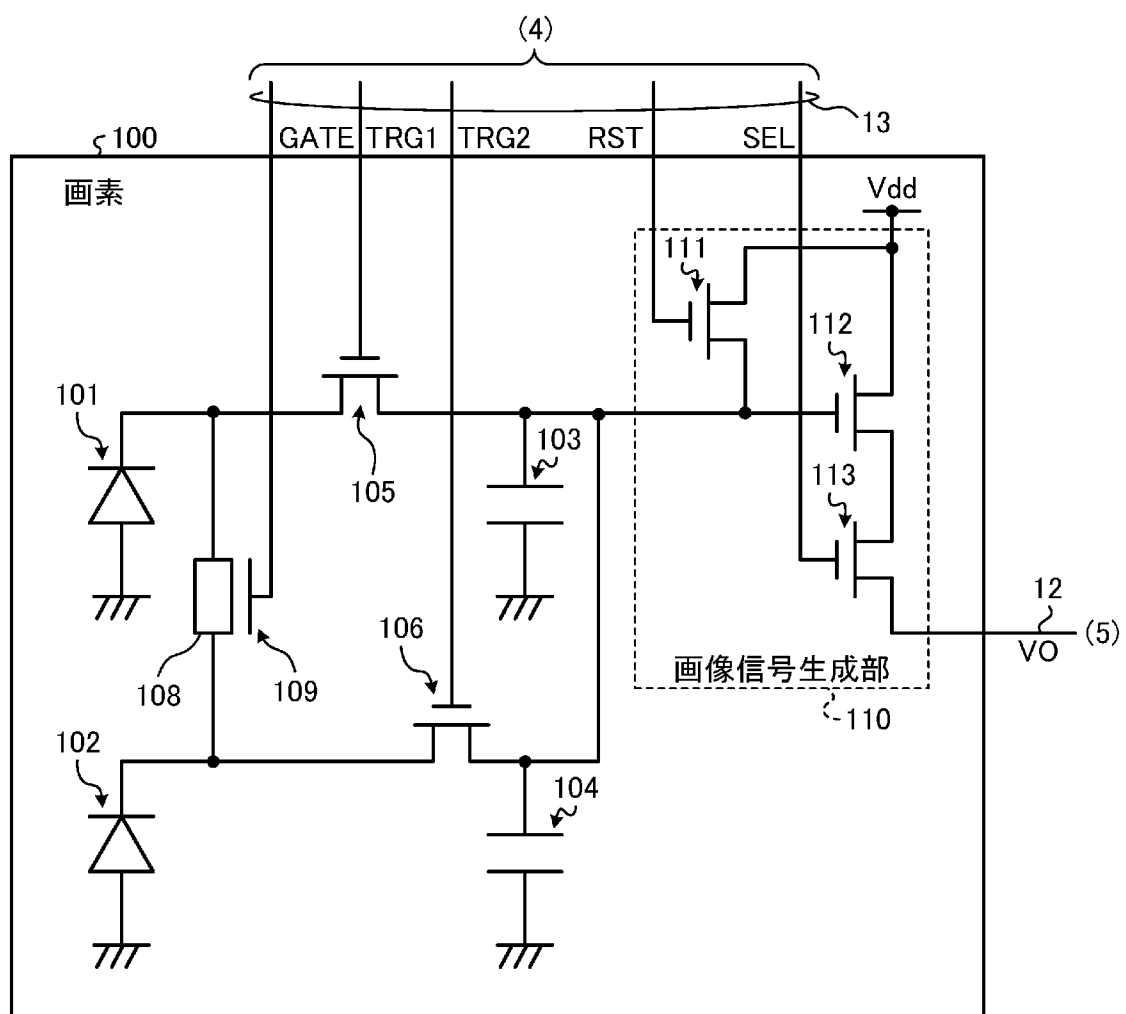
前記生成された画像信号を処理する処理回路とを有する撮像装置。

[図1]

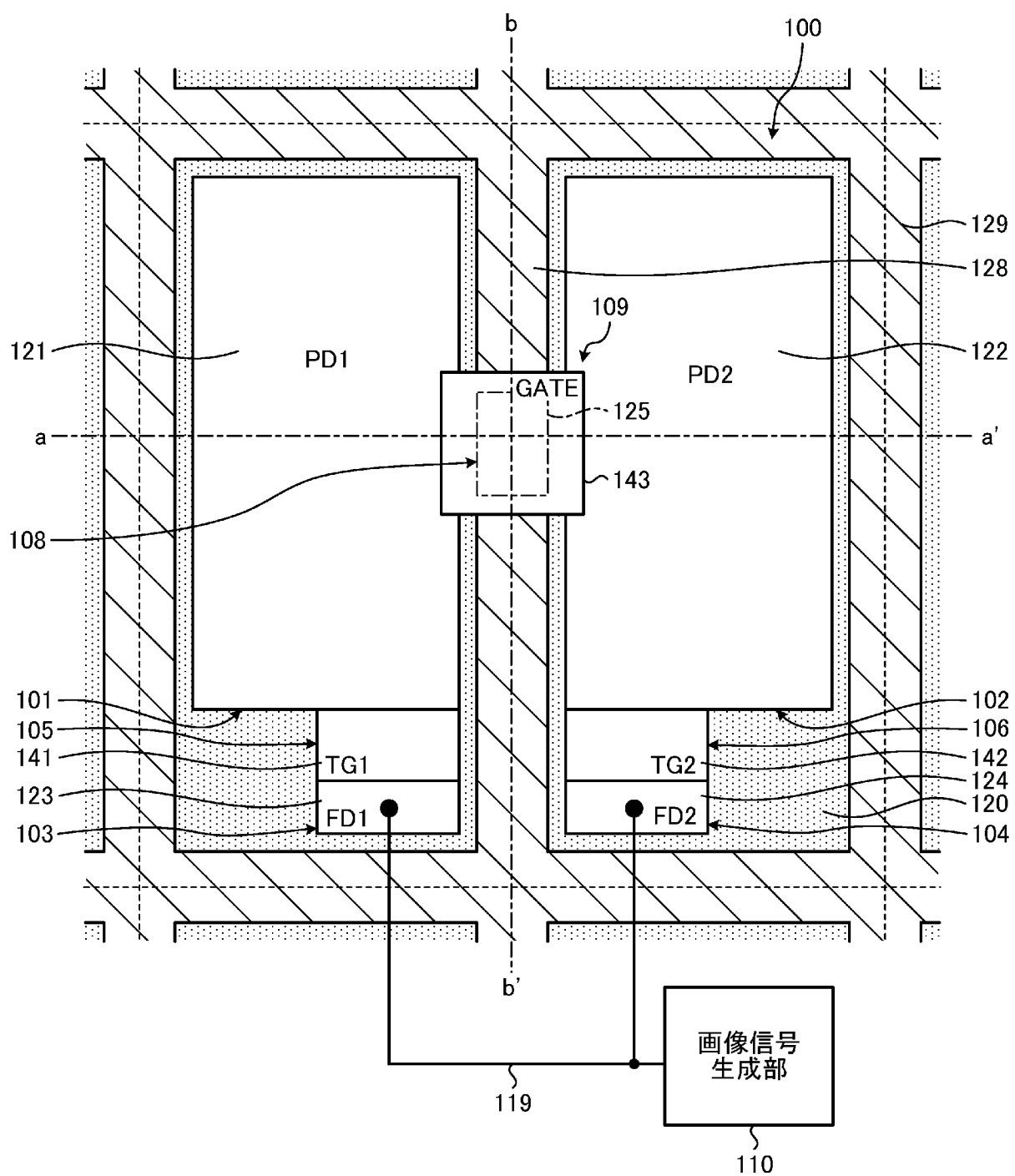
1 撮像素子



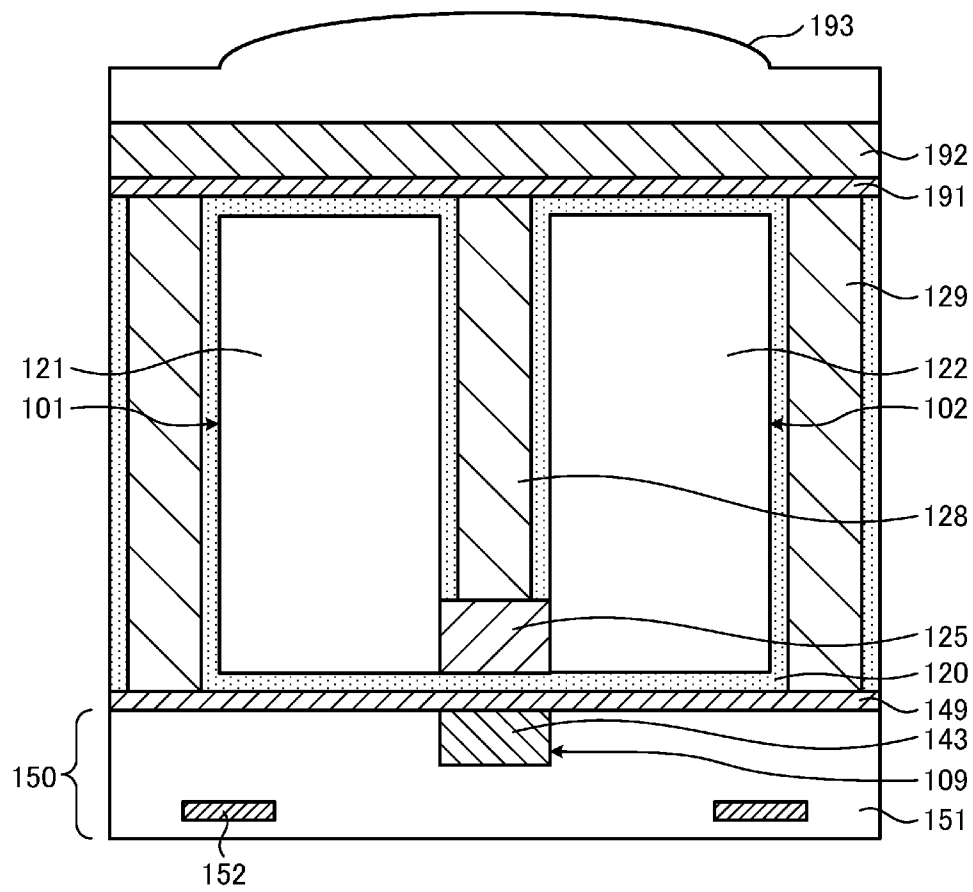
[図2]



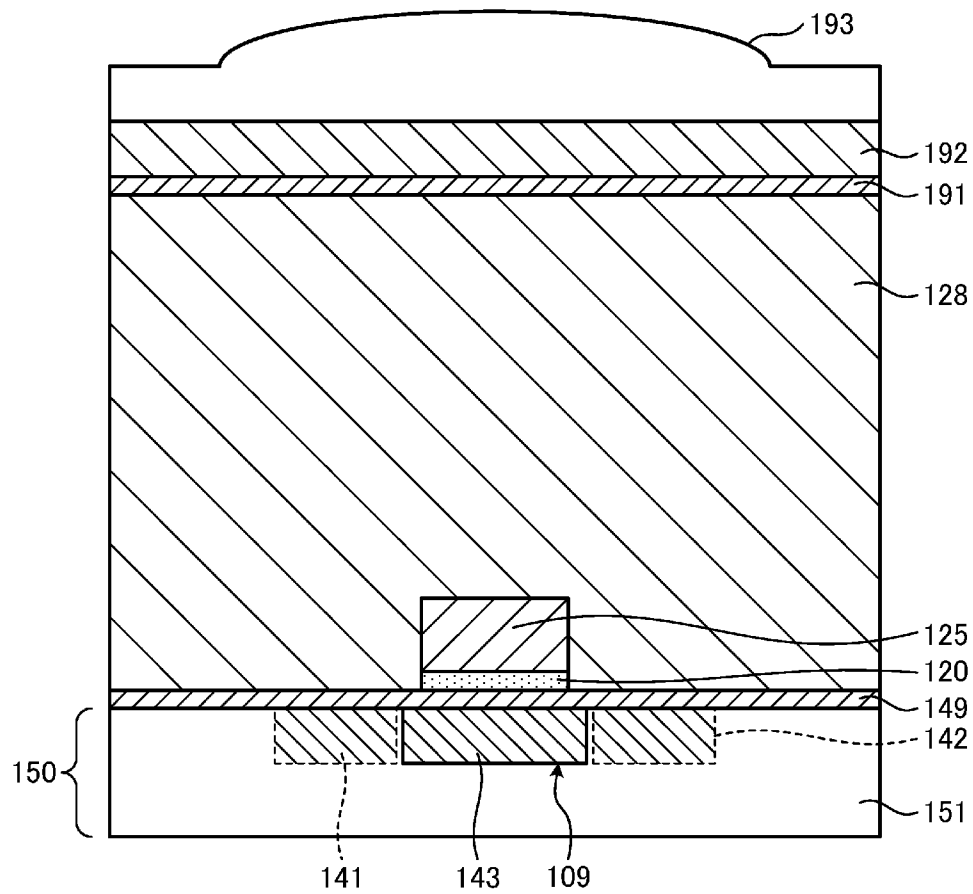
[図3]



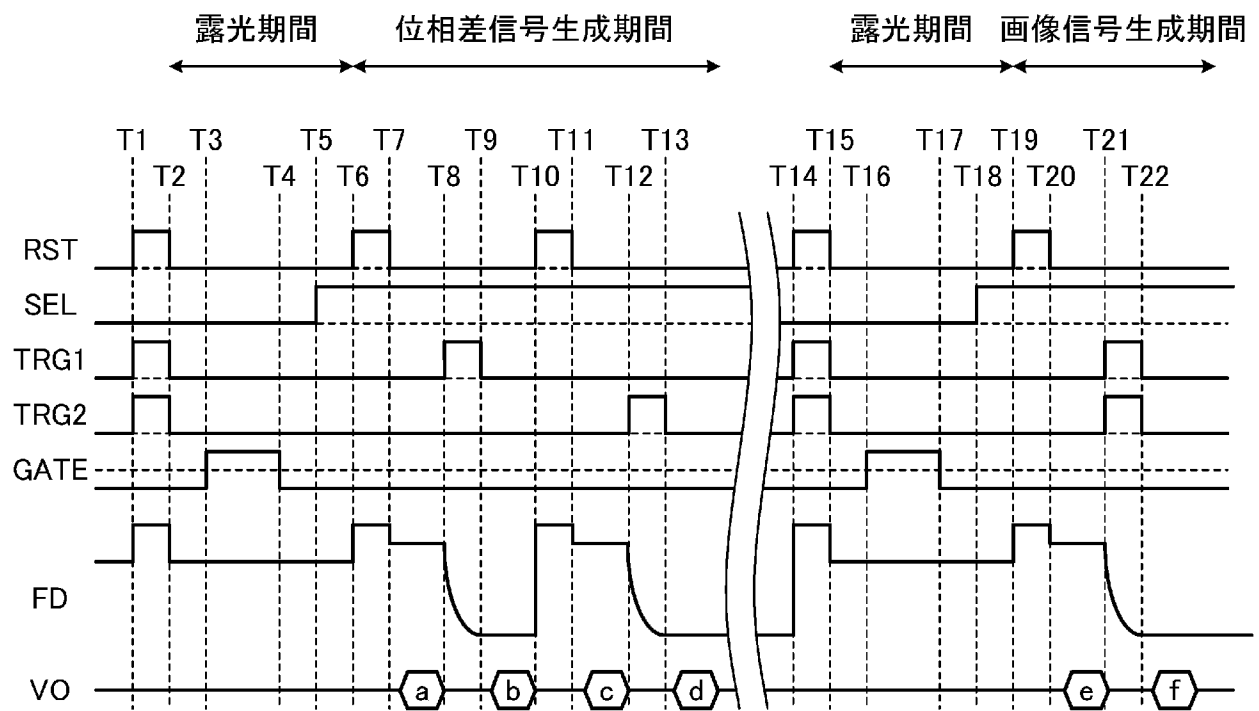
[図4A]



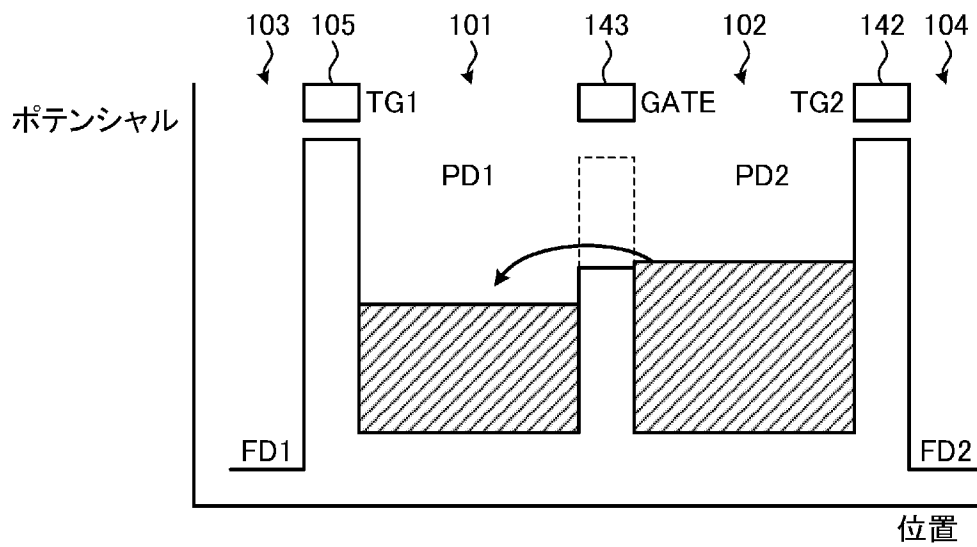
[図4B]



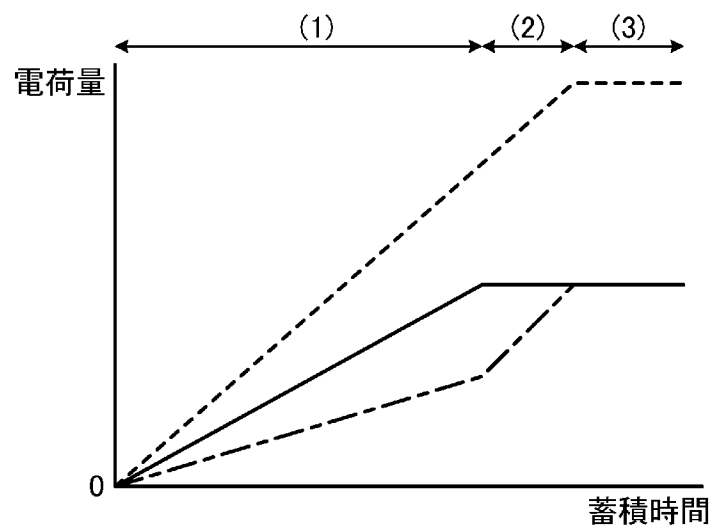
[図5]



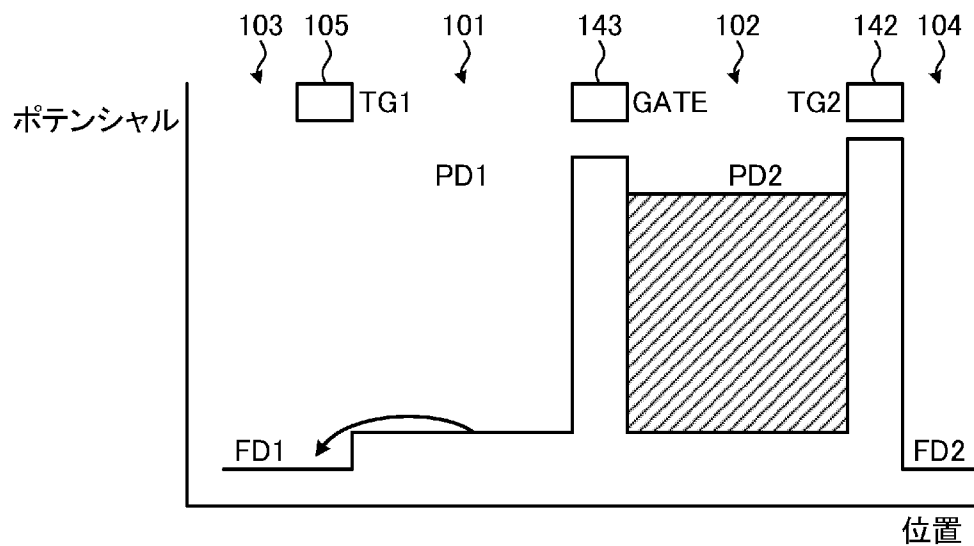
[図6A]



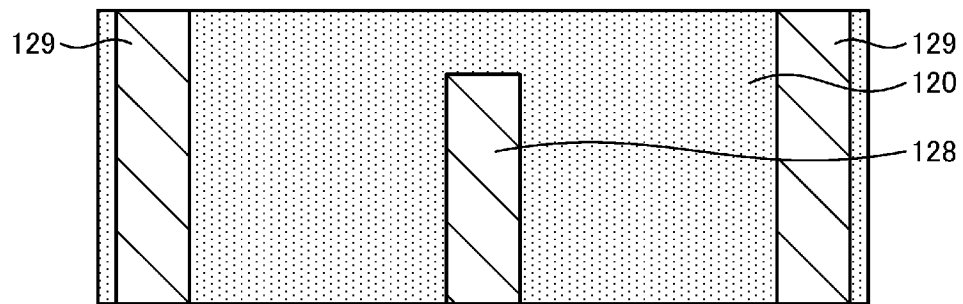
[図6B]



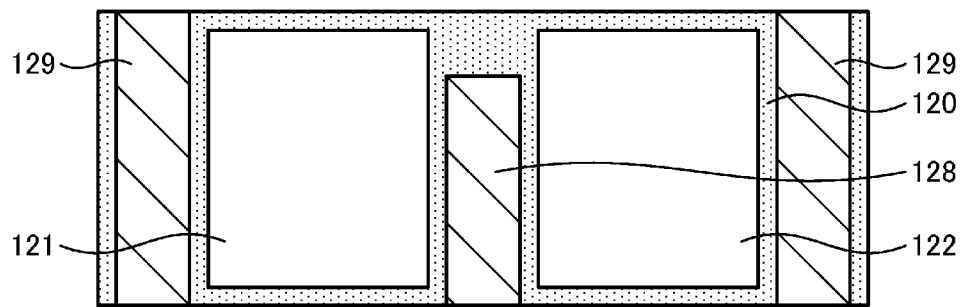
[図6C]



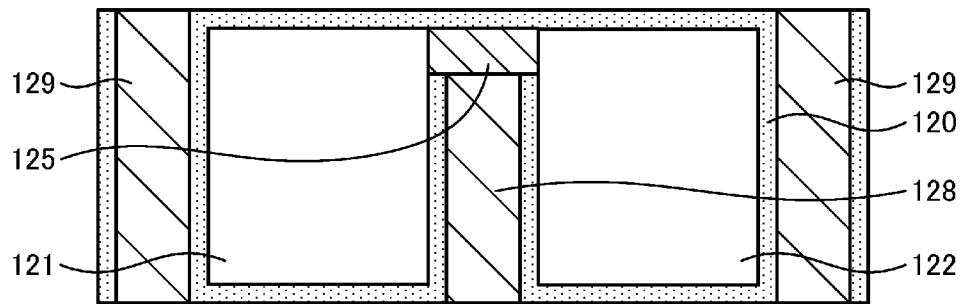
[図7A]



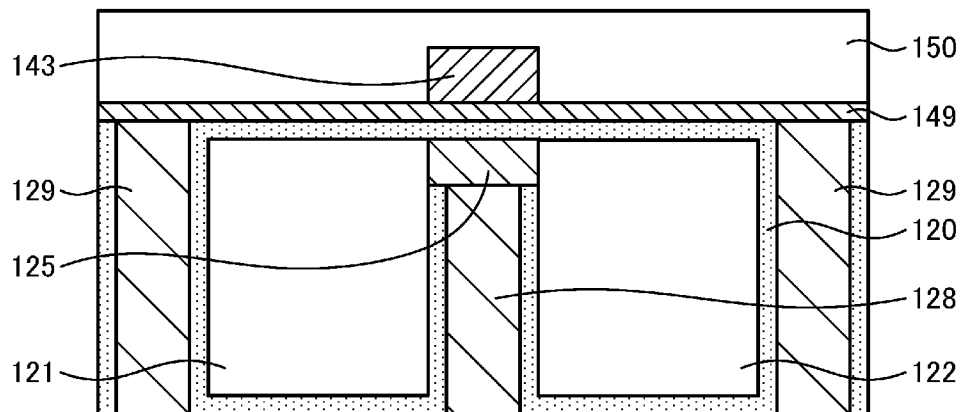
[図7B]



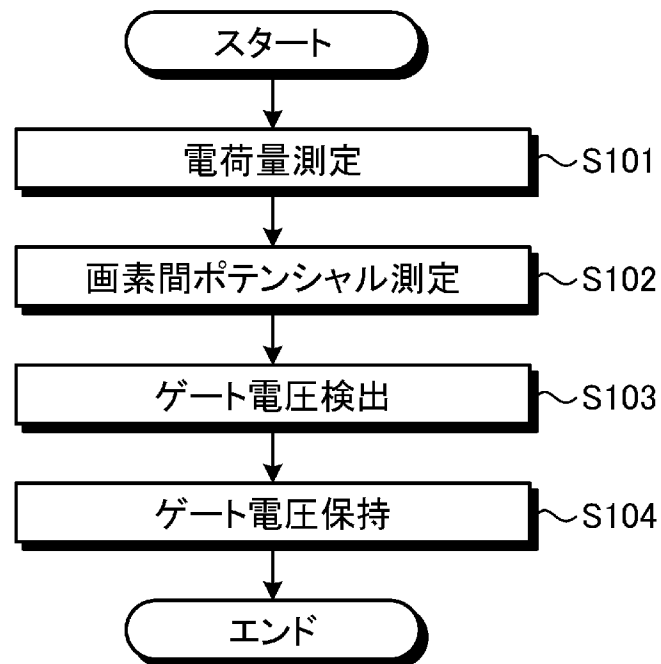
[図7C]



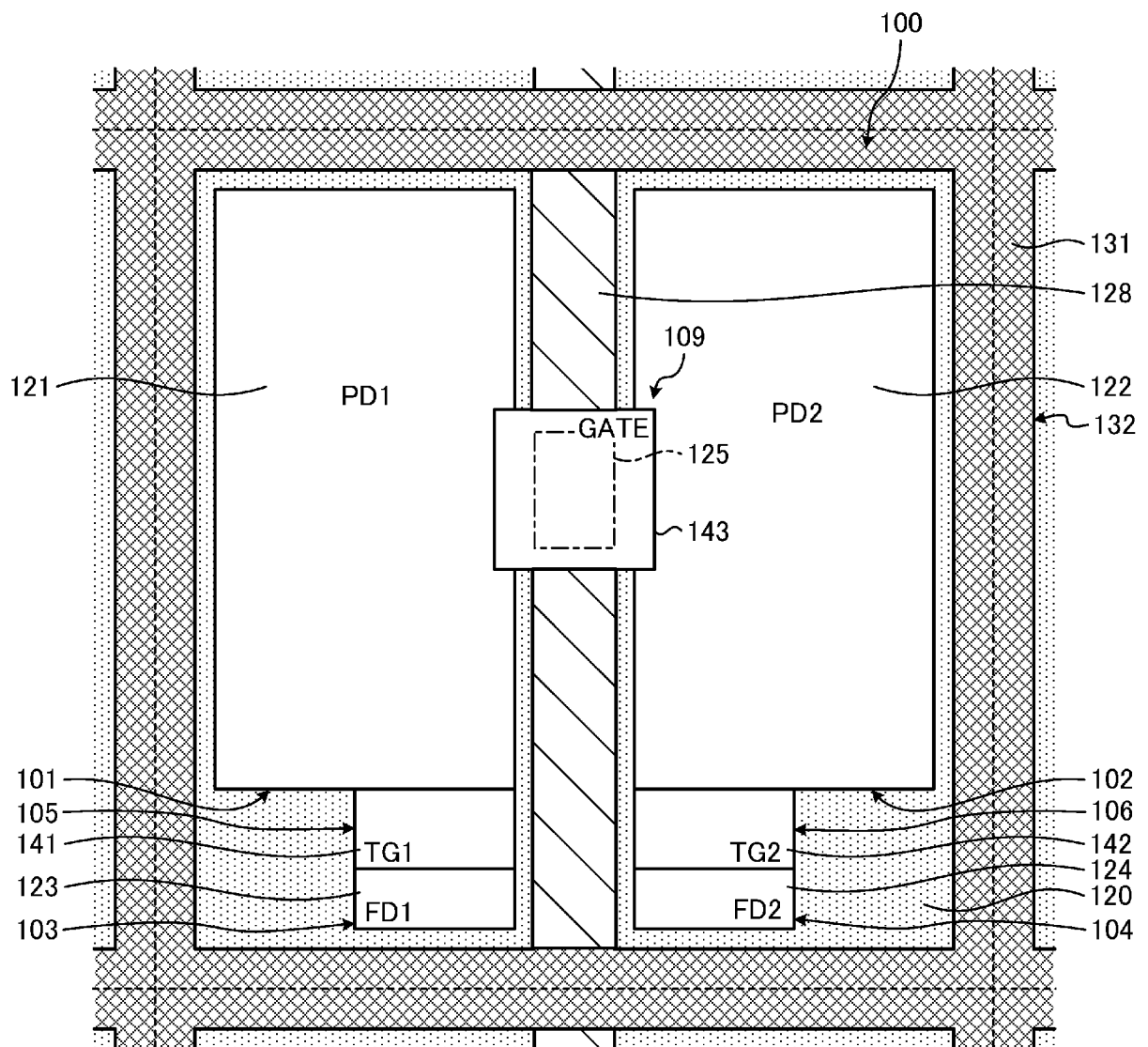
[図7D]



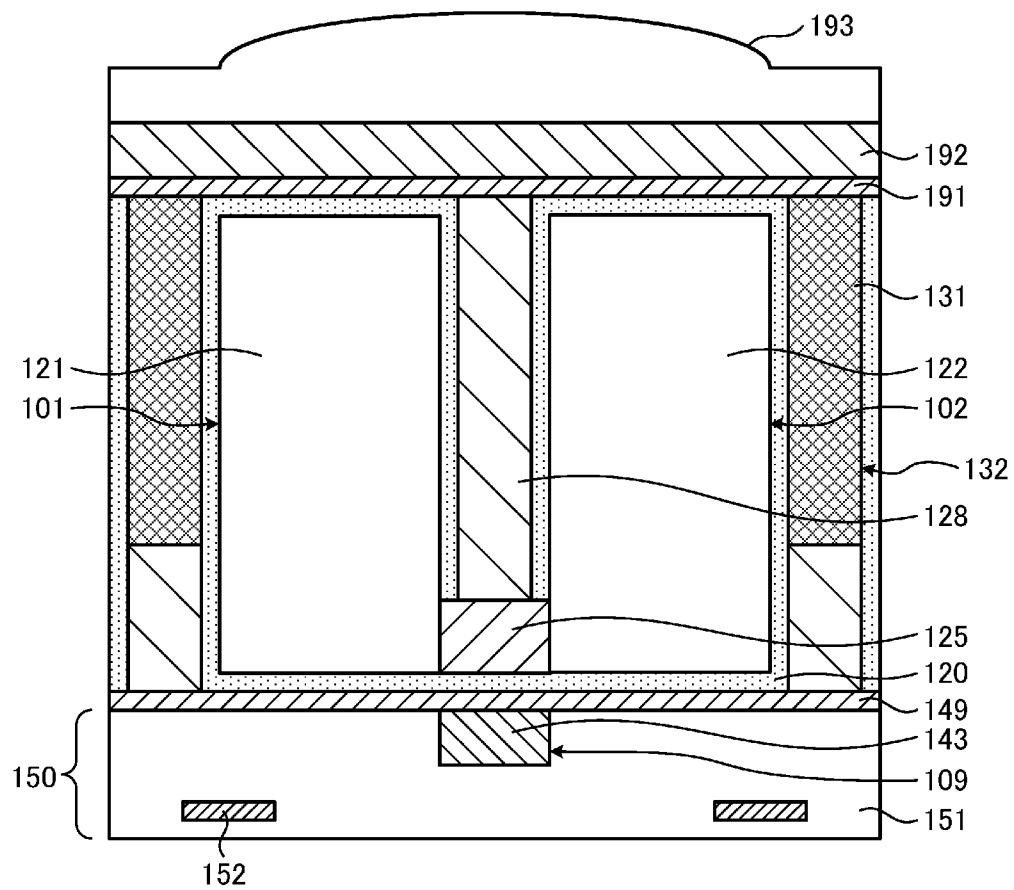
[図8]



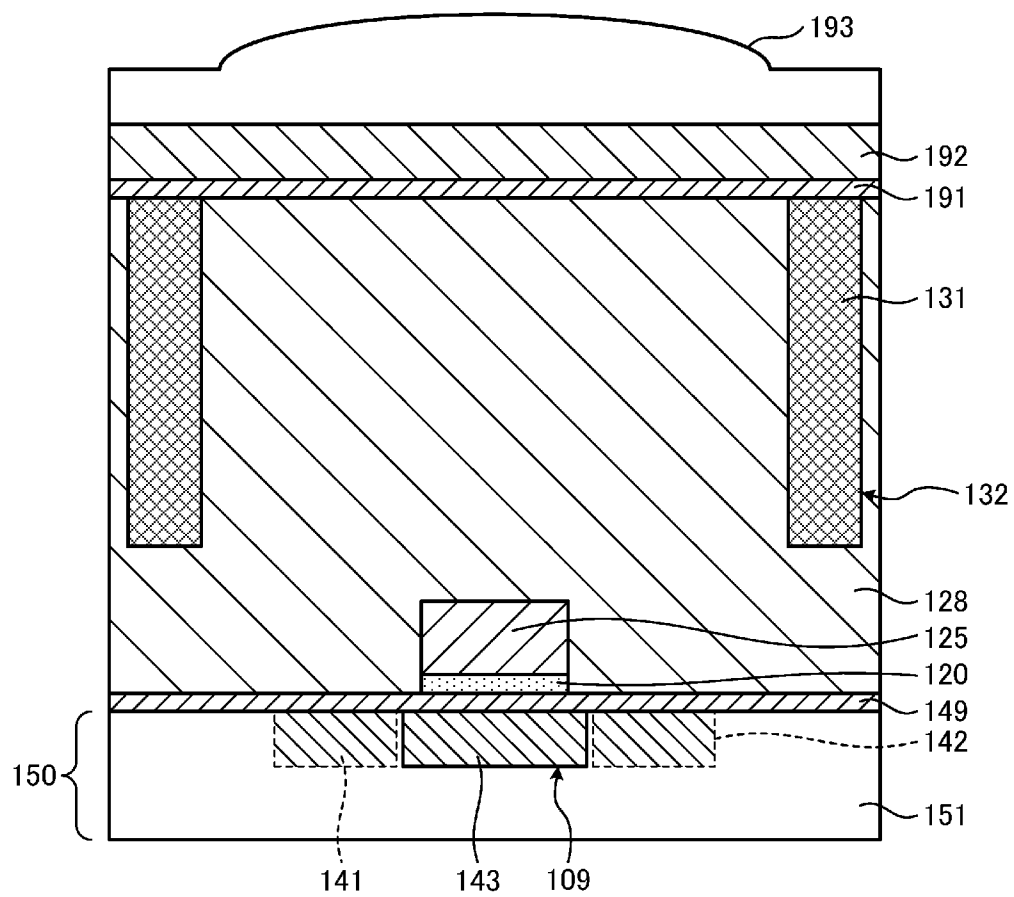
[図9]



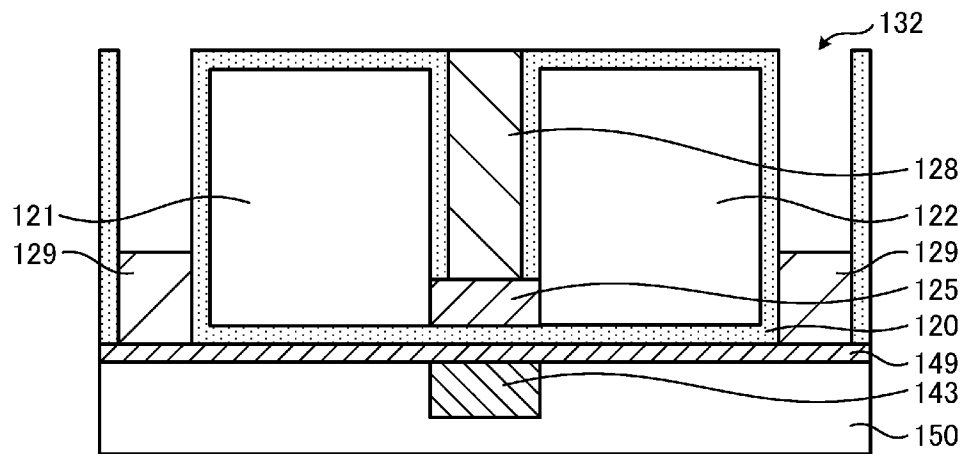
[図10A]



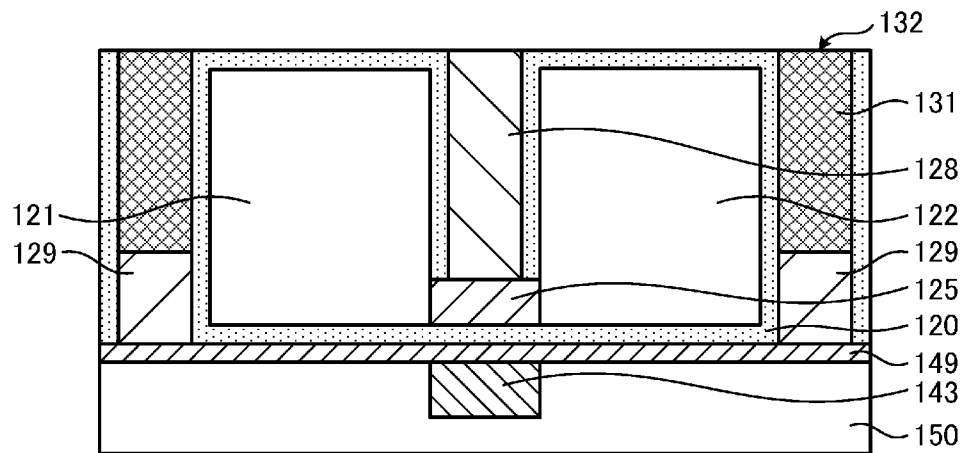
[図10B]



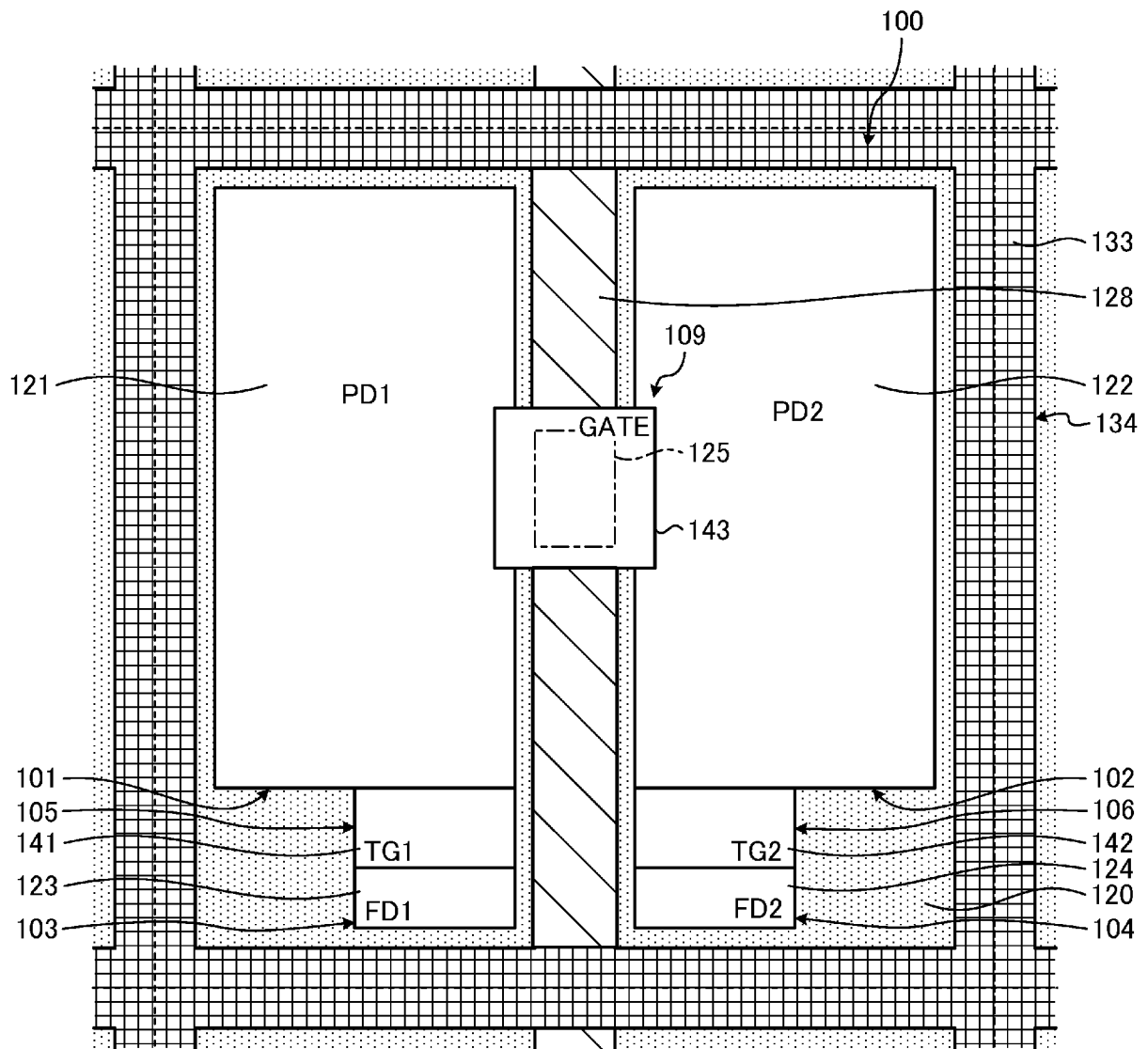
[図11A]



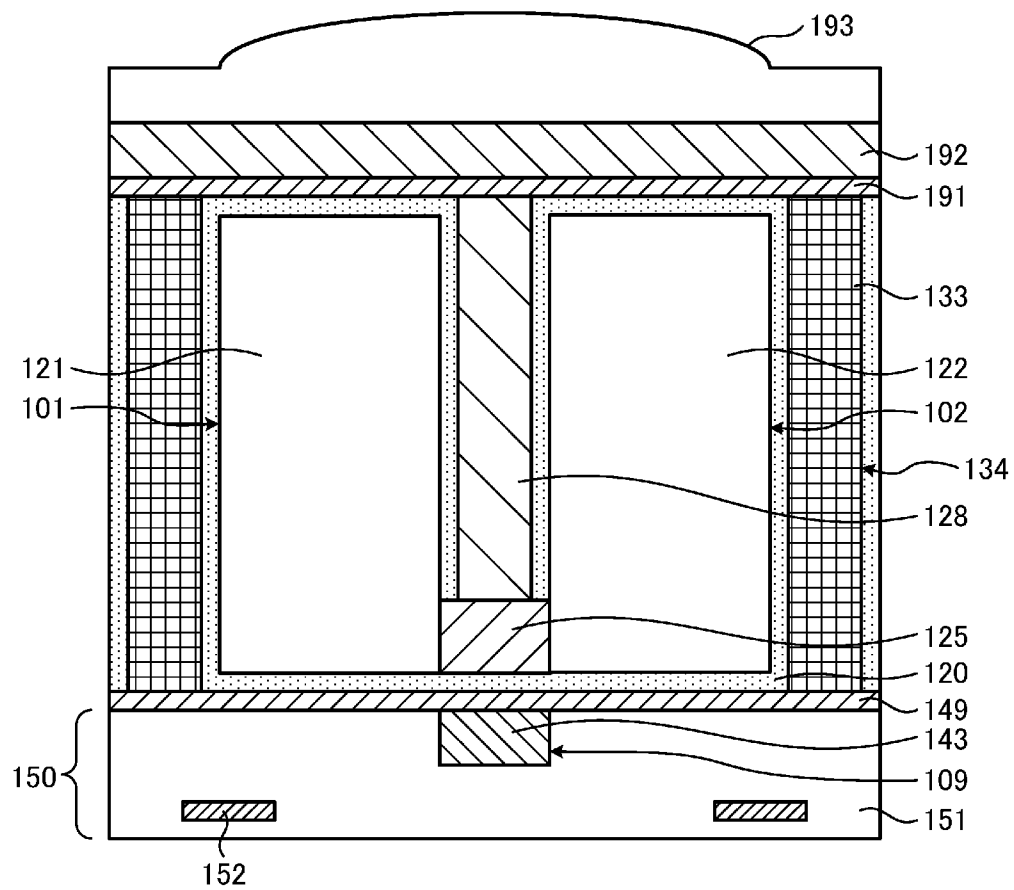
[図11B]



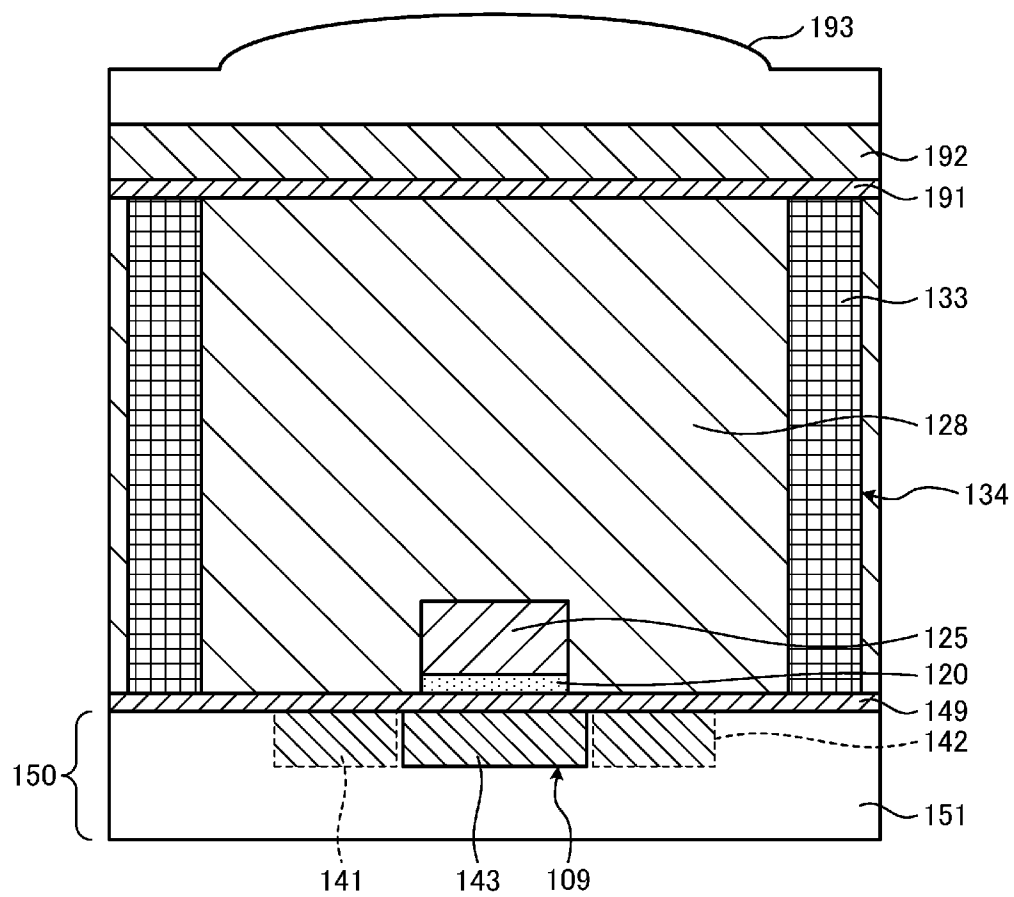
[図12]



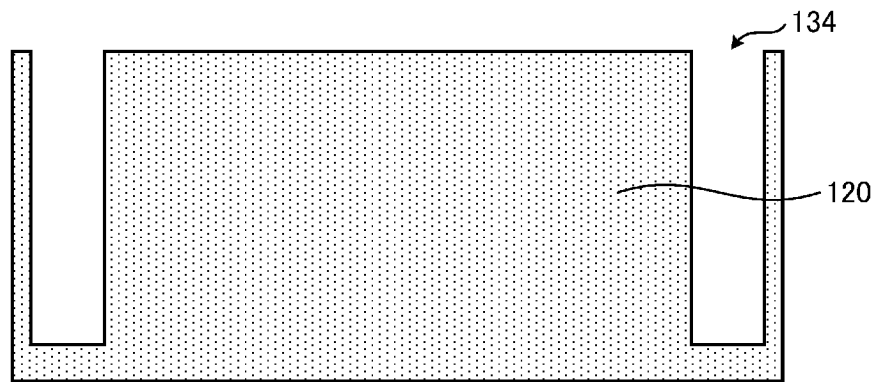
[図13A]



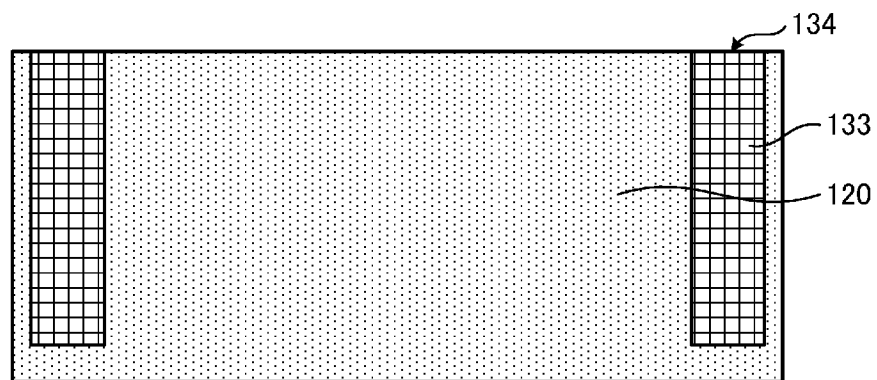
[図13B]



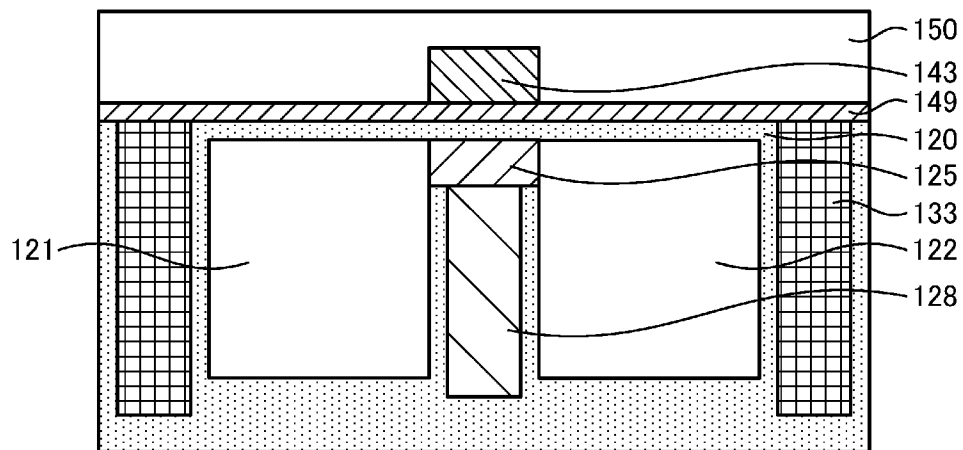
[図14A]



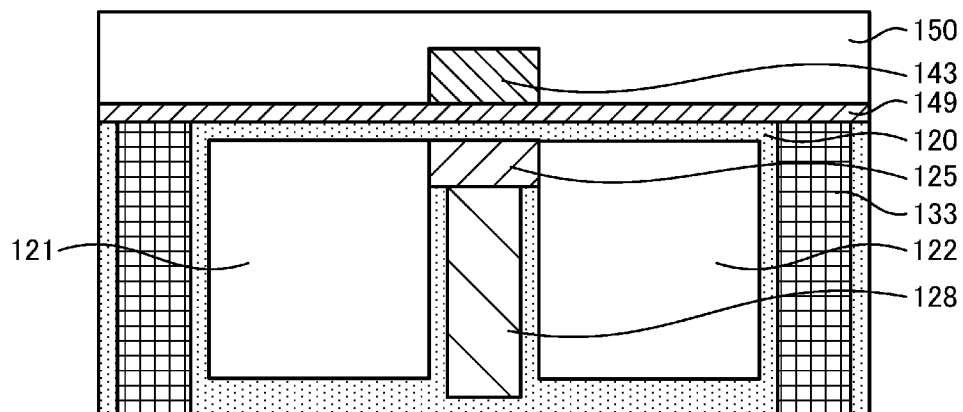
[図14B]



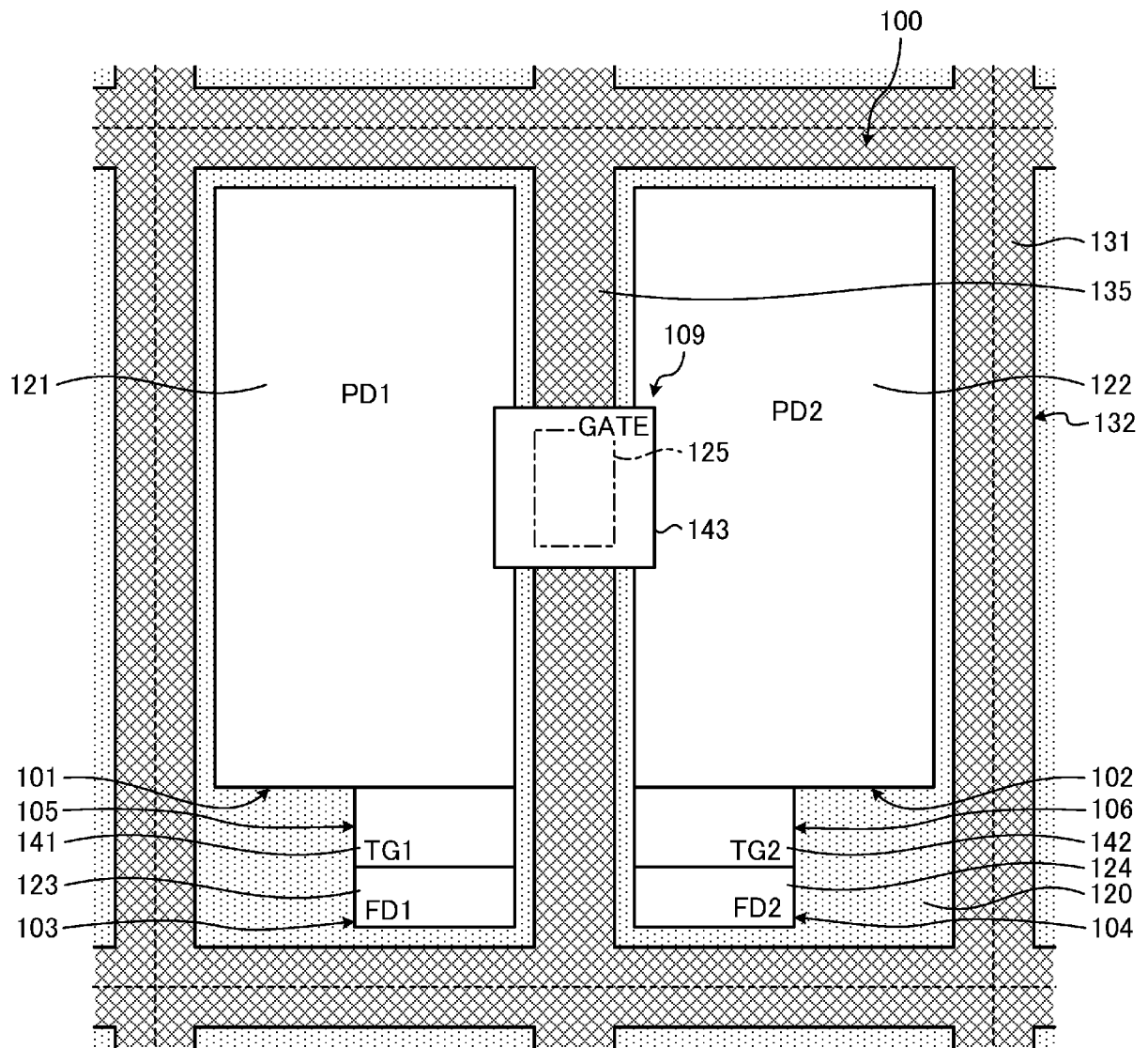
[図14C]



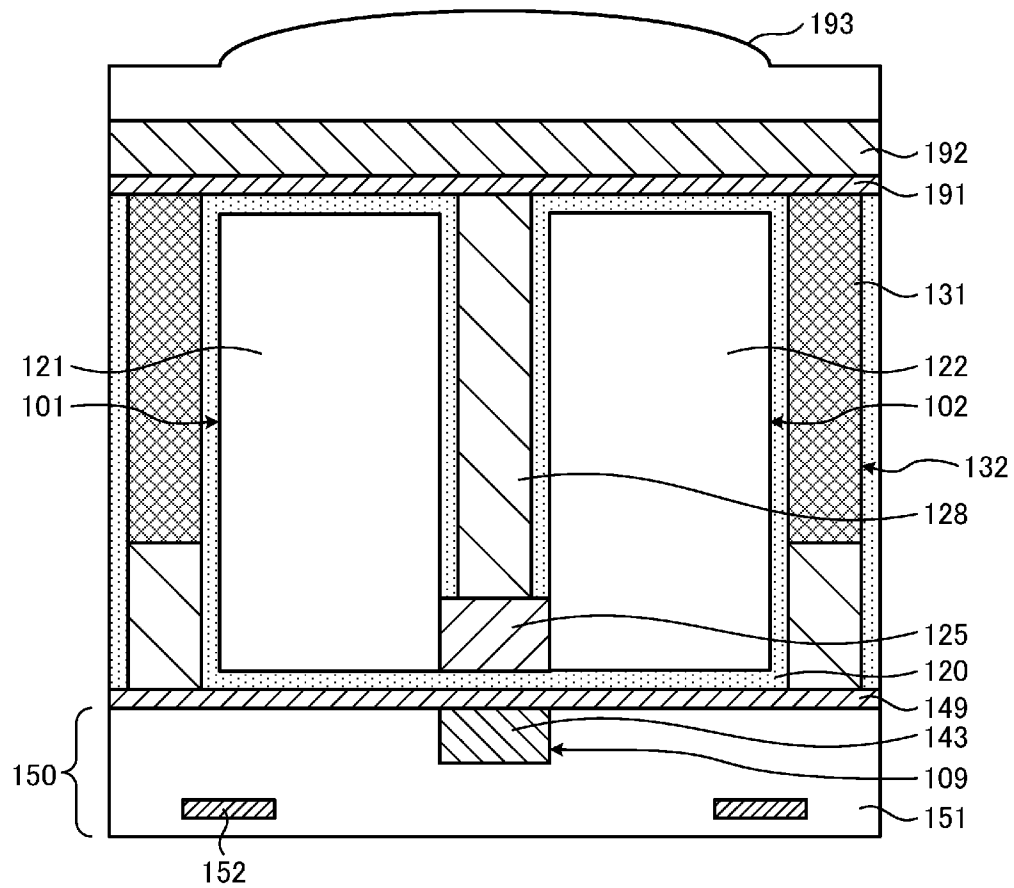
[図14D]



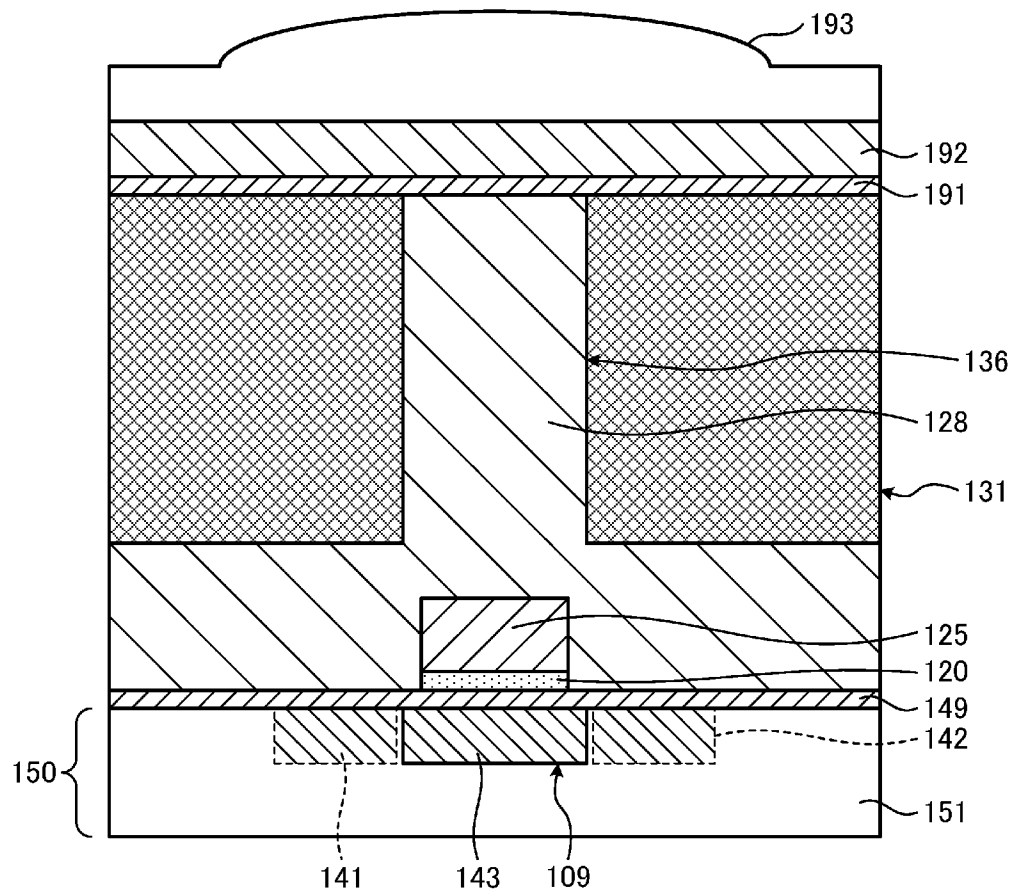
[図15]



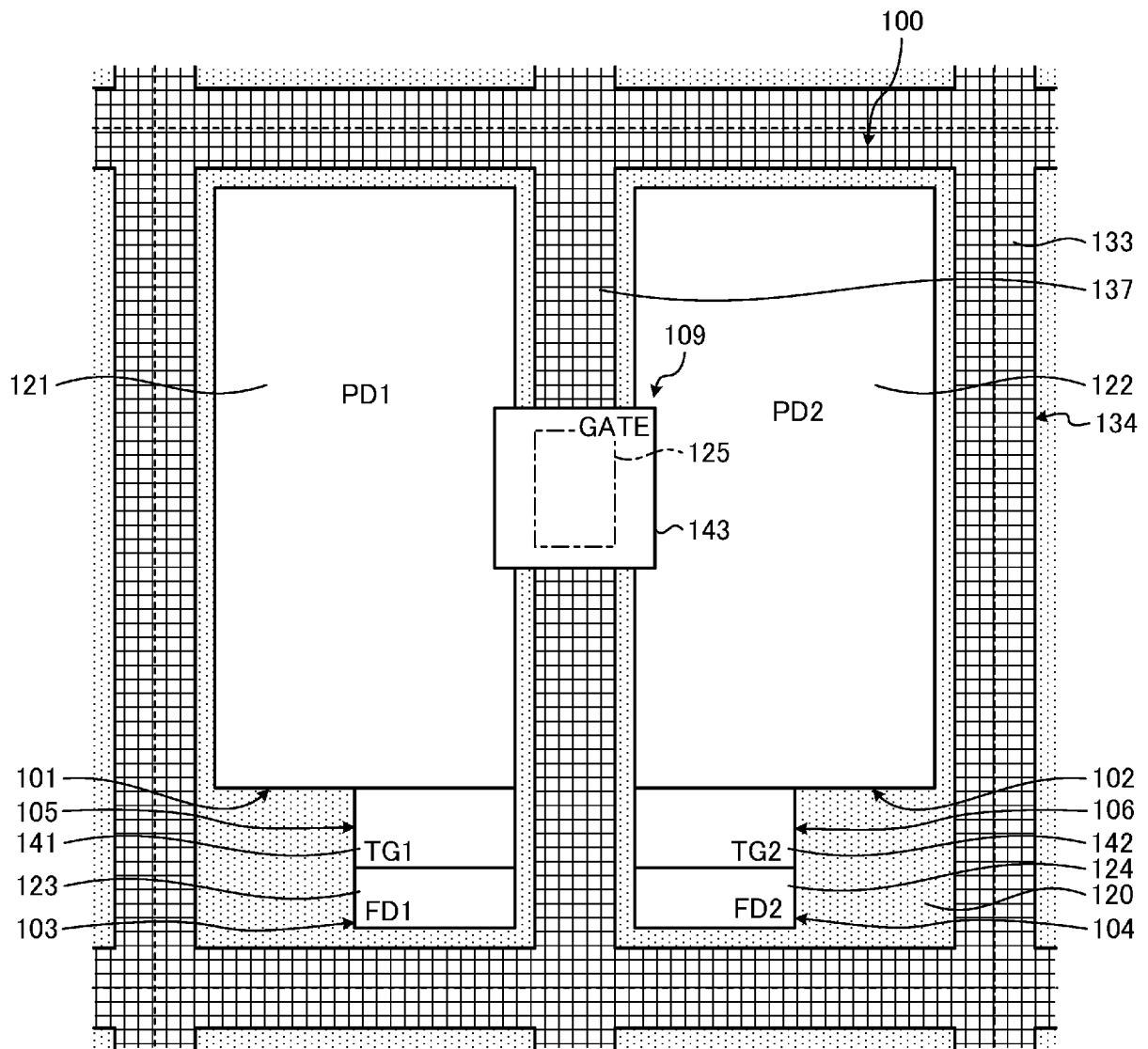
[図16A]



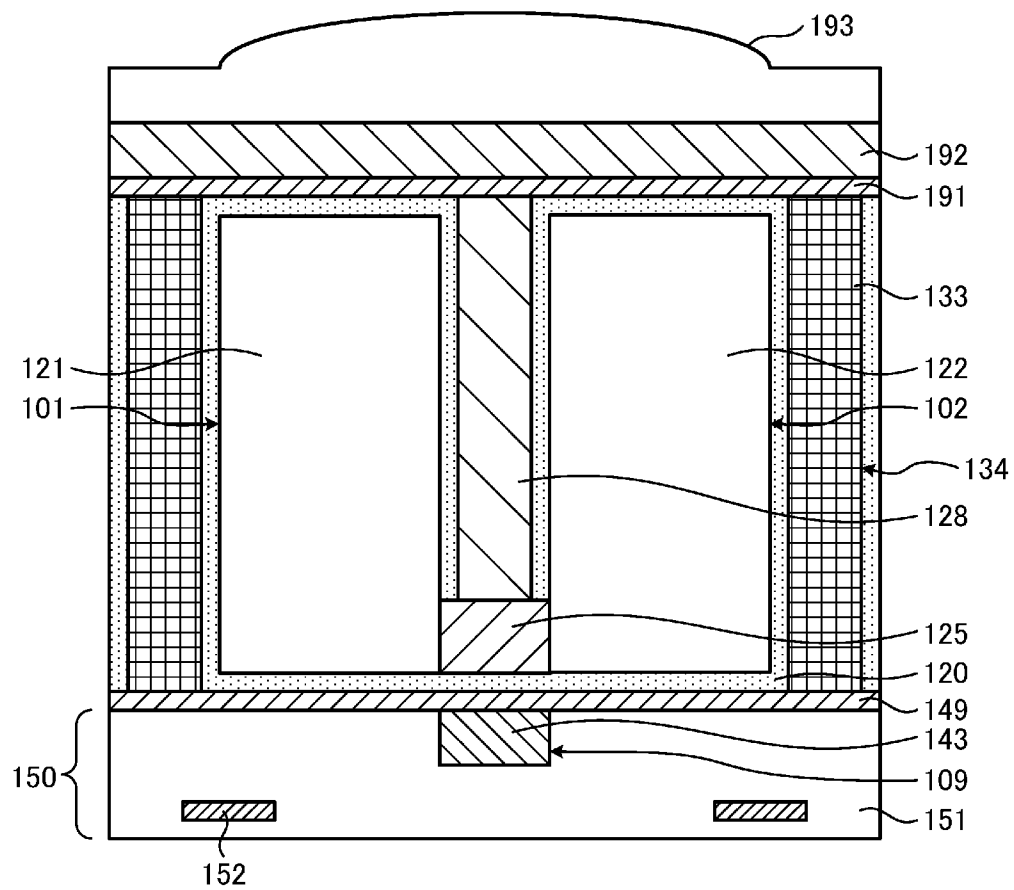
[図16B]



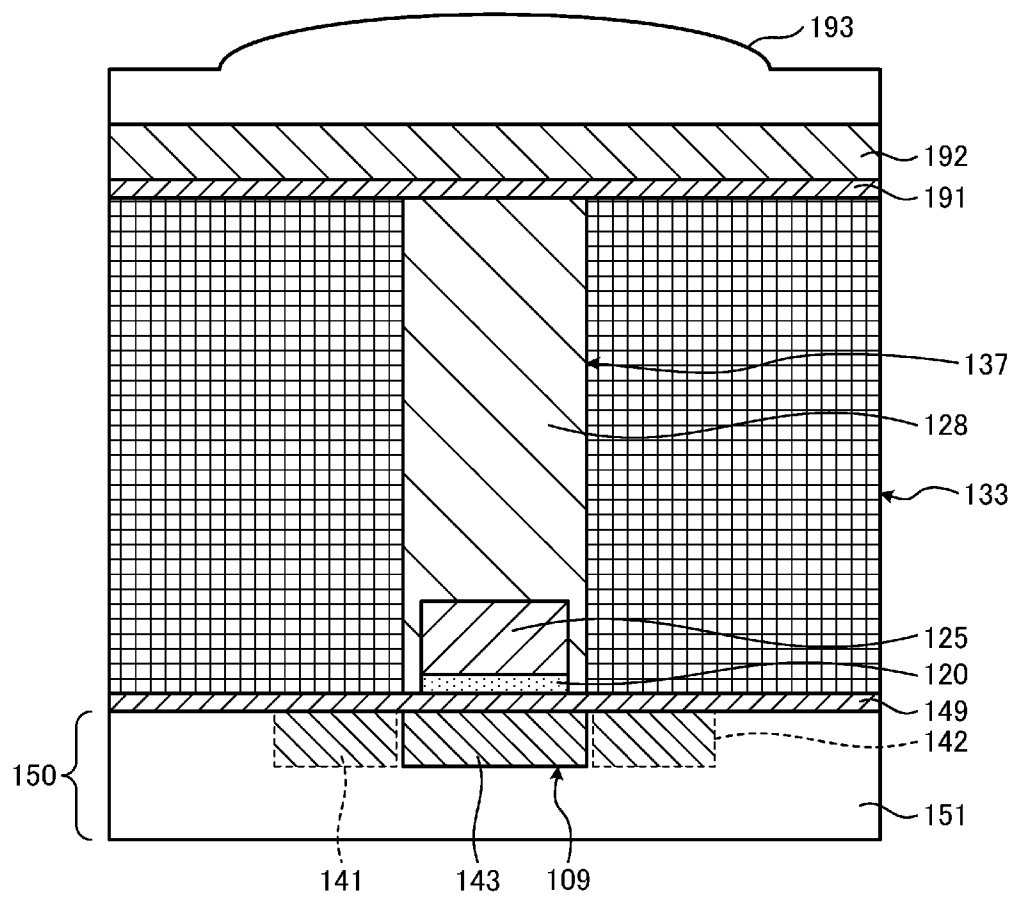
[図17]



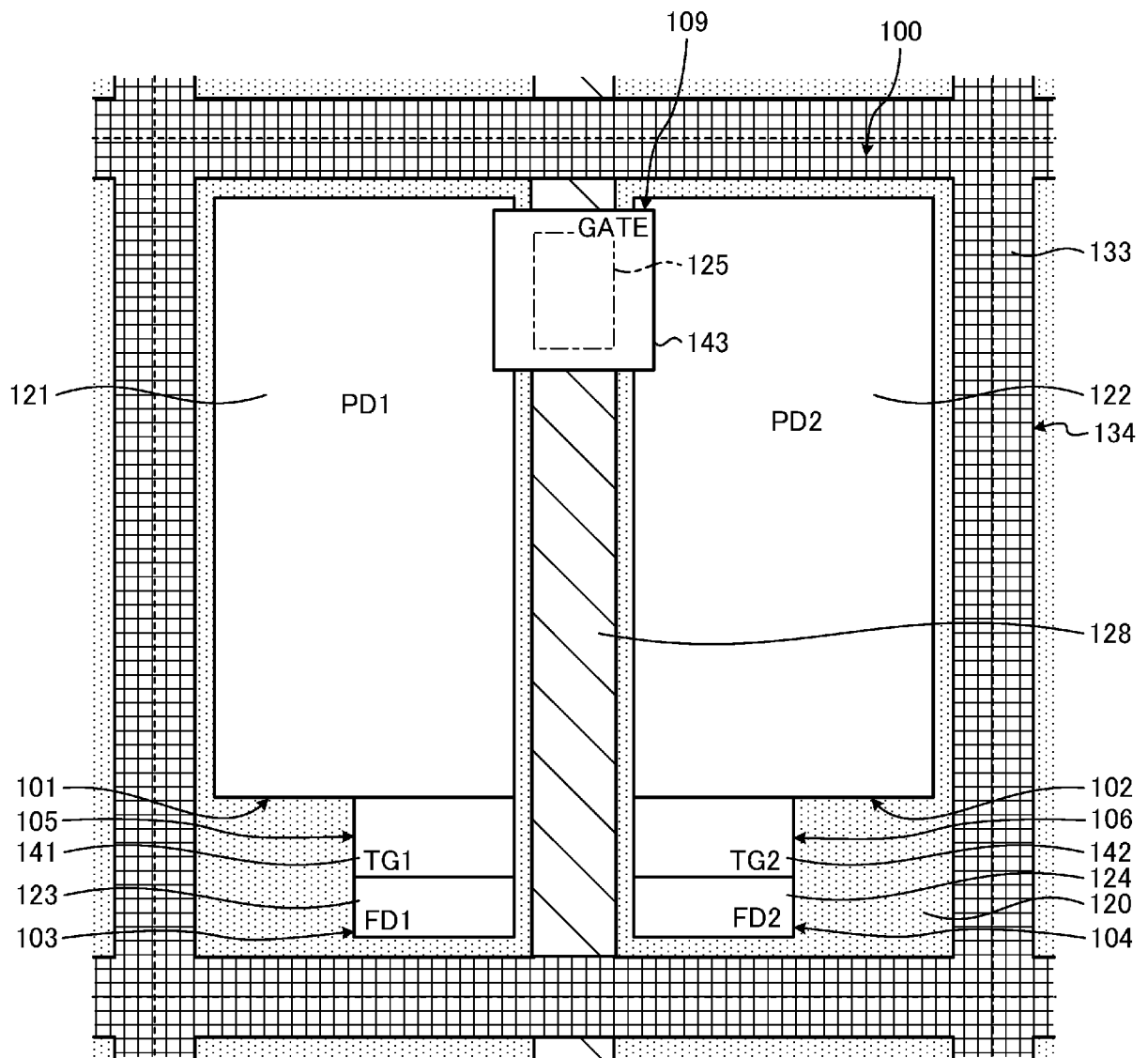
[図18A]



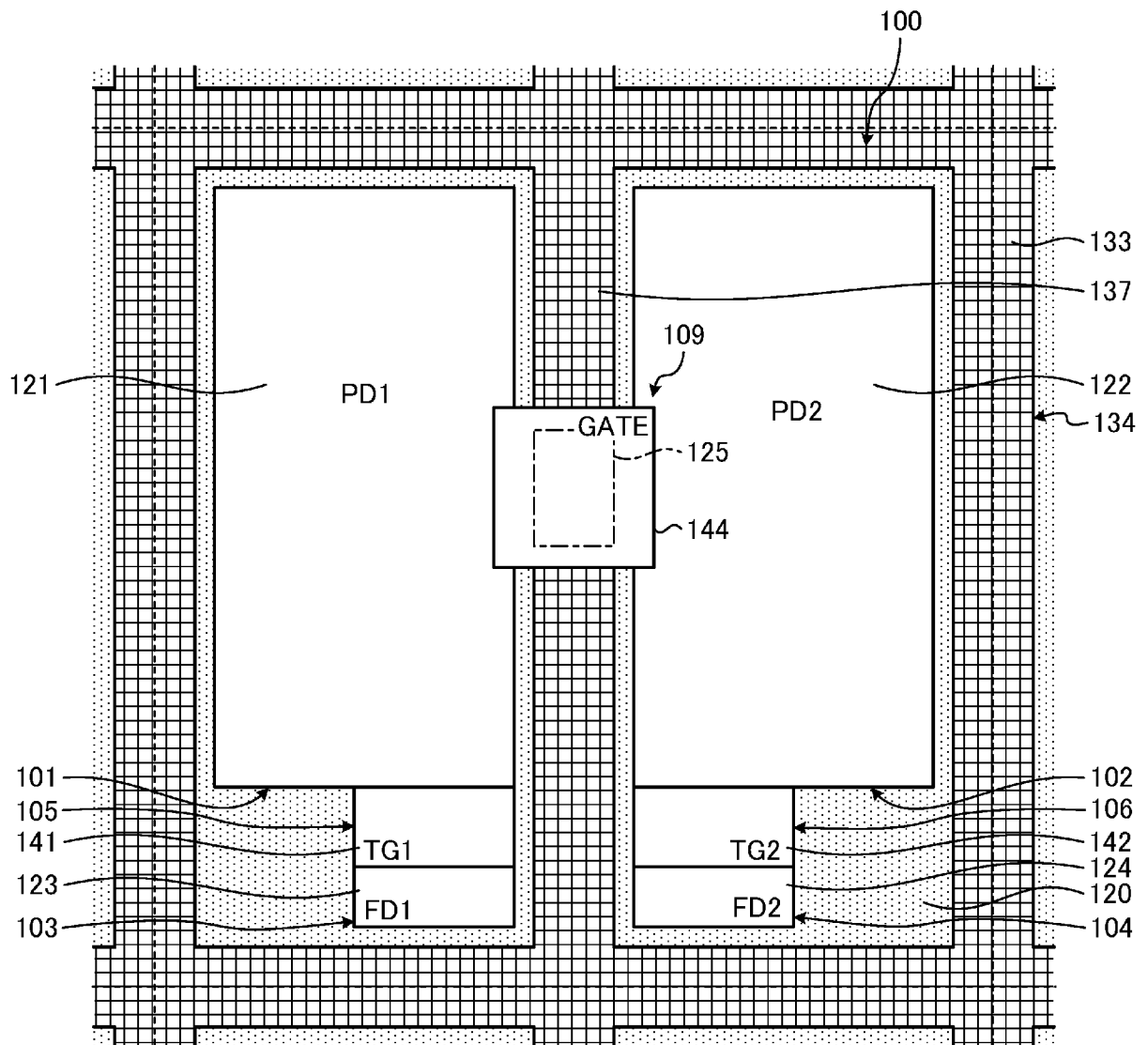
[図18B]



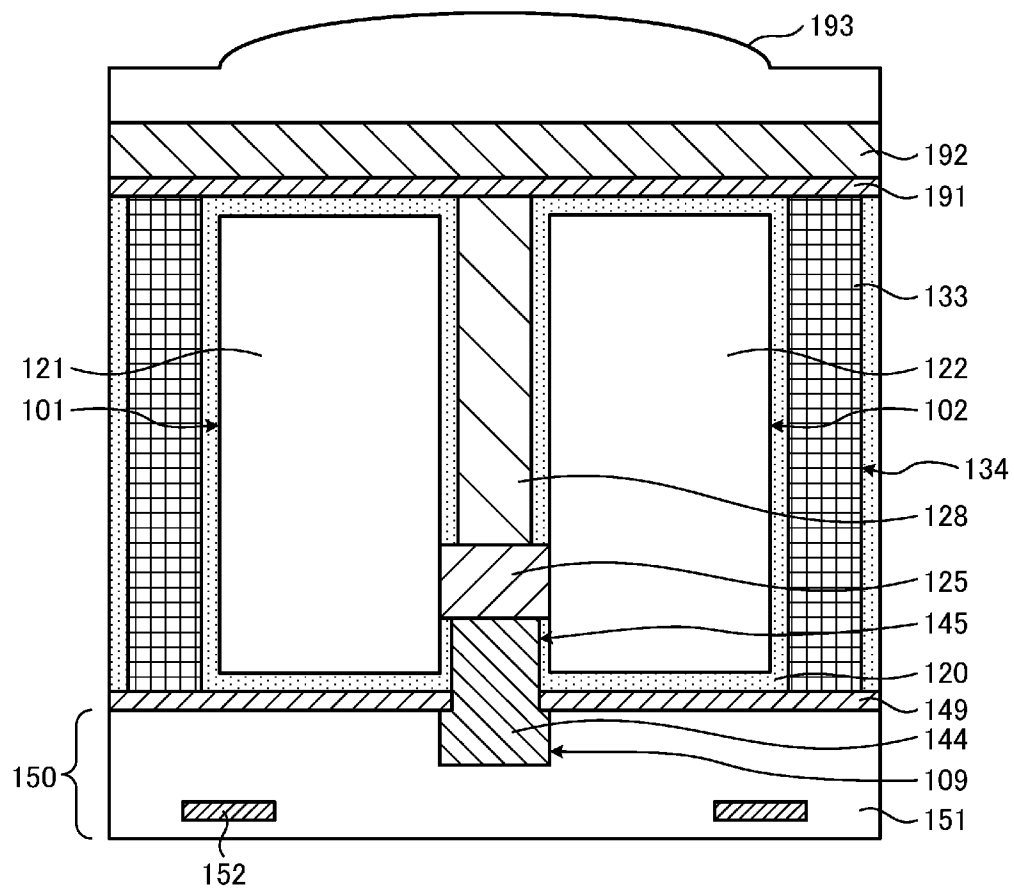
[図19]



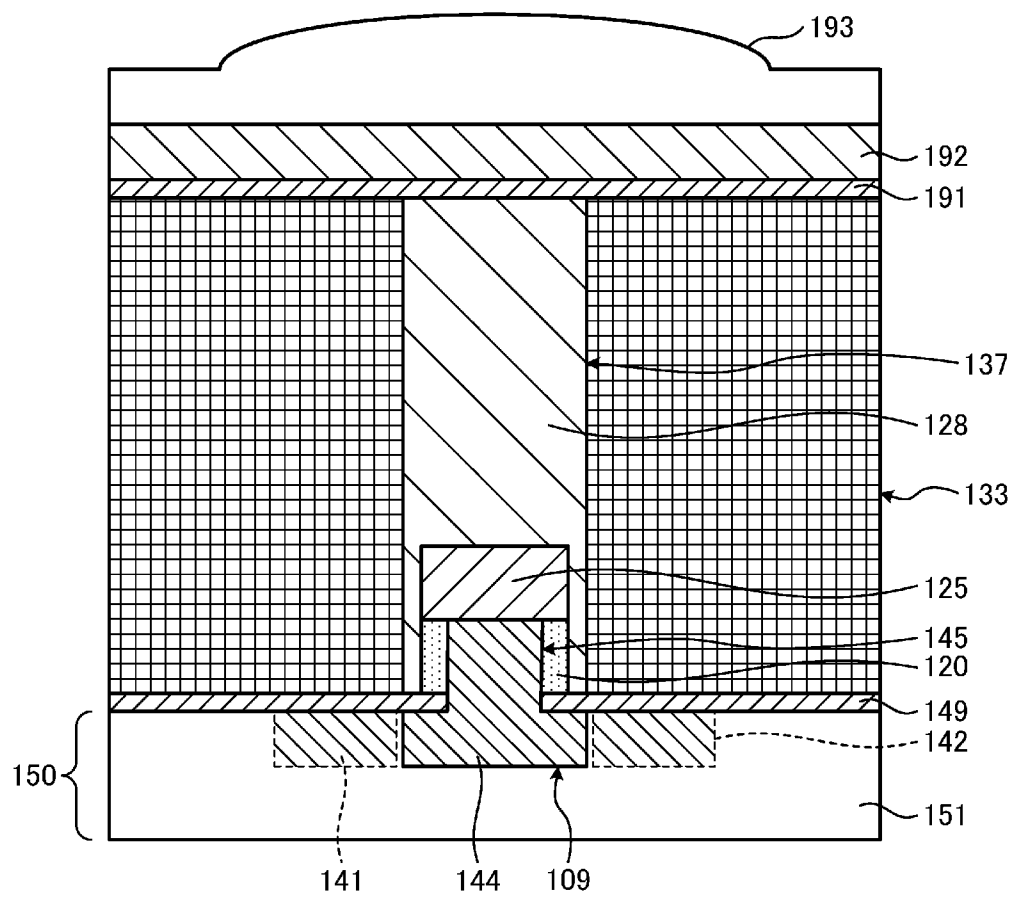
[図20]



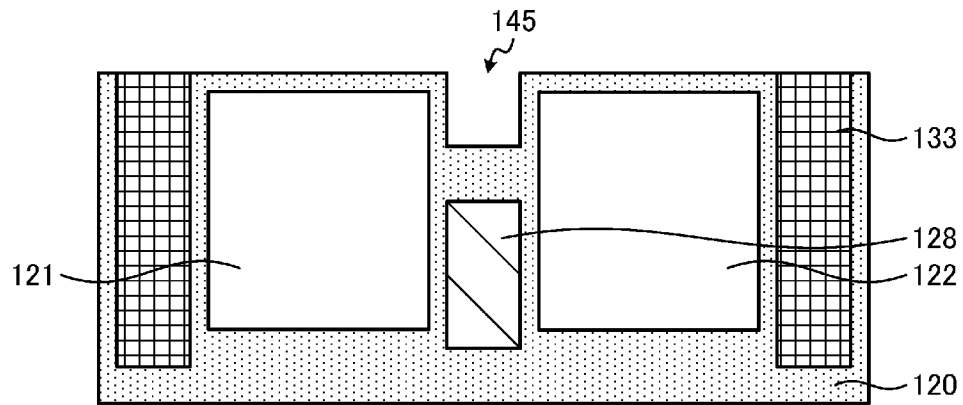
[図21A]



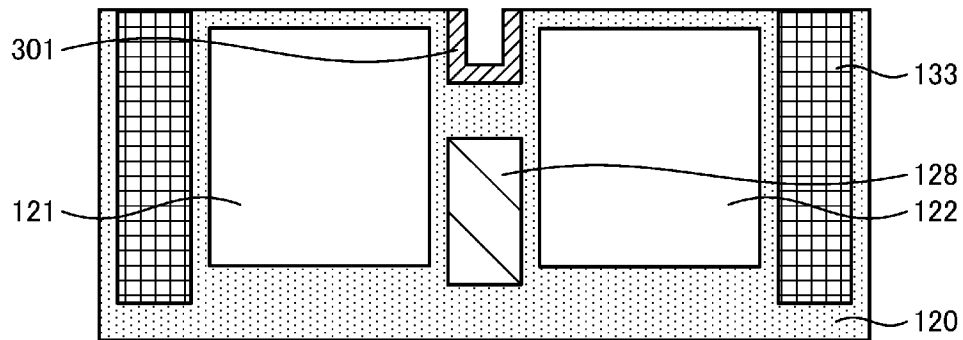
[図21B]



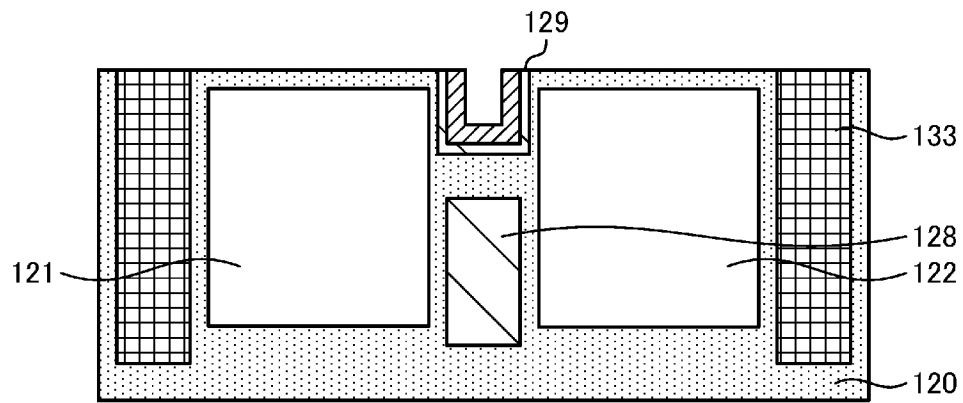
[図22A]



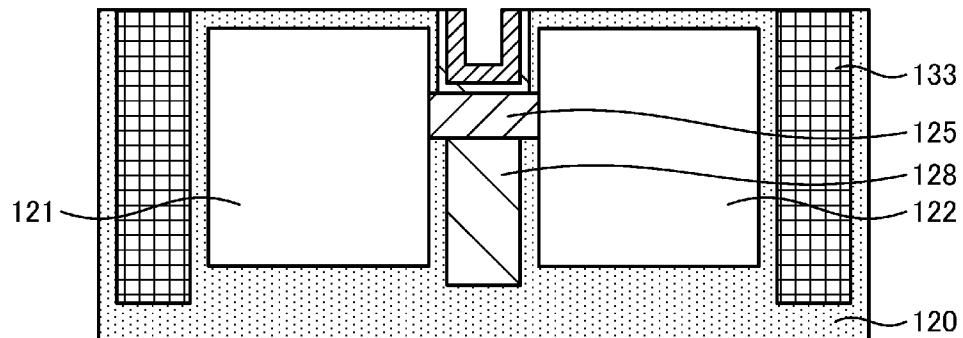
[図22B]



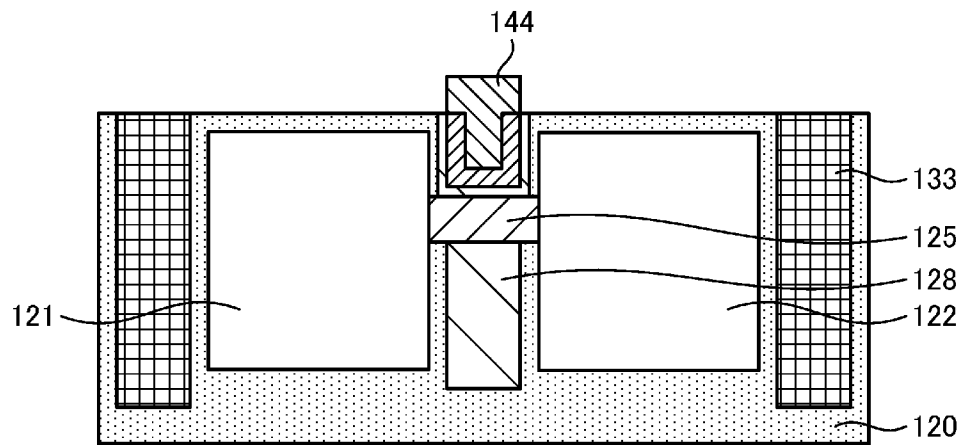
[図22C]



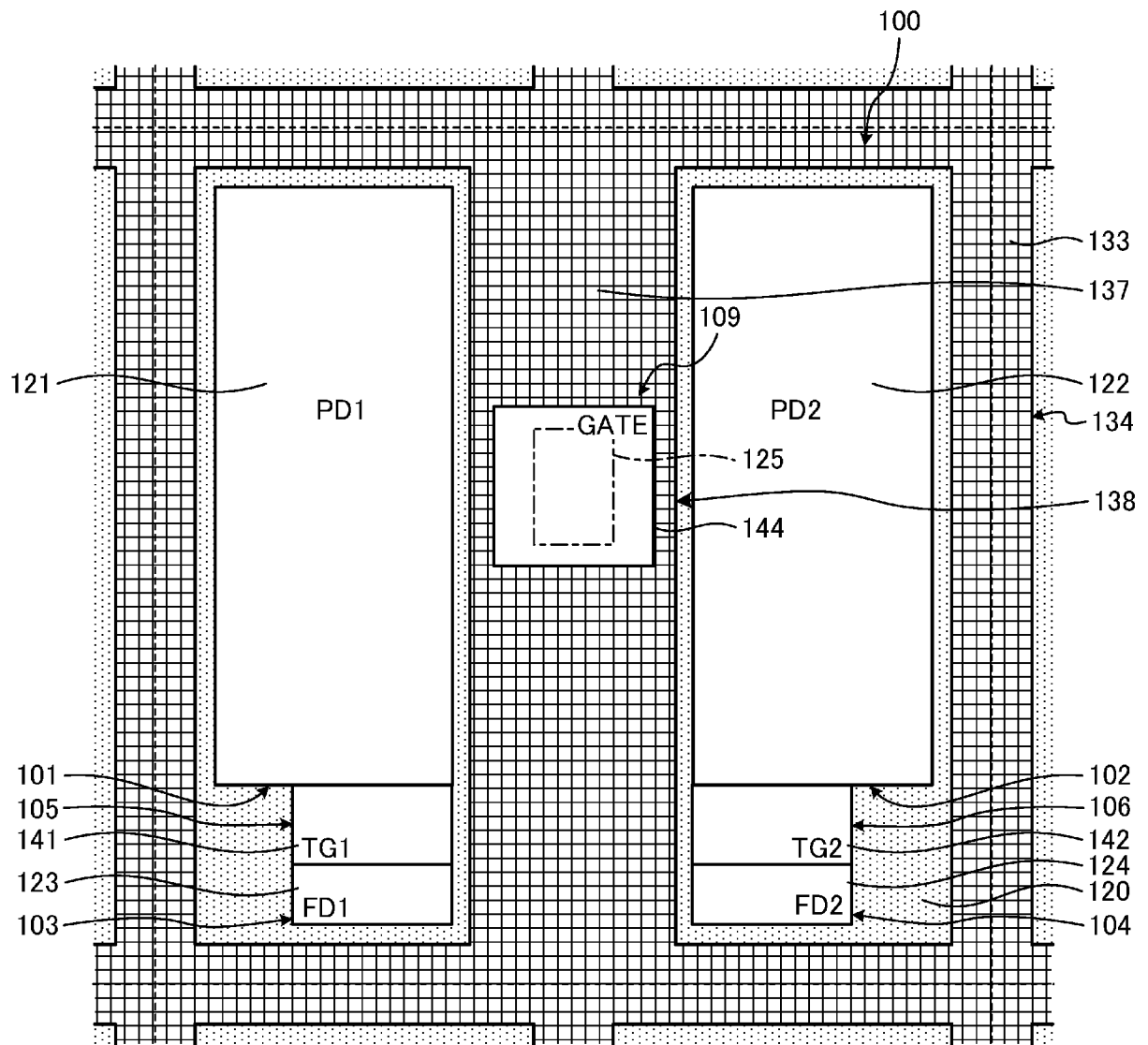
[図22D]



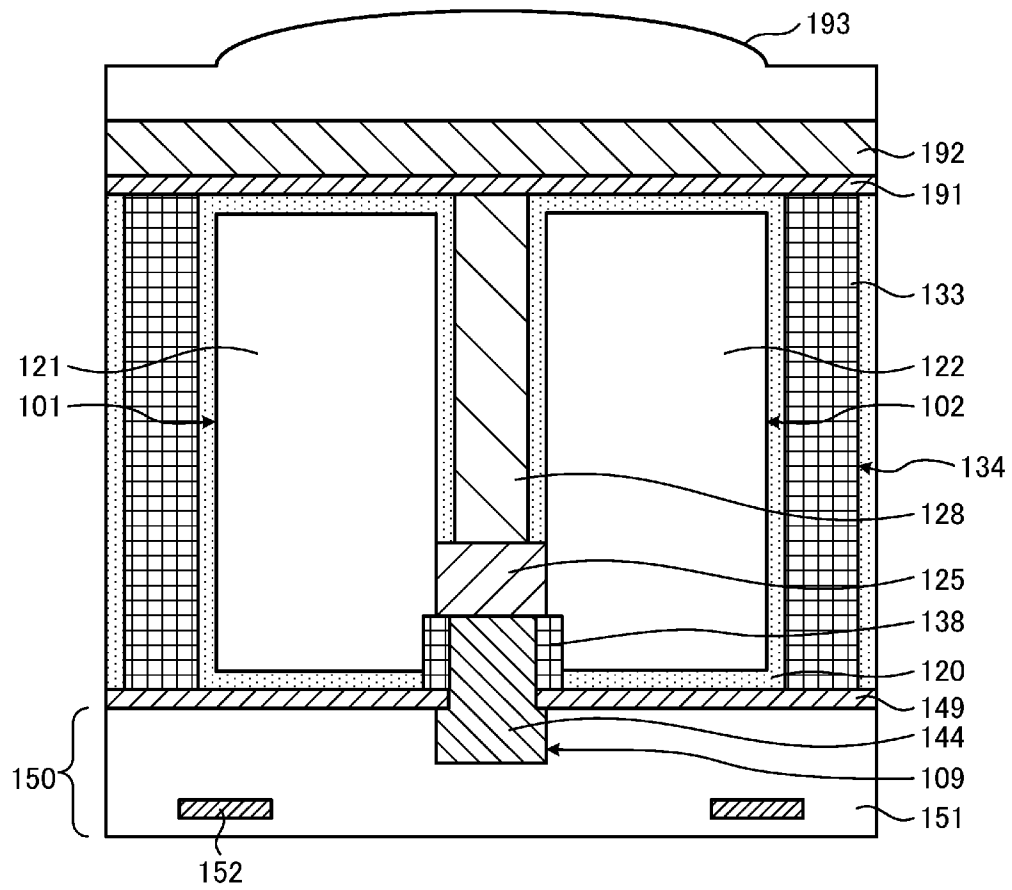
[図22E]



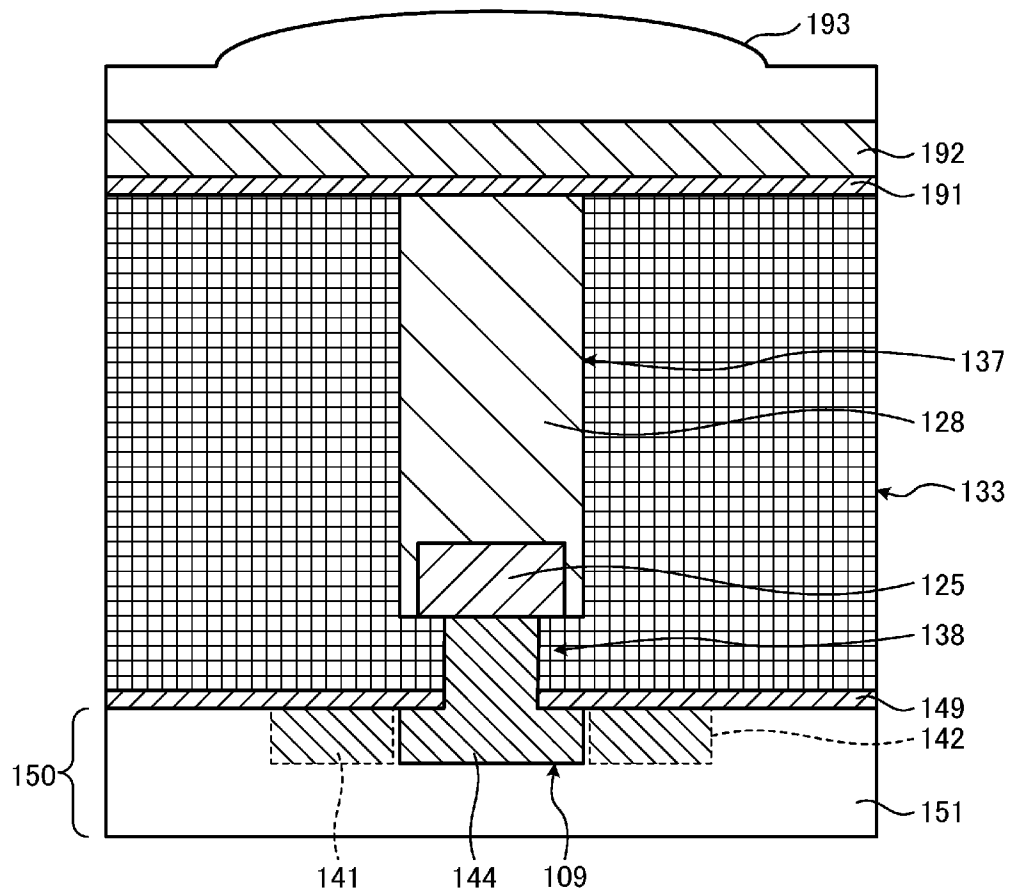
[図23]

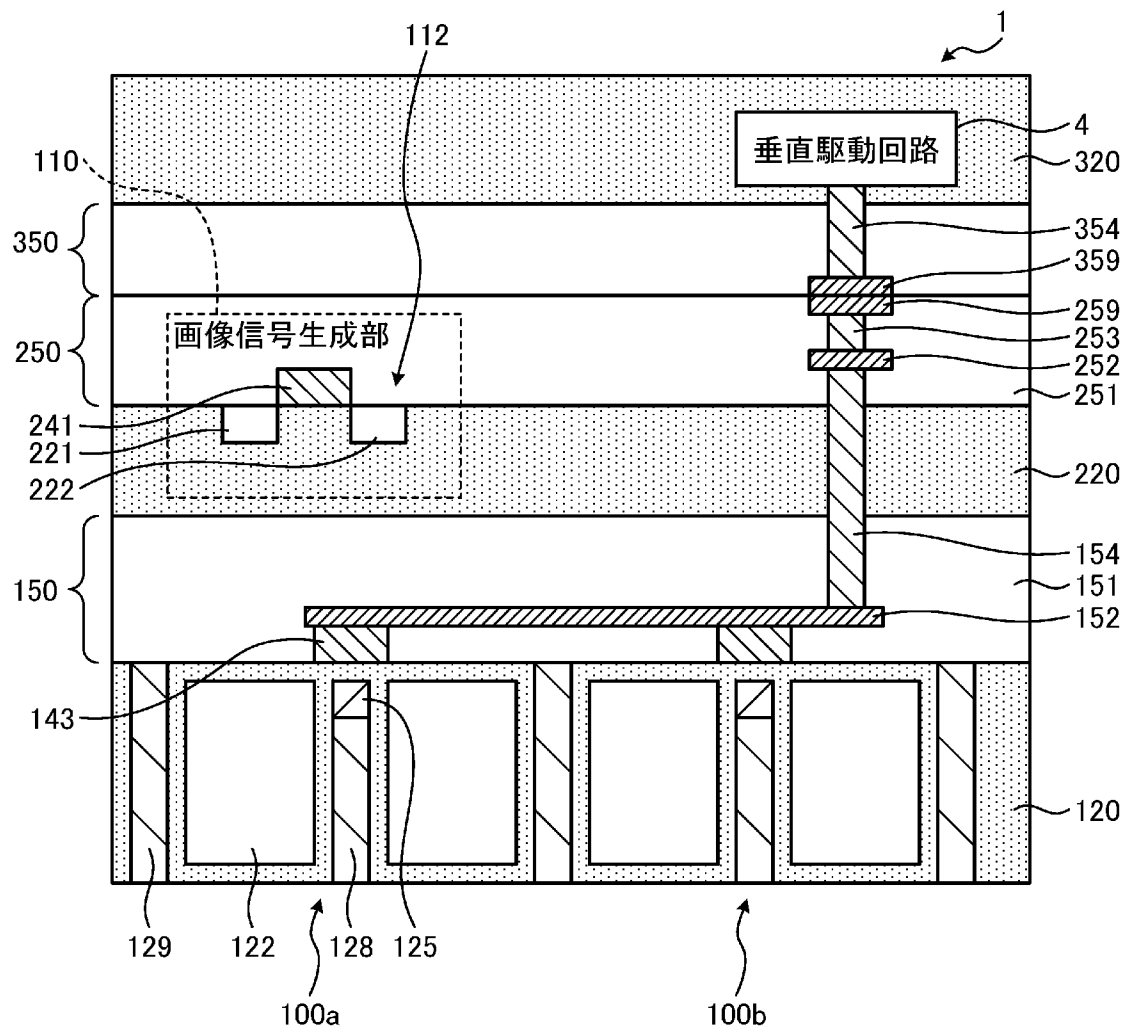


[図24A]

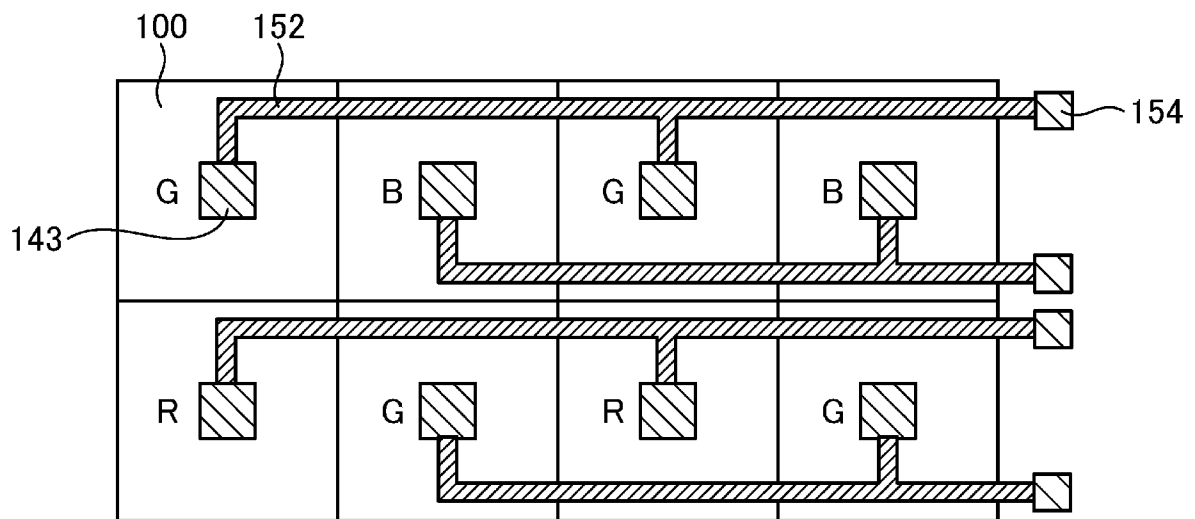


[図24B]

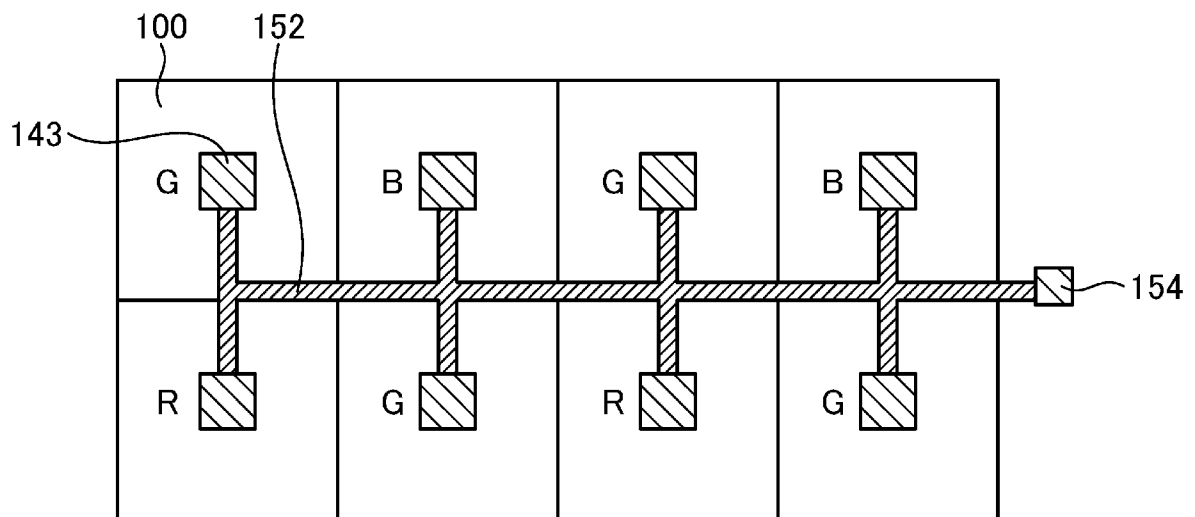




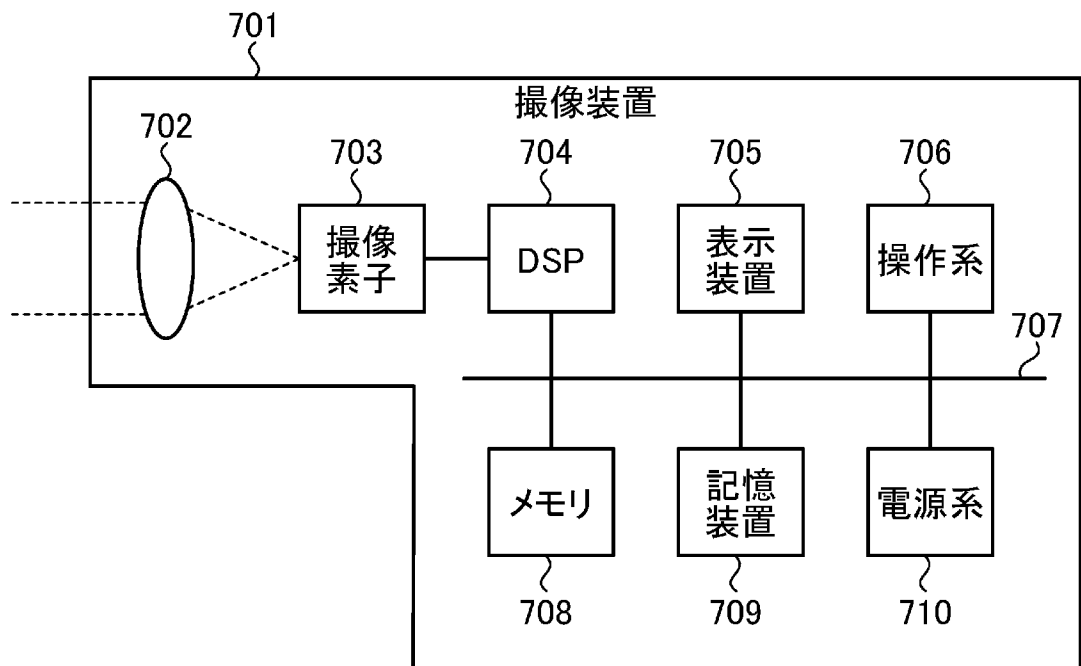
[図26A]



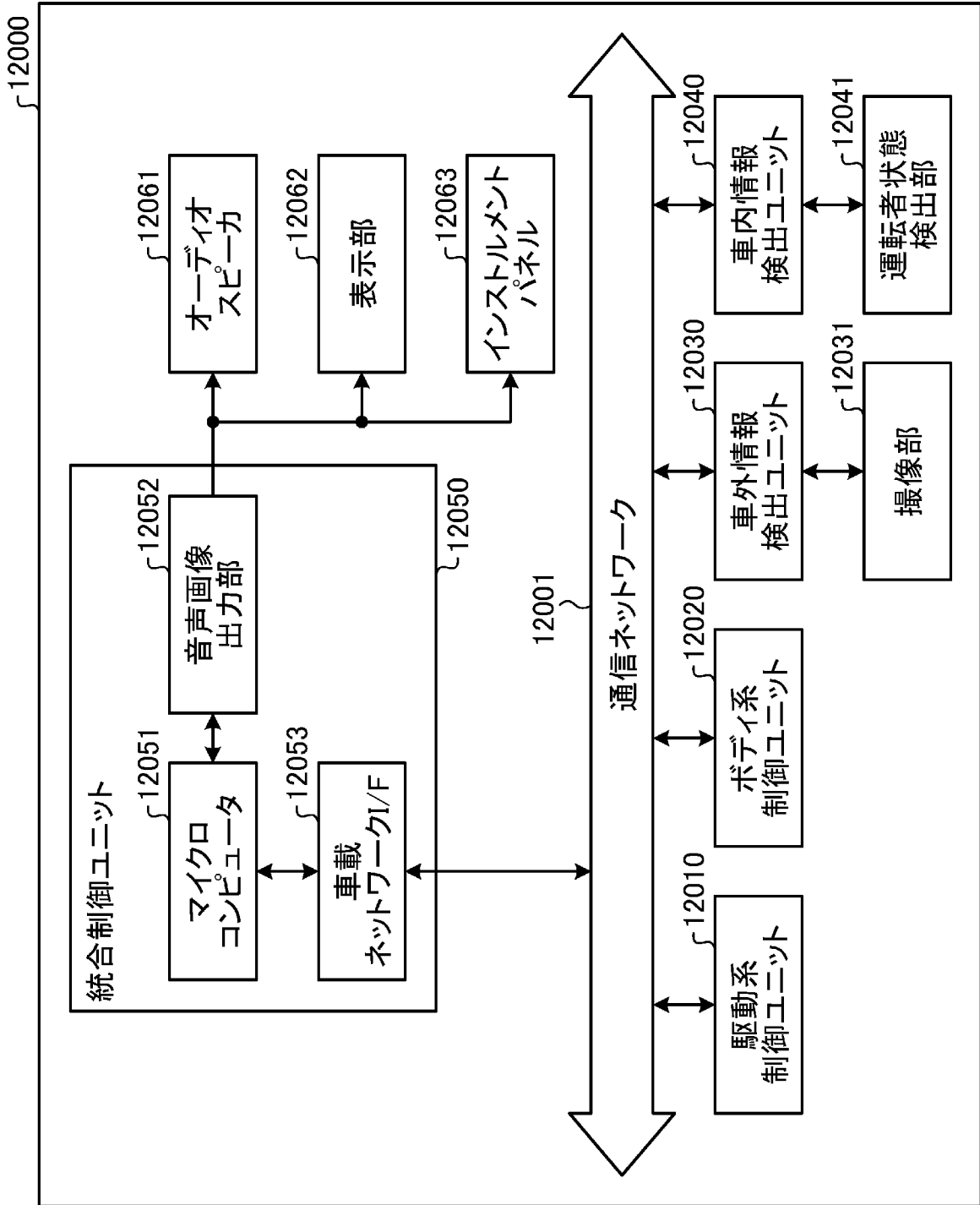
[図26B]



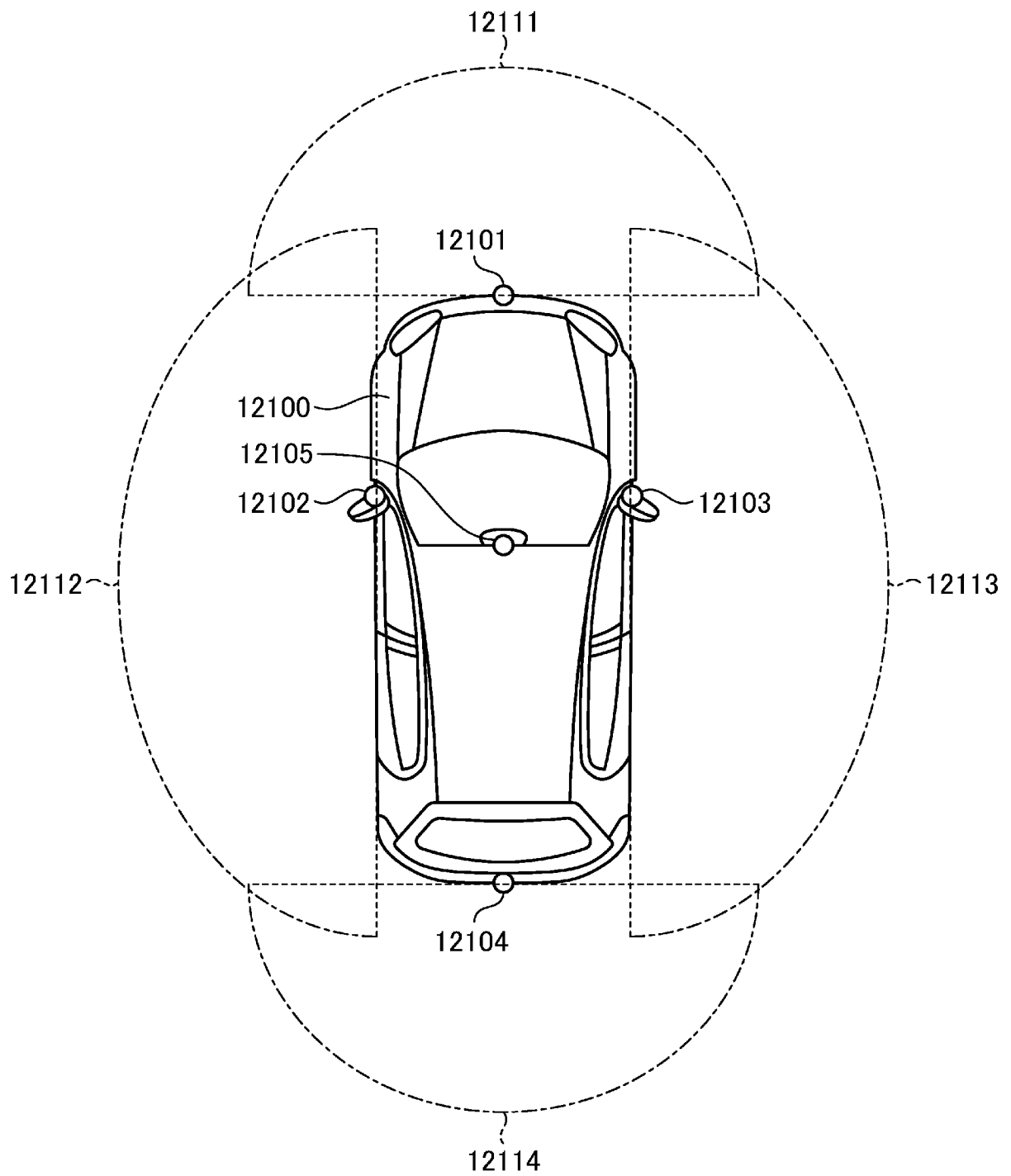
[図27]



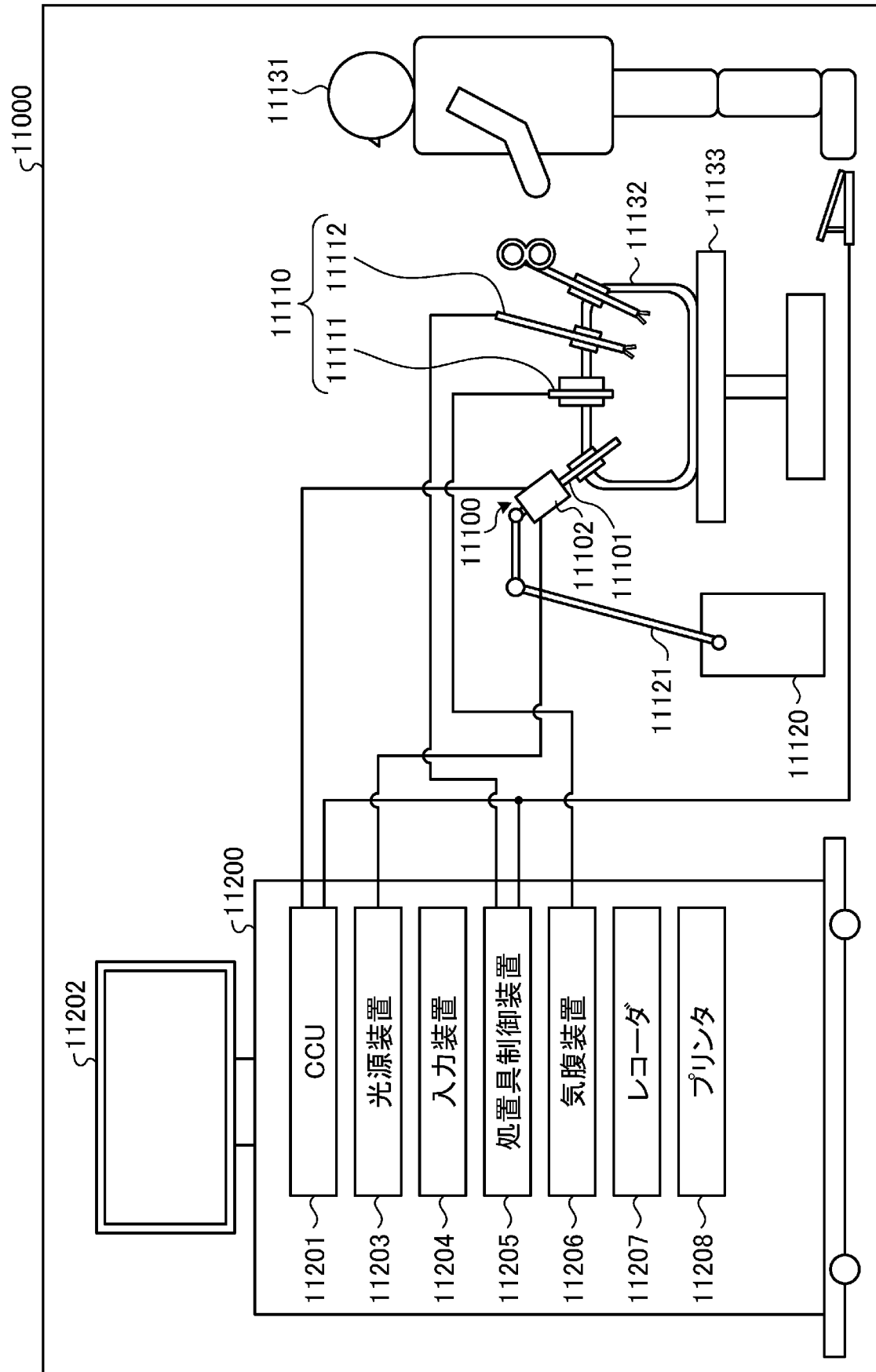
[図28]



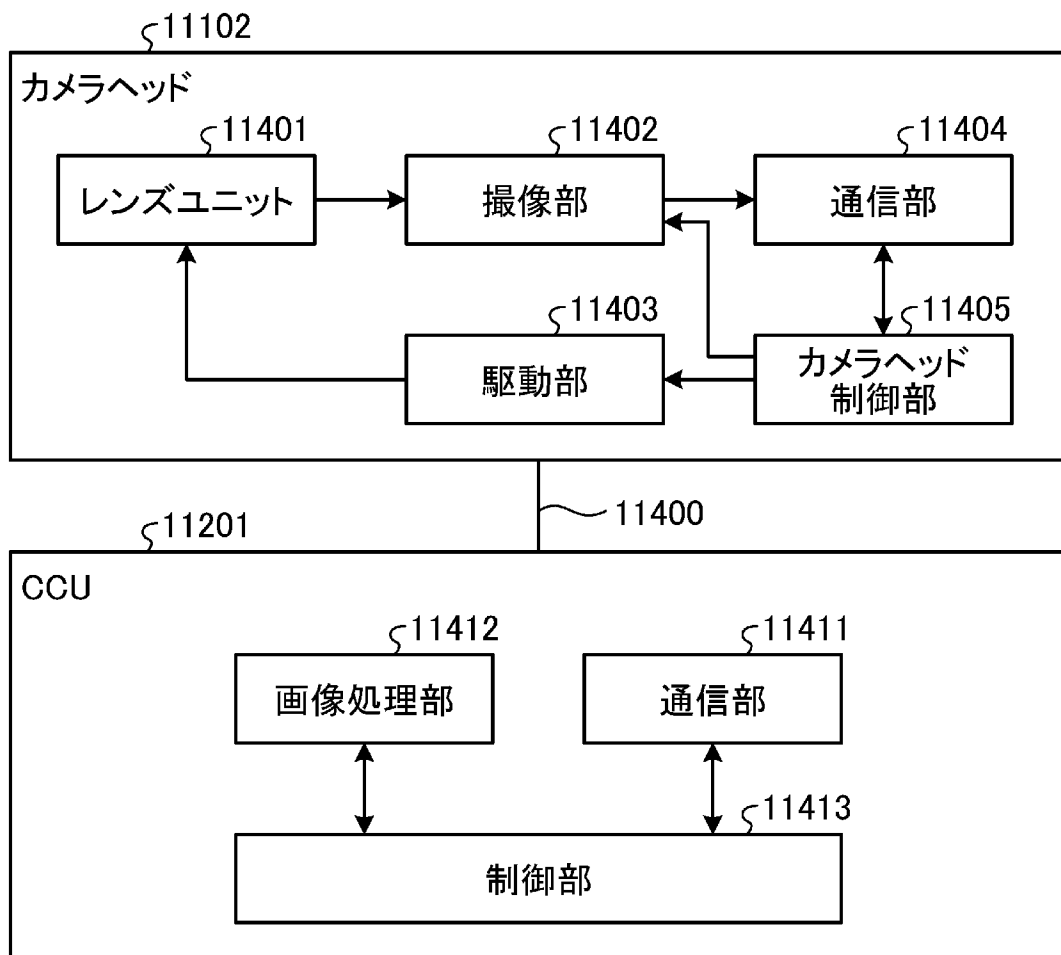
[図29]



[図30]



[図31]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/002785

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i; **H04N 5/369**(2011.01)i

FI: H01L27/146 A; H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-41890 A (CANON INC) 28 February 2013 (2013-02-28) paragraphs [0018], [0021], [0022], [0026], [0039], [0040], [0043], [0055], fig. 1-14	1-5, 9, 14
Y		6-8, 10, 12
A		11, 13
Y	JP 2013-84742 A (CANON INC) 09 May 2013 (2013-05-09) paragraphs [0032], [0041], fig. 1-15	6
Y	JP 2019-140252 A (CANON INC) 22 August 2019 (2019-08-22) paragraphs [0013], [0021], [0045], fig. 1-8	7, 8
Y	JP 2014-199898 A (SONY CORP) 23 October 2014 (2014-10-23) paragraphs [0089], [0090], fig. 1-53	10
Y	WO 2020/105713 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 28 May 2020 (2020-05-28) paragraphs [0079], [0083], [0085], [0086], fig. 1-103	12

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 April 2022

Date of mailing of the international search report

26 April 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/002785**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-325139 A (NIKON CORP) 13 December 2007 (2007-12-13) paragraphs [0034]-[0074], fig. 1-12	1-14
A	US 2017/0142325 A1 (SAMSUNG ELECTRONICS CO., LTD.) 18 May 2017 (2017-05-18) paragraphs [0084]-[0141], fig. 1-12	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/002785

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-41890	A	28 February 2013	US 9030589 B2 column 4, lines 50-67, column 5, lines 23-47, column 6, lines 4-13, column 7, lines 48-67, column 8, lines 17-38, column 10, lines 7-22, fig. 1-14 WO 2013/022111 A1	
JP	2013-84742	A	09 May 2013	US 2013/0087875 A1 paragraphs [0050], [0059], fig. 1-15 EP 2579311 A2	
JP	2019-140252	A	22 August 2019	US 2019/0252439 A1 paragraphs [0019], [0027], [0051], fig. 1-8 EP 3525239 A1	
JP	2014-199898	A	23 October 2014	US 2016/0020236 A1 paragraphs [0154], [0155], fig. 1-53 WO 2014/141621 A1	
WO	2020/105713	A1	28 May 2020	(Family: none)	
JP	2007-325139	A	13 December 2007	US 2009/0086063 A1 paragraphs [0047]-[0087], fig. 1-12 WO 2007/142171 A1 EP 2037672 A1	
US	2017/0142325	A1	18 May 2017	WO 2017/086673 A1 paragraphs [0088]-[0145], fig. 1-12	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H04N 5/369(2011.01)i FI: H01L27/146 A; H04N5/369		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H04N5/369		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-41890 A（キヤノン株式会社）28.02.2013（2013-02-28） 段落0018, 0021, 0022, 0026, 0039, 0040, 0043, 0055, 図1-14	1-5, 9, 14
Y		6-8, 10, 12
A		11, 13
Y	JP 2013-84742 A（キヤノン株式会社）09.05.2013（2013-05-09） 段落0032, 0041, 図1-15	6
Y	JP 2019-140252 A（キヤノン株式会社）22.08.2019（2019-08-22） 段落0013, 0021, 0045, 図1-8	7, 8
Y	JP 2014-199898 A（ソニー株式会社）23.10.2014（2014-10-23） 段落0089, 0090, 図1-53	10
Y	WO 2020/105713 A1（ソニーセミコンダクタソリューションズ株式会社）28.05.2020 （2020-05-28） 段落0079, 0083, 0085, 0086, 図1-103	12
A	JP 2007-325139 A（株式会社ニコン）13.12.2007（2007-12-13） 段落0034-0074, 図1-12	1-14
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 13.04.2022		国際調査報告の発送日 26.04.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 小山 満 5F 9458 電話番号 03-3581-1101 内線 3516

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2017/0142325 A1 (SAMSUNG ELECTRONICS CO., LTD) 18.05.2017 (2017 - 05 - 18) 段落0084-0141, 図1-12	1-14

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/002785

引用文献			公表日	パテントファミリー文献	公表日
JP	2013-41890	A	28.02.2013	US 9030589 B2 第4欄第50-67行, 第5欄第23-47行, 第6欄第4-13行, 第7欄第48-67行, 第8欄第17-38行, 第10欄第7-22行, 図1-14 WO 2013/022111 A1	
JP	2013-84742	A	09.05.2013	US 2013/0087875 A1 段落0050, 0059, 図1-15 EP 2579311 A2	
JP	2019-140252	A	22.08.2019	US 2019/0252439 A1 段落0019, 0027, 0051, 図1-8 EP 3525239 A1	
JP	2014-199898	A	23.10.2014	US 2016/0020236 A1 段落0154, 0155, 図1-53 WO 2014/141621 A1	
WO	2020/105713	A1	28.05.2020	(ファミリーなし)	
JP	2007-325139	A	13.12.2007	US 2009/0086063 A1 段落0047-0087, 図1-12 WO 2007/142171 A1 EP 2037672 A1	
US	2017/0142325	A1	18.05.2017	WO 2017/086673 A1 段落0088-0145, 図1-12	