

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-78331

(P2008-78331A)

(43) 公開日 平成20年4月3日(2008.4.3)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8238 (2006.01)	H O 1 L 27/08 3 2 1 A	5 F 0 4 8
H O 1 L 27/092 (2006.01)	H O 1 L 27/08 1 0 2 A	5 F 0 8 3
H O 1 L 21/8234 (2006.01)	H O 1 L 27/10 4 6 1	5 F 1 1 0
H O 1 L 27/088 (2006.01)	H O 1 L 27/08 3 3 1 E	
H O 1 L 27/10 (2006.01)	H O 1 L 29/78 6 1 9 A	
審査請求 未請求 請求項の数 32 O L (全 45 頁) 最終頁に続く		

(21) 出願番号 特願2006-254949 (P2006-254949)
 (22) 出願日 平成18年9月20日 (2006.9.20)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (72) 発明者 竹内 雅彦
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内
 Fターム(参考) 5F048 AA01 AA07 AB01 AB03 AB04
 AC01 AC03 AC10 BA01 BB01
 BB05 BB08 BB11 BB12 BC01
 BC06 BE03 BF06 BF12 BF16
 BG13 DA25 DA27

最終頁に続く

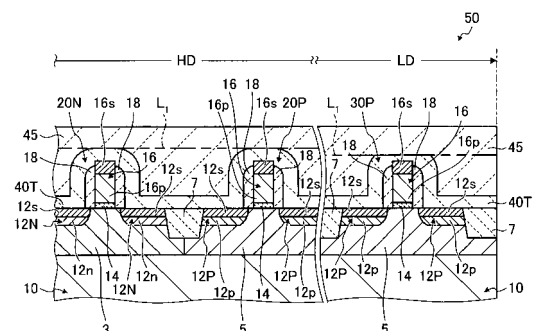
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】M I Sトランジスタを覆う絶縁膜により当該M I Sトランジスタでのキャリアのモビリティを制御することができ、かつ製造が容易な半導体装置を得ること。

【解決手段】半導体基板10に複数のM I Sトランジスタ20N, 20P, 30Pが配置され、半導体基板の上面および複数のM I Sトランジスタの各々がテンサイルストレス膜40Tにより覆われた半導体装置50を構成するにあたり、M I Sトランジスタの集積密度が相対的に高い高密度領域HDに配置された複数の第1類M I Sトランジスタ20N, 20Pそれぞれのゲート電極16上ではテンサイルストレス膜の膜厚を実質的に一定にし、M I Sトランジスタの集積密度が相対的に低い低密度領域LDに配置された複数の第2類M I SトランジスタのうちのPチャネルM I Sトランジスタ30Pのゲート電極上でテンサイルストレス膜の膜厚を最も薄くする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板と、該半導体基板に配置された複数のM I Sトランジスタと、前記半導体基板の上面および前記複数のM I Sトランジスタの各々を覆う電気絶縁膜とを備え、前記複数のM I Sトランジスタの各々は前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極を有し、該ゲート電極に電圧を印加したときに前記半導体基板にチャンネルが形成される半導体装置であって、

前記複数のM I Sトランジスタは、M I Sトランジスタの集積密度が相対的に高い高密度領域に配置された複数の第1類M I Sトランジスタと、M I Sトランジスタの集積密度が相対的に低い低密度領域に配置された複数の第2類M I Sトランジスタとに分けられ、

前記第1類M I SトランジスタはNチャンネルM I Sトランジスタを、また前記第2類M I SトランジスタはPチャンネルM I Sトランジスタをそれぞれ含み、

前記電気絶縁膜は、前記複数のM I Sトランジスタそれぞれでのチャンネルにゲート長方向の引張り応力を付与するテンサイルストレス膜であり、

前記電気絶縁膜の膜厚は、前記第1類M I Sトランジスタそれぞれのゲート電極上では実質的に一定であり、前記PチャンネルM I Sトランジスタのゲート電極上で最も薄い、

ことを特徴とする半導体装置。

【請求項 2】

前記電気絶縁膜は、前記PチャンネルM I Sトランジスタのゲート電極の上面を露出させていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記複数の第1類M I Sトランジスタは、複数のメモリセルを構成していることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記複数の第1類M I Sトランジスタは、互いに接続されてインバータ回路、N A N D回路、またはN O R回路を構成するNチャンネルM I SトランジスタとPチャンネルM I Sトランジスタとを含んでいることを特徴とする請求項 1 ～ 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】

半導体基板と、該半導体基板に配置された複数のM I Sトランジスタと、前記半導体基板の上面および前記複数のM I Sトランジスタの各々を覆う電気絶縁膜とを備え、前記複数のM I Sトランジスタの各々は前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極を有し、該ゲート電極に電圧を印加したときに前記半導体基板にチャンネルが形成される半導体装置であって、

前記複数のM I Sトランジスタは、M I Sトランジスタの集積密度が相対的に高い高密度領域に配置された複数の第1類M I Sトランジスタと、M I Sトランジスタの集積密度が相対的に低い低密度領域に配置された複数の第2類M I Sトランジスタとに分けられ、

前記第1類M I SトランジスタはPチャンネルM I Sトランジスタを、また前記第2類M I SトランジスタはNチャンネルM I Sトランジスタをそれぞれ含み、

前記電気絶縁膜は、前記複数のM I Sトランジスタそれぞれでのチャンネルにゲート長方向の引張り応力を付与するコンプレッシブストレス膜であり、

前記電気絶縁膜の膜厚は、前記第1類M I Sトランジスタそれぞれのゲート電極上では実質的に一定であり、前記NチャンネルM I Sトランジスタのゲート電極上で最も薄い、

ことを特徴とする半導体装置。

【請求項 6】

前記電気絶縁膜は、前記NチャンネルM I Sトランジスタのゲート電極の上面を露出させていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記複数の第1類M I Sトランジスタは、複数のメモリセルを構成していることを特徴とする請求項 5 または 6 に記載の半導体装置。

【請求項 8】

前記複数の第 1 類 M I S トランジスタは、互いに接続されてインバータ回路、N A N D 回路、または N O R 回路を構成する N チャネル M I S トランジスタと P チャネル M I S トランジスタとを含んでいることを特徴とする請求項 5 ～ 7 のいずれか 1 つに記載の半導体装置。

【請求項 9】

半導体基板と、該半導体基板に配置された複数の M I S トランジスタと、前記半導体基板の上面および前記複数の M I S トランジスタの各々を覆う電気絶縁膜とを備え、前記複数の M I S トランジスタの各々は前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極を有し、該ゲート電極に電圧を印加したときに前記半導体基板にチャンネルが形成される半導体装置であって、

10

前記複数の M I S トランジスタは P チャネル M I S トランジスタを含み、

前記電気絶縁膜は、前記複数の M I S トランジスタそれぞれでのチャンネルにゲート長方向の引張り応力を付与するテンサイルストレス膜であり、

等方性の成膜方法により前記電気絶縁膜を成膜したときに該電気絶縁膜のカバレッジ性が非等方的になる大きさの間隙を前記 P チャネル M I S トランジスタのゲート電極との間にあけて該ゲート電極に並設された第 1 のダミーゲートを有すると共に、該第 1 のダミーゲートと前記 P チャネル M I S トランジスタのゲート電極との間での前記電気絶縁膜の最小膜厚が前記 P チャネル M I S トランジスタのゲート電極上での前記電気絶縁膜の膜厚よりも薄い、

20

ことを特徴とする半導体装置。

【請求項 10】

前記第 1 のダミーゲートと前記 P チャネル M I S トランジスタのゲート電極との間の間隙は、M I S トランジスタのゲート電極を 2 つ並設するときにデザインルールで許容される大きさの間隙のうちで各ゲート電極の線幅方向両側にコンタクトを形成しないときに許容される最小の大きさの間隙を間隙 A、2 つのゲート電極の間に 1 つのコンタクトを形成するときに許容される最小の大きさの間隙を間隙 B としたときに、前記間隙 A よりも広く前記間隙 B よりも狭いことを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

前記複数の M I S トランジスタは N チャネル M I S トランジスタを更に含み、

30

前記電気絶縁膜を等方的に成膜したときの前記ゲート電極上での該電気絶縁膜の膜厚の 2 倍に相当する値以下の大きさの間隙を前記 N チャネル M I S トランジスタのゲート電極との間にあけて該ゲート電極に並設された第 2 のダミーゲートを更に有すると共に、該第 2 のダミーゲートと前記 N チャネル M I S トランジスタのゲート電極との間での前記電気絶縁膜の最小膜厚が前記 N チャネル M I S トランジスタのゲート電極上での前記電気絶縁膜の膜厚よりも厚い、

ことを特徴とする請求項 9 または 10 に記載の半導体装置。

【請求項 12】

前記第 2 のダミーゲートと前記 N チャネル M I S トランジスタのゲート電極との間の間隙は、M I S トランジスタのゲート電極を 2 つ並設するときにデザインルールで許容される大きさの間隙のうちで各ゲート電極の線幅方向両側にコンタクトを形成しないときに許容される最小の大きさの間隙であることを特徴とする請求項 11 に記載の半導体装置。

40

【請求項 13】

前記 P チャネル M I S トランジスタと前記 N チャネル M I S トランジスタとを少なくとも 1 つずつ含んで構成されたメモリセルを有することを特徴とする請求項 11 または 12 に記載の半導体装置。

【請求項 14】

前記 P チャネル M I S トランジスタと前記 N チャネル M I S トランジスタとは、インバータ回路、N A N D 回路、または N O R 回路を構成していることを特徴とする請求項 11 ～ 13 のいずれか 1 つに記載の半導体装置。

50

【請求項 15】

半導体基板と、該半導体基板に配置された複数のM I Sトランジスタと、前記半導体基板の上面および前記複数のM I Sトランジスタの各々を覆う電気絶縁膜とを備え、前記複数のM I Sトランジスタの各々は前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極を有し、該ゲート電極に電圧を印加したときに前記半導体基板にチャンネルが形成される半導体装置であって、

前記複数のM I SトランジスタはNチャンネルM I Sトランジスタを含み、

前記電気絶縁膜は、前記複数のM I Sトランジスタそれぞれでのチャンネルにゲート長方向の引張り応力を付与するテンサイルストレス膜であり、

前記電気絶縁膜を等方的に成膜したときの前記ゲート電極上での該電気絶縁膜の膜厚の2倍に相当する値以下の大きさの間隙を前記NチャンネルM I Sトランジスタのゲート電極との間にあけて該ゲート電極に並設された第1のダミーゲートを有すると共に、該第1のダミーゲートと前記NチャンネルM I Sトランジスタのゲート電極との間での前記電気絶縁膜の最小膜厚が前記NチャンネルM I Sトランジスタのゲート電極上での前記電気絶縁膜の膜厚よりも厚い、

ことを特徴とする半導体装置。

【請求項 16】

前記第1のダミーゲートと前記NチャンネルM I Sトランジスタのゲート電極との間の間隙は、M I Sトランジスタのゲート電極を2つ並設するときにデザインルールで許容される大きさの間隙のうちで各ゲート電極の線幅方向両側にコンタクトを形成しないときに許容される最小の大きさの間隙であることを特徴とする請求項15に記載の半導体装置。

【請求項 17】

前記複数のM I SトランジスタはPチャンネルM I Sトランジスタを更に含み、

等方性の成膜方法により前記電気絶縁膜を成膜したときに該電気絶縁膜のカバレッジ性が非等方的になる大きさの間隙を前記PチャンネルM I Sトランジスタのゲート電極との間にあけて該ゲート電極に並設された第2のダミーゲートを更に有すると共に、該第2のダミーゲートと前記PチャンネルM I Sトランジスタのゲート電極との間での前記電気絶縁膜の最小膜厚が前記PチャンネルM I Sトランジスタのゲート電極上での前記電気絶縁膜の膜厚よりも薄い、

ことを特徴とする請求項15または16に記載の半導体装置。

【請求項 18】

前記第2のダミーゲートと前記PチャンネルM I Sトランジスタのゲート電極との間の間隙は、M I Sトランジスタのゲート電極を2つ並設するときにデザインルールで許容される大きさの間隙のうちで各ゲート電極の線幅方向両側にコンタクトを形成しないときに許容される最小の大きさの間隙を間隙A、2つのゲート電極の間に1つのコンタクトを形成するときに許容される最小の大きさの間隙を間隙Bとしたときに、前記間隙Aよりも広く前記間隙Bよりも狭いことを特徴とする請求項17に記載の半導体装置。

【請求項 19】

前記NチャンネルM I Sトランジスタと前記PチャンネルM I Sトランジスタとを少なくとも1つずつ含んで構成されたメモリセルを有することを特徴とする請求項17または18に記載の半導体装置。

【請求項 20】

前記NチャンネルM I Sトランジスタと前記PチャンネルM I Sトランジスタとは、インバータ回路、NAND回路、またはNOR回路を構成していることを特徴とする請求項17～19のいずれか1つに記載の半導体装置。

【請求項 21】

半導体基板と、該半導体基板に配置された複数のM I Sトランジスタと、前記半導体基板の上面および前記複数のM I Sトランジスタの各々を覆う電気絶縁膜とを備え、前記複数のM I Sトランジスタの各々は前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極を有し、該ゲート電極に電圧を印加したときに前記半導体基板にチャンネルが形成

される半導体装置であって、

前記複数のM I SトランジスタはNチャネルM I Sトランジスタを含み、

前記電気絶縁膜は、前記複数のM I Sトランジスタそれぞれでのチャネルにゲート長方向の圧縮応力を付与するコンプレッシブストレス膜であり、

等方性の成膜方法により前記電気絶縁膜を成膜したときに該電気絶縁膜のカバレッジ性が非等方的になる大きさの間隙を前記NチャネルM I Sトランジスタのゲート電極との間にあけて該ゲート電極に並設された第1のダミーゲートを有すると共に、該第1のダミーゲートと前記NチャネルM I Sトランジスタのゲート電極との間での前記電気絶縁膜の最小膜厚が前記NチャネルM I Sトランジスタのゲート電極上での前記電気絶縁膜の膜厚よりも薄い、

10

ことを特徴とする半導体装置。

【請求項22】

前記第1のダミーゲートと前記NチャネルM I Sトランジスタのゲート電極との間の間隙は、M I Sトランジスタのゲート電極を2つ並設するときにデザインルールで許容される大きさの間隙のうちで各ゲート電極の線幅方向両側にコンタクトを形成しないときに許容される最小の大きさの間隙を間隙A、2つのゲート電極の間に1つのコンタクトを形成するときに許容される最小の大きさの間隙を間隙Bとしたときに、前記間隙Aよりも広く前記間隙Bよりも狭いことを特徴とする請求項21に記載の半導体装置。

【請求項23】

前記複数のM I SトランジスタはPチャネルM I Sトランジスタを更に含み、

20

前記電気絶縁膜を等方的に成膜したときの前記ゲート電極上での該電気絶縁膜の膜厚の2倍に相当する値以下の大きさの間隙を前記PチャネルM I Sトランジスタのゲート電極との間にあけて該ゲート電極に並設された第2のダミーゲートを更に有すると共に、該第2のダミーゲートと前記PチャネルM I Sトランジスタのゲート電極との間での前記電気絶縁膜の最小膜厚が前記PチャネルM I Sトランジスタのゲート電極上での前記電気絶縁膜の膜厚よりも厚い、

ことを特徴とする請求項21または22に記載の半導体装置。

【請求項24】

前記第2のダミーゲートと前記PチャネルM I Sトランジスタのゲート電極との間の間隙は、M I Sトランジスタのゲート電極を2つ並設するときにデザインルールで許容される大きさの間隙のうちで各ゲート電極の線幅方向両側にコンタクトを形成しないときに許容される最小の大きさの間隙であることを特徴とする請求項23に記載の半導体装置。

30

【請求項25】

前記NチャネルM I Sトランジスタと前記PチャネルM I Sトランジスタとを少なくとも1つずつ含んで構成されたメモリセルを有することを特徴とする請求項23または24に記載の半導体装置。

【請求項26】

前記NチャネルM I Sトランジスタと前記PチャネルM I Sトランジスタとは、インバータ回路、NAND回路、またはNOR回路を構成していることを特徴とする請求項23～25のいずれか1つに記載の半導体装置。

40

【請求項27】

半導体基板と、該半導体基板に配置された複数のM I Sトランジスタと、前記半導体基板の上面および前記複数のM I Sトランジスタの各々を覆う電気絶縁膜とを備え、前記複数のM I Sトランジスタの各々は前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極を有し、該ゲート電極に電圧を印加したときに前記半導体基板にチャネルが形成される半導体装置であって、

前記複数のM I SトランジスタはPチャネルM I Sトランジスタを含み、

前記電気絶縁膜は、前記複数のM I Sトランジスタそれぞれでのチャネルにゲート長方向の圧縮応力を付与するコンプレッシブストレス膜であり、

前記電気絶縁膜を等方的に成膜したときの前記ゲート電極上での該電気絶縁膜の膜厚の

50

2 倍に相当する値以下の大きさの間隙を前記 P チャネル M I S トランジスタのゲート電極との間にあけて該ゲート電極に並設された第 1 のダミーゲートを有すると共に、該第 1 のダミーゲートと前記 P チャネル M I S トランジスタのゲート電極との間での前記電気絶縁膜の最小膜厚が前記 P チャネル M I S トランジスタのゲート電極上での前記電気絶縁膜の膜厚よりも厚い、

ことを特徴とする半導体装置。

【請求項 28】

前記第 1 のダミーゲートと前記 P チャネル M I S トランジスタのゲート電極との間の間隙は、M I S トランジスタのゲート電極を 2 つ並設するときにデザインルールで許容される大きさの間隙のうちで各ゲート電極の線幅方向両側にコンタクトを形成しないときに許容される最小の大きさの間隙であることを特徴とする請求項 27 に記載の半導体装置。

10

【請求項 29】

前記複数の M I S トランジスタは N チャネル M I S トランジスタを更に含み、

等方性の成膜方法により前記電気絶縁膜を成膜したときに該電気絶縁膜のカバレッジ性が非等方的になる大きさの間隙を前記 N チャネル M I S トランジスタのゲート電極との間にあけて該ゲート電極に並設された第 2 のダミーゲートを更に有すると共に、該第 2 のダミーゲートと前記 N チャネル M I S トランジスタのゲート電極との間での前記電気絶縁膜の最小膜厚が前記 N チャネル M I S トランジスタのゲート電極上での前記電気絶縁膜の膜厚よりも薄い、

ことを特徴とする請求項 27 または 28 に記載の半導体装置。

20

【請求項 30】

前記第 2 のダミーゲートと前記 N チャネル M I S トランジスタのゲート電極との間の間隙は、M I S トランジスタのゲート電極を 2 つ並設するときにデザインルールで許容される大きさの間隙のうちで各ゲート電極の線幅方向両側にコンタクトを形成しないときに許容される最小の大きさの間隙を間隙 A、2 つのゲート電極の間に 1 つのコンタクトを形成するときに許容される最小の大きさの間隙を間隙 B としたときに、前記間隙 A よりも広く前記間隙 B よりも狭いことを特徴とする請求項 29 に記載の半導体装置。

【請求項 31】

前記 P チャネル M I S トランジスタと前記 N チャネル M I S トランジスタとを少なくとも 1 つずつ含んで構成されたメモリセルを有することを特徴とする請求項 29 または 30 に記載の半導体装置。

30

【請求項 32】

前記 P チャネル M I S トランジスタと前記 N チャネル M I S トランジスタとは、インバータ回路、N A N D 回路、または N O R 回路を構成していることを特徴とする請求項 29 ～ 31 のいずれか 1 つに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、N チャネル M I S トランジスタと P チャネル M I S トランジスタとを備えた半導体装置に関するものである。

40

【背景技術】

【0002】

今日、M I S（金属－絶縁体－半導体）電界効果トランジスタ（以下、「M I S トランジスタ」と略記する。）は半導体集積回路での回路素子の 1 つとして多用されており、電子機器に対する小型化、高性能化の要望の高まりに伴って、当該 M I S トランジスタの小型化、高性能化も進められている。M I S トランジスタを高性能化する方法の 1 つとして、当該 M I S トランジスタのチャネル領域に応力を付与して格子定数を変化させ、これによりキャリアの移動度（モビリティ）を制御するという方法が知られている。

【0003】

例えば M I S トランジスタのチャネル領域にゲート長方向の引張り応力を付与して格子

50

定数を大きくすると、NチャネルMISトランジスタではキャリア（電子）の移動度が高くなって電流駆動能力が大きくなり、PチャネルMISトランジスタではキャリア（正孔）の移動度が低くなって電流駆動能力が小さくなる。反対に、MISトランジスタのチャネル領域にゲート長方向の圧縮応力を付与して格子定数を小さくすると、NチャネルMISトランジスタではキャリアの移動度が低くなって電流駆動能力が小さくなり、PチャネルMISトランジスタではキャリア（正孔）の移動度が高くなって電流駆動能力が大きくなる。

【0004】

半導体集積回路を作製する場合には、通常、半導体基板に形成したMISトランジスタ等の回路素子を覆うようにしてコンフォーマルに電気絶縁膜が成膜され、この電気絶縁膜をエッチングストップ膜やパッシベーション膜として利用してその上に多層配線部が形成されることから、当該電気絶縁膜によってMISトランジスタに所望の応力を付与することが試みられている。電気絶縁膜の成膜条件を適宜選定することにより、該電気絶縁膜をテンサイルストレス膜（MISトランジスタに引張り応力を付与する膜）として機能させることもできるし、コンプレッシブストレス膜（MISトランジスタに圧縮応力を付与する膜）として機能させることもできる。

【0005】

例えば特許文献1には、Nチャネル型電界効果トランジスタを覆う電気絶縁膜の膜厚と、Pチャネル型電界効果トランジスタを覆う電気絶縁膜の膜厚とを互いに相違させ、これによって各トランジスタでのドレイン電流特性を制御した半導体装置が記載されている。電気絶縁膜の膜厚を制御する方法としては、所定膜厚の電気絶縁膜を一旦形成した後に該電気絶縁膜を所望の厚さまでエッチバックする方法が具体的に記載されている。

【0006】

また、特許文献2には、電界効果トランジスタにおけるソース／ドレイン領域を表面から掘り下げてリセスを形成し、このリセスを埋め込むようにして当該電界効果トランジスタを覆うテンサイルストレス膜（引張り応力を有する窒化膜）を形成した半導体装置が記載されている。特許文献3には、NチャネルMISトランジスタのゲート電極上およびPチャネルMISトランジスタのソース／ドレイン領域上にそれぞれコンプレッシブストレス膜（圧縮応力有機膜）を形成した半導体装置が記載されている。

【0007】

そして特許文献4には、NチャネルMOSトランジスタと、PチャネルMOSトランジスタと、NチャネルMOSトランジスタを覆うテンサイルストレス膜（引張り応力を蓄積した応力蓄積絶縁膜）とを有し、NチャネルMOSトランジスタにおけるゲート電極上でのテンサイルストレス膜の膜厚がその外側での膜厚よりも厚い半導体装置（CMOS集積回路装置）が記載されている。

【0008】

【特許文献1】特開2003-86708号公報

【特許文献2】特開2005-353675号公報

【特許文献3】特開2006-24784号公報

【特許文献4】特開2006-59980号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

例えば特許文献2に記載されているように、テンサイルストレス膜自体およびコンプレッシブストレス膜自体は、それぞれ、成膜条件を適宜選定することにより比較的容易に形成することができる。

【0010】

しかしながら、特許文献1, 3, 4に記載された形態の絶縁膜をNチャネルMISトランジスタ上およびPチャネルMISトランジスタ上に形成するためには、当該絶縁膜の元となる膜上に所定形状のエッチングマスクを形成してエッチング処理を施すことが必要で

10

20

30

40

50

あるので、その形成に比較的多くの工数を要する。特許文献2に記載された半導体装置におけるように電界効果トランジスタのソース／ドレイン領域にリセスを形成する場合も、所定形状のエッチングマスクを用いてのエッチング処理を半導体基板に施すことが必要であり、その形成に比較的多くの工数を要する。

【0011】

本発明は上記の事情に鑑みてなされたものであり、MISトランジスタを覆う絶縁膜により当該MISトランジスタでのキャリアのモビリティを制御することができ、かつ製造が容易な半導体装置を得ることを目的とする。

【課題を解決するための手段】

【0012】

上記の目的を達成する本発明の半導体装置は、半導体基板と、半導体基板に配置された複数のMISトランジスタと、半導体基板の上面および複数のMISトランジスタの各々を覆う電気絶縁膜とを備え、複数のMISトランジスタの各々は半導体基板上にゲート絶縁膜を介して形成されたゲート電極を有し、該ゲート電極に電圧を印加したときに半導体基板にチャンネルが形成される半導体装置であって、複数のMISトランジスタは、MISトランジスタの集積密度が相対的に高い高密度領域に配置された複数の第1類MISトランジスタと、MISトランジスタの集積密度が相対的に低い低密度領域に配置された複数の第2類MISトランジスタとに分けられ、第1類MISトランジスタはNチャンネルMISトランジスタを、また第2類MISトランジスタはPチャンネルMISトランジスタをそれぞれ含み、電気絶縁膜は、複数のMISトランジスタそれぞれでのチャンネルにゲート長方向の引張り応力を付与するテンサイルストレス膜であり、電気絶縁膜の膜厚は、第1類MISトランジスタそれぞれのゲート電極上では実質的に一定であり、上記PチャンネルMISトランジスタのゲート電極上で最も薄い、ことを特徴とするものである。

【0013】

また、上記の目的を達成する本発明の他の半導体装置は、半導体基板と、半導体基板に配置された複数のMISトランジスタと、半導体基板の上面および複数のMISトランジスタの各々を覆う電気絶縁膜とを備え、複数のMISトランジスタの各々は半導体基板上にゲート絶縁膜を介して形成されたゲート電極を有し、該ゲート電極に電圧を印加したときに半導体基板にチャンネルが形成される半導体装置であって、複数のMISトランジスタは、MISトランジスタの集積密度が相対的に高い高密度領域に配置された複数の第1類MISトランジスタと、MISトランジスタの集積密度が相対的に低い低密度領域に配置された複数の第2類MISトランジスタとに分けられ、第1類MISトランジスタはPチャンネルMISトランジスタを、また第2類MISトランジスタはNチャンネルMISトランジスタをそれぞれ含み、電気絶縁膜は、複数のMISトランジスタそれぞれでのチャンネルにゲート長方向の引張り応力を付与するコンプレッションストレス膜であり、電気絶縁膜の膜厚は、第1類MISトランジスタそれぞれのゲート電極上では実質的に一定であり、NチャンネルMISトランジスタのゲート電極上で最も薄い、ことを特徴とするものである。

【0014】

上記の目的を達成する本発明の更に他の半導体装置は、半導体基板と、半導体基板に配置された複数のMISトランジスタと、半導体基板の上面および複数のMISトランジスタの各々を覆う電気絶縁膜とを備え、複数のMISトランジスタの各々は半導体基板上にゲート絶縁膜を介して形成されたゲート電極を有し、該ゲート電極に電圧を印加したときに半導体基板にチャンネルが形成される半導体装置であって、複数のMISトランジスタはPチャンネルMISトランジスタを含み、電気絶縁膜は、複数のMISトランジスタそれぞれでのチャンネルにゲート長方向の引張り応力を付与するテンサイルストレス膜であり、等方性の成膜方法により電気絶縁膜を成膜したときに該電気絶縁膜のカバレッジ性が非等方的になる大きさの間隙をPチャンネルMISトランジスタのゲート電極との間にあけて該ゲート電極に並設された第1のダミーゲートを有すると共に、第1のダミーゲートとPチャンネルMISトランジスタのゲート電極との間での電気絶縁膜の最小膜厚がPチャンネルMISトランジスタのゲート電極上での電気絶縁膜の膜厚よりも薄い、ことを特徴とするもの

である。

【0015】

上記の目的を達成する本発明の更に他の半導体装置は、半導体基板と、半導体基板に配置された複数のMISトランジスタと、半導体基板の上面および複数のMISトランジスタの各々を覆う電気絶縁膜とを備え、複数のMISトランジスタの各々は半導体基板上にゲート絶縁膜を介して形成されたゲート電極を有し、該ゲート電極に電圧を印加したときに半導体基板にチャンネルが形成される半導体装置であって、複数のMISトランジスタはNチャンネルMISトランジスタを含み、電気絶縁膜は、複数のMISトランジスタそれぞれのチャンネルにゲート長方向の引張り応力を付与するテンサイルストレス膜であり、電気絶縁膜を等方的に成膜したときのゲート電極上での該電気絶縁膜の膜厚の2倍に相当する値以下の大きさの間隙をNチャンネルMISトランジスタのゲート電極との間にあけて該ゲート電極に並設された第1のダミーゲートを有すると共に、第1のダミーゲートとNチャンネルMISトランジスタのゲート電極との間での電気絶縁膜の最小膜厚がNチャンネルMISトランジスタのゲート電極上での電気絶縁膜の膜厚よりも厚い、ことを特徴とするものである。

10

【0016】

上記の目的を達成する本発明の更に他の半導体装置は、半導体基板と、半導体基板に配置された複数のMISトランジスタと、半導体基板の上面および複数のMISトランジスタの各々を覆う電気絶縁膜とを備え、複数のMISトランジスタの各々は半導体基板上にゲート絶縁膜を介して形成されたゲート電極を有し、該ゲート電極に電圧を印加したときに半導体基板にチャンネルが形成される半導体装置であって、複数のMISトランジスタはNチャンネルMISトランジスタを含み、電気絶縁膜は、複数のMISトランジスタそれぞれのチャンネルにゲート長方向の圧縮応力を付与するコンプレッシブストレス膜であり、等方性の成膜方法により電気絶縁膜を成膜したときに該電気絶縁膜のカバレッジ性が非等方的になる大きさの間隙をNチャンネルMISトランジスタのゲート電極との間にあけて該ゲート電極に並設された第1のダミーゲートを有すると共に、第1のダミーゲートとNチャンネルMISトランジスタのゲート電極との間での電気絶縁膜の最小膜厚がNチャンネルMISトランジスタのゲート電極上での電気絶縁膜の膜厚よりも薄い、ことを特徴とするものである。

20

【0017】

そして、上記の目的を達成する本発明の更に他の半導体装置は、半導体基板と、半導体基板に配置された複数のMISトランジスタと、半導体基板の上面および複数のMISトランジスタの各々を覆う電気絶縁膜とを備え、複数のMISトランジスタの各々は半導体基板上にゲート絶縁膜を介して形成されたゲート電極を有し、該ゲート電極に電圧を印加したときに半導体基板にチャンネルが形成される半導体装置であって、複数のMISトランジスタはPチャンネルMISトランジスタを含み、電気絶縁膜は、複数のMISトランジスタそれぞれのチャンネルにゲート長方向の圧縮応力を付与するコンプレッシブストレス膜であり、電気絶縁膜を等方的に成膜したときのゲート電極上での該電気絶縁膜の膜厚の2倍に相当する値以下の大きさの間隙をPチャンネルMISトランジスタのゲート電極との間にあけて該ゲート電極に並設された第1のダミーゲートを有すると共に、第1のダミーゲートとPチャンネルMISトランジスタのゲート電極との間での電気絶縁膜の最小膜厚がPチャンネルMISトランジスタのゲート電極上での電気絶縁膜の膜厚よりも厚い、ことを特徴とするものである。

30

40

【発明の効果】

【0018】

本発明の半導体装置のうちで複数のMISトランジスタが第1類MISトランジスタと第2類MISトランジスタとを含むものでは、これらのMISトランジスタを覆う電気絶縁膜の膜厚が上述のように選定されている。このため、電気絶縁膜がテンサイルストレス膜のときには、第1類MISトランジスタに含まれているNチャンネルMISトランジスタの電流駆動特性が向上する一方で、第2類MISトランジスタに含まれているPチャンネル

50

M I Sトランジスタの電流駆動特性の低下が抑えられる。また、電気絶縁膜がコンプレッションストレス膜のときには、第1類M I Sトランジスタに含まれているPチャネルM I Sトランジスタの電流駆動特性が向上する一方で、第2類M I Sトランジスタに含まれているNチャネルM I Sトランジスタの電流駆動特性の低下が抑えられる。

【0019】

このような電気絶縁膜は、後述するように、その元となる膜と層間絶縁膜の元となる膜とをこの順番で半導体基板上に積層した後、第1類M I Sトランジスタにおけるゲート電極上での上記電気絶縁膜の元となる膜の上面を終端とする化学的機械研磨(CMP)を施すことにより容易に得られる。

【0020】

また、本発明の半導体装置のうちでNチャネルM I Sトランジスタのゲート電極またはPチャネルM I Sトランジスタのゲート電極にダミーゲートが並設されているものでは、ダミーゲートと該ダミーゲートに対応するゲート電極との間の間隙の大きさを上述のように制御することにより、各M I Sトランジスタを覆う電気絶縁膜の成膜時にその膜厚に自ずと分布をもたせることができる。電気絶縁膜がテンサイルストレス膜のときにはNチャネルM I Sトランジスタの電流駆動特性を向上させるか、またはPチャネルM I Sトランジスタの電流駆動特性の低下を抑えることができ、電気絶縁膜がコンプレッションストレス膜のときにはPチャネルM I Sトランジスタの電流駆動特性を向上させるか、またはNチャネルM I Sトランジスタの電流駆動特性の低下を抑えることができる。

【0021】

したがって、これら本発明によれば、M I Sトランジスタを覆う絶縁膜によって当該M I Sトランジスタでのキャリアのモビリティが制御された半導体装置を容易に得ることが可能になる。

【発明を実施するための最良の形態】

【0022】

以下、本発明の半導体装置の実施の形態を図面に基づいて詳細に説明する。なお、本発明は以下に説明する実施の形態に限定されるものではない。

【0023】

実施の形態1.

図1は、本発明の半導体装置での基本構造の一例を概略的に示す断面図である。同図に示す半導体装置50は、半導体基板10と、半導体基板10に配置された複数のM I Sトランジスタと、半導体基板10の上面および各M I Sトランジスタを覆う電気絶縁膜40Tとを備えている。

【0024】

上記複数のM I Sトランジスタは、M I Sトランジスタの集積密度が相対的に高い高密度領域に配置された複数の第1類M I Sトランジスタと、M I Sトランジスタの集積密度が相対的に低い低密度領域に配置された複数の第2類M I Sトランジスタとに分けられる。複数の第1類M I SトランジスタはNチャネルM I Sトランジスタを、また複数の第2類M I SトランジスタはPチャネルM I Sトランジスタをそれぞれ含む。

【0025】

図1においては、高密度領域H Dに配置された複数の第1類M I Sトランジスタのうちの1つのNチャネルM I Sトランジスタ20Nと1つのPチャネルM I Sトランジスタ20Pとが示されていると共に、低密度領域L Dに配置された複数の第2類M I Sトランジスタのうちの1つのPチャネルM I Sトランジスタ30Pが示されている。高密度領域H Dは例えばC P U (Central Processing Unit) コア回路やメモリコア回路等が形成された領域であり、個々の第1類M I Sトランジスタは例えばメモリセル、インバータ回路、N A N D回路、またはN O R回路等を構成する。一方、低密度領域L Dは例えば周辺回路が形成された領域である。

【0026】

半導体基板10としては、例えば単結晶シリコン基板やS O I (Silicon on Insulat

10

20

30

40

50

or) 基板等が用いられる。半導体基板 10 の所定箇所には、該半導体基板 10 に形成しようとする回路素子の種類に応じた所定の活性領域 (ウェル) と、所定形状の素子分離領域とが形成される。図示の半導体基板 10 では、N チャネル M I S トランジスタ 20 N の配置箇所に P 型ウェル 3 が形成され、P チャネル M I S トランジスタ 20 P, 30 P の配置箇所に N 型ウェル 5 が形成され、各ウェル 3, 5 を平面視上区画するようにして浅溝構造の素子分離領域 7 が形成されている。

【0027】

N チャネル M I S トランジスタ 20 N は、P 型ウェル 3 に形成された 2 つの N 型不純物拡散領域 12 N, 12 N と、半導体基板 10 上に形成されたゲート絶縁膜 14 と、ゲート絶縁膜 14 上に配置されたゲート電極 16 と、ゲート電極 16 における線幅方向の両側面に配置されたサイドウォールスペーサ 18, 18 とを有している。

10

【0028】

図 1 に示した各 N 型不純物拡散領域 12 N は、平面視したときに各々がゲート電極 16 を挟んで互いに対向するようにして P 型ウェル 3 に形成されており、個々の N 型不純物拡散領域 12 N は、金属シリサイド化されていない非シリサイド化領域 12 n と、該非シリサイド化領域 12 n 上に形成された金属シリサイド領域 12 s とからなっている。一方の N 型不純物拡散領域 12 N がソース領域として利用され、他方の N 型不純物拡散領域 12 N がドレイン領域として利用される。ゲート電極 16 に電圧を印加すると、当該ゲート電極 16 の下方に位置する P 型ウェル 3 の表面近傍にチャンネルが形成される。

20

【0029】

ゲート絶縁膜 14 は、例えばシリコン酸化物、シリコン窒化物、高誘電率誘電体等によって形成される。また、ゲート電極 16 は、例えばポリシリコン (不純物をドーブしたもの)、ポリシリコンと金属シリサイドとの積層構造物、金属シリサイド等によって形成される。図示のゲート電極 16 は、ポリシリコン領域 16 p と該ポリシリコン領域 16 p 上に形成された金属シリサイド領域 16 s とからなっている。各サイドウォールスペーサ 18 は、例えばシリコン酸化物やシリコン窒化物等によって形成される。

【0030】

一方、各 P チャネル M I S トランジスタ 20 P, 30 P は N 型ウェル 5 に形成されており、個々の P チャネル M I S トランジスタ 20 P, 30 P は、上述の各 N 型不純物拡散領域 12 N に代えて P 型不純物拡散領域 12 P を有する以外は N チャネル M I S トランジスタ 20 N と同様の構造を有している。

30

【0031】

これらの P チャネル M I S トランジスタ 20 P, 30 における 2 つの P 型不純物拡散領域 12 P の各々は、金属シリサイド化されていない非シリサイド化領域 12 p と、該非シリサイド化領域 12 p 上に形成された金属シリサイド領域 12 s とからなっており、一方の P 型不純物拡散領域 12 P がソース領域として利用され、他方の P 型不純物拡散領域 12 P がドレイン領域として利用される。ゲート電極 16 に電圧を印加すると、当該ゲート電極 16 の下方に位置する N 型ウェル 5 の表面近傍にチャンネルが形成される。

【0032】

半導体基板 10 および該半導体基板 10 に配置された各 M I S トランジスタは、1 つの電気絶縁膜 40 T によって覆われている。この電気絶縁膜 40 T は、例えばパッシベーション膜として機能して各 M I S トランジスタを保護するものであると共に、M I S トランジスタそれぞれでのチャンネルにゲート長方向の引張り応力を付与するテンサイルストレス膜 (以下、「テンサイルストレス膜 40 T」という。) であり、例えばプラズマ C V D (C V D ; 化学的気相蒸着) 法等の等方的な成膜方法によりシリコン窒化物等を堆積させることにより形成される。

40

【0033】

テンサイルストレス膜 40 T の膜厚は、半導体基板 10 上および第 1 類 M I S トランジスタに属する M I S トランジスタ 20 N, 20 P それぞれのゲート電極 16 上では実質的に一定であり、第 2 類 M I S トランジスタに属する P チャネル M I S トランジスタ 30 P

50

のゲート電極 16 上で最も薄くなっている。テンサイルストレス膜 40 T のうちで P チャネル M I S トランジスタ 30 P のゲート電極 16 上に位置する領域は、化学的機械研磨 (C M P) により薄肉化されている。

【0034】

半導体装置 50 では、上述のテンサイルストレス膜 40 T を覆うようにして例えばシリコン酸化物からなる第 1 層間絶縁膜 45 が形成されている。個々の M I S トランジスタにおけるゲートコンタクト、ソースコンタクト、ドレインコンタクト (いずれも図示せず。) は、この第 1 層間絶縁膜 45 に形成される。

【0035】

以上説明した構成を有する半導体装置 50 では、各 M I S トランジスタがテンサイルストレス膜 40 T により覆われていることから、これらの M I S トランジスタのうちの N チャネル M I S トランジスタではキャリア (電子) の移動度が高くなって電流駆動能力が大きくなり、P チャネル M I S トランジスタではキャリア (正孔) の移動度が低くなって電流駆動能力が小さくなる。

【0036】

すなわち、N チャネル M I S トランジスタ 20 N では電流駆動能力が大きくなり、P チャネル M I S トランジスタ 20 P, 30 P では電流駆動能力が小さくなる。ただし、P チャネル M I S トランジスタ 30 P では、ゲート電極 16 上においてテンサイルストレス膜 40 T が薄肉化されているので、P チャネル M I S トランジスタ 20 P におけるよりも電流駆動能力の低下が抑えられる。したがって、少なくとも低密度領域 L D に形成される周辺回路等の回路については、その高性能化を図ることができる。

【0037】

M I S トランジスタでのキャリアの移動度 (モビリティ) を上述のように制御するテンサイルストレス膜 40 T は、その元となる電気絶縁膜を等方的に成膜し、該電気絶縁膜を覆うようにして第 1 層間絶縁膜 45 の元となる電気絶縁膜を形成した後、第 1 層間絶縁膜 45 の元となる電気絶縁膜に選択的に C M P を施すことにより得られる。このときの C M P は、テンサイルストレス膜 40 T の元となる電気絶縁膜のうちで第 1 類 M I S トランジスタのゲート電極上に位置する領域の上面を末端として検出しながら行う。

【0038】

低密度領域 L D に配置されている各第 2 類 M I S トランジスタ上では、M I S トランジスタの集積密度が相対的に低いことから、高密度領域 H D に配置されている各第 1 類 M I S トランジスタ上におけるよりも C M P 時に応力が集中する。この応力の集中は、隣り合う M I S トランジスタの間隔が広がる程起こり易くなるので、P チャネル M I S トランジスタ 30 P を他の M I S トランジスタ (第 1 類 M I S トランジスタを含む。) からできるだけ離隔して配置することにより、当該 P チャネル M I S トランジスタ 30 P のゲート電極 16 上においてはテンサイルストレス膜 40 T の元となる電気絶縁膜までもが研磨 (研削) され、結果としてテンサイルストレス膜 40 T が得られる。例えば、P チャネル M I S トランジスタ 30 P を他の M I S トランジスタから 1 μ m 程度以上離隔させると、所望の膜厚分布を有するテンサイルストレス膜 40 T を形成し易くなる。

【0039】

第 2 類 M I S トランジスタとして P チャネル M I S トランジスタと N チャネル M I S トランジスタとを配置する場合には、第 2 類 M I S トランジスタに属する N チャネル M I S トランジスタ同士を互いに近接させて配置するか、または第 1 類 M I S トランジスタに近接させて配置して、当該 N チャネル M I S トランジスタ上における上記応力の集中を防止することが好ましい。

【0040】

第 1 層間絶縁膜 45 の元となる電気絶縁膜の上面の位置は上記の C M P により図 1 中に二点鎖線 L₁ で示すように低下するので、テンサイルストレス膜 40 T を形成した後に該テンサイルストレス膜 40 T を覆うようにして所望の電気絶縁性物質を堆積させて、第 1 層間絶縁膜 45 を得る。勿論、テンサイルストレス膜 40 T の形成に伴って上面の位置が

10

20

30

40

50

二点鎖線 L_1 で示すように低下した電気絶縁膜をそのまま第 1 層間絶縁膜として利用することも可能である。

【0041】

このように、半導体装置 50 ではエッチングマスクを用いることなくテンサイルストレス膜 40 T を形成することができるので、その製造が容易である。MIS トランジスタを覆う電気絶縁膜（テンサイルストレス膜 40 T）によって当該 MIS トランジスタでのキャリアのモビリティが制御されたものを容易に得ることができる。

【0042】

なお、図 1 に示した半導体装置 50 では P チャネル MIS トランジスタ 30 P のゲート電極 16 がテンサイルストレス膜 40 T により覆われているが、図 2 に示す半導体装置 55 におけるように、第 2 類 MIS トランジスタに属する P チャネル MIS トランジスタ 30 P のゲート電極 16 の上面を露出させるようにしてテンサイルストレス膜 41 T を設けてもよい。このようなテンサイルストレス膜 41 T を設けることにより、図 1 に示した半導体装置 50 におけるよりも P チャネル MIS トランジスタ 30 P での電流駆動能力の低下を抑えることが可能になる。

【0043】

上記のテンサイルストレス膜 41 T は、例えば、テンサイルストレス膜を形成するための CMP 時に選択性のない研磨剤、すなわち第 1 層間絶縁膜 45 の元となる電気絶縁膜およびテンサイルストレス膜 41 T の元となる電気絶縁膜の両方に対して化学的研磨を行うことができる研磨剤を用いる以外は、前述したテンサイルストレス膜 40 T と同様にして形成することができる。

【0044】

実施の形態 2.

本発明の半導体装置においては、半導体基板の上面および各 MIS トランジスタを覆う電気絶縁膜として、例えばシリコン窒化物等により形成されて MIS トランジスタそれぞれのチャンネルにゲート長方向の圧縮応力を付与するコンプレッシブストレス膜を用いることもできる。

【0045】

図 3 は、本発明の半導体装置のうちで上記のコンプレッシブストレス膜を備えているものの基本構造の一例を概略的に示す断面図である。同図に示す半導体装置 60 は、半導体基板 10 の上面および各 MIS トランジスタを覆う電気絶縁膜 42 C としてコンプレッシブストレス膜（以下、「コンプレッシブストレス膜 42 C」という。）が用いられている点、および第 2 類 MIS トランジスタが N チャネル MIS トランジスタ 30 N を含み、該 N チャネル MIS トランジスタ 30 N のゲート電極 16 上でコンプレッシブストレス膜 42 C の膜厚が最も薄くなっている点をそれぞれ除き、図 1 に示した半導体装置 50 と同様の構成を有している。図 3 に示した構成要素のうちで図 1 を参照して既に説明した構成要素については、図 1 で用いた参照符号と同じ参照符号を付してその説明を省略する。

【0046】

このような構成を有する半導体装置 60 では、各 MIS トランジスタがコンプレッシブストレス膜 42 C により覆われていることから、これらの MIS トランジスタのうちの P チャネル MIS トランジスタではキャリア（正孔）の移動度が高くなって電流駆動能力が大きくなり、N チャネル MIS トランジスタではキャリア（電子）の移動度が低くなって電流駆動能力が小さくなる。

【0047】

すなわち、P チャネル MIS トランジスタ 20 P では電流駆動能力が大きくなり、N チャネル MIS トランジスタ 20 N、30 N では電流駆動能力が小さくなる。ただし、N チャネル MIS トランジスタ 30 N では、ゲート電極 16 上においてコンプレッシブストレス膜 42 C が薄肉化されているので、N チャネル MIS トランジスタ 20 N におけるよりも電流駆動能力の低下が抑えられる。したがって、少なくとも低密度領域 LD に形成される周辺回路等の回路については、その高性能化を図ることができる。

【0048】

M I Sトランジスタでのキャリアの移動度（モビリティ）を上述のように制御するコンプレッシブストレス膜42Cは、その元となる所望の電気絶縁膜（コンプレッシブストレス膜）を成膜した後においては、実施の形態1で説明したテンサイルストレス膜40Tを得る場合と同様にしてCMPを施すことにより形成することができる。このとき、NチャネルM I Sトランジスタ30Nは、実施の形態1で説明したPチャネルM I Sトランジスタ30P（図1参照）と同様に他のM I Sトランジスタ（第1類M I Sトランジスタを含む。）からできるだけ離隔して配置することが好ましい。

【0049】

半導体装置60では上述のようにエッチングマスクを用いることなくコンプレッシブストレス膜42Cを形成することができるので、その製造が容易である。M I Sトランジスタを覆う電気絶縁膜（コンプレッシブストレス膜42C）によって当該M I Sトランジスタでのキャリアのモビリティが制御されたものを容易に得ることができる。

【0050】

なお、図3に示した半導体装置60では、第2類M I Sトランジスタに属するNチャネルM I Sトランジスタ30Nのゲート電極16がコンプレッシブストレス膜42Cにより覆われているが、図4に示す半導体装置65におけるように、NチャネルM I Sトランジスタ30Nのゲート電極16の上面を露出させるようにしてコンプレッシブストレス膜43Cを設けてもよい。このようなコンプレッシブストレス膜43Cを設けることにより、図3に示した半導体装置60におけるよりもNチャネルM I Sトランジスタ30Nでの電流駆動能力の低下を抑えることが可能になる。

【0051】

上記のコンプレッシブストレス膜43Cは、例えば、コンプレッシブストレス膜を形成するためのCMP時に選択性のない研磨剤、すなわち第1層間絶縁膜45の元となる電気絶縁膜およびコンプレッシブストレス膜43Cの元となる電気絶縁膜の両方に対して化学的研磨を行うことができる研磨剤を用いる以外は、前述したコンプレッシブストレス膜42Cと同様にして形成することができる。

【0052】

実施の形態3.

実施の形態1, 2で説明した本発明の半導体装置での基本構造は、例えばS R A M（Static Random Access Memory）とロジック回路とが混載された半導体装置（以下、「S R A M混載ロジックデバイス」という。）に適用することができる。

【0053】

図5は、図1を用いて説明した本発明の半導体装置での基本構造が適用されたS R A M混載ロジックデバイスの一例を概略的に示す断面図である。同図に示すS R A M混載ロジックデバイス200では、S R A Mのメモリセルが配置されている領域が高密度領域H Dに相当し、ロジック回路が形成されている領域が低密度領域L Dに相当する。図5に示した構成要素のうちで図1に示した構成要素と機能が共通するものについては、図1で用いた参照符号と同じ参照符号を付してその説明を省略する。

【0054】

図示のS R A M混載ロジックデバイス200においては、S R A Mでの個々のメモリセルが2つのインバータ回路を含んで構成されており、該インバータ回路を構成する2つのNチャネルM I Sトランジスタおよび2つのPチャネルM I Sトランジスタのうちの各NチャネルM I Sトランジスタ20N, 20Nが図5に示されている。これら2つのNチャネルM I Sトランジスタ20N, 20Nは1つのP型ウェル3に配置されており、3つのN型不純物拡散領域12Nを有している。左右のN型不純物拡散領域12N, 12Nがそれぞれソース領域として利用され、真中のN型不純物拡散領域12Nがドレイン領域として利用される。

【0055】

一方、ロジック回路はNチャネルM I Sトランジスタ30NとPチャネルM I Sトラン

10

20

30

40

50

ジスタ 30P とを含んで構成されている。N チャネル M I S トランジスタ 30N は S R A M 側（高密度領域 H D 側）に配置されており、P チャネル M I S トランジスタ 30P は N チャネル M I S トランジスタ 30N の外側に配置されている。

【0056】

半導体基板 10 に形成された各不純物拡散領域 12N, 12P および各ゲート電極 16 には、第 1 層間絶縁膜 45 を貫通するようにして形成された第 1 層コンタクトプラグが 1 つずつ接続されている。図 5 には 7 本の第 1 層コンタクトプラグ 100a ~ 100g が現れている。また、第 1 層間絶縁膜 45 上には第 1 ライナー膜 111、第 2 層間絶縁膜 113、第 2 ライナー膜 121、第 3 層間絶縁膜 123、第 3 ライナー膜 131、第 4 層間絶縁膜 133、第 4 ライナー膜 141、第 5 層間絶縁膜 143、第 5 ライナー膜 151、第 6 層間絶縁膜 153、第 6 ライナー膜 161、およびパッシベーション膜 185 がこの順番で積層されている。

10

【0057】

第 1 ライナー膜 111 および第 2 層間絶縁膜 113 それぞれの所定箇所が除去されて、ここに第 1 メタル配線が形成されている。図 5 には、1 本の第 1 層コンタクトプラグに 1 つずつ対応するようにして配置された 7 つの第 1 メタル配線 117a ~ 117g が現れている。また、第 3 ~ 第 6 の各層間絶縁膜には、該層間絶縁膜とその下のライナー膜とを貫通するようにして所定数のコンタクトプラグが形成されていると共に、当該コンタクトプラグに接続される所定数のメタル配線が形成されている。

【0058】

図 5 には、第 3 層間絶縁膜 123 に形成された 4 本の第 3 層コンタクトプラグ 125a ~ 125d および 6 つの第 2 メタル配線 127a ~ 127f、第 4 層間絶縁膜 133 に形成された 1 本の第 4 層コンタクトプラグ 135a および 2 つの第 3 メタル配線 137a, 137b、第 5 層間絶縁膜 143 に形成された 1 本の第 5 層コンタクトプラグ 145a および 2 つの第 4 メタル配線 147a, 147b、ならびに第 6 層間絶縁膜 153 に形成された 1 本の第 6 層コンタクトプラグ 155a および 2 つの第 5 メタル配線 157a, 157b が現れている。

20

【0059】

上述の構成を有する S R A M 混載ロジックデバイス 200 は、図 1 を用いて説明した本発明の半導体装置での基本構造を適用したものである。図 1 に示した半導体装置 50 におけるのと同様の理由から、少なくとも低密度領域 L D に形成されるロジック回路については、その高性能化を図ることができる。また、エッチングマスクを用いることなくテンサイルストレス膜 40T を形成することができるので、その製造が容易である。M I S トランジスタを覆う電気絶縁膜（テンサイルストレス膜 40T）によって当該 M I S トランジスタでのキャリアのモビリティが制御されたものを容易に得ることができる。

30

【0060】

なお、図 2 ~ 図 4 を用いて説明した本発明の半導体装置での基本構造を S R A M 混載ロジックデバイスに適用することもできる。図 6 は、図 2 を用いて説明した本発明の半導体装置での基本構造が適用された S R A M 混載ロジックデバイスの一例を概略的に示す断面図であり、図 7 は、図 3 を用いて説明した本発明の半導体装置での基本構造が適用された S R A M 混載ロジックデバイスの一例を概略的に示す断面図であり、図 8 は、図 4 を用いて説明した本発明の半導体装置での基本構造が適用された S R A M 混載ロジックデバイスの一例を概略的に示す断面図である。

40

【0061】

図 6 に示す S R A M 混載ロジックデバイス 205 は、テンサイルストレス膜 40T に代えてテンサイルストレス膜 41T が設けられている以外は図 5 に示した S R A M 混載ロジックデバイス 200 と同様の構成を有する。また、図 7 に示す S R A M 混載ロジックデバイス 210 は、第 2 類 M I S トランジスタに属する M I S トランジスタのうちで N チャネル M I S トランジスタ 30N の方が P チャネル M I S トランジスタ 30P よりも外側に位置している点、テンサイルストレス膜 40T に代えてコンプレッシブストレス膜 42C が

50

設けられている点、および各M I Sトランジスタのゲート電極16が金属シリサイドにより形成された単層構造を有する点をそれぞれ除き、図5に示したS R A M混載ロジックデバイス200と同様の構成を有する。

【0062】

そして、図8に示すS R A M混載ロジックデバイス215は、コンプレッシブストレス膜42Cに代えてコンプレッシブストレス膜43Cが設けられている以外は図7に示したS R A M混載ロジックデバイス200と同様の構成を有する。図6～図8に示した各構成要素のうちで図7および図8に示した単層構造のゲート電極16以外の構成要素については図2～図4または図5を参照して既に説明しているので、これらの構成要素については図2～図4または図5で用いた参照符号と同じ参照符号を付してその説明を省略する。

10

【0063】

図6～図8に示すいずれのS R A M混載ロジックデバイス205, 210, 215も、少なくとも低密度領域L Dに形成されるロジック回路については、その高性能化を図ることができる。また、その製造が容易である。M I Sトランジスタを覆う電気絶縁膜（テンサイルストレス膜41Tまたはコンプレッシブストレス膜42C, 43C）によって当該M I Sトランジスタでのキャリアのモビリティが制御されたものを容易に得ることができる。なお、図7および図8に示した単層構造のゲート電極16とテンサイルストレス膜とを組み合わせるとS R A M混載ロジックデバイスを構成することも可能である。

【0064】

実施の形態4.

20

実施の形態1, 2で説明した本発明の半導体装置での基本構造は、例えばD R A M (Dynamic Random Access Memory) とロジック回路とが混載された半導体装置（以下、「D R A M混載ロジックデバイス」という。）に適用することもできる。

【0065】

図9は、図1を用いて説明した本発明の半導体装置での基本構造が適用されたD R A M混載ロジックデバイスの一例を概略的に示す断面図である。同図に示すD R A M混載ロジックデバイス220では、D R A Mのメモリセルが配置されている領域が高密度領域H Dに相当し、ロジック回路が形成されている領域が低密度領域L Dに相当する。図9に示した構成要素のうちで図1に示した構成要素と機能が共通するものについては、図1で用いた参照符号と同じ参照符号を付してその説明を省略する。

30

【0066】

図示のD R A M混載ロジックデバイス220においては、D R A Mでの個々のメモリセルが1つのNチャネルM I Sトランジスタ20Nと1つの容量素子195とを含んで構成されている。各容量素子195は、第2層間絶縁膜113と第1ライナー膜111とを貫通するようにして形成された貫通孔の内壁面、および当該貫通孔の底に露出した第1層間絶縁膜45の上面を覆うようにして形成された下部電極191と、該下部電極191を覆う容量絶縁膜192と、該容量絶縁膜192を覆う上部電極193とによって構成されており、第1層間絶縁膜45に形成された第1層コンタクトプラグによりN型不純物拡散領域12Nに接続されている。

【0067】

40

図9には、2つのメモリセルが示されている。これら2つのメモリセルにおけるNチャネルM I Sトランジスタ20Nは1つのP型ウェル3に配置されており、3つのN型不純物拡散領域12Nを有している。左右2つのN型不純物拡散領域12Nがドレイン領域として利用され、真中のN型不純物拡散領域12Nがソース領域として利用される。

【0068】

一方、ロジック回路はNチャネルM I Sトランジスタ30NとPチャネルM I Sトランジスタ30Pとを含んで構成されている。NチャネルM I Sトランジスタ30NはD R A M側に配置されており、PチャネルM I Sトランジスタ30PはNチャネルM I Sトランジスタ30Nの外側に配置されている。

【0069】

50

半導体基板 10 に形成された各不純物拡散領域 12 N, 12 P および各ゲート電極 16 には、第 1 層間絶縁膜 45 を貫通するようにして形成された第 1 層コンタクトプラグが 1 つずつ接続されている。図 9 には 7 本の第 1 層コンタクトプラグ 100 a ~ 100 g が現れている。また、第 1 層間絶縁膜 45 上には第 1 ライナー膜 111、第 2 層間絶縁膜 113、第 2 ライナー膜 121、第 3 層間絶縁膜 123、第 3 ライナー膜 131、第 4 層間絶縁膜 133、第 4 ライナー膜 141、第 5 層間絶縁膜 143、第 5 ライナー膜 151、第 6 層間絶縁膜 153、第 6 ライナー膜 161、第 7 層間絶縁膜 163、第 7 ライナー膜 171、第 8 層間絶縁膜 173、第 8 ライナー膜 181、およびパッシベーション膜 185 がこの順番で積層されている。

【0070】

図示の例では、第 1 層間絶縁膜 45 上および第 2 層間絶縁膜 113 上のいずれにもメタル配線は形成されておらず、第 3 ライナー膜 131 および第 4 層間絶縁膜 133 それぞれの所定箇所が除去されて、ここに第 3 メタル配線が形成されている。図 9 には、1 本の第 1 層コンタクトプラグに 1 つずつ対応するようにして配置された 5 つの第 3 メタル配線 137 a ~ 137 e が現れている。これらの第 3 メタル配線 137 a ~ 137 e の各々は、第 3 層間絶縁膜 123、第 2 ライナー膜 121、第 2 層間絶縁膜 113、および第 1 ライナー膜 111 を貫通するようにして形成された所定のコンタクトプラグ 125 a ~ 125 e により、第 1 層コンタクトプラグ 100 a ~ 100 g のいずれかに接続されている。

【0071】

また、第 5 ~ 第 8 の各層間絶縁膜には、該層間絶縁膜とその下のライナー膜とを貫通するようにして所定数のコンタクトプラグが形成されていると共に、当該コンタクトプラグに接続された所定数のメタル配線が形成されている。図 9 には、第 5 層間絶縁膜 143 に形成された 4 本の第 5 層コンタクトプラグ 145 a ~ 145 d および 6 つの第 5 メタル配線 147 a ~ 147 f、第 6 層間絶縁膜 153 に形成された 1 本の第 6 層コンタクトプラグ 155 a および 2 つの第 5 メタル配線 157 a, 157 b、第 7 層間絶縁膜 163 に形成された 1 本の第 7 層コンタクトプラグ 165 a および 2 つの第 7 メタル配線 167 a, 167 b、ならびに第 8 層間絶縁膜 173 に形成された 1 本の第 8 層コンタクトプラグ 175 a および 2 つの第 7 メタル配線 177 a, 177 b が現れている。

【0072】

上述の構成を有する DRAM 混載ロジックデバイス 220 は、図 1 を用いて説明した本発明の半導体装置での基本構造を適用したものであるもので、図 1 に示した半導体装置 50 におけるのと同様の理由から、少なくとも低密度領域 LD に形成されるロジック回路については、その高性能化を図ることができる。また、エッチングマスクを用いることなくテンサイルストレス膜 40 T を形成することができるので、その製造が容易である。MIS トランジスタを覆う電気絶縁膜（テンサイルストレス膜 40 T）によって当該 MIS トランジスタでのキャリアのモビリティが制御されたものを容易に得ることができる。

【0073】

なお、図 2 ~ 図 4 を用いて説明した本発明の半導体装置での基本構造を DRAM 混載ロジックデバイスに提要することもできる。図 10 は、図 2 を用いて説明した本発明の半導体装置での基本構造が適用された DRAM 混載ロジックデバイスの一例を概略的に示す断面図であり、図 11 は、図 3 を用いて説明した本発明の半導体装置での基本構造が適用された DRAM 混載ロジックデバイスの一例を概略的に示す断面図であり、図 12 は、図 4 を用いて説明した本発明の半導体装置での基本構造が適用された DRAM 混載ロジックデバイスの一例を概略的に示す断面図である。

【0074】

図 10 に示す DRAM 混載ロジックデバイス 225 は、テンサイルストレス膜 40 T に代えてテンサイルストレス膜 41 T が設けられている以外は図 9 に示した DRAM 混載ロジックデバイス 220 と同様の構成を有する。また、図 11 に示す DRAM 混載ロジックデバイス 230 は、DRAM のメモリセルを構成する MIS トランジスタが P チャネル MIS トランジスタ 20 P である点、第 2 類 MIS トランジスタに属する MIS トランジスタ

10

20

30

40

50

タのうちでNチャネルMISトランジスタ30Nの方がPチャネルMISトランジスタ30Pよりも外側に位置している点、テンサイルストレス膜40Tに代えてコンプレッシブストレス膜42Cが設けられている点、および各MISトランジスタのゲート電極16が金属シリサイドにより形成された単層構造を有する点をそれぞれ除き、図9示したDRAM混載ロジックデバイス220と同様の構成を有する。

【0075】

そして、図12に示すDRAM混載ロジックデバイス235は、コンプレッシブストレス膜42Cに代えてコンプレッシブストレス膜43Cが設けられている以外は図11に示したDRAM混載ロジックデバイス230と同様の構成を有する。図10～図12に示した各構成要素のうちで図11および図12に示した単層構造のゲート電極16以外の構成要素については図2～図4または図9を参照して既に説明しているので、これらの構成要素については図2～図4または図9で用いた参照符号と同じ参照符号を付してその説明を省略する。

10

【0076】

図10～図12に示すいずれのDRAM混載ロジックデバイス220, 225, 230も、少なくとも低密度領域LDに形成されるロジック回路については、その高性能化を図ることができる。また、その製造が容易である。MISトランジスタを覆う電気絶縁膜（テンサイルストレス膜41Tまたはコンプレッシブストレス膜42C, 43C）によって当該MISトランジスタでのキャリアのモビリティが制御されたものを容易に得ることができる。なお、図11および図12に示した単層構造のゲート電極16とテンサイルストレス膜とを組み合わせることでDRAM混載ロジックデバイスを構成することも可能である。

20

【0077】

実施の形態5.

図13は、本発明の半導体装置での基本構造の更に他の例での活性領域（ウェル）とゲート電極との平面配置および断面構造を示す概略図である。同図に示す半導体装置330は、半導体基板10と、半導体基板10に配置された複数のMISトランジスタと、半導体基板10の上面および各MISトランジスタを覆う電気絶縁膜40T（テンサイルストレス膜40T）とを備えている。複数のMISトランジスタはPチャネルMISトランジスタ320P, 320Pを含んでおり、個々のPチャネルMISトランジスタ320PにはダミーゲートDG₁が並設されている。図13に示す構成要素のうちで図1に示した構成要素と機能が共通するものについては、PチャネルMISトランジスタを除き、図1で用いた参照符号と同じ参照符号を付してその説明を省略する。

30

【0078】

図13に示したダミーゲートDG₁の各々は、PチャネルMISトランジスタ320Pにおけるゲート電極16と同様に、ポリシリコン領域316pと該ポリシリコン領域316p上に形成された金属シリサイド領域316sとからなっており、ポリシリコン領域316pは絶縁膜314を介して半導体基板10上に配置されている。また、ダミーゲートDG₁における線幅方向の両側には、PチャネルMISトランジスタ320Pにおけるのと同様に、サイドウォールスペーサ318, 318が形成されている。これらのダミーゲートDG₁はゲート電極16と同じ構造、同じ形状、および同じ大きさを有しており、絶縁膜314はゲート絶縁膜14と同じ形状および同じ大きさを有している。そして、各サイドウォールスペーサ318は、サイドウォールスペーサ18と同じ形状および同じ大きさを有している。

40

【0079】

また、各ダミーゲートDG₁は、近接するゲート電極16との間に所定の大きさの間隙をあけて、すなわち等方性の成膜方法によりテンサイルストレス膜40Tを成膜したときに該テンサイルストレス膜40Tのカバレッジ性が非等方的になる大きさの間隙S₁をあけて、ゲート電極16に並設されている。なお、本発明でいう「ダミーゲートとゲート電極との間の間隙の大きさ」とは、単にダミーゲートとゲート電極との間隔を意味するものではなく、ダミーゲートまたはゲート電極にサイドウォールスペーサが形成されていると

50

きには当該サイドウォールスペーサもダミーゲートまたはゲート電極の一部であると思なしたときのダミーゲートとゲート電極との間の間隙の大きさを意味する。

【0080】

テンシルストレス膜40Tは、各PチャネルMISトランジスタ320P、各ダミーゲートDG₁、および各サイドウォールスペーサ318をそれぞれ覆うようにして、例えばプラズマCVD法等の等方的な成膜方法により半導体基板10上に成膜されている。

【0081】

等方性の成膜方法によりテンシルストレス膜を成膜したときのカバレッジ性は、膜組成が同じであっても、成膜条件や下地形状に応じて変化する。例えばプラズマCVDによりテンシルストレス膜を成膜するときのカバレッジ性は、膜組成が同じであっても、原料ガスの種類、成膜圧力、高周波電力の投入量等の成膜条件や下地形状に応じて変化する。成膜条件が一定であれば、下地形状を適宜変更することによりテンシルストレス膜を非等方的に成膜することができる。逆に、下地形状が一定（ただし、凹凸があるものとする。）であれば、成膜条件を適宜変更することによりテンシルストレス膜を非等方的に成膜することができる。勿論、成膜条件と下地形状の両方を適宜変更することによってテンシルストレス膜を非等方的に成膜することも可能である。

【0082】

半導体装置330のテンシルストレス膜40Tを成膜するにあつては、上記の間隙S₁でのテンシルストレス膜40Tのカバレッジ性が非等方的となるように、必要に応じて高周波電力の投入量等の成膜条件を適宜選定する。実用性を考慮すると、間隙S₁は、MISトランジスタのゲート電極を2つ並設するときデザインルールで許容される大きさの間隙のうちで各ゲート電極の線幅方向両側にコンタクトを形成しないときに許容される最小の大きさの間隙を間隙A、2つのゲート電極の間に1つのコンタクトを形成するとき許容される最小の大きさの間隙を間隙Bとしたときに、間隙Aよりも広くし、かつ間隙Bよりも狭くすることが好ましい。

【0083】

半導体装置330では、上述のように、テンシルストレス膜40Tのカバレッジ性が非等方的になる大きさの間隙S₁をあけてダミーゲートDG₁をゲート電極16に並設しているので、等方性の成膜方法によってテンシルストレス膜40Tを成膜しても、ダミーゲートDG₁とゲート電極16との間の領域でのテンシルストレス膜40Tの最小膜厚をゲート電極16上での膜厚よりも容易に薄くすることができる。

【0084】

その結果として、各PチャネルMISトランジスタ320Pのチャンネルでは、ダミーゲートDG₁がない場合よりも小さな引張り応力がゲート長方向に付与されることになり、ダミーゲートDG₁がない場合よりもキャリア（電子）の移動度が高くなって電流駆動能力が大きくなる。

【0085】

各絶縁膜314はゲート電極14の元となる膜をパターンニングしてゲート電極14を形成する際に一緒に形成することができ、各ダミーゲートDG₁はゲート電極16の形成時に該ゲート電極16と一緒に形成することができる。また、ダミーゲートDG₁の側面に配置されているサイドウォールスペーサ318は、各PチャネルMISトランジスタ320Pにおけるサイドウォールスペーサ18を形成する際にその元となる膜をエッチバックして当該サイドウォールスペーサ18と一緒に形成することができる。そして、テンシルストレス膜40Tは従来と同様に等方的な成膜方法により容易に成膜することができる。

【0086】

したがって、半導体装置330の製造は容易である。MISトランジスタを覆う電気絶縁膜（テンシルストレス膜40T）によって当該MISトランジスタでのキャリアのモビリティが制御されたものを容易に得ることができる。

【0087】

実施の形態 6.

図 1 4 は、本発明の半導体装置での基本構造の更に他の例での活性領域（ウェル）とゲート電極との平面配置および断面構造を示す概略図である。同図に示す半導体装置 3 3 5 は、半導体基板 1 0 と、半導体基板 1 0 に配置された複数の M I S トランジスタと、半導体基板 1 0 の上面および各 M I S トランジスタを覆う電気絶縁膜 4 0 T（テンサイルストレス膜 4 0 T）とを備えている。複数の M I S トランジスタは N チャネル M I S トランジスタ 3 2 0 N、3 2 0 N を含んでおり、個々の N チャネル M I S トランジスタ 3 2 0 N にはダミーゲート D G₂ が並設されている。図 1 4 に示す構成要素のうちで図 1 または図 1 3 に示した構成要素と機能が共通するものについては、N チャネル M I S トランジスタ 3 2 0 N を除き、図 1 または図 1 3 で用いた参照符号と同じ参照符号を付してその説明を省略する。

10

【0088】

各ダミーゲート D G₂ は、N チャネル M I S トランジスタ 3 2 0 N におけるゲート電極 1 6 と同様に、ポリシリコン領域 3 1 6 p と該ポリシリコン領域 3 1 6 p 上に形成された金属シリサイド領域 3 1 6 s とからなっており、ポリシリコン領域 3 1 6 p は絶縁膜 3 1 4 を介して半導体基板 1 0 上に配置されている。また、ダミーゲート D G₂ における線幅方向の両側には、N チャネル M I S トランジスタ 3 2 0 N におけるのと同様に、サイドウォールスペーサ 3 1 8、3 1 8 が形成されている。これらのダミーゲート D G₂ はゲート電極 1 6 と同じ構造、同じ形状、および同じ大きさを有しており、絶縁膜 3 1 4 はゲート絶縁膜 1 4 と同じ形状および同じ大きさを有している。そして、各サイドウォールスペーサ 3 1 8 は、サイドウォールスペーサ 1 8 と同じ形状および同じ大きさを有している。

20

【0089】

また、各ダミーゲート D G₂ は、近接するゲート電極 1 6 との間に所定の大きさの間隙が形成されるようにして、すなわちテンサイルストレス膜 4 0 T を等方的に成膜したときのゲート電極 1 6 上での該テンサイルストレス膜 4 0 T の膜厚の 2 倍に相当する値以下の大きさの間隙 S₂ がゲート電極 1 6 との間に形成されるようにして、ゲート電極 1 6 に並設されている。

【0090】

テンサイルストレス膜 4 0 T は、各 N チャネル M I S トランジスタ 3 2 0 N、各ダミーゲート D G₂、および各サイドウォールスペーサ 3 1 8 を覆うようにして、例えばプラズマ C V D 法等の等方的な成膜方法により半導体基板 1 0 上に形成されている。このため、N チャネル M I S トランジスタ 3 2 0 N と該 N チャネル M I S トランジスタ 3 2 0 N に近接するダミーゲート D G₂ との間の領域においては、ダミーゲート D G₂ 側のサイドウォールスペーサ 1 8 上に成膜されたテンサイルストレス膜 4 0 T と、N チャネル M I S トランジスタ 3 2 0 N 側のサイドウォールスペーサ 3 1 8 上に成膜されたテンサイルストレス膜 4 0 T とが互いに接合して、上記の間隙 S₂ を埋めている。したがって、上記の領域におけるテンサイルストレス膜 4 0 T の最小膜厚は、N チャネル M I S トランジスタ 3 2 0 N のゲート電極 1 6 上でのテンサイルストレス膜 4 0 T の膜厚よりも厚い。

30

【0091】

その結果として、各 N チャネル M I S トランジスタ 3 2 0 N のチャンネルでは、ダミーゲート D G₂ がない場合よりも大きな引張り応力がゲート長方向に付与されて格子定数が大きくなり、ダミーゲート D G₂ がない場合よりもキャリア（電子）の移動度が高くなって電流駆動能力が大きくなる。

40

【0092】

各絶縁膜 3 1 4、各サイドウォールスペーサ 3 1 8、および各ダミーゲート D G₂ は、実施の形態 5 で説明したダミーゲート D G₁ と同様に、N チャネル M I S トランジスタ 3 2 0 N でのゲート絶縁膜 1 4、サイドウォールスペーサ 1 8、またはゲート電極 1 6 の形成時にこれらと一緒に形成することができる。また、テンサイルストレス膜 4 0 T は従来と同様に等方的な成膜方法により容易に成膜することができる。

【0093】

50

したがって、半導体装置 335 の製造は容易である。MIS トランジスタを覆う電気絶縁膜（テンサイルストレス膜 40T）によって当該 MIS トランジスタでのキャリアのモビリティが制御されたものを容易に得ることができる。実用性を考慮すると、ダミーゲート DG_2 とゲート電極 16 との間の間隙 S_2 は、MIS トランジスタのゲート電極を 2 つ並設するときデザインルールで許容される大きさの間隙のうちで各ゲート電極の線幅方向両側にコンタクトを形成しないときに許容される最小の大きさの間隙とすることが好ましい。

【0094】

実施の形態 7.

図 15 は、本発明の半導体装置での基本構造の更に他の例での活性領域（ウェル）とゲート電極との平面配置および断面構造を示す概略図である。同図に示す半導体装置 340 は、半導体基板 10 と、半導体基板 10 に配置された複数の MIS トランジスタと、半導体基板 10 の上面および各 MIS トランジスタを覆う電気絶縁膜 42C（コンプレッシブストレス膜 42T）とを備えている。複数の MIS トランジスタは N チャネル MIS トランジスタ 320N、320N を含んでおり、個々の N チャネル MIS トランジスタ 320N にはダミーゲート DG_{11} が並設されている。図 15 に示す構成要素のうちで図 3 または図 13 に示した構成要素と機能が共通するものについては、図 3 または図 13 で用いた参照符号と同じ参照符号を付してその説明を省略する。

【0095】

各ダミーゲート DG_{11} は、N チャネル MIS トランジスタ 320N におけるゲート電極 16 と同様に、ポリシリコン領域 316p と該ポリシリコン領域 316p 上に形成された金属シリサイド領域 316s とからなっており、ポリシリコン領域 316p は絶縁膜 314 を介して半導体基板 10 上に配置されている。また、ダミーゲート DG_{11} における線幅方向の両側には、N チャネル MIS トランジスタ 320N におけるのと同様に、サイドウォールスペーサ 318、318 が形成されている。これらのダミーゲート DG_{11} はゲート電極 16 と同じ構造、同じ形状、および同じ大きさを有しており、絶縁膜 314 はゲート絶縁膜 14 と同じ形状および同じ大きさを有している。そして、各サイドウォールスペーサ 318 は、サイドウォールスペーサ 18 と同じ形状および同じ大きさを有している。

【0096】

また、各ダミーゲート DG_{11} は、近接するゲート電極 16 との間に所定の大きさの間隙をあけて、すなわち等方性の成膜方法によりコンプレッシブストレス膜 42C を成膜したときに該コンプレッシブストレス膜 42C のカバレッジ性が非等方的になる大きさの間隙 S_1 をあけて、ゲート電極 16 に並設されている。

【0097】

等方性の成膜方法によりコンプレッシブストレス膜を成膜したときのカバレッジ性は、実施の形態 5 で説明したテンサイルストレス膜におけるのと同様に、膜組成が同じであっても成膜条件や下地形状に応じて変化する。半導体装置 340 のコンプレッシブストレス膜 42C を成膜するにあつては、上記の間隙 S_1 でのコンプレッシブストレス膜 42C のカバレッジ性が非等方的となるように、必要に応じて高周波電力の投入量等の成膜条件を適宜選定する。実用性を考慮すると、間隙 S_1 は、MIS トランジスタのゲート電極を 2 つ並設するときデザインルールで許容される大きさの間隙のうちで各ゲート電極の線幅方向両側にコンタクトを形成しないときに許容される最小の大きさの間隙を間隙 A、2 つのゲート電極の間に 1 つのコンタクトを形成するときに許容される最小の大きさの間隙を間隙 B としたときに、間隙 A よりも広くし、かつ間隙 B よりも狭くすることが好ましい。

【0098】

半導体装置 340 では、上述のように、コンプレッシブストレス膜 42C のカバレッジ性が非等方的になる大きさの間隙 S_1 をあけてダミーゲート DG_{11} をゲート電極 16 に並設しているので、等方性の成膜方法によってコンプレッシブストレス膜 42C を成膜しても、ダミーゲート DG_{11} とゲート電極 16 との間の領域でのコンプレッシブストレス膜 4

10

20

30

40

50

2 C の最小膜厚をゲート電極 1 6 上での膜厚よりも容易に薄くすることができる。

【0099】

その結果として、各 N チャネル M I S トランジスタ 3 2 0 N のチャネルでは、ダミーゲート $D G_{11}$ がない場合よりも小さな圧縮応力がゲート長方向に付与されることになり、ダミーゲート $D G_{11}$ がない場合よりもキャリア（電子）の移動度の低下が抑制されて電流駆動能力が大きくなる。

【0100】

各絶縁膜 3 1 4、各サイドウォールスペーサ 3 1 8、および各ダミーゲート $D G_{11}$ は、実施の形態 5 で説明したダミーゲート $D G_1$ と同様に、N チャネル M I S トランジスタ 3 2 0 N でのゲート絶縁膜 1 4、サイドウォールスペーサ 1 8、またはゲート電極 1 6 の形成時にこれらと一緒に形成することができる。また、コンプレッシブストレス膜 4 2 C は従来と同様に等方的な成膜方法により容易に成膜することができる。

【0101】

したがって、半導体装置 3 4 0 の製造は容易である。M I S トランジスタを覆う電気絶縁膜（コンプレッシブストレス膜 4 2 C）によって当該 M I S トランジスタでのキャリアのモビリティが制御されたものを容易に得ることができる。

【0102】

実施の形態 8.

図 1 6 は、本発明の半導体装置での基本構造の更に他の例での活性領域（ウェル）とゲート電極との平面配置および断面構造を示す概略図である。同図に示す半導体装置 3 4 5 は、半導体基板 1 0 と、半導体基板 1 0 に配置された複数の M I S トランジスタと、半導体基板 1 0 の上面および各 M I S トランジスタを覆う電気絶縁膜 4 2 C（コンプレッシブストレス膜 4 2 C）とを備えている。複数の M I S トランジスタは P チャネル M I S トランジスタ 3 2 0 P、3 2 0 P を含んでおり、個々の P チャネル M I S トランジスタ 3 2 0 P にはダミーゲート $D G_{12}$ が並設されている。図 1 6 に示す構成要素のうちで図 3 または図 1 4 に示した構成要素と機能が共通するものについては、図 3 または図 1 4 で用いた参照符号と同じ参照符号を付してその説明を省略する。

【0103】

各ダミーゲート $D G_{12}$ は、P チャネル M I S トランジスタ 3 2 0 P におけるゲート電極 1 6 と同様に、ポリシリコン領域 3 1 6 p と該ポリシリコン領域 3 1 6 p 上に形成された金属シリサイド領域 3 1 6 s とからなっており、ポリシリコン領域 3 1 6 p は絶縁膜 3 1 4 を介して半導体基板 1 0 上に配置されている。また、ダミーゲート $D G_{12}$ における線幅方向の両側には、P チャネル M I S トランジスタ 3 2 0 P におけるのと同様に、サイドウォールスペーサ 3 1 8、3 1 8 が形成されている。これらのダミーゲート $D G_{12}$ はゲート電極 1 6 と同じ構造、同じ形状、および同じ大きさを有しており、絶縁膜 3 1 4 はゲート絶縁膜 1 4 と同じ形状および同じ大きさを有している。そして、各サイドウォールスペーサ 3 1 8 は、サイドウォールスペーサ 1 8 と同じ形状および同じ大きさを有している。

【0104】

また、各ダミーゲート $D G_{12}$ は、近接するゲート電極 1 6 との間に所定の大きさの間隙が形成されるようにして、すなわちコンプレッシブストレス膜 4 2 C を等方的に成膜したときのゲート電極 1 6 上での該コンプレッシブストレス膜 4 2 C の膜厚の 2 倍に相当する値以下の大きさの間隙 S_2 がゲート電極 1 6 との間に形成されるようにして、ゲート電極 1 6 に並設されている。

【0105】

コンプレッシブストレス膜 4 2 C は、各 P チャネル M I S トランジスタ 3 2 0 P、各ダミーゲート $D G_{12}$ 、および各サイドウォールスペーサ 3 1 8 を覆うようにして、例えばプラズマ C V D 法等の等方的な成膜方法により半導体基板 1 0 上に形成されている。P チャネル M I S トランジスタ 3 2 0 P と該 P チャネル M I S トランジスタ 3 2 0 P に近接するダミーゲート $D G_{12}$ との間の領域においては、ダミーゲート $D G_{12}$ 側のサイドウォールスペーサ 1 8 上に成膜されたコンプレッシブストレス膜 4 2 C と、P チャネル M I S トラン

ジスタ 320P 側のサイドウォールスペーサ 318 上に成膜されたコンプレッシブストレス膜 42C とが互いに接合して、上記の間隙 S_2 を埋めている。したがって、上記の領域におけるコンプレッシブストレス膜 42C の最小膜厚は、P チャネル M I S トランジスタ 320P のゲート電極 16 上でのコンプレッシブストレス膜 42C の膜厚よりも厚い。

【0106】

このため、各 P チャネル M I S トランジスタ 320P のチャンネルでは、ダミーゲート DG_{12} がない場合よりも大きな圧縮応力がゲート長方向に付与されて格子定数が小さくなる。その結果として、ダミーゲート DG_{12} がない場合よりもキャリア（正孔）の移動度が高くなって電流駆動能力が大きくなる。

【0107】

各絶縁膜 314、各サイドウォールスペーサ 318、および各ダミーゲート DG_{12} は、実施の形態 5 で説明したダミーゲート DG_1 と同様に、P チャネル M I S トランジスタ 320P でのゲート絶縁膜 14、サイドウォールスペーサ 18、またはゲート電極 16 の形成時にこれらと一緒に形成することができる。また、コンプレッシブストレス膜 42C は従来と同様に等方的な成膜方法により容易に成膜することができる。

【0108】

したがって、半導体装置 345 の製造は容易である。M I S トランジスタを覆う電気絶縁膜（コンプレッシブストレス膜 42C）によって当該 M I S トランジスタでのキャリアのモビリティが制御されたものを容易に得ることができる。実用性を考慮すると、ダミーゲート DG_{12} とゲート電極 16 との間の間隙 S_2 は、M I S トランジスタのゲート電極を 2 つ並設するときにはデザインルールで許容される大きさの間隙のうちで各ゲート電極の線幅方向両側にコンタクトを形成しないときに許容される最小の大きさの間隙とすることが好ましい。

【0109】

実施の形態 9.

実施の形態 5 で説明した本発明の半導体装置での基本構造は、例えばインバータ回路を備えた半導体装置に適用することができる。

【0110】

図 17～図 19 の各々は、実施の形態 5 で説明した本発明の半導体装置での基本構造がインバータ回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、ダミーゲート、第 1 層コンタクトプラグ、および第 1 メタル配線の配置の一例を概略的に示す平面図である。これらの図に示す半導体装置 400（図 17 参照）、半導体装置 405（図 18 参照）、および半導体装置 410（図 19 参照）は、いずれも、半導体基板 10 に形成されたインバータ回路 C_{INV} と半導体基板 10 上に配置されたダミーゲート DG_1 とを備えている。インバータ回路 C_{INV} は、例えばメモリセルとして、あるいは論理回路の構成要素等として用いることができる。図 17、図 18、または図 19 に示した構成要素のうちで図 13 に示した構成要素と機能が共通するものについては、図 13 で用いた参照符号と同じ参照符号を付してその説明を省略する。

【0111】

上記のインバータ回路 C_{INV} は、1 つの P チャネル M I S トランジスタ 320P と該 P チャネル M I S トランジスタ 320P に直列に接続された 1 つの N チャネル M I S トランジスタ 320N とによって構成されている。P チャネル M I S トランジスタ 320P でのソース領域およびドレイン領域（いずれも図示せず。）が形成される N 型ウェル 5 と、N チャネル M I S トランジスタ 320N でのソース領域およびドレイン領域（いずれも図示せず。）が形成される P 型ウェル 3 とは互いに離隔して半導体基板 10 に形成されており、これらを平面視上横断するようにして半導体基板 10 上に 1 本のゲート電極 16A が配置されている。ゲート電極 16A のうちで N 型ウェル 5 と平面視上重なる領域が P チャネル M I S トランジスタ 320P のゲート電極として機能し、P 型ウェル 3 と平面視上重なる領域が N チャネル M I S トランジスタ 320N のゲート電極として機能する。なお、図 17～図 19 においては、P 型ウェル 3 および N 型ウェル 5 の各々を判り易くするために

10

20

30

40

50

、これらにスマッジングを付してある。

【0112】

上記のゲート電極16Aは、N型ウェル5とP型ウェル3との平面視上の間の領域において、コンタクト（第1層コンタクトプラグ） C_1 を介して第1メタル配線360に接続されている。また、PチャネルMISトランジスタ320Pのソース領域はコンタクト C_2 、 C_3 を介して他の第1メタル配線（接地線）365に接続されており、PチャネルMISトランジスタ320Pのドレイン領域はコンタクト C_4 、 C_5 を介して更に他の第1メタル配線370の一端に接続されている。第1メタル配線370の他端には、コンタクト C_6 、 C_7 を介して、NチャネルMISトランジスタ320Nのドレイン領域が接続されている。そして、NチャネルMISトランジスタ320Nのソース領域は、コンタクト C_8 、 C_9 を介して更に他の第1メタル配線（電源電圧線）375に接続されている。なお、第1メタル配線365はコンタクト C_{11} 、 C_{12} 、 C_{13} により他のP型ウェル380にも接続されており、第1メタル配線375はコンタクト C_{15} 、 C_{16} 、 C_{17} により他のN型ウェル385にも接続されている。

10

【0113】

図17に示す半導体装置400では、ゲート電極16Aからみて各コンタクト C_2 、 C_3 の外側に位置するようにして、かつN型ウェル5の側方に位置するようにして、ダミーゲート DG_1 がゲート電極16Aに並設されている。また、図18に示す半導体装置405では、ゲート電極16Aからみて各コンタクト C_4 、 C_5 の外側に位置するようにして、かつN型ウェル5の側方に位置するようにして、ダミーゲート DG_1 がゲート電極16Aに並設されている。そして、図19に示す半導体装置410では、ゲート電極16Aからみて各コンタクト C_2 、 C_3 の外側に位置するようにして、かつN型ウェル5の側方に位置するようにして1つのダミーゲート DG_1 がゲート電極16Aに並設され、ゲート電極16Aからみて各コンタクト C_4 、 C_5 の外側に位置するようにして、かつN型ウェル5の側方に位置するようにして他の1つのダミーゲート DG_1 がゲート電極16Aに並設されている。

20

【0114】

いずれの半導体装置400、405、410においても、ダミーゲート DG_1 とゲート電極16Aとはテンサイルストレス膜（図示せず。）により覆われており、ダミーゲート DG_1 とゲート電極16Aとの間の間隙の大きさは、等方性の成膜方法によりテンサイルストレス膜を成膜したときに該テンサイルストレス膜のカバレッジ性が非等方的になる大きさに選定されている。ダミーゲート DG_1 とゲート電極16Aとの間でのテンサイルストレス膜の最小膜厚は、ゲート電極16A上でのテンサイルストレス膜の膜厚よりも薄い。

30

【0115】

このように、各半導体装置400、405、410は実施の形態5で説明した本発明の半導体装置での基本構造が適用されたものであるので、実施の形態5で説明した技術的効果を奏する。

【0116】

実施の形態10.

40

実施の形態6で説明した本発明の半導体装置での基本構造は、例えばインバータ回路を備えた半導体装置に適用することができる。

【0117】

図20～図22の各々は、実施の形態6で説明した本発明の半導体装置での基本構造がインバータ回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、ダミーゲート、第1層コンタクトプラグ、および第1メタル配線の配置の一例を概略的に示す平面図である。これらの図に示す半導体装置420（図20参照）、半導体装置425（図21参照）、および半導体装置430（図22参照）は、いずれも、半導体基板10に形成されたインバータ回路 C_{INV} と半導体基板10上に配置されたダミーゲート DG_2 とを備えている。インバータ回路 C_{INV} は、前述のようにメモリセルとして、あるいは論理回

50

路の構成要素等として用いることができる。図 20、図 21、または図 22 に示した構成要素のうちで図 14 または図 17 に示した構成要素と機能が共通するものについては、図 14 または図 17 で用いた参照符号と同じ参照符号を付してその説明を省略する。

【0118】

図 20 に示す半導体装置 420 では、ゲート電極 16A からみてコンタクト C_9 が配置されている側と同じ側にダミーゲート DG_2 が並設されている。また、図 21 に示す半導体装置 425 では、ゲート電極 16A からみてコンタクト C_6 が配置されている側と同じ側にダミーゲート DG_2 が並設されている。そして、図 21 に示す半導体装置 430 では、ゲート電極 16A からみてコンタクト C_9 が配置されている側と同じ側に 1 つのダミーゲート DG_2 が並設され、ゲート電極 16A からみてコンタクト C_6 が配置されている側と同じ側に他の 1 つのダミーゲート DG_2 が並設されている。

10

【0119】

いずれの半導体装置 420、425、430 においても、ダミーゲート DG_2 とゲート電極 16A とはテンサイルストレス膜（図示せず。）により覆われており、ダミーゲート DG_2 とゲート電極 16A との間の間隙の大きさは、テンサイルストレス膜を等方的に成膜したときのゲート電極 16A 上での当該テンサイルストレス膜の膜厚の 2 倍に相当する値以下に選定されている。ダミーゲート DG_2 とゲート電極 16A との間でのテンサイルストレス膜の最小膜厚は、ゲート電極 16A 上でのテンサイルストレス膜の膜厚よりも厚い。

【0120】

このように、各半導体装置 420、425、430 は実施の形態 6 で説明した本発明の半導体装置での基本構造が適用されたものであるので、実施の形態 6 で説明した技術的効果を奏する。

20

【0121】

実施の形態 11.

実施の形態 5、6 で説明した本発明の半導体装置での各基本構造は、例えばインバータ回路を備えた 1 つの半導体装置に適用することができる。

【0122】

図 23～図 26 の各々は、実施の形態 5、6 で説明した本発明の半導体装置での各基本構造が 1 つのインバータ回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、およびダミーゲートの配置の一例を概略的に示す平面図である。これらの図に示す半導体装置 440（図 23 参照）、半導体装置 445（図 24 参照）、半導体装置 450（図 25 参照）、および半導体装置 455（図 26 参照）は、いずれも、半導体基板 10 に形成されたインバータ回路を備えたものであり、半導体基板 10 上にはダミーゲート DG_1 、 DG_2 が配置されている。インバータ回路は、メモリセルとして、あるいは論理回路の構成要素等として用いることができる。図 23、図 24、図 25、または図 26 に示した構成要素のうちで図 17～図 19 または図 20～図 22 に示した構成要素と機能が共通するものについては、図 17～図 19 または図 20～図 22 で用いた参照符号と同じ参照符号を付してその説明を省略する。

30

【0123】

図 23 に示す半導体装置 440 では、平面形状がクランク状を呈する 1 つのダミーゲート DG がゲート電極 16A に並設されている。このダミーゲート DG のうちで N 型ウェル 5 の側方に位置する領域がダミーゲート DG_1 として機能し、P 型ウェル 3 の縁部に位置する領域がダミーゲート DG_2 として機能する。なお、図 23 においては、ダミーゲート DG のうちでダミーゲート DG_1 として機能する領域を参照符号「 DG_1 」で示し、ダミーゲート DG_2 として機能する領域を参照符号「 DG_2 」で示している。

40

【0124】

また、図 24 に示す半導体装置 445 では、1 つのダミーゲート DG_1 と 1 つのダミーゲート DG_2 とがゲート電極 16A に並設されている。ダミーゲート DG_1 は N 型ウェル 5 の側方に位置しており、ダミーゲート DG_2 は P 型ウェル 3 の縁部上に位置している。

50

【0125】

図25に示す半導体装置450では、平面形状がクランク状を呈する1つのダミーゲートDGがゲート電極16Aに並設されている他に、1つのダミーゲートDG₁と1つのダミーゲートDG₂とがゲート電極16Aに並設されている。図23に示した半導体装置440におけるのと同様に、ダミーゲートDGのうちでN型ウェル5の側方に位置する領域がダミーゲートDG₁として機能し、P型ウェル3の側方に位置する領域がダミーゲートDG₂として機能する。ダミーゲートDGのうちでダミーゲートDG₁として機能する領域は、ゲート電極16Aを挟んで他の1つのダミーゲートDG₁と対峙しており、ダミーゲートDGのうちでダミーゲートDG₂として機能する領域は、ゲート電極16Aを挟んで他の1つのダミーゲートDG₂と対峙している。なお、図25においても、ダミーゲートDGのうちでダミーゲートDG₁として機能する領域を参照符号「DG₁」で示し、ダミーゲートDG₂として機能する領域を参照符号「DG₂」で示している。

10

【0126】

そして、図26に示す半導体装置455では、2つのダミーゲートDG₁がゲート電極16Aを挟んで互いに対峙するようにしてN型ウェル5の側方に配置されていると共に、2つのダミーゲートDG₂がゲート電極16Aを挟んで互いに対峙するようにしてP型ウェル3の縁部上に配置されている。

【0127】

いずれの半導体装置440、445、450、455においても、各ダミーゲートDR₁、DG₂およびゲート電極16Aは1つのテンサイルストレス膜（図示せず。）により覆われている。ダミーゲートDG₁とゲート電極16Aとの間の間隙の大きさは、等方性の成膜方法によりテンサイルストレス膜を成膜したときに該テンサイルストレス膜のカバレッジ性が非等方的になる大きさに選定されており、ダミーゲートDG₂とゲート電極16Aとの間の間隙の大きさは、テンサイルストレス膜を等方的に成膜したときのゲート電極16A上での当該テンサイルストレス膜の膜厚の2倍に相当する値以下に選定されている。ダミーゲートDG₁とゲート電極16Aとの間でのテンサイルストレス膜の最小膜厚はゲート電極16A上でのテンサイルストレス膜の膜厚よりも薄く、ダミーゲートDG₂とゲート電極16Aとの間でのテンサイルストレス膜の最小膜厚はゲート電極16A上でのテンサイルストレス膜の膜厚よりも厚い。

20

【0128】

このように、各半導体装置440、445、450、455は、実施の形態5で説明した本発明の半導体装置での基本構造と実施の形態6で説明した本発明の半導体装置での基本構造との両方が適用されたものであるので、実施の形態5、6の各々で説明した技術的效果を奏する。

30

【0129】

実施の形態12.

実施の形態5で説明した本発明の半導体装置での基本構造は、例えばNAND回路を備えた半導体装置に適用することもできる。

【0130】

図27～図29の各々は、実施の形態5で説明した本発明の半導体装置での基本構造がNAND回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、ダミーゲート、第1層コンタクトプラグ、および第1メタル配線の配置の一例を概略的に示す平面図である。これらの図に示す半導体装置500（図27参照）、半導体装置505（図28参照）、および半導体装置510（図29参照）は、いずれも、半導体基板10に形成されたNAND回路C_{NAND}と半導体基板10上に配置されたダミーゲートDG₁とを備えている。NAND回路C_{NAND}は、例えばメモリセルとして、あるいは論理回路の構成要素等として用いることができる。図27、図28、または図29に示した構成要素のうちで図13に示した構成要素と機能が共通するものについては、図13で用いた参照符号と同じ参照符号を付してその説明を省略する。

40

【0131】

50

各半導体装置 500, 505, 510 における上記の NAND 回路 C_{NAND} は、互いに並列接続された 2 つの P チャネル MIS トランジスタ 320P, 320P と、これらの P チャネル MIS トランジスタ 320P, 320P に直列に接続された 2 つの N チャネル MIS トランジスタ 320N, 320N とによって構成されており、上記 2 つの N チャネル MIS トランジスタ 320N, 320N は互いに直列接続されている。

【0132】

各 P チャネル MIS トランジスタ 320P でのソース領域およびドレイン領域（いずれも図示せず。）が形成される N 型ウェル 5 と、各 N チャネル MIS トランジスタ 20N でのソース領域およびドレイン領域（いずれも図示せず。）が形成される P 型ウェル 3 とは互いに離隔して半導体基板 10 に形成されており、これらを平面視上横断するようにして 2 本のゲート電極 16A₁, 16A₂ が半導体基板 10 上に互いに並設されている。個々のゲート電極 16A₁, 16A₂ のうちで N 型ウェル 5 と平面視上重なる領域が P チャネル MIS トランジスタ 320P のゲート電極として機能し、P 型ウェル 3 と平面視上重なる領域が N チャネル MIS トランジスタ 320N のゲート電極として機能する。なお、図 27 ~ 図 29 においては、P 型ウェル 3 および N 型ウェル 5 の各々を判り易くするために、これらにスマッジングを付してある。

【0133】

一方のゲート電極 16A₁ は、N 型ウェル 5 と P 型ウェル 3 との平面視上の間の領域において、コンタクト（第 1 層コンタクトプラグ）C₂₁ を介して第 1 メタル配線 460 に接続されており、他方のゲート電極 16A₂ は、N 型ウェル 5 と P 型ウェル 3 との平面視上の間の領域において、コンタクト（第 1 層コンタクトプラグ）C₂₂ を介して他の第 1 メタル配線 462 に接続されている。また、一方の P チャネル MIS トランジスタ 320P でのソース領域はコンタクト C₂₃, C₂₄ を介して更に他の第 1 メタル配線（電源電圧線）465 に接続されており、他方の P チャネル MIS トランジスタ 320P でのソース領域はコンタクト C₂₅, C₂₆ を介して第 1 メタル配線 465 に接続されている。そして、各 P チャネル MIS トランジスタ 320P によって共用される 1 つのドレイン領域はコンタクト C₂₇, C₂₈ を介して更に他の第 1 メタル配線 470 の一端に接続されている。

【0134】

第 1 メタル配線 470 の他端には、コンタクト C₂₉, C₃₀ を介して、一方の N チャネル MIS トランジスタ 320N のソース領域が接続されており、他方の N チャネル MIS トランジスタ 320N のドレイン領域は、コンタクト C₃₁, C₃₂ を介して更に他の第 1 メタル配線（接地線）475 に接続されている。なお、第 1 メタル配線 465 はコンタクト C₄₁ ~ C₄₄ により他の P 型ウェル 480 にも接続されており、第 1 メタル配線 475 はコンタクト C₄₅ ~ C₄₈ により他の N 型ウェル 485 にも接続されている。

【0135】

図 27 に示す半導体装置 500 では、ゲート電極 16A₂ からみて各コンタクト C₂₅, C₂₆ の外側に位置するようにして、かつ N 型ウェル 5 の側方に位置するようにして、ダミーゲート DG₁ がゲート電極 16A₂ に並設されている。また、図 28 に示す半導体装置 505 では、ゲート電極 16A₁ からみて各コンタクト C₂₃, C₂₄ の外側に位置するようにして、かつ N 型ウェル 5 の側方に位置するようにして、ダミーゲート DG₁ がゲート電極 16A₁ に並設されている。そして、図 29 に示す半導体装置 510 では、一方のゲート電極 16A₁ からみて各コンタクト C₂₃, C₂₄ の外側に位置するようにして、かつ N 型ウェル 5 の側方に位置するようにして、1 つのダミーゲート DG₁ がゲート電極 16A₁ に並設され、他方のゲート電極 16A₂ からみて各コンタクト C₂₅, C₂₆ の外側に位置するようにして、かつ N 型ウェル 5 の側方に位置するようにして、他の 1 つのダミーゲート DG₁ がゲート電極 16A₂ に並設されている。

【0136】

いずれの半導体装置 500, 505, 510 においても、ダミーゲート DG₁ と各ゲート電極 16A₁, 16A₂ とはテンサイルストレス膜（図示せず。）により覆われており、ダミーゲート DG₁ と該ダミーゲート DG₁ に近接するゲート電極 16A₁ またはゲート電

極 16 A₂ との間の間隙の大きさは、等方性の成膜方法によりテンサイルストレス膜を成膜したときに該テンサイルストレス膜のカバレッジ性が非等方的になる大きさに選定されている。ダミーゲート DG₁ と該ダミーゲート DG₁ に近接するゲート電極 16 A₁ またはゲート電極 16 A₂ との間でのテンサイルストレス膜の最小膜厚は、各ゲート電極 16 A₁ , 16 A₂ 上でのテンサイルストレス膜の膜厚よりも薄い。

【0137】

このように、各半導体装置 500, 505, 510 は実施の形態 5 で説明した本発明の半導体装置での基本構造が適用されたものであるので、実施の形態 5 で説明した技術的効果を奏する。

【0138】

実施の形態 13.

実施の形態 5 で説明した本発明の半導体装置での基本構造は、例えば NOR 回路を備えた半導体装置に適用することもできる。

【0139】

図 30 ~ 図 32 の各々は、実施の形態 5 で説明した本発明の半導体装置での基本構造が NOR 回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、ダミーゲート、第 1 層コンタクトプラグ、および第 1 メタル配線の配置の一例を概略的に示す平面図である。これらの図に示す半導体装置 600（図 30 参照）、半導体装置 605（図 31 参照）、および半導体装置 610（図 32 参照）は、いずれも、半導体基板 10 に形成された NOR 回路 C_{NOR} と半導体基板 10 上に配置されたダミーゲート DG₁ とを備えている。NOR 回路 C_{NOR} は、例えばメモリセルとして、あるいは論理回路の構成要素等として用いることができる。図 30、図 31、または図 32 に示した構成要素のうちで図 13 に示した構成要素と機能が共通するものについては、図 13 で用いた参照符号と同じ参照符号を付してその説明を省略する。

【0140】

各半導体装置 600, 605, 610 における上記の NOR 回路 C_{NOR} は、互いに直列接続された 2 つの P チャネル MIS トランジスタ 320 P, 320 P と、これらの P チャネル MIS トランジスタ 320 P, 320 P に直列に接続された 2 つの N チャネル MIS トランジスタ 320 N, 320 N とによって構成されており、上記 2 つの N チャネル MIS トランジスタ 320 N, 320 N は互いに並列接続されている。

【0141】

各 P チャネル MIS トランジスタ 320 P でのソース領域およびドレイン領域（いずれも図示せず。）が形成される N 型ウェル 5 と、各 N チャネル MIS トランジスタ 320 N でのソース領域およびドレイン領域（いずれも図示せず。）が形成される P 型ウェル 3 とは互いに離隔して半導体基板 10 に形成されており、これらを平面視上横断するようにして 2 本のゲート電極 16 A₁, 16 A₂ が半導体基板 10 上に互いに並設されている。各ゲート電極 16 A₁, 16 A₂ のうちで N 型ウェル 5 と平面視上重なる領域が P チャネル MIS トランジスタ 320 P のゲート電極として機能し、P 型ウェル 3 と平面視上重なる領域が N チャネル MIS トランジスタ 320 N のゲート電極として機能する。なお、図 30 ~ 図 32 においては、P 型ウェル 3 および N 型ウェル 5 の各々を判り易くするために、これらにスマッジングを付してある。

【0142】

一方のゲート電極 16 A₁ は、N 型ウェル 5 と P 型ウェル 3 との平面視上の間の領域において、コンタクト（第 1 層コンタクトプラグ）C₅₁ を介して第 1 メタル配線 560 に接続されており、他方のゲート電極 16 A₂ は、N 型ウェル 5 と P 型ウェル 3 との平面視上の間の領域において、コンタクト（第 1 層コンタクトプラグ）C₅₂ を介して他の第 1 メタル配線 562 に接続されている。また、一方の P チャネル MIS トランジスタ 320 P でのソース領域はコンタクト C₅₃, C₅₄ を介して更に他の第 1 メタル配線（電源電圧線）565 に接続されており、他方の P チャネル MIS トランジスタ 320 P でのドレイン領域はコンタクト C₅₅, C₅₆ を介して更に他の第 1 メタル配線 570 の一端に接続されている

。

【0143】

第1メタル配線570の他端には、コンタクト C_{57} 、 C_{58} を介して、各NチャネルMISトランジスタ320Nでのソース領域が接続されている。一方のNチャネルMISトランジスタ320Nでのドレイン領域はコンタクト C_{59} 、 C_{60} を介して更に他の第1メタル配線（接地線）575に接続されており、他方のNチャネルMISトランジスタ320Nでのドレイン領域はコンタクト C_{61} を介して第1メタル配線575に接続されている。なお、第1メタル配線565はコンタクト $C_{65} \sim C_{68}$ により他のP型ウェル580にも接続されており、第1メタル配線575はコンタクト $C_{70} \sim C_{73}$ により他のN型ウェル585にも接続されている。

10

【0144】

図30に示す半導体装置600では、ゲート電極16A₂からみて各コンタクト C_{55} 、 C_{56} の外側に位置するようにして、かつN型ウェル5の側方に位置するようにして、ダミーゲートDG₁がゲート電極16A₂に並設されている。また、図31に示す半導体装置605では、ゲート電極16A₁からみて各コンタクト C_{53} 、 C_{54} の外側に位置するようにして、かつN型ウェル5の側方に位置するようにして、ダミーゲートDG₁がゲート電極16A₁に並設されている。そして、図32に示す半導体装置610では、一方のゲート電極16A₁からみて各コンタクト C_{53} 、 C_{54} の外側に位置するようにして、かつN型ウェル5の側方に位置するようにして、1つのダミーゲートDG₁がゲート電極16A₁に並設され、他方のゲート電極16A₂からみて各コンタクト C_{55} 、 C_{56} の外側に位置するようにして、かつN型ウェル5の側方に位置するようにして、他の1つのダミーゲートDG₁がゲート電極16A₂に並設されている。

20

【0145】

いずれの半導体装置600、605、610においても、ダミーゲートDG₁とゲート電極16A₁、16A₂とはテンサイルストレス膜（図示せず。）により覆われており、ダミーゲートDG₁と該ダミーゲートDG₁に近接するゲート電極16A₁またはゲート電極16A₂との間の間隙の大きさは、等方性の成膜方法によりテンサイルストレス膜を成膜したときに該テンサイルストレス膜のカバレッジ性が非等方的になる大きさに選定されている。ダミーゲートDG₁と該ダミーゲートDG₁に近接するゲート電極16A₁またはゲート電極16A₂との間でのテンサイルストレス膜の最小膜厚は、ゲート電極16A₁、16A₂上でのテンサイルストレス膜の膜厚よりも薄い。

30

【0146】

このように、各半導体装置600、605、610は実施の形態5で説明した本発明の半導体装置での基本構造が適用されたものであるので、実施の形態5で説明した技術的効果を奏する。

【0147】

実施の形態14.

実施の形態5、6で説明した本発明の半導体装置での各基本構造は、例えばNAND回路またはNOR回路を備えた1つの半導体装置に適用することができる。図33～図38の各々は、実施の形態5、6で説明した本発明の半導体装置での各基本構造が1つのNAND回路またはNOR回路に適用された半導体装置における活性領域（ウェル）、ゲート電極、およびダミーゲートの配置の一例を概略的に示す平面図である。これらの図に示す半導体装置650（図33参照）、半導体装置655（図34参照）、半導体装置660（図35参照）、半導体装置665（図36参照）、半導体装置670（図37参照）、および半導体装置675（図38参照）は、いずれも、半導体基板10に形成されたNAND回路またはNOR回路を備えたものであり、半導体基板10上にはダミーゲートDG₁、DG₂が配置されている。NAND回路やNOR回路は、前述のようにメモリセルとして、あるいは論理回路の構成要素等として用いることができる。

40

【0148】

なお、NAND回路での活性領域（ウェル）およびゲート電極の配置とNOR回路での

50

活性領域（ウェル）およびゲート電極の配置とは、互いに同じである。図 3 3～図 3 8 に示した構成要素のうちで図 2 7～図 2 9 または図 3 0～図 3 2 に示した構成要素と機能が共通するものについては、図 2 7～図 2 9 または図 3 0～図 3 2 で用いた参照符号と同じ参照符号を付してその説明を省略する。

【0149】

図 3 3 に示す半導体装置 6 5 0 では、1 つのダミーゲート DG_1 と 1 つのダミーゲート DG_2 とがゲート電極 1 6 A_2 に並設されている。ダミーゲート DG_1 は、ゲート電極 1 6 A_1 からみてのゲート電極 1 6 A_2 の外側において N 型ウェル 5 の側方に位置しており、ダミーゲート DG_2 は、ゲート電極 1 6 A_1 からみてのゲート電極 1 6 A_2 の外側において P 型ウェル 3 の縁部上に位置している。また、図 3 4 に示す半導体装置 6 5 5 では、1 つの
10

【0150】

図 3 5 に示す半導体装置 6 6 0 では、1 つのダミーゲート DG_1 と 1 つのダミーゲート DG_2 とがゲート電極 1 6 A_1 に並設され、他の 1 つのダミーゲート DG_1 と他の 1 つのダミーゲート DG_2 とがゲート電極 1 6 A_2 に並設されている。1 つのダミーゲート DG_1 は、ゲート電極 1 6 A_2 からみてのゲート電極 1 6 A_1 の外側において N 型ウェル 5 の側方に位置しており、他の 1 つのダミーゲート DG_1 は、ゲート電極 1 6 A_1 からみてのゲート電極 1 6 A_2 の外側において N 型ウェル 5 の側方に位置している。同様に、1 つのダミーゲート DG_2 は、ゲート電極 1 6 A_2 からみてのゲート電極 1 6 A_1 の外側において P 型ウェル 3 の縁部上に位置しており、他の 1 つのダミーゲート DG_2 は、ゲート電極 1 6 A_1 からみてのゲート電極 1 6 A_2 の外側において P 型ウェル 3 の縁部上に位置している。
20

【0151】

図 3 6 に示す半導体装置 6 6 5 では、1 つのダミーゲート DG がゲート電極 1 6 A_1 からみてのゲート電極 1 6 A_2 の外側において該ゲート電極 1 6 A_2 に並設されており、当該ダミーゲート DG のうちの一領域がダミーゲート DG_1 として、また他の一領域がダミーゲート DG_2 としてそれぞれ機能する。ダミーゲート DG_1 として機能する領域は N 型ウェル 5 の外側に位置しており、ダミーゲート DG_2 として機能する領域は P 型ウェル 3 の内縁から外縁に亘って位置している。図 3 6 においては、ダミーゲート DG のうちでダミーゲート DG_1 として機能する領域を参照符号「 DG_1 」で示し、ダミーゲート DG_2 として機能する領域を参照符号「 DG_2 」で示している。
30

【0152】

同様に、図 3 7 に示す半導体装置 6 7 0 では、1 つのダミーゲート DG がゲート電極 1 6 A_2 からみてのゲート電極 1 6 A_1 の外側において該ゲート電極 1 6 A_1 に並設されており、当該ダミーゲート DG のうちの一領域がダミーゲート DG_1 として、また他の一領域がダミーゲート DG_2 としてそれぞれ機能する。ダミーゲート DG_1 として機能する領域は N 型ウェル 5 の外側に位置しており、ダミーゲート DG_2 として機能する領域は P 型ウェル 3 の縁部上に位置している。図 3 7 においても、ダミーゲート DG のうちでダミーゲート DG_1 として機能する領域を参照符号「 DG_1 」で示し、ダミーゲート DG_2 として機能する領域を参照符号「 DG_2 」で示している。
40

【0153】

そして、図 3 8 に示す半導体装置 6 7 5 では、1 つのダミーゲート DG がゲート電極 1 6 A_2 からみてのゲート電極 1 6 A_1 の外側において該ゲート電極 1 6 A_1 に並設されており、他の 1 つのダミーゲート DG がゲート電極 1 6 A_1 からみてのゲート電極 1 6 A_2 の外側において該ゲート電極 1 6 A_2 に並設されている。個々のダミーゲート DG における一領域がダミーゲート DG_1 として機能し、他の一領域がダミーゲート DG_2 として機能する。各ダミーゲート DG のうちでダミーゲート DG_1 として機能する領域は N 型ウェル 5 の外側に位置しており、ダミーゲート DG_2 として機能する領域は P 型ウェル 3 の縁部上に
50

位置している。図 38 においても、ダミーゲート DG のうちでダミーゲート DG₁ として機能する領域を参照符号「DG₁」で示し、ダミーゲート DG₂ として機能する領域を参照符号「DG₂」で示している。

【0154】

いずれの半導体装置 650, 655, 660, 665, 670, 675 においても、各ダミーゲート DR₁, DG₂ (ダミーゲート DG での一領域からなるものを含む。) および各ゲート電極 16A₁, 16A₂ は 1 つのテンサイルストレス膜 (図示せず。) により覆われている。ダミーゲート DG₁ (ダミーゲート DG での一領域からなるものを含む。) と該ダミーゲート DG₁ に近接するゲート電極 16A₁ またはゲート電極 16A₂ との間の間隙の大きさは、等方性の成膜方法によりテンサイルストレス膜を成膜したときに該テンサイルストレス膜のカバレッジ性が非等方的になる大きさに選定されている。一方、ダミーゲート DG₂ (ダミーゲート DG での一領域からなるものを含む。) と該ダミーゲート DG₂ に近接するゲート電極 16A₁ またはゲート電極 16A₂ との間の間隙の大きさは、テンサイルストレス膜を等方的に成膜したときのゲート電極 16A₁, 16A₂ 上での当該テンサイルストレス膜の膜厚の 2 倍に相当する値以下に選定されている。

【0155】

そして、ダミーゲート DG₁ とゲート電極 16A₁ またはゲート電極 16A₂ との間でのテンサイルストレス膜の最小膜厚はゲート電極 16A₁, 16A₂ 上でのテンサイルストレス膜の膜厚よりも薄く、ダミーゲート DG₂ とゲート電極 16A₁, 16A₂ との間でのテンサイルストレス膜の最小膜厚はゲート電極 16A₁, 16A₂ 上でのテンサイルストレス膜の膜厚よりも厚い。

【0156】

このように、各半導体装置 650, 655, 660, 665, 670, 675 は、実施の形態 5 で説明した本発明の半導体装置での基本構造と実施の形態 6 で説明した本発明の半導体装置での基本構造との両方が適用されたものであるので、実施の形態 5, 6 の各々で説明した技術的効果を奏する。

【0157】

以上、実施の形態として 14 の形態を挙げて本発明の半導体装置について詳述したが、本発明は上記の各形態に限定されるものではなく、種々の変形、修飾、組合せ等が可能である。例えば、実施の形態 1 ~ 4 で説明した本発明での基本構造は、コア回路部を有する一方で周辺回路部を有していない半導体装置に適用することもできる。すなわち、CPU コア回路やメモリコア回路等のコア回路部を備え、周辺回路部は備えていない半導体装置においては、CPU コア回路やメモリコア回路等の辺縁部での M I S トランジスタの集積密度の方が中央部での M I S トランジスタの集積密度に比べて相対的に低くなるので、このような半導体装置には実施の形態 1 ~ 4 で説明した本発明での基本構造を適用することができる。

【0158】

また、NAND 回路を備えた半導体装置や NOR 回路を備えた半導体装置に実施の形態 6 で説明した本発明の半導体装置での基本構造を適用することもできるし、インバータ回路、NAND 回路、または NOR 回路を備えた半導体装置に実施の形態 7, 8 で説明した本発明の半導体装置での各基本構造の少なくとも一方を適用することもできる。

【0159】

さらには、実施の形態 1 または実施の形態 2 で説明した本発明の半導体装置での基本構造と実施の形態 5 または実施の形態 6 で説明した本発明の半導体装置での基本構造とを組み合わせることもできるし、実施の形態 3 または実施の形態 4 で説明した本発明の半導体装置での基本構造と実施の形態 7 または実施の形態 8 で説明した本発明の半導体装置での基本構造とを組み合わせることもできる。

【0160】

図 39 は、実施の形態 1 で説明した本発明の半導体装置での基本構造と実施の形態 5 および実施の形態 6 で説明した本発明の半導体装置での各基本構造とが適用された半導体装

置での活性領域（ウェル）、ゲート電極、およびダミーゲートの配置の一例を概略的に示す平面図である。同図に示す半導体装置 700 は、MIS トランジスタの集積密度が相対的に高密度領域 HD と、MIS トランジスタの集積密度が相対的に低い低密度領域 LD とを有しており、高密度領域 HD にはダミーゲート DG が、また低密度領域 LD にはダミーゲート DG₂ がそれぞれ所定数ずつ配置されている。なお、図 39 に示した構成要素のうちで図 1、図 13、または図 14 に示した構成要素と機能が共通するものについては、図 1、図 13、または図 14 で用いた参照符号と同じ参照符号を付してその説明を省略する。

【0161】

図 39 には、高密度領域 HD に形成された N 型ウェル 5 および P 型ウェル 3 と、これらのウェル 5, 3 を平面視上横断するようにして半導体基板 10 上に配置された 7 本のゲート電極 16 B₁ ~ 16 B₇ と、ゲート電極 16 B₁ に並設された 1 つのダミーゲート DG と、ゲート電極 16 B₇ に並設された他の 1 つのダミーゲート DG が示されている。個々のゲート電極 16 B₁ ~ 16 B₇ において N 型ウェル 5 と平面視上重なる領域が P 型 MIS トランジスタ 20 P のゲート電極として機能し、P 型ウェル 3 と平面視上重なる領域が N 型 MIS トランジスタ 20 N のゲート電極として機能する。また、個々のダミーゲート DG のうちで N 型ウェル 5 の側方に位置する領域がダミーゲート DG₁ として機能し、P 型ウェル 3 の側方に位置する領域がダミーゲート DG₂ として機能する。なお、図 39 においては、ダミーゲート DG のうちでダミーゲート DG₁ として機能する領域を参照符号「DG₁」で示し、ダミーゲート DG₂ として機能する領域を参照符号「DG₂」で示している。

【0162】

また、図 39 には、低密度領域 LD に形成された 2 つの N 型ウェル 5, 5 と、1 つの N 型ウェル 5 に 1 つが対応するようにして半導体基板 10 上に配置されて対応する N 型ウェル 5 を平面視上横断する 2 本のゲート電極 16 と、1 本のゲート電極 16 に 2 つずつ並設された計 4 つのダミーゲート DG₁ が示されている。各ゲート電極 16 は、いずれも、P 型 MIS トランジスタ 30 P のゲート電極として機能するものであり、1 本のゲート電極 16 に対応する 2 つのダミーゲート DG₁ はゲート電極 16 を挟んで対峙している。なお、図 39 においては、P 型ウェル 3 および N 型ウェル 5 の各々を判り易くするために、これらにスマッジングを付してある。

【0163】

このような構成を有する半導体装置 700 においては、半導体基板 10 の上面および各 MIS トランジスタを覆うようにして、図示を省略したテンサイルストレス膜が成膜されている。このテンサイルストレス膜の膜厚は、図 1 に示したテンサイルストレス膜 40 T におけるのと同様に、各 P チャネル MIS トランジスタ 20 P および各 N チャネル MIS トランジスタ 20 N それぞれのゲート電極上では実質的に一定であり、P チャネル MIS トランジスタ 30 P のゲート電極上で最も薄い。

【0164】

また、ゲート電極 16 B₁ と該ゲート電極 16 B₁ に近接するダミーゲート DG₁（ダミーゲート DG のうちでダミーゲート DG₁ として機能する領域）との間の間隙の大きさ、およびゲート電極 16 B₇ と該ゲート電極 16 B₇ に近接するダミーゲート DG₁（ダミーゲート DG のうちでダミーゲート DG₁ として機能する領域）との間の間隙の大きさは、それぞれ、等方性の成膜方法によりテンサイルストレス膜を成膜したときに該テンサイルストレス膜のカバレッジ性が非等方的になる大きさに選定されている。同様に、個々のゲート電極 16 と該ゲート電極 16 に対応する 2 つのダミーゲート DG₁ の各々との間の間隙の大きさも、等方性の成膜方法によりテンサイルストレス膜を成膜したときに該テンサイルストレス膜のカバレッジ性が非等方的になる大きさに選定されている。

【0165】

そして、ゲート電極 16 B₁ と該ゲート電極 16 B₁ に近接するダミーゲート DG₂（ダミーゲート DG のうちでダミーゲート DG₂ として機能する領域）との間の間隙の大きさ

、およびゲート電極 16 B₇と該ゲート電極 16 B₇に近接するダミーゲート D G₂（ダミーゲート D Gのうちでダミーゲート D G₂として機能する領域）との間の間隙の大きさは、それぞれ、テンサイルストレス膜を等方的に成膜したときのゲート電極 16 B₁、16 B₇上でのテンサイルストレス膜の膜厚の 2 倍に相当する値以下に設定されている。

【0166】

このように、半導体装置 700 は、実施の形態 1 で説明した本発明の半導体装置での基本構造と、実施の形態 5 で説明した本発明の半導体装置での基本構造と、実施の形態 6 で説明した本発明の半導体装置での基本構造とが適用されたものであるので、実施の形態 1、5、6 の各々で説明した技術的效果を奏する。

【0167】

本発明の半導体装置を構成する M I S トランジスタの構成は、当該半導体装置に求められる性能等に応じて適宜選定可能である。例えば L D D（Lightly Doped Drain）構造の M I S トランジスタを用いると、高性能の半導体装置を得易くなる。

【0168】

図 40 は、L D D 構造の M I S トランジスタの一例を概略的に示す断面図である。同図に示す M I S トランジスタ 720 では、半導体基板 10 に設けられた活性領域（ウェル）705 の所定箇所に 2 つの不純物拡散領域 712、712 が互いに離隔して形成され、各不純物拡散領域 712 におけるチャンネル側の端部には、当該不純物拡散領域 712 に比べて不純物の注入深さが浅く、不純物濃度も低いエクステンション部 713 が連なっている。半導体基板 710 上にゲート絶縁膜 714 を介してゲート電極 716 が配置され、該ゲート電極 713 の線幅方向両側にはオフセットスペーサ膜 717 が形成されている。サイドウォールスペーサ 718 は、オフセットスペーサ膜 717 に接して配置されている。

【0169】

上記の M I S トランジスタ 720 における各不純物拡散領域 712 は、金属シリサイド化されていない非シリサイド化領域 712 i と、該非シリサイド化領域 712 i 上に形成された金属シリサイド領域 712 s とからなっており、ゲート電極 716 は、ポリシリコン領域 716 p と該ポリシリコン領域 716 p 上に形成された金属シリサイド領域 716 s とからなっている。また、オフセットスペーサ膜 717 はエクステンション部 713 を形成する際のスペーサとして利用されるものであり、例えばシリコン酸化物、シリコン酸窒化物等によって形成される。各サイドウォールスペーサ 718 は不純物拡散領域 712 を形成する際のスペーサとして利用される。図示のサイドウォールスペーサ 718 は、例えばシリコン酸化物からなる内層 718 a と例えばシリコン窒化物からなる外層 718 b との積層構造を有している。

【0170】

なお、M I S トランジスタを L D D 構造とするにあたっては、各不純物拡散領域を非シリサイド化領域のみによって構成することも可能である。また、ゲート電極をポリシリコン（不純物をドーブしたもの）または金属シリサイドからなる単層構造とすることも可能である。さらに、サイドウォールスペーサを単層構造とすることも可能である。本発明の半導体装置においては、上述した以外にも種々の変形、修飾、組合せ等が可能である。

【図面の簡単な説明】

【0171】

【図 1】本発明の半導体装置での基本構造の一例を概略的に示す断面図である。

【図 2】本発明の半導体装置での基本構造の他の例を概略的に示す断面図である。

【図 3】本発明の半導体装置のうちでコンプレッシブストレス膜を備えているものの基本構造の一例を概略的に示す断面図である。

【図 4】本発明の半導体装置のうちでコンプレッシブストレス膜を備えているものの基本構造の他の例を概略的に示す断面図である。

【図 5】図 1 を用いて説明した本発明の半導体装置での基本構造が適用された S R A M 混載ロジックデバイスの一例を概略的に示す断面図である。

【図 6】図 2 を用いて説明した本発明の半導体装置での基本構造が適用された S R A M 混

10

20

30

40

50

載ロジックデバイスの一例を概略的に示す断面図である。

【図 7】図 3 を用いて説明した本発明の半導体装置での基本構造が適用された S R A M 混載ロジックデバイスの一例を概略的に示す断面図である。

【図 8】図 4 を用いて説明した本発明の半導体装置での基本構造が適用された S R A M 混載ロジックデバイスの一例を概略的に示す断面図である。

【図 9】図 1 を用いて説明した本発明の半導体装置での基本構造が適用された D R A M 混載ロジックデバイスの一例を概略的に示す断面図である。

【図 1 0】図 2 を用いて説明した本発明の半導体装置での基本構造が適用された D R A M 混載ロジックデバイスの一例を概略的に示す断面図である。

【図 1 1】図 3 を用いて説明した本発明の半導体装置での基本構造が適用された D R A M 混載ロジックデバイスの一例を概略的に示す断面図である。

【図 1 2】図 4 を用いて説明した本発明の半導体装置での基本構造が適用された D R A M 混載ロジックデバイスの一例を概略的に示す断面図である。

【図 1 3】本発明の半導体装置での基本構造の更に他の例での活性領域（ウェル）とゲート電極との平面配置および断面構造を示す概略図である。

【図 1 4】本発明の半導体装置での基本構造の更に他の例での活性領域（ウェル）とゲート電極との平面配置および断面構造を示す概略図である。

【図 1 5】本発明の半導体装置での基本構造の更に他の例での活性領域（ウェル）とゲート電極との平面配置および断面構造を示す概略図である。

【図 1 6】本発明の半導体装置での基本構造の更に他の例での活性領域（ウェル）とゲート電極との平面配置および断面構造を示す概略図である。

【図 1 7】実施の形態 5 で説明した本発明の半導体装置での基本構造がインバータ回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、ダミーゲート、第 1 層コンタクトプラグ、および第 1 メタル配線の配置の一例を概略的に示す平面図である。

【図 1 8】実施の形態 5 で説明した本発明の半導体装置での基本構造がインバータ回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、ダミーゲート、第 1 層コンタクトプラグ、および第 1 メタル配線の配置の他の例を概略的に示す平面図である。

【図 1 9】実施の形態 5 で説明した本発明の半導体装置での基本構造がインバータ回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、ダミーゲート、第 1 層コンタクトプラグ、および第 1 メタル配線の配置の更に他の例を概略的に示す平面図である。

【図 2 0】実施の形態 6 で説明した本発明の半導体装置での基本構造がインバータ回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、ダミーゲート、第 1 層コンタクトプラグ、および第 1 メタル配線の配置の一例を概略的に示す平面図である。

【図 2 1】実施の形態 6 で説明した本発明の半導体装置での基本構造がインバータ回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、ダミーゲート、第 1 層コンタクトプラグ、および第 1 メタル配線の配置の他の例を概略的に示す平面図である。

【図 2 2】実施の形態 6 で説明した本発明の半導体装置での基本構造がインバータ回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、ダミーゲート、第 1 層コンタクトプラグ、および第 1 メタル配線の配置の更に他の例を概略的に示す平面図である。

【図 2 3】実施の形態 5, 6 で説明した本発明の半導体装置での各基本構造が 1 つのインバータ回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、およびダミーゲートの配置の一例を概略的に示す平面図である。

【図 2 4】実施の形態 5, 6 で説明した本発明の半導体装置での各基本構造が 1 つのインバータ回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、およびダミーゲートの配置の他の例を概略的に示す平面図である。

【図 2 5】実施の形態 5, 6 で説明した本発明の半導体装置での各基本構造が 1 つのインバータ回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、およびダミーゲートの配置の更に他の例を概略的に示す平面図である。

10

20

30

40

50

【図 2 6】実施の形態 5, 6 で説明した本発明の半導体装置での各基本構造が 1 つのインバータ回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、およびダミーゲートの配置の更に他の例を概略的に示す平面図である。

【図 2 7】実施の形態 5 で説明した本発明の半導体装置での基本構造が N A N D 回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、ダミーゲート、第 1 層コンタクトプラグ、および第 1 メタル配線の配置の一例を概略的に示す平面図である。

【図 2 8】実施の形態 5 で説明した本発明の半導体装置での基本構造が N A N D 回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、ダミーゲート、第 1 層コンタクトプラグ、および第 1 メタル配線の配置の他の例を概略的に示す平面図である。

【図 2 9】実施の形態 5 で説明した本発明の半導体装置での基本構造が N A N D 回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、ダミーゲート、第 1 層コンタクトプラグ、および第 1 メタル配線の配置の更に他の例を概略的に示す平面図である。

10

【図 3 0】実施の形態 5 で説明した本発明の半導体装置での基本構造が N O R 回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、ダミーゲート、第 1 層コンタクトプラグ、および第 1 メタル配線の配置の一例を概略的に示す平面図である。

【図 3 1】実施の形態 5 で説明した本発明の半導体装置での基本構造が N O R 回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、ダミーゲート、第 1 層コンタクトプラグ、および第 1 メタル配線の配置の他の例を概略的に示す平面図である。

【図 3 2】実施の形態 5 で説明した本発明の半導体装置での基本構造が N O R 回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、ダミーゲート、第 1 層コンタクトプラグ、および第 1 メタル配線の配置の更に他の例を概略的に示す平面図である。

20

【図 3 3】実施の形態 5, 6 で説明した本発明の半導体装置での各基本構造が 1 つの N A N D 回路または N O R 回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、およびダミーゲートの配置の一例を概略的に示す平面図である。

【図 3 4】実施の形態 5, 6 で説明した本発明の半導体装置での各基本構造が 1 つの N A N D 回路または N O R 回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、およびダミーゲートの配置の他の例を概略的に示す平面図である。

【図 3 5】実施の形態 5, 6 で説明した本発明の半導体装置での各基本構造が 1 つの N A N D 回路または N O R 回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、およびダミーゲートの配置の更に他の例を概略的に示す平面図である。

30

【図 3 6】実施の形態 5, 6 で説明した本発明の半導体装置での各基本構造が 1 つの N A N D 回路または N O R 回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、およびダミーゲートの配置の更に他の例を概略的に示す平面図である。

【図 3 7】実施の形態 5, 6 で説明した本発明の半導体装置での各基本構造が 1 つの N A N D 回路または N O R 回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、およびダミーゲートの配置の更に他の例を概略的に示す平面図である。

【図 3 8】実施の形態 5, 6 で説明した本発明の半導体装置での各基本構造が 1 つの N A N D 回路または N O R 回路に適用されている半導体装置での活性領域（ウェル）、ゲート電極、およびダミーゲートの配置の更に他の例を概略的に示す平面図である。

40

【図 3 9】実施の形態 1 で説明した本発明の半導体装置での基本構造と実施の形態 5 および実施の形態 6 で説明した本発明の半導体装置での各基本構造とが適用された半導体装置での活性領域（ウェル）、ゲート電極、およびダミーゲートの配置の一例を概略的に示す平面図である。

【図 4 0】L D D 構造の M I S トランジスタの一例を概略的に示す断面図である。

【符号の説明】

【0 1 7 2】

1 0 半導体基板

1 4 ゲート絶縁膜

1 6, 1 6 A, 1 6 A₁, 1 6 A₂, 1 6 B₁ ~ 1 6 B₇ ゲート電極

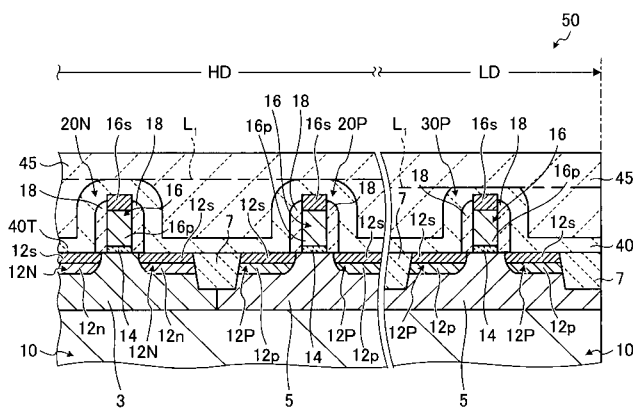
50

20P PチャネルMISトランジスタ（第1類MISトランジスタ）
 20N NチャネルMISトランジスタ（第1類MISトランジスタ）
 30P PチャネルMISトランジスタ（第2類MISトランジスタ）
 30N NチャネルMISトランジスタ（第2類MISトランジスタ）
 40T, 41T 電気絶縁膜（テンサイルストレス膜）
 42C, 43C 電気絶縁膜（コンプレッシブストレス膜）
 50, 55, 60, 65 半導体装置
 200, 205, 210, 215, 220, 225, 230, 235 半導体装置
 320P PチャネルMISトランジスタ
 320N NチャネルMISトランジスタ
 330, 335, 340, 345 半導体装置
 400, 405, 410 半導体装置
 420, 425, 430, 440, 445, 450, 455 半導体装置
 500, 505, 510 半導体装置
 600, 605, 610 半導体装置
 650, 655, 660, 665, 670, 675 半導体装置
 700 半導体装置
 HD 高密度領域
 LD 低密度領域
 C_{INV} インバータ回路
 C_{NAND} NAND回路
 C_{NOR} NOR回路
 DG, DG₁, DG₂ ダミーゲート

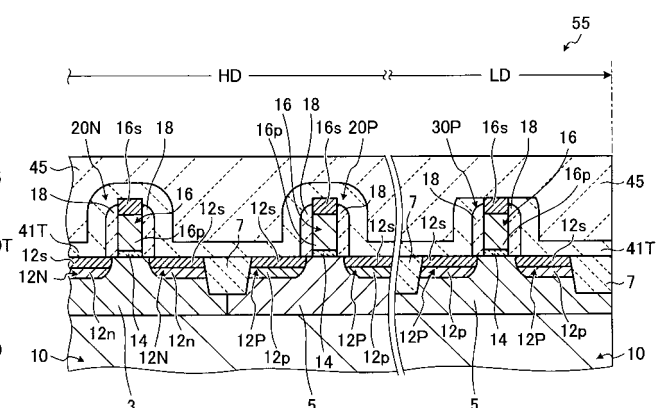
10

20

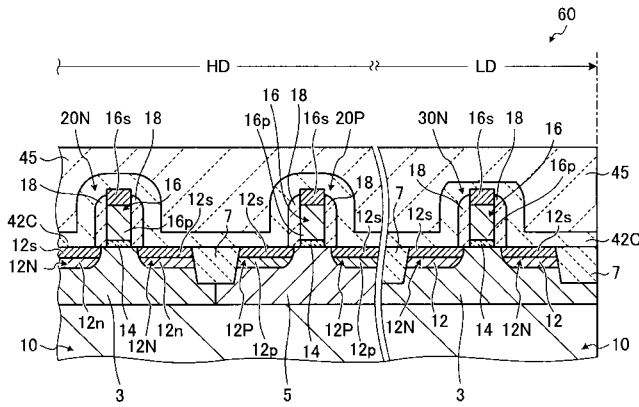
【図1】



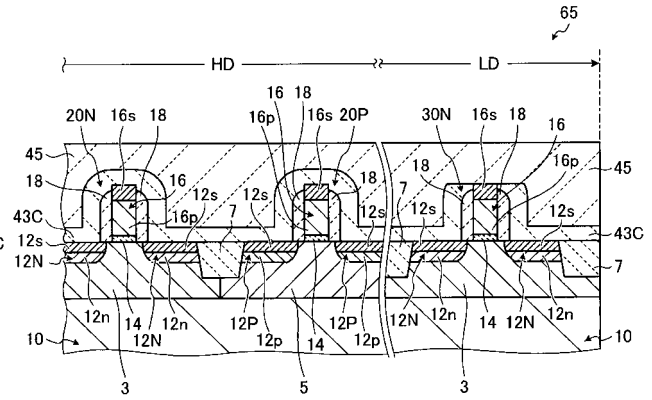
【図2】



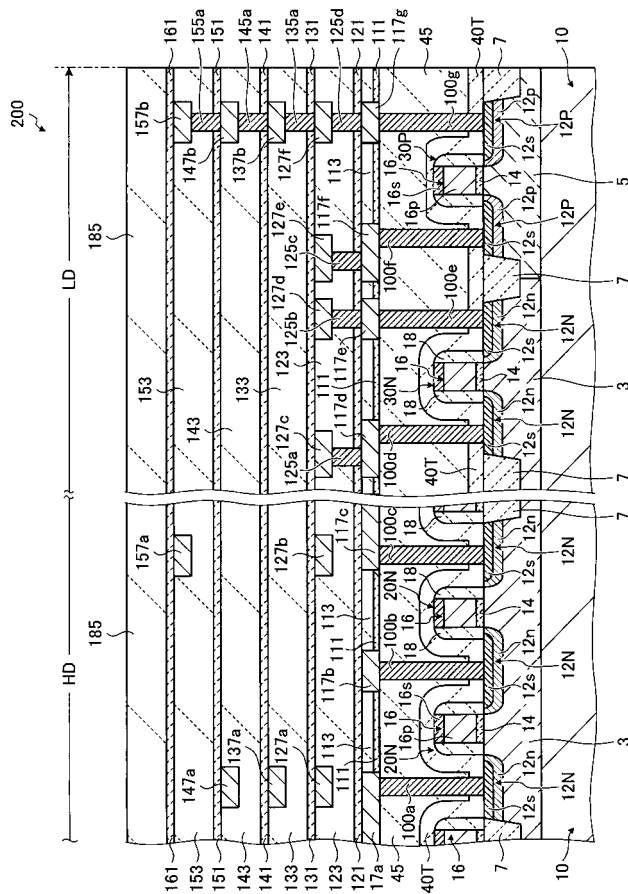
【図 3】



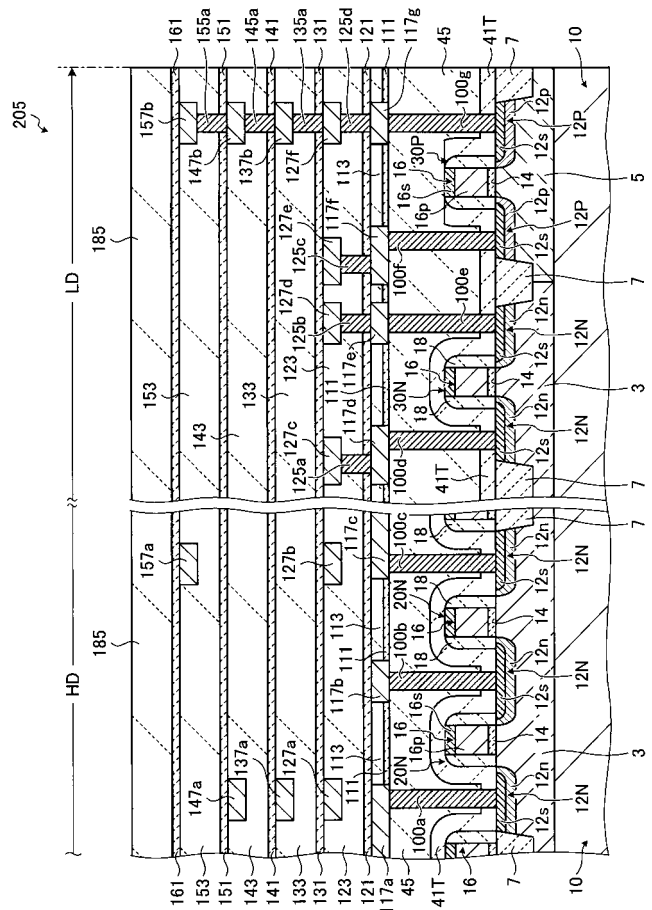
【図 4】



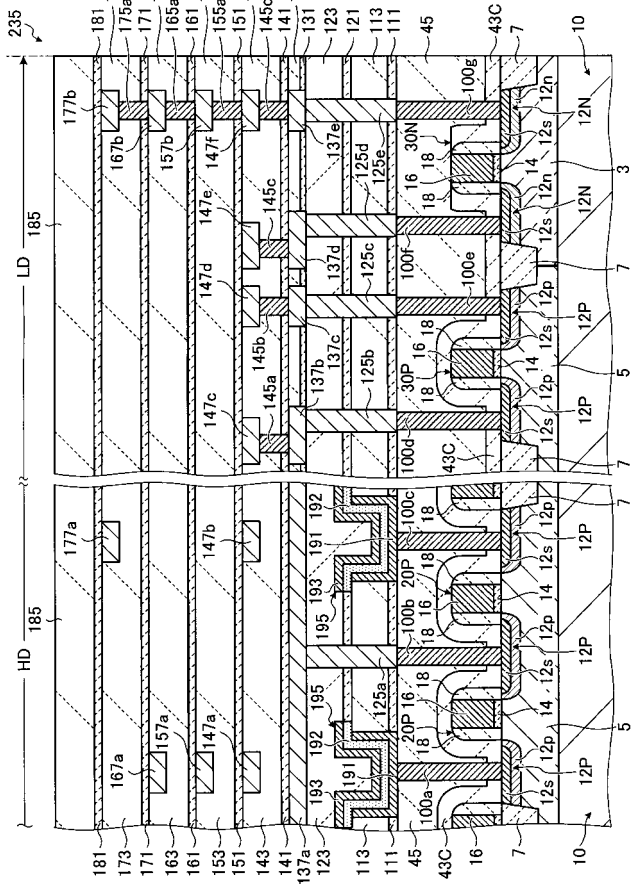
【図 5】



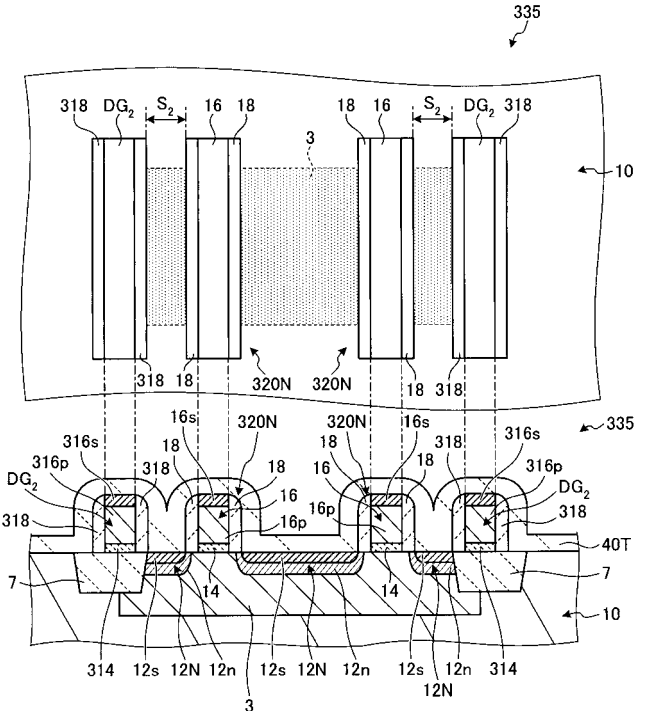
【図 6】



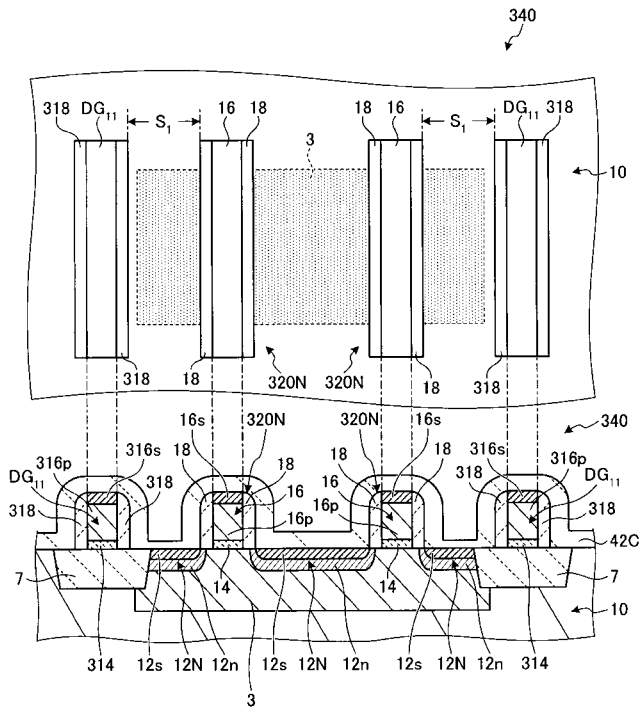
【 図 1 2 】



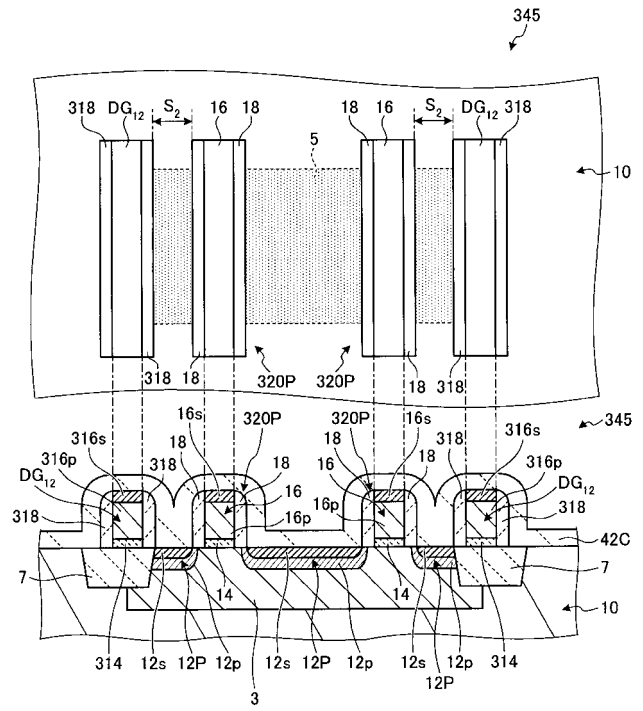
【図 14】



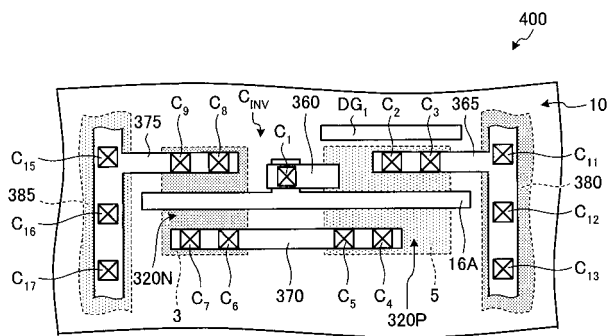
【図 15】



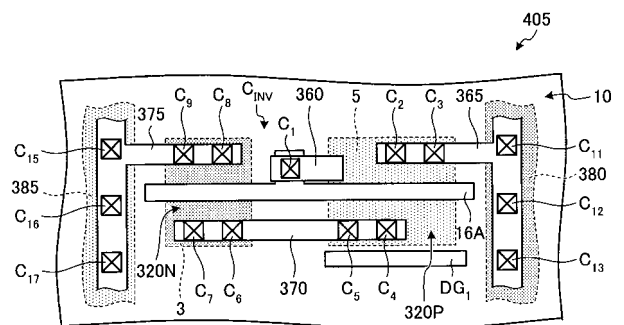
【図 16】



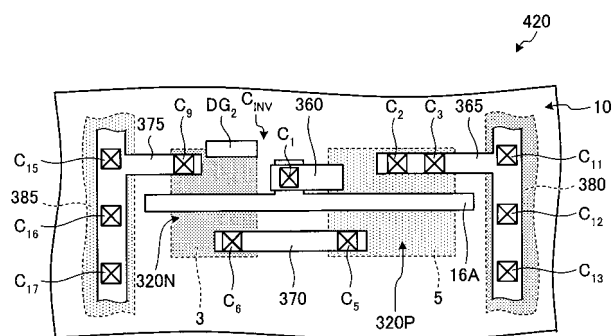
【図 17】



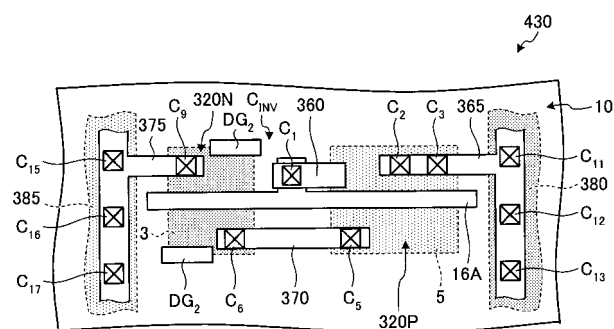
【図 18】



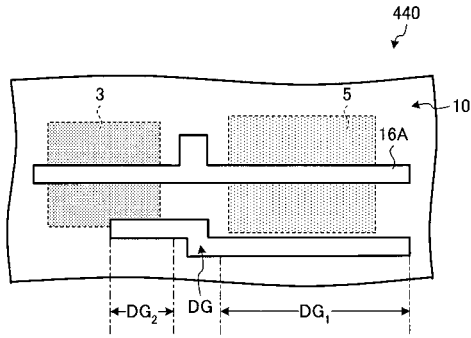
【図 20】



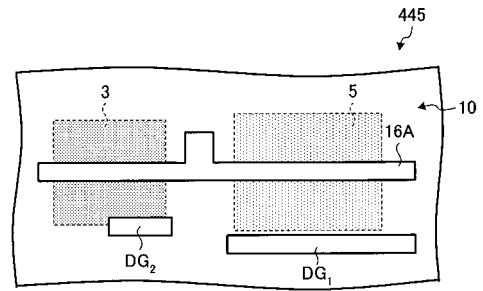
【図 2 2】



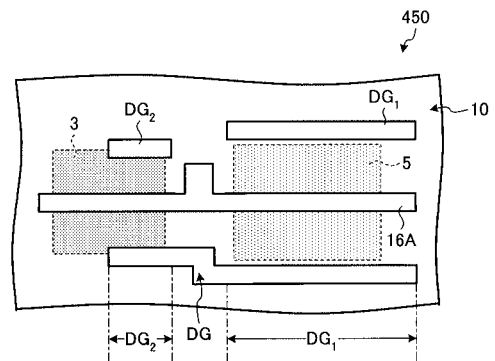
【図 2 3】



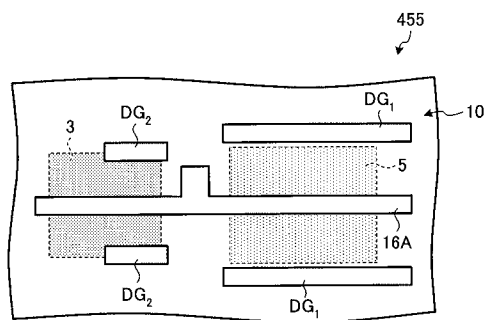
【図 2 4】



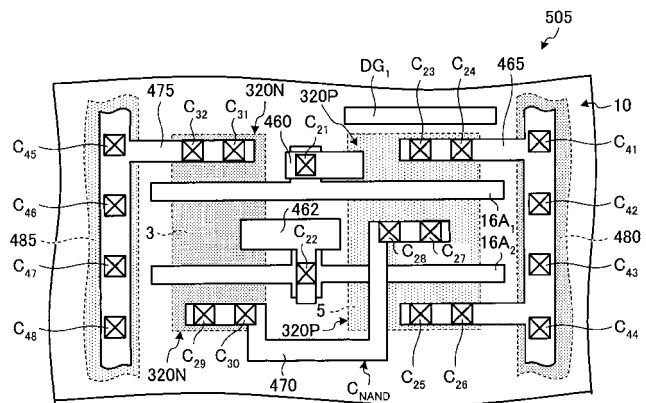
【図 2 5】



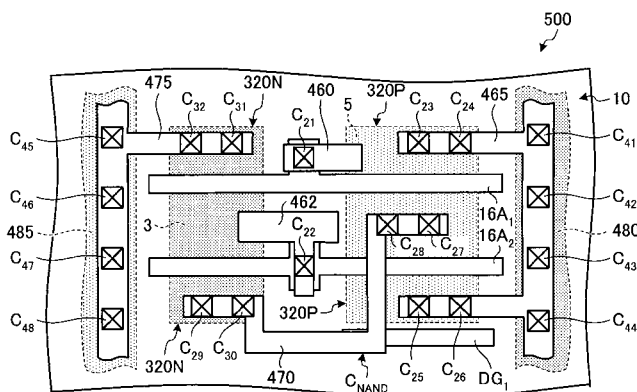
【図 2 6】



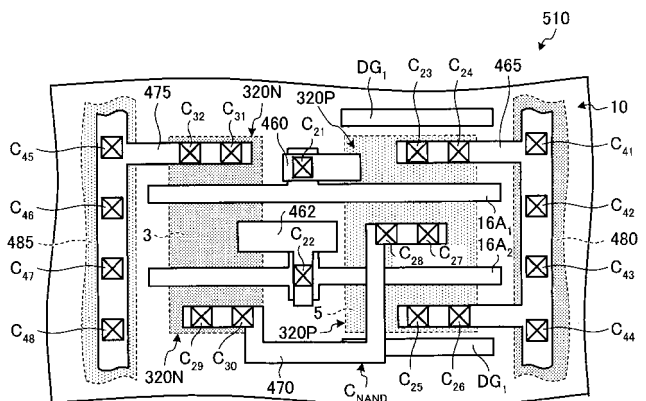
【図 2 8】



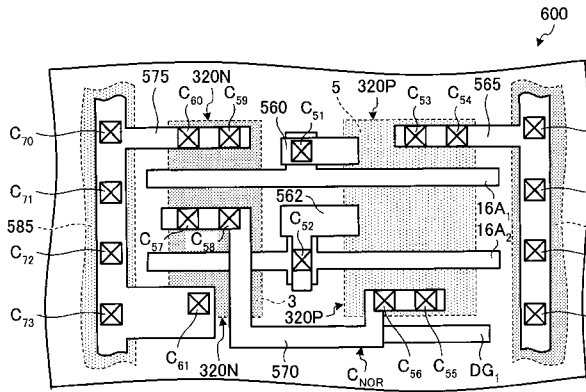
【図 2 7】



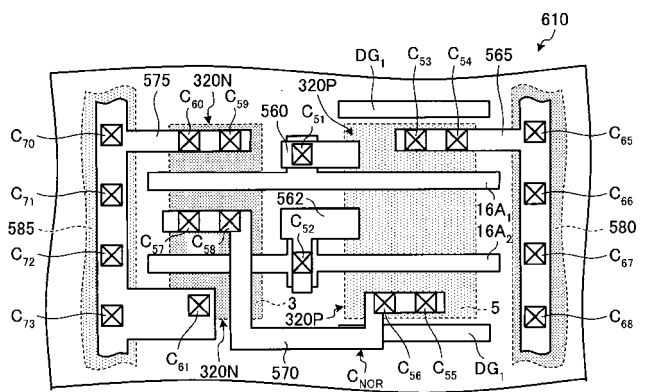
【図 2 9】



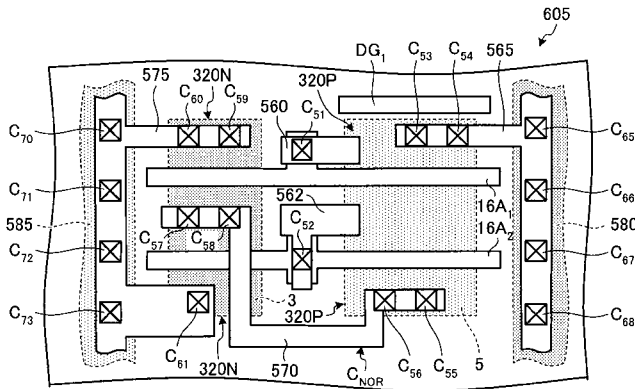
【図 30】



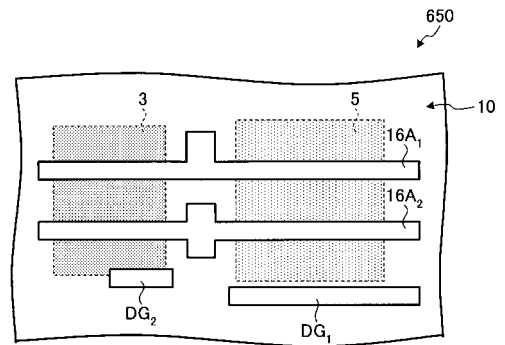
【図 32】



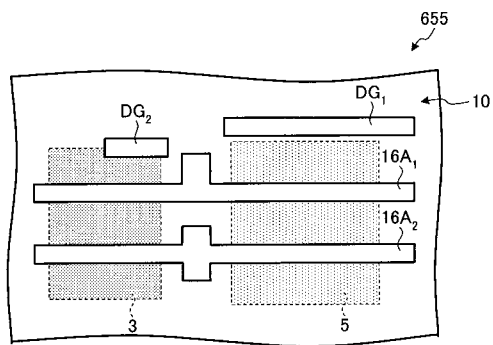
【図 31】



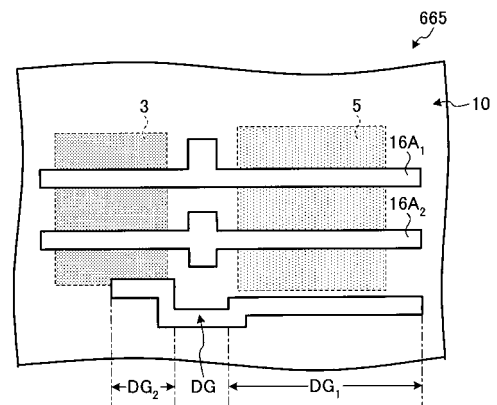
【図 33】



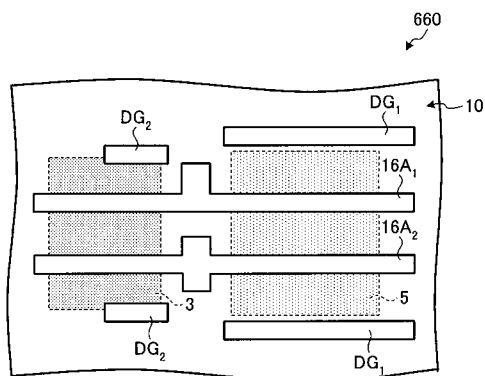
【図 34】



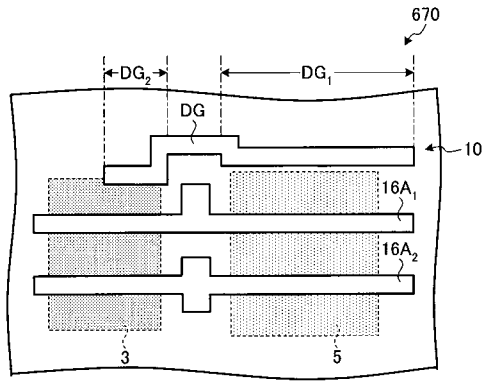
【図 36】



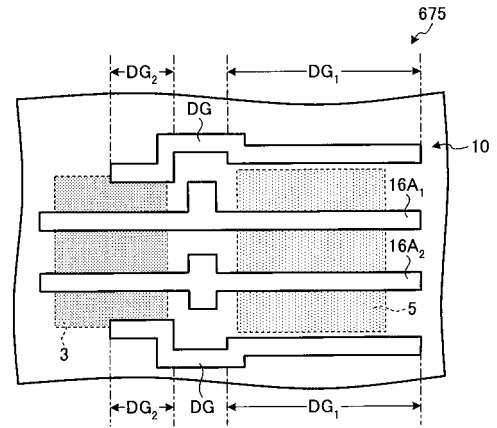
【図 35】



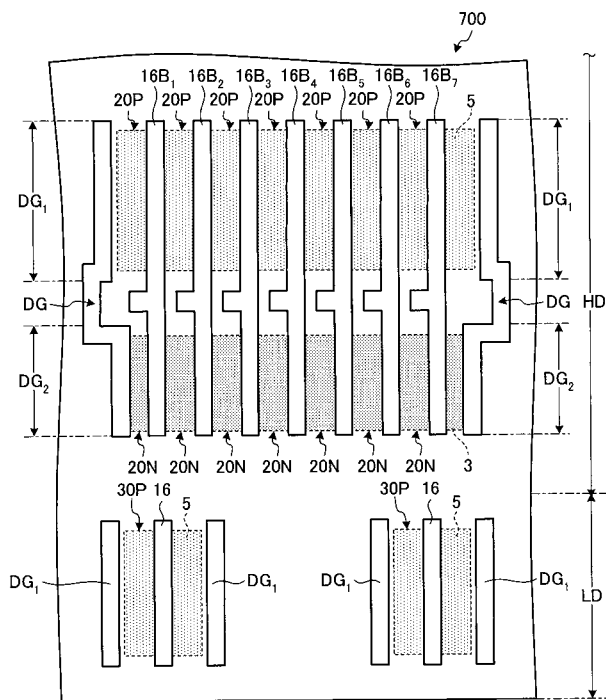
【図 37】



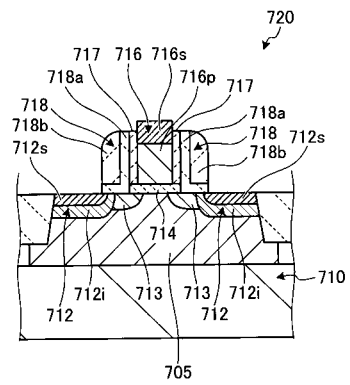
【図 38】



【図 39】



【図 40】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H 0 1 L 27/08 (2006.01)**H 0 1 L 29/786 (2006.01)**

F ターム(参考) 5F083 AD24 BS14 BS27 HA02 JA53 MA06 MA16 MA17 MA19 NA01
NA08 PR39 PR40 ZA01 ZA12 ZA28
5F110 AA01 BB04 BB07 CC02 DD05 DD13 EE05 EE09 EE14 EE31
FF02 FF04 GG02 GG12 HK05 HM15 NN03 NN05 NN23 NN24
NN35 NN62 QQ19