



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I555019 B

(45) 公告日：中華民國 105 (2016) 年 10 月 21 日

(21) 申請案號：103108220 (22) 申請日：中華民國 103 (2014) 年 03 月 10 日

(51) Int. Cl. : G11C11/16 (2006.01) G11C29/42 (2006.01)

(30) 優先權：2013/03/14 美國 13/804,598

(71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72) 發明人：肯尼 韋恩 KINNEY, WAYNE (US)；珊得胡 高提傑 S SANDHU, GURTEJ S.

(US)

(74) 代理人：陳長文

(56) 參考文獻：

TW	I261912B	US	6654278B1
US	7154798B2	US	8116123B2
US	8363442B2	US	2010/0002501A1
US	2011/0080773A1		

審查人員：鄧嘉琳

申請專利範圍項數：32 項 圖式數：2 共 24 頁

(54) 名稱

選擇性自參照讀取

SELECTIVE SELF-REFERENCE READ

(57) 摘要

本發明係關於以增加之準確性選擇性地執行一讀取，諸如自一記憶體之一自參照讀取。在一項態樣中，自一記憶體陣列之諸如磁阻式隨機存取記憶體(MRAM)單元之記憶體單元讀取資料。回應於偵測到與自該等記憶體單元讀取相關聯之一條件，可自該等記憶體單元中之至少一者執行一自參照讀取。例如，該條件可指示自該等記憶體單元讀取之資料係不可經由錯誤校正碼(ECC)之解碼而校正的。與總是執行自參照讀取相比，選擇性地執行自參照讀取可減少與自該記憶體讀取相關聯之電力消耗及/或延時。

This disclosure relates to selectively performing a read with increased accuracy, such as a self-reference read, from a memory. In one aspect, data is read from memory cells, such as magnetoresistive random access memory (MRAM) cells, of a memory array. In response to detecting a condition associated with reading from the memory cells, a self-reference read can be performed from at least one of the memory cells. For instance, the condition can indicate that data read from the memory cells is uncorrectable via decoding of error correction codes (ECC). Selectively performing self-reference reads can reduce power consumption and/or latency associated with reading from the memory compared to always performing self-reference reads.

指定代表圖：

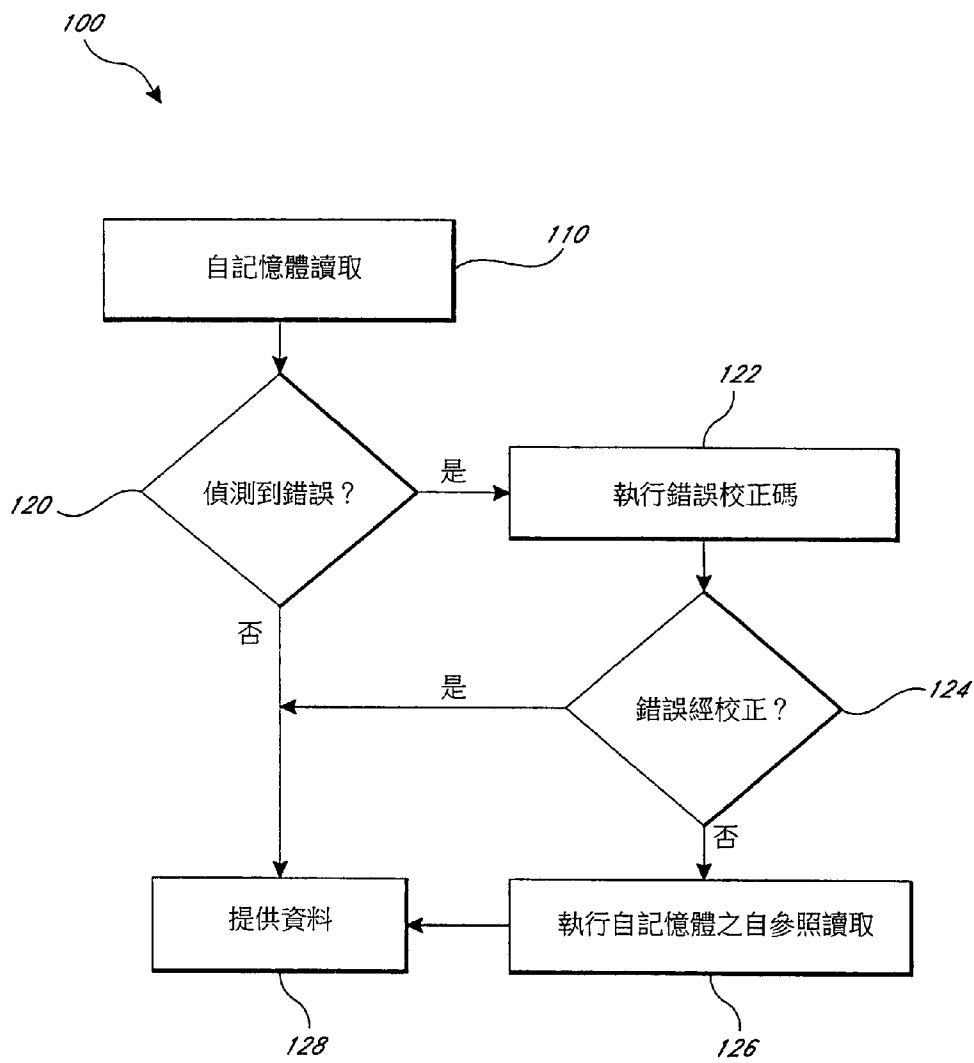


圖 1

## 發明摘要

公告本

※ 申請案號：103108220

※ 申請日：103.3.10

※IPC 分類：G11C 11/16 (2006.01)

29/42 (2006.01)

## 【發明名稱】

選擇性自參照讀取

SELECTIVE SELF-REFERENCE READ

## 【中文】

本發明係關於以增加之準確性選擇性地執行一讀取，諸如自一記憶體之一自參照讀取。在一項態樣中，自一記憶體陣列之諸如磁阻式隨機存取記憶體(MRAM)單元之記憶體單元讀取資料。回應於偵測到與自該等記憶體單元讀取相關聯之一條件，可自該等記憶體單元中之至少一者執行一自參照讀取。例如，該條件可指示自該等記憶體單元讀取之資料係不可經由錯誤校正碼(ECC)之解碼而校正的。與總是執行自參照讀取相比，選擇性地執行自參照讀取可減少與自該記憶體讀取相關聯之電力消耗及/或延時。

## 【英文】

This disclosure relates to selectively performing a read with increased accuracy, such as a self-reference read, from a memory. In one aspect, data is read from memory cells, such as magnetoresistive random access memory (MRAM) cells, of a memory array. In response to detecting a condition associated with reading from the memory cells, a self-reference read can be performed from at least one of the memory cells. For instance, the condition can indicate that data read from the memory cells is uncorrectable via decoding of error correction codes (ECC). Selectively performing self-reference reads can reduce power consumption and/or latency associated with reading from the memory compared to always performing self-reference reads.

**【代表圖】**

**【本案指定代表圖】**：第（1）圖。

**【本代表圖之符號簡單說明】**：

無

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

選擇性自參照讀取

SELECTIVE SELF-REFERENCE READ

## 【技術領域】

本發明一般而言係關於電子器件，且特定而言係關於記憶體裝置。

## 【先前技術】

讀取錯誤可發生於諸如磁阻式隨機存取記憶體(MRAM)之各種類型之記憶體中。MRAM係其中可藉由調整一記憶體單元之一磁性穿隧接面(MTJ)之一電阻而儲存資料之一非揮發性記憶體形式。例如，一MTJ之電阻可在一高電阻狀態與一低電阻狀態之間切換。在一MRAM中，一電流感應磁場可切換MTJ之磁化以在狀態之間切換。

特定類型之記憶體可遭遇相對高讀取錯誤率。此等錯誤率可由數個不同源極或機構或記憶體之非均勻性造成。由於製造之非均勻性，相同記憶體陣列中之不同記憶體單元可彼此不匹配。例如，在儲存二進制狀態之某些MRAM中，針對相同記憶體陣列中之記憶體單元，記憶體單元之變化性可致使低電阻狀態及高電阻狀態兩者之電阻之分佈之一相對高變化。某些方式之自一MRAM之讀取(諸如一自參照讀取)可遭遇較少錯誤但消耗較高電力且亦可增大用於自記憶體存取資料之延時。

因此，需要自諸如MRAM之記憶體準確地且高效地讀取。

## 【圖式簡單說明】

本文中之此等圖式及相關聯之說明經提供以圖解說明本發明之

特定實施例且不意欲具限制性。

圖1係根據一實施例之自一記憶體讀取資料之一說明性方法之一流程圖。

圖2係根據一實施例之一說明性記憶體之一示意圖。

為避免說明之重複，具有相同或類似功能之組件可由相同參照編號指代。

### 【實施方式】

儘管在本文中闡述特定實施例，但包含不提供本文中所陳述之所有益處及特徵之實施例之其他實施例將對熟習此項技術者顯而易見。

如上文所論述，記憶體可遭遇讀取錯誤。例如，MRAM單元可具有諸如一高電阻狀態及一低電阻狀態之不同狀態中之電阻之間的一相對小差。MRAM及其他記憶體之變化可促成相對高讀取錯誤率。舉例而言，相同記憶體陣列中之某些磁性穿隧界面自旋扭矩轉移磁阻式隨機存取記憶體(MTJ STT-MRAM)單元可具有低電阻狀態及高電阻狀態兩者中之電阻之一相對高分佈。在特定例項中，可存在具有與相同記憶體陣列中之其他單元之高電阻狀態之分佈重疊之一低狀態電阻之MTJ STT-MRAM單元。另一選擇係或另外，一信號路徑之一有效電阻之變化可致使讀取錯誤。一記憶體單元中之一存取電晶體之變化及/或數位線電阻之變化可致使信號路徑之有效電阻之變化。由信號路徑之電阻之一變化所導致之讀取錯誤可甚至在處於相同狀態中之MTJ單元之電阻在一緊密分佈內時亦發生。

儘管本發明可出於說明性之目的連同MRAM一起闡述實例，但本文中所闡述之原理及優點可應用於其他適合類型之記憶體。本文中所闡述之原理及優點可應用於其中存在可導致一讀取錯誤之記憶體單元及/或信號路徑之寄生電阻之一變化之任何記憶體。舉例而言，本

文中所闡述之特徵之任何組合可應用於包含在不同狀態中具有不同電阻之一記憶體元件之任何記憶體單元，可在判定自此等記憶體單元讀取之資料時偵測該等電阻。具有在不同狀態中具有不同電阻之記憶體元件之記憶體單元之某些實例包含：包含STT-MRAM單元之MRAM單元及正交自旋轉磁阻式隨機存取記憶體(ST-MRAM)單元、包含導電橋接隨機存取記憶體(CBRAM)之電阻式隨機存取記憶體(RRAM或ReRAM)單元、鐵電隨機存取記憶體(F-RAM)單元、互補方法氧化物記憶體(CMOx)單元、相變記憶體(PCM或PRAM)單元及諸如此類。

一MRAM單元之狀態可藉由比較來自一記憶體陣列之一值與一參照值判定。參照值可自一參照單元獲得，該參照單元經程式化至一狀態以使得參照單元返回與一記憶體單元之不同狀態(諸如一高電阻狀態及一低電阻狀態)相關聯之值之間的一值。藉由比較與一所選擇記憶體單元相關聯之一值與一參照值自一MRAM之讀取可稱為一標準參照讀取。在特定例項中，由於上文所論述之變化，一單個參照值可不足以(舉例而言)自所有記憶體單元準確地讀取。

用以判定諸如一MTJ STT-MRAM單元之一MRAM單元之一狀態之另一方式係一自參照讀取。自參照讀取可與標準參照讀取相比減少錯誤。在一自參照讀取中，一記憶體單元與自身比較。自參照讀取可涉及比較自一記憶體單元讀取之一值與自相同記憶體單元讀取之另一值。此可減少及/或消除由單元間MTJ電阻之差及/或與一記憶體陣列中之不同單元相關聯之信號路徑之電阻之差導致之讀取錯誤，此乃因在比較記憶體單元電阻值時使用相同單元及信號路徑。一實例性自參照讀取可涉及(1)自一記憶體單元執行一標準參照讀取，(2)將記憶體單元程式化至一參照狀態，(3)讀取在參照狀態下經程式化之記憶體單元，且(4)藉助一差動感測放大器比較來自記憶體單元之兩個單獨讀取之值。在此實例中，若自記憶體單元讀取之兩個值係大致相同

的，則記憶體單元經判定處於參照狀態。另一方面，在此實例中，若自記憶體單元讀取之兩個值係充分不同的，則記憶體單元處於一非參照狀態且記憶體單元隨後重新寫入至非參照狀態。

自參照讀取與標準參照讀取相比可增大延時及電力。與一單個讀取相比，在一自參照讀取之情況下資料經請求時與資料經返回時之間的延時可增大，此乃因自參照讀取可涉及一個以上讀取操作及一額外程式化操作。與一單個讀取相比，與一自參照讀取相關聯之額外程式化及讀取可顯著增大電力消耗。

為以一電力高效方式自記憶體單元準確地讀取，可在其中疑似已發生及/或可能發生讀取錯誤之一或多個條件下選擇性地執行自參照讀取。如此，標準參照讀取與自參照讀取之一組合可經執行以自一記憶體準確地讀取資料且維持用於自記憶體讀取之相對低電力消耗。此外，在某些例項中，自記憶體存取資料之平均延時可與僅執行自參照讀取相比減小。

圖1係根據一實施例之自一記憶體讀取資料之一說明性方法100之一流程圖。在方法100中，藉助標準參照讀取與自參照讀取之一組合自諸如一MRAM之一記憶體讀取資料。在方塊110處，可自一記憶體讀取資料。在方塊110處之讀取可涉及一標準參照讀取。另一選擇係，可根據任何其他適合低延時、低電力方法讀取資料。可自一單個記憶體單元或複數個記憶體單元讀取資料(舉例而言)以讀取一碼字或一資料位元組。一碼字係資料與其對應錯誤校正碼(ECC)之一組合。在一儲存裝置中資料及對應ECC不需要為毗鄰的。記憶體裝置可包含一ECC編碼器/解碼器以執行錯誤校正碼編碼及解碼。

涉及較高電力消耗及/或一較長延時之諸如自參照讀取之較密集型讀取可回應於偵測到一條件執行。儘管出於說明性目的闡述自參照讀取，但與諸如一標準參照讀取之一標準讀取操作相比，本文中所闡

述之原理及優點可應用於以增加之準確性選擇性地執行任何讀取操作。例如，本文中參照一自參照讀取所闡述之特徵之任何組合可應用於涉及自相同記憶體單元之多個讀取之任何讀取操作。

在方塊110處，用於執行自參照讀取之一條件可與讀取相關聯。舉例而言，在方塊110處可判定是否讀取中之所有錯誤可經由錯誤校正碼(ECC)校正。ECC之實例包含漢明碼、博斯-喬赫裏-霍克文黑姆(BCH)碼及諸如此類。ECC位元可用以在方塊110處偵測不能進行讀取之位元及/或不可經由ECC校正之碼字。

在一項實施例中，在決策方塊120處程序針對錯誤對自記憶體讀取之資料進行分析且嘗試使用ECC校正錯誤。若在決策方塊120處未偵測到錯誤，則可在方塊128處將在方塊110處自記憶體讀取之資料提供至一處理器。當在方塊120處偵測到錯誤時，在方塊122處程序最初嘗試使用ECC校正錯誤。可在與記憶體相同之晶粒及/或晶片上經由ECC校正讀取資料。另一選擇係或另外，ECC校正可在其上包含記憶體之晶粒及/或晶片外部執行。然而，當錯誤之數目大於可由ECC校正之錯誤之數目時，碼字係不可經由ECC校正的。在決策方塊124處，判定是否所有錯誤可由ECC校正。

在方塊124處偵測不可校正ECC錯誤係偵測到針對其執行自參照讀取之一條件之一項說明性實例。可回應於偵測到與自一記憶體之一讀取相關聯之一條件而執行自參照讀取。例如，可回應於偵測到指示自一記憶體讀取之資料中之至少一個疑似錯誤之一條件而執行一自參照讀取。作為另一實例，可回應於偵測到指示自記憶體讀取之資料具有至少一臨限錯誤數目之一條件執行一自參照讀取。作為又一實例，可回應於偵測到指示一或多個記憶體單元具有與自記憶體單元之讀取相關聯之記憶體單元及/或信號路徑之電阻之一相對大變化之一條件執行一自參照讀取。

在某些實施例中，僅回應於偵測到一條件(諸如本文中所闡述之條件中之一或多者)執行一自參照讀取。例如，根據一項實施例，僅回應於判定自記憶體讀取之資料另外係不可經由ECC校正的而執行自參照讀取。

往回參照圖1，當在決策方塊124處判定所有錯誤經由ECC校正時，經ECC校正之資料可在方塊128處提供至一處理器。以此方式，可經由ECC校正之自記憶體讀取之資料可以一相對低電力消耗及/或一相對低延時提供至處理器。可在將讀取資料提供至處理器時不致使延遲之情況下在於方塊110處讀取之後驗證與使資料數位失敗相關聯之記憶體單元。在一項實施例中，在一資料讀取中存在一個以上碼字。在某些實施例中，ECC可用以識別具有不可校正錯誤之特定碼字且僅對所識別碼字之特定資料數位及/或ECC數位執行一自參照讀取以驗證記憶體單元。其他適合方法可用以驗證記憶體單元。

當在決策方塊124處判定自記憶體讀取之資料中之錯誤係不可經由ECC校正的時，可在方塊126處執行一自參照讀取。類似地，可回應於偵測到與一讀取相關聯之若干個條件(舉例而言，本文中所闡述之條件中之一或多者)在方塊126處執行自參照讀取。以此方式，當偵測到一條件時，自記憶體之某些讀取涉及一單個讀取操作且自記憶體之其他讀取涉及複數個讀取操作。自參照讀取可涉及上文連同實例性自參照讀取一起所闡述之操作。可另一選擇係或另外執行任何其他適合自參照讀取操作。藉由執行一自參照讀取，當自相同記憶體單元先前讀取之資料遭遇不可僅僅經由ECC校正之一錯誤時可自記憶體讀取校正資料。自參照讀取可對與不可校正ECC錯誤相關聯之一碼字之每一數位相關聯之記憶體單元執行。在特定實施例中，自自參照讀取讀取之資料中之一或多個錯誤可進一步經偵測及視需要經由ECC校正。在方塊126處經由一自參照讀取自記憶體讀取之資料可在方塊128處提

供至一處理器。資料可(舉例而言)在方塊128處經由一記憶體控制器提供至一處理器。

一自參照讀取通常涉及用於提供有效資料之比諸如一標準參照讀取之一單個讀取操作長之一延時。接收自記憶體讀取之資料之一記憶體控制器可偵測且計及此一延遲。在特定實施例中，選擇性地執行自參照讀取可導致其他記憶體存取中之某些存取或所有存取具有比自參照讀取低之一延時。此應減小記憶體存取之平均延時。藉由選擇性地執行一自參照讀取，其他記憶體存取中之某些或所有存取可消耗比自參照讀取低之電力。電力節省之此一減小可係顯著的。在自參照讀取較不頻繁地執行時，電力消耗及平均延時之減小亦增大。當在經由ECC之錯誤校正失敗而執行自參照讀取時，基礎位元失敗率應仿佛對每一記憶體存取執行自參照讀取一般良好。

在特定實施例中，程序100可以一可變延時提供自記憶體讀取之資料。可以比由一自參照讀取讀取之資料低之一延時提供由一標準參照讀取提供之資料。一資料就緒信號可提供至一記憶體控制器作為有效讀取資料準備用於進一步處理之一指示。在一項實施例中，一專用接針可包含於記憶體控制器上以接收資料就緒信號。在一管理記憶體解決方案中，額外電路可經包含以(舉例而言)判定何時有效讀取資料準備用於進一步處理。以此方式，資料就緒信號可不需要一專用接針。在某些實施例中，額外電路可與一雙資料速率類型3 (DDR3)記憶體控制器一起實施一可變延時讀取。與僅執行自參照讀取相比，在一可變延時讀取之情況下，一記憶體可以較低電力及較低平均延時藉由選擇性地執行自參照讀取提供有效資料。在特定實施例中，以此一方法進行之大多數讀取可以比自參照讀取低之延時提供有效讀取資料。

根據某些實施例，可以一固定延時提供自記憶體讀取之資料。在此等實施例中，由一標準讀取讀取之資料可以與一自參照讀取大致

相同之延時提供至一記憶體控制器。針對所有讀取存取使用大致相同延時可簡化一記憶體控制器之設計。以用於自記憶體讀取資料之一固定延時，選擇性地執行自參照讀取會消耗比僅執行自參照讀取低之電力。

選擇性地執行本文中之一自參照讀取之方法可以硬體及/或韌體之各種方式實施。例如，選擇性地執行自參照讀取可在以相對低搖擺信號讀取之記憶體單元之一上下文中實施。本文中所闡述之原理及優點可應用於在相同記憶體陣列中之記憶體單元當中具有電阻之變化及/或在相同記憶體陣列中之記憶體單元當中具有信號路徑之電阻之變化之記憶體。高密度MRAM係此一記憶體之一項實例。MRAM可係高度可擴縮的、高密度的；具有相對低電力消耗；具有用於程式化及讀取之相對低延時且具有高耐久性。

圖2係根據一實施例之一實例性記憶體200之一示意圖。如圖2中所圖解說明，記憶體200可包含一記憶體陣列216及一感測電路225以感測自記憶體陣列216中之一記憶體單元220讀取之一值。記憶體200亦可包含一錯誤偵測電路290，該錯誤偵測電路可偵測與自記憶體陣列216讀取之資料相關聯之錯誤及/或本文中所闡述之條件中之任一者。錯誤偵測電路290可包含一ECC編碼器/解碼器。記憶體200可包含比如所圖解說明更少或更多之組件。記憶體200可實施參照方法100所闡述之特徵之任何組合。

記憶體陣列216包含複數個記憶體單元220。記憶體單元220可儲存資料數位，諸如包含資料及對應錯誤校正碼之一碼字之位元。記憶體單元220可在一項實施例中儲存二進制資料數位。在另一實施例中，記憶體單元220可儲存對應於一特定記憶體單元220之三個或三個以上不同狀態之多位階資料數位。

所圖解說明之記憶體單元220係一MTJ STT-MRAM單元。所圖解

說明之記憶體單元220包含與一存取電晶體224串聯電連接之一自旋傳輸轉矩(STT) MTJ記憶體元件222。存取電晶體224可係諸如一NMOS電晶體之一場效應電晶體(FET)或更一般而言一絕緣閘極FET。將理解，此等FET可具有由除金屬之外之材料(諸如多晶矽)製成之閘極且可具有由除氧化矽之外之介電質(諸如由氮化矽或高k介電質)製成之介電質「氧化」區域。STT MTJ記憶體元件222之一第一端可電連接至電晶體224之一汲極。STT MTJ記憶體元件222之一第二端可電連接至一數位線。存取電晶體224亦可具有電耦合至一源極線之一源極及電耦合至一字線之一閘極。STT MTJ記憶體元件222可建模為一可變電阻器。經由自旋轉移改變STT MTJ記憶體元件222之一狀態可在通過STT MTJ記憶體元件222之一磁性層之一電流變為自旋極化且將一自旋扭矩賦予在STT MTJ記憶體元件222之一自由層上時發生。當一足夠自旋扭矩施加至自由層時，自由層之磁化定向可在兩個相反方向之間切換。取決於電流之方向，STT MTJ記憶體元件222可在一低電阻狀態與一高電阻狀態之間切換。

MRAM可由於電阻之變化在讀取資料時遭遇困難。舉例而言，在記憶體200中，不同記憶體單元220之MTJ記憶體元件222之間的電阻之變化可在準確地判定儲存於記憶體單元220中之資料時引起困難。另一選擇係或另外，不同記憶體單元220之存取電晶體224之間的電阻之變化及/或與不同記憶體單元220相關聯之數位線之間的寄生電阻之變化可在準確地判定儲存於記憶體單元220中之資料時引起困難。感測電路225可在缺乏電阻之此等變化中之一或多者之情況下高效地且可靠地判定自記憶體陣列216之記憶體單元220讀取之有效資料數位。

一所儲存資料數位可藉由量測記憶體單元220之一電阻自一記憶體單元220讀取出。在圖2中針對一個記憶體單元220展示一實例性信

號路徑。自記憶體單元220讀取之一值可提供至感測電路225。如所圖解說明，感測電路225包含一感測輸出電路226、一自參照電路230、一參照電路240、一通過電晶體260及一儲存元件270。儘管針對圖2中之一個數位線圖解說明感測電路225，但感測電路225可包含一專用感測輸出電路226、自參照電路230、通過電晶體260及儲存元件270。在特定實施例中，感測輸出電路226、自參照電路230、通過電晶體260及儲存元件270之任何組合可連同記憶體陣列216中之每一數位線一起提供。

感測電路225可在一第一模式及一第二模式中操作。在一項實施例中，第二模式可僅在一碼字中之錯誤經判定為不可校正的時經啟動。感測輸出電路226可在第一模式中比較自與一第一讀取操作相關聯之記憶體陣列之一所選擇記憶體單元讀取之一值與一參照信號或在第二模式中基於一選擇信號比較自與一第二讀取操作相關聯之記憶體陣列之所選擇記憶體單元讀取之一值與一自參照值。選擇信號可指示與自本文中所闡述之一記憶體之讀取相關聯之條件之任何組合。例如，選擇信號可指示由不可經由ECC校正之記憶體讀取之資料中之一錯誤。

參照圖2，自記憶體單元220讀取之一值可經由一通過電晶體260提供至諸如一電容器之一儲存元件270。當一讀取啟用信號經確證時，通過電晶體260可將自記憶體單元220讀取之值傳遞至儲存元件270。由電容器儲存之值可提供至一感測放大器280之一輸入。

自記憶體單元220讀取之值亦可提供至一自參照電路230。自參照電路230可儲存自記憶體單元220讀取之一值以供與自記憶體單元讀取之一後續值之一比較。自參照電路230可在自記憶體單元220之一後續讀取操作期間將一自參照值提供至一感測輸出電路226。自參照值可表示自記憶體單元220先前讀取之一值。

一參照電路240可將一參照值提供至感測輸出電路226。參照電路240可係經組態以提供用於判定一記憶體單元220之一狀態之一參照值之任何適合電路。作為一項實例，參照電路240可包含在功能上類似於記憶體單元220之一參照記憶體單元。此一參照單元可經組態以產生一高狀態值、一低狀態值或處於高狀態與低狀態之間的一值。在一項實施例中，一個參照電路240可與記憶體陣列216一起實施且一個自參照電路230可與記憶體陣列216之每一數位線一起實施。參照值可接著在一標準參照讀取中用以判定儲存於記憶體單元220中之一資料數位之一值。

在特定實施例中，感測輸出電路226包含一多工器250及一感測放大器280。多工器250可接收參照信號及自參照信號。多工器250可藉由諸如組合邏輯及/或開關之任何適合電路實施。多工器250可基於一選擇信號輸出參照值或者自參照值。選擇信號可指示本文中所闡述之條件中之一或多者，舉例而言，是否已偵測到不可經由ECC校正之一錯誤。多工器250之一輸出可提供至感測放大器280。以此方式，多工器250可將參照值選擇性地提供至感測放大器280以用於一標準參照讀取或將自參照值提供至感測放大器280以用於一自參照讀取。

感測放大器280可基於比較自記憶體單元220讀取之一值與參照值或者自參照值判定一資料數位Data\_Out。資料數位Data\_Out可自記憶體200輸出。例如，資料數位Data\_Out可連同一標準參照讀取一起提供至一ECC引擎。ECC引擎可在與記憶體200相同之晶粒上實施及/或在包含記憶體200之一晶粒外部實施。ECC引擎可包含經組態以產生錯誤校正碼、識別碼字中之錯誤且校正碼字中之錯誤之一錯誤校正編碼器/解碼器。在圖2中所展示之實施例中，ECC引擎包含於錯誤偵測電路290中。

在另一實施例中(未圖解說明)，感測輸出電路226可針對一標準

參照讀取及一自參照讀取包含單獨感測放大器。可基於本文中所闡述之條件中之一或多者單獨地啟動單獨感測放大器。另一選擇係或另外，單獨放大器之輸出可提供至額外電路以判定將感測放大器之哪個輸出作為資料數位輸出。

錯誤偵測電路290可包含用以產生一資料就緒信號之邏輯，該資料就緒信號可提供至一記憶體控制器以指示自記憶體讀取之有效資料是否準備用於進一步處理。邏輯可藉由任何適合電路實施。另一選擇係，資料就緒信號可藉由感測電路225產生。資料就緒信號可用以實施自其中一標準讀取具有比一自參照讀取低之一延時之記憶體陣列216讀取之可變延時。

在一項實施例中，自一記憶體陣列讀取資料之一方法包含自記憶體陣列之記憶體單元讀取資料。方法亦包含回應於判定自記憶體單元讀取之資料中之一錯誤係不可經由錯誤校正碼校正的而執行自相同記憶體單元之一自參照讀取。自參照讀取包含比較自一記憶體單元讀取之一值與自相同記憶體單元讀取之另一值。

在另一實施例中，自一記憶體陣列讀取資料之一方法包含藉由比較與記憶體陣列之記憶體單元相關聯之值與一參照值自記憶體陣列之記憶體單元讀取資料。該方法亦包含回應於偵測到與自記憶體陣列讀取資料相關聯之一條件執行自記憶體單元中之至少一者之一自參照讀取。自參照讀取包含比較自一記憶體單元讀取之一值與自相同記憶體單元讀取之另一值。

在另一實施例中，一設備包含一記憶體陣列、一錯誤校正編碼器/解碼器及一感測電路。記憶體陣列包含記憶體單元且經組態以儲存包含資料及對應錯誤校正碼之碼字。錯誤校正編碼器/解碼器經組態以產生錯誤校正碼、識別碼字中之錯誤且校正碼字中之錯誤。感測電路具有一第一模式及一第二模式。第二模式僅在一碼字中之錯誤經

判定為不可校正時經啟動。該感測電路包含一參照電路、一自參照電路及一感測輸出電路。參照電路經組態以針對第一模式產生一參照信號。自參照電路經組態以接收自與一第一讀取操作相關聯之記憶體陣列之一所選擇記憶體單元讀取之一值且針對第二模式基於所接收之值產生一自參照信號。感測輸出電路經組態以執行自與第一讀取操作相關聯之記憶體陣列之所選擇記憶體單元讀取之值與參照信號之一第一比較。感測輸出電路亦經組態以執行自與一第二讀取操作相關聯之記憶體陣列之所選擇記憶體單元讀取之一值與自參照值之一第二比較，第二讀取操作在第一讀取操作之後發生。感測電路亦經組態以基於一選擇信號及第一比較或第二比較中之至少一者輸出一資料數位。資料數位表示儲存於所選擇記憶體單元中之資料。

在另一實施例中，自一記憶體陣列讀取資料之一方法包含執行包含藉由比較與記憶體陣列之所選擇記憶體單元相關聯之值與至少一個參照值而自記憶體陣列之所選擇記憶體單元讀取資料之一標準參照讀取操作。所選擇記憶體單元中之每一者包含經組態以在一第一狀態中比在一第二狀態中具有不同之一電阻之一記憶體元件。該方法亦包含回應於偵測到與執行標準參照讀取操作相關聯之一條件，以與標準參照讀取操作相比增加之準確性執行一讀取操作以自所選擇記憶體單元中之一或多者讀取資料。

可藉由根據本文中所闡述之原理及優點之各種記憶體選擇性地執行自參照讀取。根據上文所闡述之實施例之諸如一MRAM裝置之一記憶體裝置可併入於各種電子裝置中。電子裝置之實例可包含(但不限於)消費型電子產品、電子電路、電子電路組件、消費型電子產品之部件、電子測試設備等。消費型電子產品之實例包含(但不限於)一行動電話、一電話、一電視、一電腦監視器、一電腦、一手持式電腦、一膝上型電腦、一平板電腦、一個人數位助理(PDA)、一微波

爐、一冰箱、一立體聲系統、一卡式記錄器或播放器、一DVD播放器、一CD播放器、一VCR、一MP3播放器、一無線電設備、一光學攝影機、一數位相機、一清洗機、一乾燥機、一清洗機/乾燥機、一影印機、一傳真機、一掃描儀、一多功能周邊裝置、一腕表、一時鐘等。此外，電子裝置可包含未完成之產品。

前述說明及申請專利範圍可將元件或特徵稱為「連接」或「耦合」在一起。如本文中所使用，除非另外明確地陳述相反情形，否則「連接」意指一個元件/特徵直接或間接地連接至另一元件/特徵，且未必以機械方式。同樣，除非另外明確地陳述相反情形，否則「耦合」意指一個元件/特徵直接或間接地耦合至另一元件/特徵，且未必以機械方式。因此，儘管圖式圖解說明元件及組件之配置之各種實例，但額外介入元件、裝置、特徵或組件可存在於一實際實施例中。

本文中所闡述之方法之特徵之任何組合可體現於儲存於一非暫時性電腦可讀媒體中之程式碼中。當經執行時，非暫時性電腦可讀媒體可致使執行本文中所闡述之方法中之某些或所有方法。將理解，本文中所論述之方法中之任一方法可包含更多或更少之操作且可視需要以任一次序執行該等操作。

上文已闡述各種實施例。儘管參照此等特定實施例闡述，但說明意欲係說明性的且非意欲係限制性的。熟習此項技術者可想到各種修改及應用。

### 【符號說明】

200	實例性記憶體/記憶體
216	記憶體陣列
220	記憶體單元
222	自旋轉移扭矩磁性穿隧接面記憶體元件
224	存取電晶體

225	感測電路
226	感測輸出電路
230	自參照電路
240	參照電路
250	多工器
260	通過電晶體
270	儲存元件
280	感測放大器
290	錯誤偵測電路
Data_out	資料數位

## 申請專利範圍

1. 一種自一記憶體陣列讀取資料之方法，該方法包括：  
自該記憶體陣列之記憶體單元讀取資料；及  
回應於判定自該等記憶體單元讀取之該資料中之一錯誤係不可經由錯誤校正碼校正的，執行自該等相同記憶體單元之一自參照讀取，其中該自參照讀取包括比較自一記憶體單元讀取之一值與自該相同記憶體單元讀取之另一值。
2. 如請求項1之方法，其中在該執行該自參照讀取中，在將自該等記憶體單元讀取之有效資料提供至與該讀取相關聯之一處理器時之一第一延時小於在將自該等相同記憶體單元讀取之有效資料提供至該處理器時之一第二延時。
3. 如請求項1之方法，其中在該執行該自參照讀取中，在將自該等記憶體單元讀取之有效資料提供至與該讀取相關聯之一處理器時之一第一延時與在將自該等相同記憶體單元讀取之有效資料提供至該處理器時之一第二延時大致相同。
4. 如請求項1之方法，其中該等記憶體單元包括磁阻式隨機存取記憶體(MRAM)單元。
5. 如請求項1之方法，其中一次讀取一個以上碼字，其中執行該自參照讀取進一步包括僅對識別為已讀取有一不可校正錯誤之一碼字之數位執行一自參照讀取。
6. 如請求項1之方法，其中執行該自參照讀取進一步包括當比較自該記憶體單元讀取之該值與自該相同記憶體單元讀取之該另一值指示該等所比較值對應於該記憶體單元之不同狀態時重新程式化該記憶體單元。
7. 如請求項1之方法，其進一步包括經由錯誤校正碼之解碼校正自

該等記憶體單元讀取之該資料中之可校正錯誤。

8. 如請求項1之方法，其進一步包括回應於判定該資料中之所有錯誤係可經由錯誤校正碼校正的而將來自該讀取之該資料提供至一處理器。
9. 一種自一記憶體陣列讀取資料之方法，該方法包括：

藉由比較與該記憶體陣列之記憶體單元相關聯之值與一參照值而自該記憶體陣列之該等記憶體單元讀取資料；

回應於偵測到與該讀取相關聯之一條件，執行自該等記憶體單元中之至少一者之一自參照讀取，其中該自參照讀取包括比較自一記憶體單元讀取之一值與自該相同記憶體單元讀取之另一值；及

藉由一處理器以一可變延時自該記憶體陣列存取資料，其中藉由該讀取存取之資料具有比藉由該執行該自參照讀取存取之資料低之一延時。
10. 如請求項9之方法，其中該條件指示自該等記憶體單元讀取之該資料中之一錯誤係不可經由錯誤校正碼校正的。
11. 如請求項9之方法，其中該條件指示自該等記憶體單元讀取之該資料中之至少一個疑似錯誤。
12. 如請求項9之方法，其中該條件指示自該等記憶體單元讀取之該資料中之一錯誤數目具有至少一臨限錯誤數目，且其中該臨限錯誤數目大於1。
13. 如請求項9之方法，其中該等記憶體單元中之每一者包括經組態以在一第一狀態中比在一第二狀態中具有一不同電阻之一記憶體元件。
14. 如請求項13之方法，其中執行該自參照讀取包括：

將一所選擇記憶體單元程式化至該第一狀態；及

當比較自該所選擇記憶體單元讀取之該值與自該所選擇記憶體單元讀取之該另一值指示該等所比較值中之一者對應於該第一狀態且該等所比較值中之另一者對應於該第二狀態時將該所選擇記憶體單元重新程式化至該第二狀態。

15. 如請求項9之方法，其中該等記憶體單元包括磁性穿隧界面自旋扭矩轉移磁阻式隨機存取記憶體(MTJ STT-MRAM)單元。
16. 如請求項9之方法，其進一步包括當未偵測到該條件時經由錯誤校正碼校正自該等記憶體單元讀取之該資料中之一或多個錯誤。
17. 如請求項9之方法，其進一步包括經由錯誤校正碼校正來自該讀取之該資料中之錯誤，且當在該所校正資料中未偵測到錯誤時將該所校正資料提供至一處理器。
18. 如請求項9之方法，其中藉由包括具有一電阻式電路元件之一記憶體單元之一參照單元產生該參照值。
19. 一種記憶體設備，其包括：
  - 一記憶體陣列，其包括記憶體單元，該記憶體陣列經組態以儲存包括資料及對應錯誤校正碼之碼字；
  - 一錯誤校正編碼器/解碼器，其經組態以產生錯誤校正碼以識別碼字中之錯誤，且校正碼字中之錯誤；及
  - 一感測電路，其具有一第一模式及一第二模式，其中僅當一碼字中之錯誤經判定以為不可校正的時啟動該第二模式，該感測電路包括：
    - 一參照電路，其經組態以針對該第一模式產生一參照信號；
    - 一自參照電路，其經組態以接收自與一第一讀取操作相關聯之該記憶體陣列之一所選擇記憶體單元讀取之一值，且針

對該第二模式基於該所接收值產生一自參照信號；及

一感測輸出電路，其經組態以：

執行自與該第一讀取操作相關聯之該記憶體陣列之該所選擇記憶體單元讀取之該值與該參照信號之一第一比較；

執行自與一第二讀取操作相關聯之該記憶體陣列之該所選擇記憶體單元讀取之該一值與自參照值之一第二比較，該第二讀取操作在該第一讀取操作之後發生；及

基於一選擇信號及該第一比較或該第二比較中之至少一者輸出一資料數位，該資料數位表示該所選擇記憶體單元中所儲存之資料。

20. 如請求項19之記憶體設備，其中該感測輸出電路經組態以基於該選擇信號執行該第一比較或者該第二比較。
21. 如請求項19之記憶體設備，其中該感測輸出電路包括經組態以判定該資料數位之一感測放大器。
22. 如請求項21之記憶體設備，其中該感測輸出電路進一步包括一多工器，該多工器經組態以基於該選擇信號將該參照信號或者該自參照信號提供至該感測放大器。
23. 如請求項19之記憶體設備，其中該等記憶體單元包括磁阻式隨機存取記憶體(MRAM)單元。
24. 如請求項19之記憶體設備，其中該錯誤校正碼編碼器/解碼器進一步經組態以校正由該感測電路讀取之該等資料數位中之一或多個錯誤。
25. 如請求項24之記憶體設備，其中該錯誤校正碼編碼器/解碼器及該記憶體陣列包含於一單個晶粒上。
26. 如請求項19之記憶體設備，其中該記憶體設備進一步經組態以產生指示該資料數位是否係有效之一資料就緒信號。

27. 一種自一記憶體陣列讀取資料之方法，該方法包括：

執行一標準參照讀取操作，該標準參照讀取操作包括藉由比較與該記憶體陣列之所選擇記憶體單元相關聯之值與至少一個參照值而自該記憶體陣列之該等所選擇記憶體單元讀取資料，其中該等所選擇記憶體單元中之每一者包括經組態以在一第一狀態中比在一第二狀態中具有一不同電阻之一記憶體元件；及

回應於偵測到與該執行該標準參照讀取操作相關聯之一條件，以與該標準參照讀取操作相比增加之準確性執行一讀取操作以自該等所選擇記憶體單元中之一或多者讀取資料。

28. 如請求項27之方法，其中具有增加之準確性之該讀取操作包括：自該等所選擇記憶體單元中之該相同記憶體單元之兩個或兩個以上讀取。

29. 如請求項27之方法，其中具有增加之準確性之該讀取操作涉及與該標準參照讀取操作相比之一較高電力消耗。

30. 如請求項27之方法，其中具有增加之準確性之該讀取操作包括：一自參照讀取，其中該自參照讀取包括比較自一記憶體單元讀取之一值與自該相同記憶體單元讀取之另一值。

31. 如請求項27之方法，其中該條件指示在該標準參照讀取操作中自該等記憶體單元讀取之該資料中之一錯誤係不可經由錯誤校正碼校正的。

32. 如請求項27之方法，其中該記憶體陣列包括磁阻式隨機存取記憶體(MRAM)單元。

圖式

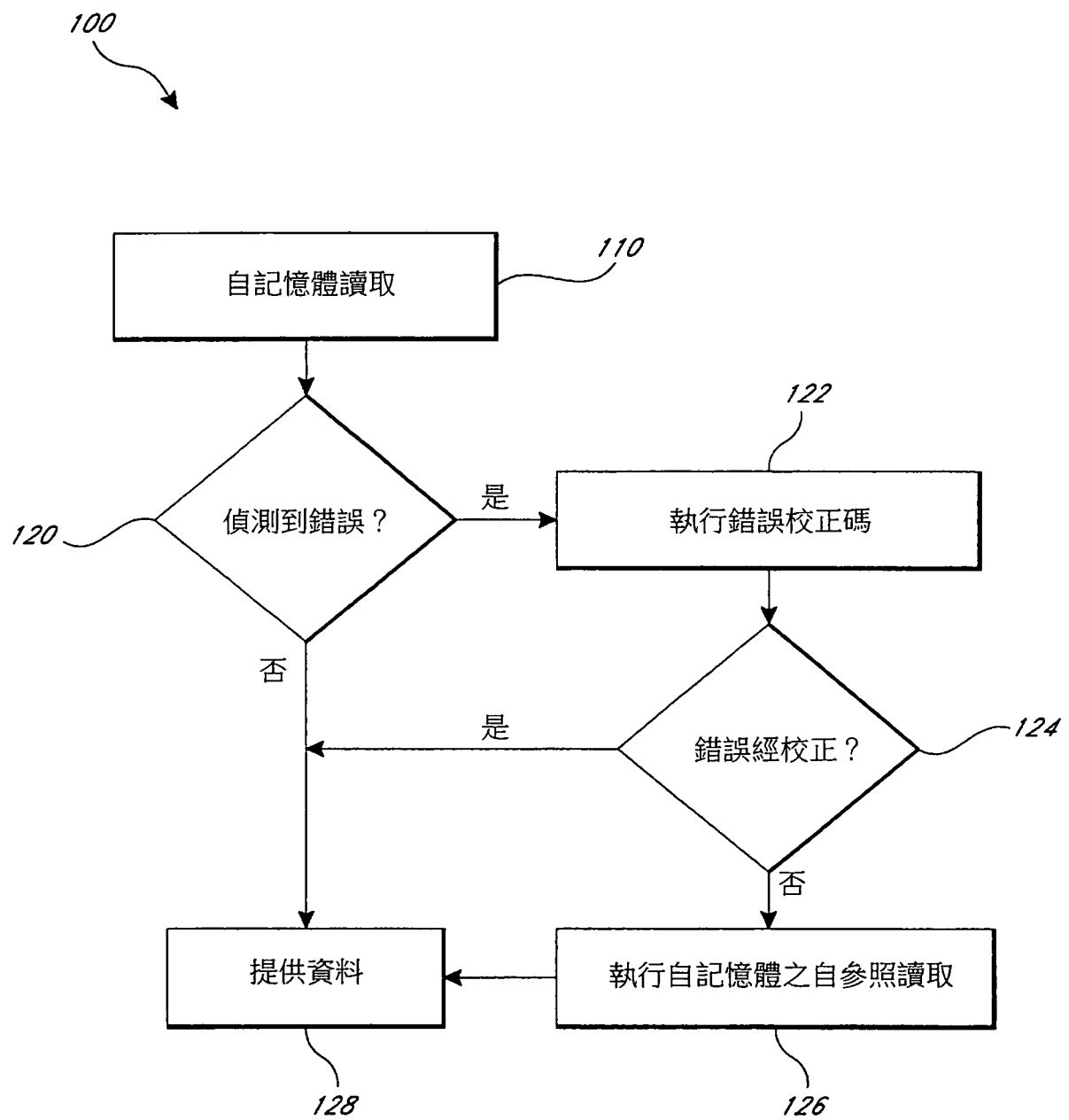


圖 1

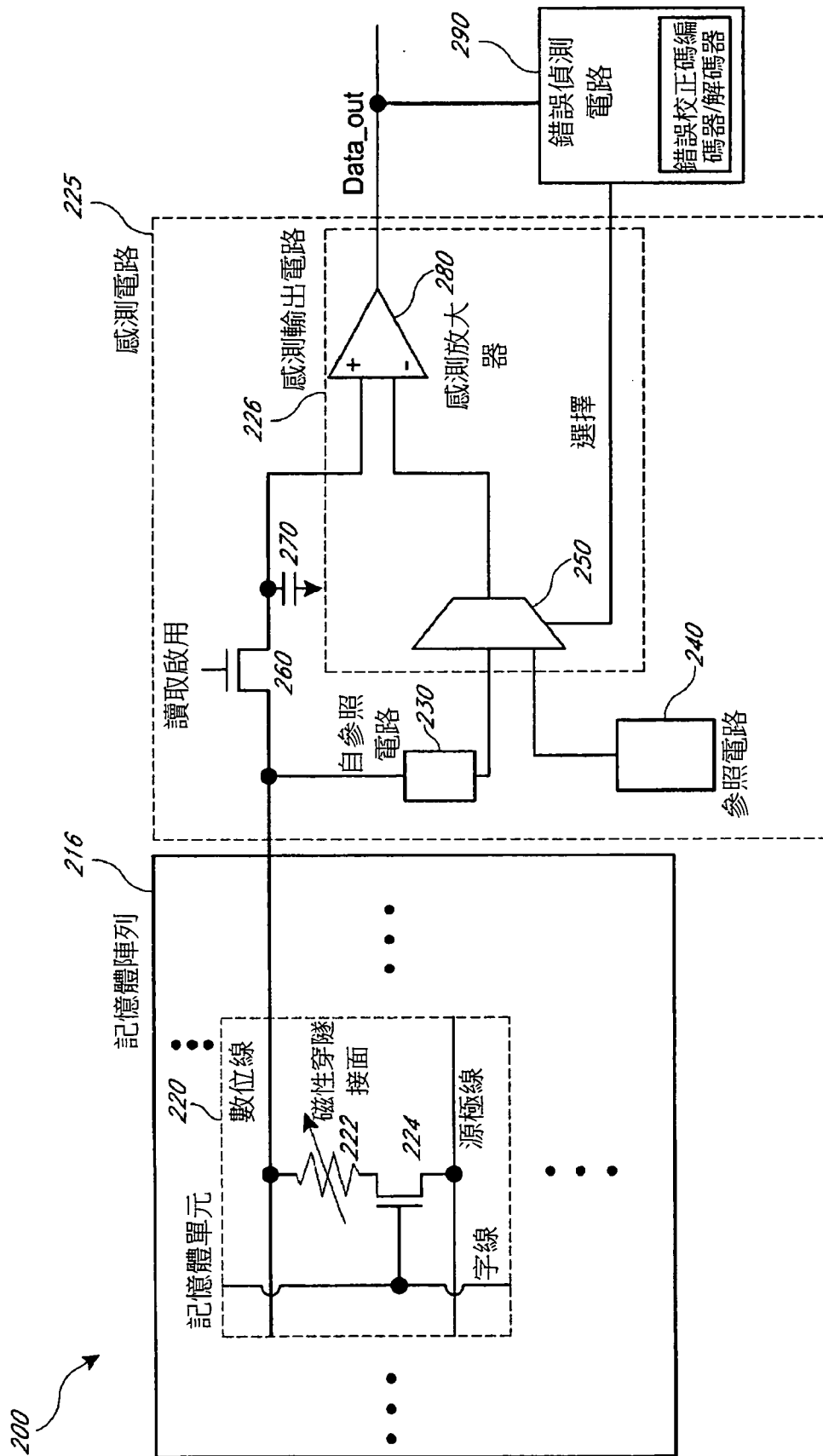


圖 2