

(11)特許出願公開番号

特開2020-4876

(P2020-4876A)

(43) 公開日 令和2年1月9日(2020.1.9)

(51) Int.Cl.

F I

テーマコード (参考)

HO 1 L 29/78 (2006.01)

H01 L 29/78 652 N

652 N

HO 1 L 29/12 (2006.01)

H01 L 29/78 652 T

652 T

H O 1 L 29/06 (2006.01)

HO 1 L 29/78 6 5 2 P

6 5 2 P

HO 1 L 29/739 (2006.01)

H01 L 29/78 652 J

652 J

HO 1 L 29/78 6 5 2 D

審査請求 未請求 請求項の数 14 O L (全 35 頁) 最終頁に続く

(21) 出願番号 特願2018-123719 (P2018-123719)

(22) 出願日 平成30年6月28日 (2018. 6. 28)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(74) 代理人 100104190

弁理士 酒井 昭徳

(72) 發明者 辻 崇

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 木下 明将

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

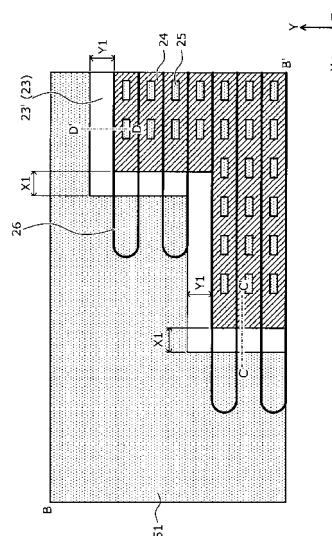
(54) 【発明の名称】 炭化珪素半導体装置

(57) 【要約】

【課題】 高温度においてゲート電圧制御による電流制御性を向上させることができる炭化珪素半導体装置を提供すること。

【解決手段】p型ベース領域23の、活性領域よりも外側のp型ベース領域延在部23'にp⁺型高濃度領域51が設けられる。半導体基板のおもて面に平行な第1方向Xにおいてp⁺型高濃度領域51とn⁺型ソース領域24との間、および、半導体基板10のおもて面に平行で、第1方向Xと直交する第2方向Yにおいてp⁺型高濃度領域51と最も外側のトレンチ26との間、の部分はp型ベース領域延在部23'を構成するp型炭化珪素エピタキシャル層であり、半導体基板10のおもて面13aに露出される。第1方向Xにおいてp⁺型高濃度領域51からn⁺型ソース領域24までの第1距離X1は0.6μm以上である。第2方向Yにおいてp⁺型高濃度領域51から最も外側のトレンチ26までの第2距離Y1は0.6μm以上である。

【選択図】図3



【特許請求の範囲】

【請求項 1】

第 1 主面および第 2 主面を有する第 1 導電型の半導体基板に設けられた、主電流が流れる活性領域と、

前記活性領域の周囲を囲む終端領域と、

前記半導体基板の一部をなし、前記半導体基板の前記第 1 主面を形成する第 2 導電型エピタキシャル層と、

前記活性領域において、前記第 2 導電型エピタキシャル層の前記第 1 主面側の表面層に選択的に設けられた第 1 導電型の第 1 半導体領域と、

前記活性領域と前記終端領域との境界領域において、前記第 2 導電型エピタキシャル層の前記第 1 主面側の表面層に選択的に設けられた、前記第 2 導電型エピタキシャル層よりも不純物濃度の高い第 2 導電型の第 2 半導体領域と、

前記第 2 導電型エピタキシャル層の、前記第 1 半導体領域および前記第 2 半導体領域を除いた部分である第 2 導電型の第 3 半導体領域と、

前記半導体基板の、前記第 2 導電型エピタキシャル層を除いた部分である第 1 導電型の第 4 半導体領域と、

前記第 1 半導体領域および前記第 3 半導体領域を貫通して前記第 4 半導体領域に達するトレンチと、

前記トレンチの内部にゲート絶縁膜を介して設けられたゲート電極と、

前記第 1 半導体領域および前記第 3 半導体領域に電氣的に接続された第 1 電極と、

前記半導体基板の前記第 2 主面に設けられた第 2 電極と、

を備え、

前記第 2 半導体領域は、前記第 1 半導体領域と離して配置され、

前記第 2 半導体領域と前記第 1 半導体領域との間において前記半導体基板の前記第 1 主面に、前記第 2 導電型エピタキシャル層の前記第 3 半導体領域の部分が露出されていることを特徴とする炭化珪素半導体装置。

【請求項 2】

前記トレンチは、前記半導体基板の前記第 1 主面に平行な第 1 方向に直線状に延在し、

前記第 2 半導体領域は、前記トレンチの端部付近において前記第 1 方向に前記第 1 半導体領域と離して配置されていることを特徴とする請求項 1 に記載の炭化珪素半導体装置。

【請求項 3】

前記トレンチは、前記第 1 方向に前記活性領域から前記境界領域にまで延在するストライプ状に複数配置され、

前記第 1 半導体領域は、隣り合う前記トレンチの間に配置され、

前記第 2 半導体領域は、複数の前記トレンチのうち、前記半導体基板の前記第 1 主面に平行で、かつ前記第 1 方向と直交する第 2 方向に最も前記境界領域寄りの最外トレンチと離して配置され、

前記第 2 半導体領域と前記最外トレンチとの間において前記半導体基板の前記第 1 主面に、前記第 2 導電型エピタキシャル層の前記第 3 半導体領域の部分が露出されていることを特徴とする請求項 2 に記載の炭化珪素半導体装置。

【請求項 4】

前記第 3 半導体領域の、前記半導体基板の前記第 1 主面に露出する部分は、前記境界領域に配置され、前記活性領域の周囲を囲むことを特徴とする請求項 3 に記載の炭化珪素半導体装置。

【請求項 5】

前記第 1 方向において前記第 2 半導体領域から前記第 1 半導体領域までの第 1 距離は 0 . 6 μm 以上であることを特徴とする請求項 2 に記載の炭化珪素半導体装置。

【請求項 6】

前記第 2 方向において前記第 2 半導体領域から前記最外トレンチまでの第 2 距離は 0 . 6 μm 以上であることを特徴とする請求項 3 または 4 に記載の炭化珪素半導体装置。

【請求項 7】

前記第 1 方向において前記第 2 半導体領域から前記第 1 半導体領域までの第 1 距離は $9.35 \mu\text{m}$ 以上であることを特徴とする請求項 6 に記載の炭化珪素半導体装置。

【請求項 8】

前記トレンチは、前記半導体基板の前記第 1 主面に平行な第 1 方向に前記活性領域から前記境界領域にまで延在するストライプ状に複数配置され、

前記第 1 半導体領域は、隣り合う前記トレンチの間に配置され、

前記第 2 半導体領域は、複数の前記トレンチのうち、前記半導体基板の前記第 1 主面に平行で、かつ前記第 1 方向と直交する第 2 方向に最も前記境界領域寄りの最外トレンチと離して配置され、

前記第 2 半導体領域と前記最外トレンチとの間において前記半導体基板の前記第 1 主面に、前記第 2 導電型エピタキシャル層の前記第 3 半導体領域の部分が露出されていることを特徴とする請求項 1 に記載の炭化珪素半導体装置。

【請求項 9】

前記第 2 方向において前記第 2 半導体領域から前記最外トレンチまでの第 2 距離は $0.6 \mu\text{m}$ 以上であることを特徴とする請求項 8 に記載の炭化珪素半導体装置。

【請求項 10】

前記第 2 半導体領域の不純物濃度は、 $6.4 \times 10^{14} / \text{cm}^2$ 以下であることを特徴とする請求項 1 ~ 9 のいずれか一つに記載の炭化珪素半導体装置。

【請求項 11】

前記トレンチは、前記活性領域から前記境界領域にまで延在し、前記第 2 半導体領域よりも前記活性領域寄りの位置で終端していることを特徴とする請求項 2 に記載の炭化珪素半導体装置。

【請求項 12】

前記第 3 半導体領域の、前記半導体基板の前記第 1 主面に露出する部分に選択的に設けられた、前記第 3 半導体領域よりも不純物濃度の高い第 2 導電型の第 5 半導体領域をさらに備え、

前記第 3 半導体領域は、前記第 5 半導体領域を介して前記第 1 電極に電氣的に接続されていることを特徴とする請求項 1 ~ 11 のいずれか一つに記載の炭化珪素半導体装置。

【請求項 13】

前記第 5 半導体領域は、前記第 2 導電型エピタキシャル層に第 2 導電型不純物がイオン注入されてなる拡散領域であることを特徴とする請求項 12 に記載の炭化珪素半導体装置。

【請求項 14】

前記第 2 半導体領域は、前記第 2 導電型エピタキシャル層に第 2 導電型不純物がイオン注入されてなる拡散領域であることを特徴とする請求項 1 ~ 13 のいずれか一つに記載の炭化珪素半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、炭化珪素半導体装置に関する。

【背景技術】

【0002】

炭化珪素 (SiC) は、シリコン (Si) よりも高耐圧、低オン抵抗、低損失、高速特性、高温特性などを実現可能な半導体材料として期待される。また、MOSFET (Metal Oxide Semiconductor Field Effect Transistor: 金属 - 酸化膜 - 半導体の 3 層構造からなる絶縁ゲートを備えた MOS 型電界効果トランジスタ) や、IGBT (Insulated Gate Bipolar Transistor: 絶縁ゲート型バイポーラトランジスタ) 等の MOS ゲート構造を備えた半導体装置では、トレンチゲート構造が採用されている。

10

20

30

40

50

【0003】

トレンチゲート構造では、半導体基板（半導体チップ）のおもて面に形成したトレンチ内にMOSゲートを埋め込んだMOSゲート構造であり、トレンチの側壁に沿って半導体基板のおもて面と直交する方向にチャネル（反転層）が形成される。このため、半導体基板のおもて面に沿ってチャネルが形成されるプレーナゲート構造と比べて、単位面積当たりの単位セル（素子の構成単位）密度を増やすことができ、単位面積当たりの電流密度を増やすことができるため、コスト面で有利である。プレーナゲート構造は、半導体基板のおもて面上に平板状にMOSゲートを設けたMOSゲート構造である。

【0004】

従来の炭化珪素半導体装置（炭化珪素を半導体材料として用いた半導体装置）の構造について、MOSFETを例に説明する。図21は、従来の炭化珪素半導体装置を半導体基板のおもて面側から見たレイアウトを示す平面図である。図22は、図21の切断線AA-AA'における断面構造を示す断面図である。図22には、活性領域101とエッジ終端領域102との間の領域（以下、境界領域とする）103の断面構造を示す。図23は、図21の一部を拡大して示す平面図である。図24、25は、それぞれ、図23の切断線CC-CC'および切断線DD-DD'における断面構造を示す断面図である。

10

【0005】

図23には、頂点BB、BB'を対頂点とする矩形枠で囲んだ、半導体基板（半導体チップ）110のコーナー部付近における活性領域101と境界領域103との境界付近の状態を示す。この矩形枠の頂点BBは半導体基板110のコーナー部側であり、頂点BB'は半導体基板110の中央部側である。半導体基板110のコーナー部とは、略矩形形状の平面形状を有する半導体基板110の頂点である。図23には、n⁺型ソース領域124、p⁺型コンタクト領域125、トレンチ126およびp⁺型高濃度領域151のレイアウトを示し、ゲート絶縁膜127およびゲート電極128を図示省略する。

20

【0006】

図21～25に示す従来の炭化珪素半導体装置は、活性領域101とエッジ終端領域102との間に、p⁺型高濃度領域151を有する境界領域103を備えたMOSFETである。活性領域101は、炭化珪素からなる半導体基板110の中央部に配置されている。活性領域101には、トレンチゲート構造の縦型MOSFETの複数の単位セルが配置され、このMOSFETの導通時に主電流が流れる。トレンチゲート構造（トレンチ126の内部にゲート絶縁膜127を介して埋め込まれたゲート電極128）は、半導体基板110のおもて面に平行な方向Xに延在するストライプ状に配置されている。

30

【0007】

エッジ終端領域102は、境界領域103と半導体基板110の端部との間の領域であり、境界領域103を介して活性領域101の周囲を囲む。エッジ終端領域102は、活性領域101の端部での電界集中を緩和して所定の耐圧（耐電圧）を保持する機能を有する。耐圧とは、pn接合部でアバランシェ降伏を起こし、ソース・ドレイン間の電流を増加してもそれ以上ソース・ドレイン間の電圧が増加しない限界の電圧である。エッジ終端領域102には、例えば、外側（半導体基板110の端部側）に配置されるほど不純物濃度を低くした複数のp⁻型領域141およびp⁻型領域142からなる接合終端（JTE：Junction Termination Extension）構造140等の耐圧構造が配置される。

40

【0008】

境界領域103は、活性領域101とエッジ終端領域102との間において半導体基板110のおもて面全面に設けられたp⁺型高濃度領域151で構成される。p⁺型高濃度領域151は、MOSFETのp型ベース領域123の、境界領域103に延在する部分（以下、p型ベース領域延在部とする）123'に設けられ、n⁺型ソース領域124およびp⁺型コンタクト領域125に接する。また、p⁺型高濃度領域151は、JTE構造140の最も内側（半導体基板110の中央部側）のp⁻型領域141に接する。p⁺型高濃度領域151は、p型ベース領域123よりも不純物濃度が高い。

50

【0009】

p⁺型高濃度領域151は、p型ベース領域123を低抵抗化する機能を有する。p型ベース領域123を低抵抗化することで、オフ時のアバランシェ降伏161により高電界がかかる活性領域101の端部またはエッジ終端領域102で主に発生する正孔電流162がソース電極131へ引き抜かれる際にp型ベース領域123の電位の持ち上がりが防止される。例えば、p型ベース領域123の電位の持ち上がりが過剰になると、正孔電流162が引き抜かれるコンタクト付近で、厚さの薄いゲート絶縁膜127にかかる電界が大きくなるため、ゲート絶縁膜127の寿命短縮や絶縁破壊につながる。

【0010】

また、p⁺型高濃度領域151は、MOSFETのp型ベース領域123のシート抵抗を小さくするために、MOSFETのn⁺型ソース領域124に隣接して配置されている。このp⁺型高濃度領域151は、通常、アルミニウム(Al)等のp型不純物のイオン注入と、当該イオン注入後に行う不純物活性化のための熱処理(以下、活性化アニールとする)と、により形成される。p⁺型高濃度領域151を形成するためのイオン注入条件は、例えば、最大加速エネルギーを350keVとし、p型不純物の総ドーズ量を $5 \cdot 15 \times 10^{15} / \text{cm}^2$ とする。

【0011】

符号121, 111, 112は、半導体基板110を構成する炭化珪素エピタキシャル層である。符号122, 122', 129, 132, 133, 143, 144は、それぞれ、n⁻型ドリフト領域、n型JFET領域、層間絶縁膜、ゲートパッド、ドレイン電極、n型チャネルストッパー領域およびフィールド酸化膜である。符号130は、半導体部とオーミック接触する金属膜である。符号152, 153は、それぞれ、ゲート電位の導電層およびゲートランナーである。符号137, 138は、p⁺型領域である。符号Yは、トレンチ126が並ぶ方向である。符号Zは、半導体基板110の深さ方向である。

【0012】

このような従来の炭化珪素半導体装置として、1つのトレンチの内部のゲート電極で1つのMOSゲートを構成した単位セルを複数備えたトレンチゲート型MOSFETであって、最も外側のp⁺型コンタクト領域をエッジ終端領域まで延在させて、JTE構造の最も内側のp型領域と接触させた装置が提案されている(例えば、下記特許文献1(第0044段落)参照)。下記特許文献1では、メサ領域内のn⁺型ソース領域が、同じメサ領域内のp⁺型コンタクト領域、または、トレンチの終端部付近のp⁺型コンタクト領域に接していることで、すべてのn⁺型ソース領域を同電位に固定している。

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開2018-019045号公報

【発明の概要】

【発明が解決しようとする課題】

【0014】

しかしながら、上述した従来の炭化珪素半導体装置(図21~25参照)では、半導体基板110が高温度(例えば125℃以上程度)となる条件で、オフ状態を維持する際に、ゲート電極128にソース電極131の電位に対して負バイアスとなるゲート電圧V_g(ゲート電圧V_g<0:以下、ゲート負バイアスとする)が長時間印加されたとする。この場合、ゲートしきい値電圧V_{th}が初期状態と比べてマイナス方向(低くなる方向)へ大きく変動し、初期状態と比べて低いゲート電圧V_gで通電してドレイン電流I_dが流れ始める。このため、ドレイン電流I_dのゲインカーブ(図26参照)が初期状態と比べてゲート電圧V_gのマイナス方向へ大きく変位する。

【0015】

初期状態とは、ゲート電極128へのゲート負バイアスの印加時間の合計が0(ゼロ)Vの状態である。ドレイン電流I_dとは、通電時にn⁺型ドレイン領域(n⁺型出発基板1

10

20

30

40

50

21) から n^+ 型ソース領域 124 へ向かって移動する電子の流れである。ドレイン電流 I_d のゲインカーブとは、ゲート電極 128 にソース電極 131 の電位に対して正バイアスとなるゲート電圧 V_g (ゲート電圧 $V_g = 0$: 以下、ゲート正バイアスとする) を印加して当該ゲート電圧 V_g を増加させていったときに、ゲートしきい値電圧 V_{th} 以上のゲート電圧 V_g で流れ始め、さらにゲート電圧 V_g の増加に伴って増加するドレイン電流 I_d の増加曲線である。

【0016】

ドレイン電流 I_d の所定の電流量に対応するゲート電圧 V_g の初期状態時からの変動に規則性はなく、その変動量 ΔV_g はゲート電極 128 に印加されたゲート負バイアスの任意の印加時間でマイナス方向へ最大となる。かつ、このゲート電圧 V_g の変動量 ΔV_g は、初期状態時のゲート電圧 V_g の変動量 ΔV_g と比べてプラス方向へ変動しない。したがって、ゲート電極 128 に印加されたゲート負バイアスの印加時間を時間軸とした場合、ゲート電圧 V_g の変動量 ΔV_g は、最小の変動量 ΔV_g となる初期状態時の最大値と、最大の変動量 ΔV_g となる任意の印加時間時の最小値と、の間で規則性なく変動する。

10

【0017】

この現象は、ゲインカーブ内のドレイン電流 I_d の立ち上がり領域に顕著にあらわれる。この現象を検証した結果を図 26, 27 に示す。図 26 は、従来の炭化珪素半導体装置のドレイン電流 I_d のゲインカーブの電流立ち上がり初期の領域を示す特性図である。図 26 の横軸は、通電時にゲート電極 128 に印加されるゲート電圧 V_g (ゲート正バイアス) [V] である。図 26 の縦軸は、ドレイン電流 I_d を定格電流 I_0 で割った規格化ドレイン電流である。一般にゲートしきい値電圧 V_{th} は規格化ドレイン電流 ($= I_d / I_0$) が 10^{-3} となるときのゲート電圧 V_g として定義される。

20

【0018】

図 26 の注釈は、ゲート電極 128 に印加したゲート負バイアスの印加時間である。ゲート電極 128 へのゲート負バイアス印加時、ドレイン電極 133 とソース電極 131 との間の電圧 (ソース - ドレイン電圧) は 0 (ゼロ) V である。また、図 26 の注釈に示す「0h」の試料は上述した初期状態に相当する。図 27 は、図 26 のゲート電圧 V_g (ゲート正バイアス) の初期状態時からの変動量 ΔV_g とオフ時のゲート電圧 V_g (ゲート負バイアス) の印加時間との関係を示す特性図である。図 27 の横軸はゲート負バイアスの印加時間 [時間 (h : hour)] であり、縦軸はゲート正バイアスの初期状態時からの変動量 ΔV_g である。

30

【0019】

まず、従来の炭化珪素半導体装置 (図 21 ~ 25 参照) の構造を備えた MOSFET であって、半導体基板 110 が 200 °C の高温度となる条件でゲート電極 128 にゲート負バイアスを印加した複数の試料を用意した。これらの試料は、ゲート電極 128 に印加したゲート負バイアスが -5 V であり (ゲート電圧 $V_g = -5$ V)、当該ゲート負バイアスの印加時間が 0 h ~ 2500 h の範囲内で異なっている。これらの試料に対して、室温 (例えば 25 °C 程度) でゲート電極 128 にゲート正バイアスを印加して通電した後に当該ゲート正バイアスを増加させてドレイン電流 I_d の電流量 [A] を測定した結果を図 26 に示す。

40

【0020】

また、規格化ドレイン電流 I_d / I_0 の所定の電流量 I_{d1} / I_0 , I_{d2} / I_0 (図 26 に符号 171, 172 を付した破線で示す箇所) に対応するゲート正バイアスの初期状態時からの変動量 ΔV_g を図 27 に示す。図 27 には、例えば、ドレイン電流 I_d の電流量が定格電流 I_0 の千分の一の電流量 I_{d1} / I_0 ($= 10^{-3}$) となる測定点 (以下、第 1 測定点 171')、および、ドレイン電流 I_d の電流量が第 1 測定点 171' のドレイン電流 I_d の電流量 I_{d1} の百万分の一の電流量 I_{d2} / I_0 ($= 10^{-9}$) となる測定点 (以下、第 2 測定点 172')、におけるゲート正バイアスの初期状態時からの変動量 ΔV_g と、を示す。

【0021】

50

図 27 に示すように、第 1 測定点 171' でのドレイン電流 I_d の電流量に対応するゲート正バイアスは、ゲート電極 128 に印加したゲート負バイアスの印加時間が異なるすべての試料で 5.2 V となった。すなわち、第 1 測定点 171' でのドレイン電流 I_d の電流量に対応するゲート正バイアスの初期状態時からの変動量 V_g は、ゲート負バイアス印加の有無によらず、ほぼ 0 (ゼロ) V であった。それに対して、第 1 測定点 171' と比べてゲート電極 128 に印加されたゲート正バイアスがゲートしきい値電圧 V_{th} に近いゲート電圧 V_g を印加した状態にある第 2 測定点 172' でのドレイン電流 I_d の電流量に対応するゲート正バイアスの初期状態時からの変動量 V_g は最大で -1.2 V であった。

【0022】

この図 27 に示す結果から、ドレイン電流 I_d の立ち上がり領域 (具体的には、第 2 測定点 172' 付近) で、高温およびゲート負バイアス印加の悪影響によりゲートしきい値電圧 V_{th} の特性が不安定になる、いわゆる NBTI (Negative Bias Temperature Instability) となることがわかる。このように、ドレイン電流 I_d のゲインカーブは、ドレイン電流 I_d の立ち上がり領域にのみ、初期状態と比べてゲート電圧 V_g のマイナス方向へ大きく変位する。

【0023】

このようなドレイン電流 I_d のゲインカーブの変位は、ゲート電極 128 に 0 V 以下のゲート電圧 V_g を印加してオフ状態を維持する際に、逆方向リーク電流の増加、または、過大なリーク電流による熱暴走および素子破壊を引き起こす問題がある。

【0024】

この発明は、上述した従来技術による問題点を解消するため、高温 (200 以上程度) においてゲート電圧制御による電流制御性を向上させることができる炭化珪素半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0025】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。第 1 主面および第 2 主面を有する第 1 導電型の半導体基板に、主電流が流れる活性領域が設けられている。終端領域は、前記活性領域の周囲を囲む。第 2 導電型エピタキシャル層は、前記半導体基板の一部をなし、前記半導体基板の前記第 1 主面を形成する。前記活性領域において、前記第 2 導電型エピタキシャル層の前記第 1 主面側の表面層に、第 1 導電型の第 1 半導体領域が選択的に設けられている。前記活性領域と前記終端領域との境界領域において、前記第 2 導電型エピタキシャル層の前記第 1 主面側の表面層に、第 2 導電型の第 2 半導体領域が選択的に設けられている。前記第 2 半導体領域は、前記第 2 導電型エピタキシャル層よりも不純物濃度が高い。第 2 導電型の第 3 半導体領域は、前記第 2 導電型エピタキシャル層の、前記第 1 半導体領域および前記第 2 半導体領域を除いた部分である。第 1 導電型の第 4 半導体領域は、前記半導体基板の、前記第 2 導電型エピタキシャル層を除いた部分である。トレンチは、前記第 1 半導体領域および前記第 3 半導体領域を貫通して前記第 4 半導体領域に達する。ゲート電極は、前記トレンチの内部にゲート絶縁膜を介して設けられている。第 1 電極は、前記第 1 半導体領域および前記第 3 半導体領域に電氣的に接続されている。第 2 電極は、前記半導体基板の前記第 2 主面に設けられている。前記第 2 半導体領域は、前記第 1 半導体領域と離して配置されている。前記第 2 半導体領域と前記第 1 半導体領域との間において前記半導体基板の前記第 1 主面に、前記第 2 導電型エピタキシャル層の前記第 3 半導体領域の部分が露出されている。

【0026】

また、この発明にかかる半導体装置は、上述した発明において、前記トレンチは、前記半導体基板の前記第 1 主面に平行な第 1 方向に直線状に延在する。前記第 2 半導体領域は、前記トレンチの端部付近において前記第 1 方向に前記第 1 半導体領域と離して配置されていることを特徴とする。

10

20

30

40

50

【0027】

また、この発明にかかる半導体装置は、上述した発明において、前記トレンチは、前記第1方向に前記活性領域から前記境界領域にまで延在するストライプ状に複数配置されている。前記第1半導体領域は、隣り合う前記トレンチの間に配置されている。前記第2半導体領域は、複数の前記トレンチのうち、前記半導体基板の前記第1主面に平行で、かつ前記第1方向と直交する第2方向に最も前記境界領域寄りの最外トレンチと離して配置されている。前記第2半導体領域と前記最外トレンチとの間において前記半導体基板の前記第1主面に、前記第2導電型エピタキシャル層の前記第3半導体領域の部分が露出されていることを特徴とする。

【0028】

また、この発明にかかる半導体装置は、上述した発明において、前記第3半導体領域の、前記半導体基板の前記第1主面に露出する部分は、前記境界領域に配置され、前記活性領域の周囲を囲むことを特徴とする。

【0029】

また、この発明にかかる半導体装置は、上述した発明において、前記第1方向において前記第2半導体領域から前記第1半導体領域までの第1距離は $0.6\mu\text{m}$ 以上であることを特徴とする。

【0030】

また、この発明にかかる半導体装置は、上述した発明において、前記第2方向において前記第2半導体領域から前記最外トレンチまでの第2距離は $0.6\mu\text{m}$ 以上であることを特徴とする。

【0031】

また、この発明にかかる半導体装置は、上述した発明において、前記第1方向において前記第2半導体領域から前記第1半導体領域までの第1距離は $9.35\mu\text{m}$ 以上であることを特徴とする。

【0032】

また、この発明にかかる半導体装置は、上述した発明において、前記トレンチは、前記半導体基板の前記第1主面に平行な第1方向に前記活性領域から前記境界領域にまで延在するストライプ状に複数配置されている。前記第1半導体領域は、隣り合う前記トレンチの間に配置されている。前記第2半導体領域は、複数の前記トレンチのうち、前記半導体基板の前記第1主面に平行で、かつ前記第1方向と直交する第2方向に最も前記境界領域寄りの最外トレンチと離して配置されている。前記第2半導体領域と前記最外トレンチとの間において前記半導体基板の前記第1主面に、前記第2導電型エピタキシャル層の前記第3半導体領域の部分が露出されていることを特徴とする。

【0033】

また、この発明にかかる半導体装置は、上述した発明において、前記第2方向において前記第2半導体領域から前記最外トレンチまでの第2距離は $0.6\mu\text{m}$ 以上であることを特徴とする。

【0034】

また、この発明にかかる半導体装置は、上述した発明において、前記第2半導体領域の不純物濃度は、 $6.4 \times 10^{14} / \text{cm}^2$ 以下であることを特徴とする。

【0035】

また、この発明にかかる半導体装置は、上述した発明において、前記トレンチは、前記活性領域から前記境界領域にまで延在し、前記第2半導体領域よりも前記活性領域寄りの位置で終端していることを特徴とする。

【0036】

また、この発明にかかる半導体装置は、上述した発明において、前記第3半導体領域の、前記半導体基板の前記第1主面に露出する部分に選択的に設けられた第2導電型の第5半導体領域をさらに備える。前記第5半導体領域は、前記第3半導体領域よりも不純物濃度が高い。前記第3半導体領域は、前記第5半導体領域を介して前記第1電極に電氣的に

10

20

30

40

50

接続されていることを特徴とする。

【0037】

また、この発明にかかる半導体装置は、上述した発明において、前記第5半導体領域は、前記第2導電型エピタキシャル層に第2導電型不純物がイオン注入されてなる拡散領域であることを特徴とする。

【0038】

また、この発明にかかる半導体装置は、上述した発明において、前記第2半導体領域は、前記第2導電型エピタキシャル層に第2導電型不純物がイオン注入されてなる拡散領域であることを特徴とする。

【0039】

上述した発明によれば、高温条件でゲート電極にゲート負バイアスが印加されたときに、第3半導体領域の、ゲート絶縁膜との界面に正孔が蓄積されることを抑制することができる。これにより、ゲート電極にゲートしきい値電圧以上のゲート正バイアスが印加されたときに第4半導体領域から第1半導体領域へ向かって流れる電流のゲインカーブが初期状態と比べてゲート電圧のマイナス方向へ変位することを抑制することができる。

【発明の効果】

【0040】

本発明にかかる炭化珪素半導体装置によれば、高温（200 以上程度）においてゲート電圧制御による電流制御性を向上させることができるという効果を奏する。

【図面の簡単な説明】

【0041】

【図1】実施の形態1にかかる炭化珪素半導体装置を半導体基板のおもて面側から見たレイアウトを示す平面図である。

【図2】図1の切断線A-A'における断面構造を示す断面図である。

【図3】図1の一部を拡大して示す平面図である。

【図4】図3の切断線C-C'における断面構造を示す断面図である。

【図5】図3の切断線D-D'における断面構造を示す断面図である。

【図6】実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である。

。

【図7】実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である。

。

【図8】実施例1の第1距離について検証した結果を示す特性図である。

【図9】実施の形態2にかかる炭化珪素半導体装置の一部を半導体基板のおもて面側から見たレイアウトを示す平面図である。

【図10】実施例2の第1距離について検証した結果を示す特性図である。

【図11】実施の形態3にかかる炭化珪素半導体装置の一部を半導体基板のおもて面側から見たレイアウトを示す平面図である。

【図12】実施例3のp⁺型高濃度領域のドーズ量について検証した結果を示す特性図である。

【図13】実施の形態4にかかる炭化珪素半導体装置の一部を半導体基板のおもて面側から見たレイアウトを示す平面図である。

【図14】実施例4のp⁺型高濃度領域のドーズ量について検証した結果を示す特性図である。

【図15】実施の形態5にかかる炭化珪素半導体装置の一部を半導体基板のおもて面側から見たレイアウトを示す平面図である。

【図16】図15の切断線E-E'における断面構造を示す断面図である。

【図17】実施の形態6にかかる炭化珪素半導体装置の一部を半導体基板のおもて面側から見たレイアウトを示す平面図である。

【図18】図17の切断線F-F'における断面構造を示す断面図である。

【図19】実施の形態7にかかる炭化珪素半導体装置を半導体基板のおもて面側から見た

10

20

30

40

50

レイアウトを示す平面図である。

【図 20】実施例 6 の第 1 距離とアバランシェ電流 I_{av} との関係を示す特性図である。

【図 21】従来の炭化珪素半導体装置を半導体基板のおもて面側から見たレイアウトを示す平面図である。

【図 22】図 21 の切断線 $AA - AA'$ における断面構造を示す断面図である。

【図 23】図 21 の一部を拡大して示す平面図である。

【図 24】図 23 の切断線 $CC - CC'$ における断面構造を示す断面図である。

【図 25】図 23 の切断線 $DD - DD'$ における断面構造を示す断面図である。

【図 26】従来の炭化珪素半導体装置のドレイン電流 I_d のゲインカーブの電流立ち上がり初期の領域を示す特性図である。

10

【図 27】図 26 のゲート電圧 V_g の変動量 ΔV_g とオフ時のゲート電圧 V_g の印加時間との関係を示す特性図である。

【発明を実施するための形態】

【0042】

以下に添付図面を参照して、この発明にかかる炭化珪素半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、 n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n や p に付す $+$ および $-$ は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

20

【0043】

(実施の形態 1)

実施の形態 1 にかかる炭化珪素半導体装置 (炭化珪素 (SiC) を半導体材料として用いた半導体装置) の構造について、 $MOSFET$ を例に説明する。図 1 は、実施の形態 1 にかかる炭化珪素半導体装置を半導体基板のおもて面側から見たレイアウトを示す平面図である。図 2 は、図 1 の切断線 $A - A'$ における断面構造を示す断面図である。図 2 には、活性領域 1 とエッジ終端領域 2 との間の領域 (境界領域) 3 の断面構造を示す。図 3 は、図 1 の一部を拡大して示す平面図である。図 4, 5 は、それぞれ、図 3 の切断線 $C - C'$ および切断線 $D - D'$ における断面構造を示す断面図である。

【0044】

30

図 3 には、図 1 の頂点 B, B' を対頂点とする矩形枠で囲んだ、半導体基板 (半導体チップ) 10 のコーナー部付近における活性領域 1 と境界領域 3 との境界付近の状態を示す。この矩形枠の頂点 B 付近は半導体基板 10 のコーナー部側の部分であり、頂点 B' 付近は半導体基板 10 の中央部側の部分である。半導体基板 10 のコーナー部とは、略矩形状の平面形状を有する半導体基板 10 の頂点である。図 3 には、 n^+ 型ソース領域 (第 1 半導体領域) 24、 p^+ 型コンタクト領域 25、トレンチ 26 および p^+ 型高濃度領域 (第 2 半導体領域) 51 のレイアウトを示し、ゲート絶縁膜 27 およびゲート電極 28 を図示省略する。

【0045】

40

図 1 ~ 5 に示す実施の形態 1 にかかる炭化珪素半導体装置は、活性領域 1 とエッジ終端領域 2 との間に、 p^+ 型高濃度領域 51 を有する境界領域 3 を備えたトレンチゲート構造の縦型 $MOSFET$ である。活性領域 1 は、炭化珪素からなる半導体基板 10 の中央部に配置されている。活性領域 1 には、トレンチゲート構造の縦型 $MOSFET$ の複数の単位セル (素子の構成単位) が配置され、この $MOSFET$ の導通 (通電) 時に主電流 (ドレイン電流 I_d) が流れる。トレンチゲート構造は、半導体基板 10 のおもて面 13a から所定深さに達するトレンチ 26 の内部にゲート絶縁膜 27 を介して埋め込まれたゲート電極 28 で構成された MOS ゲートを有する。

【0046】

活性領域 1 は、後述する n^+ 型ソース領域 24 の外周よりも内側 (半導体基板 10 の中央側) の領域であり、例えば略矩形状の平面形状を有する。後述する第 1 方向 X において

50

n^+ 型ソース領域 24 の外周とは、隣り合うトレンチ 26 間において当該トレンチ 26 に沿って第 1 方向 X に直線状に延びる n^+ 型ソース領域 24 の第 1 方向 X の端部である。後述する第 2 方向 Y において n^+ 型ソース領域 24 の外周とは、第 2 方向 Y に最も外側（半導体基板 10 の端部側）のトレンチ（最外トレンチ）26 の内側の側壁と n^+ 型ソース領域 24 との境界である。エッジ終端領域 2 は、 p^+ 型高濃度領域 51 と後述する JTE 構造 40 の p^- 型領域 41 との境界よりも外側の領域である。

【0047】

半導体基板 10 は、 n^+ 型ドレイン領域となる炭化珪素からなる n^+ 型出発基板 21 のおもて面 13a 上に n^- 型ドリフト領域（第 4 半導体領域）22 および p 型ベース領域（第 3 半導体領域）23 となる各炭化珪素エピタキシャル層 11, 12 を順にエピタキシャル成長させてなるエピタキシャル基板である。この半導体基板 10 において、 p 型炭化珪素エピタキシャル層（第 2 導電型エピタキシャル層）12 が露出する主面（第 1 主面）をおもて面 13a とし、 n^+ 型出発基板 21 の裏面が露出する主面（第 2 主面）を裏面とする。活性領域 1 において、 n^- 型炭化珪素エピタキシャル層 11 の内部には、後述する第 1, 2 p^+ 型領域 37, 38 がそれぞれ選択的に設けられている。 n^- 型炭化珪素エピタキシャル層 11 の、第 1, 2 p^+ 型領域 37, 38 を除いた部分が n^- 型ドリフト領域 22 である。

【0048】

また、活性領域 1 において、 p 型炭化珪素エピタキシャル層 12 の表面領域（半導体基板 10 のおもて面 13a の表面層）には、 n^+ 型ソース領域 24 および p^+ 型コンタクト領域 25 がそれぞれ選択的に設けられている。 n^+ 型ソース領域 24 は、 p 型炭化珪素エピタキシャル層 12 への例えばリン（P）等の n 型不純物のイオン注入により形成される。 p^+ 型コンタクト領域 25 および p^+ 型高濃度領域 51 は、 p 型炭化珪素エピタキシャル層 12 への例えばアルミニウム（Al）等の p 型不純物のイオン注入により形成される。 p 型炭化珪素エピタキシャル層 12 の、 n^+ 型ソース領域 24、 p^+ 型コンタクト領域 25 および p^+ 型高濃度領域 51 を除いた部分が p 型ベース領域 23 である。

【0049】

p 型ベース領域 23 は、活性領域 1 よりも外側へ延在し、境界領域 3 とエッジ終端領域 2 との境界付近に位置する後述する段差 13 のステア 13b で終端している。以下、 p 型ベース領域 23 の、活性領域 1 よりも外側の部分を p 型ベース領域延在部 23' とする。具体的には、 p 型ベース領域延在部 23' は、後述する第 1 方向 X において、 p 型ベース領域 23 の、 n^+ 型ソース領域 24 の外周よりも外側の部分である。 p 型ベース領域延在部 23' は、後述する第 2 方向 Y において、 p 型ベース領域 23 の、最も外側のトレンチ 26 よりも外側の部分である。 p 型ベース領域延在部 23' は、略矩形状に活性領域 1 の周囲を囲む。

【0050】

トレンチ 26 は、半導体基板 10 のおもて面 13a から n^+ 型ソース領域 24 および p 型ベース領域 23 を深さ方向 Z に貫通して n^- 型ドリフト領域 22 に達する。トレンチ 26 は、両端部がそれぞれ半導体基板 10 の対辺付近に位置するように、半導体基板 10 のおもて面 13a に平行な方向（以下、第 1 方向とする）X に延在するストライプ状に配置されている。トレンチ 26 の端部は、活性領域 1 から外側へ延在し、境界領域 3 で終端している。トレンチ 26 の端部は、 p^+ 型高濃度領域 51 にまで達していてもよい（図 3 参照）。トレンチ 26 は、両端部ともにそれぞれ隣り合う他のトレンチ 26 と端部同士を連結した略環状の平面形状を有していてもよい。

【0051】

トレンチ 26 の内部には、ゲート絶縁膜 27 を介してゲート電極 28 が設けられている。1 つのトレンチ 26 の内部に配置されたゲート電極 28 と、当該トレンチ 26 によって分離された隣り合うメサ領域と、で MOSFET の 1 つの単位セルが構成される。メサ領域に設けられた領域は、ゲート絶縁膜 27 によってゲート電極 28 と電氣的に絶縁されている。メサ領域とは、隣り合うトレンチ 26 間の領域である。MOSFET の単位セルは

10

20

30

40

50

、第1方向Xに延在するストライプ状に複数配置されている。すなわち、p型ベース領域23、n⁺型ソース領域24、トレンチ26、ゲート絶縁膜27およびゲート電極28は、第1方向Xに延在するストライプ状に配置されている。

【0052】

n⁺型ソース領域24は、トレンチ26の側壁からメサ領域を挟んで当該トレンチ26に隣り合う他のトレンチ26の側壁にまで達するように、活性領域1におけるメサ領域の全面に設けられている。p⁺型コンタクト領域25は、第1方向Xに所定間隔で、n⁺型ソース領域24の内部に点在して配置されている。p⁺型コンタクト領域25は、後述する金属膜30とn⁺型ソース領域24およびp⁺型コンタクト領域25とのコンタクト抵抗を低減する機能を有する。このp⁺型コンタクト領域25により、金属膜30と半導体部とのコンタクト（電氣的接触部）の電圧-電流特性がオーミック性（直線性）を示す。このため、ソース電極（第1電極）31と半導体部との電位差を小さくすることができる。

【0053】

ソース電極31と半導体部との電位差が小さくなることによって、n⁺型ソース領域24、p型ベース領域23およびn⁻型ドリフト領域22からなるnpn寄生バイポーラ動作によるゲート絶縁膜27の絶縁破壊を防止することができる。半導体基板10のおもて面13aからトレンチ26の底面よりもn⁺型出発基板21側に深い位置において、n⁻型ドリフト領域22の内部には、第1、2p⁺型領域37、38がそれぞれ選択的に設けられている。第1p⁺型領域37は、トレンチ26の底面よりもn⁺型出発基板21側に深い位置に配置され、深さ方向Zにトレンチ26の底面に対向する。トレンチ26の底面が第1p⁺型領域37の内部で終端していてもよい。

【0054】

第2p⁺型領域38は、メサ領域において、p型ベース領域23よりもn⁺型出発基板21側に深い位置に配置され、かつp型ベース領域23に接する。第2p⁺型領域38は、トレンチ26から離して設けられている。第1、2p⁺型領域37、38は、第1方向Xと直交し、かつ半導体基板10のおもて面13aに平行な方向（以下、第2方向とする）Yに交互に繰り返し配置されている。これら第1、2p⁺型領域37、38を設けることで、MOSFETのオフ時にゲート絶縁膜27にかかる電界の抑制と、耐圧向上と、を実現可能である。第1、2p⁺型領域37、38間のn型JFET領域22'の不純物濃度を、n⁻型ドリフト領域22の不純物濃度よりも高くしてもよい。

【0055】

また、第1、2p⁺型領域37、38は、第1方向Xに外側へ後述する段差13のコーナー部13cまで延在し、当該段差13のコーナー部13cにおいてp⁺型高濃度領域51を覆う。また、第2p⁺型領域38は、第2方向Yにおいて最も外側のトレンチ26よりも外側にも配置されている。第2方向Yにおいて最も外側のトレンチ26よりも外側にも配置された第2p⁺型領域38は、p型ベース領域延在部23'よりもn⁺型出発基板21側に深い位置に配置され、かつp型ベース領域延在部23'に接する。かつ、当該第2p⁺型領域38は、第2方向Yに外側へ段差13のコーナー部13cまで延在し、当該段差13のコーナー部13cにおいてp⁺型高濃度領域51を覆う。

【0056】

層間絶縁膜29は、半導体基板10のおもて面13aの全面に設けられ、ゲート電極28を覆う。層間絶縁膜29を深さ方向Zに貫通する第1コンタクトホール29aが設けられている。第1コンタクトホール29aは、活性領域1におけるメサ領域（すなわちn⁺型ソース領域24およびp⁺型コンタクト領域25）を露出する。各メサ領域は、それぞれ異なる第1コンタクトホール29aに露出されている。第1コンタクトホール29aは、例えば第1方向Xに所定間隔で点在しており、それぞれ異なるp⁺型コンタクト領域25を露出する。各第1コンタクトホール29aの内部において半導体基板10のおもて面13a上に、それぞれ金属膜30が設けられている。

【0057】

金属膜30は、n⁺型ソース領域24およびp⁺型コンタクト領域25に接し、電圧-電

10

20

30

40

50

流特性がオーミック性を示すコンタクトを形成している。金属膜 30 は、例えばニッケルシリサイド (NiSi) 膜である。ソース電極 31 は、金属膜 30 を介して n⁺型ソース領域 24、p⁺型コンタクト領域 25 および p 型ベース領域 23 に電氣的に接続されている。ソース電極 31 は、半導体基板 10 のおもて面 13a において活性領域 1 のほぼ全面を覆う。ソース電極 31 は、ソースパッドを兼ねる。ソース電極 31 は、層間絶縁膜 29 上に延在し、境界領域 3 で終端していてもよい。ソース電極 31 は、例えばアルミニウム - シリコン (Al-Si) 膜であってもよい。

【0058】

また、活性領域 1 において層間絶縁膜 29 上には、例えば活性領域 1 の、境界領域 3 との境界付近に、ソース電極 31 と離してゲートパッド 32 が設けられている。ゲートパッド 32 は、例えば、略矩形状の平面形状を有する。ゲートパッド 32 は、例えばソース電極 31 と同じ材料で形成される。ゲートパッド 32 には、後述する導電層 52 およびゲートランナー 53 を介してすべてのゲート電極 28 が電氣的に接続されている。ドレイン電極 (第 2 電極) 33 は、活性領域 1 からエッジ終端領域 2 にわたって、半導体基板 10 の裏面全体に設けられている。ドレイン電極 33 は、n⁺型ドレイン領域である n⁺型出発基板 21 の裏面に接し、電圧 - 電流特性がオーミック性を示すコンタクトを形成する。

【0059】

エッジ終端領域 2 は、境界領域 3 と半導体基板 10 の端部との間の領域であり、境界領域 3 を介して略矩形状に活性領域 1 の周囲を囲む。エッジ終端領域 2 は、活性領域 1 の端部での電界集中を緩和して所定の耐圧 (耐電圧) を保持する機能を有する。耐圧とは、リーク電流が過度に増大せず、素子が誤動作や破壊を起こさない限界の電圧である。エッジ終端領域 2 の全域にわたって p 型炭化珪素エピタキシャル層 12 が除去されることで、半導体基板 10 のおもて面 13a にエッジ終端領域 2 を活性領域 1 よりも低くした (n⁺型出発基板 21 側に凹ませた) 段差 13 が形成されている。この段差 13 により、エッジ終端領域 2 に新たに半導体基板 10 のおもて面 13a' が形成される。

【0060】

エッジ終端領域 2 における半導体基板 10 のおもて面 13a' には、n⁻型炭化珪素エピタキシャル層 11 が露出されている。段差 13 の形成時に、p 型炭化珪素エピタキシャル層 12 とともに n⁻型炭化珪素エピタキシャル層 11 が所定深さで除去されてもよい。段差 13 のステア 13b は、例えば境界領域 3 に位置している。段差 13 のステア 13b とは、半導体基板 10 のおもて面のうち、半導体基板 10 の内側部分のおもて面 13a (上段の面) と、半導体基板 10 の外側部分のおもて面 13a' (下段の面) と、を連結する面である。段差 13 のステア 13b には、後述する p⁺型高濃度領域 51 が露出されている。段差 13 の下段の面である半導体基板 10 の外側部分のおもて面 13a' は、境界領域 3 まで延在していてもよい。

【0061】

エッジ終端領域 2 において半導体基板 10 のおもて面 13a' の表面層には、例えば、外側に配置されるほど不純物濃度を低くした複数の p 型領域 (ここでは例えば 2 つの p 型領域に内側から順に符号 41, 42 を付す) からなる接合終端 (JTE) 構造 40 等の耐圧構造が配置される。JTE 構造 40 の最も内側の p⁻型領域 41 は、境界領域 3 を介して活性領域 1 の周囲を囲む。JTE 構造 40 の p⁻型領域 42 は、p⁻型領域 41 の外側に隣接して配置され、p⁻型領域 41 の周囲を囲む。エッジ終端領域 2 における半導体基板 10 のおもて面 13a' からの深さは、p⁻型領域 41 および p⁻型領域 42 よりも例えば第 2 p⁺型領域 38 で深くなっている。

【0062】

これら p⁻型領域 41 および p⁻型領域 42 の内部に、オフ時に第 2 p⁺型領域 38 と n⁻型ドリフト領域 22 と pn 接合面の端部から外側に向かって伸びる空乏層が広がることで、エッジ終端領域 2 での耐圧が確保される。また、エッジ終端領域 2 において半導体基板 10 のおもて面 13a' の表面層には、JTE 構造 40 よりも外側で、かつ JTE 構造 40 と離して、n 型チャネルストッパー領域 43 が選択的に設けられている。n 型チャネ

10

20

30

40

50

ルストッパー領域 43 は、半導体基板 10 の端部（半導体基板 10 の側面）に露出されている。エッジ終端領域 2 において、半導体基板 10 のおもて面 13a' は、半導体基板 10 と層間絶縁膜 29 との間に設けられたフィールド酸化膜 44 で覆われている。

【0063】

境界領域 3 は、活性領域 1 とエッジ終端領域 2 との間において半導体基板 10 のおもて面 13a の表面層に設けられた p⁺型高濃度領域 51 で構成される。p⁺型高濃度領域 51 は、例えば、アルミニウム等の p 型不純物のイオン注入により p 型ベース領域延在部 23' の表面領域に形成されている。p⁺型高濃度領域 51 は、第 1 方向 X において活性領域 1 の n⁺型ソース領域 24 と離して配置され、かつ第 2 方向 Y において最も外側のトレンチ 26 の外側の側壁と離して配置されている。第 2 方向 Y において p⁺型高濃度領域 51 と最も外側のトレンチ 26 との間に、n⁺型ソース領域 24 および p⁺型コンタクト領域 25 は設けられていない。

【0064】

第 1 方向 X において p⁺型高濃度領域 51 と n⁺型ソース領域 24 とに挟まれた部分、および、第 2 方向 Y において p⁺型高濃度領域 51 と最も外側のトレンチ 26 とに挟まれた部分、は p 型炭化珪素エピタキシャル層 12 で構成された p 型ベース領域延在部 23' の一部であり、活性領域 1 と境界領域 3 との境界に沿って半導体基板 10 のおもて面 13a に露出されている（図 3 のハッチングされていない部分（図 9, 11, 13, 15, 17 においても同様））。すなわち、略矩形状の平面形状を有する活性領域 1 の 1 対の対辺に沿って延在する略直線状に、または、略矩形状の平面形状を有する活性領域 1 の周囲を囲む略矩形状に、活性領域 1 と境界領域 3 との境界に沿って半導体基板 10 のおもて面 13a に p 型ベース領域延在部 23' が露出されている。

【0065】

図 3 には、半導体基板 10 のコーナー部の状態のみを示すが、活性領域 1 と境界領域 3 との境界の第 2 方向 Y に平行な対辺に沿って、p⁺型高濃度領域 51 を n⁺型ソース領域 24 から離して配置した状態となっている。活性領域 1 と境界領域 3 との境界の第 1 方向 X に平行な対辺に沿って、p⁺型高濃度領域 51 を最も外側のトレンチ 26 から離して配置した状態となっている。これによって、p 型ベース領域延在部 23' の、第 1 方向 X において p⁺型高濃度領域 51 と n⁺型ソース領域 24 とに挟まれた部分、または、第 2 方向 Y において p⁺型高濃度領域 51 と最も外側のトレンチ 26 とに挟まれた部分、もしくはその両方の部分を、結晶欠陥が存在しない p 型炭化珪素エピタキシャル層 12 で構成することができる。

【0066】

第 1 方向 X において p⁺型高濃度領域 51 から n⁺型ソース領域 24 までの第 1 距離 X1 は例えば 0.6 μm 以上程度とするとよい。第 2 方向 Y において p⁺型高濃度領域 51 から最も外側のトレンチ 26 までの第 2 距離 Y1 は例えば 0.6 μm 以上程度とするとよい。これら第 1, 2 距離 X1, Y1 の条件は少なくとも一方の条件が満たされていれば、後述する本発明の効果が得られる。第 1, 2 距離 X1, Y1 の条件をとともに満たす場合、第 1, 2 距離 X1, Y1 は等しい（X1 = Y1）。半導体基板 10 のおもて面 13a 側から見て、活性領域 1 の周囲は 0.6 μm 以上の幅を有する p 型ベース領域延在部 23' に囲まれ、当該 p 型ベース領域延在部 23' の周囲は p⁺型高濃度領域 51 に囲まれる。

【0067】

このように活性領域 1 と p⁺型高濃度領域 51 との間に、p 型炭化珪素エピタキシャル層 12 で構成された p 型ベース領域延在部 23' が配置される。これによって、高温（例えば 1250 以上程度）となる条件で、ゲート電極 28 にソース電極 31 の電位に対して負バイアスとなるゲート電圧 Vg（ゲート電圧 Vg < 0：ゲート負バイアス）が長時間印加されたとしても、ドレイン電流 Id の所定の電流量に対応するゲート電圧 Vg の初期状態時からの変動量 ΔVg を低減することができる。これにより、高温条件でのゲート負バイアス印加によって、ゲートしきい値電圧 Vth の特性が不安定になる期間、すなわち NBTI となる期間を少なくすることができる。また、高温となる条件で、ゲート電

極 2 8 にゲート負バイアスが長時間印加されたとしても、ドレイン遮断電流（リーク電流） I_{dss} の電流量を初期状態時に近づけることができる。

【0068】

ゲート電圧 V_g の初期状態時からの変動量 V_g とは、初期状態でのゲート電圧 V_g から、ゲート負バイアスを印加した状態でのゲート電圧 V_g を減算した値（差分）である。通電時とは、ゲート電極 2 8 にソース電極 3 1 の電位に対して正バイアスとなるゲート電圧 V_g （ゲート電圧 $V_g = 0$ ：ゲート正バイアス）を印加して当該ゲート電圧 V_g を増加させていき、ゲート電圧 V_g がゲートしきい値電圧 V_{th} 以上となったときである。ドレイン電流 I_d は、通電後に流れ始め、ゲート電圧 V_g の増加に伴って増加する。初期状態とは、ゲート電極 2 8 にゲート負バイアスが印加されていない状態、すなわちゲート電極 2 8 へのゲート負バイアスの印加時間の合計が 0（ゼロ）V の状態である。

10

【0069】

また、 p^+ 型高濃度領域 5 1 は、境界領域 3 における半導体基板 1 0 のおもて面 1 3 a に露出されている。かつ、 p^+ 型高濃度領域 5 1 は、段差 1 3 のステア 1 3 b およびコーナー部 1 3 c から段差 1 3 の下段の面である半導体基板 1 0 の外側部分のおもて面に 1 3 a' にわたって露出されている。段差 1 3 のコーナー部 1 3 c とは、段差 1 3 の下段の面である半導体基板 1 0 の外側部分のおもて面 1 3 a' と段差 1 3 のステア 1 3 b との境界である。 p^+ 型高濃度領域 5 1 は、段差 1 3 のコーナー部 1 3 c において第 1 方向 X に n^- 型ドリフト領域 2 2 および第 1, 2 p^+ 型領域 3 7, 3 8 に接し、第 2 方向 Y に第 2 p^+ 型領域 3 8 に接する。

20

【0070】

p^+ 型高濃度領域 5 1 は、第 1, 2 方向 X, Y に JTE 構造 4 0 の最も内側の p^- 型領域 4 1 に接する。 p^+ 型高濃度領域 5 1 は、第 1, 2 p^+ 型領域 3 7, 3 8 よりも外側へ延在していてもよい。この場合、 p^+ 型高濃度領域 5 1 は、第 1, 2 p^+ 型領域 3 7, 3 8 と JTE 構造 4 0 の p^- 型領域 4 1 との間において n^- 型ドリフト領域 2 2 に接する。 p^+ 型高濃度領域 5 1 の表面全体がゲート絶縁膜 2 7、層間絶縁膜 2 9 およびフィールド酸化膜 4 4 からなる絶縁膜で覆われている。すなわち、 p^+ 型高濃度領域 5 1 は、金属膜 3 0 に直接接していない。 p^+ 型高濃度領域 5 1 は、 p 型ベース領域延在部 2 3'（すなわち p 型ベース領域 2 3）を介してソース電極 3 1 に電氣的に接続されている。

30

【0071】

また、 p^+ 型高濃度領域 5 1 は、 p 型ベース領域 2 3 よりも不純物濃度が高い。 p^+ 型高濃度領域 5 1 は、 p 型ベース領域 2 3 を低抵抗化する機能を有する。 p 型ベース領域 2 3 を低抵抗化することで、オフ時のアバランシェ降伏により電界が集中するエッジ終端領域 2 と境界領域 3 との境界付近または活性領域 1 の端部で主に発生する正孔電流がソース電極 3 1 へ引き抜かれる際に p 型ベース領域延在部 2 3'（すなわち p 型ベース領域 2 3）の電位が持ち上がることを防止することができる。これによって、厚さの薄いゲート絶縁膜 2 7 にかかる電界を緩和することができ、ゲート絶縁膜 2 7 の寿命を延ばしたり、ゲート絶縁膜 2 7 の絶縁破壊を防止することができる。

40

【0072】

境界領域 3 において、フィールド酸化膜 4 4 上には、ポリシリコン（poly-Si）からなる導電層 5 2 と、例えばソース電極 3 1 と同じ材料で形成されたゲートランナー 5 3 と、が設けられている（図 2 参照）。導電層 5 2 には、図示省略する部分ですべてのゲート電極 2 8 が電氣的に接続されている。導電層 5 2 は、層間絶縁膜 2 9 で覆われている。ゲートランナー 5 3 は、層間絶縁膜 2 9 を深さ方向に貫通する第 2 コンタクトホール 2 9 b を介して導電層 5 2 に接続されている。導電層 5 2 およびゲートランナー 5 3 は、略矩形状に活性領域 1 の周囲を囲む。ゲートランナー 5 3 は、ゲートパッド 3 2（図 1 参照）に接続されている。

40

【0073】

特に限定しないが、例えば実施の形態 1 にかかる MOSFET が耐圧 1200V クラスである場合には、各部の寸法および不純物濃度は次の値をとる。 n^+ 型出発基板 2 1 の不

50

純物濃度は、例えば $1 \times 10^{18} / \text{cm}^3$ 程度である。n⁻型炭化珪素エピタキシャル層 11 の厚さ t_{11} は、例えば $10 \mu\text{m}$ である。n⁻型炭化珪素エピタキシャル層 11 (n⁻型ドリフト領域 22) の不純物濃度は、例えば $5 \times 10^{15} / \text{cm}^3$ 以上 $2 \times 10^{16} / \text{cm}^3$ 程度である。n 型 J F E T 領域 22' の不純物濃度は、例えば $1 \times 10^{17} / \text{cm}^3$ 程度である。

【0074】

第 1 p⁺型領域 37 の厚さ t_1 は、例えば $0.5 \mu\text{m}$ 程度であつてもよい。第 1 p⁺型領域 37 は、例えば半導体基板 10 のおもて面 13a から $2 \mu\text{m}$ 程度の深さにまで達する。第 2 p⁺型領域 38 の厚さ t_2 は、例えば $1 \mu\text{m}$ 程度であつてもよい。第 2 p⁺型領域 38 は、例えば半導体基板 10 のおもて面 13a から $2 \mu\text{m}$ 程度の深さにまで達する。第 1, 2 p⁺型領域 37, 38 の不純物濃度は、例えば $1 \times 10^{17} / \text{cm}^3$ 以上 $1 \times 10^{19} / \text{cm}^3$ 以下程度であり、例えば $1 \times 10^{18} / \text{cm}^3$ 程度であつてもよい。

【0075】

p 型炭化珪素エピタキシャル層 12 の厚さ t_{12} は、例えば $1 \mu\text{m}$ 程度である。p 型炭化珪素エピタキシャル層 12 (p 型ベース領域 23) の不純物濃度は、例えば $1 \times 10^{16} / \text{cm}^3$ 以上 $3 \times 10^{18} / \text{cm}^3$ 以下程度であり、例えば $1 \times 10^{17} / \text{cm}^3$ 程度であつてもよい。n⁺型ソース領域 24 の不純物濃度は、例えば $1 \times 10^{21} / \text{cm}^3$ 程度である。p⁺型高濃度領域 51 の厚さ t_3 は、例えば $0.5 \mu\text{m}$ 程度である。p⁺型高濃度領域 51 の不純物濃度は、例えば $5 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下程度である。

【0076】

次に、実施の形態 1 にかかる炭化珪素半導体装置の動作について説明する。ドレイン電極 33 にソース電極 31 に対して正の電圧 (ソース - ドレイン電圧) が印加された状態で、ゲート電極 28 にゲートしきい値電圧 V_{th} 未満のゲート電圧 V_g が印加される。これにより、p 型ベース領域 23 と n⁻型ドリフト領域 22 との間の p n 接合が逆バイアスされた状態となるため、活性領域 1 の逆方向耐圧が確保され、ドレイン電流 I_d は流れない。すなわち、M O S F E T はオフ状態を維持する。このとき、例えば、ゲート電極 28 にゲート負バイアスを印加することで、M O S F E T を確実にオフすることができる。

【0077】

一方、ソース - ドレイン電圧が印加された状態で、ゲート電極 28 にゲートしきい値電圧 V_{th} 以上のゲート電圧 V_g が印加されると、p 型ベース領域 23 の、n⁺型ソース領域 24 と n⁻型ドリフト領域 22 とに挟まれた、トレンチ 26 に沿った部分に n 型の反転層 (チャネル) が形成される。これによって、n⁺型出発基板 21、n⁻型ドリフト領域 22、p 型ベース領域 23 の表面反転層および n⁺型ソース領域 24 の経路で電流が流れ、M O S F E T がオン状態となる。このように、ゲート電圧 V_g を制御することによって、M O S F E T のスイッチング動作を行うことができる。

【0078】

実施の形態 1 にかかる炭化珪素半導体装置の製造方法について説明する。図 6, 7 は、実施の形態 1 にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である。まず、n⁺型出発基板 21 のおもて面に、n⁻型炭化珪素エピタキシャル層 11 をエピタキシャル成長させる。次に、フォトリソグラフィおよびイオン注入により、n⁻型炭化珪素エピタキシャル層 11 の内部に、第 1, 2 p⁺型領域 37, 38 を選択的に形成する。次に、エピタキシャル成長により n⁻型炭化珪素エピタキシャル層 11 の厚さを増やして、n⁻型炭化珪素エピタキシャル層 11 を所定の厚さ t_{11} まで厚くする。

【0079】

次に、フォトリソグラフィおよびイオン注入により、n⁻型炭化珪素エピタキシャル層 11 の表面層に第 2 p⁺型領域 38 となる p⁺型領域を形成することで、第 2 p⁺型領域 38 を所定の厚さ t_2 にまで厚くする。n⁻型炭化珪素エピタキシャル層 11 の、第 1, 2 p⁺型領域 37, 38 と、後の工程で形成される p⁻型領域 41、p⁻型領域 42 および n 型チャネルストッパー領域 43 と、を除いた部分が n⁻型ドリフト領域 22 となる。次に、n⁻型炭化珪素エピタキシャル層 11 の表面に、p 型炭化珪素エピタキシャル層 12 を

エピタキシャル成長させる。

【0080】

次に、エッジ終端領域2の全域にわたってp型炭化珪素エピタキシャル層12を除去して、半導体基板10のおもて面13aにエッジ終端領域2を活性領域1よりも低くした段差13を形成する。これにより、エッジ終端領域2における半導体基板10のおもて面13a'にn⁻型炭化珪素エピタキシャル層11が露出される。次に、異なる酸化膜マスクを用いてイオン注入を行うことにより、上述した所定領域にそれぞれn⁺型ソース領域24、p⁺型コンタクト領域25、p⁺型高濃度領域51、JTE構造40(p⁻型領域41、p⁻型領域42)およびn型チャネルストッパー領域43を選択的に形成する。

【0081】

n⁺型ソース領域24、p⁺型コンタクト領域25、p⁺型高濃度領域51、JTE構造40およびn型チャネルストッパー領域43の形成順序は種々変更可能である。また、p⁺型高濃度領域51は、p⁺型コンタクト領域25と同時に形成可能である。例えば、n⁺型ソース領域24、JTE構造40およびn型チャネルストッパー領域43の形成後に、p⁺型コンタクト領域25およびp⁺型高濃度領域51を形成する場合、まず、図6に示すように、半導体基板10のおもて面全面(すなわち半導体基板10のおもて面13a, 13a'および段差13のステア13b)に酸化膜61を堆積する。

【0082】

次に、フォトリソグラフィおよびエッチングにより、酸化膜61の、p⁺型コンタクト領域25の形成領域61aおよびp⁺型高濃度領域51の形成領域61bに対応する部分を除去する。次に、酸化膜61の残部をマスクとして例えばアルミニウム等のp型不純物をイオン注入62する(図6)。このイオン注入62により、活性領域1の所定領域にp⁺型コンタクト領域25が形成され、境界領域3の所定領域にp⁺型高濃度領域51が形成される(図7)。このイオン注入62の条件は、従来と同様に、最大加速エネルギーを350keVとし、p型不純物の総ドーズ量を $5.15 \times 10^{15} / \text{cm}^2$ としてもよい。

【0083】

次に、イオン注入したすべての不純物を活性化させるための熱処理(活性化アニール)を、例えば1700程度の温度で10分間程度行う。次に、一般的な方法により、トレンチ26、ゲート絶縁膜27およびゲート電極28によるトレンチゲート構造を形成する。例えば熱酸化によりゲート絶縁膜27を形成した後、ゲート絶縁膜27と半導体部との間の界面特性を改善するためのPOA(Post Oxidation Anneal)を行ってもよい。その後、一般的な方法により、フィールド酸化膜44、層間絶縁膜29、金属膜30、導電層52、ソース電極31、ゲートパッド32、ゲートランナー53およびドレイン電極33を形成することで、図1~5に示すMOSFETが完成する。

【0084】

次に、上述したように活性領域1とp⁺型高濃度領域51との間に、p型炭化珪素エピタキシャル層12で構成されたp型ベース領域延在部23'を配置する理由について説明する。まず、従来の炭化珪素半導体装置(図21~25参照、以下、従来構造とする)のドレイン電流I_dのゲインカーブ(図26参照)が初期状態と比べてゲート電圧V_gのマイナス方向へ大きく変位するメカニズムについて説明する。ドレイン電流I_dのゲインカーブの変位は、次の5つの事項を要因として起きると推測される。

【0085】

1つ目の事項は、p型炭化珪素エピタキシャル層112の内部にp⁺型高濃度領域151を形成するためのp型不純物のイオン注入により、p型炭化珪素エピタキシャル層112中に点欠陥が発生することである。2つ目の事項は、p型炭化珪素エピタキシャル層112中の点欠陥が、p⁺型高濃度領域151の形成領域だけでなく、p⁺型高濃度領域151よりも外側へ、半導体基板10のおもて面に平行な方向(すなわち第1, 2方向X, Yを含む放射状)に数μmの範囲に拡散することである。

【0086】

3つ目の事項は、ゲート絶縁膜127を形成するための熱酸化(POAを含む)により

10

20

30

40

50

p型炭化珪素エピタキシャル層 112 中の点欠陥がゲート絶縁膜 127 中で正孔トラップとなることである。4つ目の事項は、これらの事項を含むプロセスで作製された MOSFET のゲート電極 128 に、半導体基板 110 が高温（例えば 125 以上程度）となる条件で、ゲート負バイアス（例えばゲート電圧 $V_g = -5V$ ）が印加されることで、p型ベース領域 123 の、ゲート絶縁膜 127 との界面に正孔が蓄積されることである。

【0087】

5つ目の事項は、p型ベース領域 123 の、ゲート絶縁膜 127 との界面に蓄積された正孔の一部がトンネリングしてゲート絶縁膜 127 中の正孔トラップに捕獲されることである。これによって、ドレイン電流 I_d のゲインカーブが初期状態と比べてゲート電圧 V_g のマイナス方向へ大きく変位する。これら5つの事項は、ゲート電極 128 と、ゲート電極 128 にゲート電圧 V_g を印加するゲートランナー 153 との電気的接続箇所付近、すなわち n^+ 型ソース領域 124 の外周付近で顕著にあらわれる。

【0088】

上記5つの事項が n^+ 型ソース領域 124 の外周付近で顕著にあらわれることで、ドレイン電流 I_d の立ち上がり領域にのみ、ドレイン電流 I_d のゲインカーブが変位する。そこで、3つ目の事項において点欠陥がゲート絶縁膜 27 中に拡散しないように、2つ目の事項に挙げた点欠陥の拡散長に対して、本発明のように p^+ 型高濃度領域 51 を n^+ 型ソース領域 24 から十分に離して、活性領域 1 と p^+ 型高濃度領域 51 との間に、結晶欠陥が存在しない p型炭化珪素エピタキシャル層 12 を配置するとよい。

【0089】

（実施例 1）

次に、実施の形態 1 にかかる炭化珪素半導体装置 n 第 1, 2 距離 X_1, Y_1 について検証した。図 8 は、実施例 1 の第 1 距離について検証した結果を示す特性図である。図 8 の横軸は第 1 方向 X における p^+ 型高濃度領域 51 から n^+ 型ソース領域 24 までの第 1 距離 X_1 であり、縦軸はゲート正バイアスの経時変動を観察した所定時間内で生じたゲート正バイアスの変動量 V_g の最大値である。まず、上述した実施の形態 1 にかかる炭化珪素半導体装置の構造を備えたトレンチゲート構造の n チャネル型 MOSFET を複数作製した（以下、実施例 1 とする）。実施例 1 の各試料は、それぞれ第 1 距離 X_1 が異なる。 p^+ 型高濃度領域 51 ' のアルミニウムドーズ量を $5.15 \times 10^{15} / \text{cm}^2$ とした。

【0090】

これら実施例 1 の各試料に対して、それぞれ、200 の高温雰囲気下において、ソース電極 31 およびドレイン電極 33 を接地した状態で、ゲート電極 28 に所定の印加時間で $-5V$ のゲート電圧 V_g （ゲート負バイアス）を印加した。そして、ゲート電極 28 に任意の印加時間でゲート負バイアスを印加するごとに、それぞれ室温雰囲気下においてゲート電極 28 にゲート正バイアスを印加して通電させて当該ゲート正バイアスを測定することで、ゲート正バイアスの初期状態時からの経時変動を 1000 時間観察した。ゲート電極 28 に印加するゲート負バイアスの印加時間は、0 時間（初期状態）から 1000 時間に達するまで所定時間ずつ増加させた。

【0091】

このゲート正バイアスの初期状態時からの経時変動の観察を、ドレイン電流 I_d の電流量が定格電流の千分の一の電流量 $I_{d1} / I_0 (= 10^{-3})$ となる第 1 測定点（図 26 の符号 171 に相当）と、ドレイン電流 I_d の電流量が第 1 測定点のドレイン電流 I_{d1} の電流量の百万分の一の電流量 $I_{d2} / I_0 (= 10^{-9})$ となる第 2 測定点（図 26 の符号 172 に相当）と、のそれぞれで行った。そして、第 1, 2 測定点でのドレイン電流 I_d の電流量に対応するゲート正バイアスの初期状態時からの変動量 V_g の最大値を比較した結果を図 8 に示す。図 8 において第 1 距離 X_1 を $0.0 \mu\text{m}$ とした試料は、 p^+ 型高濃度領域 151 と n^+ 型ソース領域 124 とが接する従来構造（図 21 ~ 25 参照）に相当する。

【0092】

図 8 に示す結果より、第 1, 2 測定点のいずれにおいても、第 1 方向 X において p^+ 型

10

20

30

40

50

高濃度領域 5 1 から n^+ 型ソース領域 2 4 までの第 1 距離 X_1 を $0.6 \mu m$ 以上とすることで、ドレイン電流 I_d の電流量に対応するゲート正バイアスの初期状態時からの変動量 V_g を従来構造よりも低減することができることが確認された。ゲート正バイアスの初期状態時からの変動量 V_g を低減するとは、ゲート正バイアスの初期状態時からの変動量 V_g の絶対値を小さくすることである。具体的には、当該第 1 距離 X_1 を $0.6 \mu m$ 以上とすれば、例えば、第 1 測定点と比べてゲート正バイアスがゲートしきい値電圧 V_{th} に近い第 2 測定点であっても、ドレイン電流 I_d の電流量に対応するゲート正バイアスの初期状態時からの変動量 V_g を、従来構造の $-1.45 V$ (符号 7 1 で示すデータ点の試料) から $-0.8 V$ 程度 (符号 7 2 の円で囲むデータ点の試料) まで低減することができる。

10

【0093】

図示省略するが、第 2 方向 Y において p^+ 型高濃度領域 5 1 から最も外側のトレンチ 2 6 までの第 2 距離 Y_1 を $0.6 \mu m$ 以上とした場合においても、図 8 に示す結果と同様の結果が得られる。

【0094】

以上、説明したように、実施の形態 1 によれば、活性領域とエッジ終端領域との間の境界領域を構成する p^+ 型高濃度領域を、第 1 方向に n^+ 型ソース領域と離して、または、第 2 方向に最も外側のトレンチと離して、もしくはその両方と離して配置する。第 1 方向において p^+ 型高濃度領域と n^+ 型ソース領域とに挟まれた部分、または、第 2 方向において p^+ 型高濃度領域と最も外側のトレンチとに挟まれた部分、もしくはその両方の部分は、 p 型炭化珪素エピタキシャル層の、半導体基板のおもて面に露出された部分である。これにより、 p 型ベース領域延在部の、ゲート絶縁膜に隣接する部分は、結晶欠陥が存在しない p 型炭化珪素エピタキシャル層となる。このため、ゲート絶縁膜の熱酸化時に、ゲート絶縁膜に結晶欠陥に起因する正孔トラップが発生することを抑制することができる。

20

【0095】

このようにゲート絶縁膜内での正孔トラップの発生が抑制されることで、高温条件でゲート電極にゲート負バイアスが印加されたときに、 p 型ベース領域の、ゲート絶縁膜との界面に正孔が蓄積されることを抑制することができる。これによって、高温条件で、オフ状態を維持するためにゲート電極にゲート負バイアスが印加されたとしても、ドレイン電流の所定の電流量に対応するゲート正バイアスの初期状態時からの変動量を低減することができる。また、ゲート電極に $0 V$ 以下のゲート電圧を印加してオフ状態を維持する際に、ドレイン遮断電流の電流量を初期状態時に近づけることができる。このため、ドレイン電流のゲインカーブが初期状態と比べてゲート電圧のマイナス方向へ変位することを抑制することができ、ゲート電圧制御による電流制御性を向上させることができる。

30

【0096】

(実施の形態 2)

次に、実施の形態 2 にかかる炭化珪素半導体装置の構造について説明する。図 9 は、実施の形態 2 にかかる炭化珪素半導体装置の一部を半導体基板のおもて面側から見たレイアウトを示す平面図である。図 9 には、図 1 の頂点 B 、 B' を対頂点とする矩形枠で囲んだ、半導体基板 10 のコーナー部付近における活性領域 1 と境界領域 3 との境界付近の状態を示す。半導体基板 10 に対する頂点 B および頂点 B' の位置は実施の形態 1 と同様である。図 9 の切断線 $C-C'$ における断面構造は、図 4 の符号 X_1 を X_1' に代えたものである。図 9 の切断線 $D-D'$ における断面構造は、図 5 と同様である。

40

【0097】

実施の形態 2 にかかる炭化珪素半導体装置が実施の形態 1 にかかる炭化珪素半導体装置と異なる点は、次の 2 点である。1 つ目の相違点は、第 1 方向 X における p^+ 型高濃度領域 5 1 から n^+ 型ソース領域 2 4 までの第 1 距離 X_1' を、第 2 方向 Y における p^+ 型高濃度領域 5 1 から最も外側のトレンチ 2 6 までの第 2 距離 Y_1 よりも広くした ($X_1' > Y_1$) 点である。2 つ目の相違点は、第 1、2 距離 X_1' 、 Y_1 の条件をとともに満たすように p^+ 型高濃度領域 5 1 が配置される点である。第 1 距離 X_1' は例えば $9.35 \mu m$ 以

50

上程度とし、第2距離 Y_1 は例えば $0.6\mu\text{m}$ 以上程度とするとよい。

【0098】

(実施例2)

次に、実施の形態2にかかる炭化珪素半導体装置の第1, 2距離 X_1' , Y_1 について検証した。図10は、実施例2の第1距離について検証した結果を示す特性図である。図10の横軸は第1方向 X における p^+ 型高濃度領域51から n^+ 型ソース領域24までの第1距離 X_1' であり、縦軸はゲート正バイアスの経時変動を観察した所定時間内で生じたゲート正バイアスの変動量 V_g の最大値である。まず、上述した実施の形態2にかかる炭化珪素半導体装置の構造を備えたトレンチゲート構造の n チャンネル型MOSFETを複数作製した(以下、実施例2とする)。

10

【0099】

実施例2の各試料はそれぞれ第1距離 X_1' が異なる。実施例2のすべての試料はともに第2距離 Y_1 は $1.6\mu\text{m}$ とした。実施例2の各試料の定格電流は、実施例1と同じとした。 p^+ 型高濃度領域51のドーズ量は実施例1と同様である。そして、これら実施例2の各試料に対して、実施例1と同様にゲート正バイアスの初期状態時からの経時変動を第1, 2測定点それぞれで観察し、ドレイン電流 I_d の所定の電流量に対応するゲート正バイアスの初期状態時からの変動量 V_g の最大値を比較した結果を図10に示す。

【0100】

図10に示す結果より、実施例2においては、第2距離 Y_1 を $1.6\mu\text{m}$ とし、第1距離 X_1' を $9.35\mu\text{m}$ 以上とした試料で、第1測定点と比べてゲート正バイアスがゲートしきい値電圧 V_{th} に近い第2測定点であっても、第2測定点でのドレイン電流 I_d の電流量に対応するゲート正バイアスの初期状態時からの変動量 V_g を -0.75V (符号73で示すデータ点の試料)から -0.4V 程度(符号74の円で囲むデータ点の試料)まで低減することができることが確認された。

20

【0101】

上述したように第2距離 Y_1 が $0.6\mu\text{m}$ 以上であれば、ドレイン電流 I_d の所定の電流量に対応するゲート正バイアスの初期状態時からの変動量 V_g の低減効果が得られる(図9参照)。このため、実施例2において、第1距離 X_1' が $9.35\mu\text{m}$ 以上であり、かつ第2距離 Y_1 が $0.6\mu\text{m}$ 以上であれば、図10に示す結果と同様に、第2測定点でのドレイン電流 I_d の電流量に対応するゲート正バイアスの初期状態時からの変動量 V_g を -0.4V 程度まで低減することができることがわかる。

30

【0102】

以上、説明したように、実施の形態2によれば、第1距離を第2距離よりも広くした場合においても、実施の形態1と同様の効果を得ることができる。

【0103】

(実施の形態3)

次に、実施の形態3にかかる炭化珪素半導体装置の構造について説明する。図11は、実施の形態3にかかる炭化珪素半導体装置の一部を半導体基板のおもて面側から見たレイアウトを示す平面図である。図11には、図1の頂点 B , B' を対頂点とする矩形枠で囲んだ、半導体基板10のコーナー部付近における活性領域1と境界領域3との境界付近の状態を示す。半導体基板10に対する頂点 B および頂点 B' の位置は実施の形態1と同様である。図11の切断線 $C-C'$ および切断線 $D-D'$ における断面構造は、それぞれ図4, 5の符号51を51'に代えたものである。

40

【0104】

実施の形態3にかかる炭化珪素半導体装置が実施の形態1にかかる炭化珪素半導体装置と異なる点は、境界領域3を構成する p^+ 型高濃度領域51'のドーズ量を低くした点である。 p^+ 型高濃度領域51'から n^+ 型ソース領域24までの第1距離 X_1 が例えば $0.6\mu\text{m}$ 以上である場合、 p^+ 型高濃度領域51'のドーズ量は、例えばアルミニウムをドーパントとして $6.4 \times 10^{14} / \text{cm}^2$ 以下程度であることがよい。

【0105】

50

p⁺型高濃度領域 5 1 ' のドーズ量を例えばアルミニウムをドーパントとして $3.4 \times 10^{14} / \text{cm}^2$ 以下程度とした場合には、p⁺型高濃度領域 5 1 ' は、従来構造（図 2 1 ~ 2 5 参照）と同様に n⁺型ソース領域 2 4 に接していてもよい。

【0106】

（実施例 3）

次に、実施の形態 3 にかかる炭化珪素半導体装置の p⁺型高濃度領域 5 1 ' のドーズ量について検証した。図 1 2 は、実施例 3 の p⁺型高濃度領域のドーズ量について検証した結果を示す特性図である。図 1 2 の横軸は第 1 方向 X における p⁺型高濃度領域 5 1 から n⁺型ソース領域 2 4 までの第 1 距離 X 1 であり、縦軸はゲート正バイアスの経時変動を観察した所定時間内で生じたゲート正バイアスの変動量 V_g の最大値である。まず、上述した実施の形態 3 にかかる炭化珪素半導体装置の構造を備えたトレンチゲート構造の n チャンネル型 MOSFET を複数作製した（以下、実施例 3 とする）。

10

【0107】

実施例 3 の各第 1 試料 8 1 は、実施例 1 と同様に第 1 距離 X 1 が $0.6 \mu\text{m}$ 以上でそれぞれ異なる。上述したドレイン電流 I_d のゲインカーブの変位のメカニズムから、ドレイン電流 I_d のゲインカーブの変位は点欠陥密度にも依存することが推測される。そこで、実施例 3 の各第 1 試料 8 1 の p⁺型高濃度領域 5 1 ' のアルミニウムドーズ量を、実施例 1 の p⁺型高濃度領域 5 1 のアルミニウムドーズ量（ $= 5.15 \times 10^{15} / \text{cm}^2$ ）の $1/8$ （ $= 6.4 \times 10^{14} / \text{cm}^2$ ）とした。実施例 3 の各第 1 試料 8 1 の定格電流は実施例 1 と同じとした。

20

【0108】

さらに、p⁺型高濃度領域 5 1 ' と n⁺型ソース領域 2 4 とを接触させた構造（すなわち第 1 距離 X 1 = $0 \mu\text{m}$ ）で、p⁺型高濃度領域 5 1 ' のアルミニウムドーズ量を実施例 1 の p⁺型高濃度領域 5 1 のアルミニウムドーズ量の $1/15$ （ $= 3.4 \times 10^{14} / \text{cm}^2$ ）とした試料を実施例 3 の第 2 試料 8 2 とする。実施例 3 の第 2 試料 8 2 の第 1 距離 X 1 および p⁺型高濃度領域 5 1 のドーズ量以外の構成は、実施例 3 の第 1 試料 8 1 と同様である。

【0109】

これら実施例 3 の各第 1 , 2 試料 8 1 , 8 2 に対して、実施例 1 と同様にゲート正バイアスの初期状態時からの経時変動を第 1 , 2 測定点それぞれで観察し、第 1 , 2 測定点でのドレイン電流 I_d の電流量に対応するゲート正バイアスの初期状態時からの変動量 V_g の最大値を比較した結果を図 1 2 に示す。図 1 2 では、実施例 1 の結果（図 8 参照）を「第 1 , 2 測定点」とし、実施例 3 の第 1 , 2 試料 8 1 , 8 2 の結果を「第 1 , 2 測定点（ドーズ量低減）」とした。

30

【0110】

図 1 2 に示す結果から、従来構造では、第 2 測定点でのドレイン電流 I_d の電流量に対応するゲート正バイアスの初期状態時からの変動量 V_g が -1.45 V （データ点 7 1）であった。それに対して、第 1 距離 X 1 を $0 \mu\text{m}$ とした実施例 3 の第 2 試料 8 2 であっても、第 2 測定点でのドレイン電流 I_d の電流量に対応するゲート正バイアスの初期状態時からの変動量 V_g を -0.095 V まで低減することができることが確認された。また、第 1 距離 X 1 を $0.6 \mu\text{m}$ 以上とした実施例 3 の第 1 試料 8 1 においては、p⁺型高濃度領域 5 1 ' のドーズ量を実施例 1 の p⁺型高濃度領域 5 1 のドーズ量の $1/8$ のドーズ量とすることで、第 2 測定点でのドレイン電流 I_d の電流量に対応するゲート正バイアスの初期状態時からの変動量 V_g を $-0.090 \text{ V} \sim -0.098 \text{ V}$ まで低減することができることが確認された。

40

【0111】

以上、説明したように、実施の形態 3 によれば、p⁺型高濃度領域のドーズ量を低減した場合においても、実施の形態 1 , 2 と同様の効果を得ることができる。

【0112】

（実施の形態 4）

50

次に、実施の形態 4 にかかる炭化珪素半導体装置の構造について説明する。図 13 は、実施の形態 4 にかかる炭化珪素半導体装置の一部を半導体基板のおもて面側から見たレイアウトを示す平面図である。図 13 には、図 1 の頂点 B, B' を対頂点とする矩形枠で囲んだ、半導体基板 10 のコーナー部付近における活性領域 1 と境界領域 3 との境界付近の状態を示す。半導体基板 10 に対する頂点 B および頂点 B' の位置は実施の形態 1 と同様である。図 13 の切断線 C - C' における断面構造は、図 4 の符号 51, X1 をそれぞれ 51', X1' に代えたものである。図 13 の切断線 D - D' における断面構造は、図 5 の符号 51 を 51' に代えたものである。

【0113】

実施の形態 4 にかかる炭化珪素半導体装置が実施の形態 2 にかかる炭化珪素半導体装置と異なる点は、境界領域 3 を構成する p⁺型高濃度領域 51' のドーズ量を実施の形態 2 と比べて低減した点である。すなわち、実施の形態 4 にかかる炭化珪素半導体装置は、実施の形態 2 にかかる炭化珪素半導体装置の構成に実施の形態 3 p⁺型高濃度領域 51' の条件を適用したものである。第 1 距離 X1' を例えば 9.35 μm 以上程度とし、第 2 距離 Y1 を例えば 0.6 μm 以上程度とする場合、p⁺型高濃度領域 51' のドーズ量は、例えばアルミニウムをドーパントとして $1.03 \times 10^{15} / \text{cm}^2$ 以下程度であることがよい。

【0114】

(実施例 4)

次に、実施の形態 4 にかかる炭化珪素半導体装置の p⁺型高濃度領域 51' のドーズ量について検証した。図 14 は、実施例 4 の p⁺型高濃度領域のドーズ量について検証した結果を示す特性図である。図 14 の横軸は第 1 方向 X における p⁺型高濃度領域 51' から n⁺型ソース領域 24 までの第 1 距離 X1' であり、縦軸はゲート正バイアスの経時変動を観察した所定時間内で生じたゲート正バイアスの変動量 V_g の最大値である。まず、上述した実施の形態 4 にかかる炭化珪素半導体装置の構造を備えたトレンチゲート構造の n チャネル型 MOSFET を複数作製した（以下、実施例 4 とする）。

【0115】

まず、実施の形態 4 にかかる炭化珪素半導体装置の構造を備えたトレンチゲート構造の n チャネル型 MOSFET を複数作製した（以下、実施例 4 とする）。実施例 4 の第 1 試料 83 の第 1 距離 X1 は、実施例 2 のデータ点 73 の試料と同様である。実施例 4 の第 1 試料 83 の第 2 距離 Y1 は 1.6 μm とした。実施例 4 の第 1 試料 83 の p⁺型高濃度領域 51' のドーズ量は実施例 2 の p⁺型高濃度領域 51 のドーズ量 ($= 5.15 \times 10^{15} / \text{cm}^2$) の 1/8 のドーズ量 ($= 6.4 \times 10^{14} / \text{cm}^2$) とした。実施例 4 の第 1 試料 83 の定格電流は実施例 2 と同じとした。p⁺型高濃度領域 51' を形成するためのイオン注入 62 のドーパントは実施例 2 と同様である。

【0116】

さらに、p⁺型高濃度領域 51' のドーズ量を実施例 2 の p⁺型高濃度領域 51 のドーズ量の 1/5 ($= 1.03 \times 10^{15} / \text{cm}^2$) とした試料を実施例 4 の第 2 試料 84 とする。実施例 4 の各第 2 試料 84 は、実施例 2 のデータ点 74 の各試料とでそれぞれ異なる。実施例 4 の第 2 試料 84 の第 1 距離 X1 および p⁺型高濃度領域 51' のドーズ量以外の構成は、実施例 4 の第 1 試料 83 と同様である。

【0117】

これら実施例 4 の各第 1, 2 試料 83, 84 に対して、実施例 2 と同様にゲート正バイアスの初期状態時からの経時変動を第 1, 2 測定点それぞれで観察し、第 1, 2 測定点でのドレイン電流 I_d の電流量に対応するゲート正バイアスの初期状態時からの変動量 V_g の最大値を比較した結果を図 14 に示す。図 14 では、実施例 2 の結果（図 10 参照）を「第 1, 2 測定点」とし、実施例 4 の第 1, 2 試料 83, 84 の結果を「第 1, 2 測定点（ドーズ量低減）」とした。

【0118】

図 14 に示す結果から、第 2 試料 84 においては、第 2 測定点でのドレイン電流 I_d の

電流量に対応するゲート正バイアスの初期状態時からの変動量 V_g を、実施例 2 で最も低減効果が得られた -0.4 V 程度（符号 74 の円で囲むデータ点の試料）から $-0.085\text{ V} \sim -0.098\text{ V}$ 程度まで低減することができることが確認された。

【0119】

以上、説明したように、実施の形態 4 によれば、実施の形態 3 の p^+ 型高濃度領域の条件を実施の形態 2 にかかる炭化珪素半導体装置の構成に適用した場合においても、実施の形態 1, 2 と同様の効果を得ることができる。

【0120】

（実施の形態 5）

次に、実施の形態 5 にかかる炭化珪素半導体装置の構造について説明する。図 15 は、実施の形態 5 にかかる炭化珪素半導体装置の一部を半導体基板のおもて面側から見たレイアウトを示す平面図である。図 15 には、図 1 の頂点 B, B' を対頂点とする矩形枠で囲んだ、半導体基板 10 のコーナー部付近における活性領域 1 と境界領域 3 との境界付近の状態を示す。半導体基板 10 に対する頂点 B および頂点 B' の位置は実施の形態 1 と同様である。図 15 の切断線 D - D' における断面構造は、図 5 と同様である。図 16 は、図 15 の切断線 E - E' における断面構造を示す断面図である。

10

【0121】

実施の形態 5 にかかる炭化珪素半導体装置が実施の形態 2 にかかる炭化珪素半導体装置と異なる点は、活性領域 1 から第 1 方向 X に外側へ延在するトレンチ 26 が p^+ 型高濃度領域 51 にまで達していない点である。すなわち、トレンチ 26 の端部は、第 1 方向 X において、 p 型ベース領域延在部 23' の、 p^+ 型高濃度領域 51 と n^+ 型ソース領域 24 とに挟まれた部分で終端している。活性領域 1 から第 1 方向 X に外側へトレンチ 26 が延在する長さは種々変更可能であり、トレンチ 26 が p^+ 型高濃度領域 51 に達しないように、トレンチ 26 を第 1 方向 X に外側へ延在させた分だけ、 p^+ 型高濃度領域 51 から n^+ 型ソース領域 24 までの第 1 距離 X11 を長くすればよい。

20

【0122】

実施の形態 5 にかかる炭化珪素半導体装置の構成に実施の形態 4 の p^+ 型高濃度領域の条件を適用してもよい。

【0123】

以上、説明したように、実施の形態 5 によれば、活性領域から第 1 方向に外側へ延在するトレンチの終端位置によらず、実施の形態 1 ~ 4 と同様の効果を得ることができる。

30

【0124】

（実施の形態 6）

次に、実施の形態 6 にかかる炭化珪素半導体装置の構造について説明する。図 17 は、実施の形態 6 にかかる炭化珪素半導体装置の一部を半導体基板のおもて面側から見たレイアウトを示す平面図である。図 17 には、図 1 の頂点 B, B' を対頂点とする矩形枠で囲んだ、半導体基板 10 のコーナー部付近における活性領域 1 と境界領域 3 との境界付近の状態を示す。半導体基板 10 に対する頂点 B および頂点 B' の位置は実施の形態 1 と同様である。図 15 の切断線 C - C' における断面構造は、図 4 と同様である。図 18 は、図 17 の切断線 F - F' における断面構造を示す断面図である。

40

【0125】

実施の形態 6 にかかる炭化珪素半導体装置が実施の形態 1 にかかる炭化珪素半導体装置と異なる点は、 p 型ベース領域延在部 23' の、半導体基板 10 のおもて面 13a に露出された部分に第 2 p^+ 型コンタクト領域（第 5 半導体領域）25' を配置した点である。具体的には、 p 型ベース領域延在部 23' の、第 1 方向 X において p^+ 型高濃度領域 51 と n^+ 型ソース領域 24 とに挟まれた部分、または、第 2 方向 Y において p^+ 型高濃度領域 51 と最も外側のトレンチ 26 とに挟まれた部分、もしくはその両方の部分に、第 2 p^+ 型コンタクト領域 25' が選択的に設けられている。

【0126】

図 17 には、 p 型ベース領域延在部 23' の、第 2 方向 Y において p^+ 型高濃度領域 5

50

1と最も外側のトレンチ26とに挟まれた部分にのみ、第1方向Xに所定間隔で点在する第2p⁺型コンタクト領域25'を設けた状態を示す。図示省略するが、p型ベース領域延在部23'の、第1方向Xにおいてp⁺型高濃度領域51とn⁺型ソース領域24とに挟まれた部分に第2p⁺型コンタクト領域25'を配置する場合、例えば活性領域1のp⁺型コンタクト領域(以下、第1p⁺型コンタクト領域とする)25と同じ所定間隔で、第1方向Xに第2p⁺型コンタクト領域25'を点在して配置すればよい。

【0127】

第2p⁺型コンタクト領域25'は、p⁺型高濃度領域51に接していてもよい。第2p⁺型コンタクト領域25'の条件(不純物濃度や寸法等)は、第1p⁺型コンタクト領域25と同様である。第2p⁺型コンタクト領域25'は、境界領域3において層間絶縁膜29を深さ方向Zに貫通する第3コンタクトホール29cに露出されている。第3コンタクトホール29cには、それぞれ異なる第2p⁺型コンタクト領域25'が露出される。第2p⁺型コンタクト領域25'は、第1p⁺型コンタクト領域25と同様、第3コンタクトホール29cにおいて金属膜30とのオーミック性を示すコンタクトを形成する。

【0128】

ソース電極31は、第3コンタクトホール29cの内部の金属膜30を介して第2p⁺型コンタクト領域25'に電氣的に接続され、第2p⁺型コンタクト領域25'を介してp型ベース領域延在部23'に電氣的に接続されている。第2p⁺型コンタクト領域25'を設けることで、ドレイン電流I_dの所定の電流量に対応するゲート電圧V_gの初期状態時からの変動量V_gの低減効果が若干低くなるが、p型ベース領域延在部23'のp型不純物濃度が高くなり低抵抗化されるため、アバランシェ耐量を向上させることができる。このため、ドレイン電流I_dの所定電流量に対応するゲート電圧V_gの初期状態時からの変動量V_gと、アバランシェ耐量と、がともに所定値となるように、適宜、第2p⁺型コンタクト領域25'を配置すればよい。

【0129】

実施の形態6の第2p⁺型コンタクト領域の構成を実施の形態2~5にかかる炭化珪素半導体装置の構成に適用してもよい。

【0130】

以上、説明したように、実施の形態6によれば、p型ベース領域延在部の、半導体基板のおもて面に露出された部分に第2p⁺型コンタクト領域を配置した場合においても、実施の形態1~5と同様の効果を得ることができる。また、実施の形態6によれば、p型ベース領域延在部に第2p⁺型コンタクト領域を設けることによってp型ベース領域延在部が低抵抗化される。これにより、オフ時にアバランシェ降伏によりエッジ終端領域から活性領域側へ向かって流れる正孔電流(以下、アバランシェ電流とする)を、第2p⁺型コンタクト領域から第3コンタクトホールを介してソース電極へ向かう経路にも流すことができる。このため、アバランシェ耐量を向上させることができる。

【0131】

(実施の形態7)

次に、実施の形態7にかかる炭化珪素半導体装置の構造について説明する。図19は、実施の形態7にかかる炭化珪素半導体装置を半導体基板のおもて面側から見たレイアウトを示す平面図である。実施の形態7にかかる炭化珪素半導体装置が実施の形態1にかかる炭化珪素半導体装置と異なる点は、トレンチ26'の一方の端部が活性領域1で終端している点である。例えば、第1方向Xにストライプ状に延在するトレンチ26'の組が、第1方向Xに隣り合うように活性領域1に、互いに離して2組配置されていてもよい。

【0132】

トレンチ26'の一方の端部は活性領域1の例えば中央部で終端し、他方の端部は境界領域3で終端している。活性領域1の中央部は、p⁺型高濃度領域で構成された無効領域4となっている。活性領域1の、無効領域4を除いた領域が有効領域である。無効領域4はMOSFETとして機能しない領域であり、有効領域はMOSFETとして機能する領域である。無効領域4のp⁺型高濃度領域の形成方法は、境界領域3のp⁺型高濃度領域と

同様である。

【0133】

トレンチ26'の、活性領域1の内部で終端する一方の端部付近Hにおいても、実施の形態1と同様に、無効領域4のp⁺型高濃度領域はn⁺型ソース領域と離して配置されている。第1方向Xにおいて無効領域4のp⁺型高濃度領域からn⁺型ソース領域までの距離の条件は、第1方向Xにおいて境界領域3のp⁺型高濃度領域からn⁺型ソース領域までの第1距離と同様である。トレンチ26'の、境界領域3で終端する他方の端部付近の構成は、実施の形態1と同様である。

【0134】

実施の形態7のトレンチの構成を実施の形態2～6にかかる炭化珪素半導体装置の構成に適用してもよい。

10

【0135】

以上、説明したように、実施の形態7によれば、トレンチゲート構造を構成するトレンチの端部に、p⁺型高濃度領域をn⁺型ソース領域と離して配置することで、実施の形態1～6と同様の効果を得ることができる。

【0136】

(実施例5)

次に、実施の形態3にかかる炭化珪素半導体装置のドレイン遮断電流(リーク電流)I_{dss}について検証した。ドレイン遮断電流I_{dss}とは、ゲート-ソース間を短絡した状態(すなわちゲート電圧V_g=0Vの状態)で、ソース-ドレイン電圧V_dを印加したときのドレイン電流I_dである。まず、上述した実施の形態3にかかる炭化珪素半導体装置の構造を備えたトレンチゲート構造のnチャネル型MOSFETを作製した(以下、実施例5とする)。

20

【0137】

実施例5は、第1距離X₁を0.6μm程度に十分長くし、p⁺型高濃度領域51'のアルミニウムドーザ量を従来構造よりも低く $6.4 \times 10^{14} / \text{cm}^2$ とし、ゲートしきい値電圧V_{th}を3Vと低くした。この実施例5について、ゲート電圧V_gを0Vとし、ソース-ドレイン電圧V_dを600Vとしたときのドレイン遮断電流I_{dss}を測定した。また、比較として、従来構造(図21～25参照)についても、実施例5と同様の条件でドレイン遮断電流I_{dss}を測定した。

30

【0138】

従来構造では、ドレイン遮断電流I_{dss}が時間経過とともに100pA～100μAと大きくばらつくことが確認された。それに対して、実施例5においては、ドレイン遮断電流I_{dss}の時間経過に伴う変動は100pA～1nA程度であった。すなわち、p⁺型高濃度領域51'のアルミニウムドーザ量を低くしたとしても、ドレイン遮断電流I_{dss}を問題にならないレベルまで小さくすることが確認された。

【0139】

実施の形態4にかかる炭化珪素半導体装置についても実施例5と同様の効果が得られる。

【0140】

(実施例6)

次に、上述した実施の形態2にかかる炭化珪素半導体装置のオフ時に発生するアバランシェ降伏によりエッジ終端領域2から活性領域1側へ向かって流れる正孔電流(アバランシェ電流)I_{av}の電流量について検証した。図20は、実施例6の第1距離と規格化されたアバランシェ電流I_{av}/I₀(I₀は定格電流)との関係を示す特性図である。図20の横軸は第1方向Xにおけるp⁺型高濃度領域51からn⁺型ソース領域24までの第1距離X₁'であり、縦軸は規格化アバランシェ電流I_{av}/I₀である。

40

【0141】

まず、上述した実施の形態2にかかる炭化珪素半導体装置の構造を備えたトレンチゲート構造のnチャネル型MOSFETを複数作製した(以下、実施例6とする)。実施例6

50

の各試料は、それぞれ第 1 距離 X_1 を $0\ \mu\text{m}$ 、 $9.35\ \mu\text{m}$ および $26\ \mu\text{m}$ とした。これら実施例 6 の各試料について、オフ時にアバランシェ降伏により発生するアバランシェ電流 I_{av} を測定した。その結果を図 20 に示す。図 20 において第 1 距離 X_1 を $0.0\ \mu\text{m}$ とした試料は、従来構造に相当する。

【0142】

図 20 に示す結果から、実施例 6 においては、規格化アバランシェ電流 I_{av} / I_0 は、従来構造の 3.16 (符号 75 の円で囲むデータ点の試料) から 2.84 (符号 76 の円で囲むデータ点の試料) まで低減するが定格電流の 2 倍以上あり、実使用上問題にならないレベルである。

【0143】

図示省略するが、実施の形態 1, 3 ~ 7 にかかる炭化珪素半導体装置についても実施例 6 と同様の効果が得られる。

【0144】

以上において本発明は、上述した各実施の形態に限らず、本発明の趣旨を逸脱しない範囲で種々変更可能である。例えば、上述した各実施の形態では、MOSFET を例に説明しているが、トレンチゲート構造を有する例えば IGBT 等の MOS 型炭化珪素半導体装置にも適用可能である。また、本発明は、導電型 (n 型、p 型) を反転させても同様に成り立つ。

【産業上の利用可能性】

【0145】

以上のように、本発明にかかる炭化珪素半導体装置は、インバータなどの電力変換装置や種々の産業用機械などの電源装置や自動車のイグニタなどに使用されるパワー半導体装置に有用であり、特に n チャネル型炭化珪素半導体装置に適している。

【符号の説明】

【0146】

- 1 活性領域
- 2 エッジ終端領域
- 3 境界領域
- 4 無効領域
- 10 半導体基板
- 11 n⁻型炭化珪素エピタキシャル層
- 12 p 型炭化珪素エピタキシャル層
- 13 半導体基板のおもて面の段差
- 13a, 13a' 半導体基板のおもて面
- 13b 半導体基板のおもて面の段差のステア
- 13c 半導体基板のおもて面の段差のコーナー部
- 21 n⁺型出発基板
- 22 n⁻型ドリフト領域
- 22' n 型 JFET 領域
- 23 p 型ベース領域
- 23' p 型ベース領域延在部
- 24 n⁺型ソース領域
- 25, 25' p⁺型コンタクト領域
- 26, 26' トレンチ
- 27 ゲート絶縁膜
- 28 ゲート電極
- 29 層間絶縁膜
- 29a ~ 29c コンタクトホール
- 30 金属膜
- 31 ソース電極

10

20

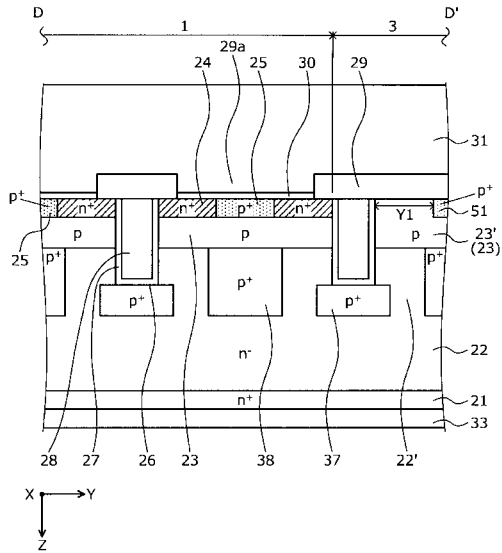
30

40

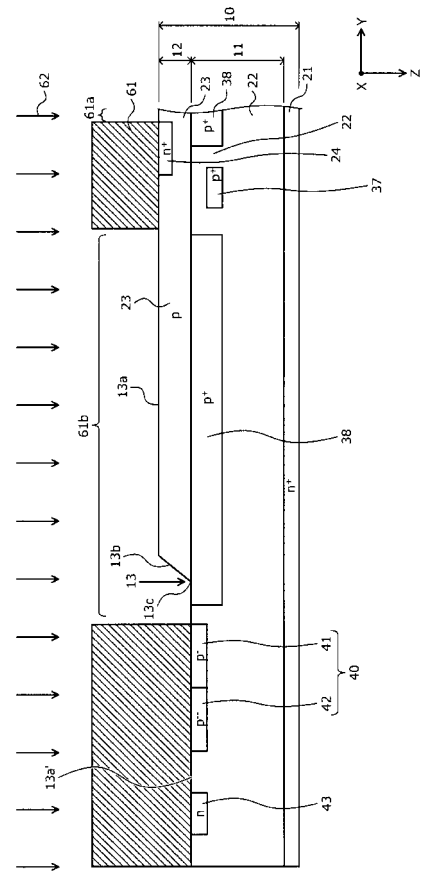
50

3 2	ゲートパッド	
3 3	ドレイン電極	
3 7	トレンチ直下の p ⁺ 型領域	
3 8	メサ領域の p ⁺ 型領域	
4 0	JTE 構造	
4 1, 4 2	JTE 構造の p 型領域	
4 3	n 型チャネルストッパー領域	
4 4	フィールド酸化膜	
5 1, 5 1'	p ⁺ 型高濃度領域	
5 2	導電層	10
5 3	ゲートランナー	
6 1	酸化膜	
6 1 a	p ⁺ 型コンタクト領域の形成領域	
6 1 b	p ⁺ 型高濃度領域の形成領域	
6 2	イオン注入	
t 1	トレンチ直下の p ⁺ 型領域の厚さ	
t 2	メサ領域の p ⁺ 型領域の厚さ	
t 3	境界領域の p ⁺ 型高濃度領域の厚さ	
t 1 1	n ⁻ 型炭化珪素エピタキシャル層の厚さ	
t 1 2	p 型炭化珪素エピタキシャル層の厚さ	20
X	半導体基板のおもて面に平行な方向 (第 1 方向)	
X 1, X 1', X 1 1	第 1 方向において p ⁺ 型高濃度領域から n ⁺ 型ソース領域までの距離 (第 1 距離)	
Y	半導体基板のおもて面に平行で、かつ第 1 方向と直交する方向 (第 2 方向)	
Y 1	第 2 方向において p ⁺ 型高濃度領域から最も外側のトレンチまでの距離 (第 2 距離)	
Z	深さ方向	

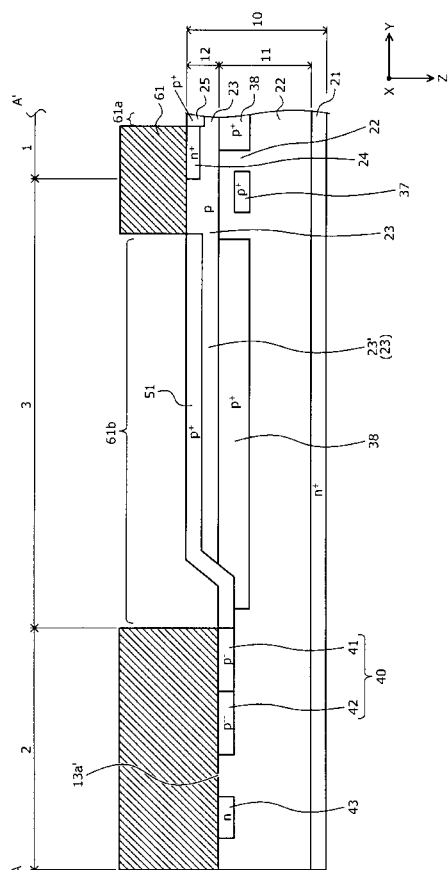
【 図 5 】



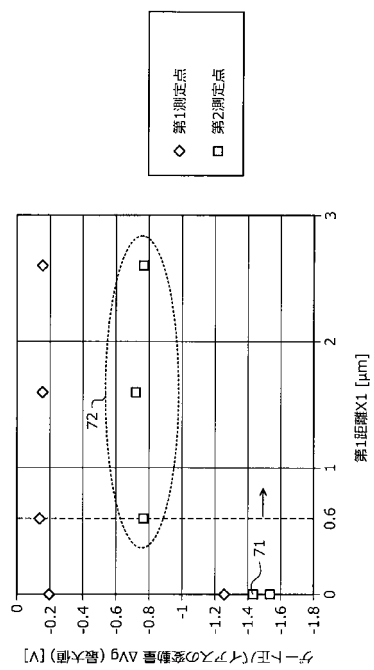
【 図 6 】



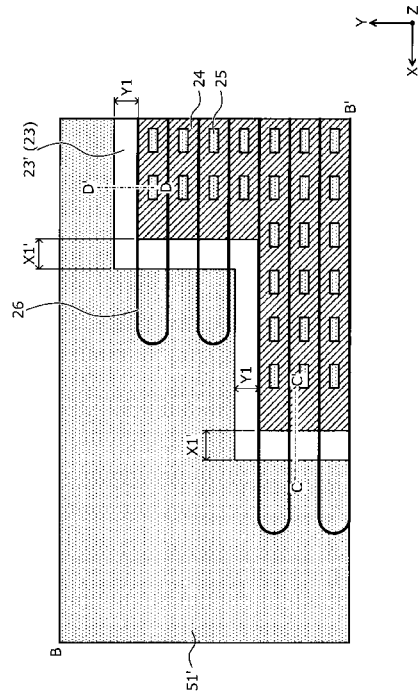
【 図 7 】



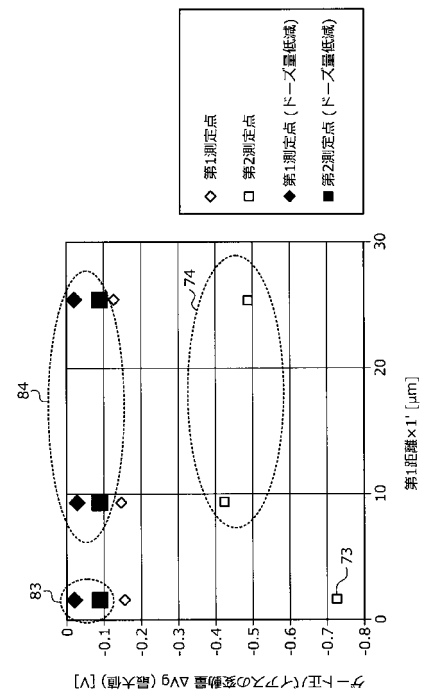
【 図 8 】



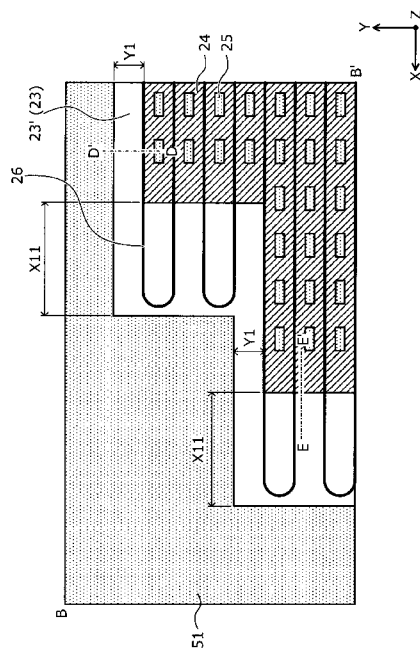
【図 13】



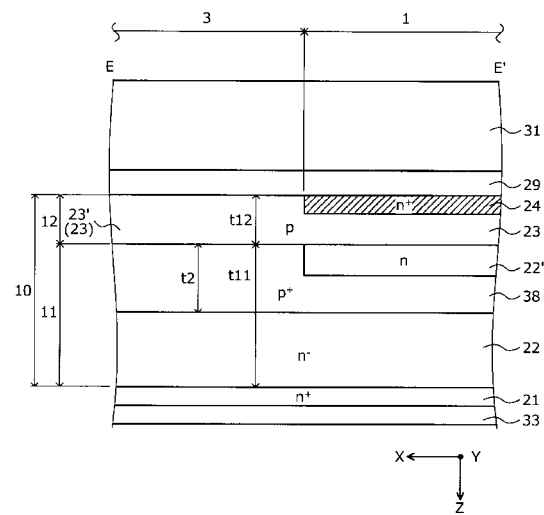
【図 14】



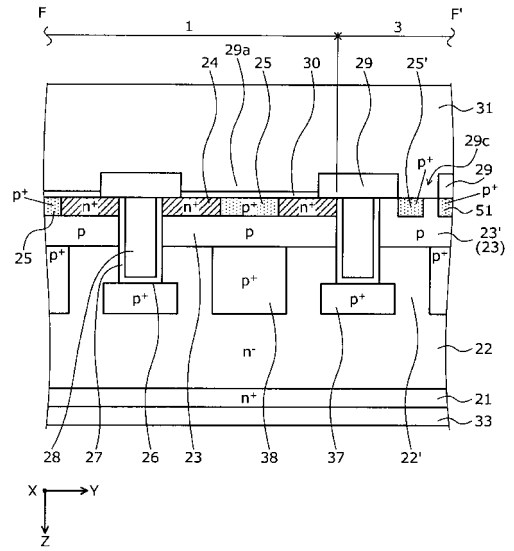
【図 15】



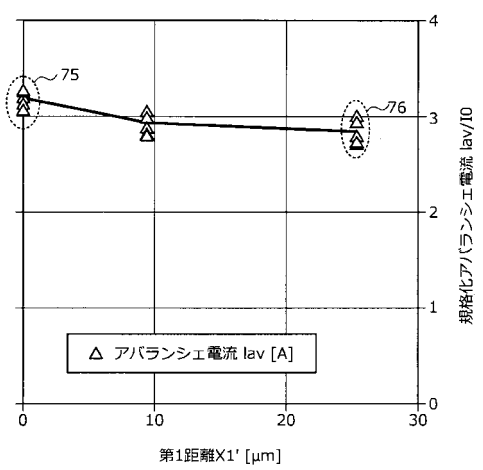
【図 16】



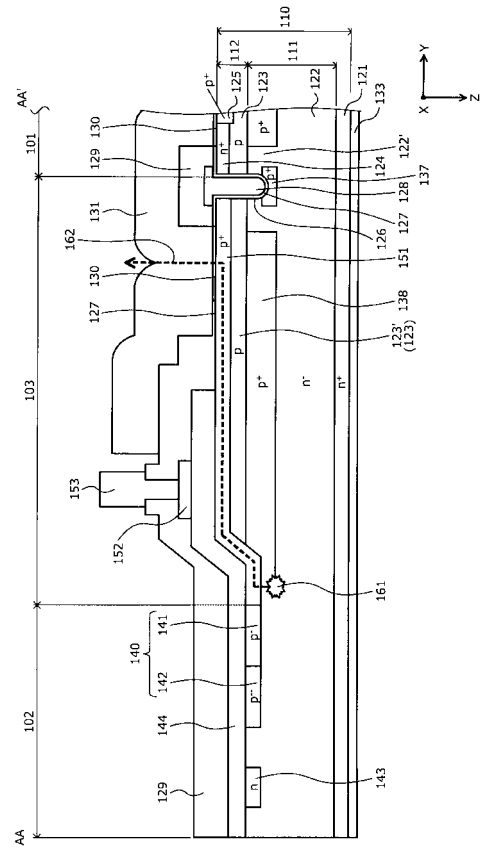
【 図 1 8 】



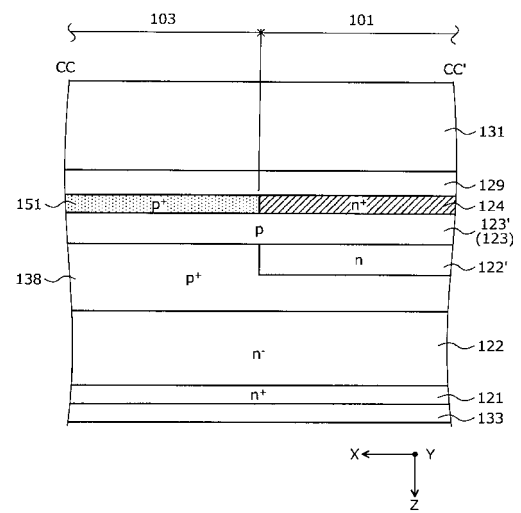
【 ㄨ 2 0 】



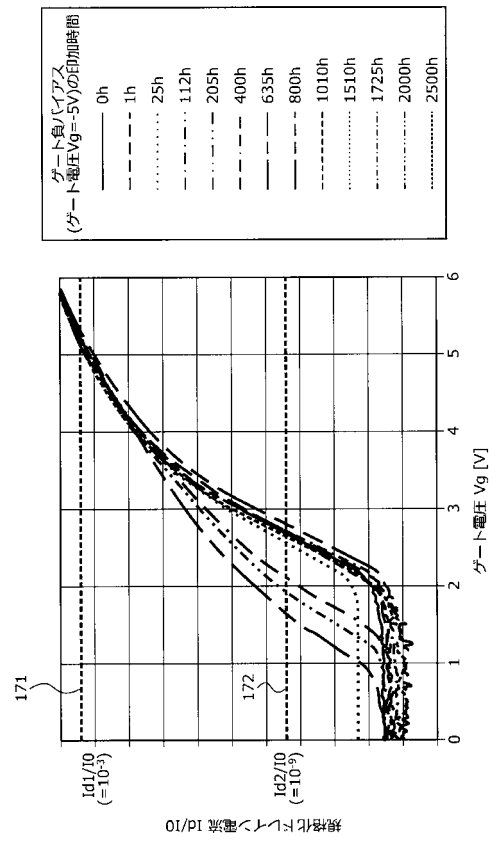
【圖 2 2】



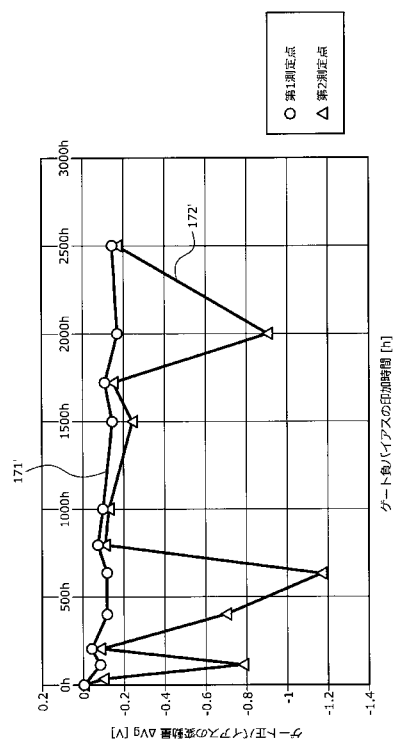
【 図 2 4 】



【 図 2 6 】



【 図 2 7 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	H 0 1 L 29/78	6 5 3 A
	H 0 1 L 29/78	6 5 2 S
	H 0 1 L 29/06	3 0 1 M
	H 0 1 L 29/06	3 0 1 G
	H 0 1 L 29/06	3 0 1 V
	H 0 1 L 29/78	6 5 2 H
	H 0 1 L 29/78	6 5 2 M
	H 0 1 L 29/78	6 5 2 Q
	H 0 1 L 29/78	6 5 5 F