

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구  
국제사무국

(43) 국제공개일

2023년 11월 16일 (16.11.2023) WIPO | PCT



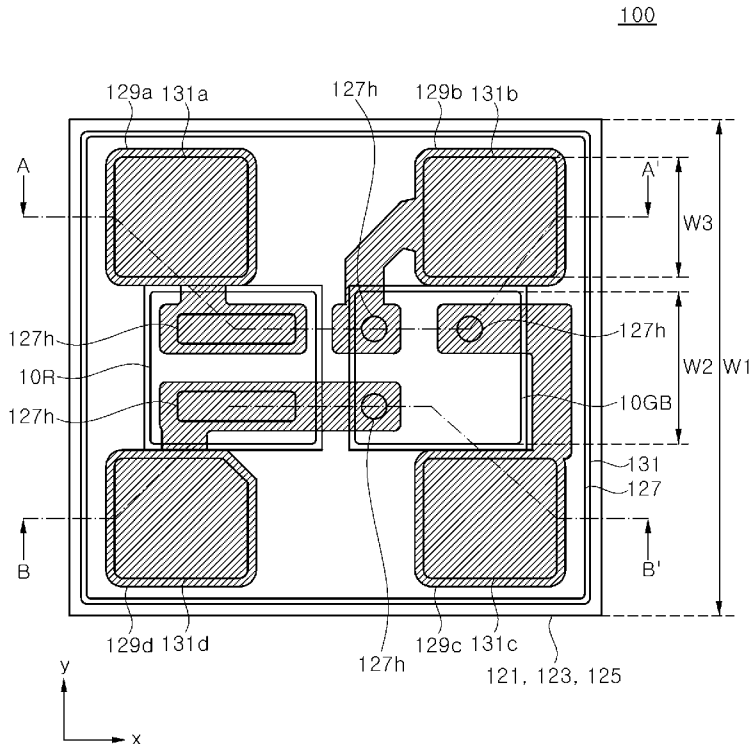
(10) 국제공개번호

WO 2023/219359 A1

- (51) 국제특허분류: *H01L 33/08* (2010.01)      *H01L 33/32* (2010.01)  
*H01L 33/44* (2010.01)      *H01L 33/38* (2010.01)  
*H01L 33/06* (2010.01)      *H01L 33/62* (2010.01)  
*H01L 33/10* (2010.01)      *H01L 33/22* (2010.01)
- (21) 국제출원번호: PCT/KR2023/006213
- (22) 국제출원일: 2023년 5월 8일 (08.05.2023)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 63/340,886      2022년 5월 11일 (11.05.2022) US  
63/402,908      2022년 8월 31일 (31.08.2022) US  
63/458,919      2023년 4월 12일 (12.04.2023) US  
18/139,285      2023년 4월 25일 (25.04.2023) US
- (71) 출원인: 서울바이오시스주식회사 (SEOUL VIOSYS CO., LTD.) [KR/KR]; 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR).
- (72) 발명자: 장종민 (JANG, Jong Min); 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR).
- (74) 대리인: 특허법인에이아이피 (AIP PATENT & LAW FIRM); 06239 서울특별시 강남구 테헤란로14길 30-1, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD,

(54) Title: PIXEL ELEMENT AND DISPLAY DEVICE COMPRISING SAME

(54) 발명의 명칭: 픽셀 소자 및 그것을 포함하는 디스플레이 장치



(57) Abstract: A pixel element according to an embodiment of the present disclosure comprises: a first light-emitting element; a second light-emitting element disposed horizontally adjacent to the first light-emitting element; a first cover layer covering the first light-emitting element and the second light-emitting element; and connection layers disposed on the first cover layer and electrically connected to the first and second light-emitting elements, wherein the first light-emitting element includes a first light-emitting structure, the second light-emitting element includes a second light-emitting structure and a third light-emitting structure, the first light-emitting structure emits light having a peak wavelength longer than peak wavelengths of light emitted from the second and third light-emitting structures, and the second and third light-emitting structures emit light having different peak wavelengths from each other.



WO 2023/219359 A1

MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO,  
NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,  
SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN,  
TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의  
역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM,  
KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ,  
UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ,  
TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,  
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,  
ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM,  
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,  
KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

---

(57) 요약서: 본 개시의 일 실시예에 따른 픽셀 소자는, 제1 발광 소자; 상기 제1 발광 소자에 이웃하여 수평적으로 배치된 제2 발광 소자; 상기 제1 발광 소자 및 제2 발광 소자를 덮는 제1 커버층; 및 상기 제1 커버층 상에 배치되고, 상기 제1 및 제2 발광 소자들에 전기적으로 연결된 접속층들을 포함하며, 상기 제1 발광 소자는 제1 발광 구조체를 포함하고, 상기 제2 발광 소자는 제2 발광 구조체 및 제3 발광 구조체를 포함하며, 상기 제1 발광 구조체는 상기 제2 및 제3 발광 구조체에서 방출되는 광의 피크 파장보다 긴 피크 파장의 광을 방출하고, 상기 제2 및 제3 발광 구조체는 서로 다른 피크 파장의 광을 방출한다.

## 명세서

### 발명의 명칭: 픽셀 소자 및 그것을 포함하는 디스플레이 장치 기술분야

- [1] 본 발명은 픽셀 소자 및 그것을 포함하는 디스플레이 장치에 관한 것으로, 더욱 상세하게는 다양한 색상의 광을 방출할 수 있는 픽셀 소자 및 그것을 포함하는 디스플레이 장치에 관한 것이다.

#### 배경기술

- [2] 발광소자는 무기 광원인 발광 다이오드를 이용한 반도체 소자로 디스플레이 장치, 차량용 램프, 일반 조명과 같은 여러 분야에 다양하게 이용되고 있다. 발광 다이오드는 수명이 길고, 소비전력이 낮으며, 응답속도가 빠른 장점이 있어 기존 광원을 빠르게 대체하고 있다.
- [3] 한편, 종래의 발광 다이오드는 디스플레이 장치에서 백라이트 광원으로 주로 사용되었는데, 최근 발광 다이오드를 이용하여 직접 이미지를 구현하는 디스플레이 장치가 개발되고 있다. 이러한 디스플레이는 마이크로 LED 디스플레이로 지칭되기도 한다.
- [4] 디스플레이 장치는 일반적으로 청색, 녹색 및 적색의 혼합 색을 이용하여 다양한 색상을 구현한다. 디스플레이 장치는 다양한 이미지를 구현하기 위해 복수의 픽셀을 포함하고, 각 픽셀은 청색, 녹색 및 적색의 서브 픽셀을 구비한다. 이들 서브 픽셀들의 색상을 통해 특정 픽셀의 색상이 정해지고, 이들 픽셀들의 조합에 의해 이미지가 구현된다.
- [5] 마이크로 LED 디스플레이의 경우, 각 서브 픽셀에 대응하여 마이크로 LED가 평면상에 배열되고, 하나의 기판 상에 수많은 개수의 마이크로 LED들이 실장된다. 그런데 마이크로 LED는  $200\mu\text{m}$  이하 나아가  $100\mu\text{m}$  이하로 매우 작아, 하나의 회로 기판에 전체 마이크로 LED들을 전사하는 데 어려움이 있다. 마이크로 LED들의 개수를 줄이기 위해 청, 녹, 및 적색 발광 소자들을 수직으로 적층한 구조의 픽셀 모듈이 사용되기도 하지만, 적색광의 광도가 상대적으로 낮은 단점이 있다.

#### 발명의 상세한 설명

##### 기술적 과제

- [6] 본 발명이 해결하고자 하는 과제는, 마이크로 LED들의 실장 개수를 줄이면서도 적색광의 광도가 감소되는 것을 방지할 수 있는 새로운 구조의 픽셀 소자 및 그것을 갖는 디스플레이 장치를 제공하는 것이다.
- [7] 본 발명이 해결하고자 하는 과제는, 적색광의 광도를 더 증가시킬 수 있는 개선된 구조의 픽셀 소자 및 그것을 갖는 디스플레이 장치를 제공하는 것이다.

##### 과제 해결 수단

- [8] 본 개시의 일 실시예에 따른 픽셀 소자는, 제1 발광 소자; 상기 제1 발광 소자에 이웃하여 수평적으로 배치된 제2 발광 소자; 상기 제1 발광 소자 및 제2 발광 소

자를 덮는 제1 커버층; 및 상기 제1 커버층 상에 배치되고, 상기 제1 및 제2 발광 소자들에 전기적으로 연결된 접속층들을 포함하되, 상기 제1 발광 소자는 제1 발광 구조체를 포함하고, 상기 제2 발광 소자는 제2 발광 구조체 및 제3 발광 구조체를 포함하며, 상기 제1 발광 구조체는 상기 제2 및 제3 발광 구조체에서 방출되는 광의 피크 파장보다 긴 피크 파장의 광을 방출하고, 상기 제2 및 제3 발광 구조체는 서로 다른 피크 파장의 광을 방출한다.

- [9] 상기 제1 발광 구조체는 비화물 또는 인화물 계열의 반도체층을 포함할 수 있고, 상기 제2 및 제3 발광 구조체들은 질화물 계열의 반도체층을 포함할 수 있다.
- [10] 상기 제2 발광 구조체와 상기 제3 발광 구조체는 수직 방향으로 적층될 수 있다.
- [11] 상기 픽셀 소자는 상기 제2 발광 구조체와 상기 제3 발광 구조체를 결합시키는 접착층을 더 포함할 수 있다.
- [12] 상기 제2 발광 구조체와 상기 제3 발광 구조체는 각각 제1 도전형 반도체층, 활성층, 및 제2 도전형 반도체층을 포함할 수 있고, 상기 제2 및 제3 발광 구조체들의 제1 도전형 반도체층들을 서로 전기적으로 접속될 수 있으며, 상기 제2 및 제3 발광 구조체들의 제2 도전형 반도체층들은 서로 전기적으로 이격될 수 있다.
- [13] 상기 제2 발광 소자는 상기 제2 및 제3 발광 구조체들의 제1 도전형 반도체층들을 전기적으로 연결하는 전극 패드를 포함할 수 있고, 상기 접속층들 중 하나는 상기 전극 패드에 전기적으로 접속될 수 있다.
- [14] 상기 제2 발광 소자는 상기 제2 및 제3 발광 구조체들의 제1 도전형 반도체층들에 각각 전기적으로 접속된 전극 패드들을 포함할 수 있고, 상기 접속층들 중 하나는 상기 전극 패드들에 접속되어 상기 전극 패드들을 전기적으로 연결할 수 있다.
- [15] 상기 제2 발광 구조체 상에 상기 제3 발광 구조체가 배치될 수 있으며, 상기 제3 발광 구조체는 상기 제2 발광 구조체보다 더 짧은 피크 파장의 광을 방출할 수 있다.
- [16] 상기 픽셀 소자는 기판을 더 포함할 수 있고, 상기 제1 및 제2 발광 소자는 상기 기판 상에 배치될 수 있으며, 상기 제1 및 제2 발광 소자를 대면하는 상기 기판의 상면은 요철 패턴을 포함할 수 있다.
- [17] 상기 기판에 대면하는 상기 제1 및 제2 발광 소자들의 하면들은 요철 패턴을 가질 수 있다.
- [18] 상기 픽셀 소자는 상기 제1 커버층 및 상기 접속층들을 덮는 제2 커버층을 더 포함할 수 있으며, 상기 제2 커버층은 상기 접속층들을 부분적으로 노출하도록 배치될 수 있다.
- [19] 상기 제2 커버층은 상기 제1 커버층과 동일한 재료로 형성될 수 있다.
- [20] 상기 제1 및 제2 커버층은 폴리이미드로 형성될 수 있다.
- [21] 상기 제2 커버층은 상기 접속층들의 가장자리들 중 일부를 덮을 수 있다.

- [22] 상기 제1 발광 소자는 제1 발광 구조체에 더하여 서브 발광 구조체를 더 포함할 수 있으며, 상기 서브 발광 구조체는 상기 제2 및 제3 발광 구조체에서 방출되는 광의 피크 파장보다 긴 피크 파장의 광을 방출할 수 있다.
- [23] 상기 제1 발광 구조체와 상기 서브 발광 구조체는 터널층을 이용하여 서로 접합될 수 있다.
- [24] 상기 제1 발광 구조체 및 상기 서브 발광 구조체는 동일 색상의 광을 방출할 수 있다.
- [25] 본 개시의 일 실시예에 따른 디스플레이 장치는, 회로 기관; 및 상기 회로 기관 상에 배치된 픽셀 소자를 포함할 수 있으며, 상기 픽셀 소자는 앞에서 설명한 픽셀 소자일 수 있다.
- [26] 일 실시예에 따른 발광다이오드는 제1 발광 스택, 상기 제1 발광 스택의 상부에 위치하는 제2 발광 스택, 상기 제2 발광 스택의 상부에 위치하는 제3 발광 스택 및 상기 제1 발광 스택과 상기 제2 발광 스택을 접합시키는 접착층을 포함할 수 있다. 상기 제2 발광 스택에서 방출되는 광의 적어도 일부는 상기 접착층의 영역 중 상기 제1 발광 스택의 측면과 상기 제2 발광 스택의 상부에 배치된 영역을 통과하여 방출할 수 있다. 또한, 상기 제1 발광 스택은 상측에서 보았을 때 적어도 일부가 상기 제3 발광 스택과 중첩되지 않는 영역을 포함할 수 있으며, 상기 제2 발광 스택과 적어도 일부가 중첩되도록 배치될 수 있다. 또한, 상기 제1 발광 스택은 상기 제2 발광 스택 및 상기 제3 발광 스택을 둘러싸도록 외곽부에 배치될 수도 있으며, 상기 제2 발광 스택 및 상기 제3 발광 스택은 발광 다이오드의 중심을 통과하도록 배치될 수도 있다.

### 도면의 간단한 설명

- [27] 도 1A는 예시적인 실시예에 따른 디스플레이 장치를 설명하기 위한 개략적인 평면도이다.
- [28] 도 1B는 예시적인 실시예에 따른 다양한 디스플레이 장치를 설명하기 위한 개략적인 사시도이다.
- [29] 도 1C는 예시적인 실시예에 따른 또 다른 디스플레이 장치를 설명하기 위한 개략적인 사시도이다.
- [30] 도 1D는 예시적인 실시예에 따른 또 다른 디스플레이 장치를 설명하기 위한 개략적인 사시도이다.
- [31] 도 2A는 예시적인 실시예에 따른 픽셀 소자를 설명하기 위한 개략적인 평면도이다.
- [32] 도 2B는 도 2A의 절취선 A-A'를 따라 취해진 개략적인 단면도이다.
- [33] 도 2C는 도 2A의 절취선 B-B'를 따라 취해진 개략적인 단면도이다.
- [34] 도 3A는 예시적인 실시예에 따른 제1 발광 소자를 설명하기 위한 개략적인 평면도이다.
- [35] 도 3B는 도 3A의 절취선 C-C'를 따라 취해진 개략적인 단면도이다.

- [36] 도 4A는 예시적인 실시예에 따른 제2 발광 소자를 설명하기 위한 개략적인 평면도이다.
- [37] 도 4B는 도 4A의 절취선 D-D'를 따라 취해진 개략적인 단면도이다.
- [38] 도 5는 본 개시의 또 다른 실시예에 따른 제2 발광 소자를 설명하기 위한 개략적인 단면도이다.
- [39] 도 6은 본 개시의 또 다른 실시예에 따른 픽셀 소자를 설명하기 위한 개략적인 단면도이다.
- [40] 도 7은 본 개시의 또 다른 실시예에 따른 제1 발광 소자를 설명하기 위한 개략적인 단면도이다.
- [41] 도 8은 본 개시의 또 다른 실시예에 따른 픽셀 소자를 설명하기 위한 개략적인 단면도이다.
- [42] 도 9는 본 개시의 또 다른 실시예에 따른 픽셀 소자를 설명하기 위한 개략적인 평면도이다.
- [43] 도 10A는 일 실시예에 따른 적층형 반도체층을 나타낸 도면이다.
- [44] 도 10B는 일 실시예에 따른 적층형 반도체층으로 도 10A의 적층형 반도체층을 형성하기 전 단계를 나타내는 도면이다.
- [45] 도 11A는 일 실시예에 따라 적층형 반도체층의 제1 발광 스택의 제조 방법을 설명하기 위한 도면이다.
- [46] 도 11B는 예시적인 실시예에 따라 적층형 반도체층의 제1 발광 스택의 제조 방법을 설명하기 위한 도면이다.
- [47] 도 12는 일 실시예에 따라 적층형 반도체층의 제1 발광 스택과 기관의 제조 방법을 설명하기 위한 도면이다.
- [48] 도 13은 일 실시예에 따라 적층형 반도체층의 제1 발광 스택과 기관의 제조 방법을 설명하기 위한 또 다른 도면이다.
- [49] 도 14A는 일 실시예에 따라 도 14B의 E-E' 단면을 나타내는 단면도이다.
- [50] 도 14B는 일 실시예에 따라 도 14A 및 도 15의 평면을 나타내는 평면도이다.
- [51] 도 15은 일 실시예에 따라 도 14B의 F-F' 단면을 나타내는 단면도이다.
- [52] 도 16A는 일 실시예에 따라 도 16B의 E-E' 단면을 나타내는 단면도이다.
- [53] 도 16B는 일 실시예에 따라 도 16A 및 도 15의 평면을 나타내는 평면도이다.
- [54] 도 17은 일 실시예에 따라 도 16B의 F-F' 단면을 나타내는 단면도이다.

### 발명의 실시를 위한 최선의 형태

- [55] 이하, 첨부한 도면들을 참조하여 본 개시의 실시예들을 상세히 설명하기로 한다. 다음에 소개되는 실시예들은 본 발명이 속하는 기술분야의 통상의 기술자에게 본 개시의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 또한, 하나의 구성요소가 다른 구성요

소의 "상부에" 또는 "상에" 있다고 기재된 경우 각 부분이 다른 부분의 "바로 상부" 또는 "바로 상에" 있는 경우뿐만 아니라 각 구성요소와 다른 구성요소 사이에 또 다른 구성요소가 개재된 경우도 포함한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

- [56] 도 1A는 예시적인 실시예에 따른 디스플레이 장치를 설명하기 위한 개략적인 평면도이고, 도 1B, 도 1C, 및 도 1D는 예시적인 실시예에 따른 다양한 디스플레이 장치(1000a, 1000b, 1000c, 1000d, 1000e)를 설명하기 위한 개략적인 사시도들이다.
- [57] 도 1A를 참조하면, 디스플레이 장치(1000)는 패널 기관(2100) 및 복수의 픽셀 모듈(1000)을 포함할 수 있다.
- [58] 디스플레이 장치(1000)는, 특별히 한정되는 것은 아니나, 스마트 워치(1000a), VR 헤드셋 또는 글래스와 같은 웨어러블 디스플레이 장치(1000b), 또는 증강 현실 안경과 같은 AR 디스플레이 장치(1000c), 마이크로 LED TV나 사이니지와 같은 실내 또는 실외용 디스플레이 장치 (1000d, 1000e)를 포함할 수 있다. 패널 기관(2100) 및 복수의 픽셀 모듈(1000)은 디스플레이 장치 내에 배치될 수 있다.
- [59] 상기 패널 기관(2100)은 PI(Polyimide), FR4, 유리(glass) 등의 재질로 형성될 수 있으며, 수동 매트릭스 구동 또는 능동 매트릭스 구동을 위한 회로를 포함할 수 있다. 일 실시예에 있어서, 상기 패널 기관(2100)은 내부에 배선 및 저항을 포함할 수 있다. 다른 실시예에서, 상기 패널 기관(2100)은 배선, 트랜지스터 및 커패시터 등을 포함할 수 있다. 또한, 상기 패널 기관(2100)은 회로에 전기적으로 접속할 수 있는 패드들을 상면에 가질 수 있다.
- [60] 복수의 발광 모듈(1000)이 패널 기관(2100) 상에 정렬될 수 있다. 발광 모듈들(1000)은 서로 간격을 두고 배치될 수도 있고, 서로 밀착되도록 배치될 수도 있다. 발광 모듈들(1000) 사이의 간격은 후술하는 픽셀 소자들(100) 사이의 간격을 고려하여 설정될 수 있다. 예를 들어, 인접한 발광 모듈들(1000) 내에 각각 배치된 두 개의 인접한 픽셀 소자들(100) 사이의 간격은 하나의 발광 모듈(1000) 내의 픽셀 소자들(100) 사이의 간격과 실질적으로 동일할 수 있다. 그러나 본 개시가 반드시 이에 한정되는 것은 아니다. 상기 픽셀 소자(100)에 대해 도 2A 내지 도 2C를 참조하여 상세히 설명한다.
- [61] 도 2A는 예시적인 실시예에 따른 픽셀 소자를 설명하기 위한 개략적인 평면도이고, 도 2B는 도 2A의 절취선 A-A'를 따라 취해진 개략적인 단면도이며, 도 2C는 도 2A의 절취선 B-B'를 따라 취해진 개략적인 단면도이다.
- [62] 도 2A, 도 2B, 및 도 2C를 참조하면, 픽셀 소자(100)는 제1 발광 소자(10R) 및 제2 발광 소자(10GB), 및 접속층들(129a, 129b, 129c, 129d)을 포함할 수 있다. 특정 실시예들에 있어서, 픽셀 소자(100)는 투명 기관(121), 표면층(122), 광 차단층(123), 접속층(125), 제1 커버층(127), 또는 제2 커버층(131)을 더 포함할 수 있다.
- [63] 픽셀 소자(100)는 제1 및 제2 발광 소자들(10R, 10GB)을 포함하여 다양한 색상을 구현할 수 있는 하나의 픽셀을 제공한다. 제1 및 제2 발광 소자들(10R, 10GB)

에 대해서는 도 3A, 도 3B, 도 4A, 및 도 4B를 참조하여 뒤에서 상세하게 설명한다.

- [64] 투명 기관(121)은 PET, 유리 기관, 퀴즈, 사파이어 기관 등 광 투과성 기관이다. 투명 기관(121)은 발광 모듈(1000)의 광 방출면에 배치되며, 발광 소자들(10R, 10GB)에서 방출된 광은 투명 기관(121)을 통해 외부로 방출된다. 투명 기관(121)은 상면 및 하면을 가질 수 있다. 투명 기관(121)은 발광 소자들(10R, 10GB)을 대면하는 면, 즉 상면에 요철 패턴(121p)을 포함할 수 있다. 요철 패턴(121p)은 발광 소자들(10R, 10GB)에서 방출된 광을 산란시켜 지향각을 증가시킨다. 또한, 서로 다른 지향각 특성을 갖는 발광 소자들(10R, 10GB)에서 방출된 광이 상기 요철 패턴(121p)에 의해 균일한 지향각으로 방출되도록 할 수 있다. 이에 따라, 보는 각도에 따라 색차가 발생하는 것을 방지할 수 있다.
- [65] 요철 패턴(121p)은 규칙적일 수도 있고 불규칙적일 수도 있다. 요철 패턴(121P)은 예를 들어 3 $\mu$ m의 피치, 2.8 $\mu$ m의 직경, 및 1.8 $\mu$ m의 높이를 가질 수 있다. 요철 패턴(121p)은 일반적으로 패터닝된 사파이어 기관에 적용되는 패턴일 수 있으나, 이에 한정되지 않는다.
- [66] 투명 기관(121)은 또한 반사방지 코팅을 포함할 수 있으며, 또는 안티 글래어층을 포함하거나 글래어 방지 처리될 수 있다. 투명 기관(121)은, 예를 들어, 50 $\mu$ m ~ 300 $\mu$ m의 두께를 가질 수 있다. 투명 기관(121)의 두께는 발광 소자들(10R, 10GB) 각각의 두께보다 클 수 있다.
- [67] 투명 기관(121)이 광 방출면에 배치되므로, 투명 기관(121)은 회로를 포함하지 않는다. 그러나 본 개시가 이에 한정되는 것은 아니며, 회로를 포함할 수도 있다. 한편, 하나의 투명 기관(121)에 하나의 픽셀 소자(100)가 형성된 것을 도시하지만, 하나의 투명 기관(121)에 복수의 픽셀 소자들(100)이 형성될 수도 있다.
- [68] 표면층(122)은 투명 기관(121)의 요철 패턴(121p)을 덮을 수 있다. 표면층(122)은 요철 패턴(121p)의 형상을 따라 형성될 수 있다. 표면층(122)은 그 위에 형성되는 광 차단층(123)의 접착력을 향상시킬 수 있다. 예를 들어, 표면층(122)은 실리콘 산화막으로 형성될 수 있다. 표면층(122)은 투명 기관(121)의 종류에 따라 생략될 수도 있다.
- [69] 광 차단층(123)은 투명 기관(121)의 상면 상에 형성된다. 광 차단층(123)은 표면층(122)에 접할 수 있다. 광 차단층(123)은 카본 블랙과 같이 광을 흡수하는 흡수 물질을 포함할 수 있다. 광 흡수 물질은 발광 소자들(10R, 10GB)에서 생성된 광이 투명 기관(121)과 발광소자들(10R, 10GB) 사이의 영역에서 측면측으로 누설되는 것을 방지하며, 디스플레이 장치의 콘트라스트를 향상시킨다.
- [70] 광 차단층(123)은 발광 소자들(10R, 10GB)에서 생성된 광이 투명 기관(121)으로 입사되도록 광 진행 경로를 위한 창(123a, 123b, 123c)을 가질 수 있으며, 이를 위해 투명 기관(121) 상에서 투명 기관(121)을 노출하도록 패터닝될 수 있다. 창(123a, 123b, 123c)의 폭은 발광 소자의 폭보다 넓을 수 있으나, 이에 한정되는 것은 아니며, 발광 소자의 폭보다 작거나 같을 수도 있다.

- [71] 광 차단층(123)의 창(123a)은 또한 발광 소자들(10R, 10GB)의 정렬 위치를 정의한다. 따라서, 발광 소자들(10R, 10GB)의 정렬 위치를 정의하기 위한 별도의 정렬 마커들을 생략할 수 있다. 그러나 본 개시가 이에 한정되는 것은 아니며, 발광 소자들(10R, 10GB)의 정렬 위치를 제공하기 위해 정렬 마커들이 투명 기판(121) 상에 또는 광 차단층(123)이나 접착층(125) 상에 제공될 수도 있다. 광 차단층(123)은 생략될 수도 있다.
- [72] 접착층(125)은 투명 기판(121) 상에 부착된다. 접착층(125)은 투명 기판(121)의 요철 패턴(121p)을 갖는 상면과 발광 소자들(10R, 10GB) 사이에 배치된다. 접착층(125)은 광 차단층(123)을 덮을 수 있다. 접착층(125)은 투명 기판(121)의 전면에 부착될 수 있으나, 이에 한정되는 것은 아니며, 투명 기판(121)의 가장자리 근처 영역을 노출하도록 일부 영역에 부착될 수도 있다. 접착층(125)은 발광 소자들(10R, 10GB)을 투명 기판(121)에 부착하기 위해 사용된다. 접착층(125)은 광 차단층(123)에 형성된 창(123a)을 채울 수 있다.
- [73] 접착층(125)은 광 투과성 층으로 형성될 수 있으며, 발광 소자들(10R, 10GB)에서 방출된 광을 투과시킨다. 접착층(125)은 유기 접착제를 이용하여 형성될 수 있다. 예를 들어, 접착층(125)은 투명 에폭시를 이용하여 형성될 수 있다. 또한, 접착층(125)은 광을 확산시키기 위해, SiO<sub>2</sub>, TiO<sub>2</sub>, ZnO 등의 확산 물질(diffuser)을 포함할 수 있다. 광 확산 물질은 발광 소자들(10R, 10GB)이 광 방출면으로부터 관찰되는 것을 방지한다.
- [74] 도 2B 및 도 2C에 도시한 바와 같이, 접착층(125)은 발광 소자들(10R, 10GB)의 측면 일부를 덮을 수 있다. 즉, 발광 소자들(10R, 10GB)의 일부는 접착층(125)의 내부로 매립될 수 있으며, 이에 따라, 발광 소자들(10R, 10GB)의 이탈이 방지될 수 있고, 나아가, 접착층(125)과 발광 소자들(10R, 10GB) 사이의 계면으로 수분이 침투하는 것을 방지할 수 있다. 한편, 접착층(125)은 요철 패턴(121p)을 덮으며, 따라서, 두께가 서로 다른 영역들을 포함할 수 있다. 접착층(125)의 두께가 큰 영역은 접착층(125)의 접착력을 향상시킨다. 또한, 발광 소자들(10R, 10GB)이 구동될 때 발생하는 열에 의해 발광 소자들(10R, 10GB)이 박리될 수 있는데, 접착층(125)의 두꺼운 영역과 얇은 영역이 혼재함으로써 발광 소자들(10R, 10GB)의 열에 의한 수축 및 팽창을 수용하여 발광 소자들의 박리를 방지할 수 있다.
- [75] 한편, 제1 및 제2 발광 소자들(10R, 10GB)은 투명 기판(121) 상에 배치된다. 제1 및 제2 발광 소자들(10R, 10GB)은 접착층(125)에 의해 투명 기판(121)에 부착될 수 있다. 제1 및 제2 발광 소자들(10R, 10GB)은 광 차단층(123)의 창들(123a)에 대응하여 배치될 수 있다. 광 차단층(123)이 생략된 경우, 정렬 마커들이 발광 소자들(10R, 10GB)의 정렬 위치를 제공하기 위해 추가될 수 있다. 제1 및 제2 발광 소자들(10R, 10GB)은 하나의 투명 기판(121)을 공유할 수 있다. 제1 및 제2 발광 소자들(10R, 10GB)은 서로 이웃하여 배치될 수 있다. 제1 발광 소자(10R)은 픽셀 소자(100)의 제1 영역에 배치될 수 있으며, 제2 발광 소자(10GB)는 픽셀 소자(100)의 제2 영역에 배치될 수 있다. 제1 발광 소자(10R)는 픽셀 소자(100) 내에서 가장

긴 피크 파장의 광을 방출하는 제1 발광 구조체를 포함할 수 있으며, 제2 발광 소자(10GB)는 제1 발광 소자(10R)보다 짧은 피크 파장의 광을 방출하는 제2 및 제3 발광 구조체들을 포함할 수 있다. 제2 및 제3 발광 구조체들은 서로 다른 피크 파장의 광을 방출할 수 있다.

- [76] 제1 및 제2 발광 소자들(10R, 10GB)은 도 2A에 도시한 바와 같이, 일렬로 배열될 수 있다. 제1 발광 구조체는 제2 및 제3 발광 구조체 각각의 두께보다 더 큰 두께를 가질 수 있다. 또한, 제1 영역에 배치된 제1 발광구조체의 제1면은 제2 영역에 배치된 제2 발광구조체 및 제3 발광 구조체의 제1면들과 마주볼 수 있다. 제1 발광구조체의 제1면의 수직 높이는 제2 영역에 배치된 제2 및 제3 발광구조체들의 제1면의 수직 높이의 합보다 작을 수 있다. 또한 제1 영역에서 방출되는 광의 피크파장은 제2 영역에서 방출되는 광의 피크파장과 다를 수 있다. 또한 제1 영역에서 방출되는 광의 색좌표와 제2 영역에서 방출되는 광의 색좌표는 서로 다를 수 있고, 제1 영역과 제2 영역에 동시에 전류를 가하여 백색광을 생성할 수 있다. 제2 발광구조체는 투광기관과 마주하도록 배치된 상면을 포함하며, 상기 상면의 반대측에 배치된 하면을 포함할 수 있다. 상기 제2 발광 구조체의 하면에는 제3 발광 구조체가 적층되어 배치될 수 있다. 제2 발광구조체와 제3 발광구조체는 적어도 일부가 서로 중첩되도록 배치될 수 있으며, 따라서, 픽셀 소자의 소형화가 가능하다.
- [77] 예컨대, 제1 발광 소자(10R)의 제1 발광 구조체는 가장 작은 밴드갭 에너지를 가질 수 있으며, 적색광을 방출할 수 있다. 제2 발광 소자(10GB)의 제2 발광 구조체는 제1 발광 구조체의 밴드갭 에너지보다 큰 밴드갭 에너지를 가질 수 있으며, 녹색광을 방출할 수 있다. 제2 발광 소자(10GB)의 제3 발광 구조체는 제2 발광 구조체의 밴드갭 에너지보다 큰 밴드갭 에너지를 가질 수 있으며, 청색광을 방출할 수 있다. 적색광을 방출하는 제1 발광 소자(10R)는 다른 피크 파장의 광을 방출하는 발광 구조체와 중첩하지 않기 때문에, 다른 발광 구조체를 통과하면서 발생할 수 있는 광 손실 없이 적색광을 외부로 방출할 수 있으며, 이에 따라, 적색광의 방출 효율이 증가될 수 있다.
- [78] 제1 발광 소자(10R)의 구체적인 구성은 도 3A 및 도 3B를 참조하여, 그리고, 제2 발광 소자(10GB)의 구체적인 구성은 도 4A 및 도 4B를 참조하여 뒤에서 상세하게 설명된다.
- [79] 제1 커버층(127)은 제1 및 제2 발광 소자들(10R, 10GB)을 덮는다. 제1 커버층(127)은 발광 소자들(10R, 10GB)의 전극 패드들을 노출시키는 개구부들(127h)을 갖는다. 제1 커버층(127)은 접속층들(129a, 129b, 129c, 129d)이 형성되는 면의 높이를 일정하게 조절하여 접속층들을 안전하게 형성할 수 있도록 돕는다. 제1 커버층(127)은 예컨대 폴리이미드, 에폭시 몰딩 컴파운드, 실리콘 등의 물질로 형성될 수 있다. 제1 커버층(127)은 광 반사성 또는 광 흡수성 물질을 포함할 수도 있다. 제1 및 제2 발광 소자들(10R, 10GB)을 덮는 제1 커버층(127)은 그 하단이 접착층(125)과 접할 수 있으며, 이에 따라, 발광 소자들(10r, 10GB)이 접착층(125)과

제1 커버층(127) 내에 매립되므로, 휨 등의 소자 변형이 방지될 수 있으며, 픽셀 소자(100)를 이동 및 실장하는 과정에서 손상이 방지될 수 있다.

- [80] 제1 커버층(127)은 접착층(125)의 가장자리로 둘러싸인 영역 내에 배치될 수 있으나, 이에 한정되는 것은 아니다. 예를 들어, 제1 커버층(127)은 접착층(125)의 가장자리를 부분적으로 노출시키도록 형성될 수도 있다.
- [81] 제1 내지 제4 접속층들(129a, 129b, 129c, 129d)은 제1 커버층(127) 상에 형성된다. 제1 내지 제4 접속층들(129a, 129b, 129c, 129d)은 제1 커버층(127)의 개구부들(127h)을 통해 제1 및 제2 발광 소자들(10R, 10GB)의 전극 패드들(61a, 61b, 161a, 161b, 161c)에 접속할 수 있다. 제1 내지 제4 접속층들(129a, 129b, 129c, 129d)은 제1 및 제2 발광 소자들(10R, 10GB)에 전기적으로 연결되며, 제1 및 제2 발광 소자들(10R, 10GB)이 배치된 제1 및 제2 영역의 외측으로 연장된다.
- [82] 일 실시예에서, 도 2A 및 도 2B에 도시한 바와 같이, 제1 접속층(129a)은 제1 발광 소자(10R)의 제1 발광 구조체의 제2 도전형 반도체층에 전기적으로 접속하고, 제2 접속층(129b)은 제2 발광 소자(10GB)의 제2 발광 구조체의 제2 도전형 반도체층에 전기적으로 접속하고, 제3 접속층(129c)은 제2 발광 소자(10GB)의 제3 발광 구조체의 제2 도전형 반도체층에 전기적으로 접속할 수 있으며, 제4 접속층(129d)은 제1 및 제2 발광 소자들(10R, 10GB)의 제1 도전형 반도체층들에 전기적으로 공통 접속할 수 있다. 다른 실시예에서, 제1 접속층(129a)은 제1 발광 소자(10R)의 제1 발광 구조체의 제1 도전형 반도체층에 전기적으로 접속하고, 제2 접속층(129b)은 제2 발광 소자(10GB)의 제2 발광 구조체의 제1 도전형 반도체층에 전기적으로 접속하고, 제3 접속층(129c)은 제2 발광 소자(10GB)의 제3 발광 구조체의 제1 도전형 반도체층에 전기적으로 접속할 수 있으며, 제4 접속층(129d)은 제1 및 제2 발광 소자들(10R, 10GB)의 제2 도전형 반도체층들에 전기적으로 공통 접속할 수 있다. 제1 내지 제4 접속층들(129a, 129b, 129c, 129d)은 제1 커버층(127) 상에 함께 형성될 수 있으며, 예컨대, Au를 포함할 수 있다.
- [83] 제2 커버층(131)은 제1 커버층(127)보다 얇은 두께로 형성될 수 있다. 제2 커버층(131)과 제1 커버층(127)의 두께의 합은 1 $\mu$ m 이상 50 $\mu$ m 이하일 수 있으나, 이에 한정되는 것은 아니다.
- [84] 제2 커버층(131)은 제1 커버층(127)의 측면 및 접속층들(129a, 129b, 129c, 129d)을 덮을 수 있다. 또한, 제2 커버층(131)은 접착층(125)의 일부를 덮을 수 있다. 제2 커버층(131)은 접속층들(129a, 129b, 129c, 129d)을 노출시키는 개구부들(131a, 131b, 131c, 131d)을 가지며, 이에 따라 픽셀 소자(100)의 패드 영역들이 정의될 수 있다. 패드 영역들은 각각 픽셀 소자(100)의 코너들에 가깝게 배치될 수 있으며, 픽셀 소자(100)의 중심을 지나는 중심선에 대해 대칭 되게 배치될 수 있다. 패드 영역들은 제1 및 제2 발광 소자들(10R, 10GB)과 수직 방향으로 중첩하지 않도록 제1 및 제2 발광 소자들(10R, 10GB)의 상부 영역 외측에 형성될 수 있다. 그러나, 본 개시가 반드시 이에 한정되는 것은 아니다.

- [85] 패드 영역들 중 적어도 하나의 모서리(edge)의 길이는 픽셀 소자(100)의 적어도 하나의 모서리 길이의 25% 이하일 수 있다. 접속층들(129a, 129b, 129c, 129d)의 모서리들은 제2 커버층(131)으로 덮일 수 있으며, 패드 영역들은 회로 기판 상의 패드들 또는 본딩재에 의해 커버될 수 있다.
- [86] 일 실시예에 있어서, 제2 커버층(131)은 반투명 물질일 수 있으며, 유기 또는 무기 물질로 형성될 수 있다. 제2 커버층(131)은 제1 커버층(127)과 동일한 물질로 형성될 수 있다. 이에 따라, 픽셀 소자(100) 내에서 형성되는 계면을 최소화할 수 있어, 구동시 발생하는 열에 의한 에어갭 발생을 방지할 수 있다. 예를 들어, 제1 커버층(127)과 함께 제2 커버층(131)이 폴리이미드로 형성될 수 있으며, 이 경우, 접속층들(129a, 129b, 129c, 129d)은, 패드 영역들을 제외하고, 하부면, 측면, 및 상부면이 모두 폴리이미드로 둘러싸일 수 있다.
- [87] 한편, 픽셀 소자(100)는 솔더 등의 본딩재를 이용하여 회로 기판에 실장될 수 있으며, 본딩재는 제2 커버층(131)의 개구부들(131a, 131b, 131c, 131d)에 노출된 접속층들(129a, 129b, 129c, 129d)과 회로 기판 상의 패드들을 본딩할 수 있다.
- [88] 본 실시예에 따르면, 픽셀 소자(100)는 별도의 범프들을 포함하지 않으며, 접속층들(129a, 129b, 129c, 129d)이 본딩 패드로 사용된다. 그러나 본 발명이 이에 한정되는 것은 아니며, 제2 커버층(131)의 개구부들(131a, 131b, 131c, 131d)을 덮는 본딩 패드들이 더 형성될 수도 있다. 일 실시예에 있어서, 본딩 패드들은 제1 내지 제4 접속층들(129a, 129b, 129c, 129d)의 상부 영역을 벗어나 발광 소자들(10R, 10GB)을 부분적으로 덮도록 형성될 수도 있다.
- [89] 다시 도 2A를 참조하면, 픽셀 소자(100)의 일 측면의 길이(W1)는 300um 이하일 수 있으며, 픽셀 소자(100)의 면적은 300um×300um 이하일 수 있다. 제1 발광 소자(10R) 및 제2 발광 소자(10GB) 각각의 일 측면의 길이(W2)는 100um 이하일 수 있으며, 이들 각각의 면적은 100um×100um 이하, 50um×50um 이하, 나아가, 10um×10um 이하일 수 있다. 한편, 제2 커버층(131)의 개구부의 일 측면의 길이(W3)는 70um 이하일 수 있다. 일 실시예에서, W1>W2>W3일 수 있다. W3를 가장 작게 함으로써, 픽셀 소자(100)의 길이(W1)를 최소화할 수 있다. 또한, W2가 W3보다 작아지면, 픽셀 소자들(100)이 인접하여 배치될 때, 하나의 픽셀 소자의 제1 영역과 그것에 인접한 다른 픽셀 소자의 제2 영역 사이의 거리가 커져 화소 밀도를 높이기 어렵다. W2를 W3보다 크게 함으로써, 인접한 픽셀 소자들(100) 사이의 거리를 감소시킬 수 있다.
- [90] 본 실시예에 있어서, 발광 소자들(10R, 10GB)이 접착층(125)에 의해 투명 기판(121)에 부착된 것으로 설명하지만, 접착층(125) 대신 다른 결합기(coupler)를 이용하여 발광 소자들(10R, 10GB)이 투명 기판(121)에 결합될 수도 있다. 예를 들어, 발광 소자들(10R, 10GB)을 스페이서들을 이용하여 투명 기판(121)에 결합시킬 수 있으며, 따라서, 발광 소자들(10R, 10GB)과 투명 기판(121) 사이의 영역에 기체 또는 액체가 채워질 수 있다. 이들 기체 또는 액체에 의해 발광 소자들(10R, 10GB)에서 방출된 광을 투과시키는 광학층이 형성될 수 있다. 앞서 설명한 접착

층(125)도 광학층의 일 예이다. 여기서, 광학층은 발광 소자들(10R, 10GB)과는 다른 재료, 예컨대, 기체, 액체, 또는 고체로 형성되며, 따라서, 발광 소자들(10R, 10GB) 내의 반도체층들의 재료와 구별된다.

- [91] 한편, 본 실시예에서, 제1 영역과 제2 영역이 정사각형의 형상을 가질 수 있지만, 본 실시예가 이에 한정되는 것은 아니며, 정사각형 이외의 직사각형 형상을 가질 수도 있다. 이 경우, 제1 영역과 제2 영역의 긴 변들이 서로 마주보도록 나란히 배치될 수 있다. 제1 영역 또는 제2 영역 중 어느 하나에 복수의 발광 구조체가 적층된 경우, 발광 구조체 각각의 크기는 서로 다를 수 있으며, 바람직하게는 투명기관(121)에 가깝게 배치되는 발광 구조체의 크기가 더 클 수 있다.
- [92] 본 실시예에 따르면, 발광 소자들(10R, 10GB)을 동일 평면 상에 배열한 픽셀 소자(100)가 제공된다. 픽셀 소자(100)는 발광 소자들(10R, 10GB)을 이용하여 다양한 색상의 광을 구현할 수 있다. 이하에서, 일 실시예에 따른 발광 소자들(10R, 10GB)에 대해 상세하게 설명한다.
- [93] 도 3A는 본 개시의 일 실시예에 따른 발광 소자(10R)를 설명하기 위한 개략적인 평면도이고, 도 3B는 도 3A의 절취선 C-C'를 따라 취해진 개략적인 단면도이다.
- [94] 도 3A 및 도 3B를 참조하면, 발광 소자(10R)는 제1 도전형 반도체층(21), 활성층(23), 및 제2 도전형 반도체층(25)을 포함하는 제1 발광 구조체, 오믹 콘택층(27), 제1 콘택 패드(53a), 제2 콘택 패드(53b), 절연층(59), 제1 전극 패드(61a), 및 제2 전극 패드(61b)를 포함할 수 있다.
- [95] 제1 발광 구조체, 즉, 제1 도전형 반도체층(21), 활성층(23) 및 제2 도전형 반도체층(25)은 기판 상에 성장될 수 있다. 상기 기판은 질화갈륨 기판, GaAs 기판, Si 기판, 사파이어 기판, 특히 패터닝된 사파이어 기판 등 반도체 성장용으로 사용될 수 있는 다양한 기판일 수 있다. 성장 기판은 반도체층들로부터 기계적 연마, 레이저 리프트 오프, 케미컬 리프트 오프 등의 기술을 이용하여 분리될 수 있다. 상기 기판은 예를 들어, GaAs 기판일 수 있으며, 화학적 식각 기술을 이용하여 제1 도전형 반도체층(21)으로부터 제거될 수 있다.
- [96] 일 실시예에서, 제1 발광 구조체는 갈륨 비소(aluminum gallium arsenide, AlGaAs), 갈륨 비소 인화물(gallium arsenide phosphide, GaAsP), 알루미늄 갈륨 인듐 인화물(aluminum gallium indium phosphide, AlGaInP), 또는 갈륨 인화물(gallium phosphide, GaP)을 포함할 수 있으며, 적색광을 방출할 수 있다.
- [97] 제1 도전형과 제2 도전형은 서로 반대 극성으로서, 제1 도전형이 n형인 경우, 제2 도전형은 p형이며, 제1 도전형이 p형인 경우, 제2 도전형은 n형이 된다.
- [98] 제1 도전형 반도체층(21), 활성층(23) 및 제2 도전형 반도체층(25)은 금속유기화학 기상 성장법(MOCVD)과 같은 공지의 방법을 이용하여 챔버 내에서 기판 상에 성장될 수 있다. 또한, 제1 도전형 반도체층(21)은 n형 불순물(예를 들어, Si, Ge, Sn)을 포함하고, 제2 도전형 반도체층(25)은 p형 불순물(예를 들어, Mg, Sr, Ba)을 포함한다.

- [99] 도면에서 제1 도전형 반도체층(21) 및 제2 도전형 반도체층(25)이 각각 단일층인 것으로 도시하지만, 이들 층들은 다중층일 수 있으며, 또한 초격자층을 포함할 수도 있다. 활성층(23)은 단일양자우물 구조 또는 다중양자우물 구조를 포함할 수 있고, 원하는 파장을 방출하도록 반도체의 조성비가 조절된다. 예를 들어, 활성층(23)은 적색광을 방출할 수 있다.
- [100] 제2 도전형 반도체층(25) 및 활성층(23)은 메사 구조를 가지고 제1 도전형 반도체층(21) 상에 배치될 수 있다. 메사는 제2 도전형 반도체층(25) 및 활성층(23)을 포함하며, 도 3B에 도시한 바와 같이, 제1 도전형 반도체층(21)의 일부를 포함할 수도 있다. 메사는 제1 도전형 반도체층(21)의 일부 영역 상에 위치하며, 메사 주위에 제1 도전형 반도체층(21)의 상면이 노출될 수 있다.
- [101] 본 실시예에 있어서, 메사는 그 주변에 제1 도전형 반도체층(21)을 노출시키도록 형성된다. 다른 실시예에서, 메사를 관통하여 제1 도전형 반도체층(21)을 노출시키는 관통홀이 형성될 수도 있다.
- [102] 한편, 상기 제1 도전형 반도체층(21)은 표면 텍스처링에 의한 요철 패턴(21p)을 가질 수 있다. 요철 패턴(21p)은 제1 도전형 반도체층(21)의 광 방출면 측에 형성될 수 있다. 표면 텍스처링은 예를 들어 건식 또는 습식 식각 공정을 이용한 패턴닝에 의해 수행될 수 있다.
- [103] 일 실시예에 있어서, 콘 형상의 돌출부들이 형성될 수 있으며, 콘의 높이는 2 내지 3 $\mu\text{m}$ , 콘 간격은 1.5 내지 2 $\mu\text{m}$ , 콘의 바닥 직경은 약 3 $\mu\text{m}$  내지 5 $\mu\text{m}$  일 수 있다. 콘은 또한 절두형일 수 있으며, 이 경우, 콘의 상면 직경은 약 2 내지 3 $\mu\text{m}$  일 수 있다.
- [104] 다른 실시예에 있어서, 요철 패턴(21p)은 제1 요철 패턴과 제1 요철 패턴 상에 추가로 형성된 제2 요철 패턴을 포함할 수 있다. 제2 요철 패턴은 제1 요철 패턴에 비해 미세한 크기로 형성될 수 있다. 제1 도전형 반도체층(21)의 표면에 요철 패턴(21p)을 형성함으로써 내부 전반사를 줄여 광 추출 효율을 증가시킬 수 있다.
- [105] 오믹 콘택층(27)은 제2 도전형 반도체층(25) 상에 배치되어 제2 도전형 반도체층(25)에 오믹 콘택한다. 오믹 콘택층(27)은 단일 층, 또는 다중 층으로 형성될 수 있으며, 투명 도전성 산화막 또는 금속막으로 형성될 수 있다. 투명 도전성 산화막은 예를 들어 ITO 또는 ZnO 등을 예로 들 수 있으며, 금속막으로는 Al, Ti, Cr, Ni, Au 등의 금속 및 이들의 합금을 예로 들 수 있다.
- [106] 제1 콘택 패드(53a)는 노출된 제1 도전형 반도체층(21) 상에 배치된다. 제1 콘택 패드(53a)는 제1 도전형 반도체층(21)에 오믹 콘택할 수 있다. 예를 들어, 제1 콘택 패드(53a)는 제1 도전형 반도체층(21)에 오믹 콘택하는 오믹 금속층으로 형성될 수 있다. 제1 콘택 패드(53a)의 오믹 금속층은 제1 도전형 반도체층(21)의 반도체 재료에 따라 적합하게 선정될 수 있다. 제1 콘택 패드(53a)는 생략될 수도 있다.

- [107] 제2 콘택 패드(53b)는 오믹 콘택층(27) 상에 배치될 수 있다. 제2 콘택 패드(53b)는 오믹 콘택층(27)에 전기적으로 접속한다. 제2 콘택 패드(53b)는 생략될 수도 있다.
- [108] 절연층(59)은 메사, 오믹 콘택층(27), 제1 콘택 패드(53a), 및 제2 콘택 패드(53b)를 덮는다. 절연층(59)은 제1 콘택 패드(53a) 및 제2 콘택 패드(53b)를 노출시키는 개구부들(59a, 59b)을 갖는다. 절연층(59)은 단일층 또는 다중층으로 형성될 수 있다. 나아가, 절연층(59)은 굴절률이 서로 다른 절연층들을 적층한 분포 브래그 반사기를 포함할 수도 있다. 예를 들어, 분포 브래그 반사기는  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{SiON}$ ,  $\text{TiO}_2$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{Nb}_2\text{O}_5$ 에서 선택된 적어도 2 종류의 절연층을 포함할 수 있다.
- [109] 분포 브래그 반사기는 활성층(23)에서 방출되는 광을 반사한다. 분포 브래그 반사기는 활성층(23)에서 방출되는 광의 피크 파장을 포함하여 상대적으로 넓은 파장 범위에 걸쳐 높은 반사율을 나타낼 수 있으며, 광의 입사각을 고려하여 설계될 수 있다. 일 실시예에 있어서, 분포 브래그 반사기는 다른 입사각으로 입사되는 광에 비해 입사각 0도로 입사되는 광에 대해 더 높은 반사율을 가질 수 있다. 다른 실시예에 있어서, 분포 브래그 반사기는 입사각 0도로 입사되는 광에 비해 다른 특정 입사각으로 입사되는 광에 대해 더 높은 반사율을 가질 수 있다. 예를 들어, 분포 브래그 반사기는 입사각 0도로 입사되는 광에 비해 입사각 10도로 입사되는 광에 대해 더 높은 반사율을 가질 수 있다.
- [110] 제1 전극 패드(61a) 및 제2 전극 패드(61b)는 절연층(59) 상에 배치된다. 제1 전극 패드(61a)는 제1 콘택 패드(53a)의 상부로부터 메사의 상부로 연장될 수 있으며, 제2 전극 패드(61b)는 메사 상부 영역 내에 배치될 수 있다. 제1 전극 패드(61a)는 개구부(59a)를 통해 제1 콘택 패드(53a)에 접속할 수 있으며, 제2 전극 패드(61b)는 제2 콘택 패드(53b)에 전기적으로 접속될 수 있다. 제1 전극 패드(61a)가 직접 제1 도전형 반도체층(21)에 오믹 콘택할 수도 있으며, 이 경우, 제1 콘택 패드(53a)는 생략될 수 있다. 또한, 제2 콘택 패드(53b)가 생략된 경우, 제2 전극 패드(61b)는 오믹 콘택층(27)에 직접 접속할 수 있다.
- [111] 제1 및/또는 제2 전극 패드들(61a, 61b)은 단일층, 또는 다중층 금속으로 형성될 수 있다. 제1 및/또는 제2 전극 패드들(61a, 61b)의 재료로는 Al, Ti, Cr, Ni, Au 등의 금속 및 이들의 합금 등이 사용될 수 있다.
- [112] 본 개시의 일 실시예에 따른 발광 소자(10R)가 도면과 함께 간략하게 설명되었으나, 발광 소자(10R)는 상술한 층 이외에도 부가적인 기능을 갖는 층을 더 포함할 수 있다. 예를 들어, 광을 반사하는 반사층, 특정 구성 요소를 절연하기 위한 추가 절연층, 솔더의 확산을 방지하는 솔더 방지층 등 다양한 층이 더 포함될 수 있다.
- [113] 또한, 플립칩 타입의 발광 소자를 형성함에 있어, 다양한 형태로 메사를 형성할 수 있으며, 제1 및 제2 전극 패드들(61a, 61b)의 위치나 형상 또한 다양하게 변경

될 수 있다. 또한, 오믹 콘택층(27)은 생략될 수도 있으며, 제2 콘택 패드(53b) 또는 제2 전극 패드(61b)가 제2 도전형 반도체층(25)에 직접 접촉할 수도 있다.

- [114] 본 실시예에 있어서, 제1 발광 소자(10R)가 플립칩 구조인 것을 예를 들어 설명하지만, 본 발명은 이에 한정되는 것은 아니며, 수평형 구조의 발광 소자일 수도 있다.
- [115] 도 4A는 본 개시의 일 실시예에 따른 제2 발광 소자(10GB)를 설명하기 위한 개략적인 평면도이고, 도 4B는 도 4A의 절취선 D-D'를 따라 취해진 개략적인 단면도이다.
- [116] 도 4A 및 도 4B를 참조하면, 제2 발광 소자(10GB)는 제1 도전형 반도체층(31), 활성층(33), 및 제2 도전형 반도체층(35)을 포함하는 제2 발광 구조체, 제1 도전형 반도체층(41), 활성층(43), 및 제2 도전형 반도체층(45)을 포함하는 제3 발광 구조체를 포함한다. 제2 발광 소자(10GB)는 오믹 콘택층들(37, 47), 제1 콘택 패드들(153a, 155a), 제2 콘택 패드들(153b, 155b), 전극 패드들(161a, 161b, 161c), 접착층(34), 및 절연층(159)을 포함할 수 있다.
- [117] 제2 발광 구조체의 활성층(33) 및 제3 발광 구조체의 활성층(43)에서 생성된 광은 제2 발광 구조체의 제1 도전형 반도체층(31)을 통해 외부로 방출된다. 일반적으로, 제3 발광 구조체의 활성층(43)은 제2 발광 구조체의 활성층(33)보다 장파장의 피크 파장을 가질 수 있다. 예를 들어, 제3 발광 구조체는 녹색광을 방출할 수 있으며, 제2 발광 구조체는 청색광을 방출할 수 있다. 그러나 특정 실시예에 있어서, 제2 발광 구조체와 제3 발광 구조체에서 방출되는 광의 상대적인 강도를 조절하기 위해 제2 발광 구조체가 제3 발광 구조체보다 장파장의 광을 방출할 수 있다. 예를 들어, 제2 발광 구조체가 녹색광을 방출하고, 제3 발광 구조체가 청색광을 방출할 수도 있다. 이에 따라, 제3 발광 구조체에서 방출되는 광의 강도를 낮추고, 제2 발광 구조체에서 방출되는 광의 강도를 증가시킬 수 있다.
- [118] 제2 및 제3 발광 구조체 내의 반도체층들은 요구되는 피크 파장의 광을 방출하도록 선택될 수 있다. 제1 도전형 반도체층들(31, 41) 및 제2 도전형 반도체층들(33, 43)은 단일층 또는 다중층으로 형성될 수 있으며, 활성층들(33, 43)은 단일 양자우물 구조 또는 다중 양자우물 구조를 가질 수 있다. 녹색 광을 방출하는 발광 구조체의 경우, 반도체층들은 인듐 갈륨 질화물(InGaN), 갈륨 질화물(GaN), 갈륨 인화물(GaP), 알루미늄 갈륨 인듐 인화물(AlGaInP), 또는 알루미늄 갈륨 인화물(AlGaP)을 포함할 수 있으며, 청색 광을 방출하는 발광 구조체의 경우, 반도체층들은 갈륨 질화물(GaN), 인듐 갈륨 질화물(InGaN), 또는 아연 셀렌화물(zinc selenide, ZnSe)을 포함할 수 있다.
- [119] 오믹 콘택층(37)은 제2 도전형 반도체층(35) 상에 배치되어 제2 도전형 반도체층(35)에 오믹 콘택한다. 오믹 콘택층(37)은 단일층, 또는 다중층으로 형성될 수 있으며, 투명 도전성 산화막 또는 금속막으로 형성될 수 있다. 투명 도전성 산화막은 예를 들어 ITO 또는 ZnO 등을 예로 들 수 있으며, 금속막으로는 Al, Ti, Cr,

Ni, Au 등의 금속 및 이들의 합금을 예로 들 수 있다. 오믹 콘택층(37)은 제3 발광 구조체에서 생성된 광을 투과시키도록 광 투과성 재료로 형성될 수 있다.

[120] 오믹 콘택층(47)은 제2 도전형 반도체층(45) 상에 배치되어 제2 도전형 반도체층(45)에 오믹 콘택한다. 오믹 콘택층(47)은 단일층, 또는 다중층으로 형성될 수 있으며, 투명 도전성 산화막 또는 금속막으로 형성될 수 있다. 투명 도전성 산화막은 예를 들어 ITO 또는 ZnO 등을 예로 들 수 있으며, 금속막으로는 Al, Ti, Cr, Ni, Au 등의 금속 및 이들의 합금을 예로 들 수 있다.

[121] 접착층(34)은 제2 발광 구조체와 제3 발광 구조체를 결합시킬 수 있다. 접착층(34)은 광학적으로 투명한 접착제(OCA)를 포함할 수 있고, 예를 들어, 에폭시, 폴리이미드, SU8, 스핀-온-글래스(SOG), 벤조시클로부텐(BCB)을 포함할 수 있으나, 본 개시 사항이 이에 한정되는 것은 아니다.

[122] 제1 콘택 패드들(153a, 155a)은 각각 제1 도전형 반도체층들(31, 41) 상에 배치되며, 이들에 오믹 콘택할 수 있다. 제1 도전형 반도체층(31)의 일부 영역이 노출될 수 있으며, 노출된 제1 도전형 반도체층(31) 상에 제1 콘택 패드(153a)가 형성될 수 있다. 또한, 제1 도전형 반도체층(41)의 일부 영역이 노출될 수 있으며, 노출된 제1 도전형 반도체층(41) 상에 제1 콘택 패드(155a)가 형성될 수 있다.

[123] 한편, 제2 콘택 패드(153b, 155b)들은 제2 도전형 반도체층들(33, 43)에 전기적으로 접속된다. 제2 콘택 패드들(153b, 155b)은 각각 오믹 콘택층들(37, 47) 상에 형성될 수 있다.

[124] 절연층(159)은 제2 발광 구조체 및 제3 발광 구조체를 덮을 수 있으며, 오믹 콘택층들(37, 47), 제1 콘택 패드들(153a, 155a) 및 제2 콘택 패드들(153b, 155b)을 덮을 수 있다. 절연층(159)은 또한 제1 도전형 반도체층(31)의 측면을 덮을 수도 있다. 절연층(159)은 제1 콘택 패드들(153a, 155a) 및 제2 콘택 패드들(153b, 155b)에 전기적 접속을 허용하도록 이들을 노출시키는 개구부들(159a, 159b, 159c, 159d)을 가질 수 있다.

[125] 전극 패드들(161a, 161b, 161c)은 절연층(159) 상에 형성되며, 제1 콘택 패드들(153a, 155a) 및 제2 콘택 패드들(153b, 155b)에 전기적으로 접속될 수 있다. 전극 패드(161a)는 제1 콘택 패드(153a)와 제1 콘택 패드(155a)를 전기적으로 연결할 수 있다. 이에 따라, 제1 도전형 반도체층(31)과 제1 도전형 반도체층(41)이 서로 전기적으로 연결될 수 있다. 전극 패드(161b)는 제2 콘택 패드(153b)에 전기적으로 접속할 수 있으며, 전극 패드(161c)는 제2 콘택 패드(155b)에 전기적으로 접속할 수 있다. 전극 패드들(161a, 161b, 161c)은 서로 전기적으로 이격된다. 한편, 도 2A에 도시한 바와 같이, 제4 접속층(129d)은 전극 패드(161a)에 접속되어 제2 발광 소자(10GB)의 제1 도전형 반도체층들(31, 41)에 전기적으로 공통 접속할 수 있다.

[126] 본 실시예에 있어서, 제3 발광 구조체는 제2 발광 구조체보다 작은 면적을 가질 수 있다. 그러나 본 개시가 이에 한정되는 것은 아니다. 예를 들어, 제1 도전형 반도체층(31), 오믹 콘택층(37), 및 제1 도전형 반도체층(41)을 노출시키는 콘택홀

들을 통해 전기적 접속이 달성될 수 있으며, 이 경우, 제2 발광 구조체와 제3 발광 구조체의 외형 면적은 동일할 수 있다.

- [127] 제2 발광 소자(10GB)는 웨이퍼 본딩 기술을 이용하여 웨이퍼 레벨에서 형성될 수 있다. 제1 도전형 반도체층(31)이 성장 기관으로부터 분리된 후, 노출된 표면에 요철(31p)이 형성될 수 있으며, 요철(31p)을 이용하여 제2 발광 구조체 및 제3 발광 구조체에서 방출되는 광의 지향각을 조절할 수 있다. 나아가, 요철(31p)에 의해 광 산란을 이용하여 광 추출 효율이 향상될 수 있다.
- [128] 본 실시예에 따르면, 적색광을 방출하는 제1 발광 소자(10R)를 녹색광 및 청색광을 방출하는 제2 발광 소자(10GB)와 독립하여 배치함으로써 적색광의 광도를 향상시킬 수 있다. 나아가, 제2 발광 구조체와 제3 발광 구조체가 적층된 구조를 갖는 제2 발광 소자(10GB)를 배치함으로써 픽셀 소자(100)를 소형화할 수 있으며, 발광 소자들의 실장 공정을 더 단순화할 수 있다.
- [129] 픽셀 소자(100)는, 도 1에 도시한 바와 같이, 회로 기관(1001) 상에 배치되어 패널 기관(2100) 상에 실장된다. 회로 기관(1001) 상에 복수의 픽셀 소자들(100)이 배치되어 발광 모듈(1000)이 형성된다. 발광 모듈(1000)을 형성하여 패널 기관(2100) 상에 픽셀들을 배치하기 때문에 각 발광 모듈(1000) 내에서 불량 픽셀을 확인한 후 발광 모듈(1000)을 수리하거나 교체할 수 있다. 발광 모듈을 교체하거나 수리하면 되므로, 디스플레이 장치 전체를 수리하거나 폐기할 필요가 없어 비용 손실을 불량 발생에 따른 비용 손실을 줄일 수 있다.
- [130] 본 실시예에서 발광 모듈(1000)을 패널 기관(2100) 상에 실장하는 것으로 설명하지만, 발광 모듈들(1000)을 캐비닛에 실장하고, 발광 모듈들(1000)이 실장된 복수의 캐비닛들을 패널 기관(2100) 상에 실장할 수도 있다.
- [131] 도 5는 본 개시의 또 다른 실시예에 따른 제2 발광 소자를 설명하기 위한 개략적인 단면도이고, 도 6은 본 개시의 또 다른 실시예에 따른 픽셀 소자를 설명하기 위한 개략적인 단면도이다.
- [132] 도 5를 참조하면, 본 실시예에 따른 제2 발광 소자는 도 4A 및 도 4B를 참조하여 설명한 제2 발광 소자(10GB)와 대체로 유사하나, 제1 콘택 패드들(153a, 155a) 상에 각각 전극 패드들(161a', 161a")이 제공된 것에 차이가 있다. 제1 콘택 패드들(153a, 155a) 상에 각각 전극 패드들(161a', 161a")이 마련되므로, 제1 콘택 패드들(153a, 155a)이 인접하여 배치될 필요가 없으며, 따라서, 공정 여유도가 증가한다.
- [133] 도 6에 도시한 바와 같이, 접속층(129d)이 제1 커버층(127)의 개구부들(127h)을 통해 전극 패드들(161a', 161a") 모두에 전기적으로 접속될 수 있다. 이에 따라, 전극 패드들(161a', 161a")이 서로 전기적으로 접속될 수 있으며, 따라서, 제1 도전형 반도체층들(31, 41)이 서로 전기적으로 접속된다.
- [134] 도 7은 본 개시의 또 다른 실시예에 따른 제1 발광 소자(10R')를 설명하기 위한 개략적인 단면도이고, 도 8은 본 개시의 또 다른 실시예에 따른 픽셀 소자를 설명하기 위한 개략적인 단면도이다.

- [135] 도 7을 참조하면, 본 실시예에 따른 제1 발광 소자(10R')는 도 3A 및 도 3B를 참조하여 설명한 제1 발광 소자(10R)와 대체로 유사하나, 복수의 활성층(23a, 23b)을 포함하는 것에 차이가 있다. 즉, 제1 발광 소자(10R')는 활성층(23a)을 포함하는 제1 발광 구조체와 함께 활성층(23b)을 포함하는 서브 발광 구조체를 포함할 수 있다. 서브 발광 구조체의 활성층(23b) 또한 제2 발광 구조체 및 제3 발광 구조체에서 방출되는 광의 피크 파장보다 장파장의 광을 방출할 수 있다. 활성층들(23a, 23b)은 도 3A 및 도 3B를 참조하여 설명한 바와 같은 반도체 재료로 형성될 수 있다. 제1 발광 구조체와 서브 발광 구조체는 터널층을 통해 서로 결합될 수 있으며, 함께 동작할 수 있다. 따라서, 예를 들어, 활성층들(23a, 23b)이 동일 또는 유사한 피크 파장의 광을 방출할 경우, 제1 발광 소자(10R')에서 방출되는 광의 강도를 증가시킬 수 있다. 도 8에 도시한 바와 같이, 제1 발광 소자(10R')가 제1 발광 소자(10R) 대신에 픽셀 소자에 실장될 수 있다. 접속층(129a)은 서브 발광 구조체의 제2 도전형 반도체층(25)에 전기적으로 접속할 수 있으며, 제1 도전형 반도체층(21)은 도 2C에 도시한 바와 같이, 접속층(129d)에 전기적으로 접속할 수 있다.
- [136] 도 9는 본 개시의 또 다른 실시예에 따른 픽셀 소자를 설명하기 위한 개략적인 평면도이다.
- [137] 도 9를 참조하면, 본 실시예에 따른 픽셀 소자는 도 2A, 도 2B, 및 도 2C를 참조하여 설명한 픽셀 소자(100)와 대체로 유사하나, 제2 커버층(131')이 제1 커버층(127) 및 접속층들(129a, 129b, 129c, 129d)을 부분적으로 덮는 것에 차이가 있다. 제2 커버층(131')은 도 9에 도시한 바와 같이, 가로 방향 및 세로 방향으로 픽셀 소자의 중앙 영역을 덮되 코너 영역들을 노출시킨다. 특히, 제2 커버층(131')은 픽셀 소자의 가장자리들에 인접한 접속층 영역들을 덮지 않는다. 이에 따라, 접속층들의 상면 중 외부에 노출되는 영역, 즉 패드 영역들의 면적이 더 증가될 수 있다. 즉, 패드 영역들의 길이(W3')는 도 2A의 픽셀 소자에서 패드 영역의 길이(W3)보다 더 클 수 있다. 따라서, 픽셀 소자를 소형화하면서도 충분한 패드 영역을 확보할 수 있다.
- [138] 본 개시의 일 실시예에 따르면, 도 10A는 제1 기판(S)에 배치된 발광 소자를 도시한 것이다. 도 10A를 참조하면, 일 실시예에 따른 상기 발광 소자는 제1 발광 스택(210), 상기 제1 발광 스택(210)의 하부에 위치하는 제2 발광 스택(220) 및 상기 제2 발광 스택(220)의 하부에 위치하는 제3 발광 스택(230)을 포함한다. 제1 발광 스택(210)은 제1도전형 반도체층(211), 활성층(212) 및 제2도전형 반도체층(213)을 포함한다. 또한, 제2 발광 스택(220)은 제1도전형 반도체층(221), 활성층(222) 및 제2도전형 반도체층(223)을 포함한다. 또한, 제3 발광 스택(230)은 제1도전형 반도체층(231), 활성층(232) 및 제2도전형 반도체층(233)을 포함한다. 또한 각각의 발광 스택(210, 220, 230)의 활성층(212, 222, 232)들은 서로 다른 피크 파장을 방출한다. 예를 들면, 각각의 웨이퍼 상에서 형성된 발광 스택들을 적층형으로 접합하고, 개별 칩으로 분리하는 공정을 한번에 실시함으로써 각각의 발

- 광 스택들을 개별적으로 자르는 공정을 하나로 줄여 공정 시간을 단축할 수 있다.
- [139] 제1 발광 스택(210)은 가장 긴 피크 파장을 방출할 수 있다. 바람직하게는 적색광을 방출하는 층일 수 있다. InGaN, InAlGaN, GaN, AlGaN, AlGaAs, GaAsP, AlGaInP, 및 GaP와 같은 물질들 중 적어도 하나를 포함할 수 있다. 하지만 이러한 물질에 한정되는 것은 아니며 적색광을 방출할 수 있는 어떠한 물질도 가능하다.
- [140] 제2 발광 스택(220)은 제1 발광 스택(210) 보다 짧은 피크 파장을 방출할 수 있다. 바람직하게는 녹색광을 방출하는 반도체층일 수 있다. 제2 발광 스택(220)은 GaN, InGaN, AlGaN, InGaN, GaP, AlGaInP, AlGaP 등과 같은 물질들 중 적어도 하나를 포함할 수 있으나, 이에 제한되지는 않는다.
- [141] 제3 발광 스택(230)은 가장 짧은 피크 파장을 방출할 수 있다. 청색광을 방출하는 반도체층일 수 있다. 예를 들어, 제3 발광 스택(230)은 GaN, InGaN, ZnSe 등과 같은 청색광을 방출하는 반도체 물질을 포함할 수 있으나, 이에 한정되는 것은 아니다. 또한, 적층되는 각 반도체층에서 방출되는 광의 색은 이에 한정되지 않으며, 다양한 반도체층으로 조합되어 적층될 수 있다.
- [142] 제1 기판(S) 상부에 제3 발광 스택(230)이 배치되어 있으며, 상기 제1 기판(S)은 제3 발광 스택(230), 예를 들어, 청색광을 방출하는 반도체 층을 에피택셜 성장할 수 있는 기판으로 예를 들어 사파이어 기판일 수 있다. 사파이어 기판으로만 한정되는 것은 아니며, 다른 다양한 투명 절연 물질을 포함할 수 있다. 예를 들어, 제1 기판(S)은 글래스, 퀴츠, 실리콘, 유기 폴리머, 또는 유기-무기 복합 재료를 포함할 수 있으며, 예를 들어, 탄화실리콘(SiC), 질화갈륨(GaN), 질화인디움갈륨(InGaN), 질화알루미늄갈륨(AlGaN), 질화알루미늄(AlN), 산화갈륨(Ga<sub>2</sub>O<sub>3</sub>), 또는 실리콘 기판일 수 있다.
- [143] 또한, 도면에 도시하지는 않았지만, 제1 기판(S)은 상면에 요철을 포함할 수 있으며, 예를 들어, 패터닝된 사파이어 기판일 수 있다. 상면에 요철을 포함함으로써 제1 기판(S)에 접한 제3 발광 스택(230)에서 생성된 광의 추출 효율을 증가시킬 수 있다. 다른 실시예에 있어서, 제1 기판(S)은 제거될 수도 있다.
- [144] 도 10B는 제1 발광 스택(210)이 제2 발광 스택(220) 및 제3 발광(230)에 본딩되기 전을 나타내는 도면이다. 본 발명의 예시적인 실시예에 따라, 제1 발광 스택(210)은 복수의 발광 스택들 중 가장 긴 파장을 방출할 수 있고, 예를 들어 적색광을 방출하는 반도체층일 수 있다. 따라서, 제2기판(G)은 제1 기판(S)과 다른 물질로 이루어진 성장 기판일 수 있다. 예를 들어 제2 기판(G)은 GaAs일 수 있다. 하지만 이에 한정되지는 않는다.
- [145] 또한, 제2 및 제3 발광 스택(220, 230)이 서로 접합하기 전에 제2 발광 스택(220)과 제3 발광 스택(230)의 제2 반도체층들(223, 233) 상에 하부 콘택층들(242, 243)이 배치될 수 있다. 상기 하부 콘택층들(242, 243) 사이에는 제2 발광 스택(220)과 제3 발광 스택(230)을 접합시키기 위한 제2 접착층(252)가 배치될 수 있다. 상기

제2 접착층(252)는 광을 투과시키는 비도전성 물질을 포함할 수 있다. 예를 들어, 광학적으로 투명한 접착제(OCA)를 포함할 수 있으며, 더 자세하게는, 에폭시, 폴리이미드, SU8, 스피-온, 글래스(SOG), 벤조시클로부텐(BCB)을 포함할 수 있으나, 이에 한정되지는 않는다.

- [146] 또한, 도면에 도시하지는 않았으나, 제2 발광 스택(220)과 제2 접착층(252) 사이에 접착 강화층을 더 포함할 수 있다. 예를 들어, 접착 강화층은 제2 접착층(252)과 제2 하부 콘택층(242) 사이에 배치되어 이들을 접착할 수 있다. 접착 강화층은 레이저 리프트 오프 공정 등의 급격한 스트레스 변화를 수반하는 공정에서 제2 발광 스택(220)이 제2 접착층(252)으로부터 박리되는 것을 방지하며, 더 나아가, 제2 발광 스택의 깨짐을 방지할 수 있다. 상기 접착 강화층은 예를 들어, 실리콘 산화막으로 형성될 수 있으며, 이에 한정되는 것은 아니다.
- [147] 상기 상술한 것과 같은 이유로 제2 접착층(252)과 제3 발광 스택(230) 사이에 더 자세하게는, 제2 접착층(252)과 제3 하부 콘택층(243) 사이에도 접착 강화층을 더 포함할 수 있다. 또한, 상기 접착 강화층은 제2 및 제3 하부 콘택층(242, 243) 보다 작은 두께를 가질 수 있으며, 예를 들어, 약 100nm의 두께를 가질 수 있다.
- [148] 또한, 제2 발광 스택(220)의 제1 도전형 반도체층(221) 상에 roughness(R)를 형성할 수 있다. roughness(R)의 형태와 크기는 다양하게 형성될 수 있으며, 예를 들어, wave type, embossing type, zigzag type, 등 다양하게 패터닝 되어 다양한 형상으로 포함할 수 있다. 제1 도전형 반도체층(221) 상부에 roughness(R)를 형성함으로써 전반사로 인해 광이 외부로 방출되지 못하고 다시 내부로 반사될 수 있는 확률을 줄일 수 있다. 따라서, 광이 반도체층 내부에서 외부로 효율적으로 추출될 수 있도록 하여 광효율 개선 효과를 줄 수 있다. 그러나 roughness(R)가 반드시 필요한 것은 아니며, 평탄한 면으로 형성될 수도 있다.
- [149] 제1 발광 스택(210)의 성장 기관(G), 즉 제2 기관(G)은 제거하고, 제1 발광 스택(220)의 제1 하부 콘택층(241) 하부에 상기 제2 접착층(252)와 같은 제1 접착층(251)을 배치하여 제1 발광 스택(210)을 제2 및 제3 발광 스택(220, 230)과 접합할 수 있다. 상기 제2 기관(G)이 제거됨으로써 제2 기관(G) 하부에 배치되었던 제1 발광 스택(210)의 제1 도전형 반도체층(211)이 노출될 수 있다. 노출된 상기 제1 도전형 반도체층(211) 상에도 roughness(R')를 형성할 수 있다. roughness(R')의 형태와 크기는 다양하게 형성될 수 있으며, 예를 들어, wave type, embossing type, zigzag type, 등 다양하게 패터닝 되어 다양한 형상을 포함할 수 있고, 규칙적인 형태를 가질 수도 있으며, 이와 달리 불규칙한 형태를 가질 수도 있다.
- [150] 도 10A를 다시 참조하면, 제1 발광 스택(210)의 제1 도전형 반도체층(211) 상 및 제2 발광 스택(220)의 제1 도전형 반도체층(221) 상에 roughness(R', R)를 형성함으로써 광이 외부로 방출될 때 전반사 되어 반도체층 내부로 다시 들어갈 수 있는 확률을 줄일 수 있다. 따라서, 광이 반도체층 내부에서 외부로 효율적으로 방출될 수 있도록 하여 광효율을 향상시킬 수 있다.

- [151] 도 11A를 참조하면, 제1 발광 스택(210) 일부는 식각 공정 등을 통해 제거될 수 있다. 제1 발광 스택(210)의 일부가 제거됨에 따라, 상기 제거된 제1 발광 스택(210) 일부의 하부에 배치되었던 제1 하부 콘택층(241)이 노출될 수 있다. 하지만 제1 발광 스택(210)만 제거하는 것으로 한정되지 않으며, 제1 하부 콘택층(241)까지 제거될 수 있거나, 제1 하부 콘택층(241)의 하부에 배치된 제1 접착층(251)까지 제거될 수도 있다. 제거되는 제1 발광 스택(210)의 일부 영역은 제1 발광 스택(210)의 중심부 영역일 수 있으나, 반드시 이에 한정되는 것은 아니며, 시야각의 조절 또는 발광 강도의 조절을 위하여 일측으로 치우치도록 제1 발광 스택(210)의 일부 영역이 제거될 수도 있다.
- [152] 또한, 도면에 도시하지는 않았지만, 상기 노출된 제1 하부 콘택층(241) 표면에는 roughness를 형성할 수 있다. roughness의 형태와 크기는 다양하게 형성될 수 있으며, 예를 들어, wave type, embossing type, zigzag type, 등 다양하게 패터닝되어 다양한 형상으로 형성될 수 있고, 규칙적인 형태를 가질 수도 있으며, 이와 달리 불규칙한 형태를 가질 수도 있다. 표면에 roughness를 형성함으로써 광이 효율적으로 추출될 수 있도록 하여 광효율 개선 효과를 줄 수 있다.
- [153] 상기 제1 하부 콘택층(241)은 광을 투과시키는 투명 도전 물질을 포함할 수 있다. 하부 콘택층은 제 1, 제2, 제3 발광 스택들(210, 220, 230)의 일면에 배치되며, 예를 들어, 제1, 제2, 제3 하부 콘택층들(241, 242, 243)은 투명 도전성 산화물(ITO), 예를 들어, SnO, InO<sub>2</sub>, ZnO, ITO, ITZO 등을 포함할 수 있으며, 이에 한정되는 것은 아니며, 하부 콘택층을 선택적으로 포함하지 않을 수도 있다. 또한, 제1 하부 콘택층(241)은 제2, 제3 하부 콘택층(242, 243) 보다 얇을 수 있다. 예를 들어, 제1 하부 콘택층(241)은 약 240nm의 두께로 형성될 수 있으며, 제2 및 제3 하부 콘택층(242, 243)은 약 300nm의 두께로 형성될 수 있다. 또한, 각 하부 콘택층들은 선택적으로 roughness를 형성하여 광추출 효율을 개선시킬 수 있다.
- [154] 도 11B를 참조하면, 제1 발광 스택(210) 측면의 적어도 일부 영역에 절연성 물질이면서 광 반사물질이 포함된 반사층(214)을 포함할 수 있다. 예를 들어, 상기 반사층(214)은 다양한 유기 또는 무기 절연 물질로 SiO<sub>2</sub>, SiN<sub>x</sub>, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub> 등을 포함할 수 있으며, 분포 브래그 반사기(DBR)를 포함할 수 있다. 예를 들어, 단일층 구조 또는 서로 다른 굴절률을 갖는 둘 이상의 절연층으로 형성된 다중층 구조를 가질 수 있다. 물질은 이에 한정하지 않고, 광을 반사시킬 수 있는 물질이면서 절연 특성을 갖는 물질이면 모두 가능하다. 다시 말해서, 상기 반사층(214)은 제1 발광 스택(210)에서 방출되어 측면 방향으로 조사되는 광을 반사시켜 측면 방향으로 분산되지 않고, 광이 방출되는 방향, 즉 상부 방향으로 추출될 수 있도록 하여 발광 효율을 높일 수 있는 물질일 수 있다.
- [155] 또한, 도면 상으로는 도시하지 않았으나, 제1 발광 스택(210)의 측면은 소정의 각으로 경사진 슬롭 형태일 수 있다. 반사층(214)이 도포되는 제1 발광 스택(210)의 측면을 경사지게 형성함으로써 반사층(214)을 증착할 때 크랙 등을 방지할 수 있어 신뢰성 및 제품 특성의 효율을 향상시킬 수 있다.

- [156] 도 12 및 도 13를 참조하면, 제1 발광 스택(210)의 일부가 제거되면서 형성된 공간, 다시 말해서, 제2 발광 스택(220) 및 제3 발광 스택(230) 하부 공간을 채우고, 제1 발광 스택(210)의 측면을 덮으며, 제1 발광 스택(210)의 상부를 덮을 수 있도록 하는 제3 접착층(253)을 배치할 수 있다. 또한, 상기 제3 접착층(253)은 제3 기관(S')을 제1 발광 스택(210) 상부에 접촉시킬 수 있도록 하여 광이 방출되는 방향의 최상부에 제3 기관(S')을 배치할 수 있다. 또한, 제3 발광 스택(230) 하부에 배치된 제1기관(S)을 제거하고 후공정을 진행할 수 있도록 할 수 있다.
- [157] 또한, 제3 접착층(253)은 제1, 제2, 제3 발광 스택들(210, 220, 230)에서 방출되는 광이 투과하여 제3 기관(S') 방향으로 방출될 수 있도록 투광성 물질로 형성될 수 있다. 또한, 절연 물질이면서 제1 발광 스택(210)과 제3 기관(S')을 접촉할 수 있는 접착 특성을 가질 수 있다. 이러한 특성은 상술한 것과 같은 제1, 제2 접착층들(251, 252)도 갖는 특성으로 제1, 제2 접착층들(251, 252)과 동일한 물질로 구성될 수 있다. 하지만 이에 한정되지 않고, 제1, 제2, 제3 접착층들(251, 252, 253)들은 각기 다른 물질로 형성될 수도 있다.
- [158] 제3 접착층(253)은 제1 발광 스택(210)과 중첩되는 영역에서의 두께와 제1 발광 스택(210)과 중첩되지 않는 영역에서의 두께가 서로 다를 수 있다. 바람직하게는 제1 발광 스택(210)과 중첩되는 영역에서의 두께가 더 얇고, 제1 발광 스택(210)과 중첩되지 않는 영역에서의 두께가 상대적으로 더 두꺼울 수 있다. 따라서 제1 발광 스택(210)에서 발생하는 광은 효과적으로 투과되어 방출되게 하고, 상대적으로 두께가 두껍게 형성된 제3 접착층(253)의 일부 영역에서는 제3 접착층(253)이 광 차단역할을 할 수 있으므로, 제2 및 제3 발광 스택(220, 230)에서 방출되는 광이 제1 발광 스택(210)으로 입사되어 광 간섭 및 흡수 되는 것을 방지할 수 있다.
- [159] 도 14A 및 도 15은 도 13를 180도 회전하여 제1, 제2, 제3 발광 스택들(210, 220, 230) 중에 제1 발광 스택(210)이 제1 및 제2 발광 스택(220, 230) 보다 하부에 배치되고, 즉, 광이 외부로 방출되는 방향인 제3 기관(S')이 최하부에 배치되고, 제3 발광 스택(230)이 최상부에 배치될 수 있도록 한 도면이다. 따라서, 도 14A 및 도 15을 참조하면, 광이 방출되는 방향은 하부 방향, 즉, 제3 기관(S') 방향이다. 또한, 제1, 제2, 제3 발광 스택들(210, 220, 230)의 식각 공정, 증착 공정 등을 통해 적층형 발광 다이오드, 즉, 제1, 제2, 제3 발광 스택들(210, 220, 230)에 전기를 공급해 줄 수 있도록 제1 내지 제4 전극패드들(271, 272, 273, 274)을 형성할 수 있다.
- [160] 또한, 제2, 제3 발광 스택들(220, 230)이 식각되면서 제1 발광 스택(210)의 적어도 일부, 더 자세하게는 제1 발광 스택(210)의 일면에 배치되는 제1 하부 콘택층(241)이 노출될 수 있다.
- [161] 또한, 적층형 발광 다이오드의 평면상, 즉, 상측에서 보았을 때 제1 발광 스택(210)은 제2, 제3 발광 스택들(220, 230)과 겹쳐지지 않게 배치될 수 있다. 다시 말해서, 제1 발광 스택(210)의 상기 제2, 제3 발광 스택들(220, 230)과 중첩되지 않는 영역을 포함할 수 있다. 즉, 제2 발광 스택(220) 또는 제3 발광 스택(230)의 적어도

일부의 광은 제1 발광 스택(210)을 통과하지 않고 외부로 방출될 수 있다. 다시 말해, 제2 발광 스택(220)에서 발생된 광은 제3 접착층(253)의 영역 중 제1 발광 스택(210)의 측면과 제2 발광 스택(220)의 상부에 배치된 영역을 통과하여 방출될 수 있다. 따라서, 제1 발광 스택(210)과 제3 발광 스택(230)이 중첩되지 않게 배치함에 따라, 발광 스택들에서 방출되는 광이 외부로 방출되기 위한 이동 경로, 즉 광이 통과해야 하는 발광 스택층을 감소시킬 수 있어 광의 이동 경로를 효율적으로 짧게 함으로써 광 추출 효과를 증가시킬 수 있다. 또한, 적층형 발광 다이오드의 면적을 최대한 활용하여 발광 면적을 최대한 높일 수 있어 광 효율을 향상시킬 수 있다.

- [162] 또한, 적층형 발광 다이오드의 상측에서 보았을 때, 제2 발광 스택(220) 및 제3 발광 스택(230)의 적어도 일부 영역이 중첩되도록 배치될 수 있다.
- [163] 도시하지는 않았지만, 다른 실시형태로서 적층형 발광 다이오드의 상측에서 볼 때 제2, 제3 발광 스택(220, 230)의 식각 정도에 따라서, 제1 발광 스택(210)과 제2 발광 스택(220)의 일부 영역은 서로 중첩될 수도 있다. 또한, 다른 실시예에 따라, 제1, 제2, 제3 발광 스택들(210, 220, 230)의 적어도 일부 영역이 서로 중첩되도록 배치되거나, 적어도 일부 영역이 중첩되지 않게 배치될 수도 있다.
- [164] 중첩되는 영역은 제1 발광 스택(210)의 외곽에 인접한 적어도 일부에서 중첩될 수 있다. 따라서 중첩되는 영역이 최소화 되어 광 추출 개선에 효과적이다.
- [165] 도 14B는 도 14A 및 도 15의 평면도이다. 즉, 도 14A는 도 14B의 E-E' 방향의 단면을 도시한 단면도이며, 도 15는 도 14B의 F-F' 방향의 단면을 도시한 단면도이다.
- [166] 도 14B를 참조하면, 본 발명의 일 실시예에 따라, 평면상에서 볼 때 제1 발광 스택(210)의 적어도 일부 영역은 제2 및 제3 발광 스택(220, 230)과 중첩되지 않고 노출될 수 있다. 제1, 제2, 제3 발광 스택들(210, 220, 230)이 적층된 발광 다이오드의 외곽부에는 제1 발광 스택(210)이 배치될 수 있으며, 중심부에는 상술한 것과 같이 제1 발광 스택(210)이 제거되면서 제2 발광 스택(220) 및 제3 발광 스택(230)의 적어도 일부 영역이 노출될 수 있다. 다시 말해서, 상부에서 볼 때 제1 발광 스택(210)은 제2 발광 스택(220) 및 제3 발광 스택(230)을 둘러싸도록 외곽부에 배치될 수 있으며, 제2 발광 스택(220) 및 제3 발광 스택(230)은 제1 발광 스택(210)보다 중심부에 배치할 수 있다. 더 자세하게는, 상기 제1 발광 스택(210)은 상기 적층형 발광 다이오드의 중심부를 통과하지 않으며, 상기 제2, 제3 발광 스택(220, 230)은 상기 적층형 발광 다이오드의 중심부를 통과하도록 배치할 수 있다. 따라서, 제1 발광 스택(210)의 영역을 가장 넓게 확보 가능하면서 제1 발광 스택(210)에서 방출되는 광의 경로가 다른 발광 스택을 통과하는 영역을 최소화 시킴으로써 발광 효율을 개선할 수 있다.
- [167] 본 발명의 예시적인 실시예에 따르면, 제1 발광 스택(210)이 차지하는 면적, 즉 적층형 발광 다이오드 외곽부의 면적은 제2 발광 스택(220) 및 제3 발광 스택(230)이 차지하는 면적, 즉 적층형 발광 다이오드 중심부의 면적보다 클 수 있다.

다시 말해서, 광도가 상대적으로 낮은 발광 스택, 예를 들어, 제2, 제3 발광 스택들(220, 230) 보다 광도가 낮은 제1 발광 스택(210)의 발광 면적을 가장 넓게 배치하여 제1, 제2, 제3 발광 스택들(210, 220, 230) 각각에서 발광하는 광량 차를 줄여 효율적으로 광도를 조절함으로써 광효율을 최대한 향상시킬 수 있도록 할 수 있다.

[168] 예를 들어, 적색, 녹색, 청색을 발광하는 발광 다이오드를 적층하여 삼원색 화소를 표시함으로써 Full color display device를 구현할 수 있다. 이때 광도가 부족한 발광 스택을 제1 발광 스택(210)에 배치함으로써 발광 면적을 최대로 하여 광도를 높일 수 있다. 따라서, 적색, 녹색, 청색 발광 스택의 광도 차를 줄여 효율적으로 광도를 조절함으로써 광효율을 향상시키고 제품의 품질을 향상시킬 수 있다

[169] 또 다른 예시적인 실시예에 따르면, 도시하지는 않았으나, 제1 발광 스택(210)의 면적, 즉 적층형 발광 다이오드의 외곽부 면적은 제2 및 제3 발광 스택(220, 230)의 면적 보다 작게 배치할 수 있다. 이러한 경우, 제2 발광 스택(220) 및 제3 발광 스택(230)에 방출하는 광의 광도가 제1 발광 스택(210)에서 방출하는 광의 광도 보다 작을 수 있다. 다시 말해서, 제1 발광 스택(210)의 광도가 가장 클 경우, 면적이 가장 작은 상기 외곽부에 배치하여 제1, 제2, 제3 발광 스택들(210, 220, 230)에서 방출되는 광량의 차이를 최소화하여 광효율을 효과적으로 향상시킬 수 있다. 하지만 이에 한정되지 않으며, 상기 발광 다이오드의 외곽부 면적과 중심부 면적은 유사할 수도 있다. 예를 들어 제1, 제2, 제3 발광 스택들(210, 220, 230)의 광도 차가 유사하다면, 상기 발광 스택들이 차지하는 발광 면적을 유사하게 배치할 수 있다.

[170] 또한, 도 5b를 다시 참조하면, 적층형 발광 다이오드의 중심부, 다시 말해서, 제2, 제3 발광 스택(220, 230)의 모양은 한정되지 않으며, 일부에 각이 있는, 예를 들어서 사각형, 삼각형, 육각형, 팔각형, 마름모 등의 다각형 모양 또는 일부에 곡선 있는, 예를 들어서 원형, 타원형 모양 등 다양하게 형성될 수 있다.

[171] 본 발명의 또 다른 실시예에 따르면, 도면상으로 도시하지는 않았지만, 도 11A를 다시 참조하여, 제1 발광 스택(210)의 일부 또는 중심부를 제거할 때, 제2 발광 스택(220)까지 함께 제거할 수 있다. 제2 발광 스택(220)까지 제거되어 제1 발광 스택(210)의 일부 또는 중심부에는 제2 하부 콘택층(242)이 노출 될 수 있다. 또한, 상기 제1 발광 스택(210)의 일부 또는 중심부, 즉, 제1 및 제2 발광 스택(210, 220)이 제거된 공간과 제1 및 제2 발광 스택(210, 220)의 측면을 덮으면서 제1 발광 스택(210) 상부를 덮을 수 있도록 하는 제3 접착층(253)을 배치하여 제3 기판(S')을 제1 발광 스택(210)과 접합시킬 수 있다.

[172] 또한, 제1 기판(S)을 제거하고, 180도 회전시키면 제3 발광 스택(230)이 상부에 배치될 수 있다. 제1, 제2, 제3 발광 스택들(210, 220, 230)의 식각 공정, 증착 공정 등을 거쳐 제2 발광 스택(220)의 일부, 더 자세하게는, 제2 발광 스택(220)의 일면에 형성된 제2 하부 콘택층(242)이 적층형 반도체층 외곽부에 노출될 수 있다. 따라서, 적층형 발광 다이오드 중심부의 최상부에는 제3 발광 스택(230)이 배치되

고, 제3 발광 스택(230)을 둘러싼 외곽부에는 제2 발광 스택(220)과 제1 발광 스택(210)이 순차적으로 적층되어 배치될 수 있다.

- [173] 또한, 평면상, 즉, 적층형 발광 다이오드의 상측에서 보았을 때 제3 발광 스택(230)의 적어도 일부 영역은 제1 발광 스택(210)과 중첩되지 않는 영역을 포함할 수 있다. 제3 발광 스택(230)의 적어도 일부가 제1 발광 스택(210)과 중첩되지 않게 배치함에 따라, 광이 외부로 방출되기 위한 이동 경로, 즉 통과해야 하는 발광 스택층이 줄어들 수 있어 광의 이동 경로를 효율적으로 하고, 광이 반도체층 내부에서 소멸될 수 있는 확률을 최소화하여 광추출을 효율적으로 향상시킬 수 있다.
- [174] 또한, 평면상에서 볼 때 제1 발광 스택(210) 및 제2 발광 스택(220)은 적어도 일부가 겹쳐지게 배치될 수 있다. 또한, 제1, 제2, 제3 발광 스택들(210, 220, 230)은 서로 적어도 일부가 중첩되게 배치되거나, 적어도 일부가 중첩되지 않게 배치될 수도 있다.
- [175] 또한, 적층형 발광 다이오드의 상측에서 보았을 때, 제3 발광 스택(230)이 차지하는 면적은 제1, 제2 발광 스택(210, 220)이 차지하는 면적 보다 작거나, 클 수 있다. 다시 말해서, 적층형 발광 다이오드의 중심부 면적 보다 외곽부 면적이 작거나, 클 수 있다. 이때 제1, 제2, 제3 발광 스택들(210, 220, 230) 중 광도가 부족한 발광 스택이 차지하는 발명 면적을 선택적으로 최대로 하여 광효율을 향상시킬 수 있다. 또한, 제3 발광 스택(230)이 모양, 즉, 적층형 발광 다이오드의 중심부 모양은 한정되지 않으며 다양하게 형성될 수 있다.
- [176] 도 16A 내지 도 17을 참조하면, 제1, 제2, 제3 발광 스택들(210, 220, 230)을 적층하고 전기적으로 연결될 수 있도록 공정하는 과정에서 제1, 제2, 제3 발광 스택들(210, 220, 230)의 측면은 계단 형상으로 형성될 수 있다. 도면에는 도시하지 않았으나, 상기 제1, 제2, 제3 발광 스택들(210, 220, 230)의 측면 계단 형상은 다양한 형상을 포함할 수 있다. 예를 들어, 소정의 각도를 가진 경사진 형태를 포함할 수 있다. 제1, 제2, 제3 발광 스택들(210, 220, 230) 측면을 경사진 슬롯 형태로 형성함으로써 발광 스택들의 측면 상부에 제1 내지 제4 전극패드들(271, 272, 273, 274)과 제1, 제2 절연층들(261, 262) 등을 증착할 때 크랙 등을 방지할 수 있어 신뢰성 및 제품 특성을 향상시킬 수 있다.
- [177] 상기 제1, 제2 절연층들(261, 262)은 제1, 제2, 제3 발광 스택들(210, 220, 230) 측면 및 제1, 제2, 제3 하부 콘택층들(241, 242, 243)과 제1 내지 제4 전극패드들(271, 272, 273, 274) 사이를 절연하며, 제1 내지 제4 전극패드들(271, 272, 273, 274)과 제1 내지 제4 연결 전극들(271, 272, 273, 274) 사이를 절연하기 위해 배치할 수 있다.
- [178] 또한, 상기 제1, 제2 절연층들(261, 262) 중 적어도 하나는 반사 물질을 포함할 수 있다. 예를 들어 상기 절연층들은 다양한 유기 또는 무기 절연 물질로  $\text{SiO}_2$ ,  $\text{SiN}_x$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$  등을 포함할 수 있으며, 상기 절연층들 중 적어도 하나는 분포 브래그 반사기(DBR)를 포함할 수 있다. 예를 들어 단일층 구조 또는 서로 다른

굴절률을 갖는 둘 이상의 절연층으로 형성된 다중층 구조를 가질 수 있다. 물질은 이에 한정하지 않고, 광을 반사시켜 제3기판(S') 방향으로 광을 방출하여 발광 효율을 높일 수 있는 물질일 수 있다.

[179] 도 16B는 도 16A 및 도 17의 평면도이다. 즉, 도 16A는 도 16B의 E-E' 방향의 단면을 도시한 단면도이며, 도 17은 도 16B의 F-F' 방향의 단면을 도시한 단면도이다. 도 16B를 참조하면, 광이 방출되는 방향 즉, 제3 기판(S') 방향이 아닌, 전극이 본딩되는 방향에서의 평면도로 연결 전극들(291, 292, 293, 294)과 본딩 금속층들(291', 292', 293', 294')로 인해 제1, 제2, 제3 발광 스택들(210, 220, 230)이 외부와 전기적으로 연결될 수 있다. 또한, 제1 전극패드(271)는 제1 발광 스택(210)의 P 전극패드이며, 제2 전극패드(272)는 제2 발광 스택(220)의 P 전극패드이고, 제3 전극패드(273)는 제3 발광 스택(230)의 P 전극패드이다. 또한, 제4 전극패드(274)는 제1, 제2, 제3 발광 스택들(210, 220, 230)이 연결된 공통 N 전극패드이다. 하지만 이에 반드시 한정되는 것은 아니며, 이와 반대로 제1 전극패드(271)는 제1 발광 스택(210)의 N 전극패드이며, 제2 전극패드(272)는 제2 발광 스택(220)의 N 전극패드이고, 제3 전극패드(273)는 제3 발광 스택(230)의 N 전극패드이고, 제4 전극패드(274)는 제1, 제2, 제3 발광 스택들(210, 220, 230)이 연결된 공통 P 전극패드일 수도 있다.

[180] 또한, 제1 내지 제4 연결 전극들(291, 292, 293, 294) 사이를 채우고, 제1 내지 제4 연결 전극들(291, 292, 293, 294) 측면을 덮을 수 있는 보호층(100)을 더 포함할 수 있다. 상기 보호층(100)은 제1 내지 제4 연결 전극들(291, 292, 293, 294)을 절연시키는 절연성 물질일 수 있다. 또한, 광이 흡수되지 않고 광을 반사시킬 수 있는 물질을 포함할 수 있어 광이 방출하는 방향인 제3 기판(S') 방향으로 광을 반사시켜 광추출 효율을 높일 수 있다.

[181] 또한, 도시하지는 않았지만, 본 발명의 예시적인 실시예에 따르면, 제3 발광 스택(230)의 제1 도전형 반도체층(231) 상에 콘택 전극을 더 포함할 수 있다. 상기 콘택 전극은 제1 도전형 반도체층(231)과 오믹 콘택을 형성할 수 있다. 제1 도전형 반도체층(231)의 일부는 패터닝되어 리세스될 수 있으며, 상기 콘택 전극은 오믹 콘택 효율을 증가시키기 위해 제1 도전형 반도체층(231)의 리세스된 영역에 배치될 수 있다. 상기 콘택 전극은 단일층 구조 또는 다중층 구조를 가질 수 있으며, Al, Ti, Cr, Ni, Au, Ag, Sn, W, Cu 또는 이들의 합금, 예를 들어, Au-Te 합금 또는 Au-Ge 합금을 포함할 수 있으나, 이에 한정되는 것은 아니다. 또한, 예를 들어 상기 콘택 전극은 약 100nm의 두께를 가질 수 있으며, 광의 방출 방향인 제3 기판(S')을 향해 아래 방향으로 광 방출 효과를 증가시키기 위해 고 반사율을 가지는 금속을 포함할 수 있다. 다시 말해서, 광 방출 방향에서 최하부에 배치된 제3 발광 스택(230)의 제1 도전형 반도체층(231) 상에 고 반사율을 가지는 금속 반사층을 배치할 수 있다. 따라서, 제3 발광 스택(230)의 제1 도전형 반도체층(231) 방향으로 조사되는 광을 반사시켜 제3 기판(S') 방향, 다시 말해서 광이 방출되는 방

향으로 반사시켜 광이 효과적으로 방출될 수 있도록 하여 광추출 효율을 높일 수 있다.

- [182] 이상에서, 본 개시의 다양한 실시예들에 대해 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것은 아니다. 또한, 하나의 실시예에 대해서 설명한 사항이나 구성요소는 본 개시의 기술적 사상을 벗어나지 않는 한 다른 실시예에도 적용될 수 있다.

## 청구범위

- [청구항 1] 제1 발광 소자;  
 상기 제1 발광 소자에 이웃하여 수평적으로 배치된 제2 발광 소자;  
 상기 제1 발광 소자 및 제2 발광 소자를 덮는 제1 커버층; 및  
 상기 제1 커버층 상에 배치되고, 상기 제1 및 제2 발광 소자들에 전기적으로 연결된 접속층들을 포함하되,  
 상기 제1 발광 소자는 제1 발광 구조체를 포함하고,  
 상기 제2 발광 소자는 제2 발광 구조체 및 제3 발광 구조체를 포함하며,  
 상기 제1 발광 구조체는 상기 제2 및 제3 발광 구조체에서 방출되는 광의 피크 파장보다 긴 피크 파장의 광을 방출하고,  
 상기 제2 및 제3 발광 구조체는 서로 다른 피크 파장의 광을 방출하는 픽셀 소자.
- [청구항 2] 청구항 1에 있어서,  
 상기 제1 발광 구조체는 비화물 또는 인화물 계열의 반도체층을 포함하고,  
 상기 제2 및 제3 발광 구조체들은 질화물 계열의 반도체층을 포함하는 픽셀 소자.
- [청구항 3] 청구항 1에 있어서,  
 상기 제2 발광 구조체와 상기 제3 발광 구조체는 수직 방향으로 적층된 픽셀 소자.
- [청구항 4] 청구항 3에 있어서,  
 상기 제2 발광 구조체와 상기 제3 발광 구조체를 결합시키는 접촉층을 더 포함하는 픽셀 소자.
- [청구항 5] 청구항 3에 있어서,  
 상기 제2 발광 구조체와 상기 제3 발광 구조체는 각각 제1 도전형 반도체층, 활성층, 및 제2 도전형 반도체층을 포함하고,  
 상기 제2 및 제3 발광 구조체들의 제1 도전형 반도체층들을 서로 전기적으로 접속되고,  
 상기 제2 및 제3 발광 구조체들의 제2 도전형 반도체층들은 서로 전기적으로 이격된 픽셀 소자.
- [청구항 6] 청구항 5에 있어서,  
 상기 제2 발광 소자는 상기 제2 및 제3 발광 구조체들의 제1 도전형 반도체층들을 전기적으로 연결하는 전극 패드를 포함하고,  
 상기 접속층들 중 하나는 상기 전극 패드에 전기적으로 접속된 픽셀 소자.
- [청구항 7] 청구항 5에 있어서,  
 상기 제2 발광 소자는 상기 제2 및 제3 발광 구조체들의 제1 도전형 반도체층들에 각각 전기적으로 접속된 전극 패드들을 포함하고,

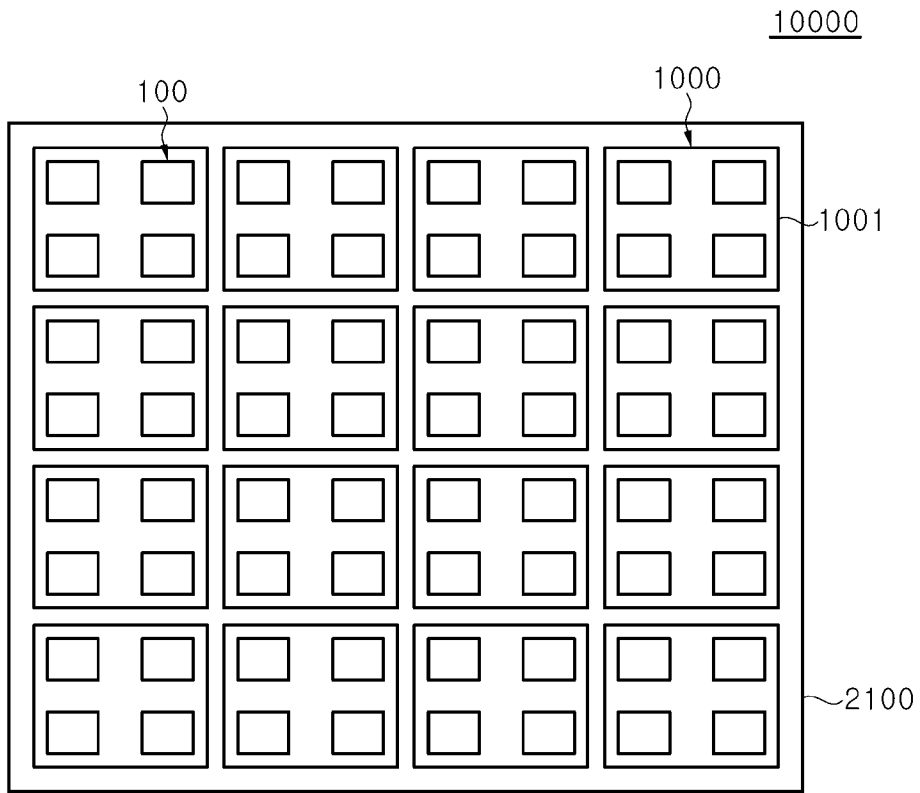
- 상기 접속층들 중 하나는 상기 전극 패드들에 접속되어 상기 전극 패드들을 전기적으로 연결하는 픽셀 소자.
- [청구항 8] 청구항 3에 있어서,  
상기 제2 발광 구조체 상에 상기 제3 발광 구조체가 배치되며,  
상기 제3 발광 구조체는 상기 제2 발광 구조체보다 더 짧은 피크 파장의 광을 방출하는 픽셀 소자.
- [청구항 9] 청구항 1에 있어서,  
기판을 더 포함하되,  
상기 제1 및 제2 발광 소자는 상기 기판 상에 배치되고,  
상기 제1 및 제2 발광 소자를 대면하는 상기 기판의 상면은 요철 패턴을 포함하는 픽셀 소자.
- [청구항 10] 청구항 9에 있어서,  
상기 기판에 대면하는 상기 제1 및 제2 발광 소자들의 하면들은 요철 패턴을 갖는 픽셀 소자.
- [청구항 11] 청구항 1에 있어서,  
상기 제1 커버층 및 상기 접속층들을 덮는 제2 커버층을 더 포함하되,  
상기 제2 커버층은 상기 접속층들을 부분적으로 노출하도록 배치된 픽셀 소자.
- [청구항 12] 청구항 11에 있어서,  
상기 제2 커버층은 상기 제1 커버층과 동일한 재료로 형성된 픽셀 소자.
- [청구항 13] 청구항 12에 있어서,  
상기 제1 및 제2 커버층은 폴리이미드로 형성된 픽셀 소자.
- [청구항 14] 청구항 11에 있어서,  
상기 제2 커버층은 상기 접속층들의 가장자리들 중 일부를 덮는 픽셀 소자.
- [청구항 15] 청구항 1에 있어서,  
상기 제1 발광 소자는 제1 발광 구조체에 더하여 서브 발광 구조체를 더 포함하되, 상기 서브 발광 구조체는 상기 제2 및 제3 발광 구조체에서 방출되는 광의 피크 파장보다 긴 피크 파장의 광을 방출하는 픽셀 소자.
- [청구항 16] 청구항 15에 있어서,  
상기 제1 발광 구조체와 상기 서브 발광 구조체는 터널층을 이용하여 서로 접합된 픽셀 소자.
- [청구항 17] 청구항 16에 있어서,  
상기 제1 발광 구조체 및 상기 서브 발광 구조체는 동일 색상의 광을 방출하는 픽셀 소자.
- [청구항 18] 회로 기판; 및  
상기 회로 기판 상에 배치된 픽셀 소자를 포함하되,  
상기 픽셀 소자는

제1 발광 소자;  
 상기 제1 발광 소자에 이웃하여 수평적으로 배치된 제2 발광 소자;  
 상기 제1 발광 소자 및 제2 발광 소자를 덮는 제1 커버층; 및  
 상기 제1 커버층 상에 배치되고, 상기 제1 및 제2 발광 소자들에 전기적으로 연결된 접속층들을 포함하되,  
 상기 제1 발광 소자는 제1 발광 구조체를 포함하고,  
 상기 제2 발광 소자는 제2 발광 구조체 및 제3 발광 구조체를 포함하며,  
 상기 제1 발광 구조체는 상기 제2 및 제3 발광 구조체에서 방출되는 광의 피크 파장보다 긴 피크 파장의 광을 방출하고,  
 상기 제2 및 제3 발광 구조체는 서로 다른 피크 파장의 광을 방출하는 디스플레이 장치.

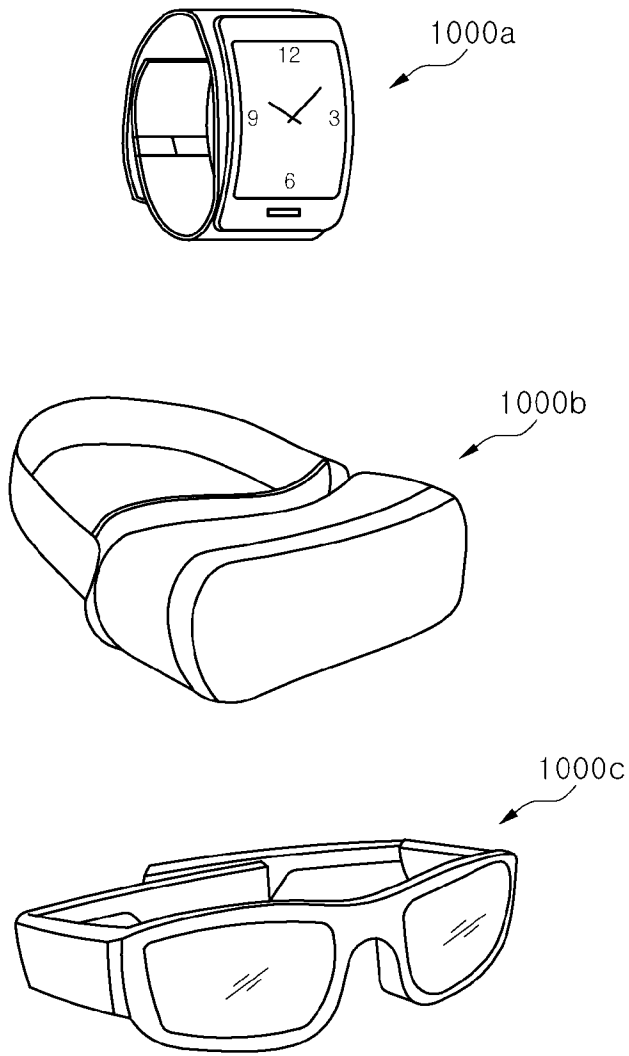
[청구항 19] 청구항 18에 있어서,  
 상기 제1 발광 소자는 서브 발광 구조체를 더 포함하되,  
 상기 서브 발광 구조체는 상기 제1 발광 구조체와 동일한 색상의 광을 방출하는 디스플레이 장치.

[청구항 20] 청구항 18에 있어서,  
 상기 제2 발광 소자는 상기 제2 발광 구조체와 상기 제3 발광 구조체를 결합하는 접착층을 더 포함하는 디스플레이 장치.

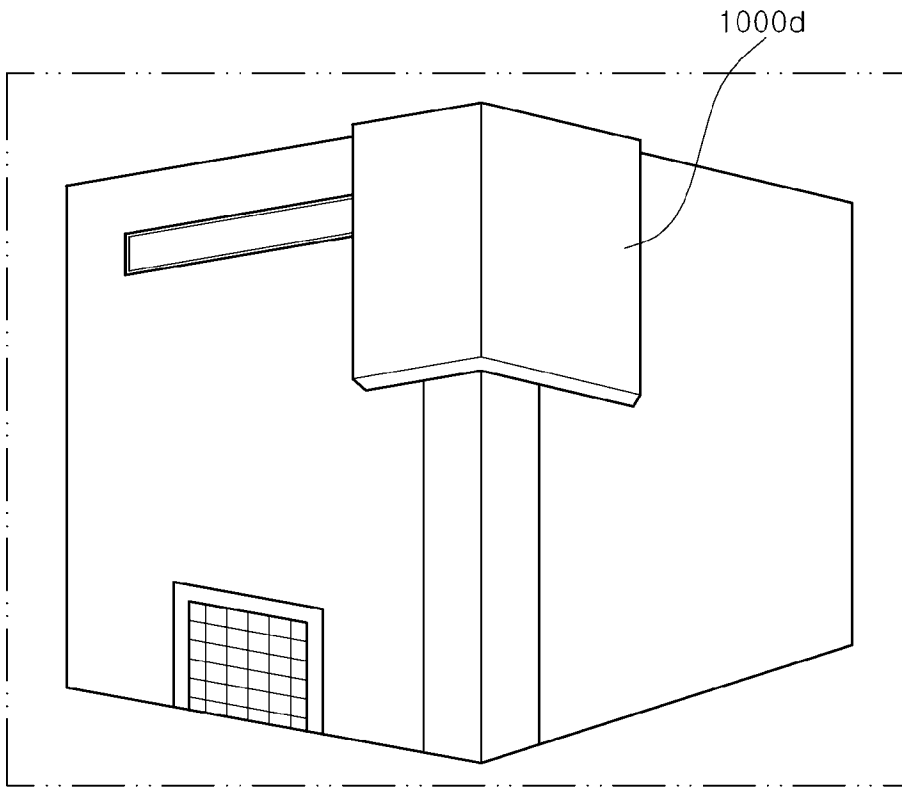
[도 1a]



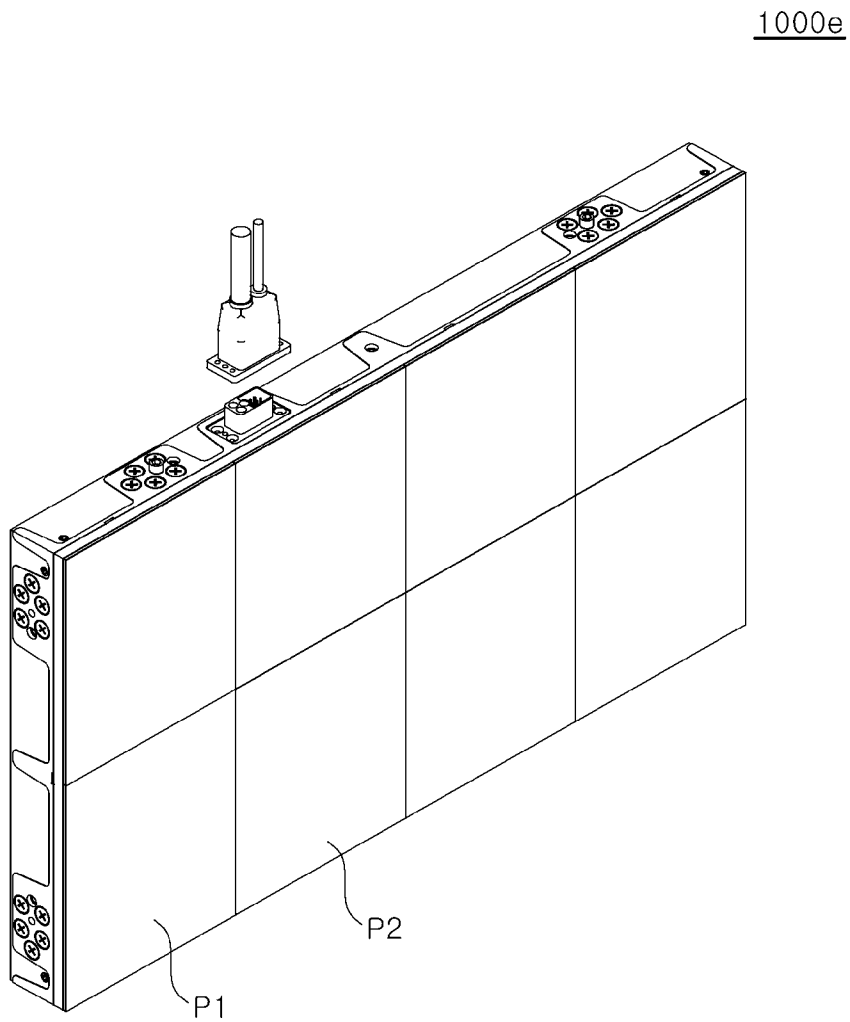
[도 1b]



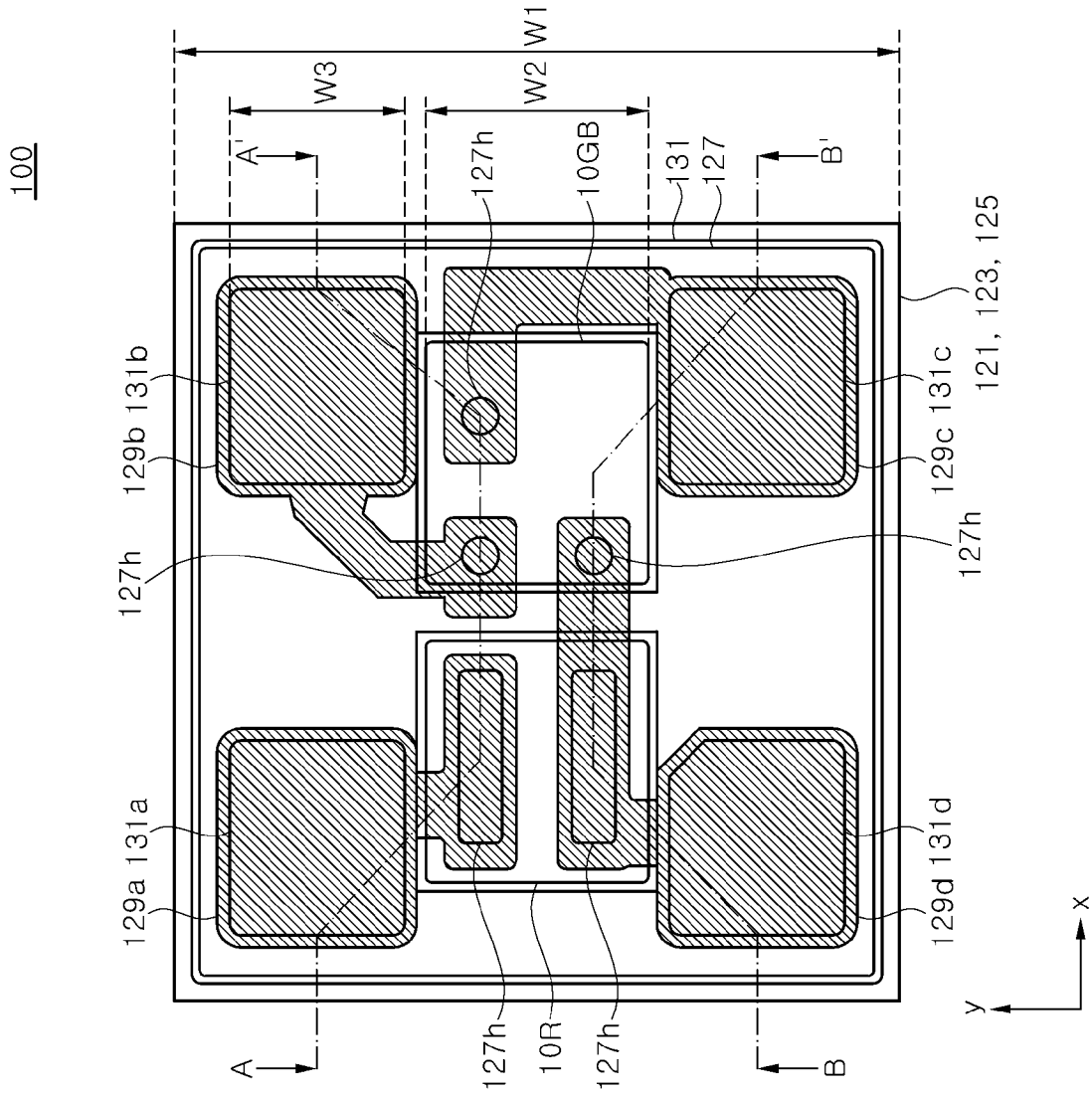
[도1c]



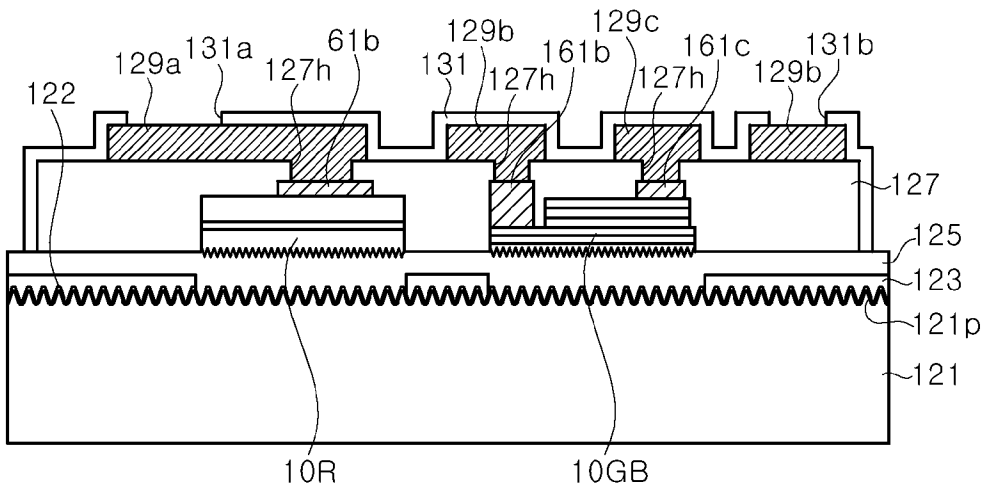
[도1d]



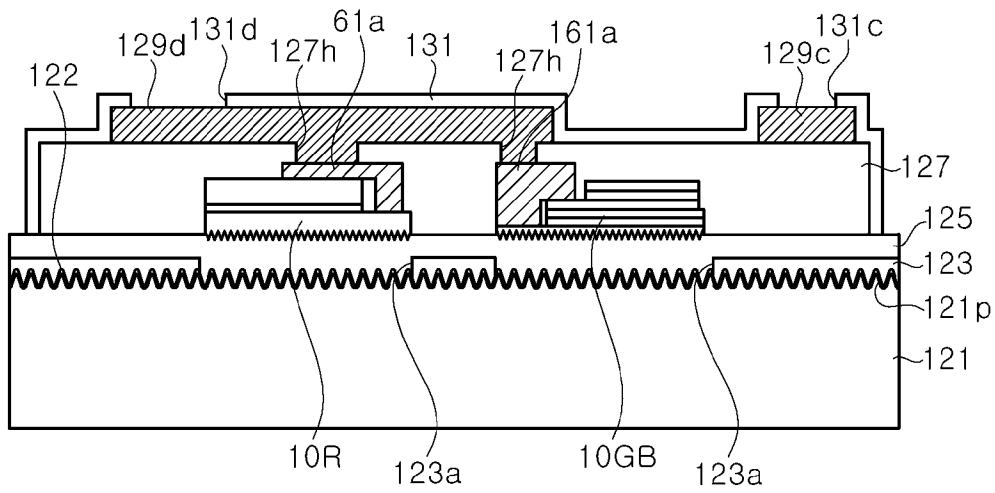
[도2a]



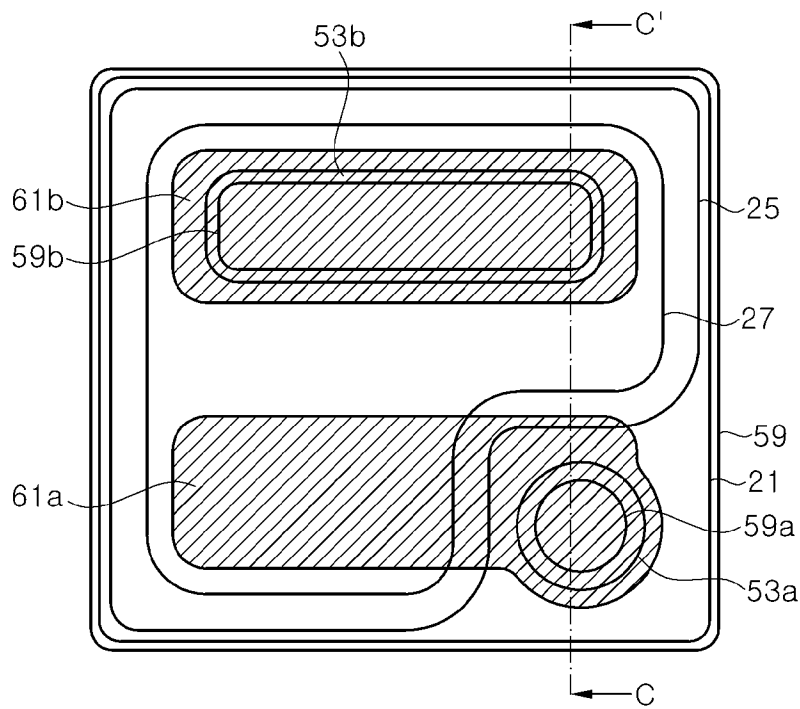
[도2b]



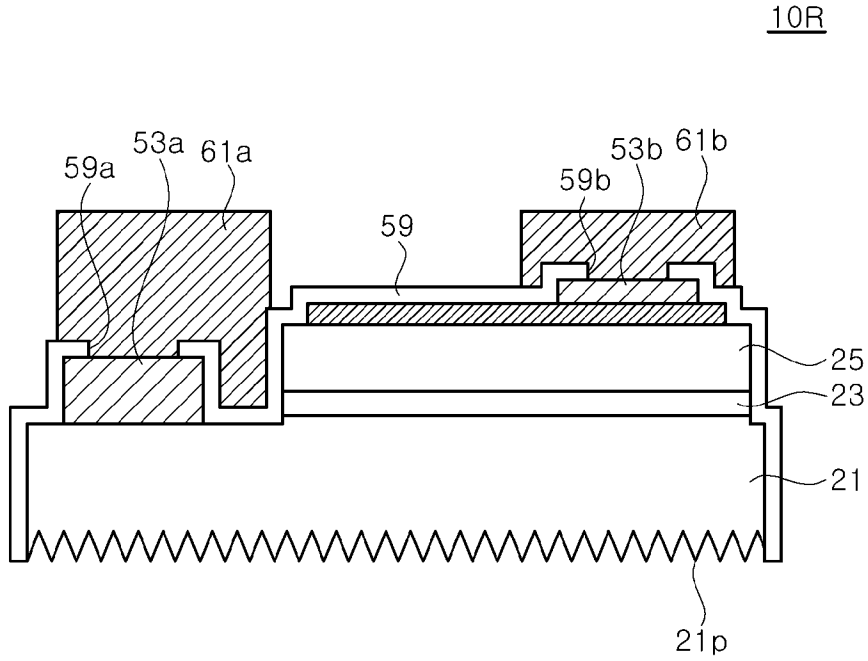
[도2c]



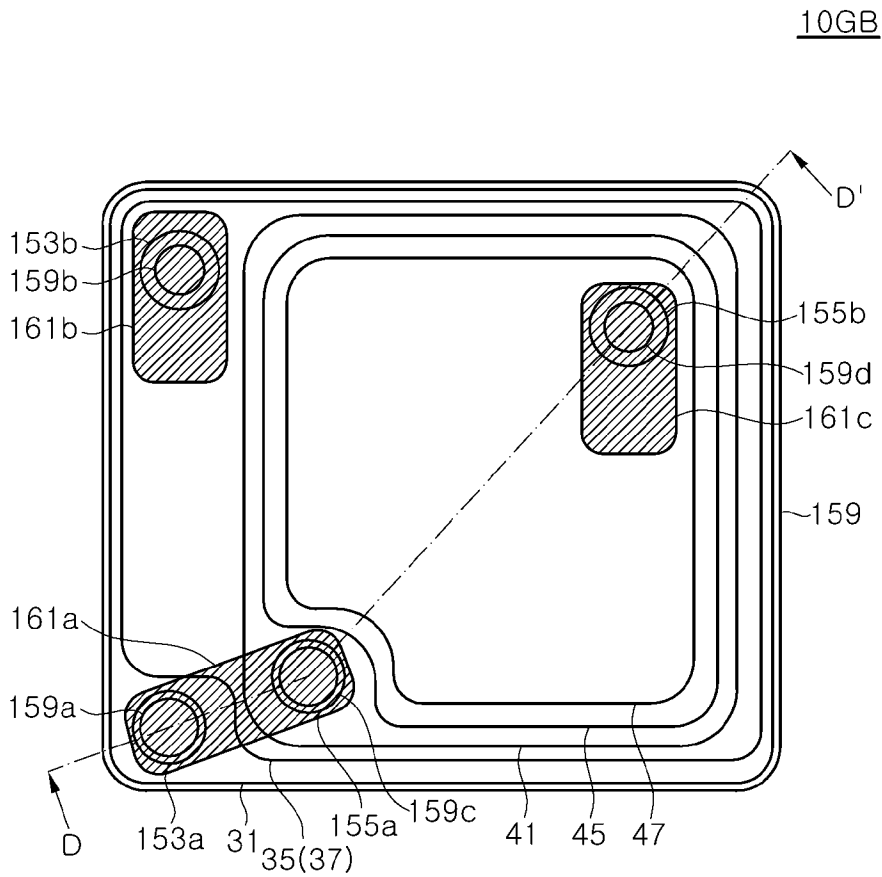
[도3a]



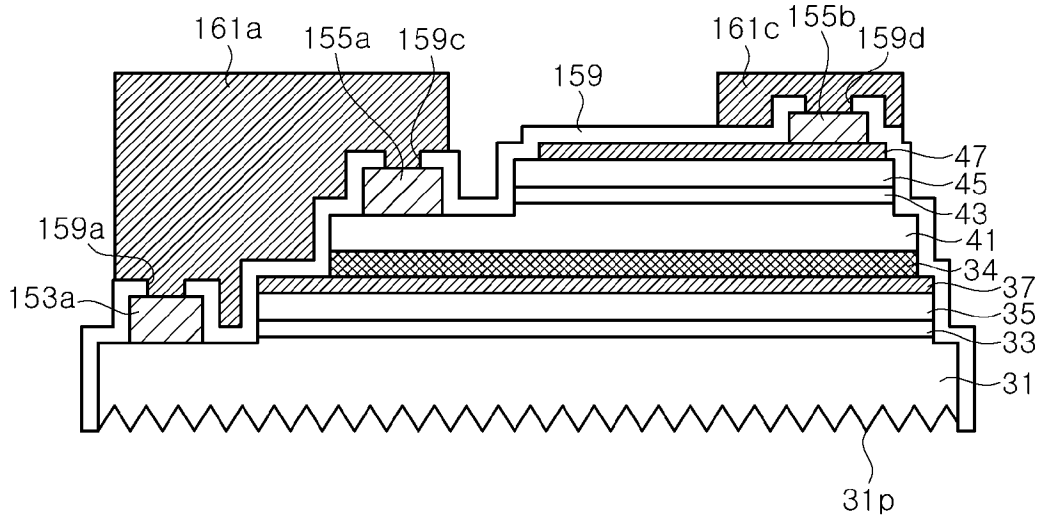
[도3b]



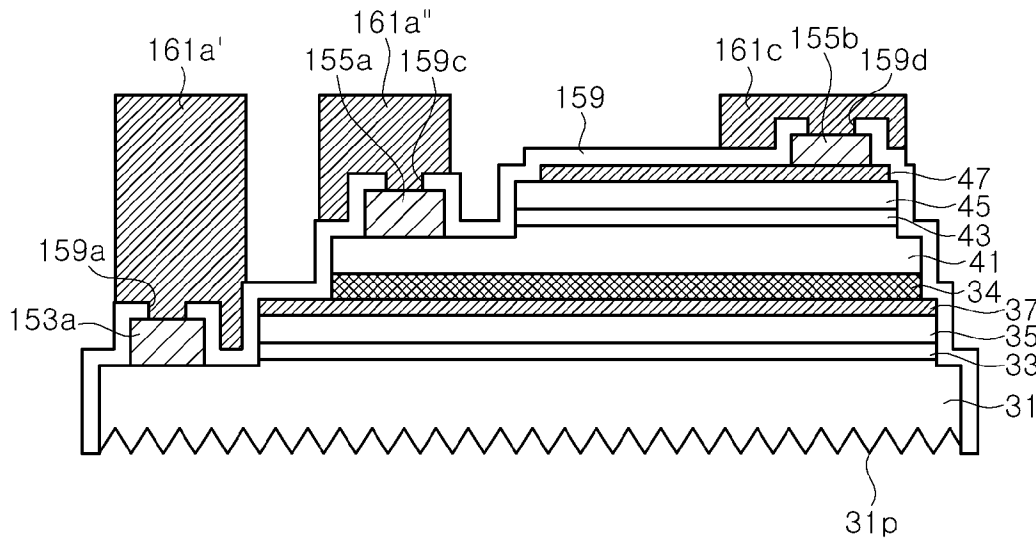
[도4a]



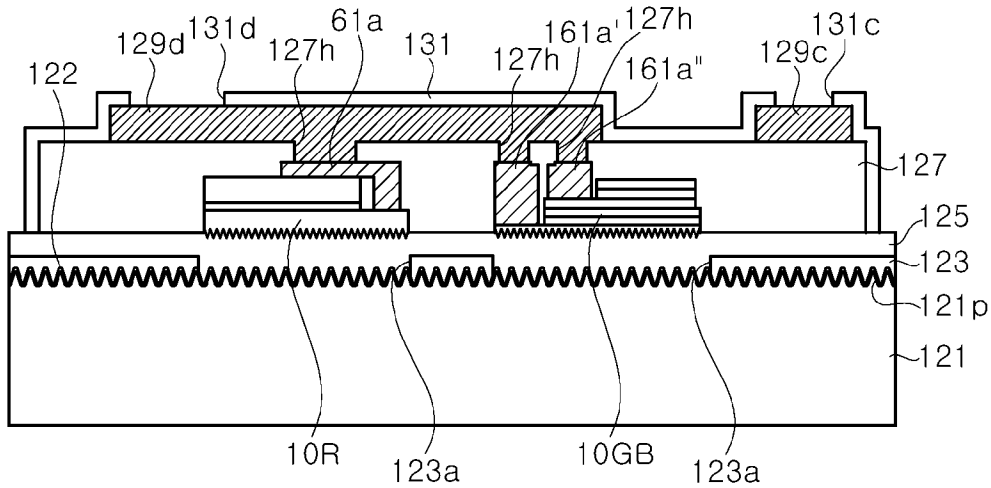
[도4b]



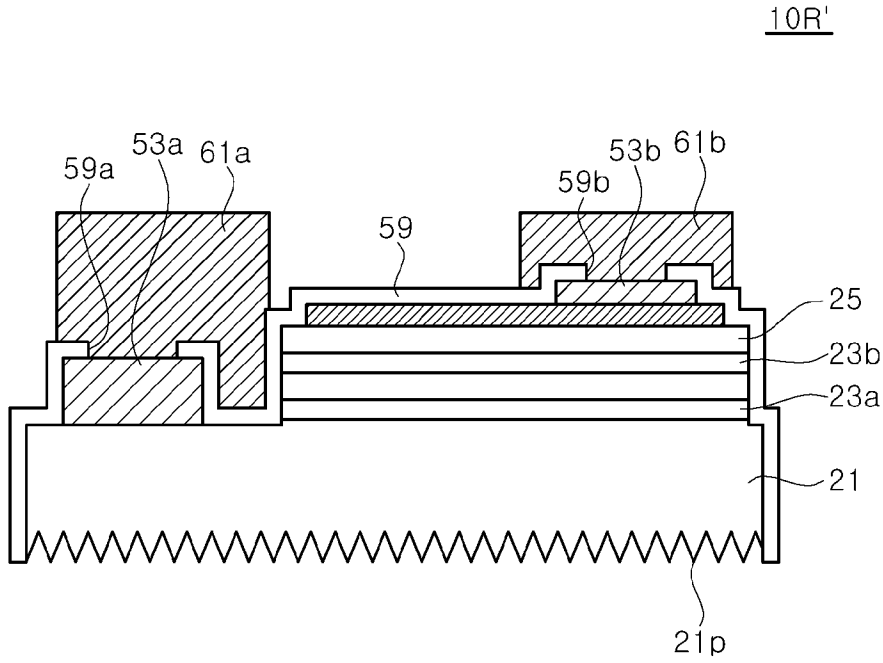
[도5]



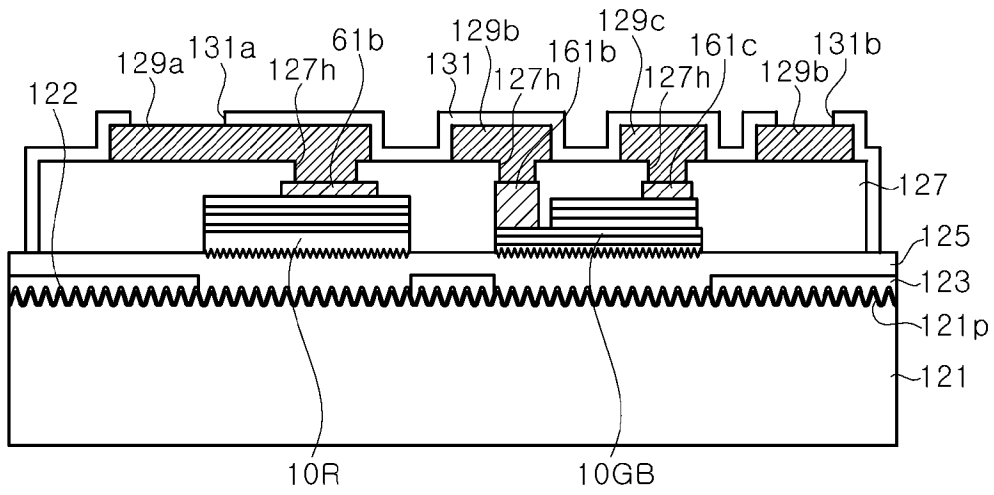
[도6]



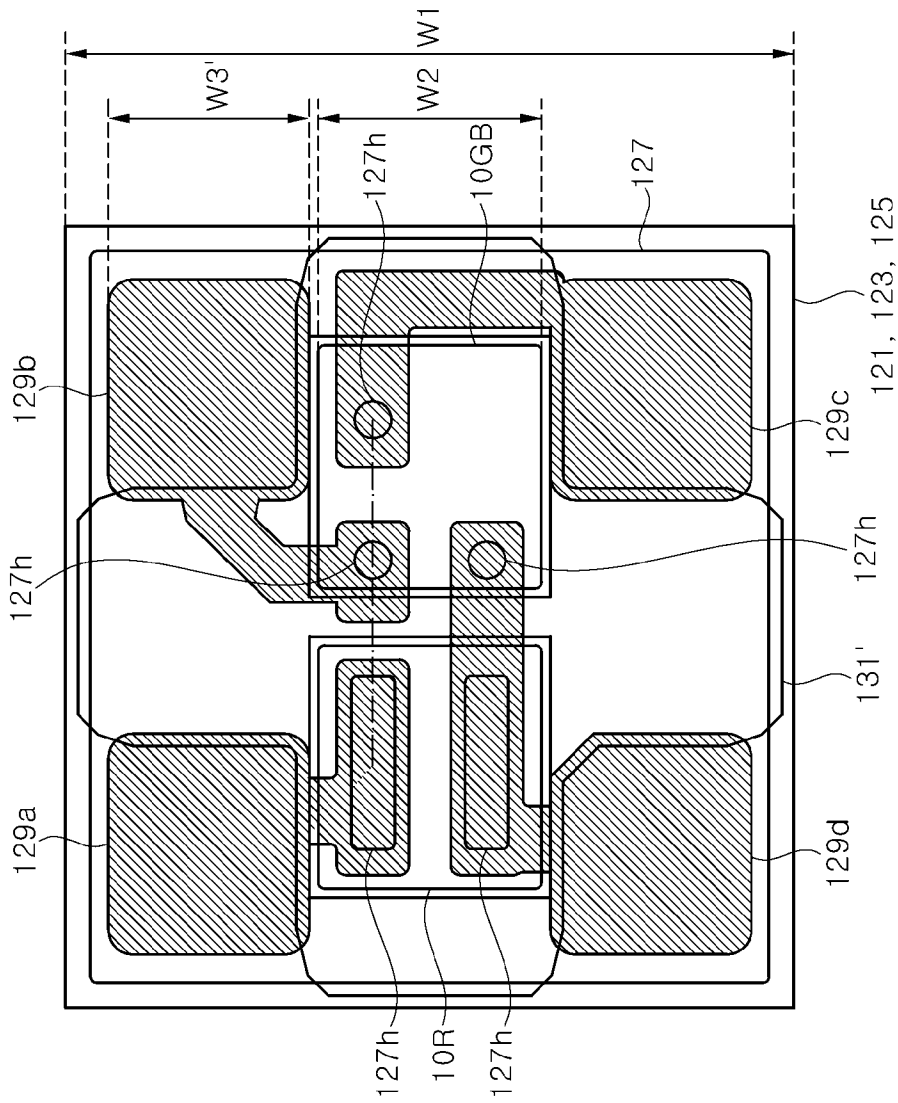
[도7]



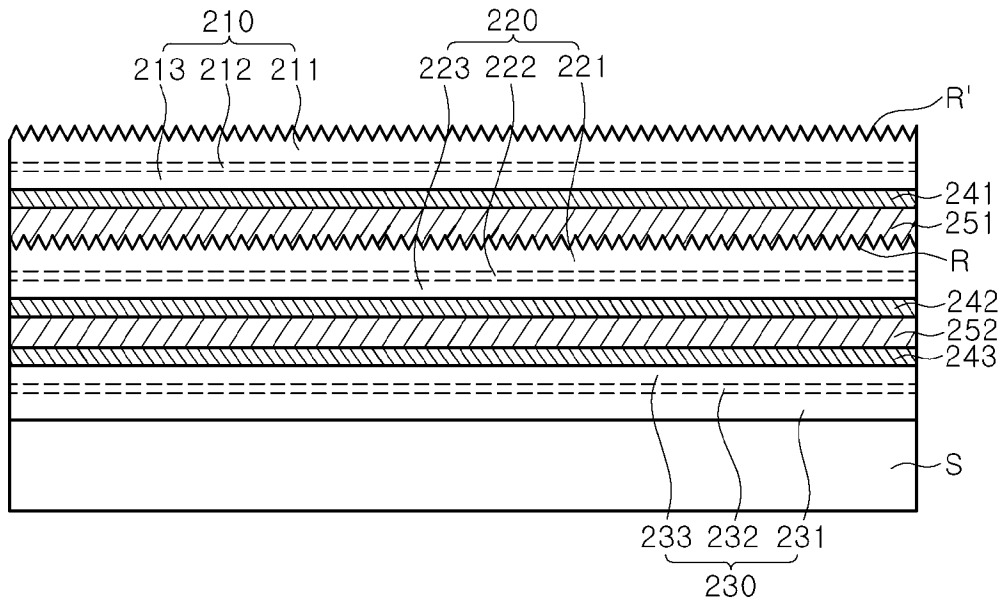
[도8]



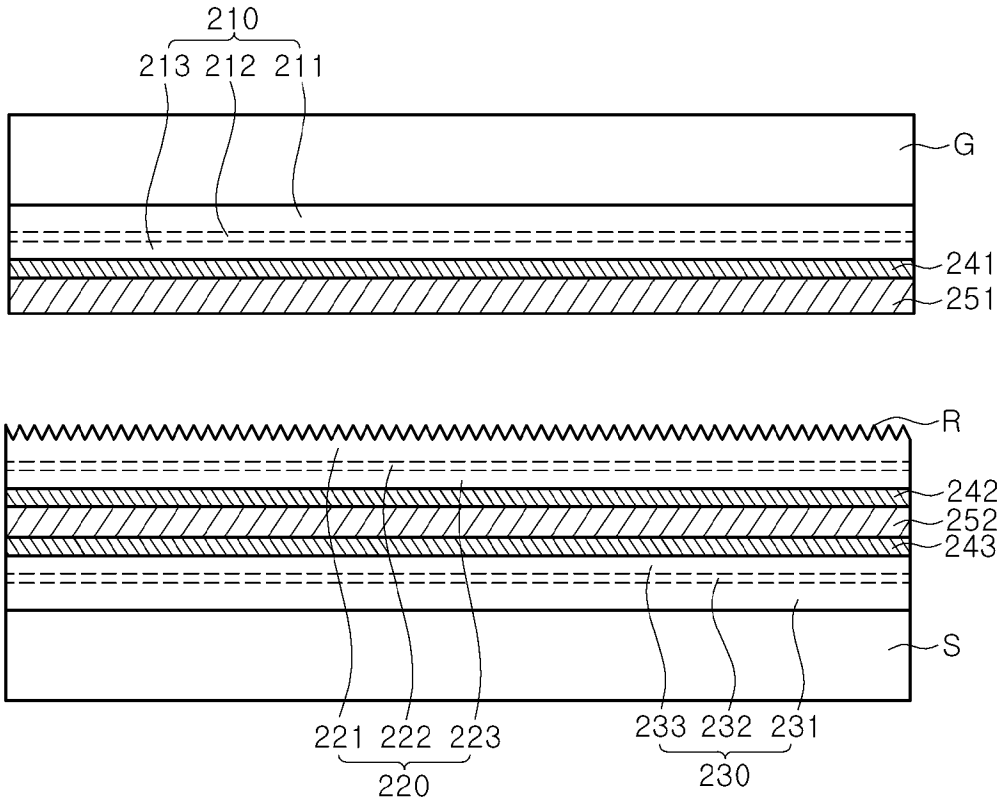
[도9]



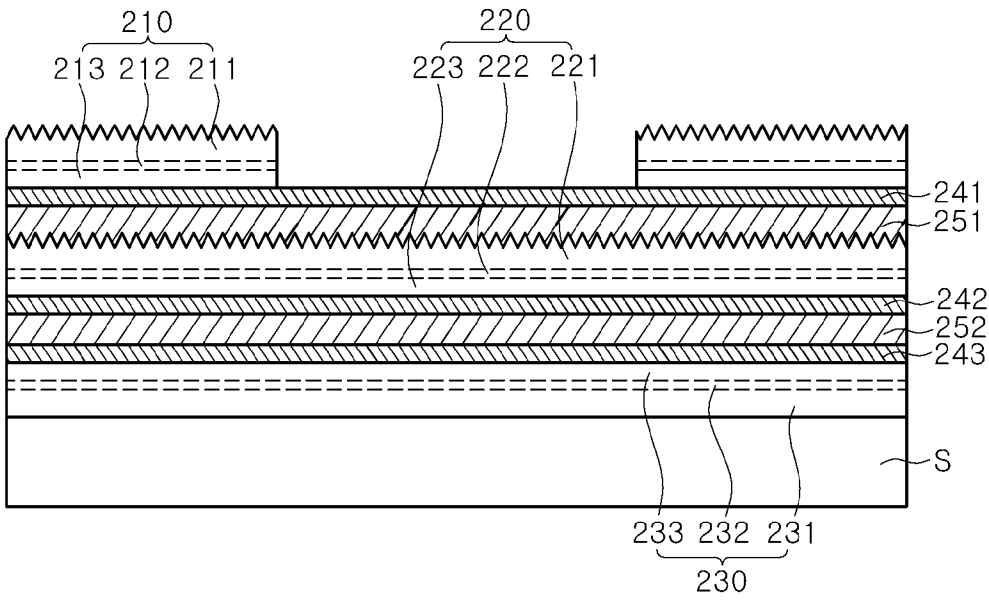
[도10a]



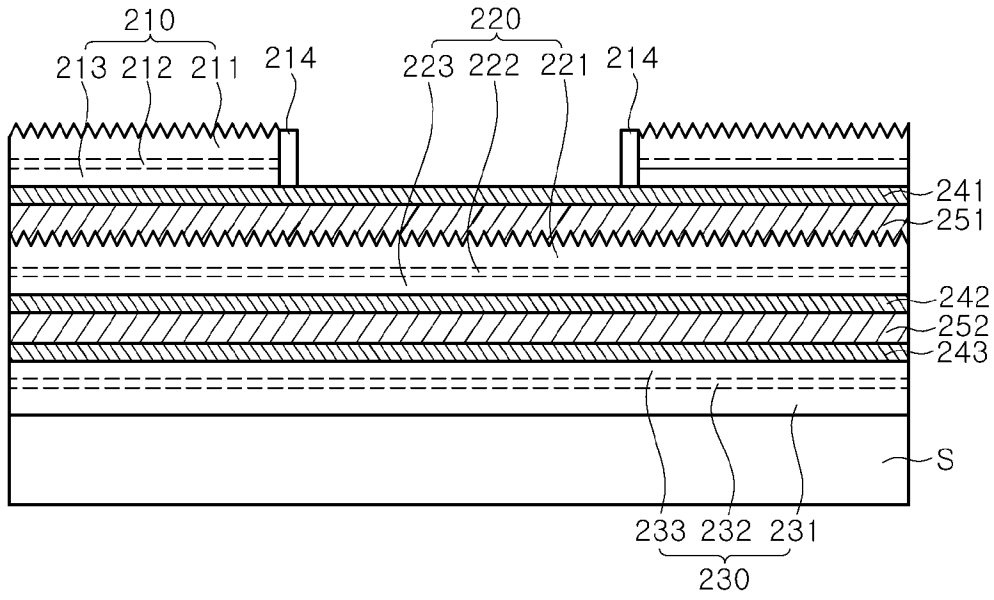
[도 10b]



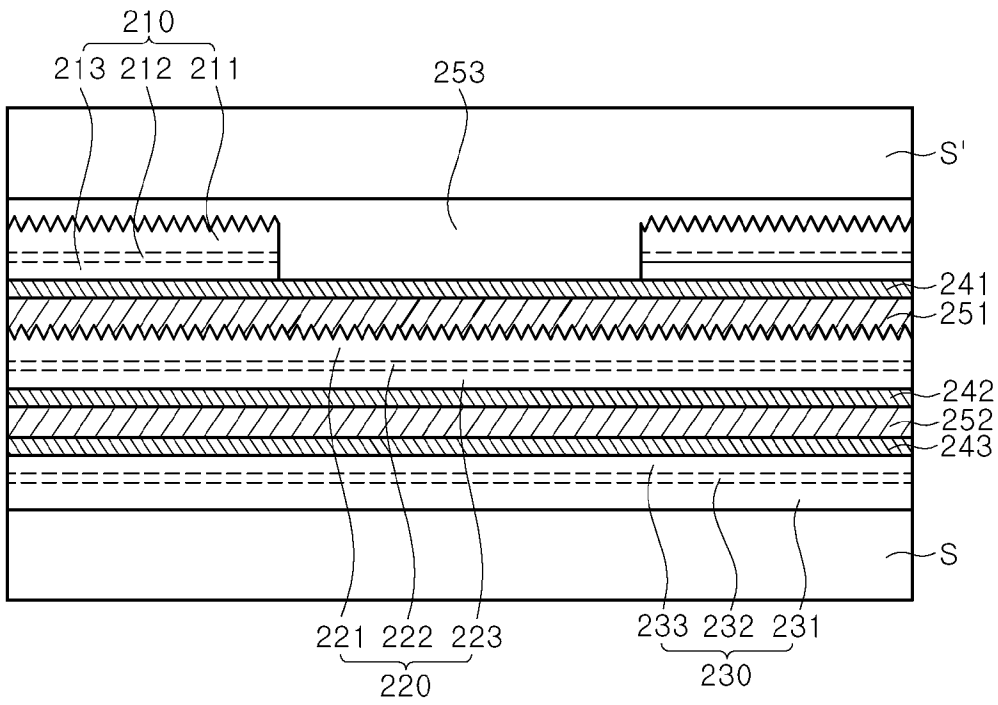
[도 11a]



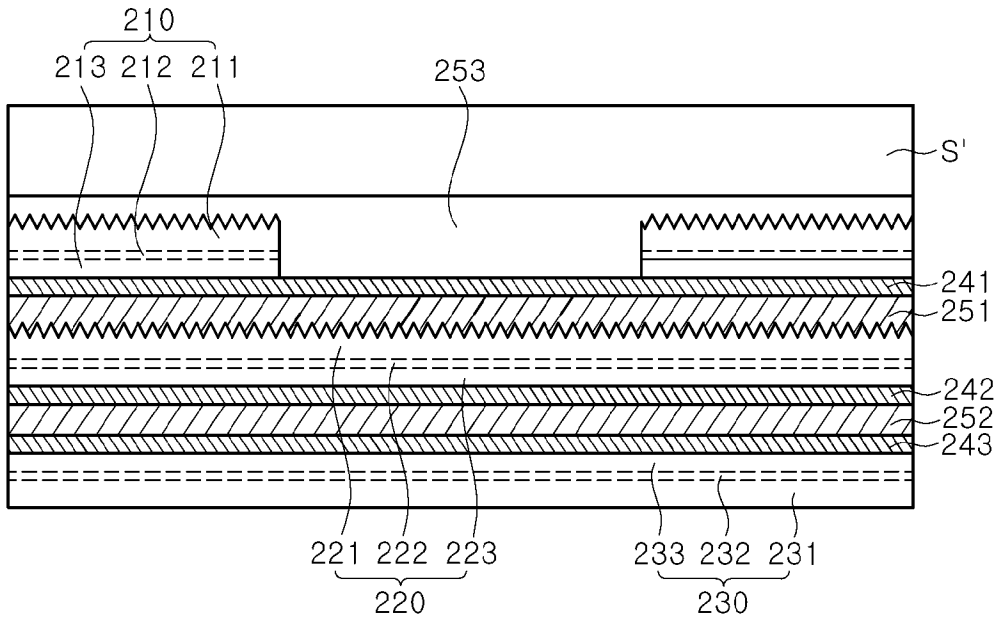
[도11b]



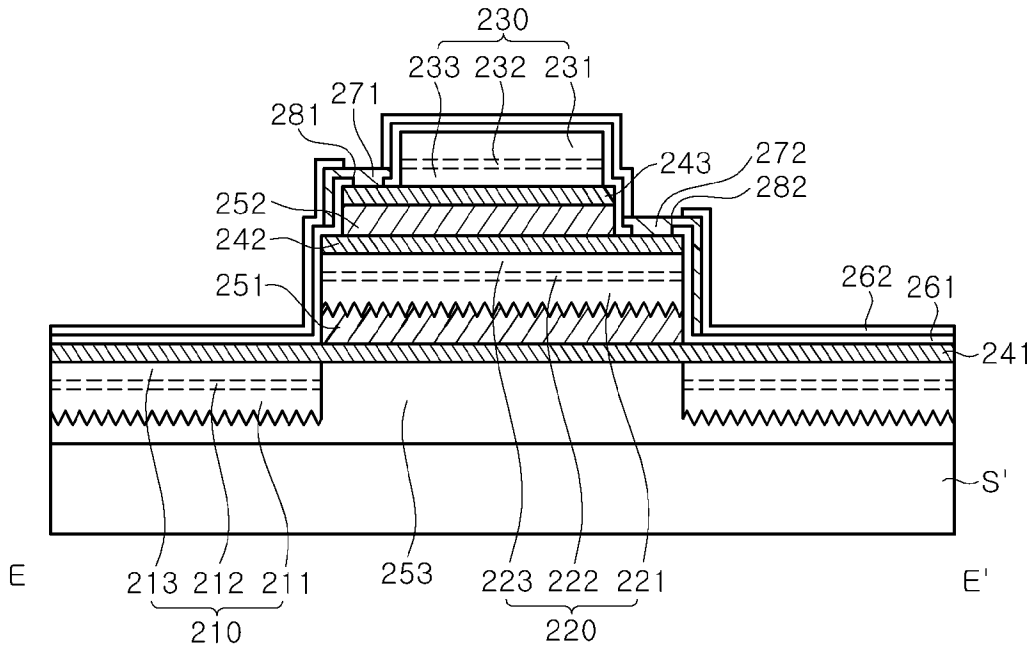
[도12]



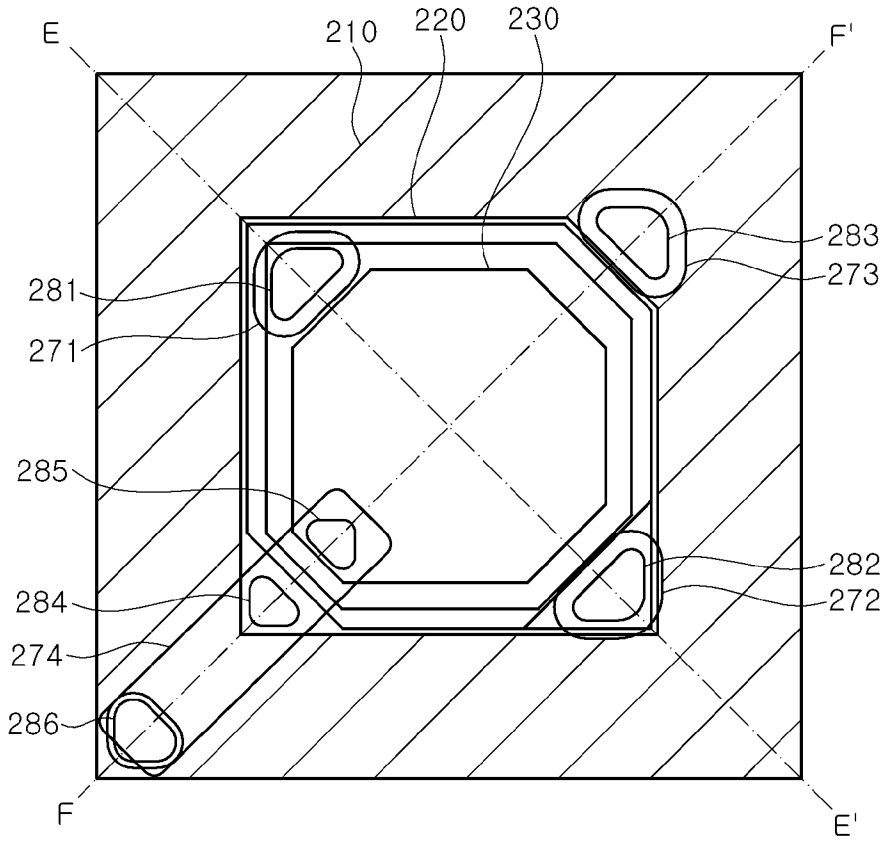
[도13]



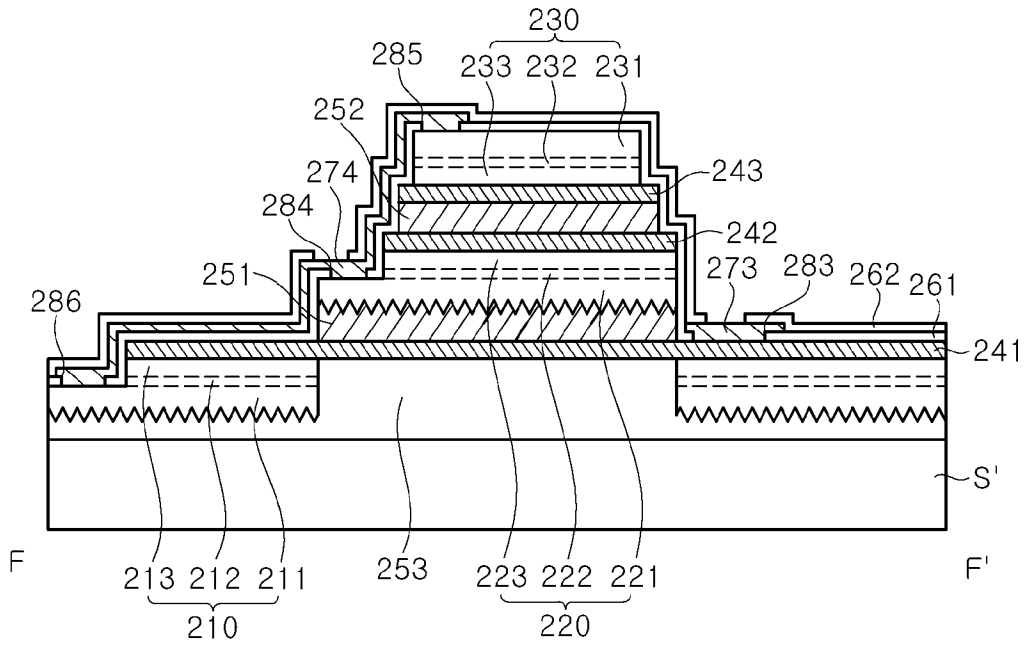
[도14a]



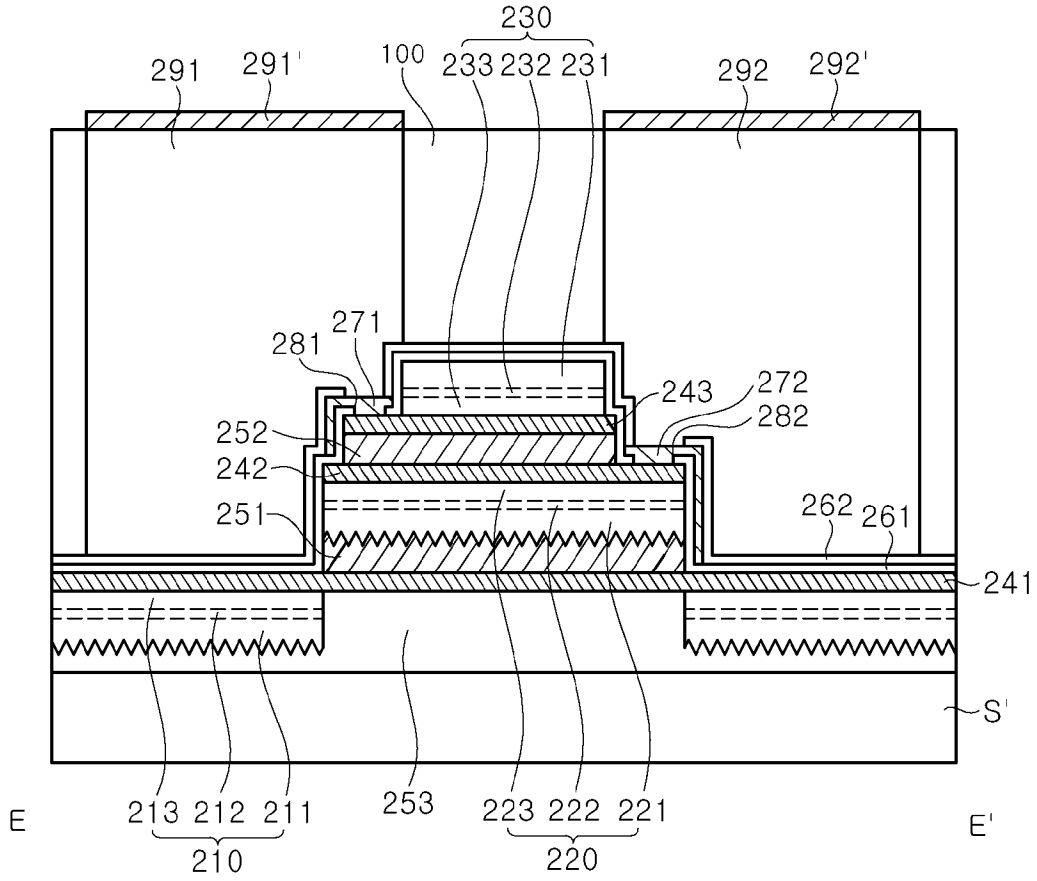
[도14b]



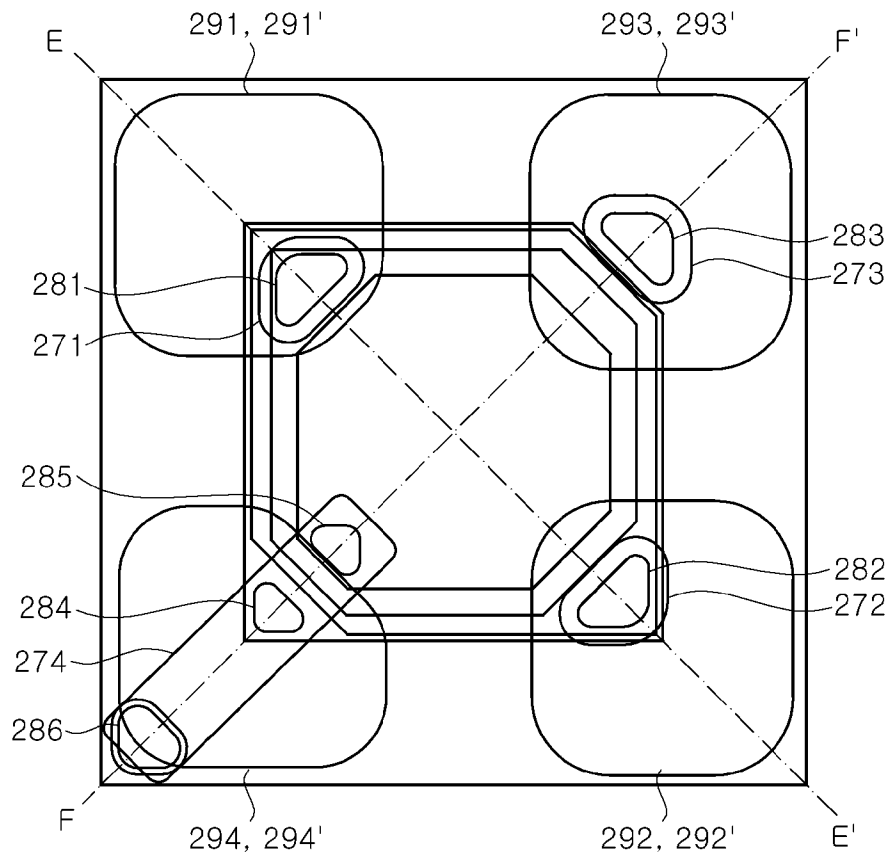
[도15]



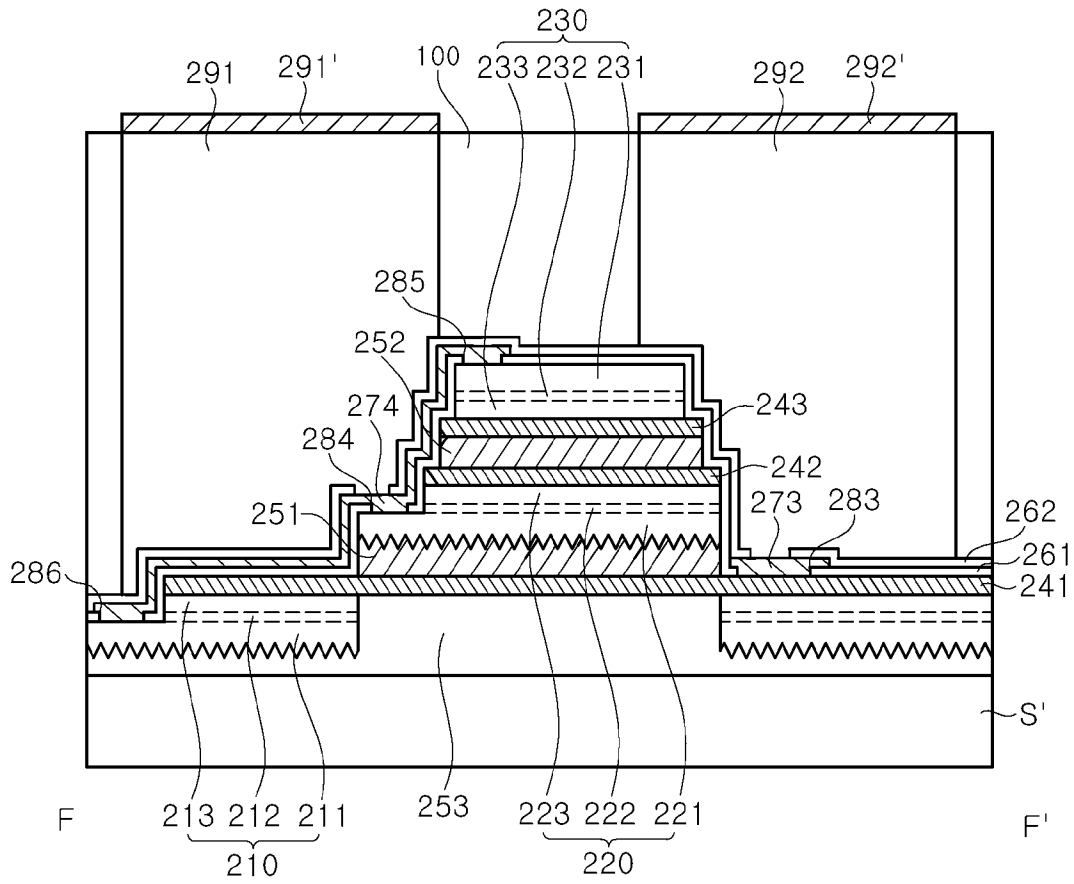
[도16a]



[도16b]



[도17]



## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/KR2023/006213**

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<b>H01L 33/08(2010.01)i; H01L 33/44(2010.01)i; H01L 33/06(2010.01)i; H01L 33/10(2010.01)i; H01L 33/32(2010.01)i; H01L 33/38(2010.01)i; H01L 33/62(2010.01)i; H01L 33/22(2010.01)i</b>		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L 33/08(2010.01); H01L 25/075(2006.01); H01L 27/15(2006.01); H01L 33/00(2010.01); H01L 33/38(2010.01); H01L 33/50(2010.01); H01L 33/62(2010.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 디스플레이(display), 발광소자(LED), 픽셀(pixel), 적층(stack)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2021-251717 A1 (SEOUL VIOSYS CO., LTD.) 16 December 2021 (2021-12-16) See paragraphs [0056]-[0127]; claims 5-18; and figures 3a-5e.	1-20
Y	WO 2021-060878 A1 (SEOUL VIOSYS CO., LTD.) 01 April 2021 (2021-04-01) See paragraphs [0070]-[0092]; claims 1-3; and figures 4c-5b.	1-20
A	KR 10-2020-0087174 A (SEOUL VIOSYS CO., LTD.) 20 July 2020 (2020-07-20) See paragraphs [0194]-[0196], [0755] and [0757]; and figure 79.	1-20
A	KR 10-2016-0139004 A (CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE) 06 December 2016 (2016-12-06) See entire document.	1-20
A	US 2021-0118946 A1 (COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES) 22 April 2021 (2021-04-22) See entire document.	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>17 August 2023</b>		Date of mailing of the international search report <b>17 August 2023</b>
Name and mailing address of the ISA/KR <b>Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208</b> Facsimile No. +82-42-481-8578		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/KR2023/006213**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2021-251717	A1	16 December 2021	CN	214848667	U	23 November 2021
				EP	4141972	A1	01 March 2023
				JP	2023-528076	A	03 July 2023
				KR	10-2023-0020958	A	13 February 2023
				US	2021-0384388	A1	09 December 2021
WO	2021-060878	A1	01 April 2021	CN	114467173	A	10 May 2022
				CN	212934647	U	09 April 2021
				EP	4024451	A1	06 July 2022
				JP	2022-550025	A	30 November 2022
				KR	10-2022-0078558	A	10 June 2022
KR	10-2020-0087174	A	20 July 2020	US	2021-0098526	A1	01 April 2021
				CN	110603639	A	20 December 2019
				CN	110828437	A	21 February 2020
				CN	110911532	A	24 March 2020
				CN	110931473	A	27 March 2020
				CN	110993592	A	10 April 2020
				CN	111312700	A	19 June 2020
				CN	111312701	A	19 June 2020
				EP	3718141	A1	07 October 2020
				EP	3718141	A4	11 August 2021
				JP	2021-504959	A	15 February 2021
				US	11257798	B2	22 February 2022
				US	11355482	B2	07 June 2022
				US	2019-0164945	A1	30 May 2019
				US	2022-0165718	A1	26 May 2022
				US	2022-0392879	A1	08 December 2022
WO	2019-103567	A1	31 May 2019				
KR	10-2016-0139004	A	06 December 2016	EP	3127159	A1	08 February 2017
				EP	3127159	B1	24 April 2019
				JP	2017-513225	A	25 May 2017
				JP	6653665	B2	26 February 2020
				KR	10-2413460	B1	24 June 2022
				US	10103195	B2	16 October 2018
				US	2017-0213868	A1	27 July 2017
				WO	2015-150281	A1	08 October 2015
US	2021-0118946	A1	22 April 2021	CN	112701137	A	23 April 2021
				EP	3813119	A1	28 April 2021
				EP	3813119	B1	26 January 2022
				US	11329207	B2	10 May 2022

<b>A. 발명이 속하는 기술분류(국제특허분류(IPC))</b> <b>H01L 33/08(2010.01)i; H01L 33/44(2010.01)i; H01L 33/06(2010.01)i; H01L 33/10(2010.01)i; H01L 33/32(2010.01)i;</b> <b>H01L 33/38(2010.01)i; H01L 33/62(2010.01)i; H01L 33/22(2010.01)i</b>		
<b>B. 조사된 분야</b> 조사된 최소문헌(국제특허분류를 기재) H01L 33/08(2010.01); H01L 25/075(2006.01); H01L 27/15(2006.01); H01L 33/00(2010.01); H01L 33/38(2010.01); H01L 33/50(2010.01); H01L 33/62(2010.01)		
조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC		
국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 디스플레이(display), 발광소자(LED), 픽셀(pixel), 적층(stack)		
<b>C. 관련 문헌</b>		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	WO 2021-251717 A1 (서울바이오시스 주식회사) 2021.12.16 단락 56-127; 청구항 5-18; 및 도면 3a-5e.	1-20
Y	WO 2021-060878 A1 (서울바이오시스 주식회사) 2021.04.01 단락 70-92; 청구항 1-3; 및 도면 4c-5b.	1-20
A	KR 10-2020-0087174 A (서울바이오시스 주식회사) 2020.07.20 단락 194-196, 755, 757; 및 도면 79.	1-20
A	KR 10-2016-0139004 A (상프로 나쇼날 드 라 러웨르웨 샹피프크) 2016.12.06 문서 전체.	1-20
A	US 2021-0118946 A1 (COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES) 2021.04.22 문서 전체.	1-20
<input type="checkbox"/> 추가 문헌이 C(계속)에 기재되어 있습니다. <input checked="" type="checkbox"/> 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: "A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 "D" 본 국제출원에서 출원인이 인용한 문헌 "E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 "L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 "O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 "P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌		
국제조사의 실제 완료일 <b>2023년08월17일(17.08.2023)</b>		국제조사보고서 발송일 <b>2023년08월17일(17.08.2023)</b>
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대 전청사) 팩스 번호 +82-42-481-8578		심사관  이강하 전화번호 +82-42-481-5003

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
WO 2021-251717 A1	2021/12/16	CN 214848667 U	2021/11/23
		EP 4141972 A1	2023/03/01
		JP 2023-528076 A	2023/07/03
		KR 10-2023-0020958 A	2023/02/13
		US 2021-0384388 A1	2021/12/09
WO 2021-060878 A1	2021/04/01	CN 114467173 A	2022/05/10
		CN 212934647 U	2021/04/09
		EP 4024451 A1	2022/07/06
		JP 2022-550025 A	2022/11/30
		KR 10-2022-0078558 A	2022/06/10
		US 2021-0098526 A1	2021/04/01
KR 10-2020-0087174 A	2020/07/20	CN 110603639 A	2019/12/20
		CN 110828437 A	2020/02/21
		CN 110911532 A	2020/03/24
		CN 110931473 A	2020/03/27
		CN 110993592 A	2020/04/10
		CN 111312700 A	2020/06/19
		CN 111312701 A	2020/06/19
		EP 3718141 A1	2020/10/07
		EP 3718141 A4	2021/08/11
		JP 2021-504959 A	2021/02/15
		US 11257798 B2	2022/02/22
		US 11355482 B2	2022/06/07
		US 2019-0164945 A1	2019/05/30
		US 2022-0165718 A1	2022/05/26
		US 2022-0392879 A1	2022/12/08
		WO 2019-103567 A1	2019/05/31
KR 10-2016-0139004 A	2016/12/06	EP 3127159 A1	2017/02/08
		EP 3127159 B1	2019/04/24
		JP 2017-513225 A	2017/05/25
		JP 6653665 B2	2020/02/26
		KR 10-2413460 B1	2022/06/24
		US 10103195 B2	2018/10/16
		US 2017-0213868 A1	2017/07/27
		WO 2015-150281 A1	2015/10/08
US 2021-0118946 A1	2021/04/22	CN 112701137 A	2021/04/23
		EP 3813119 A1	2021/04/28
		EP 3813119 B1	2022/01/26
		US 11329207 B2	2022/05/10