

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G01R 23/10 (2006.01)



[12] 发明专利说明书

专利号 ZL 200480019738.7

[45] 授权公告日 2009年7月29日

[11] 授权公告号 CN 100520419C

[22] 申请日 2004.7.5

[21] 申请号 200480019738.7

[30] 优先权

[32] 2003.7.11 [33] EP [31] 03102128.0

[86] 国际申请 PCT/IB2004/051127 2004.7.5

[87] 国际公布 WO2005/005999 英 2005.1.20

[85] 进入国家阶段日期 2006.1.10

[73] 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 P·博德

[56] 参考文献

EP0484975A 1992.5.13

US2003117181A1 2003.6.26

US4350950A 1982.9.21

CN1466688A 2004.1.7

审查员 韦 斌

[74] 专利代理机构 中科专利商标代理有限责任公
司

代理人 王波波

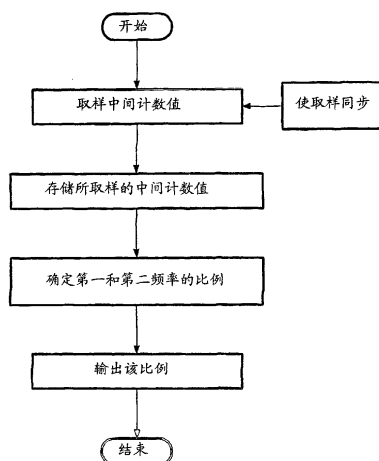
权利要求书 3 页 说明书 13 页 附图 6 页

[54] 发明名称

改进的频率确定

[57] 摘要

简单的传统频率测量电路包含作为必要单元的两个计数器。在这些计数器中可能出现这样的问题：与测量时间间隔相应，计数值有 $\pm 1/N$ 的相对误差。按照本发明，使用这些计数器的中间计数值对来估算频率比例。按照本发明的一个方面，这可以基于根据计数器的中间计数值对确定的回归线的陡度来进行。而且，按照本发明的一个方面，在取样中间取样值的同时，两个计数器继续进行计数。



1. 用于确定第一信号 (S1) 的第一频率和第二信号 (S2) 的第二频率的比例的电路, 该电路包括:

第一计数器 (2) 和第二计数器 (4);

取样装置 (6), 用于当第二计数器 (4) 达到预设的第二中间计数值时, 对第一计数器 (2) 的第一中间计数值进行取样, 从而第一计数器 (2) 是在第二计数器 (4) 的控制下被取样的;

其中第一和第二中间计数值形成多个第一和第二计数器 (2, 4) 的中间计数值对;

其中, 在第一中间计数值的取样期间, 第一和第二计数器 (2, 4) 继续计数;

计算单元 (16), 基于多个中间计数值对, 确定第一和第二频率的比例,

其中计算单元 (16) 使用多于两个中间计数值对来确定第一和第二频率的比例;

其特征在于通过从与不同数量的取样相对应的中间计数值对进行回归运算来计算第一和第二频率的比例。

2. 根据权利要求 1 的电路, 其中第一计数器 (2) 是由第一信号 (S1) 的上升边缘和下降边缘之一触发的; 其中第二计数器 (4) 是由第二信号 (S2) 的上升边缘和下降边缘之一触发的; 其中第二计数器 (4) 的时钟信号是第一和第二信号 (S1, S2) 之一; 其中在其值对第一计数器 (2) 进行取样的第二计数器 (4) 的第二中间计数值是预设于寄存器里的。

3. 根据权利要求 1 的电路, 进一步包括: 一个存储器 (12, 14); 其中该存储器包括第一和第二存储装置; 其中第一存储装置 (12) 用于存储第一计数器 (2) 的第一中间计数值, 以致提供第一计数器 (2) 的第一中间计数值的序列, 而第二存储装置 (14) 用于存储第二计数器 (4) 的第二中间计数值, 以致提供第二计数器 (4) 的第二中间计数值的序列。

4. 根据权利要求 1 的电路,

其中计算单元(16)由处理器实现;

其中多个中间计数值对存储在处理器的工作存储器中; 并且

其中针对读取和写入多个中间计数值对之一通过中断程序对工作存储器进行访问。

5. 根据权利要求1的电路, 其中计算单元(16)确定频率比例随时间的变化。

6. 确定第一信号(S1)的第一频率和第二信号(S2)的第二频率的比例的方法, 该方法包括以下步骤:

当第二计数器(4)达到预设的第二中间计数值时, 对第一计数器(2)的第一中间计数值进行取样, 从而第一计数器(2)是在第二计数器(4)的控制下得以取样的;

其中第一和第二中间计数值形成多个第一和第二计数器(2, 4)的中间计数值对;

其中, 在第一中间计数值的取样期间, 第一和第二计数器(2, 4)继续计数; 并且

基于多个中间计数值对, 确定第一和第二频率的比例;

其中使用多于两个中间计数值对来确定第一和第二频率的比例;

其特征在于通过从与不同数量的取样相对应的中间计数值对进行回归运算来计算第一和第二频率的比例。

7. 包括计算机程序代码装置的计算机程序产品, 其中当在处理器上运行该计算机程序代码装置时, 该计算机程序代码装置促使处理器执行如下操作:

当第二计数器(4)达到预设的第二中间计数值时, 对第一计数器(2)的第一中间计数值进行取样, 从而第一计数器(2)是在第二计数器(4)的控制下得以取样的;

其中第一和第二中间计数值形成多个第一和第二计数器(2, 4)的中间计数值对;

其中, 在第一中间计数值的取样期间, 第一和第二计数器(2, 4)继续计数; 并且

基于多个中间计数值对, 确定第一和第二频率的比例;

其中使用多于两个中间计数值对来确定第一和第二频率的比例；
其特征在于通过从与不同数量的取样相对应的中间计数值对进行回归运算来计算第一和第二频率的比例。

改进的频率确定

技术领域

本发明涉及测量或者确定频率的领域。具体来说，本发明涉及一种用于确定第一信号的第一频率和第二信号的第二频率的比值的电路、一种确定第一信号的第一频率和第二信号的第二频率的比值的方法以及一种包含计算程序装置的计算机程序产品。

背景技术

用于频率测量的电子电路在电机和电子系统的广阔领域中得到具体表现，比如 CD/硬盘驱动器中的旋转控制器或者用于通过独立的时钟振荡器进行操作的电子子系统的同步的接口电路。

针对后者的典型实例是具有 GPS 能力的 GSM 移动电话，包括多达三个独立的晶体振荡器 (XO)：分别在工作时间和空闲时间供应 GSM 子系统的 26MHz XO 和 32kHz XO 以及供应 GPS 子系统的 20MHz XO。在 GSM 工作模式下，需要 26MHz XO 作为 GSM RF 合成器的归零基准，低功率 32kHz XO 在 GSM 空闲模式下有助于减少功率消耗。在 GSM 空闲模式下，GSM 系统中的大部分，包括 26MHz XO，将会断电。只有 32kHz XO 和一个计数器（称为 32kHz “睡眠计数器”）工作。该睡眠计数器用作在由基站发送的新传呼消息到达之前及时对 GSM 系统加电的定时器。由于 32kHz XO 的典型公差，GSM 移动电话可能丢失一部分传呼消息。这就是为什么 GSM 移动电话要包括一个能够实现对 32kHz XO 的频率和 26MHz XO 的频率之间的比例进行评估的频率测量单元的原因。近来随着具有 GPS 性能的 GSM 移动电话的出现，激起了对频率测量的同样的需求。这是因为 GPS 接收机 IC 传统上使用另一种参考频率，而不是 GSM 的 26MHz，因此需要一个专用的 GPS XO。

本申请的要点是由精度要求决定的测量反应时间。可以将相对误差随着测量间隔的增加而减少看作基本原则。传统的解决办法在两种情况下都产生几秒的测量时间间隔。主流观点是基于计数器的传统电路是最适宜的，在简单数字硬件实现的约束下，没有给改进留出空间。另一方面，众所周知的是，如果更复杂的硬件可被接受，不兼顾精度的话，测量间隔可被减小。我们例如可以想象到下面的方法：a) 使数

字时钟通过一个消除谐波的滤波器，b) 用 ADC 对结果得到的正弦波形进行数字化，c) 应用某些 DSP 算法来进行频率评估，类似于 GSM 接收机中使用的算法。

两个数字时钟信号的频率的比例的测量通常是借助相对简单的数字电路来进行的。这些电路通常包含两个由时钟信号触发的计数器。为了确定两个频率的比例，在某一测量时间之后，两个计数值的比例就是两个时钟信号的频率的比例的示值。

典型地将测量时间选择成覆盖多个时钟周期。测量时间的选择通常是借助计数器进行的，从而定义出一个测量窗口。因此，这个定义测量窗口的计数器的变化是预设的。因此，仅对各个其它计数器的计数器值的变化进行取样。取决于两个时钟信号的相位，从计数器读取的计数值可依据一个脉冲或者周期而变化。这样，测量结果可能有 $\pm 1/N$ 的最大相对误差，其中 N 是从计数器读取的计数值的变化。该相对误差可以通过选择更长的测量时间（因此有更大的 N ）来减少。不过，对于更大的应用范围，比如移动通信（如上所述）、例如用于 CD 播放器、用于计算机的硬盘或汽车电子中的应用的回转或旋转速度控制或者用于实验室或用于制造工艺的电子测量设备，越来越希望得到精确且快速的频率测量，并且在某些应用中必须得到这种精确且快速的频率测量。

US 4,350,950 公开了一种频率测量方法，其中借助于振荡器中生成的参考信号来测量脉冲信号的频率。通过分离的计数器对被测脉冲频率和参考脉冲频率二者进行计数，并且计数值或计数结果被存储在分离的存储器中。触发器被置位和复位，以确定每个测量时段。被测频率计数器的两个连续计数之间的差对应于在测量时段期间被计数的脉冲或周期。参考频率计数器的两连续计数之间的差对应于测量时段的长度，从而通过参频率确定分辨率。微处理器划分测量时段计数得到的周期数，以确定被测频率。

US2003/0117181A1 公开了用于确定脉冲输入信号的频率的方法和系统。在预定测量间隔的开始和末尾捕捉脉冲计数和定时器计数，以获得开始脉冲计数和末尾脉冲计数以及开始脉冲时刻和末尾脉冲时刻。通过末尾脉冲计数减去开始脉冲计数除以末尾脉冲时刻减去开始脉冲时刻来

确定脉冲频率。

发明内容

本发明的一个目的是提供一种快速且精确的频率测量。

按照权利要求 1 所述的本发明的示范性实施方式，上述发明目的可以通过权利要求 1 中提出的用于确定第一信号的第一频率和第二信号的第二频率的比例的电路来解决。按照本发明地示范性实施方式的一个方面，成对的取样中间计数值的结果序列对可在笛卡尔坐标系统中用圆点表示。因此，取决于测量频率的稳定性，中间计数值近似于一条直线。按照本发明的一个方面，相应回归线的陡度可被确定，并且可被看作想要得到的频率比例的估算。

具有优势地，当保持测量间隔与上述的传统方法的测量间隔相同时，测量误差明显减少。根据本发明的一个方面，发现与上述传统方法的测量窗口相同时，测量误差可以减少，如果 25 个取样，测量误差减少到二分之一，也就是，第一和第二计数器的成对中间计数值被考虑。换句话说，成对中间计数值的数目的增加使测量误差减少。

根据本发明的一个方面，取样数目另外增加到 n 倍，将导致测量误差另外减少 \sqrt{n} 。

另一方面，当传统方法的精度足够时，在保持相同测量精度的情况下，上述电路可以减少测量时间。

根据本发明另一示范性实施方式，第一计数器被第一信号的上升边缘和下降边缘之一触发，第二计数器被第二信号的上升边缘和下降边缘之一触发，第二计数器的时钟信号是第一和第二信号之一。第一计数器被取样时，第二计数器的第二中间计数值被预置在寄存器里。

根据本发明另一示范性实施方式，提供一个存储器，包括第一和第二存储器。第一存储器用于存储第一计数器的第一中间计数值，以致于第一计数器的第一中间计数值的序列被提供，第二存储器用于存储第二计数器的第二中间计数值，以致于第二计数器的第二中间计数值的序列被提供。

根据本发明另一示范性实施方式，提供一种方法，该方法用于确定

第一信号的第一频率和第二信号的第二频率的比例。

根据本发明另一示范性实施方式，提供一个计算机程序产品，该计算机程序产品包含计算机程序代码装置。根据本发明示范性实施方式的一个方面，计算机程序产品可以是一个计算机可读介质，比如 CD-ROM。计算机程序代码装置涉及一个计算机程序，当计算机程序代码装置在一个处理器执行时，使得处理器执行相应于本发明的方法的操作，计算机程序代码装置可用任何适合的程序语言书写，比如 C++。取代被存储在计算机程序产品中，计算机程序代码装置（比如计算机程序）也可从网络（比如万维网）获得，可从网络下载到计算机的内部存储器，处理器或者其它适当的设备。

下述可以看作本发明的示范性实施方式的要点，在计数器保持运行的同时，成对中间计数值被取样和存储。随后，基于这些成对中间计数值，希望频率比例的估算被确定。根据本发明，发现当成对中间计数值的结果序列如笛卡尔坐标中的圆点所示时，其近似于一条直线。根据本发明的一个方面，相应回归线的陡度可被计算，并且可被看作希望频率比例的估算。根据本发明，一部分电路可以在时钟域操作，另一部分电路可以在选通域操作。

附图说明

参照下面的示范性实施方式，本发明的这些和其它方面将会变得显而易见。

本发明的示范性实施方式将随后描述，参考下面的附图：

附图 1 示出了根据本发明的电路的一个示范性实施方式的简化电路图；

附图 2 是操作附图 1 所示的电路的方法的流程图；

附图 3 是进一步解释本发明的采集时钟的标准相位和选通时钟的标准相位的比较图；

附图 4 是根据本发明示范性实施方式的采集时钟的标准相位和选通时钟的标准相位的另一比较图；

附图 5 示出了根据本发明的电路的第二示范性实施方式的简化电路图；

附图 6 示出了附图 5 的电路中出现的信号的时间图；

附图 7 示出了根据本发明电路的第三示范性实施方式的简化电路图；

附图 8 示出了附图 7 的电路中出现的信号的时间图。

具体实施方式

附图 1 表示用于确定第一数字信号 S_1 的第一频率 f_1 和第二数字信号 S_2 的第一频率 f_2 的比例的电路的一种示范性实施方式的简化电路图。从附图 1 可以看出，第一信号 S_1 输入到第一计数器 2，第二信号 S_2 输入到第二计数器 4。第一计数器 2 在第一信号 S_1 的各个上升边缘或者下降边缘处受到触发或者进行递增。

从附图 1 可以看出，第一信号 S_1 也作为时钟信号输入到第二计数器 4。第二计数器 4 按照第一信号 S_1 的上升边缘或者下降边缘计时。随后，计数器 4 的计数值根据第二信号 S_2 的上升边缘或者下降边缘变化。

附图标记 6 表示连接到第一计数器 2 的第一寄存器。第一寄存器设置为用于在第一计数器 2 的计数期间存储第一计数器的中间计数值。换句话说，在第一计数器 2 继续计数的同时，第一寄存器 6 可以取样第一计数器 2 的中间计数值。

而且，提供了连接到第二计数器 4 的第二寄存器 8。从附图 1 可以看出，第二寄存器 8 也连接到第一寄存器 6。可将第二寄存器 8 设置成，在第二计数器 4 的预设计数值下，第二寄存器 8 向第一寄存器 6 输出一个触发信号。随后，当第一寄存器 6 接收到来自第二寄存器 8 的触发信号时，第一寄存器 6 取样第一计数器 2 的中间计数值。据此，第二寄存器 8 可以定义第二计数器 4 的中间计数值，以致当第二计数器 4 达到这些预设中间计数值时，第二寄存器 8 触发第一寄存器 6，使得第一寄存器 6 取样第一寄存器 6 的中间计数值。

第一寄存器 6 和第二寄存器 8 均连接到同步单元 10。同步单元 10 适用于控制第二计数器 4 到达预设计数值与第一寄存器 6 对第一计数器 2 进行取样之间的时间段。换句话说，同步单元 10 控制第二计数器 4 到达预置计数值和取样第一计数器 2 的中间计数值之间的时间关

系。

第一寄存器 6 连接到第一存储器 12。第一存储器 12 起到第一寄存器的扩展的作用。因此，在附图 1 示出的电路的操作期间，第一计数器 2 的中间计数值的序列存储在第一存储器 12 中。

计数器 2 和 4 可以是有限状态机 (FSMs)。而且，包含在虚线框中的所有单元 (包括计数器 2 和 4) 可借助 FPGAs、PLDs、EPLDs、ASICs 或者适合的 Ics 来实现。

还有第二存储器 14，它与第二寄存器 8 相连。在第二存储器 14 中，可以预设要对第一计数器 2 进行取样时的计数值或者时间点。

第一和第二存储器 12 和 14 连接到计算单元 16。计算单元适用于，基于存储在第一和第二存储器 12 和 14 中的第一和第二计数器 2 和 4 的计数值序列，计算两个频率 S_1 和 S_2 的比例的估算值。在频率比例确定之后，计算单元 16 将确定或者测量结果输出给输出单元 18。

同步单元 10 和计算单元 16 可通过适当的硬件实现。它们也可借助有限状态机 (FSMs) 或者 FPGAs、PLDs、EPLDs、ASICs 或者适当的 Ics 来实现。但是，如围绕着第一和第二寄存器 6 和 8、同步单元 10、第一和第二存储器 12 和 14、计算单元 16 的虚线所示，这些组成部分也可用适当的处理器系统实现。然后，上述系统的操作由适当的程序控制。这一程序可被存储在适当的机器可读介质中，比如 CD-ROM。上述程序可用任何适当的语言编写，比如汇编语言或者 C++。寄存器 6 和 8、存储器 12 和 14 可由处理器的内部存储器实现。对这种存储区域的读访问和写访问可借助中断服务程序实现。

两个频率的比例 f_1/f_2 的估算值的求算结果在计算单元 16 中进行求算，可描述如下：

相应的中间计数值对，也就是在相应时间点确定的第一和第二计数器 2 和 4 的中间计数值，在笛卡尔坐标系统中用点表示。然后，按照本发明的一个方面，这些点成一条直线。按照本发明的一个方面，计算相应回归线的陡度，该陡度相当于想得到的频率比例的估算值。按照本发明的一个方面，借助线性回归确定该直线。

按照本发明的这种示范性实施方式的变形方式，计算单元 16 适用于计算随时间变化的调制率，也就是两个频率 f_1/f_2 的比例。

频率测量单元的任务是测量两个无关数字时钟信号的频率比例，

上述两个独立数字时钟信号分别用选通时钟 (gating clock) 和采集时钟 (collecting clock) 表示。相应的时钟频率和时钟周期可表示为 f_g , f_c , $T_g=1/f_g$ 和 $T_c=1/f_c$ 。如上所述, 简单的传统频率测量电路包含两个计数器作为基本单元: 选通计数器通过选通时钟定时, 采集计数器通过采集时钟定时。与某些比较器逻辑组合的选通计数器, 通过使得采集计数器对于一定数目的选通计数器周期 N_g 有效, 来确定测量时间间隔。采集计数器在测量时间间隔期间采集的周期数用 N_c 表示。想要得到的频率比例 f_c/f_g 可如下确定:

用 T_g 和 T_c 的多项式表示测量时间间隔

$$N_g T_g = N_c T_c + d T_c \quad (1)$$

其中, $N_g T_g$ 是几秒的测量时间间隔, 项 $d T_c$ ($-1 < d < 1$) 针对的是测量时间间隔可能不是 T_c 的整数倍而采集计数器只能处理 T_c 的整数倍的情况。 d 的性质在后文中给出。(1) 也可写为:

$$\frac{f_c}{f_g} = \frac{N_c}{N_g} \cdot \left(1 + \frac{d}{N_c}\right)$$

其中项 $\varepsilon = d/N_c$ 表示相对测量误差。举一个例子, 在最坏的情况下, $d=1$, $N_c=26 \cdot 10^6$, 相对误差 $\varepsilon = 0.04 \cdot 10^{-6}$ 。这反映了具有测量间隔 $N_c T_c = 1$ 秒和 $T_c = 1/f_c = 1/f_{\text{GSM}} = 1/26\text{MHz}$ 的典型的 GSM/GPS 测量的情况。

为了促成新的频率测量方法, 需要进一步深入了解问题。为此, 引入了时钟信号的归一化相位, 并且表明计数器的当前值表示它的量化形式。

矩形波时钟信号可与 $\varphi(t)$ 相关联, $\varphi(t)$ 是该信号的傅立叶基音 (tone) 的相位。 $\varphi(t)$ 是线性倾斜的, 它可由初始相位 ϕ 和频率 f 表示:

$$\varphi(t) = 2\pi f t + \phi$$

注意, 在本文中通篇将 $\varphi(t)$ 简单地理解为是经过展开的, 意思就是说不局限于区间 $[0, 2\pi]$ 。

因此, 在计数器的当前值和时钟信号的相位斜率的当前值之间存在关系。为了使该关系更加明显, 量化和归一化后的相位 $\hat{\eta}$ 可如下定义:

$$\hat{\eta} = [\varphi/2\pi]$$

其中, $[x]$ 是等于或者小于 x 的最接近的整数, 以致 $0 \leq x - [x] < 1$ 。量化导致相位倾斜变成分段式的, 同时归一化使 2π 区间成 1 的周期。

因此，可以将计数器看成提供量化和归一化的时钟相位 $\hat{\eta}(t)$ ，假设时钟信号的触发边缘对应于时钟相位 $\phi(t) = 0$ （以 2π 为模）。

假设 $\eta_g = f_g t$ ， $\eta_c = \phi_c / 2\pi + f_c t$ 分别对应选通时钟和采集时钟的非量化归一化相位。将选通时钟的初始相位假设为 $\phi_g = 0$ 并不意味着丧失一般性，因为所关注的 η_g 和 η_c 之间的相位关系已由 ϕ_c 覆盖了。注意的是，由于 $f_g = 1/T_g$ ，同样 η_g 可被看作归一化时间 $\eta_g = t/T_g$ 。代入得到

$$\eta_g = \phi_c / 2\pi + f_c \eta_g / f_g$$

附图 3 示出了 η_c (η_g) 的实例，以及量化后的 $\hat{\eta}_c$ 。

附图 3 示出了采集时钟的归一化相位和选通时钟的归一化相位的函数关系。采集计数器的当前值可用 $\hat{\eta}_c$ 表示。传统频率测量电路依赖于来自采集计数器的两个取样 $\hat{\eta}_c[k_0]$ 和 $\hat{\eta}_c[k_1]$ 。虚曲线表示 ϕ_c 的影响，恒定相位偏移 η_c ：在黑曲线的情况下，将 ϕ_c 选择成使得 ϕ_c 的任何进一步减少将导致 $\hat{\eta}_c[k_0]$ 从 5 变化为 4。在虚曲线的情况下，将 ϕ_c 被选择成使得 ϕ_c 的任何进一步减少将导致 $\hat{\eta}_c[k_1]$ 从 16 变化为 15。注意的是，在上述两种情况下， $\hat{\eta}_c[k_0] = 5$ 适用于这两种情况。

因此，频率测量转变为估算相位斜度 η_c (η_g) 的陡度的问题。如果使用非量化归一化相位，则正确的解为：

$$f_c / f_g \approx (\eta[k_1] - \eta_c[k_0]) / (k_1 - k_0)$$

其中， $k_0 = \eta_g(t_0)$ 和 $k_1 = \eta_g(t_1)$ 可任意选择。按照本发明，进行的是近似计算。

直接的方法是传统方法，也就是从采集计数器中取得取样 $\hat{\eta}_c[k_0]$ 和 $\hat{\eta}_c[k_1]$ 作为 $\eta_c[k_0]$ 和 $\eta_c[k_1]$ 的近似值。这里， k_0 和 k_1 是跨越测量间隔的选通计数器的第一个值和最后一个值， $\hat{\eta}_c[k]$ 是第 k 个选通时钟周期起始点处的采集计数器的值。假设 $\hat{\eta}_c[k]$ 可以通过在选通时钟的上升边缘取样采集计数器的当前值获得就足够了。 $\hat{\eta}_c[k_0]$ 和 $\hat{\eta}_c[k_1]$ 定义连接线 η_c ，该连接线可被认为 η_c 的近似值。因此，频率比例可估算为：

$$f_c / f_g \approx (\hat{\eta}_c[k_1] - \hat{\eta}_c[k_0]) / (k_1 - k_0) = N_c / N_g$$

附图 3 描述对应于选择 $k_0 = 3$ 和 $k_1 = 7$ 的 $\hat{\eta}_c[k_0]$ 和 $\hat{\eta}_c[k_1]$ 。黑曲线和虚曲线表示 $\eta_c(t) = \phi_c / 2\pi + f_c t$ 的初始相位 ϕ_c 如何影响估算值 $\eta_c(t)$ 的陡度。取决于 ϕ_c ， N_c 按照频率比例 f_c / f_g 的估算值太小或者太大而取 $15 - 5 = 10$ 或者 $16 - 5 = 11$ 的值。适用于任何频率比例 f_c / f_g 的总的规则是，

N_c 不能超过两个值，并且取值依赖于采集时钟和选通时钟之间的相位关系。

先前的讨论提出频率估算问题作为基于量化形式的 $\eta_c[k]$ 估算采集时钟的非量化相位斜度 $\eta_c[k]$ 的陡度的任务。在这个前提下，传统方法表现得不是最优，因为它只利用了来自 $\hat{\eta}_c[k]$ 的两个取样，但是忽略了来自测量时间间隔内的信息：假设测量时间间隔持续 $N_g = k_1 - k_0$ 个选通时钟周期，我们可以利用选通时钟的每个上升边缘从采集计数器中得到总数为 $N_g + 1$ 个取样。

这些取样 $\hat{\eta}_c[k]$ 在附图 5 中用黑点标记。它们分布在黑色回归线 $\bar{\eta}_c$ 上。来自回归线的取样 $\bar{\eta}_c[k]$ 用空点标记。按照本发明，就陡度而言，与 $\hat{\eta}_c$ 相比， $\bar{\eta}_c$ 看起来是更好的估算值。

由于实际原因，可能希望考虑来自 $\hat{\eta}_c[k]$ 的 $N_g + 1$ 个取样的子集。例如，如果 N_g 具有 10^6 的数量级，可能不希望基于如此大量的取样值计算回归线。如上所述， k 表示选通时钟 η_g 的连续归一化相位的整数值。来自这些整数值的子集可表示为

$$\eta_g[m]$$

其中 m 是大小 M 的子集内的系数， $1 < m < M$ 。

子集的实例是等距栅格

$$\eta_g[m] = m [N_g/M]$$

其中整数 $[N_g/M]$ 是栅格间距。

子集的另一个实例是均一抖动栅格

$$\eta_g[m] = m [N_g/M] + \text{rnd}[m]$$

此时， $\text{rnd}[m]$ 是 $R_0 < \text{rnd}[m] < R_1$ 范围内的均一分布的整数随机变量，其中 R_0, R_1 是整数。该仿真结果表明抖动栅格可能有益于某些格局。

假设取样 $\hat{\eta}_c[\eta_g[m]]$ 对应于某一子集 $\eta_g[m]$ ，回归线可如下确定：下面的前提是假设

$$\bar{\eta}_c[\eta_g[m]] = a_0 + a_1 \eta_g[m]$$

将恒定归一化相位偏移 a_0 和陡度 a_1 选择成使得误差信号 $\hat{\eta}_c[\eta_g[m]] - \bar{\eta}_c[\eta_g[m]]$ 的能量 E 最小化。未知的 a_0 和 a_1 通过求解下面的等式而得出：

$$\frac{\partial}{\partial a_0} E(a_0, a_1) = \frac{\partial}{\partial a_0} \sum_m (\hat{\eta}_c[\eta_g[m]] - a_0 - a_1 \eta_g[m])^2 = 0 \quad (3)$$

$$\frac{\partial}{\partial a_1} E(a_0, a_1) \approx \frac{\partial}{\partial a_1} \sum_m (\hat{\eta}_c[\eta_g[m]] - a_0 - a_1 \eta_g[m])^2 = 0 \quad (4)$$

因此产生线性等式系统:

$$\begin{bmatrix} B_1 \\ B_2 \end{bmatrix} = \begin{bmatrix} A_{11} & A_{12} \\ A_{21} & A_{22} \end{bmatrix} \begin{bmatrix} a_0 \\ a_1 \end{bmatrix} \quad (5)$$

其中数据相关系数为:

$$B_1 = \sum_m \hat{\eta}_c[\eta_g[m]] \quad (6)$$

$$B_2 = \sum_m \hat{\eta}_c[\eta_g[m]] \eta_g[m] \quad (7)$$

和数据无关系数为:

$$A_{11} = M \quad (8)$$

$$A_{12} = A_{21} = \sum_m \eta_g[m] \quad (9)$$

$$A_{22} = \sum_m (\eta_g[m])^2$$

首先计算等式(6)到(10), 随后求解等式(5)得到 a_0 和 a_1 。

由于系数 A_{11} 、 A_{12} 、 A_{21} 、 A_{22} 无关于(数据)取样 $\hat{\eta}_c$, 只要选择了某些适当的值 M 和 $\eta_g[m]$ 之后, 就足以将它们计算出来。仅有 B_1 、 B_2 是数据相关的, 并且对于一组新的取样 $\eta_g[m]$, 需要重新计算。

计算量与取样数 M 是成比例的, 如果 M 很大, 计算 B_1 、 B_2 的工作量支配求解等式系统(5)的工作量。

由于未知的恒定相位 a_0 不是我们关注的, 不要求对其进行明确计算。

早期精度较低的频率估算值可通过首先对 $M_0 < M$ 个取样计算 a_1 获得。当更多的取样到达时, 由于(6)到(10)的累积特性, 用较低的工作量就可计算出 a_1 的更新值。

由于等式系统(5)的简单特性, 可能简单地引用解 a_1 。结果, 可以将这个简单的解理解为与有限脉冲响应(FIR)滤波器的单一输出取样密切相关。(该滤波器有斜坡形状的脉冲响应, 并且可看作通信理论中公知的匹配滤波器)。因此, 可以选择某些适当的FIR滤波器实现方式。

如果要测量的频率比例随时间变化, 人们可能希望对其进行重复测量。取决于更新率, 一组新的 M 个取样可能或者可能不与前一组取

样重叠。如果重叠，则在一定程度上降低计算量就是可能的。

可能已知频率比例在取得 M 个取样的测量时间间隔内变化。这可能是例如由于在启动各个晶体振荡器之后，两个频率之一的渐近指数稳定造成的。在这种情况下，我们可以估算更复杂回归线的参数。

附图 5 示出了按照本发明的电子电路的第二种示范性实施方式的简化电路图，该电路按照上面介绍的按照本发明的一个方面的原理进行操作。

从附图 5 可以看出，提供了一个计数器 30 和一个锁存器 40。从附图 5 可以看出，将信号 u_c 输入到计数器 30 的时钟输入端。然后，将输出信号 x_{c1} 输入到锁存器 40，锁存器 40 的时钟输入端接收信号 u_g 。锁存器 40 的输出信号是信号 x_{g1} 。

而且，提供了计数器 32 和比较器 34。计数器 32 的时钟输入端接收选通时钟信号 u_g 。计数器 32 的输出信号输入到比较器 34，每次计数器 32 输出的计数值达到 n ，则该比较器向锁存器 40 输出一个使能信号。

灰线 36 指示时钟域的过渡，即由采集时钟 u_c 和选通时钟 u_g 操作的电路单元之间的边界。

附图 6 示出了附图 5 的电路中出现的各个信号的时序图。从附图 6 可以看出，在理想条件的情况下，在附图 5 的电路中可能会出现问題。不过，由于计数器输出信号 x_{c1} 的位不正确地同步变化，因此会出现问題。因此，如果选通时钟 u_g 的取样边缘在计数器位变化的同时出现，锁存器 40 的输出信号，即信号 x_{g1} ，在某些情况下可能是错误的。

附图 7 示出了按照本发明的电路的第三种示范性实施方式的简化电路图。通过本发明的第三种示范性实施方式的电路，参考附图 5 和 6 描述的同步问題是可以避免的。

从附图 7 可以看出，将信号 u_c 输入到计数器 50 的时钟端口，输出信号 x_{c1} 输入到锁存器 2 52。锁存器 2 52 的时钟输入端也接收信号 u_c 。锁存器 2 52 的输出信号 x_{c2} 输入到锁存器 3 54，锁存器 3 54 的时钟输入端也与信号 u_c 相接。

输入信号 u_g 输入到 AND 门 56 的一个输入端，AND 门 56 的输出信号输入到锁存器 1 58。锁存器 1 58 的时钟端口也连接到输入信号 u_c 。

锁存器 1 58 的输出信号 x_{c4} 通过一个反相器 60 返回到 AND 门 56 的另一个输入端。进一步的, 信号 x_{c4} 输入到另一个计数器 62 的使能端口, 该计数器 62 由采集时钟 u_c 进行时钟控制。计数器 62 的计数信号输入到比较器 64, 其中, 计数信号与比较值 n 进行比较, 以致于每次计数信号 62 的计数值达到 n 时, 比较器 64 输出一个输出信号, 该信号作为使能信号输入到锁存器 3 54。时钟域过渡处于锁存器 1 58 处。

附图 8 示出了附图 7 的电路中出现的信号的时序图。附图 8 的第一个时序图描绘出随时间变化的信号 u_c 。第二个时序图描绘出随时间变化的信号 x_{c1} 。第三个时序图描绘出随时间变化的信号 x_{c2} 。第四个时序图描绘出随时间变化的信号 u_g 。第五个时序图描绘出随时间变化的信号 x_{c4} 。第六个时序图描绘出随时间变化的信号 x_{c3} 。

从附图 8 可以看出, 在附图 5 所示的电路中出现的同步问题, 可通过附图 7 所示的电路得到避免, 在附图 7 中, 选通时钟 u_g 被采集时钟 u_c 取样, 并且所有进一步的处理发生在采集时钟域中。“选通时钟检测”信号 x_{c4} 在该电路中起了重要的角色。如果上升边缘出现在第 n 个采集时钟周期期间的选通时钟信号 u_g 中, 将导致 x_{c4} 在采集时钟第 $n+1$ 个周期期间变高, 并且在第 $n+2$ 个周期期间再次变低。因此, x_{c4} 可用于使能锁存器 3 54, 以接替 x_{c2} , 其中 x_{c2} 是 x_{c1} 的延迟形式。

不过, 应该注意, 从信号 x_{g1} 和 x_{c3} 表示来自采集计数器的从头至尾轮换相同的计数器值序列的取样这个意义上说, 附图 5 和 7 的电路是相同的。这是因为 a) 按照选通时钟 u_g 上升边缘在第 n 个采集时钟周期期间的某一时刻在 x_{c1} 的控制下取样采集时钟与 b) 在第 n 个采集时钟周期期间的某一时刻检测选通时钟 u_g 的上升边缘并且之后检查时钟周期数目是相同的。

按照本发明的这些示范性实施方式的变形方式, 为了定义所有可能的取样的子集(取样栅格), 电路可通过比较器和保持 $k_m = n_g [m]$ 、将会触发采样的选通时钟周期的数目的寄存器得到扩展。一旦触发条件出现并且取样可以获得, 取样必须被存储起来, 并且在下一个触发的时刻将其加载。在中断服务程序的控制下, 可以存储和加载到 FIFOs 中和从 FIFOs 存储和加载或者可以存储和加载到处理器的存储器中和从处理器的存储器存储和加载。

很有优势地, 按照本发明, 测量误差明显减少, 但不增加测量时

间间隔。同样，在保持与现有技术已知的传统方法相同测量误差的情况下，测量间隔可减少。用于典型应用的仿真示出，如果可获得 25 个取样，测量误差可被减少到二分之一。取样数目增加到 n 倍，测量误差另外减少 \sqrt{n} 。

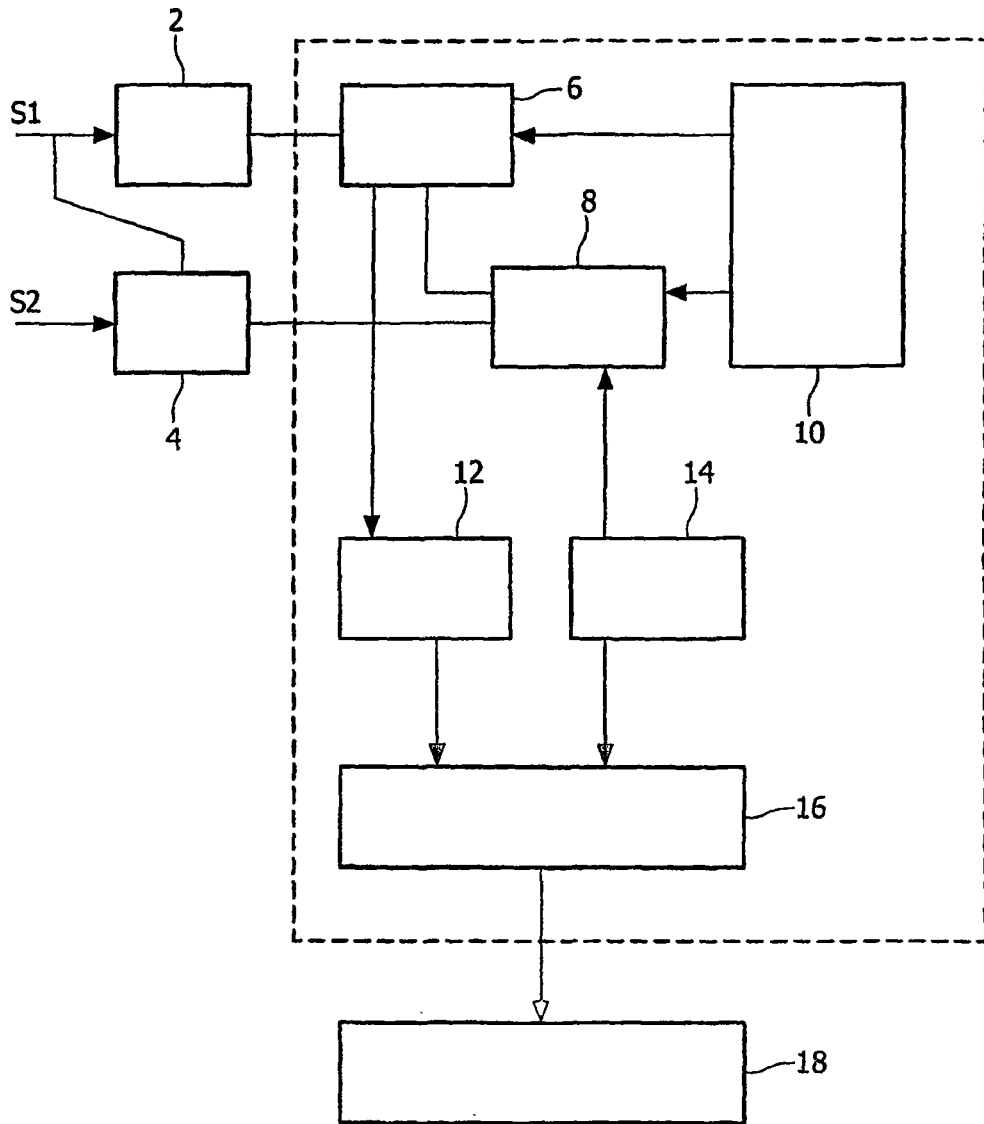


图 1

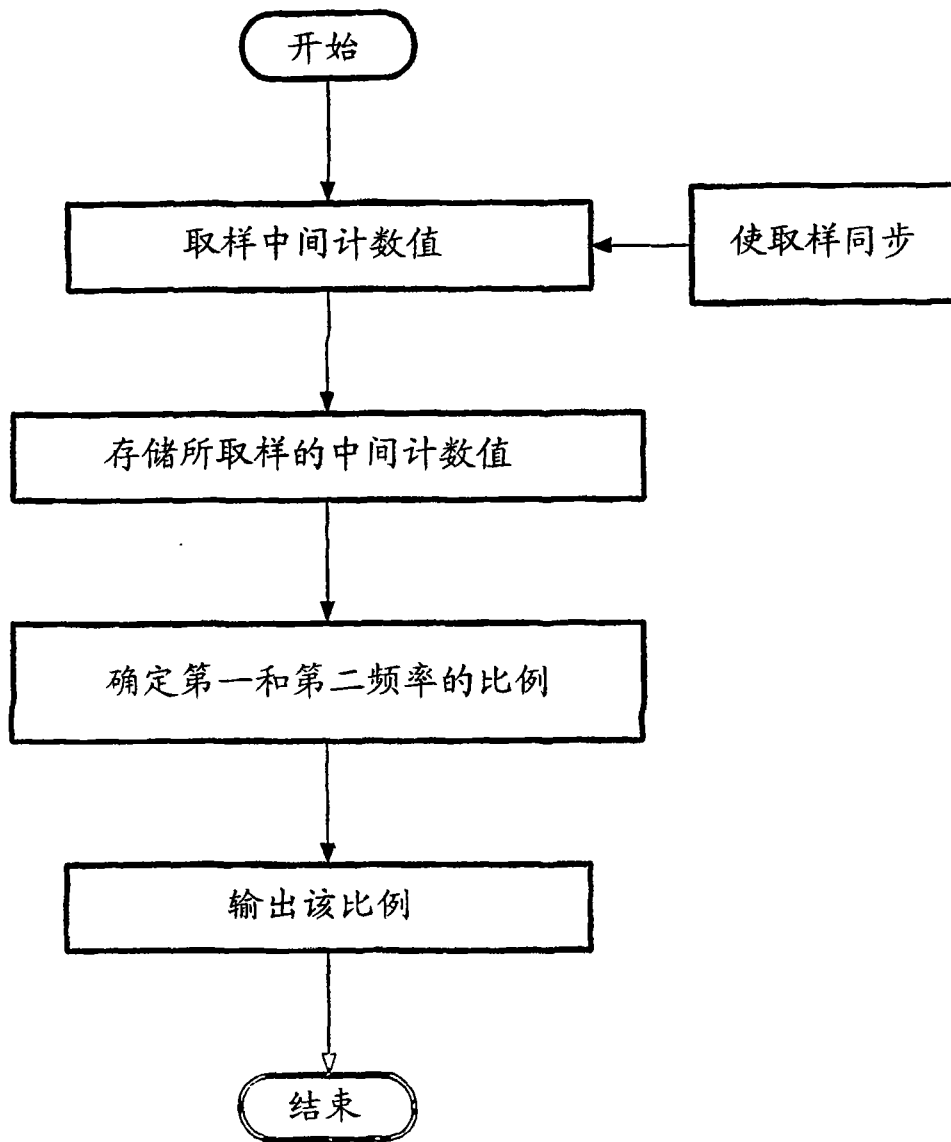


图 2

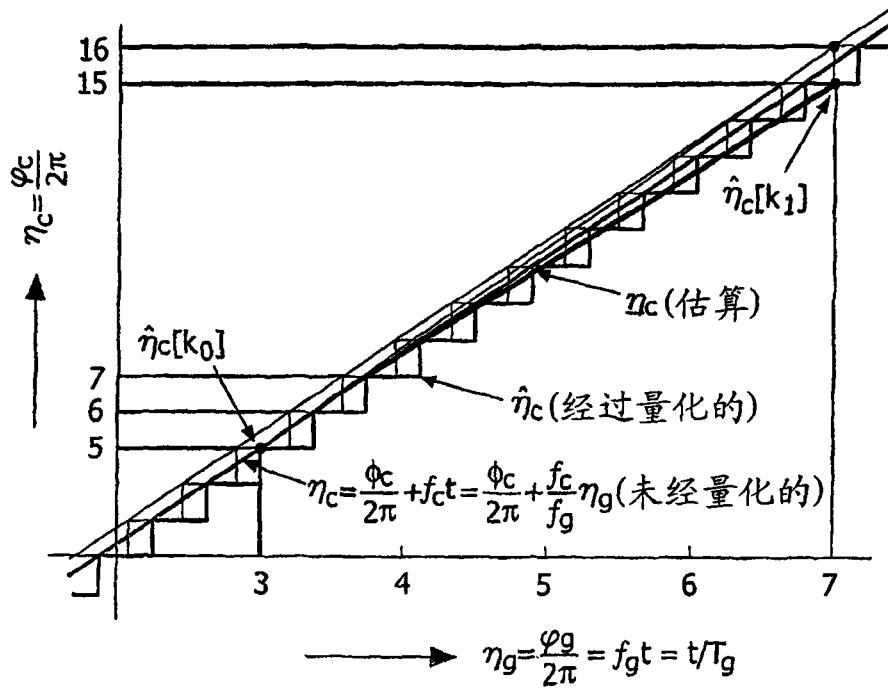


图 3

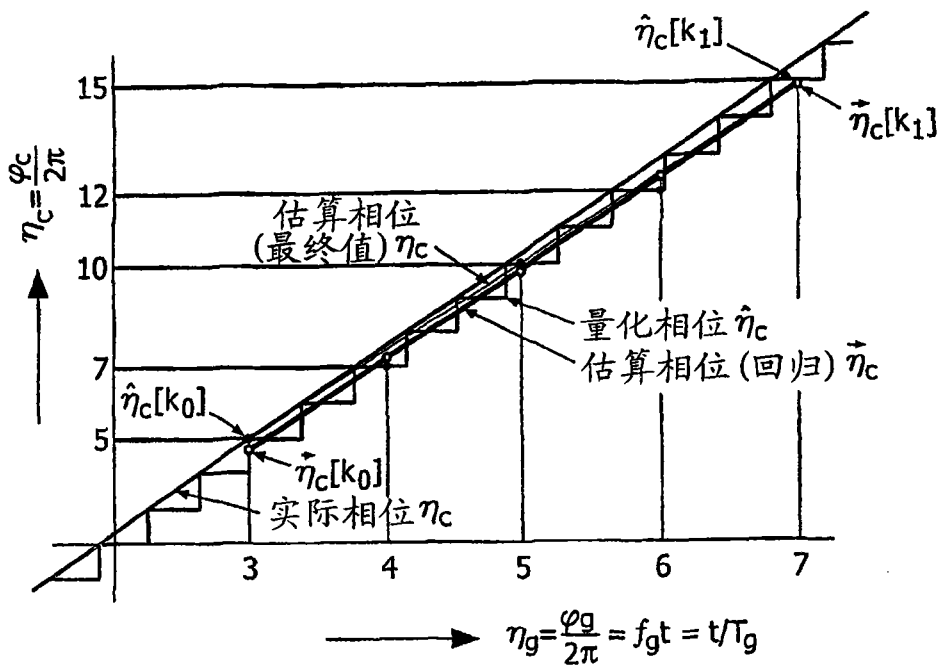


图 4

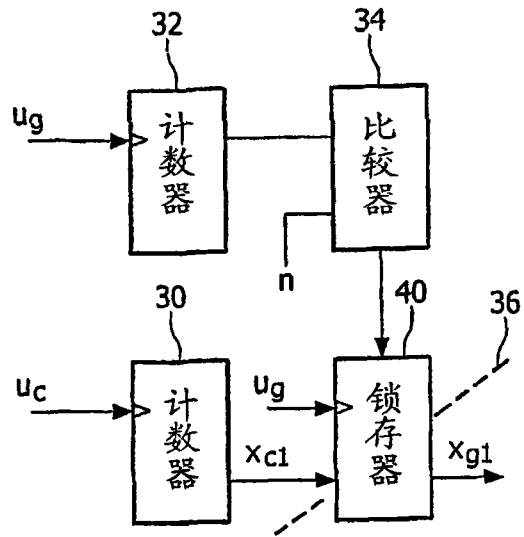


图 5

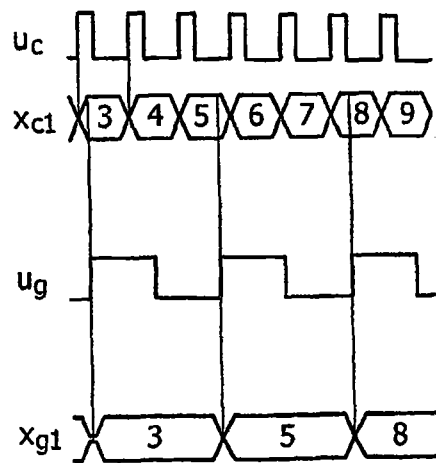


图 6

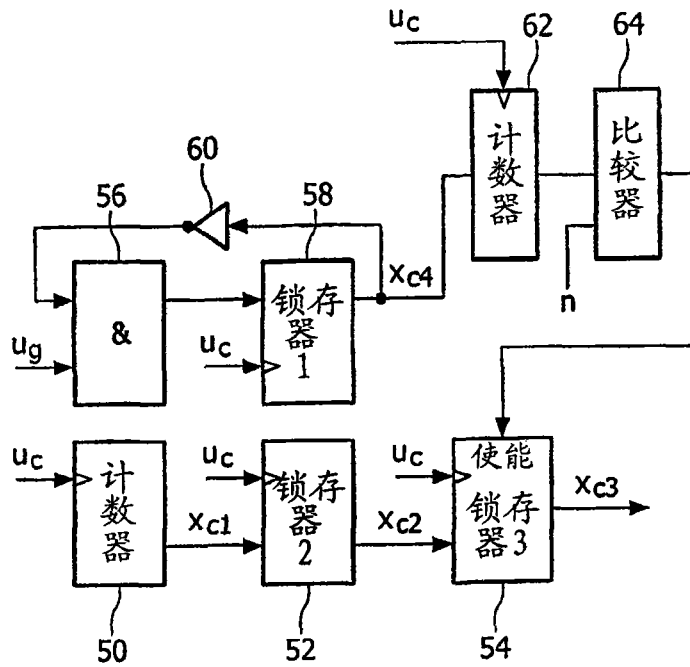


图 7

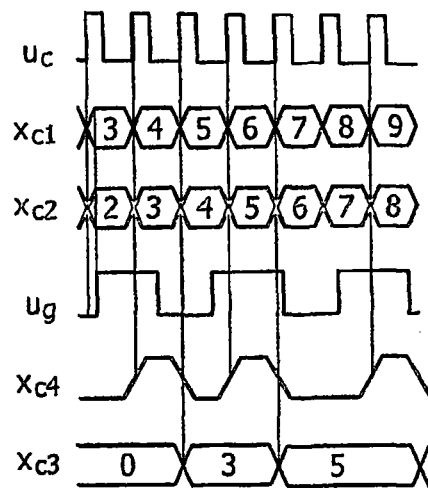


图 8