

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5226669号
(P5226669)

(45) 発行日 平成25年7月3日(2013.7.3)

(24) 登録日 平成25年3月22日(2013.3.22)

(51) Int. Cl.		F I	
G 1 1 C	16/02	(2006.01)	G 1 1 C 17/00 6 1 3
G 0 6 K	19/07	(2006.01)	G 0 6 K 19/00 N
G 1 1 C	16/04	(2006.01)	G 1 1 C 17/00 6 2 2 E
G 1 1 C	16/06	(2006.01)	G 1 1 C 17/00 6 3 6 B
G 0 6 F	13/16	(2006.01)	G 0 6 F 13/16 5 2 0 A

請求項の数 21 (全 43 頁) 最終頁に続く

(21) 出願番号	特願2009-507905 (P2009-507905)	(73) 特許権者	511226960
(86) (22) 出願日	平成19年4月20日 (2007.4.20)		サンディスク テクノロジーズ インコーポレイテッド
(65) 公表番号	特表2009-534785 (P2009-534785A)		アメリカ合衆国、75024、テキサス州、プレーノー、ノース・ダラス・パークウェイ 6900、ツアー・レガシー・タウン・センター
(43) 公表日	平成21年9月24日 (2009.9.24)	(74) 代理人	100075144
(86) 国際出願番号	PCT/US2007/067090		弁理士 井ノ口 壽
(87) 国際公開番号	W02007/127678	(72) 発明者	カガン, イーシャイ
(87) 国際公開日	平成19年11月8日 (2007.11.8)		アメリカ合衆国、94087、カリフォルニア州、サニーバール、エンダービー ウェイ 1386
審査請求日	平成22年4月15日 (2010.4.15)		
(31) 優先権主張番号	11/379,895		
(32) 優先日	平成18年4月24日 (2006.4.24)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	11/379,910		
(32) 優先日	平成18年4月24日 (2006.4.24)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 高効率フラッシュメモリデータ転送

(57) 【特許請求の範囲】

【請求項1】

フラッシュメモリ装置であって、
行および列を成して配列された不揮発性メモリセルから構成される少なくとも1つのメモリアレイと、

前記少なくとも1つのメモリアレイにおける前記メモリセルの格納された状態に対応するデータを格納するためのデータレジスタと、

前記データレジスタに結合され、入出力端子に結合され、かつ複数の制御端子に結合された制御回路であって、前記制御端子で受信された制御信号に応じて、前記入出力端子からデータを受信し、前記入出力端子にデータを送信し、かつ通常動作モードおよびアドバンスト動作モードにおける前記装置の動作を制御する制御回路と、を備え、

通常動作モードにおいて、前記制御回路は、前記複数の制御端子のうちの第1の端子で受信された読み出しデータストロープ信号の第1の極性の遷移に応じて前記入出力端子でデータワードを送信し、

アドバンスト動作モードにおいて、前記制御回路は、前記複数の制御端子のうちの第1の端子で読み出しデータストロープ信号を送信するとともに、前記読み出しデータストロープ信号の第1の極性と第2の極性の両方の遷移に応じて前記入出力端子でデータワードを送信する装置。

【請求項2】

請求項1記載の装置において、

10

20

前記制御回路に結合されたコマンドレジスタをさらに備え、

前記制御回路は、前記複数の制御端子のうちの第2の端子で書き込みデータストロープ信号の遷移を受信したことに応じて、前記入出力端子で受信されたコマンド値を前記コマンドレジスタに格納し、

前記制御回路は、アドバンスモードの開始に対応する前記コマンド値に応じて通常動作モードからアドバンス動作モードに入る装置。

【請求項3】

請求項1記載の装置において、

前記制御回路に結合されたコマンドレジスタをさらに備え、

前記制御回路は、前記複数の制御端子のうちの第2の端子で書き込みデータストロープ信号の遷移を受信したことに応じて、前記入出力端子で受信されたコマンド値を前記コマンドレジスタに格納し、

前記制御回路は、通常モードの開始に対応する前記コマンド値に応じてアドバンス動作モードから通常動作モードに入る装置。

【請求項4】

請求項1記載の装置において、

前記制御回路は、標準化された電圧仕様におけるハイロジックレベルおよびローロジックレベルにより定められた電圧振幅より実質的に小さい電圧振幅を定める電圧仕様に従ってデータワードと前記読み出しデータストロープ信号とを送信する装置。

【請求項5】

請求項4記載の装置において、

前記標準化された電圧仕様におけるハイロジックレベルおよびローロジックレベルにより定められた電圧振幅は、公称約3.3ボルトであり、

前記電圧仕様におけるハイロジックレベルおよびローロジックレベルにより定められた電圧振幅は、公称約1.8ボルトである装置。

【請求項6】

請求項1記載の装置において、

アドバンス動作モードにおいて、前記制御回路は、前記複数の制御端子のうちの第2の端子で受信された書き込みデータストロープ信号の第1の極性と第2の極性の両方の遷移に応じて、前記入出力端子で受信されたデータワードを前記データレジスタの中にラッチし、

通常動作モードにおいて、前記制御回路は、前記複数の制御端子のうちの第2の端子で受信された書き込みデータストロープ信号の第1の極性の遷移に応じて、前記入出力端子で受信されたデータワードを前記データレジスタの中にラッチする装置。

【請求項7】

請求項1記載の装置において、

前記制御回路に結合されたコマンドレジスタをさらに備え、

前記制御回路は、前記複数の制御端子のうちの第3の端子で受信されたコマンドラッチイネーブル信号と組み合わせて、前記複数の制御端子のうちの第2の端子で書き込みデータストロープ信号の遷移を受信したことに応じて、前記入出力端子で受信されたコマンド値を前記コマンドレジスタに格納し、

前記制御回路は、アドバンスモードの開始に対応する前記コマンド値に応じて通常動作モードからアドバンス動作モードに入り、

前記制御回路は、アドバンス動作モードにおいて、前記複数の制御端子のうちの1つで中断リクエスト信号を受信したことに応じて、前記入出力端子でデータワードの現在値を保持するとともに前記複数の制御端子のうちの第1の端子で前記読み出しイネーブル信号の現在の状態を保持し、

前記制御回路は、前記コントローラからの中断リクエストの終止を受信したことに応じて、アドバンスデータ転送モードにおいてデータワードを前記コントローラに送信することと前記読み出しデータストロープ信号を駆動することとを再開し、

10

20

30

40

50

前記制御回路は、前記コントローラからの書き込みデータストロブ信号の第1の極性の遷移と組み合わせ、かつ前記コントローラからのアドレスラッチイネーブル信号を受信したこととも組み合わせ、入出力線を介して前記コントローラからメモリアドレスを受信し、

前記中断リクエストは、アドバンストデータ転送モードにおいてデータワードを前記コントローラに送信する間の前記アドレスラッチイネーブル信号の遷移に対応する装置。

【請求項8】

請求項1記載の装置において、

前記フラッシュメモリ装置は、

ホストシステムとインターフェイスするためのホストインターフェイスを有するフラッシュメモリコントローラと、

前記フラッシュメモリコントローラに結合されたデータバスと、

前記フラッシュメモリコントローラに結合された複数の制御線と、をさらに備えるフラッシュメモリサブシステムで実現され、

前記制御回路は、前記データバスと前記複数の制御線とに結合され、前記制御線から受信された制御信号に応じて、前記データバスからデータを受信しかつ前記データバスにデータを送信し、通常動作モードおよびアドバンストモードでの前記装置の動作を制御する装置。

【請求項9】

フラッシュメモリコントローラと通信するためにフラッシュメモリ装置を操作する方法であって、

通常動作モードにおいて、前記コントローラから受信された読み出しデータストロブ信号の第1の極性の遷移に応じて、入出力線を介して前記コントローラにデータワードを送信するステップと、

アドバンストデータ転送モードを開始するために前記コントローラから受信されたコマンドを実行するステップと、

前記読み出しデータストロブ信号を前記コントローラへ駆動するステップと、

前記読み出しデータストロブ信号の第1の極性と第2の極性の両方の遷移と同期して、アドバンストデータ転送モードにおいて、入出力線を介して前記コントローラに前記フラッシュメモリ装置に格納されているデータに対応するデータワードを送信するステップと、

を含む方法。

【請求項10】

請求項9記載の方法において、

前記実行するステップの後に、前記コントローラから書き込みデータストロブ信号を受信するステップと、

前記書き込みデータストロブ信号の第1の極性と第2の極性の両方の遷移を受信したことに応じて、前記入出力線上のデータワードを前記フラッシュメモリ装置に格納するべく中にラッチするステップと、

をさらに含む方法。

【請求項11】

請求項10記載の方法において、

通常動作モードにおいて、前記コントローラから受信された書き込みデータストロブ信号の第1の極性の遷移に応じて、前記入出力線上のデータワードを前記フラッシュメモリ装置に格納するべく中にラッチするステップをさらに含む方法。

【請求項12】

請求項9記載の方法において、

前記実行するステップは、前記コントローラからの書き込みデータストロブ信号の第1の極性の遷移と組み合わせ、かつ前記コントローラからのコマンドラッチイネーブル信号を受信したこととも組み合わせ、前記入出力線上の開始コマンド値を受信したことに

10

20

30

40

50

応じて行われる方法。

【請求項 1 3】

請求項 1 2 記載の方法において、

前記アドバンスデータ転送モードにおいて前記コントローラにデータワードを送信するステップの間で、かつ前記コントローラからの中断リクエストを受信したことに応じて、前記入出力線上のデータワード値を保持するとともに前記読み出しイネーブル信号の現在の状態を保持するステップをさらに含む方法。

【請求項 1 4】

請求項 1 3 記載の方法において、

前記コントローラから中断リクエストの終止を受信したことに応じて、前記アドバンスデータ転送モードにおいて前記コントローラにデータワードを送信するステップと前記読み出しデータストロープ信号を駆動するステップとを再開するステップをさらに含む方法。

10

【請求項 1 5】

請求項 1 3 記載の方法において、

前記中断リクエストは、前記コントローラからの制御信号の遷移を受信したことに対応する方法。

【請求項 1 6】

請求項 1 5 記載の方法において、

前記アドバンスデータ転送モードにおいて前記コントローラにデータワードを送信するステップと前記読み出しデータストロープ信号を駆動するステップとの前に、前記コントローラからの書き込みデータストロープ信号の第 1 の極性の遷移と組み合わせ、かつ前記コントローラからのアドレスラッチイネーブル信号を受信したこととも組み合わせ、前記入出力線を介して前記コントローラからメモリアドレスを受信するステップをさらに含む、

20

前記中断リクエストは、前記アドバンスデータ転送モードにおいて前記コントローラにデータワードを送信するステップの間の前記アドレスラッチイネーブル信号の遷移に対応する方法。

【請求項 1 7】

請求項 1 6 記載の方法において、

前記中断リクエストの終止は、前記アドレスラッチイネーブル信号の第 2 の遷移に対応する方法。

30

【請求項 1 8】

フラッシュメモリコントローラと通信するためにフラッシュメモリ装置を操作する方法であって、

アドバンスデータ転送動作モードにおいて、

読み出しデータストロープ信号の第 1 の極性および第 2 の極性の両方の遷移と同期して、前記読み出しデータストロープ信号を前記コントローラへ駆動するステップと、

前記フラッシュメモリ装置に格納されているデータに対応するデータワードを入出力線を介して前記コントローラに送信するステップと、を含み、

40

通常動作モードを開始するために前記コントローラから受信されたコマンドを実行するステップと、

前記コントローラから受信された前記読み出しデータストロープ信号の第 1 の極性の遷移に応じて前記入出力線を介してデータワードを前記コントローラに送信するステップと、

を含む方法。

【請求項 1 9】

請求項 1 8 記載の方法において、

前記駆動するステップおよび送信するステップは、前記読み出しデータストロープ信号と前記入出力線を介したデータワード用のハイロジックレベルおよびローロジックレベル

50

を定める電圧仕様を用いて行われ、前記電圧仕様におけるハイロジックレベルおよびローロジックレベルは標準化された電圧仕様におけるハイロジックレベルおよびローロジックレベルにより定められた電圧振幅より実質的に小さい電圧振幅を定める方法。

【請求項 2 0】

請求項 1 8 記載の方法において、

アドバンストデータ転送モードにおいて、前記コントローラから書き込みデータストロープ信号を受信するステップと、

前記書き込みデータストロープ信号の第 1 の極性と第 2 の極性の両方の遷移を受信したことに応じて、前記入出力線上のデータワードを前記フラッシュメモリ装置に格納するべく中にラッチするステップと、

をさらに含む方法。

【請求項 2 1】

請求項 2 0 記載の方法において、

通常動作モードにおいて、前記コントローラから受信された書き込みデータストロープ信号の第 1 の極性の遷移に応じて、前記入出力線上のデータワードを前記フラッシュメモリ装置に格納するべく中にラッチするステップと、

をさらに含む方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、フラッシュメモリ装置の分野に属し、特に電子システムにおけるフラッシュメモリ装置とメモリコントローラとの間のデータ通信に向けられている。

【背景技術】

【0 0 0 2】

当該技術分野で良く知られているように、“フラッシュ”メモリは、以前の電氣的に消去可能でプログラム可能な読み出し専用メモリ（EEPROM）装置のようにチップ全体または大ブロックベースにではなくて、割合に小さなブロックを単位として消去および再書き込みできる電氣的に消去可能な半導体メモリ装置である。このような事情で、フラッシュメモリは、記憶されているデータの不揮発性（すなわち、電源が除去された後のデータ保持）が非常に重要であるが再書き込みの頻度が割合に低い用途のために特にポピュラーになっている。フラッシュメモリのポピュラーな用途の例は、携帯用オーディオプレーヤ、携帯電話ハンドセットにおける電話番号および電話アクティビティの“SIM”カード記憶、コンピュータおよびワークステーションのための“サムキー(thumbkey)”取り外し可能な記憶装置、デジタルカメラ用の記憶装置などを含む。

【0 0 0 3】

半導体不揮発性メモリ技術における最近の重要な進歩は、“NOR”メモリではなくて“NAND”メモリとしてのフラッシュメモリセルの構成である。当該技術分野で知られているように、NORフラッシュメモリは、ビット線とソース線との間における平行な複数のメモリセルの列の在来の配列を指す。NOR列内の特定のセルのアクセスは、ビット線とソース線との間の電流がアクセスされたセルの状態により決定されるように、その列内の他のセルをオフに保ちながら、そのワード線（コントロールゲート）をアクティブに駆動することによって、行われる。一方、NANDメモリの列内のメモリセルは、ビット線とソース線との間に直列に接続されている。従って、NAND列内の特定のセルのアクセスは、この場合にもアクセスされたセルの状態によってビット線とソース線との間の電流が決定されるように、アクティブなワード線レベルでその列内の全てのセルをオンに転換させ、そしてアクセスされるべきセルに中間ワード線レベルを印加することを必要とする。当該技術分野で良く知られているように、NANDフラッシュメモリのビットあたりに必要なチップ面積はNORフラッシュメモリのビットあたりの面積から遥かに低減されている。その理由は、主として、NORメモリと比べてNANDメモリの列に必要とされる導体（従って、接点）が少ないこと、また、NAND構成においてアクセストランジス

10

20

30

40

50

タが多数のセルの間で共有され得ることにある。さらに、在来のNANDフラッシュメモリは、NORメモリの場合のようにランダムアクセスメモリとしてではなくて、例えば列に沿ってセルに逐次アクセスすることによって便利に連続してアクセスされる。従って、NANDメモリは音楽およびビデオ記憶の用途に特に良く適している。

【0004】

フラッシュメモリの分野における他の1つの重要な最近の進歩は、当該技術分野でマルチレベルプログラムセル(MLC)と称されている。このアプローチによると、単にセルのプログラミングをより精密に制御することによって、各メモリセルについて3つ以上のデータ状態が可能にされる。在来のバイナリデータ記憶では、各メモリセルは“0”状態または“1”状態にプログラムされる。このようなバイナリセルの読み出しは、アドレス指定されたメモリセルのコントロールゲートに単一の制御電圧を印加することによって成し遂げられるので、トランジスタは、“1”状態にプログラムされていれば導通するが、“0”状態ではオフに留まり、従って、アドレス指定されたメモリセルを通しての導通の感知は、セルのプログラムされた状態を報告する。対照的に、MLCアプローチの典型的な例によると、一般的にバイナリ値00, 01, 10, 11に対応する4つの可能な状態が各メモリセルについて定められる。實際上、2つの中間の状態は、完全に消去された状態と完全にプログラムされた状態との間のセルの2つの部分的プログラミングのレベルに対応する。セルあたりに8個に及ぶ可能な状態、すなわち3個のバイナリビットを有するMLCフラッシュメモリの実施例が知られている。各メモリセルに2ビットまたは3ビットのデータを格納する能力は、フラッシュメモリチップのデータ容量を即座に2倍または3倍にする。MLCフラッシュメモリセルと、このようなMLCセルを含むメモリとの例が、米国特許第5,172,338号(特許文献1)および第6,747,892号(特許文献2)に記載されている。これら特許は両方とも、本願とともに通例譲渡され、本願明細書において参照により援用されている。

【0005】

MLC技術とNANDフラッシュメモリアーキテクチャの効率性とを組み合わせることは、半導体不揮発性記憶装置についてのビットあたりのコストの大幅な低下と、システム信頼性の改善と、所与のフォームファクタについてのデータ容量およびシステム機能性の向上という結果をもたらしている。しかし、このような重要な改善があったものの、在来のフラッシュメモリ装置への、またこの装置からのデータ転送速度は歩調を合わせていない。フラッシュメモリの或る最新の応用では、特にデータ容量が増大するとき、データ転送速度に敏感である。例えば、高性能の、専門家レベルのデジタルスチールカメラの解像度はいまや10メガピクセルを上回ることができ、そのためにMLC NANDフラッシュメモリ技術の進歩は歓迎される。しかし、連続する画像取り込み間の“シャッターラグ”は、センサからフラッシュメモリへの画像データのデータ転送速度に依存する。画像間のこの遅延時間(これは、カメラのユーザにとっては、画像解像度に依存しない独立のパラメータと考えられる)は、これらのカメラにおいて、重大な要素になりつつある。特に画像解像度が増大し続けるので、在来のデータ転送時間は画像間の所望の遅延時間を達成するためには不十分であるということが観察されている。また、在来のフラッシュメモリへの、また在来のフラッシュメモリからの、データ転送時間も最新の磁気ディスクドライブのものと同様に競争できるものではないが、もちろん、フラッシュメモリの他の1つの望ましい新しい用途である。従って、フラッシュメモリが最新の高性能なデジタルスチールカメラのニーズを満たすために、あるいは最新の高性能な電子システムにおいて固体の大容量記憶装置として働くためには、フラッシュメモリ装置への、またフラッシュメモリ装置からの、遥かに高いデータ転送速度を達成することが必要になる。

【0006】

フラッシュメモリのための在来のデータ転送アプローチの例が、データシート2GBIT(256M×8BITS)CMOS NAND EEPROM、部品番号TH58NVG1S3AFT05(Toshiba, 2003)に記載されている。この在来のアプローチは8ビットデータバスを含み、読み出しイネーブルクロックの各々のサイクルあたり

10

20

30

40

50

のデータ出力で、この読み出しイネーブルクロックの立ち下がりエッジと同期して、1ビットが与えられる。また、このデータシートに記載されているように、この在来のアプローチは3.3ボルトのロジック標準規格を含んでいて、最低のハイロジックレベル出力電圧(V_{OH})は2.4ボルトであり、最高のローロジックレベル出力電圧(V_{OL})は0.4ボルトである。この装置は20MHzの最高データ転送速度を提供する。このデータ転送速度はパーソナルコンピュータシステムにおける大容量記憶のための十分なデータ転送速度ではなく、従って、これらの在来のフラッシュメモリはディスクドライブ置換のために適していないであろうと思われる。

【0007】

背景として、或る在来のダイナミックランダムアクセスメモリ(RAM)は、いわゆる“二倍データ転送速度(double data rate)”、すなわち“DDR”、データ転送技術を実現する。その技術分野で知られているように、DDRデータ転送は、対応するデータストロープあるいはクロックの立ち上がりエッジおよび立ち下がりエッジの両方と同期しての1つ以上のデータビット(バス線の数に依存する)の転送を含む。従って、DDRデータ転送は、クロックエッジの一方(立ち上がりエッジまたは立ち下がりエッジ)だけと同期する在来の同期データ転送のデータ転送速度の2倍でデータを伝える。さらに、在来のDDRダイナミックRAMはソース同期データストロープを利用し、この場合RAM装置自体はメモリからの読み出しのためのデータストロープを生成する(一方、外部回路はメモリへの書き込みのためのデータストロープを生成する)。しかし、入出力スイッチング速度のこの2倍化は、データ転送の電力消費を増大させ、シングルデータ転送速度通信のもの2倍に近づく。

【0008】

しかし、最新の電子システムにおいて電力消費は大きな関心事であり、システムにおける集積回路装置間のデータ転送におけるバスおよび導体の駆動はシステム全体の電力消費の大きな原因である。当該技術分野で基本的であるように、外部導体を駆動するための出力ドライバ回路の電力消費は、駆動されるべきデジタル信号のスイッチング速度に直接関係する。従って、前述した、最新の磁気ディスクドライブのものに近づくデータ転送速度の増大は、他の全てのパラメータを等しく保てば、そのようなデータ転送により消費される電力の対応する増大を必要とし得る。この増大した電力消費は、より大きなドライバ装置およびレシーバ装置と、システム用途における改良された熱放散等とを必要とし、その全てがシステム全体にコストを付け加える。たとえこれらの変更が行われたとしても、高速データ転送に由来する増大した電力消費は、デジタルカメラ、ラップトップ形コンピュータおよびワークステーション、無線電話ハンドセット、パーソナルデジタルオーディオプレーヤ、および類似の電池で動く装置のような携帯用電子システムのためには望ましくない。

【0009】

さらなる背景として、コンパクトフラッシュあるいはCF+などのフラッシュメモリカードとやり取りするためのウルトラDMAモード(Ultra DMA Mode)として知られている通信プロトコルが当該技術分野で知られている。図1は、良く知られている標準規格CF+およびコンパクトフラッシュ仕様改訂第3.0版(CF+ and CompactFlash Specification Revision 3.0)(コンパクトフラッシュ協会2004)に従って構成され動作するそのような在来のフラッシュメモリカードを示す。図1に示されているように、この例ではこの標準規格に従うコンパクトフラッシュ記憶カードとして構成されているフラッシュメモリカード2は、1つ以上のフラッシュメモリモジュール2と、1つのチップメモリコントローラ4とを含む。フラッシュメモリモジュール4は、バスデータ_I/Oを介してメモリコントローラ6とデータをやり取りし、制御バスctrlを介して制御信号をメモリコントローラ6から受け取り、またメモリコントローラ6へ制御信号を発する。この例では、前に援用されているToshibaデータシートに記載されているデータ転送アプローチは、フラッシュメモリモジュール4とメモリコントローラ6との間でのデータ_I/Oバスおよびctrlバスを介してのこれらの通信に対応する。メモリコントローラ6は、ホ

10

20

30

40

50

ストインターフェイスHOST__IFを介してホスト装置（例えば、デジタルカメラ、デジタルオーディオプレーヤ、パーソナルコンピュータなど）と通信する。前に援用されている“CF+およびコンパクトフラッシュ仕様”は、ウルトラDMAモード（UDMA）に従うことを含めて、ホストインターフェイスHOST__IFを介しての通信を記述している。この標準規格に記載されているように、UDMA通信は、そのような通信を望むエージェント（ホストまたはメモリカード2）による制御線（UDMARQ）での信号の駆動により開始される、特別の動作モードで実行される。また、この標準規格に記載されているように、データをバスHOST__IFに置いているエージェント（メモリカード2またはホストシステム）がデータストロブ信号も発しているため、UDMAデータ転送はソース同期である。さらに、またこの仕様に記載されているように、UDMA動作モードでのデータ転送にストロブ信号の立ち上がりエッジおよび立ち下がりエッジの両方が使用される。

10

【0010】

しかし、本発明との関係で、図1のフラッシュカードのホストインターフェイスのためのUDMAモードでも、メモリモジュール4とメモリコントローラ6との間のデータ転送速度がメモリカード2の総合的な性能を制限するということが観察されている。しかし、在来の技術によるこのインターフェイスでのデータ転送の高速化は、メモリカード2内での電力消費も大幅に増大させる。その上、メモリ集積回路の入出力インターフェイスの改造はそのような集積回路の使用性を大幅に制限し、在庫管理および設計オーバーヘッドの観点からコストを追加する。

20

【特許文献1】 米国特許第5,172,338号**【特許文献2】** 米国特許第6,747,892号**【発明の開示】****【0011】**

従って、本発明の目的は、メモリコントローラへまたメモリコントローラからのデータ転送のための、高効率データ転送モードを有するフラッシュメモリモジュールの方法を提供することである。

本発明のさらなる目的は、高効率モードに従うデータ転送が、在来のデータ転送より大幅に多くはないレートで電力を消費するそのような方法を提供することである。

本発明のさらなる目的は、在来のデータ転送標準規格との下位互換性を提供するために“レガシー”データ通信も実行され得るそのような方法を提供することである。

30

本発明のさらなる目的は、高効率データ転送モードにおけるデータスキューが最小にされるそのような方法を提供することである。

本発明の他の目的および利点は、以下の明細書をその図面とともに参照する当業者には明らかである。

【0012】

本発明の第1の態様は、マルチモードのデータインターフェイスを有するフラッシュメモリ装置に実現され得る。レガシーモードでは、このデータインターフェイスは、外部で生成されたデータストロブと同期してデータを与えまたは受け取り、このストロブの各サイクルで1導体あたりに1ビットが伝達される。アドバンスモードでは、このデータインターフェイスはソース同期であり、1つのデータビットまたはワードが両極性（立ち上がりおよび立ち下がり）のストロブエッジと同期する。電力消費を低減するため、アドバンスモードのために、減少した電圧振幅が提供される。データ転送のためのアドバンスモードが起動されたとき、レガシー動作モードはコマンドおよび制御通信のために使用され続け、アドバンス動作モードのためにデータタイムアウトおよび他の自動制御機能が提供される。

40

【0013】

本発明の第2の態様はマルチモードデータインターフェイスを有するフラッシュメモリ装置に実現され得る。レガシーモードでは、このデータインターフェイスは、外部で生成されたデータストロブと同期してデータを与えまたは受け取り、このストロブの各サ

50

イクルで1導体あたりに1ビットが伝達される。アドバンスモードでは、このデータインターフェイスはソース同期であり、1つのデータビットまたはワードが、レガシーモードストロープの周波数の2倍のストロープ信号の立ち上がりエッジまたは立ち下がりエッジと同期する。電力消費を低減するため、アドバンスモードのために、減少した電圧振幅が提供される。データ転送のためのアドバンスモードが起動されたとき、レガシー動作モードはコマンドおよび制御通信のために使用され続け、アドバンス動作モードのためにデータタイムアウトおよび他の自動制御機能が提供される。

【0014】

本発明の第3の態様はマルチモードデータインターフェイスを有するフラッシュメモリ装置に実現され得る。レガシーモードでは、このデータインターフェイスは、外部で生成されたデータストロープと同期してデータを与えまたは受け取り、このストロープの各サイクルで1導体あたりに1ビットが伝達される。レガシーモードでの書き込み動作では、コントローラによってメモリに発せられた書き込みイネーブルストロープ信号が、コントローラによりフラッシュメモリに与えられる各データワードをクロックし、このレガシーモードでの読み出し動作では、コントローラによってメモリに発せられた読み出しイネーブルストロープ信号が、フラッシュメモリによりコントローラに与えられる各データワードをクロックする。アドバンスモードでは、このデータインターフェイスはソース同期であり、1つのデータビットまたはワードが読み出しイネーブルストロープおよび書き込みイネーブルストロープの両方のストロープエッジと同期する。アドバンスモードでの読み出し動作では、フラッシュメモリ装置が、交互出力データワードをクロックするために、読み出しストロープおよび書き込みストロープを互いに異なる位相で発する。このアドバンスモードでの書き込み動作では、コントローラが、メモリへの交互入力データワードをクロックするために、読み出しストロープおよび書き込みストロープを互いに異なる位相で発する。電力消費を低減するため、アドバンスモードのために、減少した電圧振幅が提供される。データ転送のためのアドバンスモードが起動されたとき、レガシー動作モードはコマンドおよび制御通信のために使用され続け、アドバンス動作モードのためにデータタイムアウトおよび他の自動制御機能が提供される。

【発明を実施するための最良の形態】

【0015】

本発明は、その好ましい実施形態、すなわちフラッシュメモリモジュール、そのようなフラッシュメモリモジュールを含むサブシステム、およびそれを動作させる方法に実現された好ましい実施形態と関連して記載される。より具体的には、この代表的なフラッシュメモリモジュールはNANDタイプのマルチレベルセル(MLC)フラッシュメモリとして記載されるが、その理由は、コンピュータシステムにおける大容量データ記憶のために固体の不揮発性メモリの使用を可能にするために、本発明はそのようなフラッシュメモリと関連して特に有益であろうと考えられることにある。しかし、種々のタイプの不揮発性固体メモリに関係する他の用途において本発明は有用で有益であろうと考えられる。従って、以下の記述は単なる例として提供されているのであって、特許請求の範囲に記載された本発明の真の範囲を限定するように意図されていない。

【0016】

図2は、本発明の好ましい実施形態に従って構成されたフラッシュメモリ装置(またはモジュール)10の代表的な構成を示す。フラッシュメモリ装置10は、通常、単一の集積回路に構成され、従って、以下でさらに詳述されるように、いくつかのメモリコントローラまたはメモリコントローラロジックのうちいずれともインターフェイスさせられ得ると考えられる。また、図2に示されているフラッシュメモリ装置10のアーキテクチャは、本発明を理解する目的のために提示された例に過ぎず、本願明細書を参照した当業者は、図2に示されているものから変化したアーキテクチャのフラッシュメモリ装置と関連して本発明を容易に理解できると考えられる。

【0017】

フラッシュメモリ装置10の記憶能力は、フラッシュメモリアレイ12に存在する。当

10

20

30

40

50

該技術分野で知られているように、アレイ 12 は、行および列に配列された電氣的にプログラム可能で消去可能なメモリセルを含む。単一のアレイ 12 が図 2 に示されているけれども、図 2 の例に関して以下でさらに詳述されるアドレス回路、データ回路、あるいは制御回路の一部または全部のような周辺回路の別々の実例をそれぞれ有する複数のサブアレイとしてアレイ 12 を実現できるということも、もちろん、考えられる。本願明細書を参照した当業者は、そのようなマルチサブアレイアーキテクチャと関連して本発明を容易に理解できるであろうと考えられる。この例において、アレイ 12 のメモリセルはフローティングゲート金属酸化膜半導体 (MOS) トランジスタであって、1 つのメモリセルに対応する各々のそのようなトランジスタが電氣的にプログラムされ得るとともに電氣的に消去され得るように構成されている。本発明の好ましい実施形態に従って、アレイ 12 のメモリセルは、そのような各セルが複数ビットのデジタル値を記憶するように 2 つより多いデータ状態に (すなわち、2 つより多いしきい値電圧のうちのいずれにも) プログラムされ得るので、マルチレベルセル (MLC) である。また、本発明のこの好ましい実施形態に従って、以下の記述から明らかであるように、これらのメモリセルは、通常、セルがランダムにアクセスされるのではなくて大容量記憶の用途に有用であるように連続してアクセスされるように、周知の NAND 式に好ましく構成される。もちろん、本発明は、バイナリメモリセルと関連して (すなわち、単一のデジタルビットだけを記憶する)、またメモリセルの NOR 構成と関連しても用いられ得る。

10

【0018】

本発明のこの好ましい実施形態に従って、共通入出力端子 I/O1 ~ I/On が設けられて、入出力制御回路 20 に接続されている。NAND タイプのフラッシュメモリについての技術分野で知られているように、フラッシュメモリ装置 10 の動作は、主に、入出力端子 I/O1 ~ I/On を介してデジタルワードとして伝達されて制御ロジック 18 により実行されるコマンドの受信と実行とによって制御される。そのようなものとして、入出力制御回路 20 は、制御コマンド、アドレス値、および入力データを受け取り、入出力端子 I/O1 ~ I/On と通信するそのドライバおよびレシーバ回路を介してステータス情報および出力データを与える。入出力端子 I/O1 ~ I/On の数 n は一般に 8 または 16 であろうと考えられるけれども、もちろん、任意の数のそのような端子を設けることができる。さらに、入出力制御回路 20 は、電源電圧 V_{CC-R} を受け取り、この電圧に基づいてロジックレベルで入出力端子 I/O1 ~ I/On を駆動する。本発明のこの好ましい実施形態に従って、以下で詳述されるように、より高いスイッチング速度においても入出力端子 I/O1 ~ I/On におけるデータ転送から生じる電力消費が低減されるように、この電源電圧 V_{CC-R} は在来のフラッシュメモリ装置で使用される電圧より低い。制御ロジック 18 もこの電源電圧 V_{CC-R} を受け取り、これに基づいて、特に読み出しイネーブル端子 RE_ からより低い電圧で出力制御信号を駆動する。

20

30

【0019】

入出力制御回路 20 は、コマンド情報を、制御ロジック 18 により復号化され実行されるようにコマンドレジスタ 24 に送る。それがフラッシュメモリ装置 10 の動作を制御するからである。ステータス情報は、在来の仕方で制御ロジック 18 によりステータスレジスタ 23 に格納される。入出力制御回路 20 により入出力端子 I/O1 ~ I/On で受け取られたアドレス値はアドレスレジスタ 22 にバッファされる。在来の仕方でアレイ 12 内の所望の 1 つまたは複数のセルの選択を行うために、そのようなアドレスの行部分は行デコーダ 11 により復号化され、列部分は列デコーダ 15 により復号化される (これらの各々は、通常、アドレスバッファを含む)。入出力制御回路 20 は、また、実行されるべきデータ転送の方向に依存して、書き込まれるべきデータをデータレジスタ 14 に転送し、また出力データをデータレジスタ 14 から受け取るために、バス DATA_BUS を介してデータレジスタ 14 と双方向通信する。制御ロジック 18 は、例えば、チップイネーブル CE_、コマンドラッチイネーブル CLE、アドレスラッチイネーブル ALE、書き込みイネーブル WE_、読み出しイネーブル RE_ の信号のための線、および書き込み禁止線 WP_ を含む、フラッシュメモリ装置 12 の外部からの種々の直接制御信号をも受け

40

50

取る。当該技術分野で知られているように、コマンドラッチイネーブル信号 C L E およびアドレスラッチイネーブル A L E 信号は、コマンドまたはアドレスが入出力端子 I / O 1 ~ I / O n で与えられているかどうかを示し、書き込みイネーブル W E _ 信号および読み出しイネーブル R E _ 信号は、それぞれ、書き込み動作および読み出し動作においてデータストロープとして役立つ。

【 0 0 2 0 】

本発明のこの実施形態では、書き込みイネーブル W E _ 信号はフラッシュメモリ装置 1 0 への 1 つの入力である。従って、入出力端子 I / O 1 ~ I / O n を介してのフラッシュメモリ装置 1 0 へのデータ転送のために、書き込みイネーブル W E _ 信号として伝達される書き込みデータストロープは常にフラッシュメモリ装置 1 0 の外部の装置、通常は、到来するデータのソース自体をソースとする。しかし、また本発明の好ましい実施形態によれば、以下でさらに詳述されるように、読み出しイネーブル R E _ 信号は双方向である。通常動作モードでは、フラッシュメモリアレイ 1 2 から読み出されるデータの宛先である外部装置は読み出しデータストロープのソースであり、それはフラッシュメモリ装置 1 0 への入力として読み出しイネーブル R E _ 信号として伝達される。本発明の好ましい実施形態に従うアドバンスト動作モードでは、以下でさらに詳述されるように、制御ロジック 1 8 は、フラッシュメモリアレイ 1 2 から読み出されてデータレジスタ 1 4、I / O 制御回路 2 0 および入出力端子 I / O 1 ~ I / O n を介して伝達されるデータと同期して、読み出しイネーブル R E _ 信号としての読み出しデータストロープを発生する。

【 0 0 2 1 】

図 3 は、本発明の 1 つの好ましい実施形態に従う、フラッシュメモリカード 2 5 へのフラッシュメモリ装置（またはモジュール） 1 0 の実施例を示す。図 3 に示されているように、フラッシュメモリカード 2 5 は、少なくともフラッシュメモリ装置 1 0 自体と、またコントローラ 3 0 とを含む。コントローラ 3 0 は、高性能デジタルカメラ、パーソナルコンピュータ、あるいは、デジタルオーディオプレーヤまたは携帯電話機ハンドセット等の携帯装置などのホストシステムとの外部インターフェイス H O S T _ I F を提供し管理する。インターフェイス H O S T _ I F は、当該技術分野で知られているように、広範なホストシステムのうちのいずれにも挿入され得る汎用カードとして構成されたフラッシュメモリカード 2 5 の外部端子のセットにも対応することができる。インターフェイス H O S T _ I F は、当該技術分野で現在知られている在来の標準規格インターフェイスに従って、あるいは将来のフラッシュメモリインターフェイス標準規格または財産権の対象になるようなインターフェイスプロトコルと関連して開発されるかもしれないものに従って、動作することができる、ということが考えられる。前述したように、高性能デジタルスチールカメラの、データ転送速度が重要である用途などにおいて、高速データ転送を提供することに関して本発明は特に有益であろうと考えられる。さらに、本発明により提供される高いデータ転送速度は、磁気ディスクドライブを置換して、パーソナルコンピュータにおいて固体の大容量記憶装置としてフラッシュメモリを使用することも可能にするということも考えられる。従って、例えば前に背景技術の欄で述べた U D M A 標準規格により考えられているように、インターフェイス H O S T _ I F は高速データ転送能力を持つのが最善であろうと考えられる。

【 0 0 2 2 】

図 3 に示されているように、フラッシュメモリ装置 1 0 は、図 2 に示されている端子と矛盾しない仕方でコントローラ 3 0 に結合されている。これに関して、フラッシュメモリ装置 1 0 の同様の名称の端子に対応する信号線 I / O 1 ~ I / O n によって入出力バスが形成される。制御バス C T R L は、コントローラ 3 0 をフラッシュメモリ装置 1 0 に結合し、図 2 に示されている A L E 端子、C L E 端子、W P _ 端子、および C E _ 端子に接続されている信号線を含む。フラッシュメモリ装置 1 0 とコントローラ 3 0 との間の通信のために他の制御線および端子が設けられてもよいということが考えられ、従って、A L E 端子、C L E 端子、W P _ 端子、および C E _ 端子は図 2 においてフラッシュメモリ装置 1 0 への入力として示されているけれども、制御バス C T R L は双方向バスとして図に示

10

20

30

40

50

されている。

【 0 0 2 3 】

図 3 は、この記述を明瞭にするために、制御バス C T R L とは別に 2 つの制御線 R E _ および W E _ を示している。本発明のこの実施形態では、線 W E _ は書き込み動作（データがコントローラ 3 0 からフラッシュメモリ装置 1 0 に書き込まれる）におけるデータストローブを伝達し、そのようなものとしてフラッシュメモリ装置（図 2）の端子 W E _ に接続される。本発明のこの好ましい実施形態では、線 W E _ 上のデータストローブは、各々の動作モードにおいてコントローラ 3 0 をソースとする。線 R E _ は、読み出し動作（データはフラッシュメモリ 1 0 から読み出されてコントローラ 3 0 に伝達される）のためのデータストローブを伝達し、そのようなものとしてフラッシュメモリ装置 1 0（図 2）の端子 R E _ に接続される。前述したように、本発明のこの好ましい実施形態では、線 R E _ は双方向であり、読み出しデータストローブのソースはフラッシュメモリ装置 1 0 の現在の動作モードによる。通常の動作モードでは、コントローラ 3 0 が読み出しデータストローブを発生し、これに回答してフラッシュメモリ装置 1 0 は、装置自体が信号線 I / O 1 ~ I / O n において与えるデータを有効なものとして主張する。本発明の好ましい実施形態に従うアドバンスト動作モードでは、フラッシュメモリ装置 1 0 が、フラッシュメモリ装置 1 0 からコントローラ 3 0 へのデータ転送のための線 R E _ 上の読み出しデータストローブを発生する。以下でさらに詳述されるように、フラッシュメモリ装置 1 0 がどの動作モードでデータをコントローラ 3 0 に転送しているかに関わらず、信号線 I / O 1 ~ I / O n を介してコントローラ 3 0 により伝達されるコマンドは、信号線 R E _ 上の読み出しデータストローブソースと同期する。

【 0 0 2 4 】

コントローラ 3 0 は、実質的に、当該技術分野で知られている在来のフラッシュメモリコントローラのアーキテクチャに従って構成され、本発明の好ましい実施形態に従うフラッシュメモリ装置 1 0 のアドバンスト動作モードにおける読み出し動作の開始、動作、および終了と関連して本願明細書に記載されている動作を実行するために必要に応じて変更される、ということが考えられる。また、コントローラ 3 0 内でこれらのアドバンスト動作モード機能を実行するためのロジックハードウェア、プログラム命令、またはその組み合わせは、本願明細書を参照した当業者にとっては明白であろうということも考えられる。従って、過度の実験を行わずに、これらの熟練している読者は、特定の具体化のために最も適切な、コントローラ 3 0 のそのような変更を容易に実行できるであろうということもさらに考えられる。

【 0 0 2 5 】

また、図 3 に示されているように、電源電圧 V_{CC-R} がフラッシュメモリ装置 1 0 およびコントローラ 2 5 の各々に接続されて、これらをバイアスする。後述するようにより高いスイッチング速度においても入出力線 I / O 1 ~ I / O n および種々の制御線を介してのデータ転送および遷移から生じる電力消費が低減されるように、この電源電圧 V_{CC-R} は、在来のフラッシュメモリ装置およびコントローラで使用される電圧より低い。特定の例との関係で以下でさらに詳述されるように、この電源電圧は、約 1 . 6 0 ボルト ~ 約 2 . 0 0 ボルトまでの範囲の中の約 1 . 8 0 ボルトの公称電圧であり得、これは 2 . 7 0 ボルトと 3 . 6 0 ボルトとの間の仕様範囲の中の 3 . 3 0 ボルトの在来の標準的公称電源電圧より大幅に低い。

【 0 0 2 6 】

ここで図 4 a ~ 4 e を参照して、通常動作モードとコマンド通信モードとに従う、メモリカード 2 5 におけるコントローラ 3 0 と結合したフラッシュメモリ装置 1 0 の動作を説明する。これらの動作モードは最新のフラッシュメモリ装置のための在来のフラッシュメモリインターフェイスプロトコルに実質的に対応し、従ってこれらの動作モードは本発明の好ましい実施形態に従うフラッシュメモリ装置 1 0 のための“レガシー”入出力プロトコルとして役立つと考えられる。

【 0 0 2 7 】

10

20

30

40

50

図4 aは、コントローラ30からフラッシュメモリ装置10へのコマンドの伝達を示す。当該技術分野で知られているように、また以下でさらに詳述されるように、最新のフラッシュメモリ装置は、コントローラにより発せられてデータ入出力線を介して伝達される特定のコマンドにตอบสนองして動作する。この例では、コマンドCMDの伝達は、コントローラ30がコマンドラッチイネーブル信号CLEをハイアクティブ状態に、アドレスラッチイネーブル信号ALEを非アクティブロー状態に駆動して、アドレスではなくてコマンドが入出力線I/O1~I/Onで伝達されることを示すことによって、行われる。チップイネーブル信号CE_がアクティブローにされて、在来の仕方でフラッシュメモリ装置10をイネーブルする。当該技術分野で知られているように、複数のフラッシュメモリ装置10がカード25内に設けられているならば、コントローラ30が通信のためにフラッシュメモリ装置10のうちの所望の1つを選択するときには個々のチップイネーブル信号CE_がコントローラ30により使用され得る。図4 aに示されているコマンドCMDに対応する、コントローラ30により入出力線I/O1~I/On上に与えられるデジタルワードは、コントローラ30が書き込みイネーブル線WE_でアクティブローパルスを発することによってストロープされ、線WE_上のパルスの立ち上がりエッジはI/O制御回路20にコマンドCMDを受け取らせて中にラッチ(latch in)させ、結局はコマンドレジスタ24(図2)に到達させる。コントローラ30は、その後、コマンドラッチイネーブル信号CLEを非アクティブロー状態に戻し、コマンド動作を終えることができる。もちろん、当該技術分野で知られているように、マルチワードコマンドまたは複数のシングルワードコマンドをこのようにして逐次伝達することができ、そのような伝達の間、コマンドラッチイネーブル線CLEはハイに保たれる。

10

20

【0028】

図4 aに示されている仕方で伝達される1つのコマンドは、メモリアドレスがコントローラ30によってフラッシュメモリ装置10へ伝達されることを示すコマンド(例えば、読み出し動作のためのコマンド00H、シリアルデータ入力プログラム、すなわち書き込み動作のためのコマンド10H)である。図4 bは、本発明の好ましい実施形態に従う通常コマンド動作モードでの、フラッシュメモリ装置へのコントローラ30によるそのようなアドレスの伝達のタイミングを示す。図4 bに示されている動作は、図4 aのシーケンスに従うコマンド00Hの伝達に続き、次の信号シーケンスでのメモリアドレスの緊急送信を示す。

30

【0029】

この通常動作モードにおいて、割合に広い範囲のコマンドがコントローラ30によりフラッシュメモリ装置10へ伝達され得る。以下の表は、本発明のこの好ましい実施形態における代表的なコマンドセットをリストしている。

コマンド	コマンドコード(16進法)
シリアルデータ入力	80
オートプログラム	10
読み出しアドレス入力	00
シリアルデータ出力中の列アドレス変更	05
読み出し開始	30
読み出し列アドレス変更	E0
オートブロック消去	60, D0 (2サイクルコマンド)
ID読み出し	90
ステータス読み出し	70
リセット	FF

40

【0030】

50

ここで図4bを参照して、本発明のこの好ましい実施形態に従うコントローラ30からフラッシュメモリ装置10へのメモリアドレスの送信を説明する。この動作において、コントローラ30はコマンドラッチイネーブル信号CLEを非アクティブローに駆動し、アドレスラッチイネーブル信号ALEをハイに駆動して、入出力線I/O1~I/Onで(コマンド値ではなくて)アドレス値が伝達されることをフラッシュメモリ装置10に示す。チップイネーブル信号CE__もアクティブローに駆動されて、コントローラ30がこのアドレス情報の受信者としてフラッシュメモリ装置10を選択していることを示す。この動作において、コントローラ30は書き込みイネーブル信号WE__のアクティブローパルスを発し、その各パルスは、そのときにコントローラ30によりアドレス値の一部が入出力線I/O1~I/Onで与えられることを示す。本発明のこの実施形態では、フラッシュメモリ10がこのエッジを使って入出力線I/O1~I/Onのそのときの現在の状態を所望のメモリアドレスの一部としてアドレスレジスタ22(図2)の中にラッチできるように、このアドレス情報は書き込みイネーブル信号WE__の立ち上がりエッジ(すなわち、アクティブローパルスの末尾)と同期する。図4bの例で明らかであるように、メモリアドレスは複数ワードにわたって広がる(その幅は入出力線I/O1~I/Onの数nにより決まる)。この場合、メモリアドレスは、書き込みイネーブル信号WE__の連続するアクティブローパルスと同期して与えられる4つのアドレスワードADD0~ADD3を含む。

【0031】

図4bに示されているアドレス値の伝達に続いて、コントローラ30はフラッシュメモリ装置10へのデータの書き込み、またはフラッシュメモリ装置10からのデータの読み出しを実行することができる。図4cは、本発明のこの好ましい実施形態に従って、通常動作モード(すなわち、“レガシー”モードで)書き込み動作を行うために伝達される信号を示す。図2のアーキテクチャに従って、このデータ書き込み動作は、データレジスタ14へのデータの書き込みである。本発明の好ましい実施形態に従って、データレジスタへの書き込みのコマンド(例えば、コマンド値80H)が、図4aに示されている仕方でもたらされ、それに続いてフラッシュメモリ装置10内の宛先メモリアドレスがコントローラ30によって伝達されるが、その両方が、図4cに関連して以下に記述される書き込み動作の前に行われる。データ書き込み動作を行うためにコントローラ30は、コマンドラッチイネーブル信号CLEとアドレスラッチイネーブル信号ALEとを両方とも非アクティブローに駆動して、フラッシュメモリ装置10に対して、書き込まれるべき入力データ(すなわち、コマンド値でもアドレス値でもない)が入出力線I/O1~I/Onで伝達されることを示す。もちろん、この動作のためにチップイネーブル信号CE__もアクティブローに駆動される。コントローラ30は、その後、入出力線I/O1~I/Onで与えられるデータの各バイトまたはワードとともに書き込みイネーブル信号WE__のアクティブローパルスを発する。本発明のこの実施形態では、コマンドおよびアドレス送信の場合と同じく、有効な入力データは書き込みイネーブル信号WE__の、各パルスの末尾の立ち上がりエッジと同期して与えられる。このエッジに回答して、フラッシュメモリ装置10は、入力データのワードまたはバイトに対応する入出力線I/O1~I/Onのそのときの現在の状態をI/O制御回路20内のデータラッチの中に、または直接に(または事情次第で、結局は)バスDATA__BUSを介してデータレジスタ14にラッチする。図4cは、入出力線I/O1~I/Onを介しての4つのワードD_{in}(0)~D_{in}(3)の、書き込みイネーブル信号WE__の4つのパルスと同期しての伝達を示す。

【0032】

図4dは、本発明の好ましい実施形態に従う通常動作(“レガシー”)モードにおいて(フラッシュメモリ装置10からコントローラ30への)データ読み出し動作を実行するときのコントローラ30およびフラッシュメモリ装置10の動作を示す。データ書き込み動作の場合と同じく、この読み出し動作の前に(例えば、図4aに示されている)コマンドシーケンスおよび(例えば、図4bに示されている)アドレスシーケンスが前もって行われている。この読み出しの前に1つ以上の書き込み動作が前もって実行されているかも

10

20

30

40

50

知れず（すなわち、この場合、その読み出しが、今書き込まれたばかりのと同じアドレスに対する読み出しであるならば、この読み出しは前の書き込みのベリファイとして役立つ）、あるいは（例えば、図4cに示されている）書き込み動作が、同じメモリアドレスへの読み出し - 修正 - 書き込みシーケンスの形で、この読み出し動作後に実行され得る。読み出しの前のアドレスの伝達に应答して、そのアドレスに対応するメモリセルの内容が感知されてデータレジスタ14へ転送される。従って、図4dの読み出し動作は、データレジスタ14の現在のコメントの読み出しである。そして、この読み出し動作を行うために、コントローラ30は、図4aに関して前に記載された仕方でコマンド動作において適切なコマンド（例えば、コマンドE0h）を発する。

【0033】

この動作において、書き込み動作のときと同じく、コントローラ30は、コマンドラッチイネーブル信号CLEとアドレスラッチイネーブル信号ALEとを両方とも非アクティブローに駆動し、チップイネーブル信号CE_{__}をアクティブローに駆動している。コントローラ30は、書き込みイネーブル信号WE_{__}を非アクティブハイにすることによって、所望の読み出し動作を示す。このデータ読み出し動作において、フラッシュメモリ装置10は、コントローラ30により生成された読み出しイネーブル信号RE_{__}のアクティブローパルスの立ち下がりエッジに应答してデータワードD_{out}を出力する。従って、この通常動作モードにおいて、コントローラ30は、読み出しイネーブル信号RE_{__}のアクティブローパルスを発し、その後指定されたアクセス時間待つ（フラッシュメモリ装置10が、そのメモリセルの状態を感知する動作と、その感知した状態をそのデータレジスタ14へ転送し入出力線I/O1～I/Onに出す動作とに関わる動作の一部または全部を行うことを可能にする）ことによって、フラッシュメモリ装置10からのデータの受け取りを同期化することができる。コントローラ30は、その後、フラッシュメモリ装置10からデータを受け取るために入出力線I/O1～I/Onのデータ状態をその入力バッファの中にラッチすることができる。図4dの例では、4つのデータワードDout(0)～Dout(3)が順に読み出され、チップイネーブル信号CE_{__}の立ち上がりエッジがこの読み出し動作を終了させ、その後フラッシュメモリ装置10は、I/O制御回路20内のその出力ドライバに入出力端子I/O1～I/Onを高インピーダンス（“ハイ-Z”）状態に置かせる。

【0034】

当該技術分野で知られているような、この通常動作（“レガシー”）モードに従う他の動作も好ましく利用可能である。例えば、コントローラ30は、図4aのタイミングの後に特定のステータスコマンド（例えば、コマンドコード70H）を発し、その読み出しイネーブル信号RE_{__}のアクティブローパルスの発行に应答して入出力線I/O1～I/Onを介してステータスレジスタ24の内容を受け取ることによって、この通常動作モードでステータスレジスタ24の内容を読み出すことができる。

【0035】

図4cおよび4dから明らかであるように、1つのデータワードまたはバイト（以降の記述では“データワード”と称される）が書き込みイネーブル信号WE_{__}または読み出しイネーブル信号RE_{__}の各サイクルの間にそれぞれ伝達される。そして、これらの図と前の説明とから明らかであるように、コントローラ30は、この通常動作モードにおいて書き込みイネーブル信号WE_{__}と読み出しイネーブル信号RE_{__}との両方を制御し、生じさせる。特に読み出し動作では、読み出しイネーブル信号RE_{__}の各々の完全なサイクルの間に唯一のデータワードが読み出されるので、コントローラ30は、在来のフラッシュメモリタイミング要件および性能に従って、コントローラ自身がその読み出しデータストロープ（読み出しイネーブル信号WE_{__}）を発し、また読み出されたデータを受け取ってラッチするのに十分な時間を有する。しかし、このレベルの性能は、フラッシュメモリカード25がコンピュータシステムで大容量記憶装置として使用されるときなど、フラッシュメモリ装置10の高速使用のためには必ずしも充分ではないかもしれない。さらに、この“レガシー”動作モードは、前述したUDMAインターフェイスプロトコルのもとなどで

10

20

30

40

50

は、コントローラ 30 からホストシステムへの高速外部インターフェイスモードに追いついていけないかもしれない。

【0036】

従って、本発明の好ましい実施形態によれば、フラッシュメモリ装置 10 は、進歩した（アドバンスト）、より高い性能の、読み出しおよび書き込み動作モードを提供し、コントローラ 30 はそのアドバンストモードを利用するように構成される。このアドバンストモードを利用するときのフラッシュメモリ装置 10 およびコントローラ 30 の動作を、ここで、図 5 a および 5 b の流れ図および図 6 a ~ 6 e のタイミング図と関連して詳しく説明する。

【0037】

図 5 a および 6 a ~ 6 c は、データ読み出し動作（すなわち、フラッシュメモリカード 25 における、フラッシュメモリ装置 10 からコントローラ 30 への）を行うときのフラッシュメモリ装置 10 の動作を示す。図 5 a のプロセス 40 で、フラッシュメモリ装置 10 とコントローラ 30 とはパワーアップされ、それはこれら両方の装置を、図 4 a ~ 4 d に関して前に説明した通常動作モードにする（プロセス 42）。プロセス 44 で、この通常モードでの読み出しおよび書き込み動作（そうであるならば）が、この通常動作（“レガシー”）モードで実行される。

【0038】

アドバンスト読み出し動作モードに入ることはプロセス 46 から始まり、ここでコントローラ 30 は、図 4 b に関して前に説明したように、通常動作モードに従ってメモリアドレス値をフラッシュメモリ装置 10 に対して発する。プロセス 46 でコントローラ 30 により発せられるメモリアドレスは、このアドバンスト動作モードでデータがそこから読み出されるところの初めのメモリアドレスであって、好ましくは前述した対応する読み出しアドレス入力コマンドの送信に続く。プロセス 48 で、コントローラ 30 は、フラッシュメモリ装置 10 に対して“データ転送開始 (initiate data transfer) ”、あるいは“IDT”、コマンドシーケンスを発する。図 6 a は、この動作をさらに詳しく示す。

【0039】

本発明の好ましい実施形態に従って、“IDT”コマンドは、プロセス 48 でアドバンストデータ転送モードを開始させるためにコントローラ 30 によってフラッシュメモリ装置に対して発せられる。このコマンドは図 4 a に関して前に説明したコマンドの発行と同様にして発せられ、コントローラ 30 がチップイネーブル信号 $CE_{\underline{\quad}}$ をアクティブローに、アドレスラッチイネーブル信号 ALE を非アクティブローに、コマンドラッチイネーブル信号 CLE をアクティブハイに、それぞれ、駆動する。書き込みイネーブル信号 $WE_{\underline{\quad}}$ のアクティブローパルスの立ち上がりエッジは、コントローラ 30 によって入出力線 $I/O_1 \sim I/O_n$ 上へ駆動された IDT コマンド値 $IDT_{\underline{\quad}}CMD$ （これは他の割り当てられたコマンド値とは異なる値を有するバイナリワードである）のためのデータストロブとして役立つ。書き込みイネーブル信号 $WE_{\underline{\quad}}$ がハイにされてから所定時間後に、コントローラ 30 は入出力線 $I/O_1 \sim I/O_n$ を高インピーダンス状態にする。そして、書き込みイネーブル信号 $WE_{\underline{\quad}}$ の立ち上がりエッジ（そのとき IDT コマンドを中にストロブする）からのもう 1 つの経過時間 t_{rel} の後、コントローラ 30 はその読み出しイネーブル信号 $RE_{\underline{\quad}}$ の制御を放棄して、フラッシュメモリ装置 10 の制御ロジック 18 が対応する線 $RE_{\underline{\quad}}$ の状態を駆動することを可能にする（コントローラ 30 とのデータ競合を敢行せずに）。

【0040】

IDT コマンドがフラッシュメモリ装置 10 の中にラッチされてこの装置により実行されると、フラッシュメモリ装置 10 は高速モード読み出しデータ転送プロセス 50 を開始する。図 6 a に示されているように、この読み出しデータ転送プロセスは、書き込みイネーブル信号 $WE_{\underline{\quad}}$ の立ち上がりエッジの後、ゼロではないアクセス時間が経過した後に、フラッシュメモリ装置 10 が第 1 の有効出力データワード $D_{out}(0)$ を発することから始まる。この第 1 の出力データワード $D_{out}(0)$ を与えた後、フラッシュメモリ装置 1

10

20

30

40

50

0 は、追加の出力データワード $D_{out}(1)$ 以下参照と同期して、読み出しイネーブル信号 $RE_$ のアクティブパルスを発し始める。本発明のこの好ましい実施形態に従って、フラッシュメモリ装置 10 自体により駆動される読み出しイネーブル信号 $RE_$ の各エッジ（立ち下がりおよび立ち上がり）と同期して 1 つのデータワード $D_{out}(k)$ が発せられる。図 6 a の例では、各出力データワード $D_{out}(k)$ はそのストロブエッジに 1 つのゼロではないアクセス時間だけ遅れて続くが、その代わりに各読み出しイネーブル信号 $RE_$ エッジはそれに対応する有効データワード $D_{out}(k)$ の中でコントローラ 30 に対して発せられ（あるいは発せられるべく遅延され）てもよい。

【0041】

従って、本発明の好ましい実施形態に従って、フラッシュメモリ装置 10 がこのアドバンスモードで入出力線 $I/O1 \sim I/On$ を介してデータをコントローラ 30 に与える速度は、通常動作モード（図 4 d）におけるデータ速度より大幅に速く、代表的な実施例ではこのデータ速度の 2 倍に近い。このより高いデータ速度は、或る程度、フラッシュメモリ装置 10 が読み出しイネーブル信号 $RE_$ の読み出しデータストロブエッジを発することを許すことによって可能にされ、コントローラ 30 がこれらの読み出しデータストロブエッジを発するとすれば、伴うことになる伝播遅延および所要のタイミングウィンドウをなくす。

【0042】

しかし、当業者にとっては明らかであるように、出力データが入出力線 $I/O1 \sim I/On$ で与えられる増大した速度は、他の全ての要素が同等であるならば、この読み出し動作において主としてフラッシュメモリ装置 10 の I/O 制御回路 20 内の出力駆動回路から、フラッシュメモリカード 25 内での消費電力を大幅に増大させる。この電力消費は、最新の傾向がそうであるように、データワード幅（すなわち、入出力線 $I/O1 \sim I/On$ の数 n ）が大きくなるに連れて、悪化する。本発明の好ましい実施形態に従って、以下に説明するように、この電力消費は入出力線 $I/O1 \sim I/On$ における出力信号の電圧振幅を減少させることによって大幅に低減される。

【0043】

在来のフラッシュメモリ装置は周知の 3.3 ボルトのバス標準規格を利用し、この規格では最低ハイレベル出力電圧 V_{OH} は 2.4 ボルトであり、最高のローレベル出力電圧 V_{OL} は 0.4 ボルトであり、公称電圧振幅は約 3.3 ボルトである。この標準規格によれば、当該技術分野で周知されているように、これらの電圧は名目上 3.30 ボルトの電源電圧に基づき、それは 2.70 ボルトおよび 3.60 ボルトの間の仕様範囲を有する。最新のフラッシュメモリ装置のための通常動作モードでは、出力データ速度は 25 MHz（すなわち、40 ナノ秒毎のデータ遷移）であり、所与の入出力線 I/Ok が各サイクルでデータ遷移を行うという最悪の場合には、フラッシュメモリ装置 10 は入出力線 I/Ok の静電容量を 12.5 MHz の周波数で充電するように要求される。この入出力線 I/Ok について 65 pF の代表的な線の静電容量を仮定すれば、1 つの入出力線 I/Ok について、ミリアンペアを単位として表した電流消費は、

$$I_k = f * C (V_{OH} - V_{OL})$$

から計算することができ、この例では、ハイデータレベルとローデータレベルとの間の代表的な 3.3 ボルトの振幅を用いれば、

$$I_k = 12.5 * 0.065 (3.3) = 2.681 \text{ mA}$$

という結果となる。読み出しイネーブル信号 $RE_$ を駆動するときに消費される電流は、その対応する導体を各遷移のために充電しなければならないので、電流 I_k のものの 2 倍となる。従って、この例について在来の通常動作モードで消費される総電流は、8 本の入出力線 $I/O1 \sim I/O8$ を仮定すれば、

$$I_{total} = 8 (2.681) + 2 (2.681) = 26.81 \text{ mA}$$

となる。

【0044】

本発明の好ましい実施形態によれば、バス電圧は、この在来の 3.3 v バスレベルから

例えば、約 1.80 ボルトの公称電圧振幅を定める約 1.8 ボルトのバス電圧へ、大幅に低減される。この場合、最低ハイ出力レベル電圧 V_{OH-R} の限界例は約 1.44 ボルト（公称電源電圧の 80%）であり得、最高ロー出力レベル電圧 V_{OL-R} の例は約 0.36 ボルト（公称電源電圧の 20%）であり得る。この低減電圧動作では、これらの電圧は名目上 1.80 ボルトである電源電圧に基づき、約 1.60 ボルト～約 2.0 ボルトまで変動することを許される。最善の場合（データ転送に関して。電流消費に関しては最悪の場合）の 50 MHz のデータ速度を仮定すると、入出力線 $I/O_1 \sim I/O_n$ のための充電周波数は 25 MHz となる。単一の入出力線 I/O_k について消費される電流 I_k は、ハイデータレベルとローデータレベルとの間の代表的な 1.8 ボルトの振幅を用いて、

$$I_k = 25 * 0.065 (1.8) = 2.925 \text{ mA}$$

10

と計算され得る。このように、この入出力線あたりの電流消費は、アドバンスト動作モードについて余り違わないが、2 倍のデータ速度を提供する。しかし、読み出しイネーブル信号 $RE_{_}$ は通常動作モードの場合と同じ周波数で動作する（しかし、立ち上がりエッジだけではなくて各エッジで 1 データワードをクロックする）。しかし、その電圧振幅も、1.8 ボルトバス電圧で動作するので、低減され、従って、その電流消費は入出力線のうちの 1 つについてのもと同じである。従って、この例についてアドバンスト動作モードで消費される総電流は、再び 8 本の入出力線 $I/O_1 \sim I/O_8$ を仮定すれば、

$$I_{total} = 8 (2.925) + 1 (2.925) = 26.33 \text{ mA}$$

となり、これは 3.3 ボルトバス電圧で動作する在来のフラッシュメモリカードについてのもより僅かに少ない。また、この僅かに少ない電流消費は入出力信号のためのより低い電圧振幅（3.3 ボルトに対して 1.8 ボルト）で達成されるので、このアドバンスト動作モードで消費される電力は、在来のフラッシュメモリカードで消費されるものよりも大幅に少ない。これらの例では、在来の 8 I/O フラッシュメモリにおいて通常動作モードで消費される電力は約 88 mW（3.3 ボルト × 26.81 mA）であり、前述した本発明の好ましい実施形態の例により消費される電力は約 47 mW（1.8 ボルト × 26.33 mA）である。電力消費のこの大幅な低減は、大きなバーストについてのデータ速度の 2 倍に近い、データ転送速度の大幅な改善と結合して達成される。

20

【0045】

従って、アドバンスト読み出しデータ転送が（在来のフラッシュメモリ装置と関連して）これらのより低いバス電圧で実行される本発明の好ましい実施形態によれば、アドバンストモードで消費される電流は通常動作モードの在来のフラッシュメモリ装置により消費されるものより決して悪くない。また、フラッシュメモリ装置 10 が通常動作モードで動作する能力も有する本発明のこの好ましい実施形態によれば、より低いバス電圧はアドバンストモードおよび通常動作モードの両方にも、またコマンドおよびアドレス値の伝達を含む他の動作のためにも、使用される。このように、フラッシュメモリ装置 10 は、データ転送時に、在来のフラッシュメモリ装置より少ない電力を消費する。

30

【0046】

前述したものから明らかなように、コマンド信号およびアドレス信号は通常動作モードで伝達される。実現を容易にするために、これらの信号の伝達のためのバス電圧もより低いバス電圧（例えば、1.8 ボルト）に好ましく保たれ、フラッシュメモリカード 25 の電力消費の付加的な低減を提供する。

40

【0047】

図 5 a に戻って参照すると、本発明のこの実施形態に従うフラッシュメモリ装置 10 は、コントローラ 30 からの中断リクエストに应答することができる。本発明によれば、例えばその内部受信データバッファが満杯であるなどの、いくつかの理由のうちのいずれか 1 つのために読み出しデータ転送の中断がコントローラ 30 により必要と見なされ得ると考えられる。従って、図 5 a の判定 51 は、そのような中断が必要とされるか否かを判定する。必要でなければ、図 6 a に関して前に説明したように高速読み出しデータ転送がプロセス 56 で続行される。

【0048】

50

コントローラ30が読み出しデータ転送の中断を要求すれば(判定51が肯定であれば)、それはプロセス52で中断リクエストを発する。この代表的な実施例では、このリクエストは、コントローラ30が読み出し転送動作中にアドレスラッチイネーブル信号ALEでアクティブハイレベルをアサートすることによってなされる。図6bは、アドバンスモードでの読み出しデータ転送中に(すなわち、このモードが起動されてデータ転送が始まった後に)発生した、そのような中断動作を示す。図6bの例では、コントローラ30は、フラッシュメモリ装置10からコントローラ30へのデータ転送中にアドレスラッチイネーブル信号ALEをアサートすることによってデータ転送中断をリクエストする。応答して、フラッシュメモリ装置10は(示されているようにローレベルのときまたはハイレベルのときに)読み出しイネーブル信号RE_{__}を中断させ、従って、読み出しイネーブル信号RE_{__}が中断させられた後の次のデータワードの発行を遅延させる。このアドバンスモードで読み出しイネーブル信号RE_{__}と入出力線I/O1~I/Onとの速いスイッチング速度が与えられたとすれば、中断をリクエストするためにアドレスラッチイネーブル信号ALEがアクティブハイに駆動された後に1つまたは2つの付加的なデータワードと読み出しイネーブル信号RE_{__}の対応するエッジとがフラッシュメモリ装置10によって駆動され得ると考えられる。この例では、コントローラ30は出力データワードD_{out}(4)の間にアドレスラッチイネーブル信号ALEをアサートし、フラッシュメモリ装置10は、出力データワードD_{out}(6)の間、読み出しイネーブル信号RE_{__}と入出力線I/O1~I/Onとのさらなる遷移を抑えることによって、応答する。

【0049】

さらなるデータ転送のこの中断は、アドレスラッチイネーブル信号ALEを非アクティブ化し、これにより中断を終了させるためにコントローラ30がプロセス54を実行するまで続く。図6bに示されているように、中断状態は、コントローラ30がアドレスラッチイネーブル信号ALEを非アクティブロー状態にしたときに、終了させられる。本発明のこの実施形態によれば、アドレスラッチイネーブル信号ALEのこの遷移は、フラッシュメモリ装置10からの次の出力データワード、すなわちこの例ではデータワードD_{out}(7)のための読み出しデータストロープとして役立つ。この最初の中断後データワードの後に、フラッシュメモリ装置10は、示されているように読み出しイネーブル信号RE_{__}の遷移をアサートすることによって読み出しストロープ信号を再び生成する。この例において、読み出しイネーブル信号RE_{__}の次の遷移は、中断期間終了後の第2の出力データワードD_{out}(8)のためのストロープである。図6bに示されているように、アドバンスモード読み出しデータ転送はプロセス56で続行する。

【0050】

図5aに戻って参照すると、アドバンスモード読み出しデータ転送は、コントローラ30がこの転送を終了させることを望むようなときまで続行し、これをプロセス58,59でフラッシュメモリ装置10に対して示す。通常、この転送は、フラッシュメモリ装置10内の1つのページの末尾に到達しているとコントローラ30が判定したときに終了させられるが、この転送は他の理由(例えば、この動作のための所望のデータの全体を受け取ったとき)からもコントローラ30により終了させられ得る。

【0051】

この例に従って、このデータ転送を終了させるために、コントローラ30は、始めに、例えば前述したようにアドレスラッチイネーブル信号ALEのアクティブハイレベルをアサートすることによって、プロセス58で中断を発する。図6cは終了プロセス58,59のこの例を示し、そこにはアドバンスモード読み出しデータ転送動作中のアドレスラッチイネーブル信号ALEの遷移が示されている。プロセス58のこの中断動作は、コントローラ30がこの中断動作中にプロセス59を実行することによってアドバンスモード読み出しデータ転送の終了に変換される。代わりに、プロセス59を、フラッシュメモリ装置10自体がその出力データがページの末尾に達したと判定した後に実行することができ、その場合にはフラッシュメモリ装置10自体は読み出しイネーブル信号RE_{__}をその最後のレベルに保つとともに入出力線I/O1~I/On上の現在の(すなわち、最後の)出力デー

10

20

30

40

50

ワードを維持し、この場合、アドレスラッチイネーブル信号 A L E は非アクティブローに留まる。図 6 c に示されている例では、このデータ転送は、アドレスラッチイネーブル信号 A L E がアクティブハイである間にコントローラ 3 0 がコマンドラッチイネーブル信号 C L E でアクティブハイレベルをアサートすることによって終了させられる。コマンドラッチイネーブル信号 C L E のこの遷移に应答して、フラッシュメモリ装置 1 0 は、その出力ドライバを制御して入出力線 I / O 1 ~ I / O n を高インピーダンス状態にし、また読み出しイネーブル信号 R E _ に対応する導体のこのフラッシュメモリ装置による制御を放棄し、その両方の場合にコントローラ 3 0 がデータ競合問題を避けながら適時にこれらの線の制御を取ることを許す。図 6 c の例において示されているように、中断動作と終了動作とは読み出しイネーブル信号 R E _ がローレベルであるときに発生したので、コント

10

【 0 0 5 2 】

フラッシュメモリ装置 1 0 はその後、通常動作モード（“レガシー”モード）に戻り、制御を図 5 a の流れ図のプロセス 4 4 に返す。本発明のこの好ましい実施形態では、新しいアドバンスモード読み出しデータ転送は開始プロセス 4 8 の他の 1 つの事例を必要とする。

【 0 0 5 3 】

さらに代案では、コントローラ 3 0 がチップイネーブル信号 C E _ をアサート解除すれば、無条件終了が発生する。しかし、この制御されない終了は“グリッチ”と、フラッシュメモリ装置 1 0 およびコントローラ 3 0 の内部および外部の両方における他のスプリアス不定事象をもたらす可能性があると考えられる。

20

【 0 0 5 4 】

本発明のこの好ましい実施形態に従って、コントローラ 3 0 からフラッシュメモリ装置 1 0 へのデータ転送のためにも、換言すれば書き込みデータ転送動作のためにも、アドバンス高性能モードが提供される。以下に説明するように、図 5 b の流れ図と、図 6 a および 6 d ~ 6 e のタイミング図とが、この動作を示す。

【 0 0 5 5 】

アドバンスモード書き込みデータ転送を行うために、フラッシュメモリ装置 1 0 は、プロセス 6 0 で入る通常動作モードから始める。読み出しデータ転送の場合と同様に、通常モード動作（あるならば）が始めにプロセス 6 2 で実行され得る。プロセス 6 4 で、コントローラ 3 0 は、図 4 b に関して前に説明したようにこの通常動作モードでアドレス値をフラッシュメモリ装置 1 0 に対して発する。そして、プロセス 6 6 で、コントローラ 6 6 は、図 6 a に関して前に説明したアドバンス読み出しデータ転送のために行われるのと同様の仕方

30

【 0 0 5 6 】

でアドバンスモードデータ転送を開始する。このアドバンスモードでの書き込みデータ転送は、プロセス 6 6 を通して、読み出しデータ転送が行われたのと実質的に同一の仕方で行われると考えられる。従って、例えば、プロセス 6 6 で発せられるコマンド値 I D T _ C M D は読み出しおよび書き込みデータ転送動作の両方のために同じ

40

であると考えられる。あるいは、これら 2 つの動作のために互いに別々のコマンド値が割り当てられてもよい。

50

に保たれる。そして、この動作はデータ書き込みであるので、読み出しイネーブル信号 $RE_$ (図 6 d には示されていない) はコントローラ 30 により終始非アクティブハイに保たれる。書き込みデータ転送プロセス 68 はコントローラ 30 の完全制御下に留まるので、本発明のこの実施形態では、コマンド IDT_CMD の発行と書き込みデータ転送の開始との間の待ち時間は、読み出しデータ転送 (図 6 a) における第 1 の出力データワードの前のものより遥かに短くなり得る。好ましくは、図に示されているように、開始コマンド IDT_CMD に対応する書き込みイネーブル信号 $WE_$ のパルスの立ち上がりエッジと、第 1 の入力データワード $D_{in}(0)$ に対応する書き込みイネーブル信号 $WE_$ の第 1 のパルスの立ち下がりエッジとの間に所定時間が経過する。

【0057】

いったん書き込みデータ転送が始まれば、本発明のこの好ましい実施形態において、書き込みイネーブル信号 $WE_$ の立ち下がりエッジおよび立ち上がりエッジの両方が、コントローラ 30 によりアサートされる書き込みデータストロブとして作用する。図 6 d に示されているように、これは、コントローラ 30 が書き込みイネーブル信号 $WE_$ の各エッジと同期して新しい有効な書き込みデータワード $D_{in}(k)$ を入出力線 $I/O1 \sim I/On$ 上に発することを可能にする。その結果として、このアドバンスモードにおける書き込みデータ転送速度は、同じ書き込みイネーブル信号 $WE_$ 周波数について、通常動作モード書き込み動作のデータ速度の 2 倍近くになり得る。

【0058】

本発明のこの実施形態によれば、図 5 b に戻って参照すると、アドバンスモード書き込みデータ転送中に中断判定 69 も実行される。通常、書き込み中断の必要性はコントローラ 30 によってのみ決定され、フラッシュメモリ装置 10 がこのデータ速度でバッファオーバーフローなどなしに入力データを受信できると考えられる。中断が不要ならば (判定 69 は否定)、プロセス 72 でデータ転送が継続される。コントローラ 30 がそれを必要とするならば (判定 69 が肯定)、プロセス 70 で書き込みデータ転送の中断が行われる。この例では、中断プロセス 70 は、単にコントローラ 30 が書き込みイネーブル信号 $WE_$ の状態を必要なだけ延長することによって行われる。この中断はいずれの状態でも (書き込みイネーブル信号 $WE_$ がハイに保たれた状態でも、あるいはローに保たれた状態でも) 実行され得る。図 6 d は書き込みデータワード $D_{in}(2)$ の持続時間中の中断プロセス 70 を示し、このとき書き込みイネーブル信号 $WE_$ はローに保たれる。もちろん、コントローラ 30 は中断プロセス 70 中は付加的な書き込みデータワード $D_{in}(k)$ を発しない。中断期間の終止は、書き込みデータ転送を継続するために (プロセス 72) コントローラ 30 が単に書き込みイネーブル信号 $WE_$ の遷移を、図 6 d に示されている例では次の有効な書き込みデータワード $D_{in}(3)$ とともに、駆動することによって行われる。

【0059】

そして、読み出しデータ転送の場合と同じく、データおよび制御信号 (入出力線 $I/O1 \sim I/On$ と、書き込みイネーブル信号 $WE_$ のための線) の電圧レベルは、例えばハイロジックレベルとローロジックレベルとの間の 1.8 ボルトの “振幅” を伴って、好ましくは在来のレベルよりは低い電圧レベルである。前に詳述したように、この低電圧バスは、このアドバンス書き込みデータ転送モードにより消費される電力を、半分のデータ速度で通常動作モードで動作している在来のフラッシュメモリシステムにおいて消費されるものと同じまたはそれより低く保つ。

【0060】

図 5 b に戻って図 6 e と組み合わせて参照すると、書き込みデータ転送の終了は、読み出しデータ転送の終了と同じ仕方で行われる。コントローラ 30 は、転送を中断させるためにアドレスラッチイネーブル信号 ALE をプロセス 74 でアクティブハイレベルにアサートし、その後 (アドレスラッチイネーブル信号 ALE をハイに保ちながら) プロセス 76 でコマンドラッチイネーブル信号 CLE をアクティブハイレベルにアサートし、これがそのとき書き込みデータ転送を終了させる。図 6 e は、書き込みデータ転送を終了させ

10

20

30

40

50

るときの種々の信号のタイミングを示す。書き込みイネーブル信号WE_{__}は、図6eに示されているようにハイレベルに保たれるか、あるいは(この例では)最後のデータワードD_{in}(5)がラッチされた後にローレベルからハイレベルにされる。アドレスラッチイネーブル信号ALEおよびコマンドラッチイネーブル信号CLEのハイレベルを所定のパルス幅にわたって保つことによって行われるアドバンスモード書き込みデータ転送の終了の後、フラッシュメモリ装置10およびコントローラ30の通常動作モードに再び入る。

【0061】

この例では、アドバンスモードを起動するためにはコマンドの実行が必要とされることを考慮すると、また、データ転送の終了時に(すなわち、コマンドの実行を必要とせずに)フラッシュメモリ装置10の動作が通常動作モードに戻ることを考慮すると、通常動作モードは実際上“デフォルト”動作モードである。その代わりに、フラッシュメモリ装置10がいったんアドバンスデータ転送モードになったならば、通常動作モードに戻るコマンドがコントローラ30により発せられてフラッシュメモリ装置10により実行されるまでフラッシュメモリ装置10がそのモードに留まるように、アドバンスデータ転送モードおよび通常動作モードの両方に入るためにコマンドの実行が必要とされるようにフラッシュメモリ装置10が構成されてもよい。もちろん、このようなアプローチは、コマンドシーケンスの性質において付加的なオーバーヘッドを必要とする。

【0062】

さらに、その代わりに、フラッシュメモリ装置10を通常動作モードにするためにコマンドがコントローラ30により発せられるまで全てのデータ転送がアドバンスモードで行われるように、フラッシュメモリ装置10の“デフォルト”動作モードがアドバンスデータ転送モードであり得るということが考えられる。本発明のこの代替の実施形態では、フラッシュメモリ装置10がいったん通常動作モードになったならば、データ転送の完了は、フラッシュメモリ装置10がアドバンスデータ転送モードに戻るという結果をもたらす。

【0063】

図7は、本発明のこの代替の好ましい実施形態に従うフラッシュメモリ装置10の動作を示し、アドバンスデータ転送モードは実際上“デフォルト”モードである。プロセス80で、フラッシュメモリ装置10とコントローラ30とはパワーアップされるか、さもなければリセット動作を終え、コマンドの発行あるいは実行を必要とすることなくプロセス82で実際上デフォルト状態としてのアドバンス動作モードに入る。プロセス84で、実際上図6b~6dに関して前に説明したように、読み出しおよび書き込み動作がアドバンスデータ転送動作モードで実行される。このアドバンスモードでは、例えば図6cに関して前に説明したように中断動作などが実行され得ると考えられ、さらに、アドレス、コマンド、およびステータス伝達動作のような他の動作が、所望ならば、なお通常動作モードのアプローチに従い得ると考えられる。

【0064】

プロセス86で、本発明のこの好ましい実施形態に従うフラッシュメモリカード25は、コントローラ30が1つのアドレス値をフラッシュメモリ装置10に対して発して通常動作モード転送が始まるべきメモリ位置を示すことによって、通常のデータ転送、あるいは“レガシー”データ転送に備える。プロセス88で、コントローラ30は通常動作モードを開始させるコマンドシーケンスを発する。このコマンドシーケンスは図6aに関して前に説明したものに実質的に対応し、このコマンドシーケンス自体は通常動作モードに従って好ましく動作すると考えられる(コマンドコード値は単一バイト値であると考えられる)。コマンド88に回答して、フラッシュメモリ装置10は、データ転送の方向に応じて、例えば図4cおよび4dに関して前に説明したように、通常動作モード読み出しまたは書き込みデータ転送動作を実行する。本発明のこの実施形態では、コントローラ30は、前述したように、読み出しデータストローブおよび書き込みデータストローブクロック信号の両方を好ましく発する。

【0065】

10

20

30

40

50

そして、本発明のこの代わりの好ましい実施形態によれば、データ転送終了時に通常動作モードから出る。図7の例では、図5 aおよび5 bに関しての前に説明した場合と同様に、プロセス92でコントローラ30が中断信号(例えば、アドレスラッチイネーブル信号のアクティブレベル)を発したことによるデータ転送の終了後、コントローラ30はプロセス93で(例えば、コマンドラッチイネーブル信号のアクティブレベルを発することにより)転送を終了させる。本発明のこの好ましい実施形態による通常動作モードのデータ転送の終了のときに、制御をプロセス84に戻し、ここでアドバンストデータ転送モードに再び入って、プロセス84で希望通りに読み出しおよび書き込みデータ転送動作が実行される。

【0066】

本発明のこの代わりの好ましい実施形態を超える、フラッシュメモリ装置10の種々の動作モードに入り、また出ることについての他の代わりのアプローチは本願明細書を参照した当業者にとっては明らかであると考えられ、また、これらの実施例および他のそのような代わりの実施例も特許請求の範囲に記載された本発明の範囲内にあると考えられる。

【0067】

ここで図8 a ~ 8 eを参照して、本発明の第2の好ましい実施形態に従う、フラッシュメモリカード25の文脈におけるフラッシュメモリ装置10とコントローラ30との間の信号のタイミングを以下に詳しく説明する。本発明のこの第2の好ましい実施形態に従うアドバンスモードに入り、出るプロセス全体と、このモード中の動作とは、読み出し動作について図5 aに関して、また書き込み動作について図5 bに関して前に説明したプロセスに好ましくは従う。従って、これらのプロセスについての詳しい説明を図8 a ~ 8 eと関連して繰り返されない。

【0068】

本発明の第1の好ましい実施形態に関して前に説明したように、フラッシュメモリ装置10およびコントローラ30は、パワーアップ後、通常動作(“レガシー”)モードになる。従って、この通常モードでの読み出しおよび書き込み動作(あるならば)は、ユーザの希望通りに行われる。そのとき、読み出し動作のためのアドバンスト動作モードに入る動作は、このアドバンスト動作モードでデータが読み出されることになる最初のメモリアドレスに対応するメモリアドレス値をコントローラ30が通常動作モードにおいてフラッシュメモリ装置10に対して発することによって行われる。前の場合と同じく、このメモリアドレスは、アドレスラッチイネーブル信号ALEのアクティブレベルと組み合わせられて入出力線I/O1 ~ I/On上に置かれる。

【0069】

このメモリアドレスが伝達された後、コントローラ30は、チップイネーブル信号CE__アクティブロー、アドレスラッチイネーブル信号ALE非アクティブロー、およびコマンドラッチイネーブル信号CLEアクティブハイによって、前の場合と同様に“データ転送開始”、すなわち“IDT”、コマンドシーケンスをフラッシュメモリ装置10に対して発する。図8 aはこの動作を示す。書き込みイネーブル信号WE__のアクティブローパルスの立ち上がりエッジは、コントローラ30によって入出力線I/O1 ~ I/On上に駆動されたIDTコマンド値IDT__CMD(他の割り当てられたコマンド値とは異なる値を有するバイナリワードである)のためのデータストローブとして作用する。書き込みイネーブル信号WE__がハイにされてから所定時間後に、コントローラ30は入出力線I/O1 ~ I/Onを高インピーダンス状態にする。

【0070】

本発明のこの第2の好ましい実施形態に従って、フラッシュメモリ装置10は、読み出しイネーブルストローブ信号RE__の制御を取ってこれを駆動する。従って、図8 aに示されているように、IDTコマンドをストローブする書き込みイネーブル信号WE__の立ち上がりエッジから時間 t_{re1} が経過したとき、コントローラ30はその読み出しイネーブル信号RE__の制御を放棄する。フラッシュメモリ装置10の制御ロジック18は、その後、コントローラ30と競合せずに対応する線RE__の状態を駆動することができる。

10

20

30

40

50

フラッシュメモリ装置 10 は、その後、高速アドバンスモード読み出しデータ転送を実行し始める。本発明のこの第 2 の好ましい実施形態に従って、図 8 a に示されているように、フラッシュメモリ装置 10 は、レガシーモードで利用可能なものより高い周波数の読み出しイネーブル信号 RE_{__} と結合した、レガシーモードのものより高いデータ速度で、アドレス指定されたメモリセルからのデータを与える。

【 0 0 7 1 】

例えば、フラッシュメモリ装置 10 は、このアドバンスモードにおいて、レガシーモードにおけるこの信号の周波数の 2 倍の周波数でのこの装置による読み出しイネーブル信号 RE_{__} の駆動と結合した、レガシーモードでデータが与えられる周波数の 2 倍の周波数で、出力データを入出力線 I/O で与えることができる。レガシーモードでの最高の利用可能なデータ転送速度および読み出しストローク周波数が 25 MHz である例について、アドバンスモードデータ転送速度および読み出しイネーブル信号 RE_{__} の周波数は 50 MHz の高さであり得る。フラッシュメモリ装置 10 自体が読み出しイネーブル信号 RE_{__} およびデータワードの発信源であるので、これらの信号がフラッシュメモリ装置 10 により作られる周波数はコントローラ 30 の直接制御下にはない。

【 0 0 7 2 】

図 8 a は、このアドバンスモード読み出し動作を示す。読み出しデータ転送プロセスは、書き込みイネーブル信号 WE_{__} の立ち上がりエッジからゼロではないアクセス時間が経過した後に、フラッシュメモリ装置 10 が第 1 の有効出力データワード D_{out} (0) を発することから始まる。第 1 の出力データワード D_{out} (0) 後に、フラッシュメモリ装置 10 は、付加的な出力データワード D_{out} (1) 以下参照と同期して読み出しイネーブル信号 RE_{__} のアクティブパルスを発し始める。本発明のこの好ましい実施形態によれば、読み出しイネーブル信号 RE_{__} の各々の完全なサイクルと同期して 1 つのデータワード D_{out} (k) が発せられる。図 8 a の例では、読み出しイネーブル信号 RE_{__} の立ち下がりエッジが、データワードと同期する信号エッジである。もちろん、その代わりに読み出しイネーブル信号 RE_{__} の立ち上がりエッジ（すなわち、読み出しイネーブル信号 “ RE ” ）が動作エッジであってもよい。図 8 a に示されているように、各出力データワード D_{out} (k) は、それに対応する読み出しイネーブル信号 RE_{__} の立ち下がりエッジからゼロではないアクセス時間後に続く。代わりに、読み出しイネーブル信号 RE_{__} の各立ち下がりエッジは、それに対応する有効データワード D_{out} (k) の中でコントローラ 30 に対して発せられ（あるいは発せられるべく遅延させられ）てもよい。

【 0 0 7 3 】

従って、本発明のこの第 2 の好ましい実施形態では、このアドバンスモードにおいてフラッシュメモリ装置 10 が入出力線 I/O 1 ~ I/O n を介してデータをコントローラ 30 に与える速度は、通常動作モード（図 4 d ）におけるデータ速度より大幅に速くて、代表的な実施形態ではこのデータ速度の 2 倍近くになる。このより高いデータ速度は、或る程度、フラッシュメモリ装置 10 が読み出しイネーブル信号 RE_{__} の読み出しデータストロークエッジを発することを許すことによって可能にされ、コントローラ 30 がこれらの読み出しデータストロークエッジを発するとすれば伴うことになる伝播遅延と所要のタイミングウィンドウとをなくす。さらに、本発明の第 1 の好ましい実施形態に関して前に説明したように、入出力線 I/O 1 ~ I/O n におけるこの増大したデータ速度は、データ信号（および所望ならば、読み出しイネーブル信号 RE_{__} ）の低減された電圧振幅を用いることによって、フラッシュメモリ装置 10 およびコントローラ 30 の電力消費を劇的に増大させることなく、達成される。前述したように、これらの線の公称電圧振幅は、この在来の 3.3 V バスレベルから、例えば約 1.80 ボルトの公称電圧振幅まで大幅に低減される。

【 0 0 7 4 】

フラッシュメモリ装置 10 とコントローラ 30 との間に 16 ビット入出力バスインターフェイスがある例（すなわち、16 本の入出力線 I/O 1 ~ I/O 16 がある）では、本発明のこの第 2 の好ましい実施形態は、本発明の第 1 の好ましい実施形態のものより僅か

10

20

30

40

50

に多い電力消費を伴うに過ぎない。前述したように、50MHzのデータ速度では、入出力線 I/O1 ~ I/On のための充電周波数は、本発明のこの好ましい実施形態によれば 25MHz となる。従って単一の入出力線 I/Ok のために消費される電流 I_k は、ハイデータレベルとローデータレベルとの間の代表的な 1.8 ボルト振幅を用いて、

$$I_k = 25 * 0.065 (1.8) = 2.925 \text{ mA}$$

と計算され得る。しかし、読み出しイネーブル信号 RE_ は通常動作モードおよび本発明の第1の好ましい実施形態における周波数の2倍の周波数で動作するので、その電流消費は単一の入出力線 I/Ok のものの2倍の

$$I_{RE} = 50 * 0.065 (1.8) = 2 * 2.925 \text{ mA} = 5.850 \text{ mA}$$

になる。従って、この例で、16本の入出力線 I/O1 ~ I/O16 の場合、アドバンスト動作モードで消費される総電流は、

$$I_{total} = 16 (2.925) + 5.850 = 52.65 \text{ mA}$$

となり、これは本発明の第1の好ましい実施形態で消費されるもの（すなわち、49.73mA）より僅かに多い。在来のデータ転送のために消費される電流は、16ビット I/Oバスの場合、前の説明に従って、

$$I_{total} = 16 (2.681) + 2 (2.681) = 48.62 \text{ mA}$$

となり、これは本発明のこの第2の好ましい実施形態による 52.65mA より僅かに少ない。しかし、本発明のこの実施形態に従って消費される電流は在来の実施例より僅かに多いけれども、この電流レベルは入出力信号のためのより低い電圧振幅（3.3ボルトに対して 1.8ボルト）で達成される。その結果として、このアドバンスト動作モードで消費される電力は、在来のフラッシュメモリカードで消費されるものより大幅に少ない。これらの例によれば、在来の 16 I/Oフラッシュメモリにおいて通常動作モードで消費される電力は約 160mW（3.3ボルト × 48.62mA）であるが、前述した本発明の好ましい実施形態の例により消費される電力は約 95mW（1.8ボルト × 52.65mA）である。電力消費のこの大幅な低減は、大きなバーストのためのデータ速度の2倍に近いデータ転送速度の大幅な改善と結合して達成される。

【0075】

前の場合のように、コントローラ 30 は、例えば（フラッシュメモリ装置 10 からの）その入力バッファが満杯になったならば、フラッシュメモリ装置 10 に対して中断リクエストを発することができる。そのような中断リクエストに応じたフラッシュメモリ装置 10 の動作が図 8b に示されている。中断リクエストは、高速読み出し転送中にコントローラ 30 がアドレスラッチイネーブル信号 ALE でアクティブハイレベルをアサートすることにより行われる。このリクエストに応答して、フラッシュメモリ装置 10 は読み出しイネーブル信号 RE_ を（図に示すようにハイレベルのときまたはローレベルのときに）中断させ、読み出しイネーブル信号 RE_ の次のサイクルを遅らせる。データ転送速度が速いために、1つまたは2つの付加的なデータワードと、読み出しイネーブル信号 RE_ の対応するサイクルとがフラッシュメモリ装置 10 の出力“パイプ線”の中に既に入っているかもしれない、これらの対応するデータワードは、フラッシュメモリ装置 10 が中断リクエストに反応する前に出力され得る。この例では、コントローラ 30 は出力データワード D_{out} (4) の間にアドレスラッチイネーブル信号 ALE をアサートし、フラッシュメモリ装置 10 は出力データワード D_{out} (6) の間に読み出しイネーブル信号 RE_ のさらなるサイクルと入出力線 I/O1 ~ I/On における遷移とを抑えることによって応答する。

【0076】

図 8c は、本発明のこの好ましい実施形態によるアドバンストモード高速読み出しデータ転送の終了を示す。前の場合と同じく、コントローラ 30 は、始めに、アドレスラッチイネーブル信号 ALE のアクティブハイレベルをアサートすることによって中断リクエストを発することにより高速データ転送を終了させる。中断リクエストの間、アドレスラッチイネーブル信号 ALE がアクティブハイである間にコントローラ 30 はコマンドラッチイネーブル信号 CLE でアクティブハイレベルをアサートすることによってデータ転送動

10

20

30

40

50

作を終了させる。これに答えて、フラッシュメモリ装置 10 は、その出力ドライバに入出力線 I / O 1 ~ I / O n を高インピーダンス状態に置かせ、また、読み出しイネーブル信号 RE _ に対応する導体の制御を放棄する。コントローラ 30 は今、次の動作のために適切であるならば、これらの線の制御を取ることができる。

【 0 0 7 7 】

本発明のこの第 2 の好ましい実施形態によるアドバンスモードでの書き込み動作をここで図 8 d および 8 e に関連して説明する。読み出しデータ転送の場合と同じく、フラッシュメモリ装置 10 およびコントローラ 30 が通常の、すなわちレガシーモードで動作した後に、アドバンスモードに入る。書き込み動作のためにアドバンスモードデータ転送モードに入ることは、図 8 a に関連して前に説明したアドバンス読み出しデータ転送の場合と同様に行われる。図 8 d に示されているように、アドバンスモードコマンド値 IDT _ CMD は、コントローラ 30 によって、コマンドラッチイネーブル CLE のアクティブハイレベルおよび書き込みイネーブル信号 WE _ のアクティブローパルスと組み合わせられて、発せられる。前と同様に、アドレスラッチイネーブル信号 ALE は非アクティブローレベルに保たれ、チップイネーブル信号 CE _ はアクティブローに保たれる。このアドバンスモードに入るためのデータ書き込み動作は、コントローラ 30 が読み出しイネーブル信号 RE _ (図 8 d には示されていない) を書き込み動作中ずっと非アクティブハイに保つことによって示される。開始コマンド IDT _ CMD と一緒に書き込みイネーブル信号 WE _ のパルスの立ち上がりエッジと、第 1 の入力データワード D_{in} (0) に対応する書き込みイネーブル信号 WE _ の第 1 のパルスの立ち下がりエッジとの間に所定時間が経過することが許される。

【 0 0 7 8 】

このアドバンスモード書き込みデータ転送の間、本発明のこの第 2 の好ましい実施形態に従って、書き込みイネーブル信号 WE _ のサイクルの周波数は、例えば、通常モードにおける書き込みに使用されるものの周波数の 2 倍に、高められる。この例では書き込みイネーブル信号 WE _ の立ち下がりエッジが書き込みデータストロープとして作用する。また、このアドバンスモードでも、また通常モードでも、入出力線 I / O 1 ~ I / O n 上にコントローラ 30 によって駆動されるデータ値と組み合わせられて、書き込みイネーブル信号 WE _ がコントローラ 30 によってアサートされる。図 8 d に示されているように、コントローラ 30 は、書き込みイネーブル信号 WE _ の各立ち下がりエッジと同期して新しい有効な書き込みデータワード D_{in} (k) を入出力線 I / O 1 ~ I / O n 上に発する。この例では書き込みイネーブル信号 WE _ の周波数が 2 倍にされているので、このアドバンスモードにおける書き込みデータ転送速度は、通常動作モード書き込み動作のデータ速度の 2 倍に近づくことができる。例えば、通常モードにおいて最高書き込みデータ転送速度と書き込みイネーブル信号周波数とが 25 MHz であるならば、本発明のこの第 2 の好ましい実施形態に従うアドバンスモードではデータ転送速度および書き込みイネーブル信号周波数は 50 MHz の高さまで高められ得る。本発明のこの実施形態によれば、フラッシュメモリ装置 10 は、その高い速度でデータを受け取って処理できるように構成される。もちろん、システムの用途と、コントローラ 30 自体がデータを処理する速度とによって、コントローラ 30 は、最高 (例えば、50 MHz) よりも低い周波数の実際の書き込みイネーブル信号周波数およびデータ速度を用いることができる。

【 0 0 7 9 】

また、本発明のこの実施形態に従って、中断がアドバンスモード書き込みデータ転送に挿入され得る。この例では、前と同様に、コントローラ 30 は、図 8 d に示されているように、書き込みイネーブル信号 WE _ の状態を単に必要なだけ延長することによって書き込みデータ転送を中断させる。この中断はいずれの状態でも (書き込みイネーブル信号 WE _ がハイに保持された状態でも、あるいはローに保持された状態でも) 行われ得る。この中断期間中、もちろん、新しいデータワード D_{in} (k) は発せられない。中断期間は、書き込みデータ転送を続けるために、コントローラ 30 が図 8 d に示されている例では次の有効な書き込みデータワード D_{in} (3) とともに書き込みイネーブル信号 WE _ の次

のサイクルを駆動することによって終了させられる。

【0080】

そして、読み出しデータ転送の場合と同じく、データおよび制御信号（入出力線 I/O₁ ~ I/O_n、および書き込みイネーブル信号 WE_{__}のための線）は、好ましくは、例えばハイロジックレベルとローロジックレベルとの間の 1.8 ボルト “ 振幅 ” を伴って、在来のレベルより低い電圧レベルである。前に詳述したように、このより低い電圧バスは、このアドバンスト書き込みデータ転送モードにより消費される電力を、半分のデータ転送速度で、通常動作モードで動作する在来のフラッシュメモリシステムにおいて消費されるものと同じかまたはそれより低く保つ。

【0081】

図 8 e を参照すると、アドバンストモード書き込みデータ転送は、本発明のこの第 2 の好ましい実施形態に従ってアドバンスト読み出しデータ転送の終了と同じに行われる。アドバンストモードの終了はコントローラ 30 が書き込み転送を中断させるためにアドレスラッチイネーブル信号 ALE をアクティブハイレベルに駆動することによって行われ、この時間中にコントローラ 30 は書き込みデータ転送を終了させるために（アドレスラッチイネーブル信号 ALE をハイに保ちながら）コマンドラッチイネーブル信号 CLE をアクティブハイレベルにアサートする。書き込みイネーブル信号 WE_{__} は、（この例では）最後のデータワード D_{in}（5）がラッチされた後、ハイレベルに保たれるかまたはハイレベルにされる。アドレスラッチイネーブル信号 ALE およびコマンドラッチイネーブル信号 CLE において所定パルス幅の間ハイレベルを保つことによって行われる、アドバンスト

【0082】

従って、本発明のこの第 2 の好ましい実施形態によれば、アドバンスト、すなわち高速データ転送動作モードは、データ速度を高めるためにより高い周波数のストローク信号の使用を可能にすることによって、代替の仕方で行われる。本発明の第 2 の好ましい実施形態に従うこの動作は、或るフラッシュメモリの応用では所望の動作により適合するかもしれないと考えられる。

【0083】

図 2 に戻って参照して、本発明の第 3 の好ましい実施形態によれば、読み出しイネーブル信号 RE_{__} と書き込みイネーブル WE_{__} 信号との両方が双方向性である。通常動作モードにおける読み出し動作について、フラッシュメモリアレイ 12 から読み出されるデータの宛先である外部装置は読み出しデータストロークの発信源であり、フラッシュメモリ装置 10 への入力として読み出しイネーブル RE_{__} 信号として伝えられる。書き込み動作について、この通常動作モードにおいて、入力データを供給する外部装置は、入力データを入出力線 I/O₁ ~ I/O_n に置くと同時に、書き込みデータストロークを書き込みイネーブル WE_{__} 信号として生じさせる。本発明の好ましい実施形態に従うアドバンスト動作モードにおける読み出し動作では、以下でさらに詳しく説明するように、制御ロジック 18 は、互いに位相シフトしている 2 つの読み出しデータストロークを発し、それらの読み出しデータストロークのうち的一方は読み出しイネーブル RE_{__} 信号であり、他方は書き込みイネーブル WE_{__} 信号である。これらの信号の各々のエッジすなわち遷移は、フラッシュメモリアレイ 12 から読み出されてデータレジスタ 14、I/O 制御回路 20 および入出力端子 I/O₁ ~ I/O_n を介して伝達されるデータと同期する。同様に、書き込み動作は、アドバンスト動作モードにおいて、データ発信源によりフラッシュメモリ装置 10 へ発せられる書き込みデータストロークとして読み出しイネーブル RE_{__} 信号および書き込みイネーブル WE_{__} 信号の両方を使用することによって、行われる。

【0084】

本発明のこの第 3 の好ましい実施形態では、図 3 を参照すると、線 RE_{__} は、レガシーモード読み出し動作（データはフラッシュメモリ 10 から読み出されてコントローラ 30 に伝達される）のためのデータストロークを伝え、そのようなものとしてフラッシュメモ

10

20

30

40

50

リ装置 10 (図 2) の端子 R E _ に接続される。前述したように、本発明のこの第 3 の好ましい実施形態によれば、線 R E _ は双方向性であり、読み出しデータストロープの発信源はフラッシュメモリ装置 10 の現在の動作モードによる。通常動作モードでは、コントローラ 30 が読み出しデータストロープを生じさせ、これに回答してフラッシュメモリ装置 10 は装置自体が信号線 I / O 1 ~ I / O n で与えるデータを有効なものとして主張する。本発明の好ましい実施形態に従うアドバンスト動作モードでは、フラッシュメモリ装置 10 が、フラッシュメモリ装置 10 からコントローラ 30 へのデータ転送のために線 R E _ 上に読み出しデータストロープを生じさせる。また、以下で詳述するように、コントローラ 30 は、アドバンストモード書き込み動作中にも線 R E _ をストロープする。従って、読み出し動作および書き込み動作の両方において交互のデータワードをストロープするために使用される第 2 の位相シフトしたストロープ信号を提供するために、線 W E _ と同様に、制御線 R E _ は本発明の好ましい実施形態に従うアドバンストデータ転送モードで読み出し動作および書き込み動作の両方に関係する。

10

【 0 0 8 5 】

以下でさらに詳しく説明するように、コントローラ 30 により信号線 I / O 1 ~ I / O n を介して伝達されるコマンドは、フラッシュメモリ装置 10 がどの動作モードでデータをコントローラ 30 に転送しているかに関わらず、信号線 R E _ 上の読み出しデータストロープソースと同期する。

【 0 0 8 6 】

従って、本発明の好ましい実施形態に従って、フラッシュメモリ装置 10 はアドバンスト、高性能、読み出しおよび書き込み動作モードを提供し、コントローラ 30 はそのアドバンストモードを利用するように構成される。本発明のこの第 3 の好ましい実施形態に従うこのアドバンストモードを利用するときのフラッシュメモリ装置 10 およびコントローラ 30 の動作を、ここで図 5 a および 5 b の流れ図および図 9 a ~ 9 e のタイミング図と関連して、詳しく説明する。

20

【 0 0 8 7 】

図 5 a および 9 a ~ 9 c は、データ読み出し動作 (すなわち、フラッシュメモリカード 25 において、フラッシュメモリ装置 10 からコントローラ 30 への) を実行するときのフラッシュメモリ装置 10 の動作を示す。図 5 a のプロセス 40 で、フラッシュメモリ装置 10 およびコントローラ 30 はパワーアップされ、前に図 4 a ~ 4 d に関して説明したように、これらの装置の両方を通常動作モードにする (プロセス 42) 。プロセス 44 で、この通常モードでの読み出しおよび書き込み動作 (あれば) がこの通常動作 (“ レガシー ”) モードで実行される。

30

【 0 0 8 8 】

アドバンスト読み出し動作モードに入ることはプロセス 46 から始まり、ここでコントローラ 30 は、図 4 b に関連して前に説明したように、通常動作モードに従ってメモリアドレス値をフラッシュメモリ装置 10 へ発する。プロセス 46 でコントローラ 30 により発せられるメモリアドレスは、このアドバンスト動作モードでデータが読み出される最初のメモリアドレスであって、好ましくは、前述したように、対応する読み出しアドレス入力コマンドの送信に続く。プロセス 48 で、コントローラ 30 は、 “ データ転送開始 ” 、すなわち “ I D T ” 、コマンドシーケンスをフラッシュメモリ装置 10 へ発する。図 9 a は、この動作をさらに詳しく示す。

40

【 0 0 8 9 】

本発明の好ましい実施形態に従って、プロセス 48 で、アドバンストデータ転送モードを開始するために “ I D T 読み出し ” コマンドがコントローラ 30 によりフラッシュメモリ装置 10 へ発せられる。このコマンドは、図 4 a に関連して前に説明したコマンドの発行と同様の仕方で発せられ、コントローラ 30 はチップイネーブル信号 C E _ をアクティブローに、アドレスラッチイネーブル信号 A L E を非アクティブローに、コマンドラッチイネーブル信号 C L E をアクティブハイに駆動する。書き込みイネーブル信号 W E _ のアクティブローパルスの立ち上がりエッジは、コントローラ 30 により入出力線 I / O 1 ~

50

I/O_n上に駆動されたIDTコマンド値IDT_RD_CMD（他の割り当てられたコマンド値と異なる値を有するバイナリワードである）のためのデータストローブとして作用する。書き込みイネーブル信号WE_{__}がハイにされてから所定時間後に、コントローラ30は入出力線I/O₁~I/O_nを高インピーダンス状態にする。そして、書き込みイネーブル信号WE_{__}の立ち上がりエッジ（このときIDT読み出しコマンドを中にストローブする）からのもう1つの経過時間 t_{rel} の後、コントローラ30はその読み出しイネーブル信号RE_{__}の制御を放棄して、フラッシュメモリ装置10の制御ロジック18が（コントローラ30とのデータ競合を敢行せずに）対応する線RE_{__}およびWE_{__}の状態を駆動することを可能にする。本発明のこの好ましい実施形態によれば、アドバンスモードデータ転送の方向（すなわち、書き込みかあるいは読み出しか）は、アドバンスモードデータ転送モードに入るときのIDTコマンドの値により確定され、これは、以下に説明するように、読み出しイネーブルRE_{__}信号および書き込みイネーブルWE_{__}信号の両方がデータ転送自体に使用されることを可能にする。

【0090】

あるいは、アドバンスモードデータ転送モードに入ること、およびこのモードで読み出し動作と書き込み動作とのいずれが実行されるべきかは、他の方法でコントローラ30からフラッシュメモリ装置10に伝えられ得る。例えば、（例えば、読み出しイネーブルRE_{__}信号および書き込みイネーブルWE_{__}信号に加えて、ALE線、CLE線、WP_{__}線、およびCE_{__}線に接続されている信号線のうちの1つ以上を含む制御バスCTRLの線のうちの1つ以上での）制御信号の遷移の特定のシーケンス。読み出し動作および書き込み動作のいずれかまたは両方のためにアドバンスモードデータ転送モードに入ることへの、これらのアプローチおよび他の代替のアプローチは、本願明細書を参照した当業者にとっては明らかであろうと考えられる。

【0091】

いったんIDT読み出しコマンドがフラッシュメモリ装置10の中にラッチされて実行されたならば、フラッシュメモリ装置10は高速モード読み出しデータ転送プロセス50を実行し始める。図9aに示されているように、この読み出しデータ転送プロセスは、フラッシュメモリ装置10が、書き込みイネーブル信号WE_{__}の立ち上がりエッジから1つのゼロではないアクセス時間が経過した後に、第1の有効出力データワードD_{out}(0)を発することから始まる。いったんこの第1の出力データワードD_{out}(0)を与えたらば、フラッシュメモリ装置10は、付加的な出力データワードD_{out}(1)以下参照の交替する1つ1つと同期して、読み出しイネーブル信号RE_{__}および書き込みイネーブル信号WE_{__}の両方のアクティブパルスを発し始める。本発明のこの好ましい実施形態では、読み出しイネーブル信号RE_{__}および書き込みイネーブル信号WE_{__}は互いに位相を異にし、各々の同じエッジ（例えば、この例では立ち下がりエッジであるが、もちろん、代わりに立ち上がりエッジが使用されてもよい）が対応するデータワードをクロックする。図9aに示されているように、このアドバンスモード読み出し動作では書き込みイネーブル信号WE_{__}は読み出しイネーブル信号RE_{__}と位相を180°異にしている。この相補的位相関係は、本発明のこの好ましい実施形態に従うこの動作のために必須ではない。なぜならば、出力データワードのストロービングは、次の代替の立ち下がりエッジが生じるたびに、この立ち下がりエッジの時に行われるからである。しかし、最速の指定されたレベルでデータ転送速度を最大にするためにこの相補的位相関係が望ましい。図9aに示されているように、フラッシュメモリ装置10自体により駆動される読み出しイネーブル信号RE_{__}および書き込みイネーブル信号WE_{__}の各立ち下がりエッジと同期して1つのデータワードD_{out}(k)が発せられる。図9aの例では、各出力データワードD_{out}(k)はその対応するストローブエッジに1つのゼロではないアクセス時間だけ遅れて続くが、その代わりに各読み出しイネーブル信号RE_{__}および書き込みイネーブル信号WE_{__}の立ち下がりエッジがそれに対応する有効データワードD_{out}(k)の中でコントローラ30に対して発せられ（あるいは発せられるべく遅延され）てもよい。

【0092】

10

20

30

40

50

従って、本発明の好ましい実施形態に従って、フラッシュメモリ装置 10 がこのアドバンスモードで入出力線 I/O1 ~ I/On を介してデータをコントローラ 30 に与える速度は、通常動作モード (図 4d) におけるデータ速度より大幅に速く、代表的な実施形態においてこのデータ速度の 2 倍に近い。このより高いデータ転送速度は、或る程度、フラッシュメモリ装置 10 が読み出しイネーブル信号 RE_ および書き込みイネーブル信号 WE_ の読み出しデータストロブエッジを発生することを許すことによって可能にされ、コントローラ 30 がこれらの読み出しデータストロブエッジを発生するとすれば、伴うことになる伝播遅延および所要のタイミングウィンドウをなくす。さらに、これら 2 つの信号の立ち下がりストロブエッジの周波数は、単一の信号のもの 2 倍に近い。データ転送の方向は IDT 読み出しコマンド値によりセットされるので、書き込みイネーブル信号 WE_ はこの読み出し動作に使用され得る。

10

【0093】

しかし、当業者にとっては明らかであるように、出力データが入出力線 I/O1 ~ I/On で与えられる増大した速度は、他の全ての要素が同等であるならば、この読み出し動作において主としてフラッシュメモリ装置 10 の I/O 制御回路 20 内の出力駆動回路から、フラッシュメモリカード 25 内での消費電力を大幅に増大させる。この電力消費は、最新の傾向がそうであるように、データワード幅 (すなわち、入出力線 I/O1 ~ I/On の数 n) が大きくなるに連れて、悪化する。本発明の好ましい実施形態に従って、以下に説明するように、この電力消費は入出力線 I/O1 ~ I/On における出力信号の電圧振幅を減少させることによって大幅に低減される。

20

【0094】

在来のフラッシュメモリ装置は周知の 3.3 ボルトバス標準規格を利用し、この規格では最低のハイレベル出力電圧 V_{OH} は 2.4 ボルトであり、最高のローレベル出力電圧 V_{OL} は 0.4 ボルトであり、公称電圧振幅は約 3.3 ボルトである。この標準規格によれば、当該技術分野で周知されているように、これらの電圧は名目上 3.30 ボルトの電源電圧に基づき、それは 2.70 ボルトおよび 3.60 ボルトの間の仕様範囲を有する。

【0095】

本発明の好ましい実施形態によれば、バス電圧は、この在来の 3.3V バスレベルから例えば、約 1.80 ボルトの公称電圧振幅を定める約 1.8 ボルトのバス電圧へ、大幅に低減される。この場合、最低ハイ出力レベル電圧 V_{OH-R} の限界例は約 1.44 ボルト (公称電源電圧の 80%) であり、最高ロー出力レベル電圧 V_{OL-R} の例は約 0.36 ボルト (公称電源電圧の 20%) であり得る。この低減電圧動作では、これらの電圧は名目上 1.80 ボルトである電源電圧に基づき、約 1.60 ボルト ~ 約 2.0 ボルトまで変動することが許される。データ速度がより高いのに、このアドバンスモード動作で消費される電流が、より大きな電圧振幅における通常動作モードでのものより大幅に多くはなくて、僅かに少なくなり得るということは容易に計算され得る。その理由は、各出力におけるデータ遷移によって、寄生容量がそこまで充電されなければならないところの電圧が、より大きな電圧振幅での通常動作モードにおけるものより低いことにある。しかし、入出力信号のより小さな電圧振幅は、このアドバンスモードにおける電力消費が在来のフラッシュメモリカードで消費されるものより大幅に少ないという結果をもたらす。電力消費のこの大幅な低減は、大きなバーストについてのデータ転送速度の 2 倍に近い、データ転送速度の大幅な改善と結合して達成される。

30

40

【0096】

従って、アドバンス読み出しデータ転送がこれらの (在来のフラッシュメモリ装置と比べて) より低いバス電圧で実行される本発明の好ましい実施形態では、アドバンスモードで消費される電流は、通常動作モードにおいて在来のフラッシュメモリ装置により消費されるものより決して悪くない。また、フラッシュメモリ装置 10 が通常動作モードでも動作できる能力を有する本発明のこの好ましい実施形態では、より低いバス電圧は、アドバンスモードおよび通常動作モードの両方において、また、コマンド値およびアドレス値の伝達を含む他の動作のためにも、使用される。従って、フラッシュメモリ装置 10

50

は、そのデータ転送時に、在来のフラッシュメモリ装置より少ない電力を消費する。

【 0 0 9 7 】

前述したものから明らかなように、コマンドおよびアドレス信号は通常動作モードで伝達される。実施を容易にするために、これらの信号の伝達のためのバス電圧もより低いバス電圧（例えば、1.8ボルト）に好ましくは保たれ、フラッシュメモリカード25の電力消費の付加的な低減を提供する。

【 0 0 9 8 】

図5aに戻って参照すると、本発明のこの実施形態に従うフラッシュメモリ装置10は、コントローラ30からの中断リクエストに応答することができる。本発明によれば、例えばその内部受信データバッファが満杯であるなどの、いくつかの理由のうちのいずれか1つのために読み出しデータ転送の中断がコントローラ30により必要と見なされ得ると考えられる。従って、図5aの判定51は、そのような中断が必要とされるか否かを判定する。必要でなければ、図9aに関して前に説明したように高速読み出しデータ転送がプロセス56で続行される。

【 0 0 9 9 】

コントローラ30が読み出しデータ転送の中断を要求すれば（判定51が肯定であれば）、それはプロセス52で中断リクエストを発する。この代表的な実施例では、このリクエストは、コントローラ30が読み出し転送動作中にアドレスラッチイネーブル信号ALEでアクティブハイレベルをアサートすることによってなされる。図9bは、アドバンスモードでの読み出しデータ転送中に（すなわち、このモードが起動されてデータ転送が始まった後に）発生した、そのような中断動作を示す。図9bの例では、コントローラ30は、フラッシュメモリ装置10からコントローラ30へのデータ転送中にアドレスラッチイネーブル信号ALEをアサートすることによってデータ転送中断をリクエストする。応答して、フラッシュメモリ装置10は（図に示されているように、ローレベルまたはハイレベルのときに）読み出しイネーブル信号RE__および書き込みイネーブル信号WE__を中断させ、従って、読み出しイネーブル信号RE__および書き込みイネーブル信号WE__が中断させられた後の次のデータワードの発行を遅延させる。このアドバンスモードで読み出しイネーブル信号RE__と、書き込みイネーブル信号WE__と、入出力線I/O1~I/Onとの速いスイッチング速度が与えられたとすれば、中断をリクエストするためにアドレスラッチイネーブル信号ALEがアクティブハイに駆動された後に1つまたは2つの付加的なデータワードと読み出しイネーブル信号RE__および書き込みイネーブル信号WE__の対応するエッジとがフラッシュメモリ装置10によって駆動され得ると考えられる。この例では、コントローラ30は出力データワードD_{out}（4）の間にアドレスラッチイネーブル信号ALEをアサートし、フラッシュメモリ装置10は、出力データワードD_{out}（6）の間、読み出しイネーブル信号RE__と、書き込みイネーブル信号WE__と、入出力線I/O1~I/Onとのさらなる遷移を抑えることによって、応答する。

【 0 1 0 0 】

さらなるデータ転送のこの中断は、アドレスラッチイネーブル信号ALEを非アクティブ化し、これにより中断を終了させるためにコントローラ30がプロセス54を実行するまで、続く。図9bに示されているように、中断状態は、コントローラ30がアドレスラッチイネーブル信号ALEを非アクティブロー状態にしたときに、終了させられる。本発明のこの実施形態によれば、アドレスラッチイネーブル信号ALEのこの遷移は、フラッシュメモリ装置10からの次の出力データワード、すなわちこの例ではデータワードD_{out}（7）、のための読み出しデータストロープとして役立つ。この最初の中断後データワードの後に、フラッシュメモリ装置10は、示されているように読み出しイネーブル信号RE__および書き込みイネーブル信号WE__の遷移をアサートすることによってストロープ信号を再び生成する。この例において、書き込みイネーブル信号WE__の次の有効な遷移は、中断期間終了後の第2の出力データワードD_{out}（8）のためのストロープであり、読み出しイネーブル信号RE__の次の有効な遷移は中断期間後の第3の出力データワードD_{out}（9）のためのストロープである。図9bに示されているように、アドバンス

10

20

30

40

50

モード読み出しデータ転送はプロセス56で続行する。

【0101】

図5aに戻って参照すると、アドバンスモード読み出しデータ転送は、コントローラ30がこの転送を終了させることを望むようなときまで続行し、これをプロセス58, 59でフラッシュメモリ装置10に対して示す。通常、この転送は、フラッシュメモリ装置10内の1つのページの末尾に到達しているとコントローラ30が判定したときに終了させられるが、この転送は他の理由(例えば、この動作のための所望のデータの全体を受け取ったとき)からもコントローラ30により終了させられ得る。

【0102】

この例に従って、このデータ転送を終了させるために、コントローラ30は、始めに、例えば前述したようにアドレスラッチイネーブル信号ALEのアクティブハイレベルをアサートすることによって、プロセス58で中断を発する。図9cは終了プロセス58, 59のこの例を示し、そこにはアドバンス読み出しデータ転送動作中のアドレスラッチイネーブル信号ALEの遷移が示されている。プロセス58のこの中断動作は、コントローラ30がこの中断動作中にプロセス59を実行することによってアドバンス読み出しデータ転送の終了に変換される。代わりに、プロセス59を、フラッシュメモリ装置10自体がその出力データがページの末尾に達したと判定した後に実行することができ、その場合にはフラッシュメモリ装置10自体は読み出しイネーブル信号RE__および書き込みイネーブル信号WE__をその最後のレベルに保つとともに入出力線I/O1~I/On上の現在(すなわち、最後)の出力データワードを維持し、この場合、アドレスラッチイネーブル信号ALEは非アクティブローに留まる。図9cに示されている例では、このデータ転送は、アドレスラッチイネーブル信号ALEがアクティブハイである間にコントローラ30がコマンドラッチイネーブル信号CLEでアクティブハイレベルをアサートすることによって終了させられる。コマンドラッチイネーブル信号CLEのこの遷移に应答して、フラッシュメモリ装置10は、その出力ドライバを制御して入出力線I/O1~I/Onを高インピーダンス状態にし、また読み出しイネーブル信号RE__および書き込みイネーブル信号WE__に対応する導体のこのフラッシュメモリ装置による制御を放棄し、その両方の場合にコントローラ30がデータ競合問題を避けながら適時にこれらの線の制御を取することを許す。図9cの例において示されているように、中断動作と終了動作とは読み出しイネーブル信号RE__および書き込みイネーブル信号WE__がローレベルであるときに発生したので、コントローラ30は、読み出しイネーブル信号RE__および書き込みイネーブル信号WE__の制御を取ると、対応する線上に非アクティブハイレベルを駆動し、図に示すように遷移を生じさせる。中断動作および終了動作がこれらの信号のいずれかまたは両方が既にハイレベルであるときに発生したならば、もちろん、その線上にはなんらの遷移も生じない。

【0103】

フラッシュメモリ装置10はその後、通常動作モード(“レガシー”モード)に戻り、制御を図5aの流れ図のプロセス44に戻す。本発明のこの好ましい実施形態では、新しいアドバンスモード読み出しデータ転送は開始プロセス48の他の1つの事例を必要とする。

【0104】

さらに、代案では、コントローラ30がチップイネーブル信号CE__をアサート解除すれば、無条件終了が発生する。しかし、この制御されない終了は“グリッチ”と、フラッシュメモリ装置10およびコントローラ30の内部および外部の両方における他のスプリアス不定事象をもたらす可能性があると考えられる。

【0105】

本発明のこの好ましい実施形態に従って、コントローラ30からフラッシュメモリ装置10へのデータ転送のためにも、換言すれば書き込みデータ転送動作のためにも、アドバンス高性能モードが提供される。以下に説明するように、図5bの流れ図と、図9aおよび9d~9eのタイミング図とが、この動作を示す。

【 0 1 0 6 】

アドバンスモード書き込みデータ転送を行うために、フラッシュメモリ装置 10 は、プロセス 60 で入る通常動作モードから始める。読み出しデータ転送の場合と同様に、通常モード動作（そうであるならば）が始めにプロセス 62 で実行され得る。プロセス 64 で、コントローラ 30 は、図 4 b に関して前に説明したようにこの通常動作モードでアドレス値をフラッシュメモリ装置 10 に対して発する。そして、プロセス 66 で、コントローラ 66 は、図 9 a に関して前に説明したアドバンス読み出しデータ転送のために行われるのと同様の仕方でアドバンスデータ転送モードを開始する。このアドバンスモードでの書き込みデータ転送は、このアドバンスモードデータ転送が読み出しではなくて書き込み動作（コントローラ 30 からフラッシュメモリ装置 10 への）であることを示すために異なるコマンド値 IDT_WR_CMD で行われることを除いて、プロセス 66 を通して、読み出しデータ転送が行われたのと実質的に同一の仕方で実行されると考えられる。以下に説明するように、この異なる値は、書き込みイネーブル信号 $WE_$ および読み出しイネーブル信号 $RE_$ の両方が書き込み転送自体の中で使用されることを可能にする。

10

【 0 1 0 7 】

プロセス 68 で、コントローラ 30 およびフラッシュメモリ装置 10 はアドバンス書き込みデータ転送を実行する。図 9 d は、コマンド値 IDT_WR_CMD と、コマンドラッチイネーブル CLE のアクティブハイレベルと、書き込みイネーブル信号 $WE_$ のアクティブローパルスとの組み合わせがコントローラ 30 によりフラッシュメモリ装置 10 へ発せられてアドバンスモードデータ転送を開始するプロセス 66 を含む、この動作の例における信号のタイミングを示す。前の例の場合と同様に、アドレスラッチイネーブル信号 ALE は非アクティブローレベルに保たれ、チップイネーブル信号 $CE_$ はアクティブローに保たれる。そして、この動作はデータ書き込みであるので、読み出しイネーブル信号 $RE_$ （図 9 d には示されていない）はコントローラ 30 により終始非アクティブハイに保たれる。書き込みデータ転送プロセス 68 はコントローラ 30 の完全制御下に留まるので、本発明のこの実施形態では、コマンド IDT_WR_CMD の発行と書き込みデータ転送の開始との間の待ち時間は、読み出しデータ転送（図 9 a）における第 1 の出力データワードの前のものより遥かに短くなり得る。好ましくは、図に示されているように、開始コマンド IDT_WR_CMD に対応する書き込みイネーブル信号 $WE_$ のパルスの立ち上がりエッジと、第 1 の入力データワード $D_{in}(0)$ に対応する書き込みイネーブル信号 $WE_$ （または読み出しイネーブル信号 RE ）の第 1 のパルスの立ち下がりエッジとの間に所定時間が経過する。

20

30

【 0 1 0 8 】

いったん書き込みデータ転送が始まれば、本発明のこの好ましい実施形態において、書き込みイネーブル信号 $WE_$ および読み出しイネーブル信号 $RE_$ の立ち下がりエッジが、コントローラ 30 によりアサートされる書き込みデータストロープとして作用する。もちろん、その代わりに、これらの信号の立ち上がりエッジが使用されてもよい。さらに、読み出しデータ転送の場合と同様に、書き込みイネーブル信号 $WE_$ および読み出しイネーブル信号 $RE_$ が互いに位相外れの関係、データ転送速度を最大にするために好ましくは 180° 位相関係を有することによって、この書き込み動作におけるデータ転送速度が高められる。図 9 d に示されているように、これは、コントローラ 30 が書き込みイネーブル信号 $WE_$ および読み出しイネーブル信号 $RE_$ の両方の各立ち下がりエッジと同期して新しい有効な書き込みデータワード $D_{in}(k)$ を入出力線 $I/O1 \sim I/On$ 上に発することを可能にする。その結果として、このアドバンスモードにおける書き込みデータ転送速度は、書き込みイネーブル信号 $WE_$ および読み出しイネーブル信号 $RE_$ の通常のレガシー動作モードにおける周波数と同じ周波数について、通常動作モード書き込み動作のデータ速度の 2 倍近くになり得る。

40

【 0 1 0 9 】

本発明のこの実施形態によれば、図 5 b に戻って参照すると、アドバンスモード書き

50

込みデータ転送中に中断判定 69 も実行され得る。通常、書き込み中断の必要性はコントローラ 30 によってのみ決定され、フラッシュメモリ装置 10 はこのデータ速度でバッファオーバーフローなどなしに入力データを受信できると考えられる。中断が不要ならば（判定 69 は否定）、プロセス 72 でデータ転送が継続される。コントローラ 30 がそれを必要とするならば（判定 69 が肯定）、プロセス 70 で書き込みデータ転送の中断が行われる。この例では、中断プロセス 70 は、単にコントローラ 30 が書き込みイネーブル信号 WE_{__} および読み出しイネーブル信号 RE_{__} の状態を必要なだけ延長することによって行われる。この中断はいずれの状態でも（書き込みイネーブル信号 WE_{__} および読み出しイネーブル信号 RE_{__} がハイに保たれた状態でも、あるいはローに保たれた状態でも）実行され得る。図 9 d は書き込みデータワード D_{in}(2) の持続時間中の中断プロセス 70 を示し、このとき書き込みイネーブル信号 WE_{__} はローに保たれ、読み出しイネーブル信号 RE_{__} はハイに保たれる。もちろん、コントローラ 30 は中断プロセス 70 中に付加的な書き込みデータワード D_{in}(k) を発しない。中断期間の終止は、書き込みデータ転送を継続するために（プロセス 72）コントローラ 30 が単に書き込みイネーブル信号 WE_{__} または読み出しイネーブル信号 RE_{__} の立ち上がりエッジ遷移を、図 9 d に示されている例では次の有効な書き込みデータワード D_{in}(3) とともに、駆動することによって行われる。

10

【0110】

そして、読み出しデータ転送の場合と同じく、データおよび制御信号（入出力線 I/O₁ ~ I/O_n と、書き込みイネーブル信号 WE_{__} および読み出しイネーブル信号 RE_{__} のための線）の電圧レベルは、例えばハイロジックレベルとローロジックレベルとの間の 1.8 ボルトの“振幅”を伴って、好ましくは在来のレベルよりは低い電圧レベルである。前に詳述したように、この低電圧バスは、このアドバンスト書き込みデータ転送モードにより消費される電力を、半分のデータ速度で通常動作モードで動作している在来のフラッシュメモリシステムにおいて消費されるものと同じまたはそれより低く保つ。

20

【0111】

図 5 b に戻って図 9 e と組み合わせて参照すると、書き込みデータ転送の終了は、読み出しデータ転送の終了と同じ仕方で行われる。プロセス 74 で、コントローラ 30 は、転送を中断させるためにアドレスラッチイネーブル信号 ALE をプロセス 74 でアクティブハイレベルにアサートし、その後に（アドレスラッチイネーブル信号 ALE をハイに保ちながら）プロセス 76 でコマンドラッチイネーブル信号 CLE をアクティブハイレベルにアサートし、そのとき書き込みデータ転送を終了させる。図 9 e は、書き込みデータ転送を終了させるときの種々の信号のタイミングを示す。書き込みイネーブル信号 WE_{__} および読み出しイネーブル信号 RE_{__} は、（この例では）最後のデータワード D_{in}(5) がラッチされた後に、図 9 e に示されているようにハイレベルに保たれるか、あるいはハイレベルに駆動される。アドレスラッチイネーブル信号 ALE およびコマンドラッチイネーブル信号 CLE のハイレベルを所定パルス幅にわたって保つことによって行われるアドバンストモード書き込みデータ転送の終了の後、フラッシュメモリ装置 10 およびコントローラ 30 の通常動作モードに再び入る。

30

【0112】

この例では、アドバンストモードを起動するためにはコマンドの実行が必要とされることを考慮すると、また、データ転送の終了時に（すなわち、コマンドの実行を必要とせずに）フラッシュメモリ装置 10 の動作が通常動作モードに戻ることを考慮すると、通常動作モードは実際上“デフォルト”動作モードである。その代わりに、フラッシュメモリ装置 10 がいったんアドバンストデータ転送モードになったならば、通常動作モードに戻るコマンドがコントローラ 30 により発せられてフラッシュメモリ装置 10 により実行されるまではそれがそのモードに留まるように、アドバンストデータ転送モードおよび通常動作モードの両方に入るためにコマンドの実行が必要とされるようにフラッシュメモリ装置 10 が構成されてもよい。もちろん、このようなアプローチは、コマンドシーケンスの性質において付加的なオーバーヘッドを必要とする。

40

50

【 0 1 1 3 】

さらに、その代わりに、フラッシュメモリ装置 10 を通常動作モードにするためにコマンドがコントローラ 30 により発せられなければ全てのデータ転送がアドバンスモードで行われるように、フラッシュメモリ装置 10 の“デフォルト”動作モードがアドバンスモードであり得ると考えられる。この場合、読み出しイネーブル信号および書き込みイネーブル信号の両方が前述したようにデータをストローブすることを可能にするために読み出しアドバンスモード動作かまたは書き込みアドバンスモード動作かの何らかの指示がコントローラ 30 により行われ得ると考えられる。本発明のこの代わりの実施形態では、フラッシュメモリ装置 10 がいったん通常動作モードになったならば、データ転送の完了は、フラッシュメモリ装置 10 がアドバンスモードに戻ると

10

【 0 1 1 4 】

フラッシュメモリ装置 10 の種々の動作モードに入り、また出ることへの他の代わりのアプローチは、本願明細書を参照した当業者にとっては明らかであり、またこれらの実施例およびそのような他の代わりの実施例が特許請求の範囲に記載された本発明の範囲内にあると考えられる。

【 0 1 1 5 】

このように、本発明の好ましい実施形態に従うフラッシュメモリ装置 10、コントローラ 30、およびフラッシュメモリカード 25 は、在来の装置およびシステムと比べて重要な利点を提供する。本発明は、在来の装置およびシステムのデータ速度の 2 倍に近い高いデータ転送速度を可能にし、同時に、アドバンス（進化した）能力を持っていない“レガシー”装置とのコマンドおよび信号の互換性をなお提供する。さらに、アドバンスモードに関するより低いバス電圧信号は、全体としての装置およびシステムの電流および電力消費を、在来のフラッシュメモリ装置およびシステムのものの近くあるいは本当にそれより少なく保つ。

20

【 0 1 1 6 】

結果として、データ転送速度が特に重要であるデジタルシステムの用途において本発明が特に有益であり得ると考えられる。前述したように、1 つのそのような応用は、高性能デジタルスチルカメラにある。そのようなカメラでは、分解像（従って、1 画像あたりに捉えられるデータ）はいまや 10 メガピクセルを超え、12.4 メガピクセルに及ぶカメラが今では市場で入手可能である。しかし、画像センサからフラッシュメモリへのデータ転送速度は重要である。なぜならば、このデータ転送速度は、カメラのユーザが“シャッター遅れ (shutter lag)”として一般に経験する、画像が捉えられ得る速度における直接因子だからである。また、カメラのユーザは、主として、出会う絶対遅延（すなわち、各画像において捉えられるデータの量とは無関係）に関心を持つので、分解像が増大してゆくに連れてデータ転送速度に対するこの負担が重くなる。このような大データ転送速度のための他の 1 つの潜在的な用途は、コンピュータシステムにおいて、従来使用されてきた磁気ディスクドライブ大容量記憶装置の一部または全部に実質的に取って代わる大容量記憶媒体としての固体フラッシュメモリの使用にある。ディスクドライブではなくて固体メモリを使用できる能力は、コンピュータシステムのさらなる小形化および可搬性を可能にし、また最新の携帯システムおよびハンドヘルドシステムの機能性を大幅に高めると考えられる。

30

40

【 0 1 1 7 】

本発明はその好ましい実施形態に従って説明してきたけれども、もちろん、これらの実施形態の改変および代替は、本発明の利点および利益を得るものであって、本願明細書およびその図面を参照した当業者にとっては明らかであろうと考えられる。そのような改変および代替は、特許請求の範囲に記載されている本発明の範囲内にあると考えられる。

【 図面の簡単な説明 】

【 0 1 1 8 】

【 図 1 】 在来のメモリカードのブロック電気回路図である。

50

【図2】本発明の好ましい実施形態に従って構成されたメモリモジュールのブロックの形の電気回路図である。

【図3】本発明の好ましい実施形態に従う、シングルチップメモリコントローラと結合してシステムまたはサブシステムに実現された図2のメモリモジュールのブロックの形の電気回路図である。

【図4a】本発明の好ましい実施形態に従う、コマンドの通信時の、通常動作モードにおける図2および3のフラッシュメモリモジュールの動作を示すタイミング図である。

【図4b】本発明の好ましい実施形態に従う、コマンドの通信時の、通常動作モードにおける図2および3のフラッシュメモリモジュールの動作を示すタイミング図である。

【図4c】本発明の好ましい実施形態に従う、コマンドの通信時の、通常動作モードにおける図2および3のフラッシュメモリモジュールの動作を示すタイミング図である。

【図4d】本発明の好ましい実施形態に従う、コマンドの通信時の、通常動作モードにおける図2および3のフラッシュメモリモジュールの動作を示すタイミング図である。

【図5a】本発明の好ましい実施形態に従う、アドバンスモード読み出しデータ転送の動作を示す流れ図である。

【図5b】本発明の好ましい実施形態に従う、アドバンスモード書き込みデータ転送の動作を示す流れ図である。

【図6a】本発明の第1の好ましい実施形態に従う図5aおよび5bの動作に関わる信号を示すタイミング図である。

【図6b】本発明の第1の好ましい実施形態に従う図5aおよび5bの動作に関わる信号を示すタイミング図である。

【図6c】本発明の第1の好ましい実施形態に従う図5aおよび5bの動作に関わる信号を示すタイミング図である。

【図6d】本発明の第1の好ましい実施形態に従う図5aおよび5bの動作に関わる信号を示すタイミング図である。

【図6e】本発明の第1の好ましい実施形態に従う図5aおよび5bの動作に関わる信号を示すタイミング図である。

【図7】本発明の第2の好ましい実施形態に従うアドバンスモードデータ転送の動作を示す流れ図である。

【図8a】本発明の第2の好ましい実施形態に従う図5aおよび5bの動作に関わる信号を示すタイミング図である。

【図8b】本発明の第2の好ましい実施形態に従う図5aおよび5bの動作に関わる信号を示すタイミング図である。

【図8c】本発明の第2の好ましい実施形態に従う図5aおよび5bの動作に関わる信号を示すタイミング図である。

【図8d】本発明の第2の好ましい実施形態に従う図5aおよび5bの動作に関わる信号を示すタイミング図である。

【図8e】本発明の第2の好ましい実施形態に従う図5aおよび5bの動作に関わる信号を示すタイミング図である。

【図9a】本発明の第3の好ましい実施形態に従う図5aおよび5bの動作に関わる信号を示すタイミング図である。

【図9b】本発明の第3の好ましい実施形態に従う図5aおよび5bの動作に関わる信号を示すタイミング図である。

【図9c】本発明の第3の好ましい実施形態に従う図5aおよび5bの動作に関わる信号を示すタイミング図である。

【図9d】本発明の第3の好ましい実施形態に従う図5aおよび5bの動作に関わる信号を示すタイミング図である。

【図9e】本発明の第3の好ましい実施形態に従う図5aおよび5bの動作に関わる信号を示すタイミング図である。

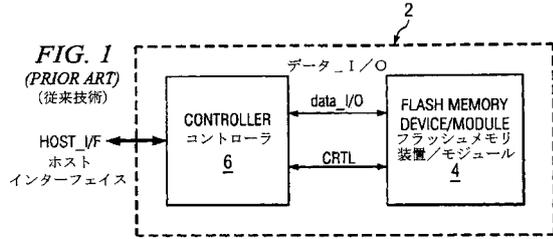
10

20

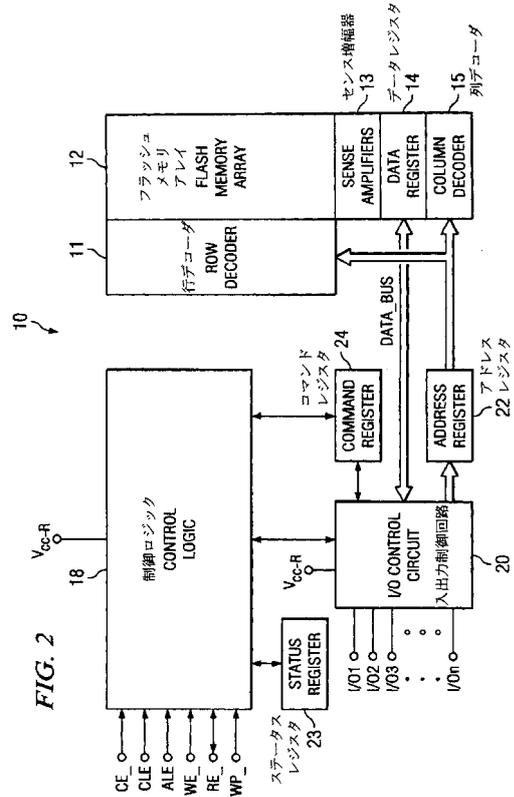
30

40

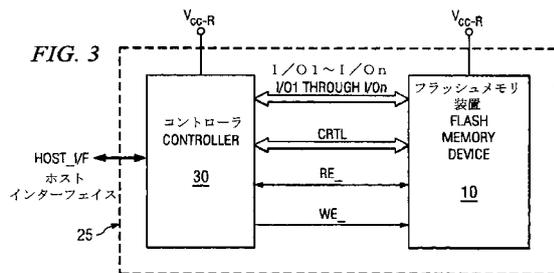
【 図 1 】



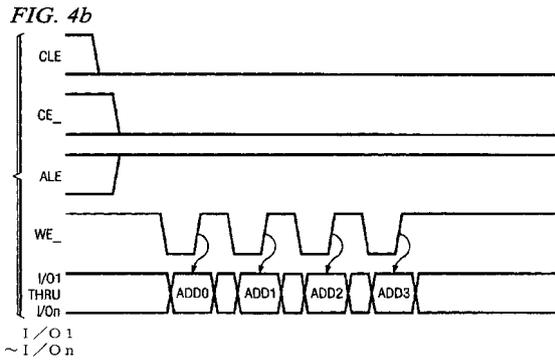
【 図 2 】



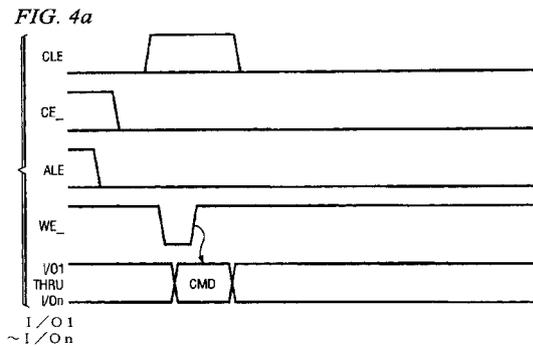
【 図 3 】



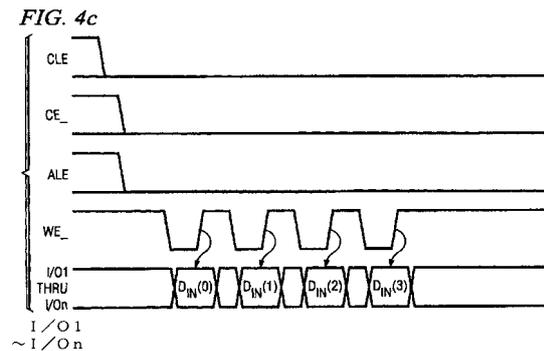
【 図 4 b 】



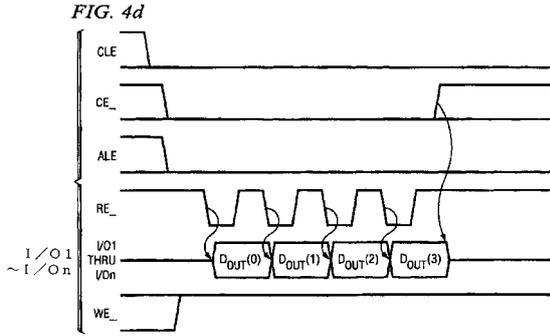
【 図 4 a 】



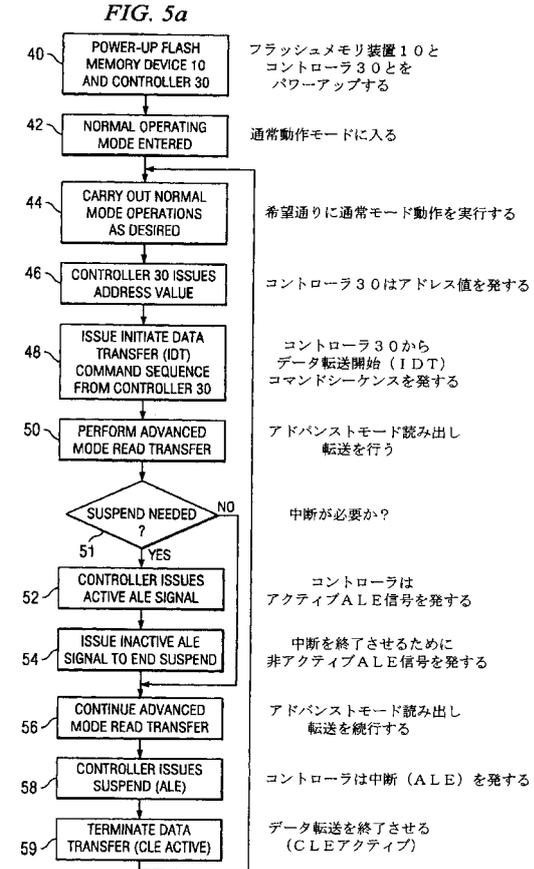
【 図 4 c 】



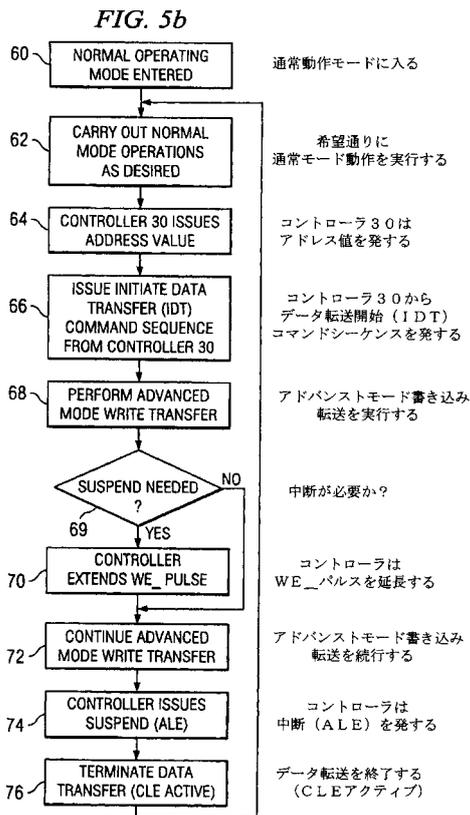
【図4d】



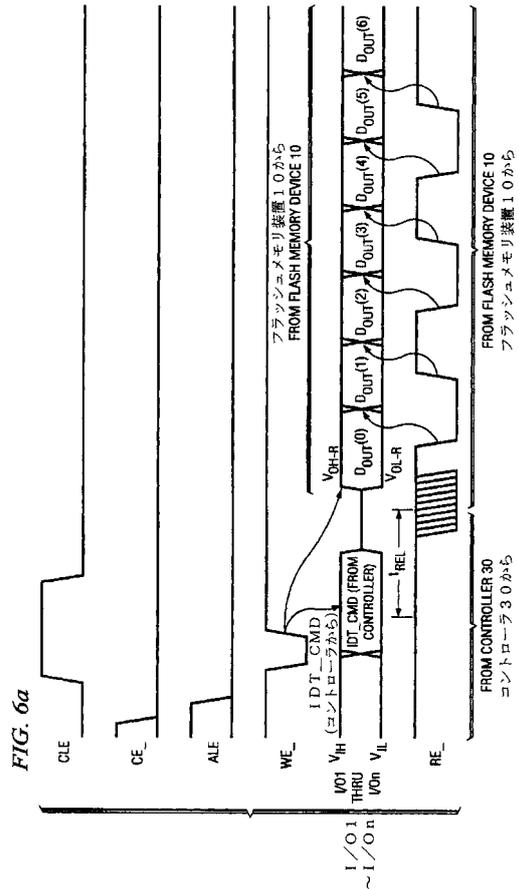
【図5a】



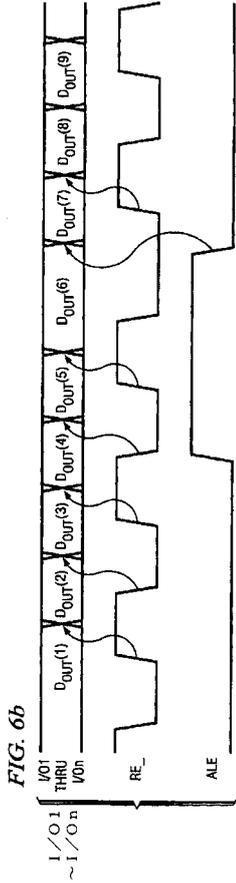
【図5b】



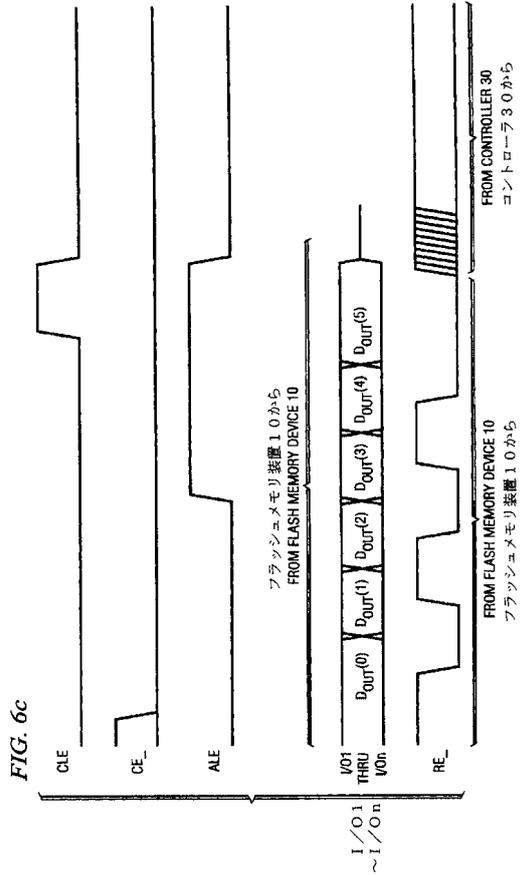
【図6a】



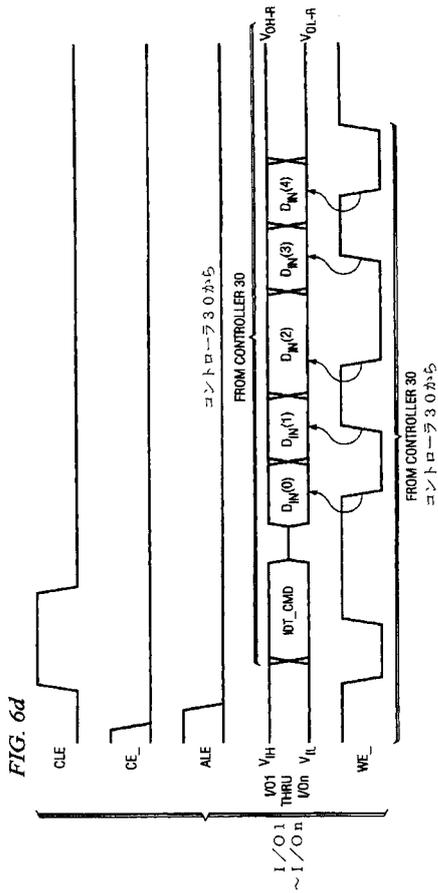
【 図 6 b 】



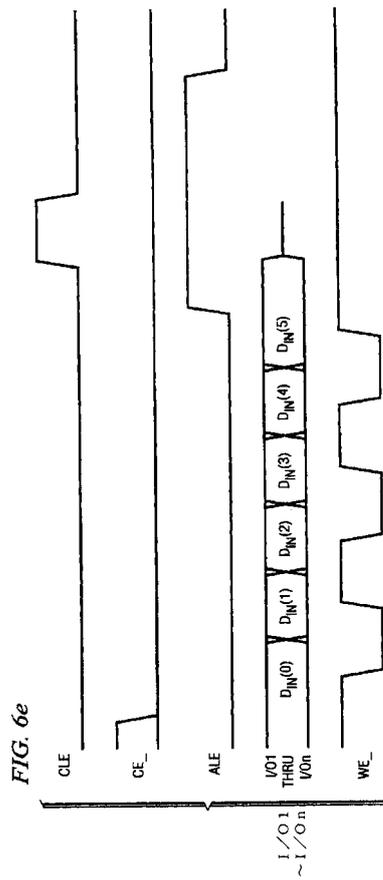
【 図 6 c 】



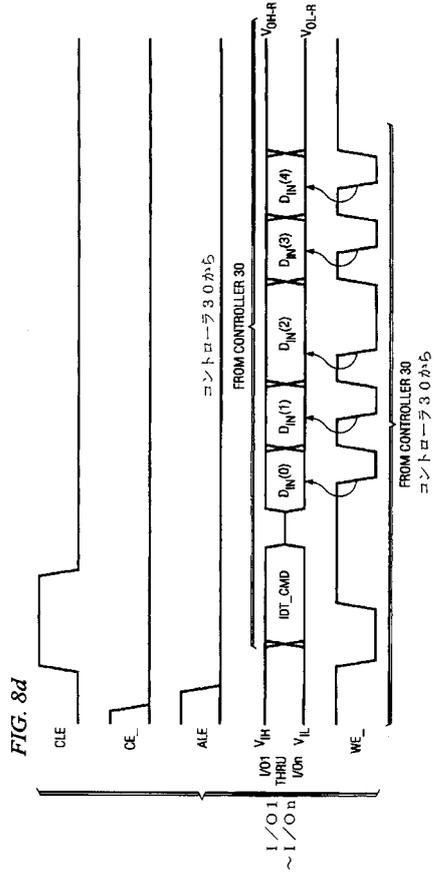
【 図 6 d 】



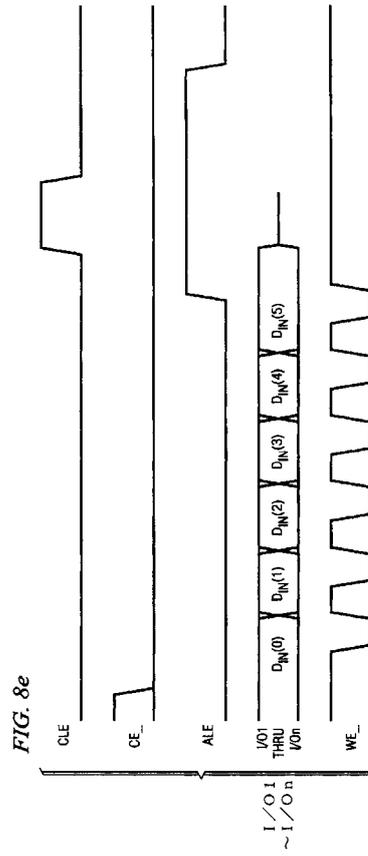
【 図 6 e 】



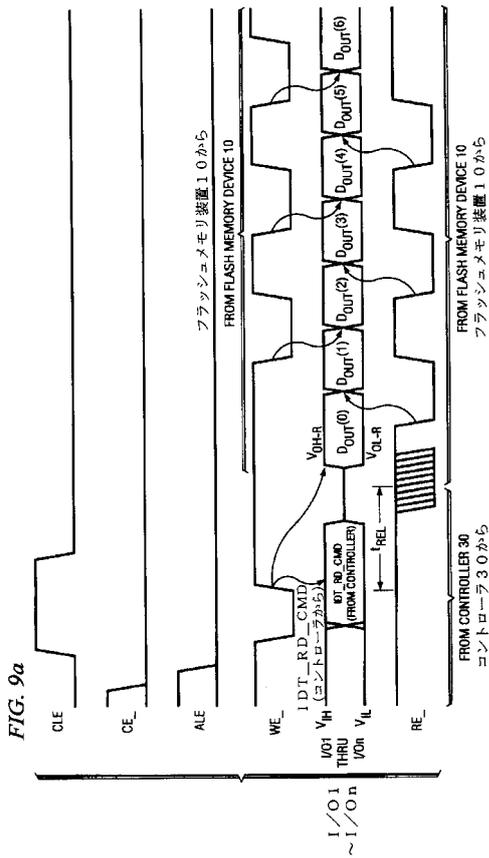
【 図 8 d 】



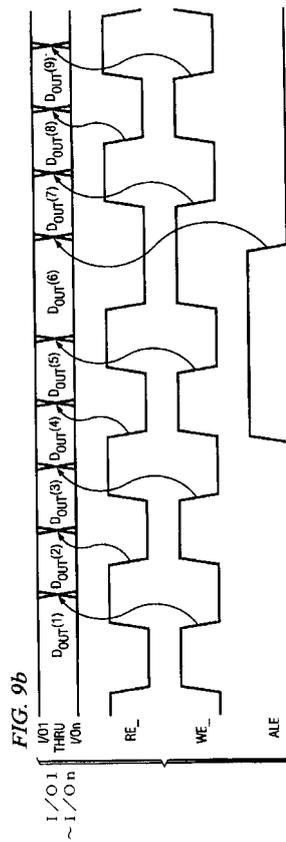
【 図 8 e 】



【 図 9 a 】



【 図 9 b 】



フロントページの続き

(51) Int.Cl. F I
G 0 6 F 12/00 (2006.01) G 0 6 F 12/00 5 9 7 U
 G 0 6 F 12/00 5 9 7 D
 G 0 6 F 12/00 5 5 0 E

(31)優先権主張番号 11/424,573
 (32)優先日 平成18年6月16日(2006.6.16)
 (33)優先権主張国 米国(US)
 (31)優先権主張番号 11/424,581
 (32)優先日 平成18年6月16日(2006.6.16)
 (33)優先権主張国 米国(US)
 (31)優先権主張番号 11/458,422
 (32)優先日 平成18年7月19日(2006.7.19)
 (33)優先権主張国 米国(US)
 (31)優先権主張番号 11/458,431
 (32)優先日 平成18年7月19日(2006.7.19)
 (33)優先権主張国 米国(US)

(72)発明者 アフメト, リズワン
 アメリカ合衆国、9 5 1 4 8、カリフォルニア州、サンノゼ、ボルテール ストリート 4 1 5 8
 (72)発明者 モーガット, ファーオーク
 アメリカ合衆国、9 4 5 5 5、カリフォルニア州、フリーモント、ケントフィールド コモン 4
 8 0 0
 (72)発明者 リン, ジェイソン
 アメリカ合衆国、9 5 0 5 1、カリフォルニア州、サンタ クララ、インバーソン コート 2 6
 7 0

審査官 滝谷 亮一

(56)参考文献 特開2006-040518(JP,A)
 特開2001-067870(JP,A)
 特開2002-007200(JP,A)

(58)調査した分野(Int.Cl., DB名)
 G 1 1 C 1 6 / 0 2
 G 0 6 F 1 2 / 0 0
 G 0 6 F 1 3 / 1 6
 G 0 6 K 1 9 / 0 7
 G 1 1 C 1 6 / 0 4
 G 1 1 C 1 6 / 0 6