



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098424  
(43) 공개일자 2008년11월07일

- |   |  |
|---|--|
| <p>(51) Int. Cl.<br/><i>H01L 27/12</i> (2006.01) <i>H01L 21/20</i> (2006.01)</p> <p>(21) 출원번호 10-2008-7022815</p> <p>(22) 출원일자 2008년09월18일<br/>심사청구일자 2008년09월18일<br/>번역문제출일자 2008년09월18일</p> <p>(86) 국제출원번호 PCT/EP2007/051783<br/>국제출원일자 2007년02월26일</p> <p>(87) 국제공개번호 WO 2007/096426<br/>국제공개일자 2007년08월30일</p> <p>(30) 우선권주장<br/>06 01696 2006년02월27일 프랑스(FR)<br/>60/838,162 2006년08월17일 미국(US)</p> | <p>(71) 출원인<br/>트라씨 페끄놀로지<br/>프랑스 에프-38190 베르닌 쉬맹 데 프랑끄 빠끄 페끄놀로지끄 데 뿔판느</p> <p>(72) 발명자<br/>아스파 머나드<br/>프랑스 에프-38140 리브 로띠쓰멍 르 아모 데 에 이어스<br/>라가해-블란차드 크리스텔<br/>프랑스 에프-38134 썬 조셉 데 리비에르 루트 데 라 캐스케이드</p> <p>(74) 대리인<br/>정홍식, 김종선, 김태현, 이현수</p> |
|---|--|

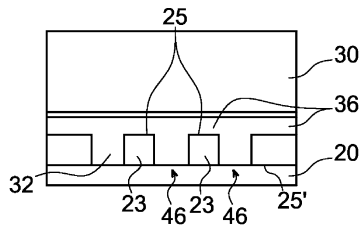
전체 청구항 수 : 총 23 항

**(54) 표층 및 기판을 연결하는 구역들을 포함하는 부분적 SOI 구조들을 생성하기 위한 방법**

**(57) 요약**

본 발명은, 표층(20'), 적어도 하나의 내장된 층(36, 46), 및 지지부(30), 를 포함하는 반도체 구조물을 제조하기 위한 방법에 관한 것으로, 상기 방법은, 제 1 지지부 위에 제 1 재료의 패턴들(23)을 형성하는 단계, 상기 패턴들 사이 및 상기 패턴들 위에, 반도체 층을 형성하는 단계, 상기 반도체 층을 제 2 지지부와 조립하는 단계, 를 포함한다.

**대표도** - 도2f



**특허청구의 범위**

**청구항 1**

표층(20', 30'), 적어도 하나의 매립층(23, 26, 36), 및 기관(30), 을 포함하는 반도체 구조물을 제조하기 위한 방법으로서, 상기 방법은:

- 제 1 기관(20) 위에 제 1 재료의 패턴들(23)을 형성하는 단계;
- 상기 패턴들 사이 및 상기 패턴들 위에, 제 2의 반도체 재료로 형성된 층(26)을 형성하는 단계;
- 제 2 재료로 형성된 상기 층(26)을, 그의 결정도를 전부 또는 부분적으로 수정하도록, 열처리하는 단계;
- 제 2 재료로 형성된 상기 층(26)을 제 2 기관(30)과 조립하는 단계;를 포함하는 것을 특징으로 하는 반도체 구조물 제조방법.

**청구항 2**

제 1 항에 있어서,

제 2 재료로 형성된 상기 층은, 단결정 및/또는 다결정 및/또는 비정질 실리콘으로 형성되는, 반도체 구조물 제조방법.

**청구항 3**

제 1 항 또는 제 2 항에 있어서,

상기 제 2 재료로 형성된 상기 층은, 제 1 유형의 결정도의 구역들(26a) 및 제 1 유형과 다른 제 2 유형의 결정도의 구역들(26b)을 포함하는, 반도체 구조물 제조방법.

**청구항 4**

표층(20', 30'), 적어도 하나의 매립층(23, 26, 36), 및 기관(30), 을 포함하는 반도체 구조물을 제조하기 위한 방법으로서, 상기 방법은:

- 제 1 기관(20) 위에 제 1 재료의 패턴들(23)을 형성하는 단계;
- 상기 패턴들 사이 및 상기 패턴들 위에, 비정질 실리콘 또는 단결정 실리콘으로 형성된, 제 2의 재료로 형성된, 층(26)을 형성하는 단계;
- 제 2 재료의 이 층(26)을 제 2 기관(30)과 조립하는 단계;를 포함하는, 반도체 구조물 제조방법.

**청구항 5**

제 4 항에 있어서,

상기 비정질 실리콘 또는 단결정 실리콘 층을, 그들의 결정도를 수정하도록, 열처리하는 단계를 더 포함하는, 반도체 구조물 제조방법.

**청구항 6**

제 4 항 또는 제 5 항에 있어서,

상기 비정질 실리콘 또는 단결정 실리콘 층은, 제 1 유형의 결정도의 구역들(26a)과, 제 1과는 다른 제 2 유형의 결정도의 구역들(26b)을 포함하는, 반도체 구조물 제조방법.

**청구항 7**

표층(20'), 적어도 하나의 매립층(23, 26, 36), 및 기관(30), 을 포함하는 반도체 구조물을 제조하기 위한 방법으로서, 상기 방법은:

- 제 1 기관(20) 위에 제 1 재료의 패턴들(23)을 형성하는 단계;
- 상기 패턴들 사이 및 상기 패턴들 위에, 제 2의, 반도체 재료로 형성된 층(26)을 형성하는 단계로서, 상기 반

도체 층은, 제 1 유형의 결정도의 구역들(26a) 및 제 1과는 다른 제 2 유형의 결정도의 구역들(26b)을 포함하는, 층 형성단계;

-제 2 재료로 형성된 이 층을 제 2 기판(30)과 조립하는 단계;를 포함하는, 반도체 구조물 제조방법.

#### 청구항 8

제 7 항에 있어서,

제 2 재료로 형성된 상기 층은, 단결정 및/또는 다결정 및/또는 비정질 실리콘으로 형성된, 반도체 구조물 제조 방법.

#### 청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 패턴들(23)은, 유전체 재료로 형성된 제 1 층(22)으로부터 생성되는, 반도체 구조물 제조방법.

#### 청구항 10

제 9 항에 있어서,

상기 유전체 재료는, 산화물 또는 질화물인, 반도체 구조물 제조방법.

#### 청구항 11

제 10 항에 있어서,

상기 유전체 재료는, 열산화에 의해, 또는 LPCVD 기술을 이용하는 산화물 증착에 의해, 또는 PECVD 기술을 이용하는 산화물 증착에 의해, 제조되는, 산화물인, 반도체 구조물 제조방법.

#### 청구항 12

제 1 항 내지 제 11 항 중 어느 한 항에 있어서,

상기 패턴들(23)은, 상이한 재료들 및/또는 다중층들로 구성된 제 1 층(22)으로부터 생성된, 반도체 구조물 제조방법.

#### 청구항 13

제 1 항 내지 제 12 항 중 어느 한 항에 있어서,

제 2 재료로 형성된 상기 층(26)은, 에피택시 또는 증착에 의해 형성된, 반도체 구조물 제조방법.

#### 청구항 14

제 13 항에 있어서,

제 2 재료로 형성된 상기 층(26)은, 에피택시에 의해, 상기 에피택시가 수행되는 표면에 의존한 속도로, 형성되는, 반도체 구조물 제조방법.

#### 청구항 15

제 1 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 제 2 기판(30)과 조립되기 이전에, 제 2 재료로 형성된 상기 층(26)의 평탄화 단계를 포함하는, 반도체 구조물 제조방법.

#### 청구항 16

제 1 항 내지 제 15 항 중 어느 한 항에 있어서,

제 2 재료로 형성된 상기 층(26)의 표면의 준비의 친수성 또는 소수성 단계는, 상기 제 2 기판(30)과의 조립 이전에 수행되는, 반도체 구조물 제조방법.

**청구항 17**

제 1 항 내지 제 16 항 중 어느 한 항에 있어서,

어닐링 단계가, 제 2 재료로 이루어진 상기 층(26)의 상기 제 2 기관(30)과의 조립 이후에, 수행되는, 반도체 구조물 제조방법.

**청구항 18**

제 1 항 내지 제 17 항 중 어느 한 항에 있어서,

상기 2개의 기관들(20, 30) 중 적어도 하나를 박막화하는 단계를 더 포함하는, 반도체 구조물 제조방법.

**청구항 19**

제 1 항 내지 제 18 항 중 어느 한 항에 있어서,

상기 패턴들(23)은, 식각에 의해 생성되는, 반도체 구조물 제조방법.

**청구항 20**

표층(20'), 적어도 하나의 매립층 또는 내장층(23, 26, 36), 및 기관(30), 을 포함하는 반도체 장치로서,

상기 매장층 또는 내장층은, 비정질 또는 단결정 실리콘으로 형성된 제 1 서브층(36, 26a, 26b) 및 제 1 재료의 패턴들(23)과 비정질 또는 단결정 실리콘의 구역들과의 교번을 포함하는 제 2 서브층을 포함하는 것을 특징으로 하는 반도체 장치.

**청구항 21**

표층(20'), 적어도 하나의 매장층 또는 내장층(22, 26), 및 기관(30), 을 포함하는 반도체 장치로서,

상기 매장층 또는 내장층은, 제 1 재료로 이루어진 패턴들(23)과, 제 2의, 반도체 재료로 이루어진 구역들의 교번을 포함하는 제 1 서브층과, 제 1 유형의 결정도의 구역들(26a) 및 제 2 유형의 결정도의 구역들(26b), 을 포함하는 제 2 서브층, 을 포함하는 것을 특징으로 하는 반도체 장치.

**청구항 22**

제 21 항에 있어서,

상기 제 2 서브층은, 단결정 및/또는 다결정 및/또는 비정질 실리콘으로 형성된, 반도체 장치.

**청구항 23**

제 20 항 내지 제 22 항 중 어느 한 항에 있어서,

상기 제 1 재료는 유전체 재료인, 반도체 장치.

**명세서**

**기술분야**

<1> 본 발명은, 반도체 구성요소들 또는 MEMS형 장치들의 새로운 구조들의 생성에 관한 것으로, 특히, SOI 또는 SOI 형 장치들에 관한 것이다.

**배경기술**

<2> 다수의 마이크로시스템들 또는 MEMS(Micro Electro Mechanical Systems)는, 특히 공동(cavity) 위에서 부유하는 단결정 실리콘막들(monocrystalline silicon membranes)을 얻는 것을 가능하게 하는 SOI(Silicon On Insulator) 재료들을 이용하여, 생성된다.

<3> 전력 전자 및 마이크로시스템들의 영역에서의 다양한 응용들에서, "벌크(bulk)" 실리콘 기관과 SOI 기관의 기능들을 결합하는 구조; 즉, 도 1에 도시된 바와 같이, 활성층(4) 아래에서 내장된 산화물(예를 들어 SiO<sub>2</sub>)의 국부

적 구역들(2)을 포함하는 구조를 갖는 것이 이로울 수 있다.

- <4> 이러한 유형의 구조를 얻기 위해, 많은 방법들이, 예를 들어 서류 FR 0216646에 이미 설명되어 있다.
- <5> 이러한 유형의 방법에서, 하나의 문제는 이종의 표면(heterogeneous surface)을 컨디셔닝해야한다는 것이다.
- <6> 도 1에 도시된 바와 같은, SOI 구역들 및 Si 구역들을 포함하는 구조를 생성하는 문제가 내포되어 있다.
- <7> 더욱 상세하게는, 목적은, 이미 알려진 것들보다 더 간단한 기술, 특히, 특정 방법들이 사용될 것을 요구하는 이종의 표면들의 존재와 연관된 문제를 극복하는 기술을 발견하는 것이다.

**발명의 상세한 설명**

- <8> 본 발명은 우선, 표층, 적어도 하나의 매장층 또는 내장층, 및 지지부, 를 포함하는 반도체 구조물을 제조하기 위한 방법에 관한 것으로, 상기 방법은:
  - <9> -제 1 지지부 또는 기판 위에 제 1 재료의 패턴들을 형성하는 단계;
  - <10> -상기 패턴들 사이 및 상기 패턴들 위에, 제 2의 반도체 재료로 형성된 층을 형성하는 단계;
  - <11> -상기 반도체 층을, 그의 결정도를 전부 또는 부분적으로 수정하도록, 열처리하는 단계;
  - <12> -상기 반도체 층을 제 2 지지부 또는 기판과 조립하는 단계;를 포함한다.
  - <13> 상기 반도체 층은, 단결정 및/또는 다결정 및/또는 비정질 실리콘으로 형성될 수 있다.
  - <14> 이것은, 또한, 제 1 유형의 결정도의 구역들 및 제 1과 다른 제 2 유형의 결정도의 구역들을 포함할 수 있다. 예를 들어, 이것은, 비정질 재료의 구역들과, 다결정 재료의 구역들을 포함한다. 다른 예에 따르면, 이것은 결정 구역들과, 비정질 또는 다결정 재료의 구역들을 포함한다.
- <15> 본 발명은, 또한, 표층, 적어도 하나의 매장 또는 내장된 층, 및 지지부 또는 기판, 을 포함하는 반도체 구조물을 제조하기 위한 방법에 관한 것으로서, 상기 방법은:
  - <16> -제 1 지지부 또는 기판 위에 제 1 재료의 패턴들을 형성하는 단계;
  - <17> -상기 패턴들 사이 및 상기 패턴들 위에, 비정질 실리콘 또는 단결정 실리콘으로 형성된, 제 2의 층을 형성하는 단계;
  - <18> -이 제 2의 층을 제 2 지지부 또는 기판과 조립하는 단계;를 포함한다.
  - <19> 상기 반도체 층을 열처리하는 단계가, 그의 결정도를 전체적으로 또는 부분적으로 수정하도록 수행될 수 있다.
  - <20> 상기 반도체 층은, 제 1 유형의 결정도의 구역들과, 제 1과는 다른 제 2 유형의 결정도의 구역들을 포함할 수 있다. 예를 들어, 이것은, 비정질 재료의 구역들과, 다결정 재료의 구역들, 을 포함한다. 다른 예에 따르면, 이것은, 결정 구역들과, 비정질 또는 다결정 재료의 구역들, 을 포함한다.
- <21> 본 발명은, 또한, 표층, 적어도 하나의 매장층 또는 내장층, 및 지지부 또는 기판, 을 포함하는 반도체 구조물을 제조하기 위한 다른 방법에 관한 것으로, 상기 방법은:
  - <22> -제 1 지지부 또는 기판 위에 제 1 재료의 패턴들을 형성하는 단계;
  - <23> -상기 패턴들 사이 및 상기 패턴들 위에, 반도체 층을 형성하는 단계로서, 상기 반도체 층은, 제 1 유형의 결정도의 구역들 및 제 1과는 다른 제 2 유형의 결정도의 구역들을 포함하는, 층 형성단계;
  - <24> -이 제 2의 층을 제 2 지지부 또는 기판과 조립하는 단계;를 포함한다.
  - <25> 상기 반도체 층은, 예를 들어, 단결정 및/또는 다결정 및/또는 비정질 실리콘으로 형성될 수 있다.
  - <26> 상기 패턴들은, 예를 들어, 산화물 또는 질화물 층인 절연층일 수 있는 층으로부터 예를 들어 형성될 수 있다. 이것은, 예를 들어, 열산화에 의해, 또는 LPCVD 기술을 이용하는 산화물 증착에 의해, 또는 PECVD 기술을 이용하는 산화물 증착에 의해, 생성된다. 상기 패턴들은, 마이크로 전자공학에서 이용된 어떠한 다른 전통적인 수단들에 의해 형성될 수 있다.
  - <27> 일반적으로, 상기 패턴들이 형성되는 이 층은 상이한 재료들 및/또는 다중층들로 구성된 층일 수 있다.

- <28> 일반적으로, 상기 반도체 층은, 또한, 에피택시 또는 증착에 의해 형성될 수 있는데: 에피택시의 경우에는, 이것은, 에피택시가 수행되는 표면에 의존한 속도에서 형성될 수 있으며, 이것은, 상대적인 평면 표면이 성장 이후에 얻어지는 것을 가능하게 한다.
- <29> 상기 반도체 층의 평탄화 단계가, 상기 제 2 기판과의 조립 이전에 수행될 수 있다.
- <30> 상기 반도체 층의 표면의 친수성 또는 소수성 준비의 단계는, 이 층의 상기 제 2 지지부 또는 기판과의 조립 이전에 수행될 수 있다.
- <31> 어닐링 단계가, 상기 반도체 층의 상기 제 2 지지부 또는 기판과의 조립 이후에, 수행될 수 있다.
- <32> 박막화하는 단계, 및 선택적으로, 박막화 이전 또는 이후에, 박막화될 기판의 라우팅 단계 또는 에지 연삭의 단계가 또한 수행될 수 있다.
- <33> 본 발명은 또한, 표층, 적어도 하나의 내장된 층, 및 지지부 또는 기판, 을 포함하는 반도체 장치에 관한 것으로, 상기 내장된 층은, 비정질 또는 단결정 실리콘의 제 1 서브층과, 제 1 재료의 패턴들과 비정질 또는 단결정 실리콘의 구역들과의 교번을 포함하는 제 2 서브층, 을 포함한다.
- <34> 본 발명은 또한, 표층, 적어도 하나의 매장 또는 내장된 층, 및 지지부 또는 기판, 을 포함하는 반도체 장치에 관한 것으로, 상기 매장 또는 내장된 층은, 제 1 재료의 패턴들과, 제 2의, 반도체 재료의 구역들의 교번을 포함하는 제 1 서브층과, 제 1 유형의 결정도의 구역들 및 제 2 유형의 결정도의 구역들, 을 포함하는 반도체 재료로 형성된 제 2 서브층, 을 포함한다.
- <35> 상기 제 2 서브층은, 단결정 및/또는 다결정 및/또는 비정질 실리콘으로 형성될 수 있다.
- <36> 본 발명에 따른 방법들 중 하나에 의하면, 예를 들어 내장 또는 매장된 산화물 층에 의해, 어떤 구역들은 기판으로부터 절연되고, 다른 구역들은 반도체(예를 들어 Si) 벌크(또는 매시브(massive))로서 작용하는, 가변적인 두께의 활성 표층을 포함하는 구조를 얻는 것이 가능하며, 이후, 기판과의 수직적 열적 및/또는 전기적 전도가 있다.
- <37> 본 발명에 따른 방법들 중 하나에 의하면, 예를 들어 내장 또는 매장된 산화물 층에 의해, 어떤 구역들은 기판으로부터 절연되고, 다른 구역들은 반도체(예를 들어 Si) 벌크(또는 매시브)로서 작용하는, 가변적인 두께의 활성 표층을 포함하는 구조를 얻는 것이 가능하며, 이후, 기판과의 수직적 열적 및/또는 전기적 전도가 있다.
- <38> 이미 알려진 기술에 관해서, 본 발명은, 이종의 표면(예를 들어  $\text{SiO}_2/\text{Si}$ 의 교번을 가지는)의 평탄화를 회피한다. 평탄화된 표면은 동종이며(이것은, 예를 들어, 에피택셜 성장에 의해 얻어진 Si 또는 실리콘의 증착이다), 이 경우에, 특정하고 복잡한 평탄화 방법들의 수행은, 차동의 공격 속도들("디싱(dishing)")의 문제들을 해결하도록, 회피될 수 있다.
- <39> 본 발명은, Ga, SiC, AsGa, InP, 또는 SiGe와 같은 다른 반도체들에도 적용가능하다.

**실시 예**

- <45> 도 1에 도시된 것과 같은 구조를 개발하기 위한, 본 발명에 따른 방법이, 반도체 재료, 예를 들어 Si(20)으로 시작하여(도 2a), 도 2a 내지 도 2g를 참조하여 설명될 것이다.
- <46> 층(22)으로서, 매장된 층 또는 내장된 층 또는 패턴들에 의해 구조화된 내장 또는 매장된 층으로 의도된, 예를 들어, 최종 구조에 매장 또는 내장된 패턴들(23)의 바람직한 두께에 대응할 두께를 가지는, 특히 실리콘 산화물과 같은 산화물의 유전체층인, 층(22)이 먼저 생성된다(도 2b). 이 층(22)은, 상이한 방법들: 열산화(thermal oxidation), 또는 LPCVD 산화물 증착(oxide deposition), 또는 PECVD 산화물 증착, 등에 의해 형성될 수 있다. 이 내장된 층(22)은, 또한, 응용에 바람직한 기능성들에 따라서, 상이한 재료들(예를 들어:  $\text{Si}_x\text{N}_y$ 와 같은 질화물 및/또는  $\text{Al}_2\text{O}_3$ 과 같은 산화물 및/또는 도핑된 실리콘 산화물(PSG- 또는 BPSG-형, 등)), 및/또는 다중층들(다시,  $\text{Si}_x\text{N}_y$ 와 같은 질화물 및/또는  $\text{Al}_2\text{O}_3$ 과 같은 산화물 및/또는 PSG 또는 BPSG와 같은 도핑된 실리콘 산화물, 을 가진)로 구성될 수 있다.
- <47> 이후, 패턴들(23)의 분포가 이 층(22)에서 정의된다. 이 패턴들 사이의 구역들(24)은, 예를 들어, 리소그래피(lithography) 및 상기 층(22)의 식각(etching)에 의해, 예를 들어, 하부 기판(20)의 레벨까지 식각된다(도 2c). 따라서, 기판의 표면에서, 패턴들(23)과 패턴들 사이의 구역들(24)의 교번이 얻어진다. 상기 패턴들(23)의

분포는, 식각뿐 아니라 다른 기술에 의해 얻어질 수 있다. 이 분포는, 응용의 필요성들에 따라서 배열된다. 또한, 패턴들은 상이한 형태들(위에서 볼 때: 원형, 및/또는 정사각형, 및/또는 다른 형태 등)과, 가변적인 크기들(서브미크론에서 밀리미터까지)을 가질 수 있다. 상기 패턴들(23) 사이의 구역들(24)은 기판(20)의 표면(21)까지 도달할 수 있으며, 이것은, 이 표면(21) 상에서는, 재료의 패턴들(23)(주어진 예에서는 산화물)을 교번시키고, 이 패턴들 사이에는, 재료가 없고 상기 기판(20)에 직접적으로 도달하는 구역들(24)을, 교번시키는 것을 가능하게 한다. 따라서, 상기 패턴들은 반도체 기판(20) 상에 직접적으로 형성된다.

- <48> 상기 패턴들은, 산화, 산화물 증착, 식각, 포토리소그래피, 등과 같은 마이크로 전자공학적인 방법들의 다른 조합들에 의해 얻어질 수 있다.
- <49> 반도체 재료(26)의 증착 또는 에피택셜 생성은, 이렇게 준비된 기판 상에서 수행된다(도 2d). 일반적으로, 상기 패턴들(23) 위의 두께(e)를 가진 층이, 실질적으로, 패턴들(23)의 형태 및 분포와 매치한다.
- <50> 따라서, 반도체 재료의 층(26)은, 상기 패턴들 상 및 사이에서 직접적으로 형성된다. 상기 패턴들 사이에, 반도체 층이 반도체 기판(20)과 접촉한다.
- <51> 도 3은, 재료(26)로 채워진 식각된 구역들(24)이 패턴들(23) 사이에서 생성된 기판의, 위에서 바라본 예를 도시한다.
- <52> 도 3의 구성이 아닌 구성들이 생성될 수 있다.
- <53> 반도체 재료(26)는, 예를 들어, 응용의 필요성들에 따라서 그리고/또는 각 기술의 가능성들에 따라서, 특히, 증착되어야 하는 두께에 따라서 선택된 유형의 실리콘 가진, 실리콘(비정질(amorphous), 다결정(polycrystalline), 또는 결정(crystalline))이다. 다른 반도체 재료들, 예를 들어 SiC, 또는 GaN 또는 유형 III 내지 V의 재료들이 선택될 수 있다. 이 재료들을 위해, 여러 유형들의 결정도(crystallinity)를 가지는 가능성도 있다(예를 들어, 다결정 또는 단결정 SiC).
- <54> 추가적 표층(20', 30')의 재료와 같은 유형(재료, 도핑, 등)의 반도체(26)를 선택하는 것이 이롭다(도 2f 및 2g 참조). 그러나, 어떤 경우들에서는, 반도체층(26)의 유형이, 표층(20', 30')의 것과 상이한 것이 이로울 수 있다.
- <55> 이 재료(26)는, 기판(20)의 표면(21)과 절연 패턴들(23)과 선택적으로 접촉한다.
- <56> 증착된 재료의 두께(e)는, 산화물 패턴들(23)의 정점(apex: 23)까지 인도되지 않거나 또는 상기 정점을 그 위에 어떠한 증착된 재료가 없게 남겨두지 않고,  $0 < e' < e$ 의 두께(e')(도 2d)를 얻도록, 평탄화(planarisation)에 의해 토폴로지에서의 감소를 허용하도록, 선택된다.
- <57> 이 반도체 재료층(26)을 생성하기 위해 이용된 기술의 유형에 따라서, 다양한 결정도들이 얻어진다: 예를 들어, Si의 경우에, 단결정 Si의 에피택셜층 또는, 상이한 기술들(LPCVD, PECVD, 등)을 이용하여 다결정 또는 비정질 Si의 증착을 생성하는 것이 가능하다.
- <58> Si(기판(20)의 표면(21)) 및 SiO<sub>2</sub>(패턴들(23))의 교번적인 구역들 상의 비정질 Si 증착의 생성은, 다결정 재료(표면(21) 상의) 및 비정질 재료(패턴들(23) 상의) 사이에서 교번하는 층을 초래하며, 반면, Si(표면(21)) 및 SiO<sub>2</sub>(패턴들(23))의 교번하는 구역들 상의 Si의 에피택셜 생성은, 결정 재료(표면(21) 상의) 및 비정질 또는 다결정 재료(패턴들(23) 상의) 사이를 교번하는 층을 초래한다.
- <59> 따라서, 어떤 응용들에서는, 전기 및/또는 열 전도 및/또는 잔류 가스 제거(gettering) 및/또는 기계적인 특징들에 의해, 요구조건들에 따라서 층(26)의 상이한 결정도들 사이를 교번하는 것이 이롭다. 따라서, 도 4에 도시된 바와 같이, 패턴들(23)과 반도체 재료(26) 사이의 교번을 포함하는 단일 서브층 상에, 제 1 유형의 결정도를 가지는 반도체 재료(26a)와, 제 1의 유형과는 다른 제 2 유형의 결정도를 가지는 반도체 재료(26b), 의 구역들의 교번을 형성하는 것이 가능하다. 다양한 조합들의 예들이 아래에 도시된다.
- <60> 또한, 응용의 필요성들에 따라서, 이 증착된 층(26)의 물리적인 속성들, 예를 들어, 전기(전도체, 절연 등), 및/또는 열적(전도성) 및 또는 기계적인, 속성들을 선택하는 것이 가능하다. 이것을 위해, 이 층(26)이 형성되는 조성(다소의 도핑을 가진) 및/또는 조건들을 변경하는 것이 가능하다.
- <61> 증착된 층(26)의 열처리가, 층의 결정도를 수정하도록 수행될 수 있다. 예를 들어, 비정질 및/또는 다결정 Si의 층(26)은, 증착되고, 이후 1100°C에서 어닐링된다.

- <62> 층(26)의 이 열처리는, 기판(30)과의 조립 및 점착(도 2e 참조) 이전에 수행되며, 따라서, 상기 층(26)을 물리적으로 수정할 수 있다(자신의 결정도를 수정함으로써).
- <63> 상기 층(26)은, 이후, 얻어질 후속의 접합 위상(bonding phase)과 양립가능한 표면 상태를 가능하게 하는 평탄 표면(27)(도 2d)을 얻도록, 컨디셔닝될 수 있다.
- <64> 상기 층(26)의 이 컨디셔닝은, 평탄화, 예를 들어, 화학적-기계적 연마(polishing), 기계적 박막화(thinning) 또는 화학적 박막화(건식 플라즈마 공격 또는 RIE: 표면 토폴로지를 감소시킬 수 있는 반응적 이온 식각)에 의해, 또는 이 상이한 기술들의 조합에 의해, 수행될 수 있다.
- <65> 이 평탄화는, 예를 들어, 상기 층(26)의 에피택시의 속도가 성장이 이루어지는 표면에 따라 제어되는 경우, 실질적으로 감소 및/또는 회피될 수 있으며: 예를 들어(도 5), 반도체 재료의 표면들(240) 상에서의 성장의 속도가 산화물 구역들(25)의 레벨에서의 성장의 속도보다 크며; 이 상대적인 속도들의 제어가, 이 층의 성장 이후에, 상대적으로 평면인 표면을 얻는 것을 가능하게 할 수 있다.
- <66> 이렇게 준비된 기판(20)은, 이후, 분자 점착에 의해, 예를 들어 실리콘으로 형성된 기판(30)에 결합된다(도 2e). 수행될 수 있는 다양한 유형의 표면 준비 및 결합이 아래에서 지칭된다.
- <67> 친수성(hydrophilic) 또는 소수성(hydrophobic)형 표면 준비는, 기판들의 이 조립 이전에 수행될 수 있다. 패드들(23)이 전기적으로 절연된 경우(예를 들어, 산화물로 형성된), 바람직한 최종 구조는, 기판(20')(SOI)으로부터 절연된 구역들(36) 및 이 구역들(36) 사이의 전도성 구역들(46)을 포함한다(도 2f).
- <68> 친수성 접합의 경우에, 자연 산화물 층(34)이 접합 인터페이스에 존재하며, 기판들(20, 30) 사이에 오믹접촉(ohmic contact)을 타협할 수 있다. 이 경우에, 오믹접촉이 특정 응용에 대해서 바람직한 경우, 접합 인터페이스의 레벨에서 이 산화물의 분해를 야기하고 따라서, 전도성 구역들(46)의 레벨에서 오믹접촉을 생성하도록, 높은 온도(>1100°C)에서 구조를 처리하는 것이 가능하다.
- <69> 어떤 응용들에 대해서는, 열처리가 낮은 온도에서 수행될 수 있다.
- <70> 소수성 접합의 경우에, 접촉하여 위치한 표면은 자연 산화물(34)이 없으며, 오믹접촉은 직접적으로 얻어진다.
- <71> 바람직하게는, 접합 후에, 구조는, 한편으로는 접합 인터페이스의 강화(접합력의 강화)를 허용하도록, 다른 한편으로는, 친수성 접합의 경우에 위에서 도시된 바와 같이, 인터페이스 산화물의 분해 및 오믹접촉을 생성하도록, 높은 온도에서 어닐링된다.
- <72> 열처리, 구조, 및/또는 최종 구조를 생성하기 위해 수행될 후속적인 단계들과 양립할 수 있는 온도에서 수행된다.
- <73> 바람직하게는, 열처리 단계는, 바람직하게는 접합 인터페이스의 강화를 위한 후속적인 온도보다 높거나 같은 온도에서, 상기 층(26)의 증착 이후에, 수행될 것이다. 어떤 경우들에서는, 이것은 강화 온도보다 낮을 수 있다.
- <74> 예를 들어, 실리콘의 경우, 열처리는, 700°C 내지 1300°C의 범위 내의 온도에서 일어날 수 있다.
- <75> 기판(20) 및/또는 기판(30)은, 구성요소들이 개발될 추가적인 활성 반도체층(20')을 얻도록, 자신의 후면에 의해 박막화될 수 있다(thinned)(도 2f). 도 2f에서, 박막화되는 것은 기판(20)이다. 기판(30)이 박막화되는 경우, 도 2g의 것과 같은 구조가 얻어지는데, 여기서 패드들(23)의 정점(25)은 기판(30')(박막화 후의 기판(30))을 향해 회전되지만, 층(36)에 의해 기판(30')으로부터 분리된다. 도 2f에서, 기판 또는 박막화된 층(20')을 향해 회전하는 것은 패드들(23)의 다른 정점(25')이며, 이 정점은, 도시된 예에서 층(20')과도 접촉한다.
- <76> 이 박막화는, 기계적인 연삭(grinding) 및/또는 화학적-기계적 연마 및/또는 기계적 연마 및/또는 화학적 식각(습식 또는 건식) 기술들에 의해 수행될 수 있다.
- <77> 바람직하게는, 박막화될 것은 기판(20)이다(도 2f). 박막화는, "Smart-Cut®" 형 기술을 이용하여, 또는 기판 분열(substrate fracture)에 의해 또한 수행될 수 있다. "Smart-Cut®" 형 기술은, 예를 들어, A.J.Auberton-Herve et al.에 의한 자료, <Why can Smart-Cut change the future of microelectronics?> International Journal of High Speed Electronics and Systems, Vol. 10, No. 1(2000), p. 131-146에 개시되어 있다.
- <78> 본 발명에 따른 실시예들의 예들이 지금 제공될 것이다.
- <79> 예 1:

- <80> 이 예에서, 다음의 단계들이 수행된다:
- <81> a<sub>1</sub>) 예를 들어 산화물의 2 $\mu$ m을 생성함으로써, 실리콘 기판(20)의 열산화;
- <82> b<sub>1</sub>) 미래의 SOI 및 Si 구역들을 정의하기 위한 패턴들(24)의 리소그래피;
- <83> c<sub>1</sub>) 정의된 미래의 Si 구역들의 레벨에서 산화물(22)의 식각 및 식각 마스크의 제거;
- <84> d<sub>1</sub>) 표면의 세정 및 LPCVD(약 650 $^{\circ}$ C)에 의한 다결정 실리콘(p-Si)층(26)의 증착, 예를 들어, 약 4 $\mu$ m의 두께를 가지는 층의 증착;
- <85> e<sub>1</sub>) 1100 $^{\circ}$ C에서의 열처리;
- <86> f<sub>1</sub>) 화학적-기계적 연마에 의해, SOI 및 Si 구역들 사이의 톱폴로지를 제거하도록, p-Si 표면(26)의 평탄화; 그러나, 하나는 동종의 폴리-Si 표면 상에 남게되고, 이종의 SiO<sub>2</sub>/Si 표면으로 움직이지 않는다;
- <87> g<sub>1</sub>) 친수성 세정 및 기판(20)-패턴(23)-층(26) 조립체와 실리콘 없는 기판(30)의 분자 점착에 의한 직접적인 접합을 위한 접촉 배치;
- <88> h<sub>1</sub>) 1100 $^{\circ}$ C에서 접합 인터페이스의 강화를 위한 열처리;
- <89> i<sub>1</sub>) 예를 들어 10 $\mu$ m의 두께가 얻어질 때까지(이 최종 두께는, 응용의 필요성들에 따라서, 2 $\mu$ m 및 수백 마이크로, 예를 들어 500 $\mu$ m 사이에서 변화될 수 있다), 기계적인 연삭, 이후 화학적-기계적 연마에 의해 기판(20)의 후면의 박막화. 따라서, 도 2f에 도시된 구조가 얻어진다.
- <90> 예 2:
- <91> 이 예에서, 다음의 단계들이 수행된다:
- <92> 단계들 a<sub>2</sub> 내지 c<sub>2</sub>: a<sub>1</sub> 내지 c<sub>1</sub>과 동일;
- <93> d<sub>2</sub>) 표면의 세정 및, PECVD에 의해 비정질 실리콘(a-Si)층(26)의 증착, 예를 들어, 약 5 $\mu$ m의 두께를 가지는 층의 증착;
- <94> e<sub>2</sub>) 1100 $^{\circ}$ C에서의 열처리;
- <95> f<sub>2</sub>) 화학적-기계적 연마에 의해, SOI 및 Si 구역들 사이의 톱폴로지를 제거하도록, a-Si 표면(26)의 평탄화;
- <96> g<sub>2</sub>) 소수성 세정 및 기판(20) 및 실리콘 없는 기판(30)의 분자 점착에 의한 직접적인 접합을 위한 접촉 배치;
- <97> h<sub>2</sub>) h<sub>1</sub>과 동일;
- <98> i<sub>2</sub>) 예를 들어, 20 $\mu$ m의 두께가 얻어질 때까지, 기계적인 연삭, 이후에는 화학적-기계적 연마에 의한 기판(30)의 후면의 박막화. 따라서, 도 2g에 도시된 구조가 얻어진다.
- <99> 예 3
- <100> 이 예에서, 다음의 단계들이 수행된다:
- <101> a<sub>3</sub>) 예를 들어, 산화물의 3 $\mu$ m을 생성하는 것에 의해, 실리콘 기판(20)의 열산화;
- <102> b<sub>3</sub>) 내지 c<sub>3</sub>): b<sub>1</sub>) 내지 c<sub>1</sub>) 동일함;
- <103> d<sub>3</sub>) 표면의 세정 및 LPCVD(약 650 $^{\circ}$ C)에 의해 다결정 실리콘(p-Si)층(26)의 증착, 예를 들어, 약 7 $\mu$ m의 두께를 가지는 층의 증착;
- <104> e<sub>3</sub>) e<sub>1</sub>)과 동일함;
- <105> f<sub>3</sub>) 건식 연마에 의한, 이후에는 화학적-기계적 연마에 의한 표면 피니싱에 의해 SOI 및 Si 구역들 사이의 톱폴

로지를 제거하도록 p-Si 표면(26)의 평탄화;

- <106> g<sub>3</sub>) 내지 h<sub>3</sub>): g<sub>1</sub>) 내지 h<sub>1</sub>)와 동일;
- <107> i<sub>3</sub>) 예를 들어, 20 $\mu$ m의 두께가 얻어질 때까지, 기계적인 연삭, 이후에는 화학적-기계적 연마에 의한 기판(20)의 후면의 박막화. 따라서, 도 2f에 도시된 구조가 얻어진다.
- <108> 예 4:
- <109> 이 예에서는, 다음의 단계들이 수행된다:
- <110> a<sub>4</sub>) 내지 e<sub>4</sub>): a<sub>3</sub>) 내지 e<sub>3</sub>)과 동일함;
- <111> f<sub>4</sub>) 정교한 휠(예를 들어 #8000)을 가지고 기계적인 연삭에 의해, 이후에 표면 피니싱을 위한 화학적 기계적 연마에 의해, SOI 및 Si 구역들 간의 틱폴로지를 제거하도록 p-Si 표면(26)의 평탄화;
- <112> g<sub>4</sub>) 내지 i<sub>4</sub>): g<sub>3</sub>) 내지 i<sub>3</sub>)과 동일함.
- <113> 예 5:
- <114> 이 예에서, 다음의 단계들이 수행된다:
- <115> a<sub>5</sub>) 내지 c<sub>5</sub>): a<sub>3</sub>) 내지 c<sub>3</sub>)과 동일함;
- <116> d<sub>5</sub>) 표면의 세정 및 실리콘층(26)의 에피택시(약 750 $^{\circ}$ C에서), 예를 들어, 약 10 $\mu$ m의 두께를 가지는 층의 성장;
- <117> e<sub>5</sub>) 1100 $^{\circ}$ C에서 가열처리;
- <118> f<sub>5</sub>) 화학적-기계적 연마에 의한 SOI 및 Si 구역들 사이의 틱폴로지를 제거하도록, Si 표면의 평탄화;
- <119> g<sub>5</sub>) g<sub>2</sub>와 동일함;
- <120> h<sub>5</sub>) 1150 $^{\circ}$ C에서 접합 인터페이스의 강화를 위한 열처리;
- <121> i<sub>5</sub>) 예를 들어, 10 $\mu$ m의 두께가 얻어질 때까지, 기계적 연삭에 의한, 이후에 화학적-기계적 연마에 의한, 기판(30)의 후면의 박막화.
- <122> 예 6:
- <123> 이 예에서, 다음의 단계들이 수행된다:
- <124> a<sub>6</sub>) 내지 c<sub>6</sub>): a<sub>2</sub>) 내지 c<sub>2</sub>)와 동일;
- <125> d<sub>6</sub>) 표면의 세정 및, 예를 들어 약 10 $\mu$ m의 두께를 가지는 층의 성장에 의한, 실리콘층(26)의 에피택시(약 850 $^{\circ}$ C);
- <126> e<sub>6</sub>) 내지 f<sub>6</sub>): e<sub>5</sub>) 내지 f<sub>5</sub>)와 동일;
- <127> g<sub>6</sub>) 소수성 세정 및 기판(20)과 실리콘 없는 기판(30)의 분자 접촉에 의한 직접적인 접합을 위한 접촉 배치;
- <128> h<sub>6</sub>) 850 $^{\circ}$ C에서 접합 인터페이스의 강화를 위한 열처리;
- <129> i<sub>6</sub>) h<sub>5</sub>)와 동일함.
- <130> 본 발명에 관련된 응용의 영역들은 전력 전자 응용들 및 MEMS의 생성이다.
- <131> 수직적 전기 전도도를 제공하는 접촉 패드들을 가진 절연 구조를 생성하는 것도 가능하다.
- <132> 열 배출(수직적 열 전도성)을 요구하는 구성요소들뿐 아니라 혼합된 구성요소들(Si 및 SOI 상에서)을 생성하는 것도 가능하다. 제 2의 경우에, 전도는, 본질적으로 열적이며, 전기적인 것은 아니다. 전형적으로, 양호한 수직적 열 전도성(예를 들어, 더 큰 열 배출을 요구하는 구성요소들에 대응하는)을 가지면서, 전기적으로 절연하는

특성들을 가지는, 예를 들어, 비정질 실리콘의 반도체 층을 증착하는 것도 가능하다.

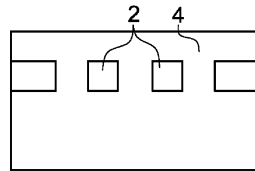
<133> 위에서 지칭된 것들과 다른 재료들이, 전기 및/또는 열 전도에 의한 다양한 요구들, 및/또는 다른 요구들을 만족시키도록, 기판들 중 하나, 또는 접합층(에피택시, 증착 등)을 위해 이용될 수 있다: SiC(양호한 열 전도성 속성들), 또는 GaN, 또는 재료들 III 내지 V 등.

**도면의 간단한 설명**

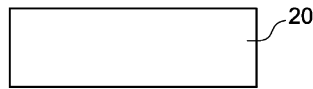
- <40> 도 1은, 혼합된 BSOI형 구조를 도시한 도,
- <41> 도 2a 내지 도 2g는, 본 발명에 따른 생성 방법의 다양한 단계들을 도시한 도들,
- <42> 도 3은, 위에서 바라본 본 발명에 따른 구조를 도시한 도,
- <43> 도 4는, 본 발명에 따른 장치의 대안을 도시한 도, 및
- <44> 도 5는, 상이한 표면들 상에서의 에피택셜 성장의 경우를 도시한 도.

**도면**

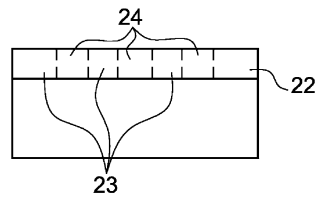
**도면1**



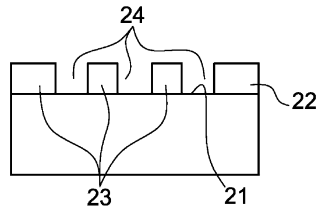
**도면2a**



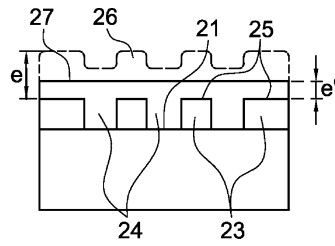
**도면2b**



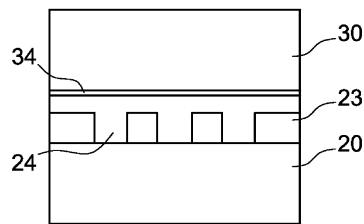
도면2c



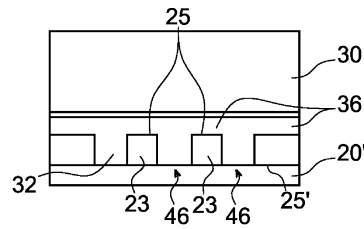
도면2d



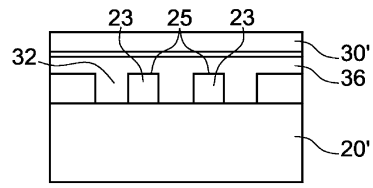
도면2e



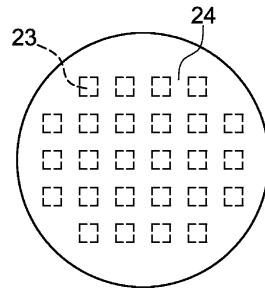
도면2f



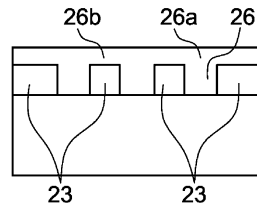
도면2g



도면3



도면4



도면5

