



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년12월31일
(11) 등록번호 10-1346127
(24) 등록일자 2013년12월23일

(51) 국제특허분류(Int. Cl.)
H01L 23/12 (2006.01) H01L 21/4763 (2006.01)
(21) 출원번호 10-2013-7014574 (분할)
(22) 출원일자(국제) 2006년08월07일
심사청구일자 2013년06월05일
(85) 번역문제출일자 2013년06월05일
(65) 공개번호 10-2013-0086365
(43) 공개일자 2013년08월01일
(62) 원출원 특허 10-2008-7003362
원출원일자(국제) 2006년08월07일
심사청구일자 2011년07월18일
(86) 국제출원번호 PCT/US2006/030703
(87) 국제공개번호 WO 2007/021639
국제공개일자 2007년02월22일
(30) 우선권주장
11/201,321 2005년08월11일 미국(US)
(56) 선행기술조사문헌
W02005043584 A3
전체 청구항 수 : 총 20 항

(73) 특허권자
집트로닉스 인코퍼레이티드
미국 27560 노스 캐롤라이나 모리스빌 스위트 800
퍼리미터 파크 드라이브 800
(72) 발명자
엔퀴스트 폴 엠
미국 27513 노스캐롤라이나 캐리 프렌치맨즈 블러프 308
파운틴 가이우스, 길먼, 주니어.
미국 27596 노스캐롤라이나 영스빌 휴 데이비드 로드 4068
통, 킨위
미국 27707 노스캐롤라이나 더햄 미도우런 드라이브 3511
(74) 대리인
특허법인 웰-엘엔케이

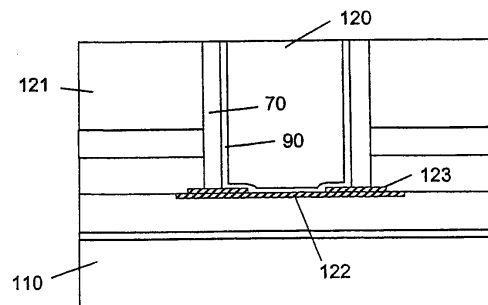
심사관 : 이석주

(54) 발명의 명칭 3차원 집적회로 장치 및 그의 제조 방법

(57) 요약

개별 절단된 다이들 또는 웨이퍼들과 같은 소자들을 3차원적으로 집적하는 방법과, 개별 절단된 다이들 또는 웨이퍼들과 같이 서로 접속된 소자들을 가지는 집적 구조가 개시되어 있다. 다이 및 웨이퍼의 각각 또는 모두에는 반도체 장치가 형성되어 있다. 제 1 콘택 구조물을 가지는 제 1 소자가 제 2 콘택 구조물을 가지는 제 2 소자에 접합된다. 제 1,2 콘택 구조물은 텅스텐, 니켈, 금 또는 그들의 합금으로부터 선택된 금속재질로 형성될 수 있다. 제 1 소자에 적어도 상기 제 1 콘택 구조물에 노출되는 비아를 형성할 수 있으며, 적어도 제 1 콘택 구조물에 연결되도록 비아에 도전 물질을 형성할 수 있다. 제 1 소자를 제 2 소자와 접합하여 제 1 콘택 구조물 및 제 1 콘택 구조물과 도전 물질 중 하나를 제 2 콘택 구조물에 직접적으로 연결할 수 있다. 제 1 및 제 2 소자를 400℃ 미만의 온도로 가열하여 상기 제 1 및 제 2 콘택 구조물 사이의 압력을 증가시킬 수 있다.

대표도 - 도19a



특허청구의 범위

청구항 1

제 1 콘택 구조물을 가지는 제1 소자와 제 2 콘택 구조물을 가지는 제 2 소자를 집적하는 방법에 있어서,
상기 제 1,2 콘택 구조물은 구리, 텅스텐, 니켈, 금 또는 그들의 합금으로부터 선택된 금속으로 형성하는 단계;

상기 제1 소자에 적어도 상기 제1 콘택 구조물에 노출하는 비아를 형성하는 단계;

상기 비아에 적어도 상기 제 1 콘택 구조물에 연결되는 도전 물질을 형성하는 단계;

상기 제 1 소자를 상기 제 2 소자와 접합하여 상기 제 1 콘택 구조물과 상기 도전 물질의 하나를 상기 제 2 콘택 구조물에 직접적으로 연결하는 단계; 및

상기 제1 및 제2 소자를 400℃ 미만의 온도로 가열하여 상기 제 1 및 제 2 콘택 구조물 사이의 압력을 증가시키는 단계

를 포함하는 것을 특징으로 하는 집적 방법.

청구항 2

제 1항에 있어서,

350℃ 미만으로 가열하는 것을 포함하는 것을 특징으로 하는 집적 방법.

청구항 3

제 1항에 있어서,

상기 제1 및 제2 콘택 구조물의 적어도 하나로부터 자연 산화물(native oxide)을 제거하는 단계를 포함하는 것을 특징으로 하는 집적 방법.

청구항 4

제 1 항에 있어서,

상기 제1 및 제2 콘택 구조물을 각각 상기 제 1 및 2 소자의 표면들과 동일 평면상의 상면을 가지도록 형성하는 것을 특징으로 하는 집적 방법.

청구항 5

제 1 항에 있어서,

상기 제 1 및 제 2 콘택 구조물을 상기 제1 및 제 2 소자의 각 표면들과 아래로의 거리가 20nm 미만으로 되는 상면을 가지도록 형성하는 단계를 포함하는 특징으로 하는 집적 방법.

청구항 6

제 1 항에 있어서,

상기 제 1 및 제2 콘택 구조물을 상기 제 1 및 제 2 소자의 각 표면들과 아래로의 거리가 10nm 미만으로 되는 상면을 가지도록 형성하는 단계를 포함하는 것을 특징으로 하는 집적 방법.

청구항 7

제1항에 있어서,

상기 제1 콘택 구조물을 상기 제 1 소자의 상부 표면의 아래에 위치하는 상면을 가지도록 형성하는 단계; 및

상기 제2 콘택 구조물을 상기 제 1 콘택 구조물의 측방 영역보다 작은 측방 영역을 가지도록 형성하는 단계

를 포함하는 것을 특징으로 하는 집적 방법.

청구항 8

제 1 항에 있어서,

상기 각각의 제1 및 제 2 콘택 구조물에 이웃하는 상기 제1 및 제 2 소자의 적어도 하나의 표면을 에칭하는 단계를 포함하는 것을 특징으로 하는 집적 방법.

청구항 9

제1항에 있어서,

상기 제 1 및 제 2 콘택 구조물상의 적어도 하나에 금속 물질층을 형성하는 단계를 포함하는 것을 특징으로 하는 집적 방법.

청구항 10

제 9 항에 있어서,

상기 제 1 콘택 구조물을 니켈 물질로 형성하는 단계; 및

상기 니켈 물질 상에 5-50nm 두께로 금층을 형성하는 단계를 포함하는 것을 특징으로 하는 집적 방법.

청구항 11

구리, 텅스텐, 니켈, 금 또는 그들의 합금으로부터 선택된 금속으로 제조된 제 1 콘택 구조물을 가지는 제 1 소자;

구리, 텅스텐, 니켈, 금 또는 그들의 합금으로부터 선택된 금속으로 제조된 제 2 콘택 구조물을 가지는 제 2 소자;

상기 제 1 소자에 형성된 제 1 비아; 및

상기 제 1 콘택 구조물에 연결되고 상기 제 1 비아에 형성된 제 1 도전물질; 을 포함하고,

상기 제 1 소자는 제 1 도전 물질 및 상기 제 1 콘택 구조물중 하나가 상기 제 2 콘택 구조물에 직접적으로 연결되도록 상기 제 2 소자에 연결된 상기 제 1 비아를 가지고,

상기 제 1 비아는 상기 제 1 소자가 상기 제 2 소자에 접합되기 전에 상기 제 1 소자에 형성되고,

상기 제 1 및 제 2 콘택 구조물은 상기 제 1 소자가 상기 제 2 소자에 접합된 후에 400℃ 미만의 온도로 가열된 것을 특징으로 하는 집적 구조.

청구항 12

제 11 항에 있어서,

상기 제1 및 제 2 콘택 구조물은 350℃ 미만의 온도로 가열된 것을 특징으로 하는 집적 구조.

청구항 13

제 11 항에 있어서,

상기 제1 및 제 2 콘택 구조물은 자연 산화물이 제거된 것을 특징으로 하는 집적 구조.

청구항 14

제 11 항에 있어서,

상기 제1 및 제2 콘택 구조물은 각각 상기 제 1 및 제 2 소자의 표면들과 동일 평면상의 상면을 가지는 것을 특징으로 하는 집적 구조.

청구항 15

제 11 항에 있어서,

상기 제 1 및 제 2 콘택 구조물은 상기 제 1 및 제 2 소자의 각 표면들과 아래로의 거리가 20nm 미만으로 되는 상면을 가지는 것을 특징으로 하는 집적 구조.

청구항 16

제 11항에 있어서,

상기 제1 및 제2 콘택 구조물은 상기 제 1 및 제 2 소자의 각 표면들과 아래로의 거리가 10nm 미만으로 되는 상면을 가지는 것을 특징으로 하는 집적 구조.

청구항 17

제11항에 있어서,

상기 제 1 콘택 구조물은 상기 제 1 소자의 상면 아래에 위치하는 상면을 가지고,

상기 제 2 콘택 구조물은 상기 제 1 콘택 구조물의 측방 영역보다 작은 측방 영역을 가지는 것을 특징으로 하는 집적 구조.

청구항 18

제11항에 있어서,

상기 각각의 제 1 및 제 2 콘택 구조물에 이웃하는 상기 제1 및 제2 소자의 적어도 하나의 표면은 에칭된 표면을 포함하는 것을 특징으로 하는 집적 구조.

청구항 19

제11항에 있어서,

상기 제 1 및 제 2 콘택 구조물의 적어도 하나에 형성된 금속 물질층을 포함하는 것을 특징으로 하는 집적 구조.

청구항 20

제19항에 있어서,

상기 제 1 콘택 구조물은 니켈 물질로 형성되고,

상기 니켈 물질 상에 5-50nm 두께로 금층이 형성된 집적 구조.

명 세 서

기술 분야

[0001]

[관련출원]

[0002]

본 출원은 내용 전문이 본 명세서에 참조를 위해 인용되고 현재 미국 특허 번호 제 6,500,794호로 등록된 출원 번호 제 09/532,886 호, 출원번호 제 10/011,432 호, 출원 번호 제 10/359,608 호, 현재 미국 특허 번호 제 6,867,073 호로 등록된 출원 번호 10/688,910 호, 및 출원 번호 10/440,099 호의 관련 출원이며, 대한민국 특허 출원 번호 10-2008-7003362호의 분할 출원이다.

[0003]

본 발명은 3차원 집적 회로 분야에 관한 것으로, 특히 직접 웨이퍼 집합을 이용한 3차원 집적 회로 장치 및 그 의 제조 방법에 관한 것이다.

배 경 기술

[0004]

반도체 집적 회로(IC)는 통상 규소 웨이퍼의 표면 내부 및 표면 상에 제조되고, 이에 따라 집적 회로의 크기가 증가함에 따라 집적 회로의 면적이 증가된다. 무어의 법칙(Moore's Law)으로 알려진 바와 같은 집적 회로에서의 트랜지스터의 크기 감소의 계속된 개선으로 주어진 집적 회로 면적내에서의 트랜지스터의 개수의 상당한 증가가 이루어져 왔다. 그러나, 이와 같은 트랜지스터 밀도의 증가에도 불구하고 많은 용도에서 특정 기능을 이

를 수 있게 하기 위해 요구되는 트랜지스터들의 개수의 보다 큰 증가 또는 측방 접속부의 개수의 증가로 인해 집적 회로들의 총 개수의 증가가 요구되고 있다. 통상, 단일의 대면적 집적 회로 다이에서 이러한 용도를 실현 하기 위해서는 칩 수율의 감소가 불가피하고, 그에 따라 집적 회로 비용의 증가가 불가피하다.

[0005]

집적 회로 제조에 있어서의 또 다른 추세는 일반적으로 시스템온칩(System-on-Chip(SoC))으로 지칭되는 단일 집적 회로 내부에 실장되는 다른 형태의 회로들의 개수를 증가시키는 것이었다. 통상, 이러한 제조를 위해서는 다른 형태의 회로들을 형성하기 위한 마스크 레벨들의 개수를 증가시켜야만 한다. 이러한 마스크 레벨 개수의 증가로 인해 통상 수율의 감소, 그리고 그에 따라 집적 회로 비용의 증가가 초래된다. 이와 같은 바람직하지 않은 수율의 감소 및 비용의 증가를 방지할 수 있는 방법은 집적 회로들을 수직으로 적층하고 수직으로 접속시키는 것이다. 이러한 집적 회로들은 각기 다른 크기들을 가질 수 있고, 각기 다른 크기의 웨이퍼들로부터 제조될 수 있고, 각기 다른 기능들(즉, 아날로그, 디지털, 광)을 포함할 수 있고, 또한 각기 다른 물질들(즉, 규소, GaAs, InP, 등등)로 구성될 수 있다. 이러한 집적 회로들은 수율의 개선을 위해 인지도된 우량 다이(Known Good Die(KGD))의 결합을 위한 적층에 앞서 테스트될 수 있다. 이러한 수직 적층 및 수직 접속 방법의 경제적인 성공 여부는 증가된 집적 회로 또는 SoC 면적과 관련된 수율 및 비용에 비해 적층 및 접속 수율 및 비용이 유리한가의 여부에 달려 있다. 이러한 방법을 실현하기 위한 제조 방법은 직접 접합을 이용하여 집적 회로들을 수직으로 적층하고, 웨이퍼 두께 감소화, 포토리토그래피 마스크, 비아 에칭, 및 접속부 금속화와 같은 종래의 웨이퍼 제조 기술을 이용하여 수직 접속 구조물들을 형성하는 것이다. 적층된 집적 회로들 간의 수직 전기 접속부는 직접 접합 적층의 직접적인 결과로서 또는 직접 접합 적층 후 실시되는 일련의 웨이퍼 제조 기술들의 결과로서 형성될 수 있다.

[0006]

이러한 방법에 있어서의 수직 접속부의 비용은 비아들을 에칭하여 전기 접속부를 형성하는데 필요한 포토리토그래피 마스크 레벨들의 개수와 직접적인 관련이 있다. 따라서, 수직 접속부를 형성하는데 필요한 포토리토그래피 마스크 레벨들의 개수를 최소화시키는 것이 바람직하다.

[0007]

수직 적층 및 수직 접속의 일 방법은 집적 회로들을(기관상에) 면 대 면으로 또는 집적 회로 측부 대 집적 회로 측부로 접합하는 것으로, 이러한 방법은 웨이퍼 대 웨이퍼의 형태로 행할 수도 있으나, 통상 다이 대 웨이퍼의 형태로 행하는 것이 바람직하다. 이 경우, 다이들은 집적 회로측을 위로 하고 있는 웨이퍼에 집적 회로측을 아래로 하여 접합되어, 수율을 개선시킬 수 있는 인지도된 우량 다이(Known Good Die)의 적층을 가능하게 한다. 수직 접속부는 일례로 출원 번호 제 10/359,608 호에 기재된 바와 같은 적층의 직접적인 결과로서, 또는 직접 접합 적층 후 실시되는 일련의 웨이퍼 제조 기술들의 결과로서 형성될 수 있을 것이다. 직접 접합 적층 후 실시되는 일련의 웨이퍼 제조 기술들로는 다음 기술들을 들 수 있다. 통상, 다이는 다이 기관의 대부분을 제거함으로써 실질적으로 두께가 감소하게 된다. 일반적으로, 다이 기관은 일례로 벌크(bulk) CMOS 집적 회로들의 경우에서와 같이 기관에서의 트랜지스터들의 위치로 인해 완전히 제거하는 것이 불가능하다. 따라서, 통상 기관은 실시가능한 최대의 범위까지만 제거되고, 이에 따라 트랜지스터의 손상을 방지하기에 충분한 정도의 잔류 기관이 남게 된다. 이 후, 필요한 트랜지스터가 존재하지 않는 위치 부근에 비아를 잔류 기관을 통해 다이 집적 회로의 접속부 위치까지 에칭하여 다이 집적 회로에 대한 접속부를 형성한다. 또한, 최대의 접속부 밀도를 달성할 수 있도록 상기 비아를 다이측 집적 회로 전체를 통해 웨이퍼측 집적 회로의 내부로 그 웨이퍼측 집적 회로의 접속부 위치까지 연장시키는 것이 바람직하다. 통상, 상기 비아는 다이측 집적 회로 및 웨이퍼측 집적 회로의 접속부 위치로부터의 요구되는 전기 절연을 제공하는 절연성 유전 물질을 통해 연장되어 다이측 집적 회로 및 웨이퍼측 집적 회로에서의 요구되는 전기 접속부를 노출시킨다. 이러한 비아의 형성 후, 다이측 집적 회로 및 웨이퍼측 집적 회로의 노출된 요구되는 접속부 위치에 대한 수직 접속부를 도전 물질을 이용하여 형성할 수 있다. 비아 측벽상에서의 도전 물질과 노출된 기관사이에 절연층을 사용하여 상기 도전 물질과 기관간의 바람직하지 않은 전기 도전을 방지케 할 수도 있다.

[0008]

이러한 구조의 제조를 위해서는 통상 4개의 포토리토그래피 마스크 레벨들을 형성한다. 이 레벨들로는 1) 기관을 통한 비아 에칭, 2) 다이측 집적 회로 및 웨이퍼측 집적 회로의 요구되는 도전 물질을 노출시키는, 절연성 유전 물질을 통한 다이측 집적 회로 및 웨이퍼측 집적 회로의 비아 에칭, 3) 다이측 집적 회로의 접속부 위치를 웨이퍼측 집적 회로의 접속부 위치와 접속시키는 도전 물질을 다이측 집적 회로 및 웨이퍼측 집적 회로의 요구되는 도전 물질을 노출시키는 노출된 기관 비아의 측벽으로부터 절연시키도록 후속적으로 증착되는 절연층을 통한 비아 에칭, 4) 다이 집적 회로의 노출된 접속부 위치와 웨이퍼 집적 회로의 노출된 접속부 위치간의 도전 물질을 이용한 접속을 들 수 있다.

발명의 내용

해결하려는 과제

- [0009] 절연(유전) 물질(들)을 통한 비아 에칭을 한정하는 패턴들은 다이층 집적 회로 및 웨이퍼층 집적 회로의 접속부 위치들을 적절히 노출시키고 기판 비아 측벽상의 절연 물질의 제거를 방지하기 위한 기판을 통한 비아 에칭을 한정하는 패턴보다 통상 작다. 이러한 패턴들은 기판에 비아를 형성한 후 형성되기 때문에 이러한 패턴닝은 기판 비아의 패턴닝보다 낮은 단차 레벨에서 통상 실시된다. 그 결과, 비평탄 구조에의 패턴닝이 이루어지는데, 이러한 패턴닝은 가장 높은 접속 밀도를 달성하는데 바람직한 매우 작은 피쳐 크기(feature size)까지로 상기 구조의 크기 감소(scaling)를 제한하고, 적어도 기능성 트랜지스터들이 존재할 수 있는 규모 기판 부분을 소모시키게 된다.
- [0010] 따라서, 최상의 단차 레벨 또는 최상의 단차 레벨들 중 하나에서 평탄면 상에서 구현할 수 있는 마스킹 공정들의 수를 줄일 수 있는 소정의 구조를 갖는 장치 및 그 구조를 제조하기 위한 방법을 제공하는 것이 바람직하다. 또한, 기능성 트랜지스터들이 존재할 수 있을 규모 부분의 최소 소비를 달성할 수 있는 구조를 포함하는 장치 및 그 구조를 제조하기 위한 방법을 제공하는 것이 바람직하다.
- [0011] 본 발명은 3차원 집적 장치의 집적 방법 및 3차원 집적 장치에 관한 것이다.

과제의 해결 수단

- [0012] 상기 방법의 일 실시예의 방법에서는 제 1 콘택 구조물을 가지는 제 1 소자와 제 2 콘택 구조물을 가지는 제 2 소자를 집적하는 방법에 있어서, 상기 제 1,2 콘택 구조물은 구리, 텅스텐, 니켈, 금 또는 그들의 합금으로부터 선택된 금속으로 형성하는 단계, 상기 제 1 소자에 적어도 상기 제 1 콘택 구조물에 노출하는 비아를 형성하는 단계, 상기 비아에 적어도 상기 제 1 콘택 구조물에 연결되는 도전 물질을 형성하는 단계, 상기 제 1 소자를 상기 제 2 소자와 접합하여 상기 제 1 콘택 구조물과 상기 도전 물질의 하나를 상기 제 2 콘택 구조물에 직접적으로 연결하는 단계, 및 상기 제 1 및 제 2 소자를 400℃ 미만의 온도로 가열하여 상기 제 1 및 제 2 콘택 구조물 사이의 압력을 증가시키는 단계를 포함한다.
- [0013] 본 발명의 일 실시 예에 따른 집적 구조는 구리, 텅스텐, 니켈, 금 또는 그들의 합금으로부터 선택된 금속으로 제조된 제 1 콘택 구조물을 가지는 제 1 소자, 구리, 텅스텐, 니켈, 금 또는 그들의 합금으로부터 선택된 금속으로 제조된 제 2 콘택 구조물을 가지는 제 2 소자, 상기 제 1 소자에 형성된 제 1 비아, 및 상기 제 1 콘택 구조물에 연결된 상기 제 1 비아에 형성된 제 1 도전물질을 포함하고, 상기 제 1 소자는 제 1 도전 물질 및 상기 제 1 콘택 구조물의 하나가 상기 제 2 콘택 구조물에 직접적으로 연결되도록 상기 제 2 소자에 연결된 상기 제 1 비아를 가지고, 상기 제 1 비아는 상기 제 1 소자가 상기 제 2 소자에 접합되기 전에 상기 제 1 소자에 형성되고, 상기 제 1 및 제 2 콘택 구조물은 상기 제 1 소자가 상기 제 2 소자에 접합된 후에 400℃ 미만의 온도로 가열된다.

도면의 간단한 설명

- [0014] 하기의 첨부 도면과 관련된 하기의 상세한 설명을 참조하면 본 발명을 보다 완벽히 이해할 수 있고, 본 발명의 많은 부수적인 이점들도 보다 쉽게 이해할 수 있으며, 이에 따라 본 발명 및 본 발명의 많은 부수적인 이점들을 쉽게 달성할 수 있을 것이다.
- 도 1은 위로 면한 웨이퍼에 아래로 면한 상태로 접합될 다이를 도시하는 도면.
- 도 2a는 기판에 접합된 다이를 도시하는 도면.
- 도 2b는 다이 기판의 일부가 제거된 상태로 기판에 접합된 다이를 도시하는 도면.
- 도 2c는 기판이 또 다른 기판에 접합된 상태를 도시하는 도면.
- 도 3a는 도 2a의 구조상의 유전체막 및 마스크층의 형성을 도시하는 도면.
- 도 3b는 평탄화 물질의 형성 후 유전체막 및 마스크층의 형성을 도시하는 도면.
- 도 4는 도 3a 및 도 3b의 유전체막 및 마스크층에 형성된 개구들을 도시하는 도면.
- 도 5는 도 4에 도시된 바와 같이 형성된 개구를 이용한 다이의 에칭을 도시하는 도면.
- 도 6a는 다이 및 웨이퍼에 형성된 콘택 구조물들을 노출시키기 위한 또 다른 에칭을 도시하는 도면.

- 도 6b는 하드 마스크의 형성을 포함하도록 수정된 공정을 도시하는 도면.
- 도 7a는 대응 절연 측벽층의 형성 후 도 6(A)의 구조의 일부를 도시하는 도면.
- 도 7b는 하드 마스크를 제거하는 실시예의 변형예를 도시하는 도면.
- 도 8a는 대응 절연 측벽층의 비등방성 에칭을 도시하는 도면.
- 도 8b는 하드 마스크를 제거하는 실시예의 변형예를 도시하는 도면.
- 도 8c 내지 도 8f는 집합 구조에서의 대응 막의 형성에 대한 다양한 변형예를 도시하는 도면.
- 도 8g 내지 도 8j는 대응 막의 에칭 후 도 8(C) 내지 도 8(J)에 도시된 구조물들을 각기 도시하는 도면.
- 도 8k는 집합 구조물에 측벽막을 형성하는 대체 방식을 도시하는 도면.
- 도 9a)는 금속 시드층 및 금속 충전재를 포함하는 금속 콘택의 형성을 도시하는 도면.
- 도 9b는 하드 마스크를 제거하는 실시예의 변형예를 도시하는 도면.
- 도 9c는 시드층을 형성하지 않는 실시예의 변형예를 도시하는 도면.
- 도 10a는 화학적 기계적 연마 후의 도 9a 또는 도 9b의 구조를 도시하는 도면.
- 도 10b는 화학적 기계적 연마 후의 도 9c의 구조를 도시하는 도면.
- 도 10c 내지 도 10f는 집합 구조에 형성된 비아를 충전하는 대체 방법들을 도시하는 도면.
- 도 11 은 도 10a의 구조에 대한 금속화를 도시하는 도면.
- 도 12는 중간 유전층없이 마스크층을 사용하는 제 2 실시예를 도시하는 도면.
- 도 13은 제 2 실시예에서의 금속 콘택의 형성을 도시하는 도면.
- 도 14는 화학적 기계적 연마 후의 도 13의 구조를 도시하는 도면.
- 도 15는 본 발명의 또 다른 실시예를 도시하는 도면.
- 도 16a는 장치들 중 하나의 표면에 콘택 구조물이 위치되는 실시예를 도시하는 도면.
- 도 16b는 추가 처리 후 도 16a의 구조를 도시하는 도면.
- 도 17 은 본 발명에 따른 방법을 이용하여 도 16a 및 16b의 구조를 갖도록 형성된 장치를 도시하는 도면.
- 도 18은 본 발명의 또 다른 실시예를 도시하는 도면.
- 도 19a는 본 발명에 따른 방법을 이용하여 도 18의 구조를 갖도록 형성된 장치를 도시하는 도면.
- 도 19b는 도 19a의 구조상에 형성된 평탄화 물질 및 콘택 구조물을 가지고 있는 구조를 도시하는 도면.
- 도 19c는 도 19a의 구조와 유사하나 개구가 없는, 직접 집합된 콘택 구조물들을 도시하는 도면.
- 도 20a 내지 도 20h는 측벽막들을 가지고 있는 제 5 실시예를 도시하는 도면.
- 도 21a 내지 도 21e는 기판이 실질적으로 완전히 제거되는 제 6 실시예를 도시하는 도면.
- 도 22a 내지 도 22i는 비아들이 다이 절단에 앞서 형성되는 제 7 실시예를 도시하는 도면.
- 도 23a 내지 도 23k는 다이들이 상부를 아래로 하여 실장되는 제 8 실시예를 도시하는 도면.
- 도 23l은 상부를 아래로 한 구성 및 상부를 위로 한 구성에서 충전된 비아를 가지고 있는 구조에 대한 집합 공정을 도시하는 도면.
- 도 23m 및 도 23n은 다이의 제 2 레벨에서의 집합 공정을 도시하는 도면.
- 도 23o는 웨이퍼 대 웨이퍼 집합을 도시하는 도면.
- 도 24a 및 도 24b는 다이들이 상부를 위로 하여 실장되는 제 8 실시예를 도시하는 도면.
- 도 25a 내지 도 25f는 집합에 앞서 비아들이 충전되는 제 9 실시예를 도시하는 도면.

도 26a 및 도 26b는 충전된 비아와 표면 콘택 구조물들을 가지고 있는 제 10 실시예를 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 도면들, 특히 도 1을 참조하여 본 발명에 따른 방법의 제 1 실시예를 설명한다. 상기 도면들은 실적으로 작도되지 않고, 본 발명의 개념을 예시할 수 있게 작도되어 있음을 유념해야 할 것이다.
- [0016] 기판(10)은 콘택 구조물(12)들을 가지고 있는 장치 영역(11)을 포함하고 있다. 기판(10)은 요구되는 용도에 따라 반도체 물질 또는 절연체와 같은 다양한 물질들로 이루어질 수 있다. 통상, 기판(10)은 규소 또는 III-V족 물질들로 이루어져 있다. 콘택 구조물(12)은 통상 기판(10)에 형성된 장치 또는 회로 구조물(도시 안됨)에 대한 콘택을 형성하는 금속 패드 또는 접속 구조물이다. 기판(10)은 또한 콘택 구조물(12)이 접속되는 집적 회로를 포함할 수 있으며, 기판(10)은 단지 콘택 구조물들만을 포함하는 모듈일 수도 있다. 일례로, 기판(10)은 기판(10)에 대해 접합된 구조물들을 접속시키거나, 일례로 인쇄 회로 기판상의 다른 모듈들 또는 회로 구조물들과의 패키징 또는 일체화를 위한 접속부들을 형성하는 모듈일 수 있다. 상기 모듈은 석영, 세라믹, BeO, 또는 AlN과 같은 절연체로 이루어질 수 있다.
- [0017] 기판(10)에 대한 접합을 위해 표면(13)상에는 3개의 분리된 다이(14) 내지 (16)가 배치되어 있다. 각 다이는 기판부(19)와, 장치 영역(18)과, 콘택 구조물(17)들을 가지고 있다. 다이는 다이싱(dicing) 등등에 의해 또 다른 웨이퍼로부터 미리 분리된 것일 수 있다. 다이(14) 내지 (16)는 요구되는 용도에 따라 반도체 물질들과 같은 다양한 물질들로 이루어져 있다. 통상, 기판(10)은 규소 또는 III-V족 물질들로 이루어져 있다. 콘택 구조물(17)은 통상 장치 영역(18)에 형성된 장치 또는 회로 구조물에 대한 콘택을 형성하는 금속 패드 또는 접속 구조물이다. 회로 구조물(12), (17)의 각 크기는 다양할 수 있다. 콘택 구조물 크기의 전형적인 범위는 1 내지 20 마이크로미터나, 그 크기 및 상대 크기는 정렬 허용 오차, 회로 설계 변수, 또는 기타 인수들에 따라 상기 범위를 벗어날 수도 있다. 콘택 구조물들의 크기는 발명의 개념을 예시할 수 있게 작도되어 있으나, 이는 한정을 위해 의도된 것은 아니다. 장치 영역(18)은 또한 콘택 구조물(17)들이 접속되는 집적회로를 포함할 수 있다. 장치들의 층, 회로, 또는 회로층을 남겨둔 채 회로부(19)의 실질적으로 모든 부분을 제거할 수도 있다. 또한, 다이(14) 내지 (16)의 기판들의 두께를 접합 후 요구되는 두께까지 감소시킬 수도 있다.
- [0018] 다이(14) 내지 (16)는 웨이퍼(10)와 동일한 단차를 가질 수도 있고, 다른 단차를 가질 수도 있다. 다이(14) 내지 (16)는 동일한 또는 다른 장치들을 포함할 수 있고, 동일한 또는 다른 물질들로 구성될 수 있을 것이다. 다이(14) 내지 (16)의 각각은 장치 영역(18)에 형성된 도전성의 콘택 구조물(17)들을 포함하고 있다. 콘택 구조물(17)들은 서로 이격되어 사이에 갭(gap)을 형성하거나, 아니면 콘택 구조물 전체를 가로질러 연장될 수 있는 개구를 가지고 있는 단일 구조물일 수도 있다. 상기 개구는 콘택 구조물에 형성되어 있는 구멍일 수도 있고, 콘택 구조물을 2부분으로 분할할 수도 있다. 갭 또는 개구의 크기는 적용되는 특정 기술에 대한 포토리토그래피 디자인 룰에 의해 결정될 수 있을 것이다. 일례로, 콘택 구조물(12), (17)의 최소 측방 폭은 접속 금속과의 신뢰성 있는 저저항 전기 접속부를 추후 형성하는데 필요한 측방 폭일 수 있을 것이다.
- [0019] 상기 갭 또는 개구의 최적 크기를 결정하는 추가 인자는 갭 또는 개구의 크기에 대한 콘택 구조물(17), (12)간의 수직 이격에 의해 주어진 거리와 콘택 구조물(17)의 두께의 합의 비로서, 이 비에 의해 추후 콘택 구조물(17), (12)간의 전기 접속을 이룰 수 있게 하도록 콘택 구조물(17), (12)사이에 형성될 비아(via)의 개구율이 정해진다. 통상적으로, 이러한 수직 이격 거리는 본 명세서에 참조를 위해 내용이 인용되고 있는 출원 번호 09/505,283 호에 기재된 바와 같이 산화물 대 산화물 직접 접합의 경우에는 1 내지 5 마이크로미터 이하이고, 본 명세서에 참조를 위해 내용이 인용되고 있는 출원 번호 10/359,608 호에 기재된 바와 같이 금속 직접 접합의 경우에는 제로로 될 수도 있다. 또한, 콘택 구조물(17)의 두께는 통상 0.5 내지 5 마이크로미터이다.
- [0020] 사용된 공정 기술에 따라 요구되는 비아 개구율이 0.5 내지 5일 때 갭 크기의 통상 범위는 산화물 대 산화물 접합이 경우에는 0.3 내지 20 마이크로미터이고, 금속 직접 접합의 경우에는 약 0.1 내지 10 마이크로미터이다. 금속 직접 접합의 경우는 제 4 실시예에서 추후 설명한다.
- [0021] 일반적으로, 다이(14) 내지 (16)들은 구조물(17)들과 갭 또는 개구들이 대응되는 콘택 구조물(12)들 상부에 위치될 수 있게끔 콘택 구조물(12)들과 정렬되게 된다. 콘택 구조물(12)들의 크기는 다이(14) 내지 (16)들을 콘택 구조물(17)들간의 갭과 간단히 정렬시킬 수 있게 선택된다. 이 크기는 기판(10)상에 다이(14) 내지 (16)를 위치시키는데 이용하는 방법의 정렬 정밀도에 따라 결정된다. 시판되고 있는 제조 툴(tool)을 이용한 통상적인 방법들을 이용하면 1 내지 10 마이크로미터 범위의 정렬 정밀도를 얻을 수 있다. 물론, 미래에 상기한 툴이 개선되면 정렬 정밀도를 보다 높일 수 있다. 갭 또는 개구의 외부로의 콘택 구조물(17)의 측방 폭은 적어도 상기한 정렬

정밀도에 의해 주어진 거리로 되는 것이 바람직하다.

- [0022] 비록 각 다이(14) 내지 (16)에 대해 단지 하나의 콘택 구조물(17) 세트가 도시되어 있으나, 콘택 구조물(18)의 측방 폭은 통상 각 다이(14) 내지 (16)의 측방 폭보다 훨씬 작게 되어 있고, 이에 따라 각 다이는 여러개 또는 매우 많은 개수의 콘택 구조물(17)들을 포함할 수 있다. 일례로, 콘택 구조물(17)들은 1 내지 100 마이크론의 측방 폭을 가질 수 있고, 다이(14) 내지 (16)는 1 내지 100mm 범위의 측방 폭을 가질 수 있다. 따라서, 다이(14) 내지 (16)내에서의 콘택 구조물(17)들의 양은 약 10^4 개 또는 그보다 훨씬 많은 개수가 실제로 가능하다.
- [0023] 도 2(A)에 도시된 바와 같이, 다이(14)의 표면(20)은 기판(10)의 표면(13)에 접합된다. 이 접합은 다양한 방법을 통해 이루어질 수 있으나, 출원 번호 제 09/505,283 호에 도시된 바와 같은 접합 방법을 이용하여 상온에서 접합하는 것이 바람직하다. 이 경우, 500 내지 2,000 mJ/m² 범위의 강도를 갖는 접합부, 즉, 화학적 접합부가 형성되게 된다. 기판(10)에 대한 다이(14) 내지 (16)의 접합은 도 2에 예시되어 있다. 접합 후, 다이(14) 내지 (16)들의 두께를 감소시킨다. 통상, 두께 감소는 폴리싱(polishing), 그라인딩(grinding), 에칭(etching), 또는 이 3가지 기술의 조합에 의해 이루어지고, 이에 따라 두께가 감소된 기판(21)이 남게 되거나, 기판부(19)가 완전히 제거되게 된다. 도 2(B)는 기판부(19)가 완전히 제거되거나 거의 완전히 제거된 경우를 도시하고 있다. 또한, 다이(14) 내지 (16)의 기판들의 두께를 접합에 앞서 감소시킬 수 있다.
- [0024] 일 실시예의 경우, 콘택 구조물(12),(17)들을 형성하는 물질들은 화학 증기 증착법(CVD), 플라즈마 강화 CVD법, 스퍼터링법 또는 증발법에 의해 형성한 SiO₂와 같은 증착 산화물이다. 질화 규소, 비정질 규소, 폴리머, 반도체, 또는 소결 물질과 같은 다른 물질들도 사용가능하다. 또한, 증착 산화물층을 다이상에 형성하는 것도 가능하다.
- [0025] 이후, 상기 표면들을 직접 접합 기술을 이용하여 접합한다. 바람직하게는 여하한 형태의 산화물 접합법을 이용할 수도 있으나, 특히 저온 또는 상온 산화물 접합법을 이용할 수 있다. 접합 기술은 표면(13),(20)(표면(20)은 다이 개별 분리(singulation)에 앞서 미리 준비할 수도 있다)을 평탄화시키는 공정을 포함할 수 있다. 이러한 공정은 화학적-기계적 연마를 이용하여 달성할 수 있을 것이다. 상기 표면들은 약 0.5 내지 1.5nm이하, 바람직하게는 약 0.5nm이하의 조도로 연마하여 실질적으로 평탄하게 하는 것이 바람직하다. 표면 조도값은 통상 제곱평균제곱근(root-mean square(RMS)) 값으로 주어진다. 또한, 표면 조도는 제곱평균제곱근(RMS)값과 거의 동일한 평균값으로서 주어질 수도 있다. 연마후, 상기 표면들을 세정 및 건조하여, 연마 공정에서 발생된 잔유물을 제거한다. 이후, 상기 연마면을 소정의 용액으로 린싱(rinsing)하는 것이 바람직하다.
- [0026] 또한, 평탄화 및/또는 표면 조도의 개선을 위해 연마에 앞서 접합면을 에칭시킬 수도 있을 것이다. 이 에칭은 일례로, 표준 포토리토그래피 기술을 이용하여 접합면상에 존재하는 하이 스팟(high spot)들을 선택적으로 에칭시키는 것에 의해 상기 하이 스팟들을 제거하는데 효과적일 수 있다.
- [0027] 상기 접합 기술은 활성화 공정을 포함할 수 있다. 이 활성화 공정은 에칭 공정, 바람직하게는 초 경미 에칭(very slight etch(VSE)) 공정을 포함할 수 있다. VSE란 용어는 매우 경미하게 에칭된 표면의 제곱평균제곱근(RMS)이 에칭되지 않는 상태의 값으로, 통상 0.5nm 미만, 바람직하게는 0.5 내지 1.5nm의 범위로 유지된다는 것을 의미한다. 물질의 최적 제거량은 제거되는 물질 및 제거를 위해 사용된 방법에 따라 결정된다. 통상적으로, 제거량은 수 옹그스트럼에서 수 나노미터까지 변화된다. 보다 많은 양의 물질을 제거하는 것도 가능하다.
- [0028] 용어 VSE는 또한 표면상에 의도적으로 증착되는, 일례로 산화 규소와 같은 물질의 제거없이 상기 표면으로부터 바람직하지 않은 유기 오염물의 제거를 의미할 수도 있다. 따라서, 바람직하지 않은 유기 오염물의 제거에 따라 제곱평균제곱근(RMS)의 감소가 이루어질 수 있다.
- [0029] 활성화 공정은 다양한 모드로 수행되는 플라즈마 공정일 수 있을 것이다. 예를 들면 Ar 또는 O 플라즈마 공정일 수 있다. 유도 결합형 플라즈마 모드(ICP)는 물론이고 반응성 이온 에칭(RIE)과 플라즈마 모드들을 모두 사용할 수도 있다. 이하의 설명에서는 반응성 이온 에칭(RIE)과 플라즈마 모드의 양자에 대한 예를 설명한다.
- [0030] 이와는 다르게, 후-VSE 처리를 이용할 수도 있는데, 이 경우 후-VSE 공정은 그 공정기간 동안 표면들을 활성화시켜 요구되는 종결 종(species)을 갖게 종결시킨다.
- [0031] 활성화 후, 상기 표면은 바람직하게 표면 원자층에 대한 임시 접합부를 형성하여 상기 표면이 그와 동일한 또는 다른 접합 종(species)으로 종결되는 표면과 함께 접합될 수 있게 하는 충분한 시간까지 상기 원자층을 효과적으로 종결시키는 바람직한 종(species)를 갖게 종결될 수 있다. 상기 표면들상의 요구되는 종(species)들은 서

로 충분히 근접한 상태에 있을 때 서로 반응하는 것이 보다 바람직한데, 이 경우에는 저온 또는 실온에서의 상기 표면들간의 화학적 접합이 가능하다. 여기서, 상기 화학적 접합은 반응한 요구되는 종(species)들의 접합면으로부터의 방산 또는 분리 및 확산에 의해 강화될 수 있을 것이다.

[0032] 상기 종결 공정은 접합면들을 요구되는 종(species)들로 종결시키게 하는 표면 반응을 발생시킬 수 있도록 선택된 화학 물질을 포함하는 용액에의 침지를 포함할 수 있다. NH_4OH 와 같은 N계 용액을 사용할 수 있다. 침지는 활성화 공정 직후 행하는 것이 바람직하다. 종결 공정은 또한 플라즈마, RIE, 또는 다른 건조 공정으로 구성할 수도 있는데, 이 경우에는 표면을 요구되는 종(species)으로 종결시킬 수 있게 적절한 가스 화학 물질이 도입된다.

[0033] 상기 표면들을 임의로 린싱 및 건조한다. 이 후, 두 표면을 서로 정렬시키고(필요하다면), 접합 계면을 형성하도록 접촉시킴으로써 두 표면을 접합시킨다. 상기 두 표면이 접합 계면을 형성하도록 일례로, 시판하는 접합 장치(도시 안됨)에 의해 상기 두 표면을 접촉시킨다.

[0034] 이에 따라 접합 계면의 소정 영역에서 통상 자발 접합이 이루어지고, 이 접합은 상기 표면들을 가로질러 전파된다. 초기 접합이 전파되기 시작함에 따라, 상기 표면들이 충분히 근접한 상태에 있을 때, 화학 결합부들을 형성하는 중합과 같은 화학 반응이 상기 표면들을 종결시키는데 이용되는 종(species)들 사이에서 발생하게 된다. 이에 따라, 접합 계면에 썩기를 삽입하여 부분적으로 접합을 떨어뜨려 분리시킨 표면들 중 하나의 비 표면 에너지로서 정의되는 접합 에너지에 의해 강한 접합부가 형성된다. 상기 화학 반응의 부산물은 접합면으로부터 방산될 수 있고, 통상적으로는 주위 물질에 흡수될 수 있다. 상기 부산물은 방산되거나 흡수될 수 있는 다른 부산물로 변환될 수도 있다. 변환된 종(species)들의 제거에 의해 공유 결합 및/또는 이온 결합량을 증가시킬 수 있고, 이에 따라 접합 강도를 더욱 증가시킬 수 있을 것이다.

[0035] 비록 도 2(A)에는 3개의 다이가 단일 기판(10)에 접합되는 것으로 도시되어 있으나, 보다 많은 또는 보다 적은 개수의 다이를 기판(10)에 접합시키는 것도 가능하다. 또한, 도 2(C)에 도시된 바와 같이, 기판(10)의 크기와 대등한 크기의 또 다른 기판을 접합시키는 것도 가능하다. 이 경우에는 장치 영역(23)을 갖는 기판(22)이 서로 이격된 도전성 구조물(24)들을 도전성의 콘택 구조물(12)들과 실질적으로 정렬시킨 상태로 웨이퍼, 즉, 기판(10)에 접합되게 된다. 기판(22)은 정렬의 편의를 위해 접합에 앞서 두께를 감소시키거나 제거시킬 수 있을 것이다. 또한 기판(22)의 두께 감소는 접합 후 행할 수도 있고, 필요하다면 기판(22)의 실질적으로 모든 부분을 제거할 수도 있을 것이다. 다음의 도면들과 관련하여 설명하는 과정들은 도 2(B) 및 도 2(C)에 도시된 구조들에 적용가능하다. 그러나, 간략화를 위해 별도의 도면은 생략한다.

[0036] 도 3(A)에 도시된 바와 같이, 기판(10) 및 다이(14) 내지 (16)의 표면(13)에적당한 유전체막(30)을 대응하는 형태로 형성한다. 이 유전체막(30)은 일례로 CVD, PVD, 또는 PECVD법에 의해 형성할 수 있고, 바람직하게 통상 0.1 내지 1.0 마이크론의 두께 범위의 산화 규소와 같은 산화막으로 구성될 수 있다. 또한, 도 3(B)에 도시된 바와 같이, 다이(14) 내지 (16) 위에 그리고/또는 다이(14) 내지 (16) 사이에는 증착 또는 스핀-온(spin-on)된 산화물과 같은 충전재 또는 폴리이미드 또는 벤조시클로부텐과 같은 폴리머(32)가 형성될 수 있다. 상기 충전재 또는 폴리머(32)는 상기한 과정 중 다양한 시점에서 형성할 수 있을 것이다. 도 3(B)는 충전재 또는 폴리머(32)를 막(30), (40)의 형성에 앞서 형성하는 경우의 예를 도시하고 있다. 충전재는 또한 도 3(A)에 도시된 구조를 형성한 후, 하드 마스크(40)(도 4)를 형성한 후, 또는 선택된 물질들 또는 온도 고려 사항등과 같은 다양한 인자들에 따라 상기한 과정 중 다양한 다른 시점에서 형성할 수도 있다. 충전재의 형성을 위해 다른 기술을 이용할 수도 있다. 일례로, 상술한 바와 같은 방법들 및 화학적-기계적 연마를 이용하는 연속적인 또는 반복적인 유전체 형성 공정들에 의해산화 규소와 같은 유전체 충전재를 이용할 수 있을 것이다. 이와는 다르게, 일례로 전기 도금에 의해 형성한 금속과 같은 도전성 충전재를 금속 형성 공정과 화학적-기계적 연마 공정을 연속적으로 또는 반복적으로 행하여 이용할 수도 있을 것이다. 평탄면을 갖게 하면 그 표면상에 포토레지스트 및 다른 막들의 형성, 그리고 그러한 막들에의 도 4에 도시된 개구(41)과 같은 개구의 형성에 개선점이 있을 수 있다.

[0037] 이 후, 유전체막(30)상에 하드 마스크(40)를 형성하고, 개구(41)들을 콘택 구조물(17)들과 실질적으로 정렬시킨 상태(도 4)로 상기 하드 마스크(40)를 패터닝시킨다. 하드 마스크(40)는 두께가 감소된 기판(21) 및 장치 영역(18), (11)을 통해 비아를 콘택 구조물(12)까지 에칭시키는 데 사용되는 후속 에칭 공정 또는 후속 에칭 공정들에 대한 식각 선택도가 높은 물질로 구성되는 것이 바람직하다. 하드 마스크 물질의 예로는 알루미늄, 텅스텐, 백금, 니켈, 및 몰리브덴을 들 수 있고, 에칭 공정의 예로는 두께가 감소된 규소 기판을 통해 비아를 에칭하기 위한 SF_6 계 반응성 이온 에칭법, 그리고 장치 영역(18), (11)을 통해 후속 비아를 콘택 구조물(12)까지 에칭시키

기 위한 CF_4 계 반응성 이온 에칭을 들 수 있다. 하드 마스크(40)의 두께는 통상 0.1 내지 1.0 미크론이다. 개구(40)의 폭은 두께가 감소된 기판(21)의 두께 및 콘택 구조물(17)들간의 갭을 포함하는 다양한 인자들에 따라 결정되며, 통상적으로 1 내지 10 미크론이다.

[0038] 개구(41)는 하드 마스크(40) 및 유전체막(30)에 대한 표준 포토리토그래피 패터닝 및 에칭 기술들을 이용하여 형성한다. 일례로, 포토리토그래피를 이용하여 포토레지스트에 개구를 형성할 수 있다. 이 개구는 다이(14) 내지 (16)(또는 기판(22)), 또는 기판(10)상의 정렬 마크들에 대해 정렬될 수 있다. 정렬을 위해서는 광 또는 적외선 이미징법을 이용할 수 있다. 하드 마스크(40)는 하드 마스크 물질에 따라 적절히 결정된 습식 화학 용액 또는 건식 반응성 이온 에칭 공정을 이용하여 에칭시켜, 개구에 유전체막(30)을 노출시킬 수 있다. 이 후, 유전체막(30)을 유전체막 물질에 따라 적절히 결정된 습식 화학 용액 또는 건식 반응성 이온 에칭 공정을 이용하여 하드마스크(40)와 유사한 방법으로 에칭시킬 수 있다. 하드 마스크용 습식 화학 용액의 예로는 하드 마스크가 알루미늄인 경우 알루미늄 식각제 타입 A를 들 수 있다. 유전체막 물질에 대한 반응성 이온 에칭법의 예로는 유전체막 물질이 산화 규소인 경우 CF_4 계 반응성 이온 에칭법을 들 수 있다. 이러한 그리고 다른 하드 마스크 및 유전체 막 물질들 용으로 많은 다른 습식 및 건식 에칭법을 이용하는 것이 가능하다. 개구(41)의 폭은 개구(41)를 다이(14) 내지 (16)(또는 기판(22))과 정렬시키는 경우 콘택 구조물(17)들 간의 간격보다 넓게 하는 것이 바람직하고, 또는 개구(41)를 하부 기판(20)과 정렬시키는 경우 콘택 구조물(17)들간의 간격과 다이(14) 내지 (16)(또는 기판(22))를 기판(20)상에 위치시키는데 사용하는 방법의 정렬 정밀도의 합보다 넓게 하는 것이 바람직하다.

[0039] 하드 마스크(40)를 이용하여 다이(14) 내지 (16)의 기판 부분을 에칭하여 도 5에 도시된 바와 같이 비아(50)를 형성한다. 이 에칭은 통상 유전 물질인 콘택 구조물(12),(17)에 인접한 물질을 통해 행하여, 도전성의 콘택 구조물(17)의 배면 및 측면부, 그리고 콘택 구조물(12)의 상면을 노출시킨다. 다이(14) 내지 (16)의 기판 물질을 통한 에칭에는 일례로 SF_6 계의 제 1 가스 및 조건 세트를 이용할 수 있고, 콘택 구조물(17) 주위의 유전체 층을 통한 에칭에는 일례로 CF_4 계의 제 2 가스 및 조건 세트를 이용할 수 있다. 이 두 에칭법은 모두 단일 챔버에서 진공을 파괴시키지 않고 가스 및 조건을 적절히 전환시켜 행할 수 있을 것이다. 도전성의 콘택 구조물(12)에 대한 에칭은 도 6(A)에 도시되어 있다. 이 에칭에 의해 콘택 구조물(17)들의 갭 또는 개구를 통해 콘택 구조물(12)까지 연장되는 비아가 형성되게 된다.

[0040] 콘택 구조물(12),(17)을 노출시키기 위한 유전체 비아 에칭은 콘택 구조물(17)에 대한 불리한 양의 에칭을 피할 수 있도록 콘택 구조물(17)에 대한 식각 선택도가 높은 것이 바람직하다. 그러나, 콘택 구조물(17)에 대한 불리한 양의 에칭을 초래하는 유전체 비아 에칭 및 도전성 콘택 구조물들의 조합이 있을 수도 있다. 일례로, 도전성 콘택 구조물(17)의 두께가 충분히 작거나 콘택 구조물(12),(17)들간의 수직 거리가 충분히 큰 경우에는 불리한 효과가 발생할 수도 있다.

[0041] 불리한 양의 에칭의 예로는 산화 규소 유전체의 에칭 속도에 대한 알루미늄 도전성 구조물의 에칭속도의 비가 콘택 구조물(12),(17)사이의 산화 규소 유전체의 두께에 대한 콘택 구조물(17)의 두께의 비와 유사하거나 그보다 높은 경우 산화 규소 유전체로 둘러싸인 알루미늄 콘택 구조물(17)들과 소정의 CF_4 계 반응성 이온 에칭의 소정 조합을 들 수 있다.

[0042] 이와 같이 콘택 구조물(17)에 대한 불리한 양의 에칭이 있을 경우에는, 콘택 구조물(17)의 두께를 증가시키는 것이 좋고, 아니면 콘택 구조물(17)을 유전체 에칭으로부터 보호할 수 있도록 중간 공정이 추가된다. 불리한 양의 에칭을 피하기 위한 중간 공정은 다음과 같이 실시된다. 유전체 에칭에 의해 먼저 상부 콘택 구조물(17)의 배면 및 측면부가 노출되면, 계속된 유전체 에칭에 의해 콘택 구조물(17)에 대한 불리한 양의 에칭이 초래되기 전에 앞서 콘택 구조물(17)의 노출된 부분에 금속 물질과 같은 물질로 이루어진 하드 마스크를 선택적으로 증착시킬 수 있다. 하드 마스크의 선택 증착 후에는 유전체 에칭을 콘택 구조물(17)에 대한 불리한 양의 에칭 없이 계속 행할 수 있다. 하드 마스크의 선택 증착의 예로는 무전해 니켈 도금을 들 수 있다. 이는 일례로 도 6(B)에 도시되어 있는데, 이 경우 에칭은 콘택 구조물(17)의 노출 후 그리고 상당히 불리한 양의 에칭이 발생되기 전에 앞서 정지된다. 이 후, 콘택 구조물(17)들에 일례로 무전해 도금을 이용하여 니켈과 같은 보호용 하드 마스크(61)를 도포한다. 니켈과 같은 물질은 콘택 구조물(12),(17)의 후속 접속 시에 장치에 잔존하여도 무방하다. 이와는 다르게, 필요하다면 콘택 구조물(12),(17)의 접속 구조를 형성하기에 앞서 보호용 하드 마스크 물질(61)를 제거할 수도 있다.

[0043] 여기서 주지할 점은 보호용 하드 마스크 물질(61)을 하드 마스크(40)상에 선택적으로 증착시킬 수도 있다는 점

이다. 일례로, 하드 마스크(40)가 도전성을 갖는 경우 보호용 하드 마스크 물질(61)의 증착은 무전해 도금을 이용하여 달성한다. 이 경우에는 하드 마스크(40)의 요구되는 두께를 감소시킬 수 있다는 점에서 유리하다. 하드 마스크(40)상에 보호용 하드 마스크 물질(61)을 증착하는 경우의 또 다른 이점은 비아(50)의 개구를 한정시켜 콘택 구조물(17)의 부분을 비아(60)의 비등방성 에칭으로부터 차폐시킨다는 점이다. 도 7(A)는 후속 공정들을 보다 명확히 예시할 수 있도록 다이(14) 내지 (16) 중 하나를 상세하게 도시하고 있다. 마스크(40), 콘택 구조물(12), (17), 비아(50), (60)의 측벽 상에 절연막(70)을 비아(50), (60)를 부분적으로 채울 수 있게끔 대응하는 형태로 형성한다. 적당한 절연막의 예로는 산화 규소, 질화 규소 또는 파릴린(Parylene)을 들 수 있다. 상기 절연막은 물리적인 증기 증착, 화학 증기 증착, 증기상 증착을 포함하나 그로 국한되지 않는 다양한 통상의 증착방법을 이용하여 형성할 수 있다. 물리적인 증기 증착의 예로는 스퍼터링을 들 수 있고, 화학 증기 증착의 예로는 플라즈마 강화 화학 증기 증착을 들 수 있고, 증기상 증착의 예로는 고체의 증발, 이어 열분해, 이어 증착으로 이루어지는 과정을 들 수 있다.

[0044] 하드 마스크(40) 또는 하드 마스크(40) 및 대응 유전체막(30)은 일례로 에칭에 의해 대응 절연막(70)의 형성에 앞서 제거할 수 있다. 도 7(B)는 하드 마스크(40)를 제거하는 경우를 도시하고 있다. 하드 마스크(40) 또는 하드 마스크(40) 및 대응 유전체막(30)을 제거하기 위한 에칭이 비아(50), (60)에 의해 노출되는 물질들에 대해 선택적이라면, 이 에칭은 마스크 없이 행할 수 있다. 그러나, 상기 물질들이 비아(50), (60)에 의해 노출되는 물질들에 대해 선택적이지 아니하면 비아(50), (60)에서의 에칭에 노출될 상기 물질들을 적당한 물질로 마스크시킬 수도 있다. 일례로, 하드 마스크(40)와 콘택 구조물(12), (17)들이 모두 알루미늄인 경우에는 비아를 제거가 용이한 스핀-온 점성 액체 물질로 콘택 구조물(12), (17)을 덮을 수 있는 깊이까지 부분적으로 채울 수 있다. 비아(50), (60)가 형성되었던 하드 마스크(40)에 의해 형성된 표면을 적당히 평탄화시킬 수 있게 하는 적당한 스핀-온 막 두께를 먼저 선택하여 스핀-온 점성 액체 물질로 비아를 부분적으로 채울 수 있다. 이러한 막 두께의 적용에 따라 비아의 내부에서의 막 두께가 비아의 외부에서의 막두께보다 훨씬 크게 될 것이다. 이 후, 전면에 대해 적당한 에칭을 실시하여 콘택 구조물(12), (17)을 덮고 있는 비아(50), (60) 내부의 물질을 남긴 상태로 하드 마스크(40)의 표면으로부터 상기 물질을 제거한다. 제거가 용이한 스핀-온 물질 및 적당한 에칭의 예로는 포토레지스트 및 O_2 플라즈마 에칭을 각각 들 수 있다.

[0045] 대응 절연막(70)은 비아(50), (60)의 측벽상에 남은 상태로 콘택 구조물(12), (17)을 노출시킬 수 있게 비등방적으로 에칭된다. 콘택 구조물(17)의 배면은 콘택 표면적을 증가시켜 콘택 저항의 감소를 이룰 수 있게 레지(ledge)를 형성할 수 있게 노출되는 것이 바람직하다. 콘택 저항을 최소화시킬 수 있도록 레지(27)의 통상 폭은 1 미크론을 초과하는 것이 바람직하나, 이 폭은 장치 및 공정 변수들에 따라 변화될 수 있을 것이다. 도 8(A) 및 도 8(B)는 대응 절연막(70)의 형성에 앞서 마스크(40)를 제거하지 않은 상태 및 제거한 상태에서의 에칭된 대응 절연막(70)을 각기 도시하고 있다. 막(30), (40)들은 모두 절연막(70)의 형성에 앞서 제거할 수도 있다. 이 경우, 대응 절연막(70)의 에칭에 이어 또 다른 절연막을 일례로 산화 또는 증착에 의해 기판부(21)(또는 기판부(21)가 완전히 제거된 경우에는 장치 영역(18))상에 형성할 수도 있다.

[0046] 대응 절연막(70)에 대한 대체로서, 콘택 구조물(12)의 상면의 노출에 앞서 대응 막들을 또한 형성할 수도 있다. 일례로, 도 8(C), 도 8(D), 도 8(E), 도 8(F)에 각기 도시된 바와 같이, 다이(14) 내지 (16)의 기판부들을 통한 에칭 후, 그러나 콘택 구조물(17)에 인접한 물질 내부로의 에칭 전에 대응막(71)을 형성하거나, 콘택 구조물(17)에 인접한 물질 내부로의 에칭 후, 그러나 콘택 구조물(17)에 도달하기 전에 대응막(72)을 형성하거나, 콘택 구조물(17)에 도달한 후, 그러나 비아(60)의 형성 전에 대응막(73)을 형성하거나, 콘택 구조물(17)에 도달하여 비아(60)의 일부를 형성한 후, 그러나 비아(60)가 완전히 형성되어 콘택 구조물(12)에 도달하기 전에 대응막(74)을 형성할 수 있을 것이다. 대응막(71), (72), (73), (74)들은 추후 다이(14) 내지 (16)의 기판부들의 비아(50) 상에 격리 측벽들을 형성할 수 있도록 비등방적으로 에칭될 수 있다. 일례로, 도 8(G), 도 8(H), 도 8(I), 도 8(J)에 각기 도시된 바와 같이, 대응막(71)은 추후 다이(14) 내지 (16)의 기판부들의 비아(50) 상에 격리 측벽을 형성할 수 있도록 비등방적으로 에칭될 수 있고, 대응막(72)은 추후 다이(14) 내지 (16)의 기판부들의 비아(50) 및 콘택 구조물(17)에 인접한 물질로 이루어진 비아(50)의 상부 상에 격리 측벽을 형성할 수 있도록 비등방적으로 에칭될 수 있고, 대응막(73)은 추후 비아(50)의 전 깊이에 걸쳐 격리 측벽을 형성할 수 있도록 비등방적으로 에칭될 수 있고, 대응막(74)은 비아(50)의 전 깊이에 걸쳐 그리고 비아(60)의 상부 상에 격리 측벽을 형성할 수 있도록 비등방적으로 에칭될 수 있다.

[0047] 막(70), (71), (72), (73), (74)의 대응 증착에 따라 형성된 측벽 및 그 막들의 후속 비등방성 에칭의 대체로서, 비아(50)의 내부에 위치한 다이(14) 내지 (16)의 기판부 상에 도 8(K)에 도시된 바와 같이 상기 비아(50)에 의해 상기 기판부가 형성된 후 측벽(75)을 선택적으로 형성할 수 있다. 측벽(75)은 콘택 구조물(17)에 인접한 물질

에 비해 기판부와 우선적으로 반응하는 공정에 의해 형성할 수 있다. 일례로, 다이(14) 내지 (16)의 기판부가 규소이고, 콘택 구조물(17)에 인접한 물질이 산화 규소인 경우, 산화 규소에 비해 규소상에 우선적으로 응집을 이루게 하는 유전체 증착 공정을 이용할 수 있을 것이다. 이 경우, 유전체 증착에 의해 측벽(75)이 형성되고, 이 측벽(75)은 도 8(K)에 도시된 대응막(71)의 비등방성 에칭 후 비아(50)내의 대응막(71)과 구조적으로 유사하게 된다. 여기서, 측벽(75)은 다이(14) 내지 (16)의 기판부를 통한 에칭 후, 그러나 콘택 구조물(17)에 인접한 물질 내부로의 에칭 전에 형성되게 된다.

[0048] 콘택 구조물(17)의 측벽도 표면적의 증가 및 콘택 저항의 감소를 이룰 수 있도록 상기한 비등방성 에칭 시 노출될 수 있을 것이다. 이는 도 8(A) 및 도 8(B)에 도시되어 있다. 후속적으로, 비아(50), (60)는 금속으로 보다 깊게 또는 완전히 충전될 수 있다. 비아(50), (60)에 대한 금속의 충전 방법으로는 물리적 증기 증착(PVD), 화학적 증기 증착(CVD), 전기 도금을 들 수 있으나, 이들 방법으로 국한되는 것은 아니다. 보다 두꺼운 막의 증착을 위해서는 PVD 또는 CVD 보다 전기 도금이 통상 사용되고, 통상 얇은 PVD 또는 CVD 시드층의 증착 후 실시된다. PVD에 의해 형성되는 막의 예로는 스퍼터링된 알루미늄, 팔라듐, 티탄, 텅스텐, 티탄-텅스텐, 또는 구리를 들 수 있고, CVD에 의해 형성되는 막의 예로는 텅스텐 또는 구리를 들 수 있고, 전기 도금(무전해 도금을 포함)에 의해 형성되는 막의 예로는 니켈, 금, 팔라듐, 또는 구리를 들 수 있다.

[0049] 도 9(A)는 먼저 상기한 구조상에 금속 시드층(90)을 형성하여 콘택 구조물(12), (17)에 대한 전기적인 콘택을 형성하고, 이어서 일례로, 포토레지스트를 사용하여 마스크(91)를 형성하는 마스크링 전기도금 방법의 일례를 도시하고 있다. 시드층(90)은 상술한 바와 같이 PVD, CVD, 또는 전기 도금에 의해 증착시킬 수 있다. 마스크(91)와 시드층(90)에 대한 전기 콘택을 이용하여 금속 콘택(92)을 비아(50), (60)에 충전한다. 도 9(B)에는 대응 절연막(70)의 형성 전에 마스크(40)를 제거한 경우가 도시되어 있고, 도 9(C)에는 시드층을 사용하지 않는 경우의 구조가 도시되어 있다. 이 후, 연마 공정, 일례로 화학적-기계적 연마를 이용하여 비아(50), (60)의 외부에 존재하는 금속 콘택(92)의 과잉 부분을 제거한다. 이 연마 공정에 의해 다이(14) 내지 (16)의 노출된 부분상에 존재하는 금속 시드층(90)도 제거할 수 있다. 또한, 다이(14) 내지 (16)의 노출된 부분 상에 존재하는 하드 마스크(40)도 제거할 수 있다. 하드마스크(40)가 상기에서 주어진 알루미늄인 경우와 같이 전기적으로 도전성인 경우에는 상기와 같은 금속으로 충전된 비아들을 서로 전기적으로 격리시킬 수 있도록 하드 마스크(40)를 제거하는 것이 바람직하다. 상기한 연마 공정에서는 또한 대응 유전체막(30)의 제거가 이루어질 수 있고, 이에 따라 도 10(A) 및 도 10(B)에 도시된 바와 같이 다이(14) 내지 (16)의 노출된 부분상에 실질적으로 평탄한 평탄면 및 평탄한 금속 구조물(100)이 형성되게 된다. 도 10(B)의 구조는 비아를 금속으로 충전시키기에 앞서 시드층이 사용되지 않는다는 점에서 도 10(A)의 구조와 구별된다.

[0050] 금속으로 비아(50), (60)을 충전한 후 CMP를 실시하는 방법의 대체로서, 도 10(C)에 도시된 바와 같이 비아(50), (60)를 금속(93)으로 라이닝시킨 후 유전체(94)를 충전하고, 이어서 CMP를 실시할 수 있다. 비아(50), (60)에 대한 금속(93)의 라이닝은 상술한 바와 같이 PVD, 전기 도금, 또는 CVD의 적어도 하나를 이용하여 증착에 의해 달성할 수 있다. 금속(93)의 두께는 통상 0.01 내지 0.2 미크론으로서, 콘택 구조물(12) 또는 (17), 또는 장치 영역(18) 또는 (11)의 오염을 방지할 수 있도록 대응 절연막(70)에 인접하여 형성되는 장벽층을 포함할 수도 있다. 장벽층의 예로는 질화 탄탈, 질화 텅스텐, 질화 티탄을 들 수 있고, 통상 0.005 내지 0.02 미크론의 두께를 갖는 티탄 접착층이 개재된다. 장벽층의 통상 두께는 0.005 내지 0.05 미크론이다. 93의 초기 두께가 증착된 상태에서 전기 도금을 사용하여 93의 두께를 요구되는 두께까지 적절히 증가시킬 수 있다. 충분한 폭의 비아(50)에 대한 통상 두께 증가는 0.5 내지 2.0 미크론이다. 유전체(94)의 예로는 산화 규소를 들 수 있고, 충전의 예로는 플라즈마 강화 화학적 증기 증착(PECVD)을 이용하는 것을 들 수 있다. 이러한 대체 방법은 금속 증착, 금속 CMP의 감소, 그리고 복합 금속으로 라이닝되고 유전체로 충전된 비아와 그 주위의 다이(14) 내지 (16)의 기판부간의 열팽창 계수(coefficient of thermal expansion(CTE))의 보다 나은 조화의 가능성의 이점을 가지고 있다.

[0051] 금속으로 비아(50), (60)을 충전하거나 금속(93)으로 비아(50), (60)을 라이닝한 후 유전체(94)로 충진을 실시하는 방법의 또 다른 대체로서, 상술한 바와 같이 그리고 도 10(D)에 도시된 바와 같이 비아(60)를 금속(97)로 충전 또는 라이닝하여 콘택 구조물(12), (17)사이에 두께가 감소된 기판(21)과의 접촉없이 전기 접속부를 형성하고, 이어서 유전체(98)로 비아(50), (60)을 충전한 후 CMP를 실시하는 방법이 있다. 금속(97)은 콘택 구조물(12), (17)에 우선적으로 충분한 두께로 도금을 행하는 무전해 도금에 의해, 두께가 감소된 기판(21)과의 접촉 없이 기판 구조물(12), (17)을 서로 접속시키도록 형성할 수 있다. 충분한 두께로 도금을 행할 수 있는 무전해 도금의 예로는 니켈 무전해 도금을 들 수 있다. 이 대체 방법은 도 10(D)에 도시된 바와 같이 남아있는 기판 다이(14) 내지 (16)로부터 상기 전기 접속부를 전기적으로 격리시킬 수 있도록 상기 남아있는 기판 다이(14)

내지 (16)의 비아(50) 부분상에 측벽(60), (71), (72), (73), (74), 또는 (75)을 형성할 필요가 없다는 이점을 가지고 있다.

[0052] 콘택 구조물(12), (17)을 서로 접속 시키기 위한 전기 접속부는 도 10(E)에 도시된 바와 같이 그리고 도 10(B)의 기재와 유사하게 유전체(98)를 통해 금속(97)까지 비아(51)를 에칭한 후 금속(46)으로 비아(51)를 충전하는 방법에 의해, 또는 도 10(F)에 도시된 바와 같이 그리고 도 10(C)의 기재와 유사하게 비아(51)를 도전성 물질(52)로 라이닝시킨 후 유전체(53)로 충전하는 방법에 의해 형성할 수 있다. 도 10(E) 및 도 10(F)에서 비아(51)는 콘택 구조물(12)상의 금속(97)의 부분에 접속되는 것으로 도시되어 있다. 대체 방법으로서, 비아(51)를 콘택 구조물(17)상의 금속(97)의 부분과 접속시키거나 또는 콘택 구조물(12), (17) 모두와 접속시킬 수 있다.

[0053] 도 10(A) 내지 도 10(F)의 구조들은 와이어 본딩 또는 플립칩 패키징(flip-chip packaging)을 지원하는 포토리토그래피 기반 접속 라우팅(routing) 또는 언더범프(underbump) 금속화를 포함하나 그로 국한되지 않는 후속 처리를 위해 적합하다. 이 처리는 통상 접속 라우팅 또는 언더범프 금속화를 위한 전기 격리를 제공할 수 있도록 노출된, 두께 감소된 기판부(21) 상에 전기 절연재를 형성하는 공정을 포함한다.

[0054] 도 11에 도시된 예에서는 증착 또는 스핀-온된 산화물 또는 폴리머와 같은 절연재(96)를 CMP후 다이(14) 내지 (16)상에 형성하고, 접속 라우팅 또는 언더범프 금속화부(95)를 절연재(96)상에 금속 구조물(100)과 접촉하는 상태로 형성하고 있다. 절연재(96)의 형성에 앞서 도 3(B)에 도시된 바와 같이 다이(14) 내지 (16)들 사이에 또 다른 충전재를 사용할 수도 있다. 금속화부는 도시되지는 않았으나 높은 비아 밀도 및/또는 고도의 라우팅 복잡성을 수용할 수 있도록 절연층들에 의해 분리된 여러개의 레벨들을 포함할 수 있다. 연마 공정에서 대응 유전체막(70)이 제거되지 않는 경우에는 대체 방법으로서, 대체 유전체막을 남겨 두어 금속화 구조들에 대한 적절한 전기 격리를 제공케 할 수도 있다.

[0055] 도 12에는 본 발명 방법의 제 2 실시예가 예시되어 있다. 이에 있어서는 다이(14) 내지 (16)상에 유전체막의 개재없이 하드 마스크(101)를 형성하고 있다. 하드 마스크(101)의 통상 두께는 0.1 내지 1.0 마이크론이다.

[0056] 하드 마스크(101)는 두께가 감소된 기판(21) 및 장치 영역(18), (11)을 통해 비아를 콘택 구조물(12)까지 에칭시키는 데 사용되는 후속 에칭 공정 또는 후속 에칭 공정들에 대한 식각 선택도가 높은 물질로 구성되는 것이 바람직하다. 하드 마스크 물질의 예로는 알루미늄, 텅스텐, 백금, 니켈, 및 몰리브덴을 들 수 있고, 에칭 공정의 예로는 두께가 감소된 규소 기판을 통해 비아를 에칭하기 위한 SF₆계 반응성 이온 에칭법, 그리고 장치 영역(18), (11)을 통해 후속 비아를 콘택 구조물(12)까지 에칭시키기 위한 CF₄계 반응성 이온 에칭법을 들 수 있다. 마스크(101)에는 개구(102)를 형성하고, 이 구조물을 제 1 실시예와 같이 처리하여 콘택 구조물(12), (17)을 노출시키도록 다이 기판들 및 장치 영역들을 통해 에칭을 실시하되 콘택 구조물(17)의 상면을 바람직하게 노출시켜 레지(도 8(A) 및 도 8(B)에 도시된 "27"과 같은)를 형성한다. 마스크(103)를 사용하여 도 7 내지 도 9에 도시된 바와 같이 금속화를 실시하여 금속 콘택(104)을 형성하는 것에 의해 도 13에 도시된 구조를 형성한다. CMP(도 14) 후, 금속(105)을 평탄화시킨다. 결과 구조는 도 11에 도시된 금속화 구조와 유사하게 와이어 본딩 또는 플립칩 패키징을 지원하는 포토리토그래피 기반 접속 라우팅 또는 언더범프 금속화를 포함하나 그로 국한되지 않는 후속 처리를 위해 적합하다. 이 처리는 다이(14) 내지 (16)의 노출된 부분상에 라우팅된 접속 라우팅 또는 언더범프 금속화를 위한 전기 격리를 제공할 수 있도록 다이(14) 내지 (16)의 노출된 부분 상에 전기 절연재를 형성하는 공정을 포함한다. 접속 라우팅 또는 언더범프 금속화를 도모할 수 있도록 CMP 공정 전 또는 CMP 공정 후 어느 때나 제 1 실시예에서 설명한 바와 같은 평탄화 물질, 일례로 유전체 또는 금속, 또는 대체물로서 폴리이미드 또는 벤조시클로부텐 물질을 다이 개구 또는 홈들 사이에 형성되어 있는 모든 공간에 충전시켜 상기 구조의 표면을 평탄화시킬 수도 있다.

[0057] 본 발명은 또한 다른 구조에도 적용될 수 있다. 일례로, 한쌍의 콘택 구조물(17)이 요구되지 않고, 다이 또는 웨이퍼의 단일의 콘택 구조물을 접합될 기판의 콘택 구조물에 접속시킬 수도 있다. 이는 도 15에 도시되어 있는데, 이 경우 시드층(90)에 형성된 금속 콘택(107)에 의해 콘택 구조물(12), (108)의 접속이 이루어지고, 콘택 구조물(108)은 콘택 구조물(12)의 일측에 치우쳐 있다. 금속 콘택(107)의 일측부(좌측부)는 기판부(109)의 상면으로부터 시드층(90)까지 바로 연장되어 있으며, 금속 콘택(107)의 타측부(우측부)는 기판부(109)의 상면으로부터 기판(12)상의 시드층(90)까지 바로 연장되어 있다.

[0058] 본 발명은 많은 이점을 제공하고 있다. 다이 또는 웨이퍼와 기판을 서로 접속시키도록 단일의 마스크를 사용하여 기판에 접합된 다이 또는 웨이퍼의 배면을 통해 에칭을 실시하고 있다. 통상 복잡할 수 있고, 문제를 유발할 수 있으며 치수에 제한이 있을 수 있는 비아에 포토리토그래피 공정을 실시할 필요가 없다. 에칭 공정은 접

합 계면을 통해 진행된다. 또한, 서로 접촉될 콘택들의 상면을 노출시킬 수 있고, 이에 따라 콘택의 표면적을 증가시킬 수 있으며, 콘택 저항을 감소시킬 수 있다. 다른 기술을 이용하여 장치들을 접속시킬 수 있고, 이에 따라 장치의 성능을 최적화시킬 수 있고, 단일 공정 시퀀스를 이용하여 다른 제조 기술들을 적용할 경우에 당면되는 문제점들을 피할수 있다.

[0059] 도 16(A), 도 16(B), 및 도 17에는 제 3 실시예가 도시되어 있다. 기판(110)은 콘택 구조물(112)들을 가지고 있는 기판 영역(111)을 포함하고 있다. 각기 장치 영역(118), 기판부(121), 및 콘택 구조물(117)을 가지고 있는 다이(114) 내지 (116)는 도 16(A)에 도시된 바와 같이 기판(110)의 표면(113)상에 접합된다. 본 실시예의 경우에는 콘택 구조물(112)을 덮는 물질이 존재하지 않는다. 제 1 또는 제 2 실시예에 관련하여 설명한 단일 마스크 공정에 따라, 도 16(B) 및 도 17에 도시된 구조가 형성된다. 기판부(121) 및 장치 영역(118)을 통해 비아(50)를 에칭하여 콘택 구조물(117)의 배면 상의 레지(26)를 노출시킨다. 상기 에칭을 계속 진행하여 비아(60)를 형성시켜 콘택 구조물(112)의 상면을 노출시킨다. 시드층(90)을 형성한 상태에서 또는 형성하지 않은 상태에서 콘택(120)을 형성하여 콘택 구조물(112), (117)들을 서로 접속시킨다. 도 3(B)와 관련하여 상술한 바와 같이 장치를 평탄화시킬 수 있도록 충전재를 사용할 수도 있다. 콘택(120)은 또한 도 10(C) 내지 도 10(F)를 통해 이미 예시한 방식으로 형성할 수도 있다. 또한, 막(70)을 도 8(C) 내지 도 8(K)에 도시된 바와 같이 형성할 수도 있다.

[0060] 도 18 및 도 19에는 제 4 실시예가 도시되어 있다. 본 실시예의 경우에는 콘택 구조물(122) 또는 (123)을 덮는 물질이 존재하지 않는다. 다이(114) 내지 (116)에는 일례로 금속인 도전성 물질로 구성되는 콘택 구조물(123)이 다이(114) 내지 (116)의 표면 위로 연장되어 있고, 일례로 금속인 도전성 물질로 구성되는 콘택 구조물(122)이 표면(113) 위로 연장되어 있다. 콘택 구조물(123)과 콘택 구조물(122)은 서로 다른 금속으로 구성될 수 있다. 일례로, 콘택 구조물(123)은 일 종류의 구리, 텅스텐, 니켈 또는 금으로 구성될 수 있고, 콘택 구조물(122)은 다른 종류의 구리, 텅스텐, 니켈 또는 금으로 구성될 수 있다. 또한, 콘택 구조물(123) 또는 (122)은 다른 금속들, 일례로, 니켈, 팔라듐, 및 금의 조합으로 구성될 수도 있다. 또한, 콘택 구조물(123) 또는 (122)은 구리, 텅스텐, 니켈, 또는 금의 합금, 또는 다른 합금, 일례로 인듐-주석-산화물로 구성될 수도 있다. 이러한 금속들은 PVD, 열, 전자빔, 및 전기도금을 포함하는 다양한 기술들에 의해 형성할 수 있을 것이다.

[0061] 콘택 구조물(123)을 제외한 다이(114) 내지 (116)의 표면 부분 및 콘택 구조물(122)를 제외한 표면(113)의 부분은 산화 규소, 질화 규소, 산화질화 규소와 같은 비도전성 물질 또는 반도체 집적 회로 제조와 친화적인 대체 절연 물질로 구성하는 것이 바람직하다. 콘택 구조물(123)이 노출되어 있는 다이(114) 내지 (116)은 콘택 구조물(122)이 노출되어 있는 표면(113)에 접합되는데, 이 경우 접합은 출원 번호 10/359,608 호에 기재되어 있는 바와 같이 다이(114) 내지 (116)의 표면에서 노출된 콘택 구조물(123)의 부분을 표면(113)에서 노출된 콘택 구조물(122)의 부분과 정렬시키고, 다이(114) 내지 (116)의 표면의 비도전성 물질 부분을 표면(113)의 비도전성 물질 부분과 정렬시키기에 충분한 정렬 정밀도를 가지고 이루어진다. 다이(114) 내지 (116)의 표면의 비도전성 물질 부분과 표면(113)의 비도전성 물질 부분간의 접합은 출원 번호 10/359,608 호에 기재된 바와 같은 직접 접합으로 이루게 하는 것이 바람직하다. 직접 접합의 대체 형태로서, 일례로 출원 번호 10/440,099 호에 기재된 바와 같은 직접 접합을 이용할 수도 있다. 직접 접합에 있어서, 바람직하게 $1\text{J}/\text{m}^2$ 을 초과하는 접합 에너지에 의해 콘택 구조물(123)에 대해 작용하는 콘택 구조물(122)의 내부 압력이 발생하고, 이에 따라 콘택 구조물(122), (123)간의 전기 접속이 이루어진다. 따라서, 최대의 내부 압력을 발생시킬 수 있도록 저온에서 보다 높은 접합 에너지를 발생시키는 일례로 상술한 바와 같은 직접 접합을 이용하는 것이 바람직하다. 그러나, 저온에서 보다 낮은 접합 에너지를 발생시키고, 보다 높은 접합 에너지를 발생시키기 위해서는 보다 높은 온도를 요구하는 직접 접합의 경우도 소정의 용도에 적합할 수 있다. 일례로, 높은 접합 에너지, 일례로 $1\text{J}/\text{m}^2$ 의 접합 에너지를 얻도록 적당한 온도, 일례로 400°C 미만의 온도를 요구하거나 적당한 압력, 일례로 $10\text{kg}/\text{cm}^2$ 미만의 압력을 요구하는 종래의 직접 접합도 사용할 수 있다.

[0062] 보다 구체적으로, 금속 접합 패드들을 포함하는 웨이퍼 표면들이 상온에서 접촉함에 따라 서로 대향하는 웨이퍼 표면들의 서로 접촉하는 비금속 부분들이 접촉 지점 또는 접촉 지점들에서 접합부를 형성하기 시작하고, 접촉하는 화학적 접합 면적이 증가함에 따라 웨이퍼들간의 인력적인 접합력이 증가하게 된다. 금속 패드가 존재하지 않는 경우에는 웨이퍼들은 웨이퍼면 전체를 가로질러 접합을 이루게 될 것이다. 본 발명에 따르면, 대향하는 웨이퍼들간의 접합 이음매의 형성을 방해하는 금속 패드가 존재하더라도 화학적인 웨이퍼 대 웨이퍼 접합에 지장이 초래되지는 않는다. 금속 접합 패드의 가단성 및 연성에 따라, 비금속 영역에서 화학적 웨이퍼 대 웨이퍼 접합에 의해 발생하는 압력에 의해 금속 패드상의 평탄하지 않은 그리고/또는 거친 영역이 변형되어 금속 패드

들의 평탄성 및/또는 조도의 개선이 이루어질 수 있고, 금속 패드들간의 친밀한 접촉이 이루어질 수 있다. 화학적 접합에 의해 발생하는 압력은 상기한 금속 패드들을 서로 친밀하게 접촉시킬 수 있도록 외부 압력을 가할 필요성을 배제시킬 정도로 충분한 압력이다. 친밀하게 접촉되는 금속 패드들 사이에서는 접촉 계면에서의 금속 원자들의 내부 확산 또는 자기(self) 확산에 따라 상온에서도 강한 금속 접합부가 형성될 수 있다. 이러한 확산은 열동역학적으로 진행되어, 표면 자유 에너지를 감소시키게 되며, 통상 높은 내부 확산 계수 및/또는 자기 확산 계수를 갖는 금속들의 경우 상기 확산은 향상된다. 상기와 같은 높은 확산 계수는 확산 중에 금속 이온들의 운동으로 인한 혼란이 발생되지 않는 비유동성 전자 가스에 의해 통상 대부분 결정되는 응집 에너지에 기인한다.

[0063] 대체 구성으로서, 다이(114) 내지 (116)의 콘택 구조물(123)은 다이(114) 내지 (116)의 표면들과 명목상 동일 평면을 이룰 수 있고, 콘택 구조물(122)은 표면(113)과 명목상 동일 평면을 이룰 수 있다. 이는 금속(일례로, W, Ni, Au, 또는 Cu)이 충전된 비아들이 형성된 평면을 갖는 기판을 형성함으로써 달성될 수 있다. 금속이 충전된 비아는 약 0.5 미크론의 두께로 Cu, Al, Al-Cu(2%) 또는 Al-Si(2%) 합금층, 또는 상기 Al 또는 Al 합금층 상에 형성된 Cu층과 같은 금속 시드층상에 전기 도금에 의해 형성할 수 있을 것이다. Pd는 시드층으로 사용되고, 상기 Al 또는 Al 합금층 상에 형성된다. Ni, W, Au 또는 Cu 포스트(post)는 시드층 위에 형성된다. 전기 도금 후, 포스트(post)들 또는 포토리토그래피적으로 정의된 패턴을 마스크로 사용하고 금속 에칭을 이용하여 상기 시드층을 상기 포스트들 사이의 표면으로부터 제거한다. 이 후, 상기 표면에 산화물층을 형성한다. 이 산화물층을 CMP 처리하여 산화물 및 금속 영역들을 갖는 평면을 형성한다.

[0064] 콘택 구조물(122), (123)은 다이(114) 내지 (116)의 비금속 표면부 및 표면(113)의 비금속부보다 높은 표면 조도를 가질 수 있다. 일례로, 다이(114) 내지 (116)의 표면 및 표면(113)은 1nm 미만, 보다 바람직하게는 0.5nm 미만의 제곱평균제곱근(RMS) 표면 조도를 갖는 것이 바람직하고, 반면에 콘택 구조물(122), (123)의 표면은 2nm 미만, 보다 바람직하게는 1nm 미만의 제곱평균제곱근(RMS) 표면 조도를 갖는 것이 바람직하다.

[0065] 다이(114) 내지 (116)의 표면 상의 콘택 구조물(123)의 비접촉 부분과 표면(113) 상의 콘택 구조물(122)의 비접촉 부분들 사이에서 접합으로 인해 발생하여 콘택 구조물(123)에 가해지는 콘택 구조물(122)의 내부 압력은 다이(114) 내지 (116)의 노출된 금속 표면상에 일례로, 자연 산화물 또는 탄화수소와 같은 다른 오염 물질로 인해 접합을 달성하는데 또는 바람직하게 낮은 저항을 갖는 전기 접속을 이루게 하는데 적당치 않을 수도 있다. 콘택 구조물(123) 또는 (122) 상의 자연 산화물을 제거하면 콘택 구조물(123), (122)사이에 개선된 접합 또는 바람직하게 낮은 저항의 전기 접속을 이루게 할 수 있을 것이다. 일례로, 표면(113)을 다이(114) 내지 (116)의 표면과 접촉시키기 전에 앞서 묶은 불화수소산을 사용할 수 있을 것이다. 또한, 표면(113)이 다이(114) 내지 (116)의 표면과 접촉할 때 까지 자연 산화물을 제거 한 후, 표면(113)과 다이(114) 내지 (116)의 표면들을 불활성 분위기, 일례로 질소 또는 아르곤에 노출시킬 수 있을 것이다. 대체 방법으로서, 다이(114) 내지 (116)의 표면 상의 콘택 구조물(123)의 비접촉 부분과 표면(113) 상의 콘택 구조물(122)의 비접촉 부분들을 접합시킨 후 일례로 콘택 구조물(122), (123)을 가열하는 온도를 상승시켜 콘택 구조물(123), (122) 사이에 개선된 접합 및 바람직하게 낮은 저항의 전기 접속을 달성할 수도 있다. 온도 상승은 자연 산화물 또는 다른 오염 물질을 감소시켜 바람직하게 낮은 저항의 전기 접속을 이루게 할 수 있거나, 또는 일례로 콘택 구조물(123) 또는 (122)이 그 콘택 구조물(123), (122)을 에워 싸고 있는 비금속 물질에 비해 열 팽창 계수가 높은 경우에는 콘택 구조물(123), (122) 사이의 내부 압력을 상승시켜 바람직하게 낮은 저항의 전기 접속을 이루게 할 수 있거나, 또는 자연 산화물 또는 다른 오염 물질을 감소시킴과 동시에 내부 압력을 상승시킴으로써 바람직하게 낮은 저항의 전기 접속을 이루게 할 수 있다. 상기 온도 상승은 또한 콘택 구조물, 일례로 콘택 구조물(122), (123) 사이에서의 확산을 증가시켜 자연 산화물 또는 다른 오염 물질을 감소시킬 수도 있다. 이에 따라, 상기 온도 상승은 콘택 구조물(123), (122)간의 금속 접합, 금속 콘택, 금속 접속 또는 도전을 강화시킬 수 있다. $1 \text{ ohm}/\mu\text{m}^2$ 미만의 접촉 저항이 얻어졌다. 일례로, 직경이 각기 약 $5\mu\text{m}$ 및 $10\mu\text{m}$ 이고 약 $1\mu\text{m}$ 의 두께를 갖는 두 콘택 구조물의 경우, 50 mohm 미만의 저항이 얻어졌다.

[0066] 다이(114) 내지 (116)에 또는 표면(113) 아래의 층(111)에 집적 회로들, 일례로 규소 집적 회로들이 존재하는 경우, 상기 온도 상승은 콘택 구조물 또는 다른 금속 구조물의 손상을 방지할 수 있도록 2시간 동안 400°C 미만으로 되게 하는 것이 바람직하고, 2시간 동안 350°C 미만으로 되게 하는 것이 더욱 바람직하다. 콘택 구조물(123), (122)간의 금속 접합, 금속 콘택, 금속 접속 또는 도전을 강화시키는 온도 상승은 콘택 구조물들이 열팽창 또는 내부 압력에 민감한 도전 물질과, 무시할 정도의 자연 산화물, 일례로, 금으로 구성되는 경우 매우 낮게, 일례로 10분간 50°C 정도로 낮게 될 수 있다.

- [0067] 보다 낮은 접합-후 온도에서 보다 큰 내부 압력 상승을 초래하고, 보다 낮은 압력에서 변형될 수 있는 콘택 구조물(123),(122)을 사용하는 것이 경우에 따라서는 콘택 구조물(123),(122)간의 금속 접합, 금속 콘택, 금속 접속 또는 도전의 요구되는 강화를 달성하는데 필요한 접합-후 온도의 상승을 최소화시키기 위한 필요성 면에서 바람직하다. 일례로, 접합-후 온도 상승의 결과로 발생하는 내부 압력은 콘택 구조물(123),(122)를 구성하는 금속에 따라 결정된다. 일례로, 구리, 니켈, 및 금과 같이 열 팽창 계수(CTE)의 값이 높은 금속의 경우에는 주어진 온도에서 보다 큰 팽창이 이루어지게 된다. 또한, 텅스텐 니켈과 같이 전단율이 높은 금속의 경우에는 주어진 팽창도에서 보다 큰 응력이 발생되게 될 것이다. 따라서, 구리, 텅스텐, 및 니켈과 같이 CTE와 전단율이 높은 금속이 온도 상승에 따라 내부 압력의 상승을 이루게 하는데 가장 효과적이다. 또한, 바람직하게 일례로 99.9% 이상의 초고순도의 구리, 니켈, 및 금과 같이 낮은 항복 강도를 나타내는 금속의 경우에는 보다 낮은 응력에서도 쉽게 변형되고, 따라서 콘택 구조물간의 금속 접합, 금속 콘택, 금속 접속 또는 도전이 강화될 수 있다. 콘택 구조물(123),(122)은 CTE와 전단율의 곱(product)이 높은, 또는 항복 강도로 나타낸 CTE와 전단율의 곱이 높은 금속들, 일례로 구리, 니켈, 및 금으로 구성되는 것이 바람직한데, 이 경우에는 접합-후 온도의 상승에 따른 내부 압력 발생의 결과로 콘택 구조물(123),(122) 사이에서 강화된 금속 접합, 금속 콘택, 금속 접속 또는 도전이 이루어지게 된다.
- [0068] 대체 구성으로서, 콘택 구조물(123)이 다이(114) 내지 (116)의 표면들보다 약간 아래에 위치될 수 있으며, 아니면 콘택 구조물(122)이 표면(113)보다 약간 아래에 위치될 수 있다. 다이(114) 내지 (116)의 표면들과 표면(113) 아래로의 거리는 20nm 미만으로 되는 것이 바람직하고, 10nm 미만으로 되는 것이 보다 바람직하다. 후속 접합에 이어 온도 상승을 이루게 하면 상술한 바와 같이 콘택 구조물(122),(123)간의 내부 압력이 상승하게 되고, 그 결과 콘택 구조물(123),(122) 사이에서의 금속 접합, 금속 콘택, 금속 접속 또는 도전이 강화될 수 있다. 표면(113) 아래로의 콘택 구조물(122)의 상기한 바와 같은 짧은 거리 및 다이(114) 내지 (116)의 표면 아래로의 콘택 구조물(123)의 상기한 바와 같은 짧은 거리는 상기 콘택 구조물들의 전 범위에 걸친 평균 거리이다. 콘택 구조물들의 단차는 상기 평균 거리와 동일한, 그보다 높은, 그리고 그보다 낮은 위치들을 포함할 것이다. 최대 높이와 최소 높이간의 차로 주어지는 콘택 구조물들의 총 높이 변화는 제곱평균제곱근(RMS)의 변화보다 실질적으로 클 것이다. 일례로, 1nm의 제곱평균제곱근(RMS)을 갖는 콘택 구조물의 경우 10nm의 총 높이 변화를 가질 수 있다. 따라서, 상술한 바와 같이 콘택 구조물(123)이 다이(114) 내지 (116)의 표면들보다 약간 아래에 위치하고, 콘택 구조물(122)이 표면(113)보다 약간 아래에 위치하더라도, 콘택 구조물(122)의 일부는 다이(114) 내지 (116)의 표면들 위로 연장될 수 있고, 콘택 구조물(123)의 일부도 표면(113) 위로 연장될 수 있기 때문에 다이(114) 내지 (116)의 비금속부에 대한 표면(113)의 비금속부의 접합 후 콘택 구조물(122)과 콘택 구조물(123)이 서로 기계적으로 접속될 수도 있다. 이러한 기계적인 접속이 이루어진 경우에는 불완전한 기계적인 접속이나, 콘택 구조물(122) 또는 콘택 구조물(123)상의 자연 산화물 또는 다른 오염 물질로 인해 콘택 구조물(122)과 콘택 구조물(123) 사이에 적당한 전기 접속이 이루어지지 않게 될 수도 있다. 후속 온도 상승에 따라 상술한 바와 같이 콘택 구조물(123),(122) 사이에서의 금속 접합, 금속 콘택, 금속 접속 또는 도전이 강화될 수 있다.
- [0069] 또한, 콘택 구조물(123)의 가장 높은 부분이 다이(114) 내지 (116)의 표면보다 아래에 위치하거나 콘택 구조물(122)의 가장 높은 부분이 표면(113)보다 아래에 위치하고, 접합 후 콘택 구조물(123),(122) 사이에 기계적인 접촉이 없는 경우에는 콘택 구조물(123),(122) 사이에 기계적인 접촉 및/또는 요구되는 전기적인 접속이 이루어질 수 있다.
- [0070] 또한, 콘택 구조물(123)이 다이(114) 내지 (116)의 표면보다 아래에 위치하고 콘택 구조물(122)이 표면(113)보다 위에 위치하거나, 또는 콘택 구조물(123)이 다이(114) 내지 (116)의 표면보다 위에 위치하고 콘택 구조물(122)이 표면(113)보다 아래에 위치할 수도 있다. 표면(113) 아래로의 콘택 구조물(122)의 거리와 다이(114),(115), 또는 (116)의 표면 아래로의 콘택 구조물(123)의 거리(또는 그 역)간의 차는 특허 출원 제 10/359,608 호에 기재된 바와 같이 약간의 양의 값이 될 수 있다. 이와는 다르게, 표면(113) 아래로의 콘택 구조물(122)의 거리와 다이(114),(115), 또는 (116)의 표면 아래로의 콘택 구조물(123)의 거리(또는 그 역)간의 차는 명목상 제로 또는 약간의 음의 값이 될 수도 있고, 이 경우 접합-후 온도의 상승에 의해 상술한 바와 같이 콘택 구조물(123),(122) 사이에서의 금속 접합, 금속 콘택, 금속 접속 또는 도전이 강화될 수 있다.
- [0071] 다이(114) 내지 (116)의 표면에 대한 콘택 구조물(123)의 높이와 표면(113)의 높이에 대한 콘택 구조물(122)의 높이는 다이(114) 내지 (116)의 표면들 또는 표면(113)을 형성하는 연마 공정, 일례로 화학적 기계적 연마(CMP)에 의해 제어할 수 있다. 통상, CMP 공정은 연마 슬러리의 형태, 슬러리 첨가 속도, 연마 패드, 연마 패드 회전 속도, 및 연마 압력을 포함하나 이로 국한되지 않는 복수의 공정 변수들을 가지고 있다. 이 CMP 공정은

또한 표면(113) 및 다이(114) 내지 (116)의 표면을 구성하는 특정 비금속 및 금속 물질들, 그 비금속 및 금속 물질들의 상대 연마 속도(일례로 니켈과 산화 규소의 경우에는 연마 속도가 유사한 것이 바람직하다), 콘택 구조물(122),(123)의 크기, 피치, 및 입자 구조, 및 표면(113) 또는 다이(114) 내지 (116)의 표면의 비평탄도에 따라 달라지게 된다. 최적화된 공정 변수들을 이용하여 다이(114) 내지 (116)의 표면에 대한 콘택 구조물(123)의 높이 및 표면(113)의 높이에 대한 콘택 구조물(122)의 높이를 제어할 수 있다. 대체 연마 기술, 일례로 슬러리를 사용하지 않는 연마 기술을 이용할 수도 있다.

[0072] 다이(114) 내지 (116)의 표면에 대한 콘택 구조물(123)의 높이 및 표면(113)의 높이에 대한 콘택 구조물(122)의 높이는 또한 다이(114) 내지 (116)의 표면상의 콘택 구조물(123) 주위에 있는 물질 또는 표면(113)상의 콘택 구조물(122) 주위에 있는 물질에 대해 경미 건식 에칭(slight dry etch), 일례로 상기 표면들이 산화 규소, 질화 규소 또는 산화 질화 규소와 같은 소정의 유전 물질들로 구성되는 경우에는 바람직하게 상기 표면들간의 접합 에너지를 상당히 감소시킬 수 있을 표면 조도의 증가가 이루어질 수 있게 CF_4 및 O_2 의 혼합물을 사용한 플라즈마 또는 반응성 이온 에칭을 행하여 제어할 수 있다. 또한, 콘택 구조물(123) 및 콘택 구조물(122)상에 매우 얇은 금속층을 형성하여 콘택 구조물(123) 및 콘택 구조물(122)의 높이를 제어할 수도 있다. 일례로, 소정의 금속, 일례로 금의 무전해 전기 도금을 일례로 약 5 내지 50nm 정도로 매우 얇은 층으로 자기 제한을 할 수 있다. 이 방법은 일례로 니켈 상의 금과 같이 산화 금속을 매우 얇은 비산화 금속으로 종결시켜 전기 접속부의 형성을 도모할 수 있다는 추가적인 이점을 가지고 있다.

[0073] 또한, 콘택 구조물(122)의 측방 치수는 접합 후 콘택 구조물(123)의 둘레가 콘택 구조물(122)의 내측에 위치하거나, 콘택 구조물(122)의 둘레가 콘택 구조물(123)의 내측에 위치할 수 있게 콘택 구조물(123)의 측방 치수보다 크거나 작을 수 있다. 이러한 측방 치수차의 최소값은 통상 표면(113)에 대해 다이(114) 내지 (116)를 접합할 시의 정렬 정밀도의 적어도 2배로 결정된다. 일례로, 표면(113)에 대해 다이(114) 내지 (116)를 접합할 시의 정렬 정밀도가 1 마이크론이라면, 콘택 구조물(122)은 콘택 구조물(123)의 둘레가 콘택 구조물(122)의 내측에 위치할 수 있게 하도록 콘택 구조물(123)보다 적어도 2 마이크론 만큼 크게 되는 것이 바람직하다.

[0074] 콘택 구조물(123) 주위에 위치하는 다이(114) 내지 (116)의 표면 부분과 콘택 구조물(122) 주위에 위치하는 표면(113)의 부분간의 접합에 의해 발생될 수 있고 접합-후 온도 상승에 의해 조절되는 콘택 구조물(123)에 대한 콘택 구조물(122)의 최대 내부 압력은 표면(113)의 상기 부분에 대한 다이(114) 내지 (116)의 상기 표면 부분의 접합 면적 및 콘택 구조물(122)의 면적에 대한 콘택 구조물(123)의 면적에 따라 결정된다. 이 두 면적의 합은 콘택 구조물(123), (122)간의 측방 치수차 및 다이(114) 내지 (116)의 표면들과 표면(113)간의 접합 오정렬로 인해 형성되는, 표면(113)상의 콘택 구조물(122)의 비접촉 부분과 정렬되는 콘택 구조물(123)의 잔류 면적 및 다이(114) 내지 (116)의 표면상의 콘택 구조물(123)의 비접촉 부분과 정렬되는 콘택 구조물(122)의 잔류 면적 때문에 통상 표면(113)에 접촉되는 다이(114) 내지 (116)의 전체 면적보다 작게 된다. 접합에 의해 발생될 수 있고 접합-후 온도 상승에 의해 조절되는 최대 내부 압력은 다이(114) 내지 (116)의 표면 부분과 표면(113)의 부분간의 접합부에 대한 파괴 강도와 콘택 구조물(122)들의 면적에 접촉되는 콘택 구조물(123)들의 면적에 대한 상기 접합부의 면적의 비의 곱으로 근사될 수 있다. 일례로, 다이(114) 내지 (116)의 표면 부분과 표면(113)의 부분이 16,000 psi의 파괴 강도를 갖는 산화 규소로 구성되고, 이 부분들의 정렬부분 사이의 직접 접합은 파괴 강도가 산화 규소의 절반 또는 8,000Psi이다. 콘택 구조물(123),(122)들이 원형으로 4 마이크론의 직경을 가지고 있고 10 마이크론의 피치로 배치되고 완전하게 정렬된 경우, 콘택 구조물(123),(122)간의 최대 내부 압력은 60,000 psi를 초과할 수 있다. 이 압력은 통상 접합-후 온도의 상승에 의해 발생되는 압력보다 상당히 큰 것이다. 일례로, 콘택 구조물(123),(122)이 17ppm의 CTE, 6,4000,000 psi의 전단율을 갖는 구리로 구성되고, 다이(114) 내지 (116)의 표면 부분과 표면(113)의 부분이 0.5의 CTE를 갖는 산화 규소로 구성되고, 콘택 구조물(123)들이 다이(114) 내지 (116)의 부분과 동일 평면을 이루고, 콘택 구조물(122)들이 표면(113)의 부분과 동일 평면을 이루는 경우, 콘택 구조물(123),(122) 사이에서 발생하는 응력은 350℃의 접합-후 온도 상승 시 약 37,000 psi로 예상된다.

[0075] 통상, 콘택 구조물(123),(122)은 완벽하게 정렬되어 있지 않고, 동일한 측방 치수를 가지고 있다. 그 결과, 콘택 구조물(123)의 부분은 콘택 구조물(122) 주위에 위치한 표면(113)의 부분과 접촉하게 되며, 콘택 구조물(122)의 부분은 콘택 구조물(123)의 주위에 위치한 다이(114) 내지 (116)의 표면 부분과 접촉하게 된다. 만일 콘택 구조물(123)의 부분이 표면(113)의 부분과 접촉하고, 또한 콘택 구조물(122)이 표면(113)보다 아래에 위치되거나, 이와는 다르게 콘택 구조물(122)의 부분이 다이(114) 내지 (116)의 표면 부분과 접촉하고, 또한 콘택 구조물(123)이 다이(114) 내지 (116)의 표면보다 아래에 위치되면, 접합-후 온도의 상승에 의해 우선적으로 콘택 구조물(122)과 다이(114) 내지 (116)의 표면 부분사이에서 또는 콘택 구조물(123)과 표면(113)의 부분 사이

에서 내부 압력의 상승이 이루어지나, 달리 얻어질 수 있는 콘택 구조물(123),(122)사이에서의 주어진 접합-후 온도 상승시는 내부 압력의 감소가 발생한다. 콘택 구조물(123),(122)간의 이러한 내부 압력 상승의 감소를 방지하기 위해서는, 콘택 구조물(123)들이 다이(114) 내지 (116)의 표면보다 아래에 위치하는 경우에는 접합 후 콘택 구조물(122)의 둘레가 콘택 구조물(123) 및 콘택 구조물(122)의 오정렬과 크기 및 형상의 차이를 수용할 수 있을 정도의 양(정렬 허용 오차의 2배)만큼 콘택 구조물(123)의 내측에 위치되게 하여 내부 압력 상승이 콘택 구조물(123)과 콘택 구조물(122)사이에서 주로 발생되게 하는 것이 바람직하다.

[0076] 또한, 콘택 구조물(122)들이 표면(113)보다 아래에 위치하는 경우에는, 내부 압력 상승이 콘택 구조물(123)과 콘택 구조물(122)사이에서 주로 발생하게 할 수 있도록 접합 후 콘택 구조물(123)의 둘레가 콘택 구조물(123) 및 콘택 구조물(122)의 오정렬과 크기 및 형상의 차이를 수용할 수 있을 정도의 양만큼 콘택 구조물(122)의 내측에 위치하게 되는 것이 바람직하다. 또한, 콘택 구조물(123)들이 다이(114) 내지 (116)의 표면보다 아래에 위치하고, 콘택 구조물(122)들이 표면(113)보다 아래에 위치하는 경우에는 콘택 구조물의 CTE에 의해 정해지는, 표면 아래에 가장 짧은 거리에 위치하는 콘택 구조물들이 대향하는 콘택 구조물의 둘레내에 위치하는 둘레를 가지고, 이에 따라 접합 후 콘택 구조물(123)의 둘레가 콘택 구조물(123) 및 콘택 구조물(122)의 오정렬과 크기 및 형상의 차이를 수용할 수 있을 정도의 양만큼 콘택 구조물(122)의 내측에 위치하게 되어 내부 압력 상승이 콘택 구조물(123)과 콘택 구조물(122)사이에서 주로 발생하게 된다.

[0077] 콘택 구조물(123)과 콘택 구조물(122)의 온도는 두께가 감소된 다이 기관(121)을 형성할 수 있도록 다이(114) 내지 (116)의 기관들의 두께를 감소시키는 공정 전 또는 후에 상승시킬 수 있다. 콘택 구조물(123)과 콘택 구조물(122)의 온도는 열, 적외선, 및 유도 가열을 포함하나 그로 국한되지 않는 다양한 가열 방식을 이용하여 접합 후 상승시킬 수 있다. 열적 가열의 예로는 오븐, 벨트 로, 및 핫 플레이트(hot plate)를 들 수 있다. 적외선 가열의 예로는 급속 열적 어니일링을 들 수 있다. 적외선 열원은 선택된 에너지의 광자를 이용하여 콘택 구조물(123),(122)을 우선적으로 가열할 수 있도록 필터링될 수 있다. 일례로, 기관(110), 다이(114) 내지 (116)의 기관, 두께가 감소된 다이 기관(121), 다이 영역(111), 또는 다이 영역(118)이 반도체, 일례로 규소로 구성된 경우, 적외선 열원은 반도체 밴드갭을 초과하는 에너지를 갖는 광자가 반도체에 흡수되어 콘택 구조물(123) 또는 콘택 구조물(122)의 온도 상승에 비해 반도체의 온도 상승이 감소되는 결과를 초래하지 않도록 필터링될 수 있다. 유도 가열의 예로는 콘택 구조물(123)과 콘택 구조물(122)이 자성체, 일례로 니켈로 구성되는 경우 유도형 자기 공명을 들 수 있다.

[0078] 도 18에 도시된 바와 같이 복수의 콘택 구조물(123)들이 단일의 콘택 구조물(122)의 전체를 덮고 있지 않은 상태로 상기 단일의 콘택 구조물(122)과 접촉할 수 있다. 이와는 다르게, 단일의 콘택 구조물(123)이 부분적으로 또는 전체적으로 단일의 콘택 구조물(122)과 접촉할 수도 있고, 단일의 콘택 구조물(122)이 부분적으로 또는 전체적으로 단일의 콘택 구조물(123)과 접촉할 수도 있으며, 단일의 콘택 구조물(123)이 복수의 콘택 구조물(122)들과 접촉할 수도 있다.

[0079] 상기한 실시예들과 관련하여 설명한 단일 마스크 공정에 이어, 복수의 콘택 구조물(123)들이 단일의 콘택 구조물(122)의 전체를 덮고 있지 않은 상태로 상기 단일의 콘택 구조물(122)과 접촉하게 되면 도 19(A)에 도시된 구조가 얻어질 수 있는데, 이 경우 금속 시드층(90)은 두 콘택 구조물(122),(123)에 전기 접속부를 형성한다. 또한, 특히 콘택 구조물(123)들이 콘택 구조물(122)들의 전체를 덮고 있는 경우에는 금속 시드층(90)은 단지 콘택 구조물(123)과만 접촉할 수도 있다. 도 19(A)에 도시된 구조는 본 실시예에서 이미 설명하고 도 19(B)에 도시한 바와 같이 도 18의 표면(113)과 유사한 표면을 형성하도록 추가로 처리될 수도 있다. 도 19(B)의 경우, 콘택 구조물(59)은 콘택 구조물(122)과 유사하고, 평탄화된 물질(58)은 표면(113)상의 콘택 구조물(122)의 비접촉 부분과 유사하다. 이 후, 콘택 구조물(123)이 노출되어 있는 추가 다이를, 콘택 구조물(123)이 노출되어 있는 다이(114) 내지 (116)의 노출된 콘택 구조물(122)에 대한 접합 방식과 유사하게, 콘택 구조물(59)이 노출되어 있는 표면에 접합하고 접속시킬 수 있다. 도 19(C)는 개구 또는 갭이 없이 콘택(124)으로 충전된 비아를 도시하고 있다.

[0080] 본 제 4 실시예의 경우에는 콘택 구조물(123),(122)간의 전기 접속을 위해 금속 접속을 수반하는 비아 에칭을 행할 필요가 없다. 그러나, 다이(114) 내지 (116)의 노출 부분으로부터의 전기적인 접근을 위해 도 19(A)에 도시된 바와 같이 금속 접속을 수반하는 비아 에칭이 필요할 수도 있다. 이러한 비아 에칭이 요구될 수 있는 적용 예로는 다이(114) 내지 (116)의 노출 부분을 패키지, 보드, 또는 집적 회로에 플립 칩 범프 접합을 하여 콘택 구조물(123) 또는 (122)와 상기 패키지, 보드, 또는 집적 회로간의 전기 접속을 이루게 하는 경우를 들 수 있다. 또한, 상기의 목적을 위해 비아가 필요치 않은 경우도 있다. 일례로 소정 형태의 스테어링 포칼 플레인 어레이(Staring Focal Plane Array)를 제조하는 경우를 들 수 있다. 이러한 경우에는 상술한 바와 같은 구성을

포함하나 그로 국한되지 않는 도 18에 도시된 바와 같은 방법 및 그에 따라 제조된 장치들이 만족스럽게 사용될 수 있을 것이다.

[0081] 도 20(A) 내지 도 20(H)에는 제 5 실시예가 도시되어 있다. 본 실시예는 비아(50)와 개구 또는 가장자리가 중첩되어 있는 다이(17), (108), (117), 또는 (123)의 콘택 구조물들이 개구 또는 중첩 가장자리가 없는 콘택 구조물(87)로 대체되는 점을 제외하고 이전 실시예들과 비아(50)의 형성 전은 유사하다. 본 실시예의 경우, 기관부(89)와 장치 영역(88)을 갖는 다이(84) 내지 (86)의 콘택 구조물(87)이 장치 영역(81), 기관(80), 및 콘택 구조물(82)들을 가지고 있는 표면(83)에 접합된다. 콘택 구조물(87)은 도 20(A)에 도시된 바와 같이 콘택 구조물(82)의 상부에 위치하고 있다. 다이(84) 내지 (86)도 도 16 및 도 17에 도시된 바와 유사하게 콘택 구조물(112)이 노출되어 있는 표면(113) 또는 도 18 및 도 19에 도시된 바와 유사한 콘택 구조물(122)들에 접합될 수 있다. 여기서 주지할 점은 콘택 구조물(87)이 장치(86)의 내부에 도시되어 있는 콘택 구조물(82)와 직접 접촉하는 상태로 접합될 수도 있다는 점이다. 다이(84) 내지 (86)은 또한 동일한 콘택 구조물 구성을 가질 수 있다. 도 20(A) 및 도 20(B)에는 두 콘택 구조물의 구성들이 도시되어 있는데, 이에 있어서는 상기 두 구성들 간의 일부를 간략화를 위해 생략하고 있다. 통상, 기관에 접합되는 다이들은 동일한 콘택 구조물 구성을 가질 것이다. 만일 다른 콘택 구조물들을 갖는 다이들이 동일한 기관에 접합되는 경우에는 에칭 변수 또는 에칭 비아들을 별도로 조정하는 등의 소정의 공정 변화가 요구될 수도 있다. 상기 도면들은 기관상에 동일한 또는 다른 구조물들이 존재하는 경우들을 예시하기 위해 작도된 것이나, 이러한 변화를 반드시 나타내는 것은 아니다.

[0082] 제 1 실시예에서 설명한 바와 같이 그리고 도 20(B)에 도시된 바와 같이 패터닝된 하드 마스크(40)와 개구(41)를 형성한다. 이 후, 다이(84) 내지 (86)의 남아 있는 기관부(89), 콘택 구조물(87)까지 연장되는 다이(84) 내지 (86)의 장치 영역(88)의 부분, 측면(79)을 형성하는 콘택 구조물(87), 표면(83)까지 연장되는 장치 영역(88)의 나머지 부분(필요하다면), 그리고 콘택 구조물(12)까지 연장되는 장치 영역(81)(필요하다면)을 순차적으로 비등방적으로 에칭하여 비아(55)를 형성한다. 콘택 구조물(87)의 에칭을 제외하고는, 상기 비등방성 에칭은 제 1 실시예에서 설명한 바와 동일하게 실시할 수 있다. 콘택 구조물(87)의 비등방성 에칭과 관련하여서는 하드 마스크(40)에 대해 선택적으로 도전성의 콘택 구조물(87)을 에칭하는 RIE 에칭을 사용할 수 있을 것이다. 하드 마스크(40)와 도전성의 콘택 구조물(87)이 유사한 식각 속도를 갖는 경우에는 하드 마스크(40)의 두께를 콘택 구조물(87)의 두께보다 실질적으로 크게 형성하여 노출된 콘택 구조물(87)이 하드 마스크(40)의 완전한 에칭없이 기관부(89), 장치 영역(88), 콘택 구조물(87), 그리고 콘택 구조물(82)까지 연장되는 장치 영역(81)(필요하다면)과 함께 식각될 수 있게 할 수 있다. 콘택 구조물(87)에 대한 에칭은 남아 있는 기관부(89), 다이(94) 내지 (86)내의 장치 영역(88), 그리고 장치 영역(81)에 대한 에칭과 실질적으로 다를 수 있다. 일례로, 남아 있는 기관부(89)가 규소로 구성되고, 장치 영역(88), (81)의 에칭된 부분들이 산화 규소로 구성되고, 콘택 구조물(87)이 Al로 구성된 경우에는 비염소계 RIE 에칭을 이용하여 남아 있는 기관부(89), 다이(94) 내지 (86)의 장치 영역(88), 그리고 장치 영역(81)에 대한 에칭을 실시하고, 염소계 RIE 에칭을 이용하여 콘택 구조물(87)에 대한 에칭을 실시할 수 있다.

[0083] 콘택 구조물(87)의 에칭 전에 측벽(76)을 형성하는 것이 바람직하다. 특히, 구조를 기관부(89)를 통해 비등방적으로 에칭하고, 장치 영역(88)에 도달하면 에칭을 중단하거나, 장치 영역(88)의 내부까지 에칭을 계속하고 콘택 구조물(87)에 도달하기 전에 에칭을 정지할 수 있다. 이 후, 상기 두 경우에 대해, 분리된 콘택 구조물들에 대해, 그리고 직접 접합된 콘택 구조물들에 대해 도 20(C)에 도시된 바와 같이 층(76)을 형성한다. 층(76)은 비아(55)에 산화 규소와 같은 절연층을 증착하고, 이어서 일례로 비등방성 에칭에 의해 비아(55)의 바닥으로부터 상기 층을 제거하여 형성할 수 있다. 이 후, 장치 영역(88)의 잔류 부분과 콘택 구조물(87)들을 에칭하여 도 20(D)(좌측)에 도시된 바와 같이 콘택 구조물(82)을 노출시키고, 장치 영역(88)의 잔류 부분을 에칭하여 도 20(D)(우측)에 도시된 바와 같이 콘택 구조물(87)을 노출시킨다.

[0084] 측벽 형성, 콘택 구조물(82), (87)간의 전기 접속, 및 비아 라이닝 및/또는 비아 충진을 위한 후속 공정들을 상기한 바와 같은 이전 실시예들에서 설명한 바와 동일하게 행한다. 이전 실시예들은 본 실시예와 콘택 구조물(87)에 대한 전기 접속이 콘택 구조물(87)을 통한 비등방성 에칭에 의해 노출된 측면(79)으로 제한된다는 주된 차이점을 가지고 있다. 또한, 이전 실시예들의 제 2 차이점은 도 8(A) 또는 도 8(B)에 도시된 측벽(70) 또는 도 8(J)에 도시된 측벽(74)과 유사하게 측벽의 형성이 이루어진다는 데 있다. 이들 경우에 있어서는 측벽이 콘택 구조물(17)보다 아래로 연장되어 콘택 구조물(87)의 측면(79)에 대한 전기 접속을 방지하게 될 것이다. 도 20(D)(좌측)는 측면(79)에 대한 전기 접속을 방지하지 않는 측벽(76)의 예를 보다 명확히 예시할 수 있도록 다이(84) 내지 (86) 중 하나를 상세하게 도시하고 있다.

[0085] 도 20(D)에서의 측벽 형성의 예는 측벽(72)이 두께가 감소된 다이 기관(21)보다 아래로 연장되나, 콘택 구조물

(17)보다는 위에 있는 상술한 바와 같은 도 8(H)의 측벽 형성의 경우와 유사하다. 콘택 구조물(87)을 통한 또는 콘택 구조물(87)과 콘택 구조물(82) 사이의 영역을 통한 비아(55)의 에칭 또한 도 20(E)에 도시된 바와 같이 비아(55)의 단면을 실질적으로 증가시키지 않고 콘택 구조물(82), (87)의 사이에 후속적으로 형성된 전기 접속부의 접속 저항을 감소시킬 수 있도록 콘택 구조물(87)의 상면상에 자기 정렬이 이루어진 매우 작은 레지(28)를 형성시킬 수 있게 경미하게 등방성 에칭을 통해 이루게 할 수 있다. 도 8(K)에 도시된 바와 같이 형성된 측벽(75)과 유사한 선택 측벽(77) 또한 콘택 구조물(87)의 에칭 전(도 20(F)의 좌측 또는 우측) 또는 콘택 구조물(87)의 에칭 후(도 20(F)의 좌측)에 행할 수 있다. 콘택 구조물(87)의 에칭 후 선택 측벽(77)을 형성하는 경우에는 노출된 측면(79)이 위에 걸려 있는 상태로 되고, 그 결과 노출된 측면(79)과 콘택 구조물(82) 사이에서의 전기 접속부의 형성이 복잡하게 될 수 있다. 이러한 복잡성은 노출된 측면(79)과 콘택 구조물(87) 사이에서의 전기 접속부(99)의 형성을 도 10(D)에 도시된 바와 같이 콘택 구조물(12), (17)들을 전기적으로 접속시키지만 두께가 감소된 기판(21)과는 접촉하지 않는 전기 접속부(97)의 형성과 유사한 방식으로 형성하면 피할 수 있다. 전기 접속부(99)는 콘택 구조물(87)보다는 높게 영역(99) 또는 (89)의 도전성 물질보다는 낮게 연장될 수 있다.

[0086] 전기 접속부(99)의 형성에 이어, 도 8(A) 또는 도 8(B)에 도시된 측벽(70)과 유사하게 비아(55)에 노출된 기판부(89)를 덮는 측벽(76)을 도 20(G)에 도시된 바와 같이 형성할 수 있는데, 도시된 예에서는 측벽(76)이 전기 접속부(99)의 두께와 유사한 두께를 가진 것으로 가정되어 있다. 이 후, 이전 실시예들에서 설명한 바와 같이 비아(55)의 잔류 부분에 금속을 충전하거나 금속으로 라이닝시킨 후 유전체로 충전할 수 있다.

[0087] 이러한 결과 구조들 또한 이전 실시예들에서 설명한 바와 같이 와이어 본딩 또는 플립칩 패키징을 지원하는 포토리토그래피 기반 접속 라우팅 또는 언더범프 금속화를 포함하나 그로 제한되지 않는 후속 처리를 위해 적합하다. 여기서 주지할 점은 도 20(C) 내지 도 20(F)에 도시된 구조물들도 다이(86)에 도시된 바와 같이 구성이 이루어진 콘택 구조물들을 포함할 수 있다는 점이다.

[0088] 도 21(A) 내지 도 21(E)에는 제 6 실시예가 도시되어 있는데, 이에 있어서는 이전 실시예들에서의 부분(19), (21), (89), (109), (121)과 유사한 다이 기판부(127) 전체 또는 실질적으로 모든 부분이 장치들의 층, 회로, 또는 회로층을 남겨둔 채 제거될 수도 있다. 본 실시예의 경우, 기판(130)은 콘택 구조물(132)들을 가지고 있는 장치 영역(131)을 포함하고 있다. 다이(134) 내지 (136)은 고유의 동작을 위해 요구되는 것은 아니지만 각기 장치 영역(138), 콘택 구조물(127), 및 기판부(127)를 가지고 있다. 다이(134)의 콘택 구조물(137)은 개구를 가지고 있는 것으로 도시되어 있고, 다이(135)의 콘택 구조물(137)은 단일로 되어 있는데, 이 경우에는 제 5 실시예에서와 같이 콘택 구조물(137)을 통해 개구를 에칭시킬 수 있을 것이다. 다이(134) 내지 (136)들은 도 21(A)에 도시된 바와 같이 기판(130)의 표면(133)상에 접합된다. 다이 기판(127)은 일례로 도 21(B)에 도시된 바와 같이 그라인딩 및/또는 폴리싱에 의해 완전히 제거되어, 장치 영역(138)을 노출시킨다. 본 실시예에 있어서 콘택 구조물을 노출시키고 콘택 구조물들 사이에 전기 접속부를 형성하기 위해 비아를 에칭하는데 요구되는 후속 공정들의 개수는 기판부(127)가 없기 때문에 이전 실시예들에 비해 실질적으로 감소되고 공정이 단순화된다.

[0089] 일례로, 다이(134) 내지 (136) 중 하나만이 도시되어 있는 도 21(C)의 경우에는 비아의 에칭이 요구되는 기판부(127)가 없기 때문에 콘택 구조물(132), (137)을 노출시키기 위해 비아(129)를 에칭하는 공정이 단순화된다. 따라서, 비아(129)는 이전 실시예들에서 설명한 비아의 경우보다 깊이가 실질적으로 짧을 수 있고, 그 결과 비아 단면의 실질적인 감소 및 그에 따른 비아 밀도의 증가가 이루어질 수 있다. 또 다른 예로서, 다이(134) 내지 (136) 중 하나만이 도시되어 있는 도 21(D)의 경우에는 측벽을 전기 접속부(128)와 전기적으로 격리시킬 필요가 있는 기판부(127)가 없기 때문에 노출된 콘택 구조물(132), (137) 사이에 전기 접속부(128)를 형성하는 단계가 단순화된다. 도 21(E)는 직접 접촉 방식으로 접합된 콘택 구조물들을 포함하는 본 실시예를 예시하고 있다. 여기서 주지할 점은 도 21(E)에 도시된 구조도 다이(135)에 도시된 바와 같이 구성되고 도 19(C)의 콘택 구조물(124), (122)와 유사한 콘택 구조물들을 포함할 수 있다는 점이다.

[0090] 다이 기판의 전체가 제거될 수도 있는 적용 예의 경우는 소정의 SOI(Silicon-on-Insulator) 및 III-V족 IC들을 포함할 수 있다. 이 경우 IC들의 다이 기판부는 활성 트랜지스터 또는 다른 IC 장치의 제조용으로 사용되지 않는다.

[0091] 제 6 실시예에 따른 구조들은 또한 이전 실시예들에서 설명한 바와 같이 와이어 본딩 또는 플립칩 패키징을 지원하는 포토리토그래피 기반 접속 라우팅 또는 언더범프 금속화를 포함하나 그로 제한되지 않는 후속 처리를 위해 적합하다.

[0092] 도 21(A) 내지 도 21(E)에 도시된 구성에 대한 다른 변형 구성으로는 이전 실시예들에 설명된 구성들을 들 수

있으나, 물론 이로 국한 되는 것은 아니다. 일례로, 도 10 및 도 14에 도시된 바와 같은 비아 충전 또는 비아 라이닝 및 충전; 도 15에 도시된 바와 같은 다이 콘택 구조물 가장자리에 대한 접속; 도 17 및 도 18에 도시된 바와 같이 노출된 웨이퍼 콘택 구조물들과의 다이의 접합 또는 도 19에 도시된 바와 같이 노출된 다이 및 웨이퍼 콘택 구조물들간의 접합; 도 20에 도시된 바와 같은 콘택 구조물들의 노출된 측면에 대한 접촉도 가능하다.

[0093] 도 22(A) 내지 도 22(L) 및 도 23(A) 내지 도 23(K)에는 제 7 실시예가 도시되어 있다. 여기서 주지할 점은 표면 콘택 구조물 형상이 다이(146)로 예시되어 있다는 점이다. 모든 다이는 하나의 기판에서 동일한 또는 다른 콘택 구조물 형상을 가질수 있고, 다른 콘택 구조물들이 동일 기판에 접합되는 경우에는 상술한 바와 같이 소정의 공정 변경이 필요하다. 기판(140)은 스크라이브 앨리(scribe alley)(38)들에 의해 개별 분리된 다이(144) 내지 (146)(점선으로 표시됨)와 같은 다이를 포함할 수 있다. 다이(144) 내지 (146)의 각각은 장치 영역(148)에 위치되어 있는 콘택 구조물(147)들을 가지고 있다. 여기서 주지할 점은 콘택 구조물들이 설명의 편의를 위해 실적으로 작도되지 않았다는 점이다. 콘택 구조물(147)들은 각기 분리된 부재들일 수도 있고, 개구가 관통되어 있는 단일의 부재로 구성될 수도 있다.

[0094] 콘택 구조물(147)은 금속 증착 및 리프트오프(liftoff) 또는 금속 증착 및 에칭과 같은 종래의 방법에 의해 형성할 수 있다. 이와는 다르게, 콘택 구조물(147)은 이미 존재하는 도전층에 대해 행해지는 패터닝 및 에칭 또는 새로운 도전층의 개구 내부에서 행해지는 패터닝 및 금속 증착에 의해 형성할 수 있다. 콘택 구조물(147)의 형성 후에는 장치 영역(148)내의 콘택 구조물(147) 아래에 위치하는 것과 유사한 전기 격리 유전 물질(151)의 평탄화층의 증착을 행하는 것이 바람직하다. 통상의 평탄화 물질로는 도 22(A)에 층(151)으로 표시된 바와 같은, 플라스마 강화 화학적 증기 증착에 의해 형성되는 산화 규소를 들 수 있다. 장치(146)에서와 같이 표면 콘택들이 요구되는 경우에는 층(151)을 형성하지 않을 수도 있고, 기판(40)의 소정 영역에서 층(151)을 형성하지 않을 수도 있고, 아니면 추후 제거할 수도 있을 것이다.

[0095] 다이(144) 내지 (146)에는 비아가 형성될 수 있다. 이 비아의 에칭은 웨이퍼상의 모든 다이의 모든 비아들을 동시에 에칭할 수 있게 하도록 다이(144) 내지 (146)을 스크라이브 앨리(38)를 따라 개개의 다이로 개별 분리시키기에 앞서 웨이퍼 수준에서 행하는 것이 바람직하다. 따라서, 다이(144) 내지 (146)은 동시에 에칭된 비아들을 각각 가질 수 있으며, 다이(144) 내지 (146)들이 각기 다른 웨이퍼들로부터 출발된 것이라면 각기 개별적으로 에칭된 비아들을 각각 가질 수 있다. 상기 비아들은 장치 영역 물질(148) 및 기판(140)의 물질 소비를 최소화시킬 수 있도록 비등방적으로 에칭하는 것이 바람직하다.

[0096] 다이(144) 내지 (146)의 콘택 구조물들도 제 5 실시예에서 이미 설명한 바와 유사한 방식으로 형성할 수 있다. 일례로, 평탄화 물질(151)을 패터닝시키고 에칭하여 도 22(B)에 도시된 바와 같이 평탄화 물질(151)을 통해 도전성 물질(154)까지 연장되는 비아(152)를 형성하고, 이어서 도전성 물질(154)를 통해 비아를 에칭하여 노출된 측면(153)을 갖는 콘택 구조물(147)(154)을 형성하고, 그에 이어 장치 영역(148)을 통해 기판(140)의 내부로 까지 에칭을 추가로 실시하여 도 22(C)에 도시된 바와 같이 비아(155)를 형성한다. 이 에칭 공정은 비아(155)의 측방 폭을 최소화 시킬 수 있도록 비등방적으로 실시하는 것이 바람직하다.

[0097] 평탄화 물질(151)은 또한 도 22(D)에 도시된 바와 같이 2개의 레지(160)를 노출시키는 비아(156), 도 22(E)에 도시된 바와 같이 1개의 레지(160)를 노출시키는 비아(157), 또는 도 22(F)에 도시된 바와 같이 노출된 레지가 없는 비아(158)를 형성하도록 패터닝 및 에칭될 수 있다. 평탄화 물질(151)의 패터닝 및 에칭은 콘택 구조물(147)에 의해(또는 콘택 구조물(154)의 내부에) 형성되는 개구보다 약간 큰 면적으로 이루어질 수 있고, 이에 따라 콘택 구조물(147) 아래에서의 비아(156)의 위치 및 측방 폭이 콘택 구조물(147)(154)에 의해 주어지고, 콘택 구조물(147)(154) 위의 비아(156)의 상부는 비아(156)의 하부보다 약간 넓게 될 수 있다. 콘택 구조물(147)(154)의 레지(160)와 측면(153)은 도 22(D)에 도시된 바와 같이 노출된다. 이와는 다르게, 평탄화 물질(151)의 패터닝 및 에칭을 콘택 구조물(147)(154)의 가장자리와 중첩되게 행할 수도 있는데, 이 경우에는 비아(156)의 위치 및 측방 폭이 콘택 구조물(147)(154)에 의해 주어지고, 비아(156)의 상부는 비아(156)의 하부보다 약간 넓게 될 수 있다. 이 경우에는 도 22(E)에 도시된 바와 같이 콘택 구조물(147)(154)의 일측 레지(160)와 콘택 구조물(147)(154)의 측면이 노출되게 된다. 도 22(D) 및 도 22(E)의 경우와는 다르게, 평탄화 물질(151)의 패터닝 및 에칭을 콘택 구조물(147)(154)의 어느 부분과도 중첩되지 않게 행할 수도 있는데, 이 경우에는 비아(156)의 위치 및 측방 폭이 콘택 구조물(147)(154)에 의해 주어지지 않게 되고, 도 22(F)에 도시된 바와 같이 콘택 구조물(147)(154)의 측면(153)이 노출되지 않게 된다. 여기서 주지할 점은 도 22(E) 및 도 22(F)의 콘택 구조물의 어느 것도 개구를 가질 필요가 없다는 점이다. 비아(156), (157), 또는 (158)는 도 22(C)에 도시된 바와 같이 비아(155) 및 콘택 구조물(147)(154)을 형성할 수 있도록 기판(140)의 표면(143)에 다이(144) 내지 (146)를 접합시킨 후 두께가 감소된 기판(161)을 형성할 수 있게 하기 위해 실시되는 분리된 다이(144) 내지

(146)의 기관(140)에 대한 후속 두께 감소화 시 도 22(G)에 도시된 바와 같이 비아(156),(157), 및/또는 (158)을 노출시키기에 충분한 깊이로 에칭하는 것이 바람직하다.

[0098] 콘택 구조물(147)에 의해 또는 콘택 구조물(154)의 내부에 형성되는 비아의 에칭은 도 22(H)에 도시된 바와 같이 도 22(C)의 비아(155)가 비아(159)를 형성하거나 도 22(I)에 도시된 바와 같이 도 22(D)의 비아(156)가 비아(163)를 형성할 수 있게 하도록 콘택 구조물(147)(154)의 배면상에 자기 정렬된 레지(162)를 형성할 수 있는 범위까지 비등방적으로 실시될 수 있다. 상기 비등방성 에칭은 도 22(H) 및 도 22(I)에 도시된 바와 같이 콘택 구조물(147)(154)의 배면을 노출시킬 수 있도록 콘택 구조물(147)(154) 아래에 위치한 장치 영역(148)과 기관(140)을 포함할 수 있다. 상기 비등방성 에칭은 비아(155) 또는 비아(156)를 에칭하는데 사용하는 에칭 조건을 수정하여 달성할 수 있다. 일례로, 단일 비아(155) 또는 비아(156)를 에칭하는데 사용하는 에칭 조건이 저온에서의 반응성 이온 에칭을 포함한다면, 유사한 반응성 이온 에칭을 상승된 압력에서 실시할 수 있다. 콘택 구조물(147)의 배면을 요구되는 양만큼 노출시키고 자기 정렬된 레지(162)를 형성하는데 필요한 압력 상승은 평탄화 물질(151)의 두께 및 비아(156),(157), 또는 (158)의 깊이를 포함하는 여러 인자들에 따라 변화되는데, 이는 실험적으로 결정할 수 있다. 또한, 상기 등방성 에칭은 기관(140)을 포함하나 장치 영역(148)은 포함하지 않을 수 있는데, 이 경우에는 도 22(J)에 도시된 바와 같이 콘택 구조물(147)(154)의 배면상에 그리고 비아(164)의 위에 장치 영역(148)의 자기 정렬된 레지(166)와 잔류 부분(165)이 위치하게 된다. 상술한 바와 같은 도 22(H) 및 도 22(I)의 경우와 유사하게, 콘택 구조물(147)(154)의 배면상에 그리고 비아(164)의 위에 위치하여 자기 정렬된 레지(166)를 형성하는 장치 영역(148)의 잔류 부분(165)은 콘택 구조물(147)(154)의 아래로 요구되는 범위까지 등방성 에칭을 실시함으로써 형성된다. 이 구조는 일례로 잔류 부분(165)이 절연재, 일례로 산화 규소로 구성되고, 등방적으로 에칭되는 장치 영역(148)과 기관(140)이 반도체, 일례로 규소로 구성되는 경우에 형성될 수 있다.

[0099] 비아의 형성 후, 도 22(K)에 도시된 바와 같이 비아의 내부에 후속적으로 형성될 수 있는 접속 금속으로부터 기관(140)을 전기적으로 격리시키기 위해 비선택적인 유전체 측벽(170)을 제 1 실시예에서 설명한 바와 같이 형성할 수 있다. 도 22(K)는 비아(163)가 레지(172)를 갖는 비아(171)를 형성시킬 수 있도록 도 22(I)에 도시된 바와 같이 형성되는 예를 도시하고 있다. 제 1 실시예에서 설명하고 도 22(L)에 도시한 측벽(77)과 유사한 선택적 유전체 측벽(173)을 또한 형성할 수 있다. 비아를 에칭한 후, 필요하다면 다이(144) 내지 (146)를 개별 분리시키고, 콘택 구조물(142)과 장치 영역(141)을 갖는 기관(140)의 표면(143)에 접합한다. 이와는 다르게, 다이(144) 내지 (146)를 개별 분리 없이 접합할 수도 있다. 일례로, 웨이퍼 전체 또는 다이 전체를 개별적인 다이 설치 대신에 단일 설치에 의해 기관에 접합할 수도 있는데, 이 경우에는 다이들 간의 간격에 기인한 비 평탄면 대신에 명목상 평탄면이 형성된다. 기관(140)은 또한 장치들 또는 장치 영역과는 다른 콘택 구조물을 포함할 수 있다. 후속적으로, 기관(140)에 대해 일례로 백그라인딩(backgrinding), 화학적 기계적 폴리싱, 또는 에칭 중 적어도 하나를 이용하여 두께 감소를 실시하여, 비아, 일례로, 도 22(C)와 관련하여 설명하고 도 23(A) 및 도 23(B)에 도시된 바와 같이 비아를 형성하는 경우에는 비아(155)를 노출시킨다. 콘택 구조물(142)들은 도 23(A)에 도시된 바와 같이 접합면과 동일 평면을 이룰 수 있거나, 도 23(B)에 도시된 바와 같이 접합면에 요입된 상태로 되어 있을 수 있다. 도 23(A)에 도시된 바와 같이 접합면과 접합면과 동일 평면을 이루는 콘택 구조물(142)은 기관(140)의 표면상에 도전성 물질을 증착하고, 일례로 구리 또는 니켈 도금을 하고, 이어서 상기 도전성 물질상에 격리 물질을 증착한 후, 화학적 기계적 연마를 실시하여 콘택 접촉부(142)와 표면(143)을 형성한다. 도전성 물질의 연마 속도는 격리 물질의 연마 속도와 유사하게 하는 것이 바람직하다. 도전성 물질의 유사한 연마 속도는 도전성 물질, 격리 물질, 도전성 물질 크기, 도전성 물질의 형태 및 및 면적 도포, 그리고 제 4 실시예에서 설명한 바와 같은 슬러리 및 패드를 포함하는 연마 변수를 적절히 선택하여 얻을 수 있다.

[0100] 한편, 도 23(B)에 도시된 바와 같이 접합면에 요입된 콘택 구조물(142)은 격리물질, 일례로 산화 규소를 증착한 후, 높은 부분들을 선택적으로 연마하여 표면을 평탄화시키는 격리 물질에 대해 화학적 기계적 연마를 행함으로써 형성할 수 있고, 그 결과 콘택 구조물(142)의 상부에 얇게 평탄화된 유전 물질이 존재하게 된다. 이와는 다르게, 도 23(B)에 도시된 바와 같이 접합면에 요입된 콘택 구조물(142)은 먼저 도 23(A)에 표시된 평탄면(143)을 형성하고, 이어서 도 23(A)에 도시된 표면(143)상에 매우 얇은 격리 물질층을 증착 또는 증착 및 연마하여 도 23(B)에 도시된 표면(143)을 형성할 수도 있다. 접합면에 요입된 콘택 구조물(142)은 도 23(C)에 도시된 바와 같이 노출면을 가질 수 있는데, 이 노출면은 일례로 평탄화된 유전 물질을 패터닝 및 에칭하여 콘택 구조물(142)을 노출시키는 비아(63)를 형성시킴으로써 형성된다. 이 후, 다이(144) 내지 (146)의 접합 및 두께 감소가 실시되고, 이에 따라 도 23(D)에 도시된 바와 같이 콘택 구조물(142)의 노출면이 형성된다. 콘택 구조물(142),(147),(154)들은 후술하는 콘택 구조물(142),(147)(154)들간의 후속 전기 접속을 도모할 수 있도록 일례로 도 23(A) 및 도 23(D)에 도시된 바와 같이 노출되는 것이 바람직하다. 노출된 콘택 구조물(142)의 측방 폭

은 비아(63)의 상대 크기 및 도 22(C)에 도시된 바와 같이 에칭된 비아(155)의 측방 폭에 따라 비아(155)의 측방 폭보다 작거나, 크거나, 또는 동일할 수 있다. 일례로, 도 22(C)의 비아(155)의 측방 폭이 도 23(C)의 비아(63)의 측방 폭보다 작은 경우에는 노출된 콘택 구조물(142)의 측방 폭은 도 23(D)에 도시된 바와 같이 비아(155)의 측방 폭보다 크게 된다. 또한, 노출된 콘택 구조물(142)의 폭은 접합, 두께 감소화, 그리고 도 23(E)에 도시된 바와 같이 노출된 장치 영역(141), (148)을 콘택 구조물(142)까지 등방성 에칭하여 비아, 일례로 비아(155)를 노출시키면 넓어지게 될 수 있다. 또한, 도 23(C)에 도시된 노출된 콘택 구조물(142)는 다른 측면에서 그 콘택 구조물(142)에 유해할 수 있는 접합 공정 중에 얇은 막을 이용하여 보호할 수도 있다. 일례로, 콘택 구조물(142)이 알루미늄으로 구성되는 경우에는 상온에서의 공유 결합을 이루게 하는데 사용하는 암모니아계 용액에 노출될 시 손상을 받을 수 있다. 상기한 얇은 층의 예로는 PECVD법에 의해 형성될 수 있는 산화 규소를 들 수 있다. 상기 얇은 층을 콘택 구조물(142)로부터 제거하지 않은 상태에서 요구되는 표면(143)을 유지시킬 수 있도록 상기 얇은 층에 대해 화학적 기계적 연마를 실시할 수도 있다. 상기 얇은 층은 다이(144) 내지(146)을 기판(140)에 접합하고, 기판(140)의 두께를 감소시켜 비아를 노출시킴과 동시에 두께가 감소된 다이 기판(161)을 형성한 후 제거할 수 있다. 상기 얇은 층은 비아의 노출 후 쉽게 제거할 수 있도록 바람직하게 0.05 내지 0.5 미크론 범위로 얇게 되어 있다.

[0101] 두께가 감소된 다이 기판(161)이 비도전성이면, 도전성 물질을 노출된 콘택 구조물(142) 및 콘택 구조물(147)(154)과 중첩되게 형성함으로써 콘택 구조물(142) 및 콘택 구조물(147)(154)을 서로 접속시킬 수 있다. 이와는 다르게, 두께가 감소된 다이 기판(161)이 도전성이면, 일례로, 두께가 감소된 다이 기판(161)이 규소로 구성된 경우에는 두께가 감소된 다이 기판(161)을 콘택 구조물(142)과 콘택 구조물(147)(154)을 접속시키는 도전성 물질로 부터 전기적으로 격리시키는 격리 측벽을 형성하는 것이 바람직하다. 노출된 콘택 구조물(142)이 도 23(A)에 도시된 경우와 유사하게 표면(143)과 동일 평면을 이루는 경우에는 도 22(I)에 도시된 바와 같은 비아(163)의 형성을 위해 도 22(K) 또는 도 22(L)에서 이미 도시한 바와 같이 접합 전에 측벽을 형성하는 대신에, 측벽(62) 및 그리고 도 22(H)에 도시된 바와 같이 비아(159)의 형성을 위해, 다이(144) 내지(146)를 접합하고 이어서 다이(144) 내지(146)의 두께를 감소시켜 도 23(F)에 도시된 바와 같이 두께가 감소된 다이 기판(161)을 남겨두어 이전 실시예들에서 설명한 바와 같은 격리용 비선택적 측벽, 일례로 도 8(A) 또는 도 8(B)의 경우의 측벽(70)을 형성할 수 있다. 제 1 실시예에서 설명한 바와 유사한 그러나 접합, 다이 기판의 두께 감소화, 그리고 비아의 노출 후 형성되는 격리용 선택적 측벽도 이용가능하다. 이전 실시예들에서 설명한 바와 같이, 측벽의 형성은 두께가 감소된 다이 기판이 콘택 구조물(142)과 콘택 구조물(147)(154) 사이의 전기 접속부와 바람직하지 않게 전기 도통되는 것을 방지하기 위해 필요하다.

[0102] 콘택 구조물(147)(154)과 콘택 구조물(142)이 노출되고, 두께가 감소된 다이 기판(161)상에 측벽을 형성하는 것이 바람직한 경우, 콘택 구조물(147)(154)과 콘택 구조물(142)간의 전기 접속부는 콘택 구조물(147)(154)과 콘택 구조물(142)의 노출면상에 도전성 물질을 형성함으로써 형성할 수 있다. 대표적인 도전성 물질로는 금속을 들 수 있고, 대표적인 금속으로는 알루미늄, 구리, 니켈, 및 금을 들 수 있다. 이러한 금속들은 이전 실시예들에서 설명한 바와 같은 다양한 방법들을 이용하여 형성할 수 있다. 이러한 형성에 따라 도 23(G)에 도시된 바와 같이 노출된, 두께가 감소된 다이 기판(161)이 도전성 물질(52)로 도포되게 된다. 이 피막은 도 23(H)에 도시된 바와 같이 두께가 감소된 다이 기판(161)로부터 도전성 물질(52)이 제거될 때 까지 도전성 물질(52)로 덮힌, 두께가 감소된 다이 기판(161)의 표면을 연마함으로써, 자기 정렬 방식으로 그리고 포토리토그래피 패터닝 및 에칭을 사용함이 없이 제거할 수 있다. 도 22(J)에 도시된 바와 같이 자기 정렬된 레지(166)을 가지고 있는 장치 영역(148)의 잔류 부분(165)이 존재하는 경우에는 노출된 콘택 구조물(142)이 도 23(A)에 도시된 경우와 유사하게 표면(143)과 동일 평면을 이루면 다이(144) 내지(146)를 접합하고 이어서 다이(144) 내지(146)의 두께를 감소시켜 비아(164)를 노출시키고 두께가 감소된 기판(161)을 형성함으로써 도 23(I)에 도시된 것과 유사한 구조가 얻어진다. 잔류 부분(165)은 추후 자기 정렬된 레지가 콘택 구조물(147)(154)의 배면에 접촉한 상태로 재배치되어 도 23(J)에 도시된 바와 같은 자기 정렬된 레지(167)을 형성할 수 있도록 비등방성 에칭을 이용하여 제거하는 것이 바람직하다.

[0103] 이 후, 상술한 바와 그리고 도 23(F), 도 23(G), 도 23(H)에 도시된 것과 유사하게 필요하다면 두께가 얇아진 기판(161)에 대한 전기 접속부를 형성시킴이 없이 콘택 구조물(147)을 콘택 구조물(142)과 전기 접속시킬 수 있도록 도전성 물질을 형성할 수 있다. 이미 설명한 바와 같이, 접속 금속의 형성은 전자빔, 열, 물리적 증기 증착, 화학적 증기 증착, 및 전기 도금 중 하나 또는 그들의 조합을 이용하여 실시할 수 있다. 형성된 접속 금속은 티탄, 텅스텐, 금, 구리, 알루미늄 중 하나 또는 그들의 조합이 될 수 있다.

[0104] 콘택 구조물(142)과 콘택 구조물(147)(154)들이 도전성 물질과 전기 접속된 후, 이전 실시예들에서 설명한 바와

같은 금속화, 유전체 증착, 및 화학적 기계적 연마의 조합을 이용하여 비아를 충전 및 평탄화시킬 수 있다. 비아를 충전 및 평탄화 시킨 후, 언더범프 금속화, 범프, 다이싱, 및 플립-칩 패키징을 이전 실시예들에서 설명한 바와 같이 실시할 수 있다. 여기서 주지할 점은 도 23(F) 내지 도 23(J)는 표면 콘택 구조물(142)을 예시하고 있으나 이 콘택 구조물은 도 23(B)에 도시된 바와 같이 요입될 수도 있다는 점이다. 또한 표면 콘택 구조물들을 갖는 다이들은 도 23(F) 내지 도 23(J)에 예시되어 있는 바와 같이 접합되고, 구성되고, 그리고/또는 접속될 수 있을 것이다. 도 23(K)는 도 23(H)의 경우를 예시하고 있다.

[0105] 또한 본 실시예의 비아(일례로, 도 22(C) 내지 도 22(F), 도 22(H) 내지 도 22(L))들은 다이의 개별 분리에 앞서 도전성 물질(168)로 채워질 수 있고, 이에 따라 기판(140)의 분리된 부분들의 두께가 감소하게 되면 도전성 물질이 노출되게 된다. 전기 격리용 절연 물질은 상술한 바와 같이 필요한 비아의 측벽상에 형성될 수 있을 것이다. 이 후, 비아가 충전된 다이(또는 웨이퍼)를 제 9 실시예에서 후술하는 바와 같이 다이(또는 웨이퍼)의 장치 영역(148)의 노출 표면과 접합(또는 다이 다운(die down))시킬 수도 있고, 또는 제 10 실시예에서 후술하는 바와 같이 반대측 표면을 노출된 장치 영역(148)과 접합(또는 다이 업(die up))시킬 수도 있다. 이 접합은 다이 다운을 위해 콘택 구조물(147)을 이용하여 제 4 실시예에 도시된 바와 같이 그리고 도 23(L)의 좌측에 도시된 바와 같이, 그리고 제 9 실시예에서 보다 구체적으로 후술하는 바와 같이 실시될 수 있고, 다이 업을 위해 도전성 물질(168)이 콘택 구조물(142)에 접속되어 있는 도 23(L)의 중간 구조에서는 제 10 실시예에서 보다 구체적으로 후술하는 바와 같이 실시될 수 있고, 다이 업을 위해 콘택 구조물(179)들이 콘택 구조물(147)들의 형성과 유사하게 형성되어 있는 도 23(L)의 우측 구조에서는 제 10 실시예에서 보다 구체적으로 후술하는 바와 같이 실시될 수 있다. 필요하다면, 기판부(161)상에 유전 물질(169)를 형성할 수 있고 기판(140)에의 접합을 위해 필요에 따라 연마를 실시할 수 있다. 비아들은 폴리실리콘을 포함하나 그로 국한되지 않는 다양한 도전성 물질 또는 도전성 물질의 조합과, 텅스텐, 니켈, 또는 구리를 포함하고 화학적 증기 증착, 물리적 증기 증착 및 전기 도금을 포함하나 그로 국한되지 않는 다양한 방법에 의해 증착되는 다양한 금속으로 충전될 수 있다. 도전성 물질은 그 도전성 물질이 접합될 콘택 구조물과의 양질의 전기 접촉, 낮은 비저항, 또는 높은 열 전도도를 도모할 수 있도록 선택될 수 있으며, 비아의 외측에 위치하는 기판부로 도전성 물질이 확산되는 것을 방지할 수 있도록 필요하다면 일례로 금속 유기 증기상 증착 또는 물리적 증기 증착에 의해 증착되는 질화 티탄 또는 질화 텅스텐과 같은 장벽층에 의해 상기 기판부 또는 비아의 측벽상의 절연물질로부터 분리될 수 있다. 일례로, 규소계 집적 회로를 실장하는 경우, 비아들이 규소에 에칭되는 경우에는 구리가 비저항이 낮기 때문에 바람직할 수 있으나, 규소로 구리가 확산되는 것을 방지할 수 있도록 통상 산화 규소인 적당한 비아 절연층 사이에 통상적으로 적합한 장벽층, 대표적으로 질화 티탄 또는 질화 텅스텐을 형성시킬 필요가 있다. 또한, 필요하다면 절연층 또는 장벽층과 함께 다른 금속, 일례로 텅스텐이 사용될 수도 있다. 또한, 필요하다면 절연층 또는 장벽층과 함께 상술한 바와 같이 니켈과 같은 연마성면에서 유리한 물질을 사용할 수도 있다.

[0106] 도 24(A) 및 도 24(B)에는 제 8 실시예가 도시되어 있다. 본 실시예는 다이(144) 내지 (146)의 반대측, 일례로 두께가 감소된 다이 기판(161)이 비아를 노출시키기 위해 실시되는 다이 기판의 두께 감소화 후 기판(140)의 표면(143)에 접합된다는 점에서 제 7 실시예와 구분된다. 그 결과, 도 22(C)에 도시된 바와 같이 형성된 비아(155)와 도 23(A)에 도시된 바와 같이 형성된 콘택 구조물(142)을 위해, 도 24(A)에 도시된 바와 같이, 두께가 감소된 다이 기판(161)은 표면(143)에 접합되고, 비아(139)는 표면(143)에 노출된다. 두께가 감소된 기판(161), 일례로 규소는 기판(140)의 표면(143)에 직접 접합될 수 있고, 또는 두께가 감소된 기판(161)상에는 기판(140)의 표면(143)에 대한 직접 접합 전에 유전체, 일례로 산화규소를 형성할 수 있다. 두께가 감소된 기판(161)의 형성은 웨이퍼상의 모든 다이의 모든 비아들, 일례로 도 22(C)에 도시된 비아(155)들을 동시에 노출시킬 수 있게 하도록 다이(144) 내지 (146)를 개개의 다이로 개별 분리시키기에 앞서 웨이퍼 수준에서 행하는 것이 바람직하다. 따라서, 다이(144) 내지 (146)는 동시에 노출된 비아들을 각각 가질 수 있으며, 다이(144) 내지 (146)들이 각기 다른 웨이퍼들로부터 출발된 것이라면 각기 동시에 또는 개별적으로 노출된 비아들을 각각 가질 수 있다.

[0107] 두께가 감소된 기판(161)을 일례로 도 22(C)의 기판(140)으로부터 형성하는 경우에는 비아들이 충분히 깊지 않으면 기계적인 완전무결함이 상실될수도 있다. 일례로, 200mm의 직경을 가지고 있고 규소로 구성되어 있는 두께가 감소된 기판에 대해 비아의 깊이를 약 0.1 내지 0.3mm 미만으로 해도 통상 충분하다. 기계적인 완전 무결함을 상실시키는 비아 깊이보다 높은 상기의 비아 깊이는 두께가 감소된 기판이 보다 큰 직경을 갖는 경우에는 증가하게 될 것이고, 두께가 감소된 기판이 보다 작은 직경을 갖는 경우에는 감소하게 될 것이다. 이러한 기계적인 완전 무결함의 상실은 도 22(C)에 도시된 바와 같은 비아(155)와 콘택 구조물(147)(154)의 형성을 위해 도 24(B)에 도시된 바와같이 기판(40)을 두께 감소화시키기에 앞서 기판(140)의 노출면의 반대측을 핸들 웨이퍼(44)에 부착시킴으로써 방지시킬 수 있다. 핸들 웨이퍼(44)에 대한 부착은 직접 본딩 또는 적층본딩을 포함

하는 다양한 본딩 방법을 이용하여 실시할 수 있다. 기관(140)의 노출면의 반대측을 핸들 웨이퍼(44)에 부착시킨 상태에서 두께가 감소된 기관(161)을 형성하고 비아(155)를 노출시키기 위해 기관(40)에 대해 두께 감소화를 실시한 후에는, 두께가 감소된 기관(161)은 접합면으로서 사용될 수 있고, 또는 유전체, 일례로 산화 규소가 산술한 바와 같이 접합층으로서 증착될 수 있을 것이다. 바람직한 접합면의 형성 후, 다이(144) 내지 (146)을 개별 분리시켜 기관(140)의 표면(143)에 접합하고, 핸들 웨이퍼(44)의 절단된 부분(들)은 제거한다. 다이의 개별 분리는 다이싱 또는 스크라이빙 중 적어도 하나를 이용하여 실시할 수 있을 것이다. 핸들 웨이퍼(44)의 절단된 부분(들)에 대한 제거는 그라인딩, 화학적 기계적 폴리싱, 또는 에칭 중 적어도 하나 또는 그들의 조합을 이용하여 실시할 수 있을 것이다.

[0108] 핸들 웨이퍼(44)에 대한 접합 및 두께가 감소된 기관(161)을 형성하기 위한 두께 감소화에 앞서 제 7 실시예에서 설명한 바와 같이 다이(144) 내지 (146)에 콘택 구조물(147)(154)들을 형성할 수 있다. 그러나, 도전성 물질(52)과 콘택 구조물(147)간의 전기 접속 저항을 개선시키기 위해 콘택 구조물(147)상에 레지를 형성하는 것은 제 7 실시예에서 설명하고 도 23(F) 및 도 23(G)에 도시한 콘택 구조물(147)들의 반대측에서 이루어진다. 따라서, 상기 레지의 형성은 도 22(D)에서 비아(156) 및 콘택 구조물(147)에 대해 도시된 바와 유사하게, 콘택 구조물(147)의 위에 위치한 장치 영역(148)을 콘택 구조물(147)내의 개구보다 큰 범위에 걸쳐 에칭하여 비아를 형성함으로써 달성할 수 있다.

[0109] 또한, 핸들 웨이퍼(44)에 대한 접합 및 두께가 감소된 기관(125)을 형성하기 위한 두께 감소화에 앞서 비아내에 측벽을 형성할 수 있다. 상기 측벽은 비선택적 측벽(170) 및 비아(163)를 위해 도 22(K)에 도시된 것과 유사하게 비선택적이 될 수 있고, 또는 선택적 측벽(173) 및 비아(163)를 위해 도 22(L)에 도시된 것과 유사하게 선택적이 될 수 있다. 또한, 이전 실시예들에서 설명한 바와 같이 다이(114) 내지 (146)의 접합 후 선택적 또는 비선택적 측벽을 형성할 수도 있다.

[0110] 기관(140)에 대한 다이(144) 내지 (146)의 접합은 접합면과 동일 평면을 이루거나 그에 요입되고, 노출되거나 제 7 실시예에서 설명한 바와 같은 얇은 층에 의해 보호되는 콘택 구조물(142)들을 이용하여 실시할 수 있다. 다이(144) 내지 (146)을 접합하고, 핸들 웨이퍼(44)를 사용하는 경우라면 그 핸들 웨이퍼(44)의 분리된 부분을 제거하고, 보호층을 사용하는 경우라면 그 보호층을 제거한 후, 콘택 구조물(142)들을 제 7 실시예에서의 도 23(A) 또는 도 23(D)와 유사하게 노출시킨다. 이 후, 도전성 물질을 형성하여 일례로 제 7 실시예에서의 도 23(G) 및 도 23(H)와 유사하게, 노출된 콘택 구조물(142) 및 콘택 구조물(147)(154)들을 전기 접속시킨다. 이 도전성 물질은 비아를 부분적으로 또는 완전히 충전시킬 수 있다. 만일 노출된 콘택 구조물(142) 및 콘택 구조물(147)(154)들을 전기 접속시키는 도전성 물질이 비아를 부분적으로 충전하는 경우에는 비아의 나머지 부분에 대해서는 이전 실시예들에서 설명한 바와 같이 금속화, 유전체 증착, 및 화학적 기계적 연마의 조합을 이용하여 충전 및 평탄화를 행할 수 있다. 비아의 충전 및 평탄화 후, 언더벌트 금속화, 범핑, 다이싱, 및 플립-칩 패키징을 이전 실시예들에서 설명한 바와 같이 실시할 수 있다.

[0111] 접합 및 전기 접속 측면에서 제 4 실시예와 유사하고, 본딩에 앞서 다이-관통 비아의 형성 및 본딩 후 두께 감소화에 의한 노출 측면에서 제 7 실시예와 유사한 제 9 실시예도 가능하다. 본 실시예는 제 7 실시예에서 설명한 바와 같이 시작되고, 제 4 실시예에서 설명한 바와 같이 콘택 구조물(123),(122)을 포함하는 접합면들이 준비되고, 접합되고, 전기 접속되는 점을 제외하고는 다이(114) 내지 (116)(또는 웨이퍼)의 분리 및 접합을 통해 진행된다. 접합 후, 다이(114) 내지 (116)들은 제 7 실시예에서 설명한 바와 같이 다이(114) 내지 (116) 내의 비아를 노출시킬 수 있도록 두께 감소화가 이루어지고, 이전 실시예들에서 설명한 바와 같이 금속으로 충전되게 된다. 최종 구조는 비아가 충전되었고 콘택 구조물(123)들이 개구를 포함하고 있는 경우의 도 19(A)와 유사하게 보일 것이다.

[0112] 제 9 실시예의 변형예에서는 제 7 실시예에서 설명한 바와 같은 금속 충전에 따라 접합-전 비아 형성이 가속화된다. 일례로, 비아(156),(157),(158)의 형성을 위해 도 22(D), 도 22(E), 도 22(F)에 도시된 바와 같이 접합에 앞서 다이(114) 내지 (116)에 비아가 형성된다. 만일 다이 기관 및 다이 장치 영역의 부분들이 도전성인 경우에는 에칭된 비아 측벽, 일례로 도 22(L)에 도시된 바와 같은, 기관(140) 및 장치 영역(148)상의 비아(163)내의 측벽(173)의 도전부에 전기 절연 측벽을 형성하는 것이 바람직하다. 이 측벽은 또한 측벽 전체, 도 22(K)에 도시된 바와 같이 비접촉부 전체, 또는 비아의 바닥에 형성할 수도 있다. 비아가 다이 기관 및 다이 영역으로부터 적절히 전기적으로 격리되면 비아에 도전성 물질, 일례로 금속을 도 10(B)에 도시된 바와 같이 충전하여 평탄화된 금속 구조(100)를 형성하거나, 도전성 물질 및 절연 물질의 조합을 도 10(C)에 도시된 바와 같이 충전하여 금속 라이닝 또는 장벽층(93)과 유전체(94)를 형성할 수 있다. 일례로 금속 또는 금속과 유전체의 비아

충진은 이전 실시예들에서 설명한 바와 같은 다양한 기술들을 이용하여 실시할 수 있다.

[0113] 다이 영역 및 다이 기관의 일부를 통한 비아의 에칭 및 충전의 대체 방법으로서, 장치들의 형성 전에 또는 다이 장치 영역의 완성 전에 다이 기관의 일부에서만 또는 다이 장치 영역의 일부와 다이 기관의 일부에서 비아의 에칭 또는 비아의 에칭 및 충진을 실시할 수 있다. 일례로, 도 25(A)에 도시된 바와 같이, 비아(172)들을 다이 기관(140)내로 그리고 장치 영역(171)의 일부, 일례로 반도체 트랜지스터들의 층과, 도전성 물질(도시 안됨), 일례로 금속 및 절연 물질, 일례로 산화 규소, 또는 다른 적당한 물질들로 구성되는 멀티레벨 접속 구조로 구성되는 장치영역의 반도체성 부분을 통해 에칭한다. 상기 장치 영역은 기관 내에 위치할 것이다. 만일 다이 장치 영역(171)의 일부와 다이 기관(140)이 도전성 물질, 일례로 비저항이 충분히 낮은 반도체 물질, 일례로 통상적인 CMOS 웨이퍼 제조에 사용하는 규소로 구성된다면, 측벽은 이전 실시예에서 설명한 바와 같이 비아(172)의 바닥에 또한 형성되는 선택적 측벽(173)의 형성을 위해 본 실시예 및 이전 실시예에서 이미 설명한 바와 같이 그리고 도 25(B)에서 도시된 바와 같이 형성하는 것이 바람직하다. 또한, 도 25(A)의 구조가 규소로 구성되고, 매우 얇고, 일례로 5 내지 50nm의 두께를 가지고 있는 경우에는, 양질의 선택적 이산화규소 측벽을 열적으로 성장시킬 수 있고, 이에 따라 평방센티미터당 측방 치수가 100,000,000을 초과하는 매우 높은 면밀도(areal density)의 비아의 제조를 가능하게 하는 1 마이크론보다 비아(172)의 측방 치수가 실질적으로 작게 도모할 수 있다. 이와는 다르게, 이전 실시예들에서 설명한 바와 같이 비선택적 측벽을 비아(172)의 바닥에 형성하지 않고 비아(172)의 측벽상에 형성할 수도 있다. 이 경우에는 비아(172)를 추후 필요하다면 적당한 장벽층으로 라이닝시킬 수 있고, 도전 물질(174)로 충전하여, 일례로 상술한 바와 같은 금속 충전 비아를 형성할 수 있다. 비아(172)는 또한 도전성 폴리실리컨으로 충전할 수도 있다. 도 25(D)에 도시된 바와 같이 콘택 구조물(123)을 상기 충전된 비아와 접촉하는 상태로 형성할수도 있을 것이다.

[0114] 또한, 다이 장치 영역(148)의 제조를 완료할 수 있도록 콘택 구조물(123)의 형성에 앞서 도 25(C)의 구조에 대해 추가 처리를 실시할 수도 있다. 이 추가 처리 후, 도 25(E)에 도시된 바와 같이 다이 영역(148)의 상부에 콘택 구조물(123)을 형성한다. 일례로, 도전성 물질, 일례로 금속 그리고 절연 물질로 구성되는 멀티레벨 접속 구조를 일례로 통상적인 CMOS 웨이퍼 제조와 유사하게 또는 동일하게 형성할 수도 있다. 대표적인 금속으로는 구리와 알루미늄을 들 수 있고, 대표적인 절연 물질로는 산화 규소와 "k"값이 낮은 유전체를 들 수 있다. 다이(114) 내지 (116)내의 콘택 구조물(123)은 제 4 실시예에서 설명하고 도 25(E)에 도시한 바와 같이 형성할 수 있다. 장치 영역(148)은 콘택 구조물(123)들을 금속 충전 비아(174)와 전기적으로 접속시킬 수 있도록 도전 물질(176)의 형성을 포함할 수 있다. 도전 물질(176)은 도 25(E)에서 도전 물질(174)과 콘택 구조물(123)사이에서 수직으로 연장된 것으로 도시되어 있으나, 일례로 통상의 집적 회로의 제조, 일례로 CMOS 웨이퍼 제조 시 레벨간 금속의 라우팅에 의해 제공되는 측방 소자들을 포함하거나 완전히 그 측방 소자들로 구성될 수도 있다. 이에 대해서는 도 25(F)에 도시된 도전 물질(178)을 참조할 수 있다.

[0115] 따라서, 일례로 통상의 CMOS 웨이퍼 제조에 따른 집적 회로의 접속 구조를 이용하여 금속 충전 비아(174)로부터 콘택 구조물(123)까지의 전기접속을 제공할 수 있고, 이에 따라 상기 전기 접속을 달성하기 위해 접속 구조의 디자인 룰을 수정할 필요성을 효과적으로 최소화시키거나 배제시킬 수 있고, 그 결과 크기 축소 및 기존의 제조 능력의 효과를 개선시킬 수 있다. 여기서 주지할 점은 비록 도전 물질(176)이 측방 소자들을 포함하거나 주로 측방 소자들로 구성되더라도 비아(172)들은 측방 소자들을 필요로 하지 않는다는 점이다. 일례로, 비아(172)들이 다이 장치 영역(148), 일례로 다이 장치 영역 (171)의 반도체 부분에 형성되고, 도전 물질(176)이 집적 회로의 제조에 통상 사용되는 레벨간 금속으로 구성되는 경우에는 비아(172)들은 도전 물질(176)로부터 수직으로 위치될 수 있고, 이에 따라 도전 물질(176)이 금속으로 충전된 비아(174)와 전기 접속된다는 점을 제외하고는 도전 물질(176)의 제조와는 본질적을 독립적인 디자인 룰을 이용하여 제조될 수 있을 것이다. 또한, 본 실시예의 비아(172)들은 일례로 비아(155)가 다이 장치 영역(148)의 전체를 통해 연장되는 경우에는 이전 실시예들보다 실질적으로 길이가 짧다. 이와 같이 길이가 짧은 비아(172)는 작은 측방 치수, 일례로 실질적으로 1 마이크론 미만의 측방 치수를 가질 수 있고, 이에 따라 일례로 평방 센티미터 당 100,000,000을 초과하는 매우 높은 면밀도로 제조가 가능하고, 그 결과 크기의 축소가 개선된다. 여기서 주지할 점은 도전 물질(176)을 다른 표면 콘택들과 격리시킬 필요가 있을 경우 장치(146)에 측벽막(177)과 절연표면막(180)이 포함된다는 점이다.

[0116] *이 변형예의 경우에는 접합 후 실시되는 접합-후 두께 감소에 따라 일례로 도 23(L)의 좌측에 도시된 바와 같이 금속으로 충전되지 않은 비아 대신 금속으로 채워진 비아가 노출되게 된다. 어느 변형예나 다이 기관부는 제 6 실시예에서 설명한 바와 같이 완전히 제거될 수 있을 것이다. 또한, 어느 변형예나 장치 영역을 갖지 않은, 그러나 제 4 실시예에서 설명한 바와 같이 제조된 콘택 구조물을 가진 기관에 대해 일례로 중간 기관

(interposer substrate)을 볼 그리드 어레이 집적 회로 패키지(ball grid array IC package)에 패키징시키기 위한 칩에 대한 대체로서 접합하는 것도 가능하다.

[0117] 또한, 어느 변형예나 노출된 표면은 금속으로 충전된 비아들을 포함할 수 있을 것이다. 상기 표면은 필요하다면 그 표면을 평탄화시키기 위한 제 1 실시예에서 설명한 바와 같은 충전 물질과 제 10 실시예에서 설명한 바와 같은 비아 노출 및 콘택 구조물의 조합을 이용하여 제 4 실시예에서 설명한 전기 접속부들과 접합할 수 있게 적절히 형성될 수 있을 것이다. 이 후, 콘택 구조물들이 노출되어 있는, 동일 또는 다른 기판들로부터 추가의 다이를 제 4 실시예에서 설명한 바와 같이 금속이 충전된 비아들이 노출되어 있는 접합-후 두께 감소된 표면에 접합될 수 있다. 또한, 이전 실시예들에서 설명한 바와 같이 플립 칩 패키징을 위해 언더 범프 금속화를 실시할 수도 있다. 이는 도 23(M) 및 도 23(N)에 예시되어 있다. 예시된 경우에는 제 1 다이에 제 2 다이가 접합되어 있다. 상술한 그리고 후술하는 구성들의 다양한 조합을 이용하여 일 다이의 도전 물질 및/또는 콘택들을 다른 다이에 연결시킬 수 있다. 도 23(M)은 3가지 예, 즉 콘택 구조물(179)를 이용하여 하부 다이의 도전 물질(168)에 접속된 도전 물질(168)을 가지고 있는 다이(181)와, 하부 다이의 콘택(147) 및 도전 물질(168)에 접속된 콘택(147)(154)를 가지고 있는 다이(182)와, 하부 다이의 콘택(147)과 도전 물질(168)에 접속된 콘택(147)과 도전 물질(168)을 가지고 있는 다이(183)를 도시하고 있다.

[0118] 도 23(N)에 있어서, 좌측 구조는 다이-다운 구성으로 접합된 두 다이를 가지고 있다. 중간 구조는 콘택 구조물(142)을 가지고 있는, 중간 기판과 같은 기판(149)에 콘택 구조물(147)(154)이 접합되어 있는 다이를 가지고 있다. 콘택 구조물(147)(154)과 도전 물질(168)은 접합 후 형성된 도전 물질(187)을 통해 서로 접속된다. 우측 구조는 기판(149)의 도전 물질(168)과 콘택 구조물(154)를 접속시키는 도전 물질(187)을 가지고 있다.

[0119] *상술한 바와 같이, 본 발명에 따른 방법은 웨이퍼 대 웨이퍼 접합에 적용될 수 있다. 도 23(O)는 도 23(L)의 좌측의 다이와 같이, 복수의 콘택 구조물(147)들과 도전 물질(168)을 갖는 상부 기판(140)이 콘택 구조물(142)을 이용하여 개개의 접속부를 형성하고 있는 하부 기판(140)에 접합되어 있다. 상술한 또는 후술하는 방법들 및 구성들을 이용하여 웨이퍼(149)에 다이 또는 또 다른 웨이퍼를 접합할 수도 있다. 임의의 요구되는 개수의 웨이퍼 및 다이를 서로 접합 및 접속할 수 있을 것이다.

[0120] 접합과 관련하여 제 9 실시예와 유사하고, 다이(144) 내지 (146)의 접합면의 배향 및 핸들 웨이퍼의 임의의 사용과 관련하여 제 8 실시예와 유사한 제 10 실시예도 가능한데, 이 제 10 실시예는 도 26(A)에 도시되어 있다. 본 실시예는 제 9 실시예에서 설명한 바와 같이 시작되어, 일례로 도 25(C)에 도시된 바와 같이 비아들이 에칭되고, 필요하다면 서로 격리된 후, 도전 물질로 충전된다. 상술한 바와 같이, 비아들에는 요구되는 절연층 및 장벽층들을 개재하여 폴리실리콘 또는 다양한 금속, 일례로 텅스텐 또는 구리를 포함하나 그로 국한되지 않는 다양한 도전 물질이 화학적 증기 증착 및 전기 도금을 포함하나 그로 국한되지 않는 다양한 방법들에 의한 증착에 의해 충전될 수 있다. 이 후, 다이(또는 웨이퍼) 기판, 일례로 도 25(F)에 도시된 다이(또는 웨이퍼) 기판(140)을 제 8 실시예에서 설명한 바와 같은 핸들 웨이퍼를 임의로 사용하여, 도전 물질, 일례로 도 25(F)에 도시된 도전 물질(174)로 충전된 비아들을 노출시킬 수 있도록 두께 감소화시킨다. 비아들의 노출은 백그라인딩, 화학적 기계적 폴리싱(CMP), 에칭의 조합을 이용하여 실시할 수 있다. 이러한 노출 공정 결과 바람직하게 평탄면이 형성되나, 이와는 달리 CMP의 선택도 또는 기판의 에칭으로 인해 비평탄면이 형성될 수도 있다. 일례로, CMP 공정 중에 규소는 구리보다 낮은 속도로 제거될 수 있는데, 그 결과 제 4 실시예에서 설명한 바와 같이 규소 기판 아래에 요입된 또는 접시 형태로 움푹한 도전성 비아가 형성되게 될 수 있다. 이와는 다르게, 비아들은 노출될 수도 있으며, 노출된 비아들은 도전성 비아에 비해 기판을 우선적으로 에칭하는 선택 에칭에 의해 에칭될 수 있고, 이에 따라 규소 기판면 위로 연장되는 도전성 비아가 형성되게 된다. 일례로, SF₆계 반응성 이온 에칭을 이용하여 비아에 충전된 구리 또는 텅스텐에 비해 규소가 우선적으로 에칭될 수 있다. 만일 도전 물질이 충전된 비아의 노출에 의해 제 4 실시예에 도시된 바와 같이 적당한 접합가능면이 형성되면 다이는 제 8 실시예에 도시된 바와 같이 절단 및 접합될 수 있을 것이다.

[0121] 만일 도전 물질이 충전된 비아의 노출에 의해 제 4 실시예에 도시된 바와 같이 적당한 접합가능면이 형성되지 않는 경우에는 콘택 구조물들이 형성되어 제 4 실시예에 도시된 바와 같이 적당한 접합가능면이 형성될 수 있을 것이다. 일례로, 노출된 도전성 비아 충전재가 접합면 아래에 위치한 경우에는 콘택 구조물(179)은 제 4 실시예에서 설명한 방식과 유사한 방식으로 도전 물질(174) 상에 형성될 수 있다. 이 형성 공정은 콘택 구조물들을 제외하고 적절히 평탄하고 전기적으로 절연성을 갖는 접합면을 형성할 수 있도록 콘택 구조물들과 유전체, 일례로 산화 규소의 증착 및 그에 이은 연마를 포함할 수 있다. 이는 도 26(B)에 예시되어 있다. 도 26(B)의 구조

는 도전 물질(174)와 접촉한 상태로 형성된 콘택 구조물(179)들과, PECVD 산화 규소와 같은 유전체 막(169)를 가지고 있다.

[0122] 상기와는 다르게, 상기 공정은 콘택 구조물들과 적절히 동일 평면을 이루고 기판, 일례로 도 25(F)의 기판(140)으로 구성되는 접합면을 형성할 수 있도록 유전체를 이용한 상태에서 또는 유전체를 이용하지 않은 상태에서 실시하는 콘택 구조물의 증착 및 연마를 포함할 수 있다. 또한, 노출된 도전성 충전재가 접합면보다 위에 위치하는 경우에는 콘택 구조물을 도전 물질(174) 상에 제 4 실시예에서 설명한 바와 유사한 방식으로 형성할 수도 있다. 이 형성 공정은 콘택 구조물(179)들을 제외하고 적절히 평탄하고 전기적으로 절연성을 갖는 접합면을 형성할 수 있도록 콘택 구조물들과 유전체, 일례로 산화 규소의 증착 및 그에 이은 연마를 포함할 수 있다. 콘택 구조물(179)은 도전 물질(174)의 측방 치수와 유사하거나, 그보다 작거나 또는 그보다 큰 측방 치수를 갖도록 형성될 수 있다.

[0123] 이 후, 다이는 제 8 실시예에서 설명한 바와 같이 절단 및 접합된다. 이에 따라, 다이(144) 내지 (146)들은 제 9 실시예에서 설명한 바와 같이 형성되고 충전된 비아들을 가지고 있는 기판(140)에 접합되고, 필요하다면 콘택 구조물들을 포함하는 접합면들이 형성되어 제 4 실시예에서 설명한 바와 같이 접합되고 전기적으로 접속된다. 다이(144) 내지 (146)가 기판(140)에 접합된 상태에서는 다이(144) 내지 (146)는 콘택 구조물(142)에 전기 접속될 필요가 없고, 다이(114) 내지 (116)의 노출면은 이전 실시예들에서 설명한 바와 같이 플립 칩 패키징을 위한 언더 범프 금속화가 가능하다.

[0124] 제 10 실시예의 경우, 비아들은 제 9 실시예에 도시된 바와 같이 장치 영역(148)의 전체 또는 장치 영역(148)의 반도체 부분을 통해 형성될 수 있다. 제 9 실시예에서와 마찬가지로, 장치 영역이 완성되기 전에 비아들을 형성함으로써 장치 영역(148)의 반도체 부분에 비아들이 형성되는 것에 의해 비아의 깊이가 보다 깊게 되고 폭이 보다 넓어지는 것을 방지할 수 있고, 이에 따라 장치 밀도를 개선시킬 수 있음과 동시에 비아의 형성으로 소비되는 반도체 부분을 감소시킬 수 있어, 크기 감소를 개선시킬 수 있다. 또한, 제 6 실시예에서 설명한 바와 같이 다이 기판부분을 완전히 제거할 수도 있다. 또한, 상기 노출면은 콘택 구조물들을 포함할 수도 있을 것이다. 이 표면은 필요하다면 제 1 실시예에서 설명한 바와 같이 표면을 평탄화시키는 충전 물질을 이용하여 제 4 실시예에서 설명한 전기 접속부들과의 접합을 위해 적절히 형성시킬 수 있을 것이다. 이 후, 금속으로 충전된 노출된 비아들을 갖는 동일 또는 다른 웨이퍼들로 형성한 추가 다이를 제 4 실시예에서 설명한 바와 같은 적당한 콘택 구조물들을 가지고 있는 접합-후 표면에 접합할 수 있다. 또한, 플립 칩 패키징을 위한 언더범프 금속화를 이전 실시예들에서 설명한 바와 같이 실시할 수 있다. 또한, 제 10 실시예는 복수의 다이들을 제 23(M)의 경우와 유사하게, 또는 제 23(N)의 경우와 유사하게 웨이퍼 대 웨이퍼 형태로 적층하도록 실시할 수도 있을 것이다.

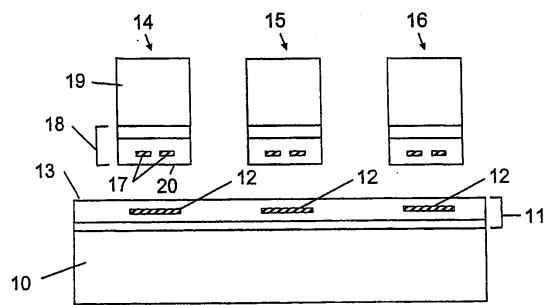
[0125] 본 발명의 요구되는 특징들은 수직 적층 및 접속 구성에 적용된다. 일례로, 다이는 집적 회로층을 아래로 또는 집적 회로층을 위로 위치시킨 상태에서 접합할 수 있다. 또한, 다이 대 웨이퍼 형태와는 다르게, 상측 웨이퍼를 집적 회로층이 상측에 위치한 상태의 하측 웨이퍼에 집적 회로층을 위로 또는 아래로 하여 접합하는 웨이퍼 대 웨이퍼 형태도 가능하다. 또한, 이러한 다이 대 웨이퍼 형태 및 웨이퍼 대 웨이퍼 형태는 기판을 사용하여 제조하나 집적 회로 기능을 위한 기판을 필요로 하지 않는 집적 회로들과 함께 이용할 수 있다. 일례로, SOI(Silicon-on-Insulator) 또는 비규소 기판, 일례로 III-V족 물질, SiC, 및 사파이어를 이용하여 제조한 집적 회로들은 집적 회로 기능을 위한 기판의 존재를 필요로 하지 않을 수도 있다. 이 경우에는 트랜지스터 제조용으로 사용되지 않는 기판의 모든 부분을 제거하여 수직 전기 접속부를 형성하는데 요구되는 비아 에칭을 최소화시킬 수 있을 것이다.

[0126] 비록 다이 영역을 포함하고 있는 기판들이 도시되었으나, 일례로 볼 그리드 어레이 집적 회로 패키지에 중간 기판을 패키징시키기 위한 칩에 대한 대체로서, 장치 영역은 가지고 있으나 콘택 구조물들을 가지고 있는 기판도 가능하다. 또한, 소정의 장치들을 가지고 있는 다이가 도시되어 있으나, 장치 또는 장치들을 가지고 있지 않으나 콘택 구조물은 가지고 있는 다른 다이 또는 소자들을 본 발명에 따른 방법들을 이용하여 기판에 접합시킬 수도 있을 것이다.

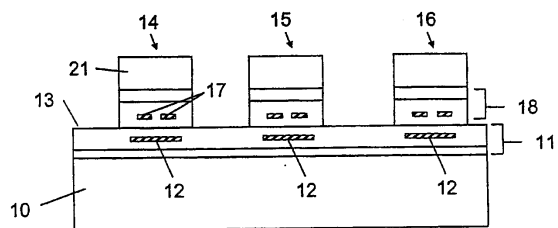
[0127] 상기의 교습에 비추어 보면 본 발명의 다양한 수정 및 변경이 가능하다. 따라서, 본 명세서에서 특정하여 설명한 바와 다르게 본 발명을 첨부된 청구의 범위 내에서 실시할 수 있음을 이해하여야만 한다.

도면

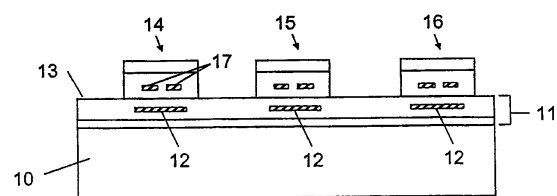
도면1



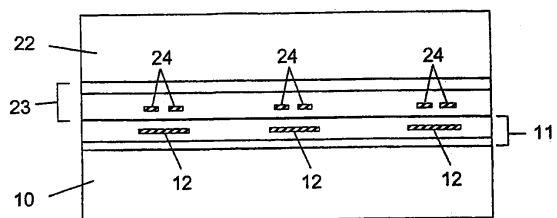
도면2a



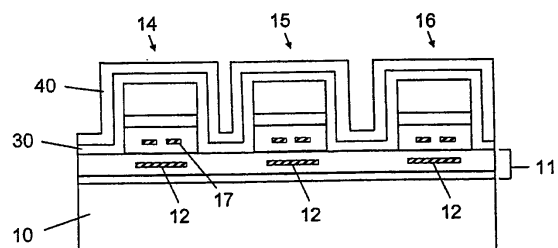
도면2b



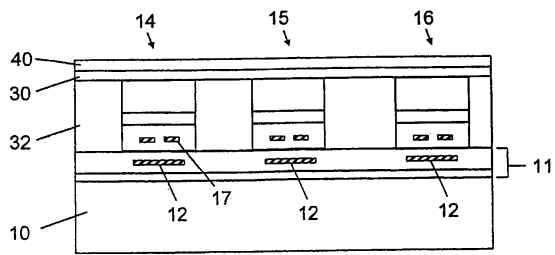
도면2c



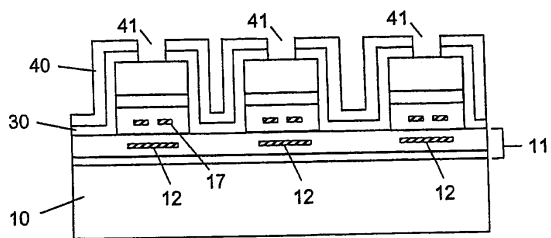
도면3a



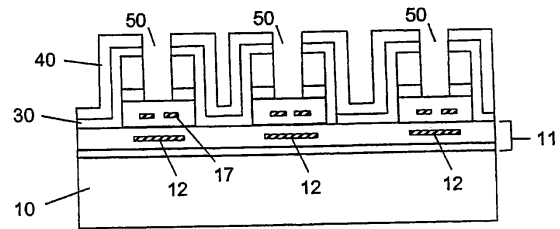
도면3b



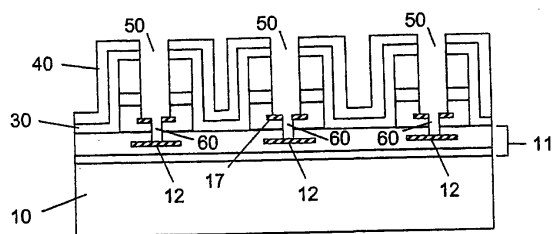
도면4



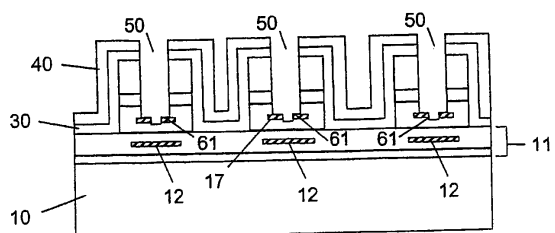
도면5



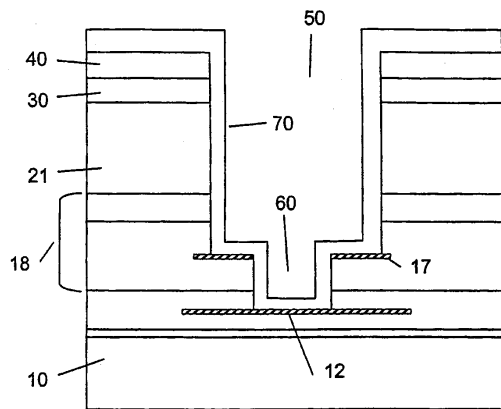
도면6a



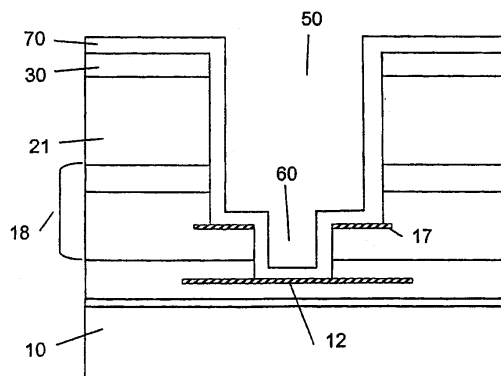
도면6b



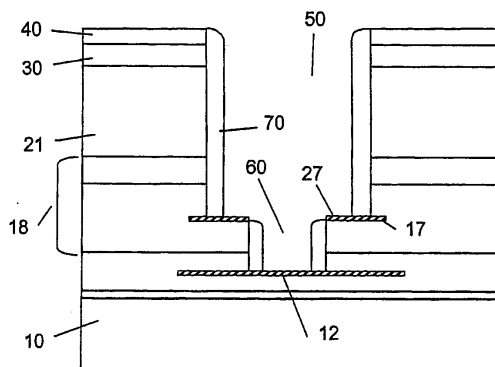
도면7a



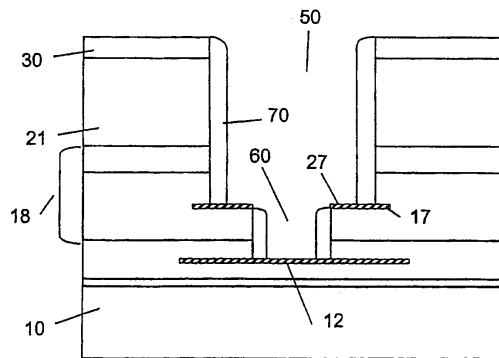
도면7b



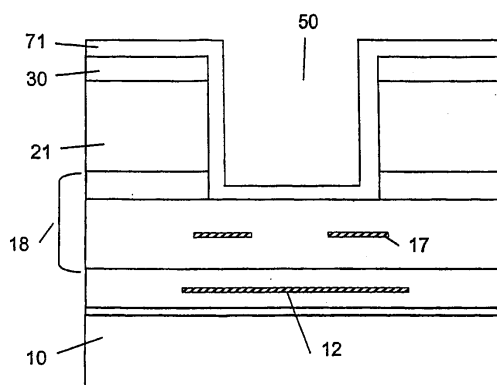
도면8a



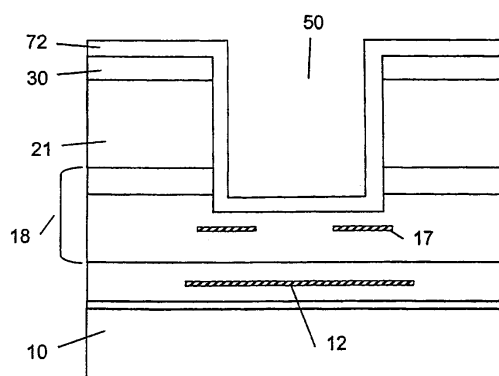
도면8b



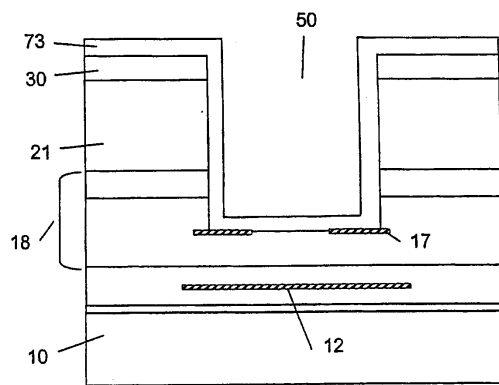
도면8c



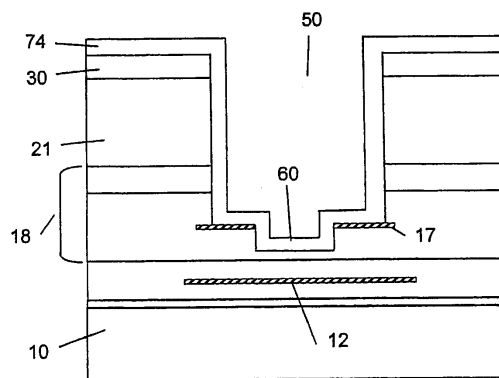
도면8d



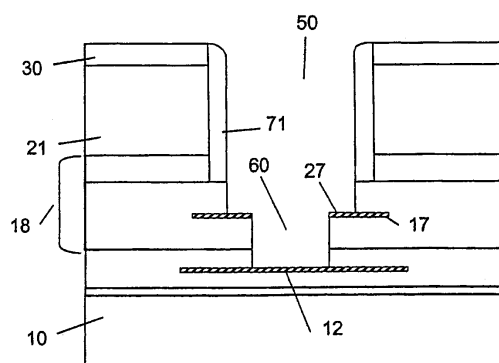
도면8e



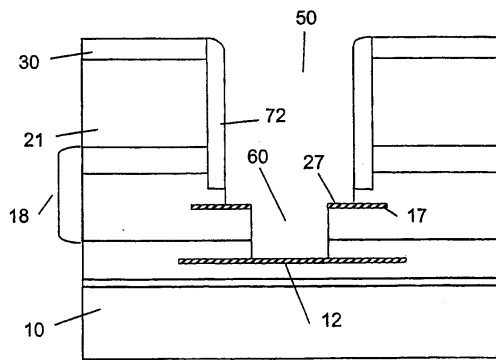
도면8f



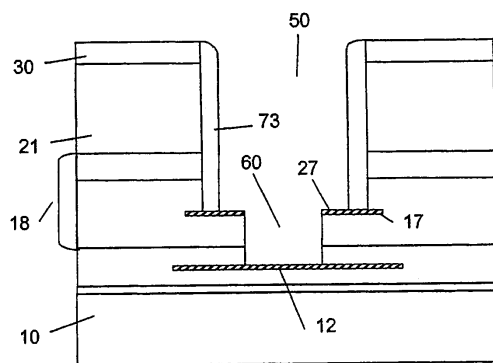
도면8g



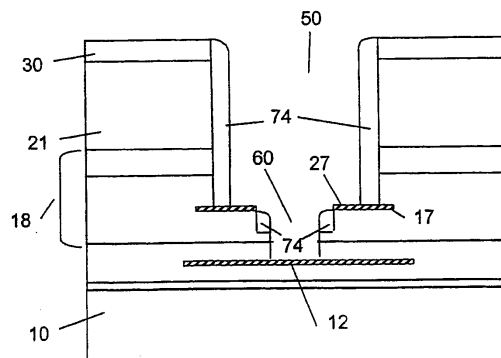
도면8h



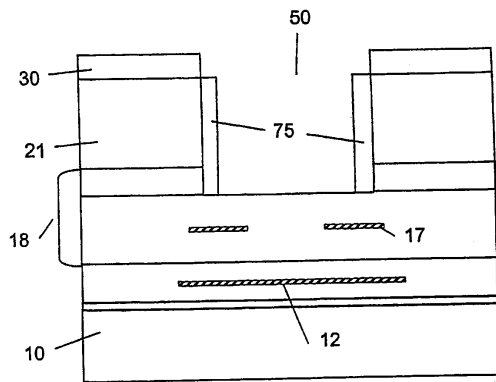
도면8i



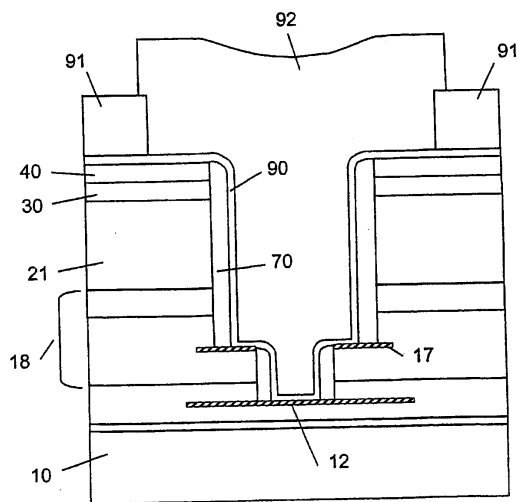
도면8j



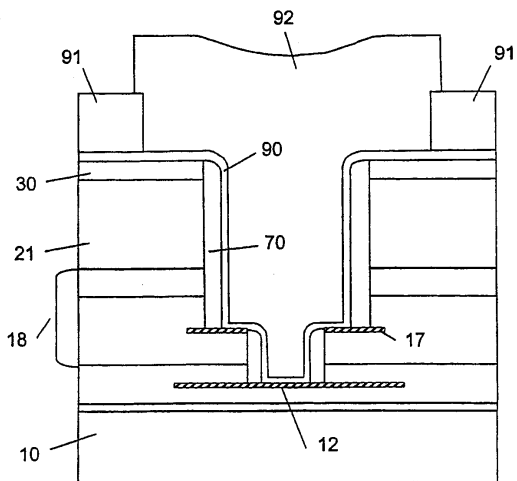
도면8k



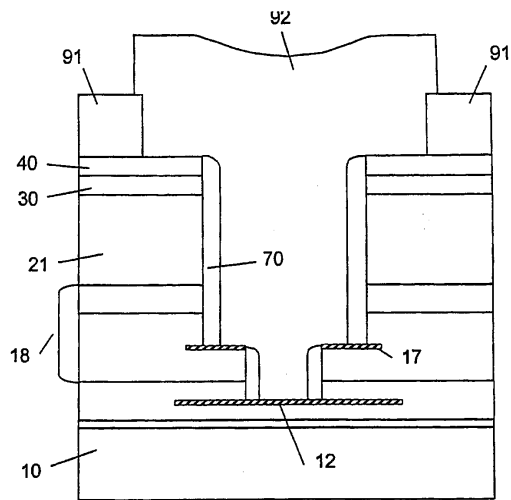
도면9a



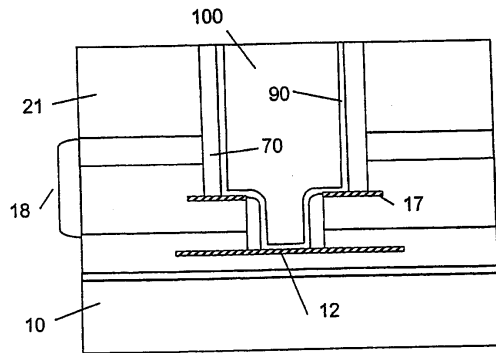
도면9b



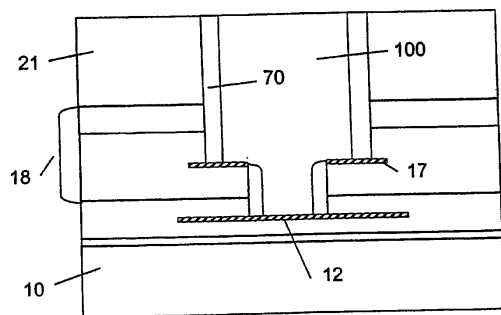
도면9c



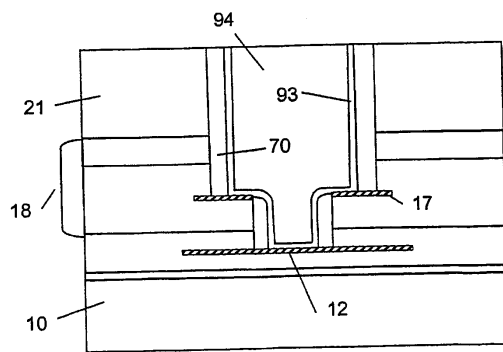
도면10a



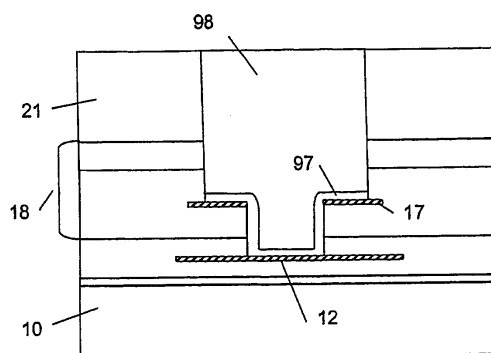
도면10b



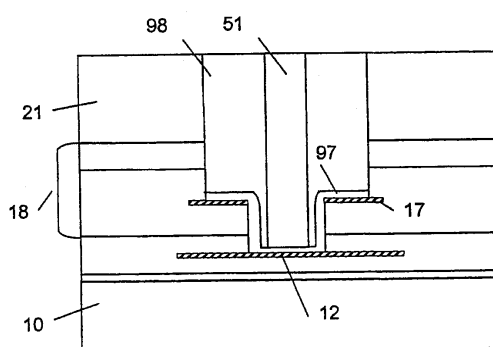
도면10c



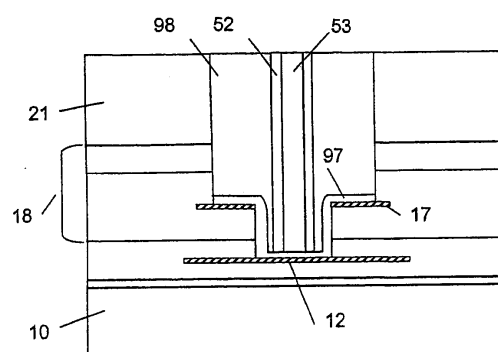
도면10d



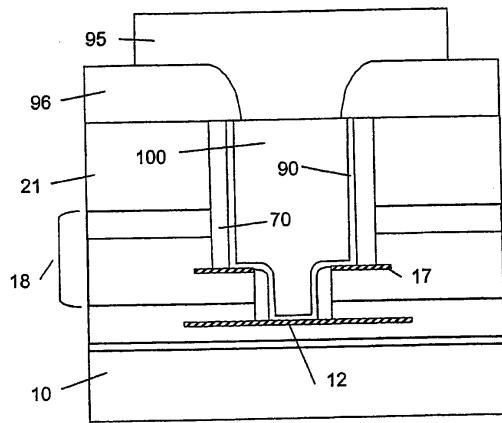
도면10e



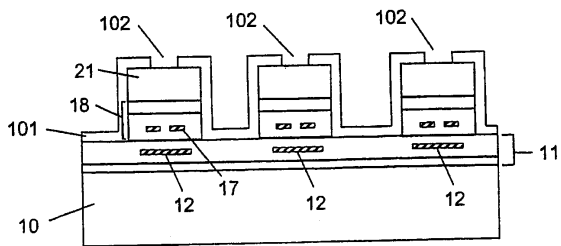
도면 10f



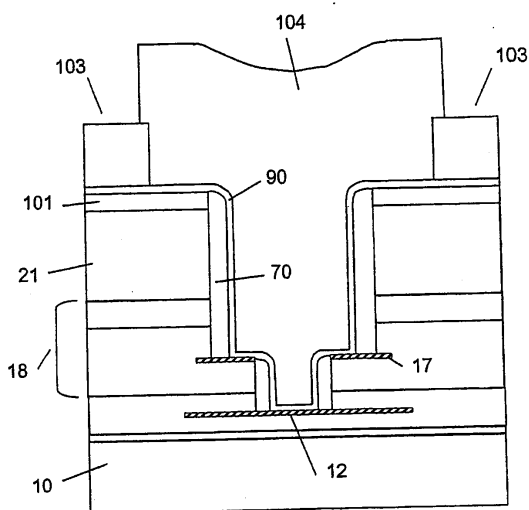
도면11



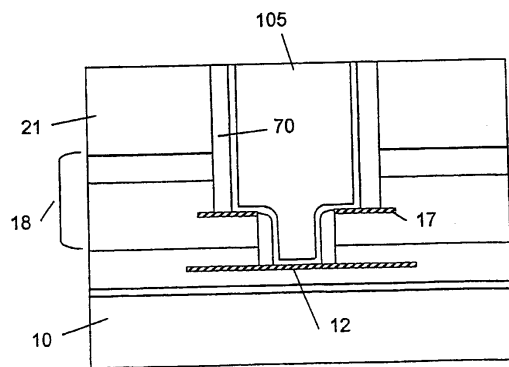
도면12



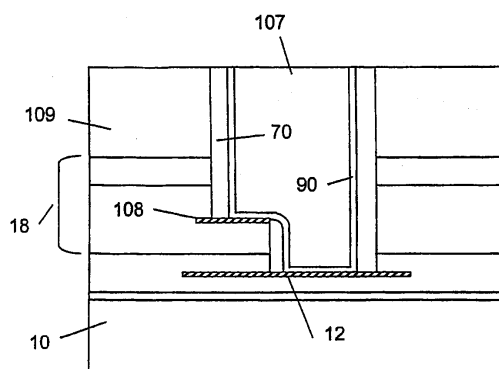
도면13



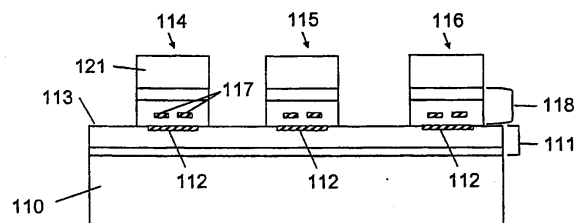
도면14



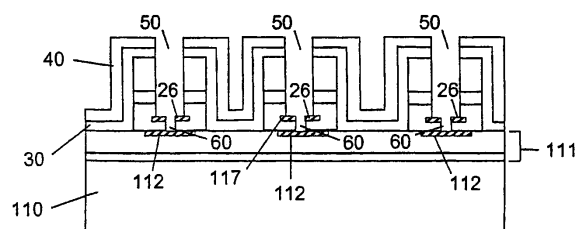
도면15



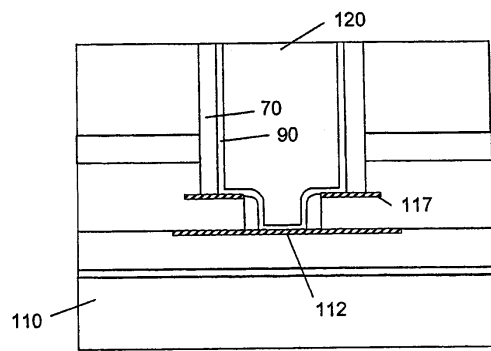
도면16a



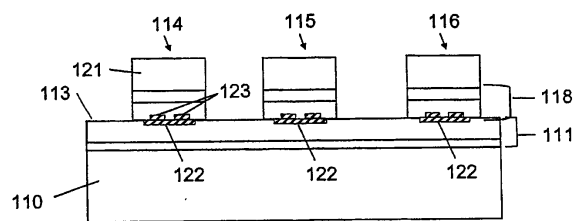
도면16b



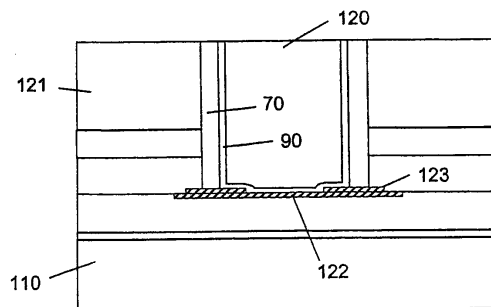
도면17



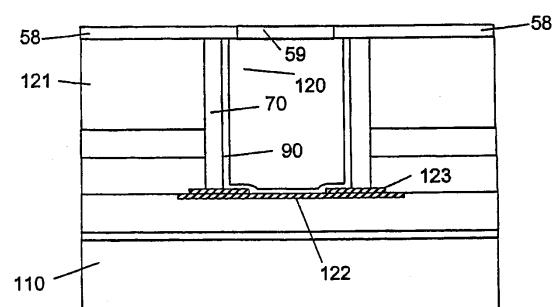
도면18



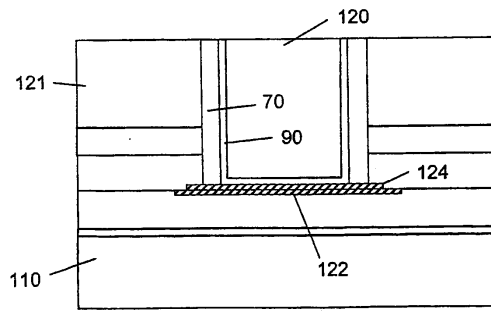
도면19a



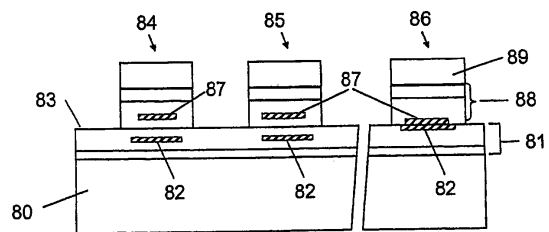
도면19b



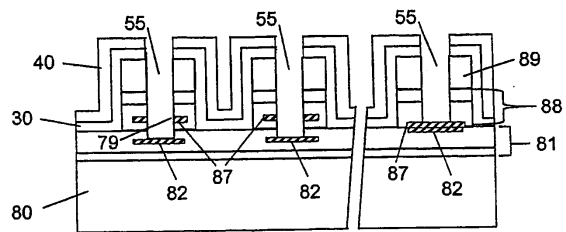
도면19c



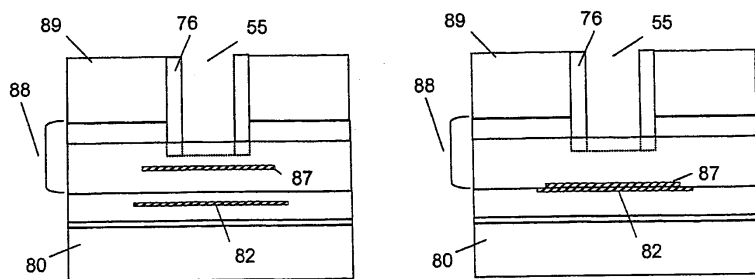
도면20a



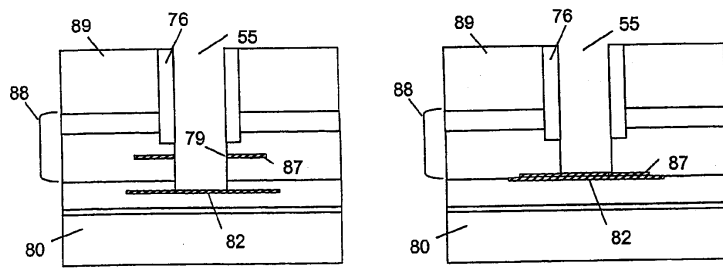
도면20b



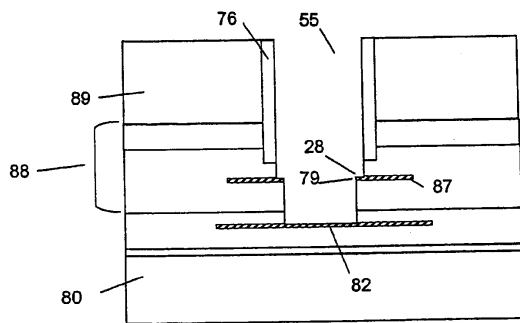
도면20c



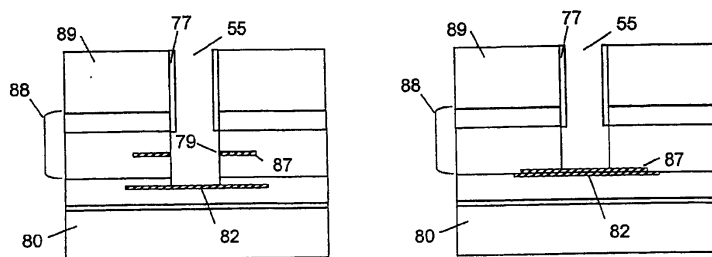
도면20d



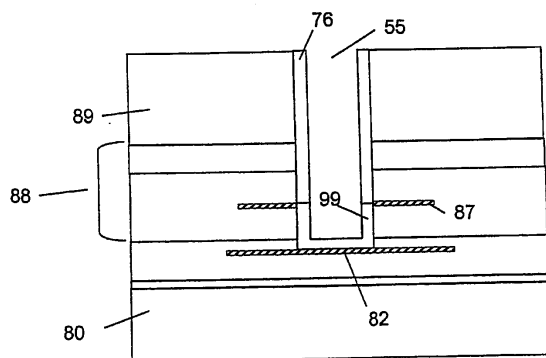
도면20e



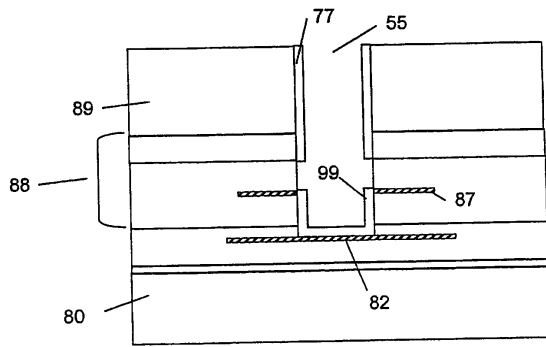
도면20f



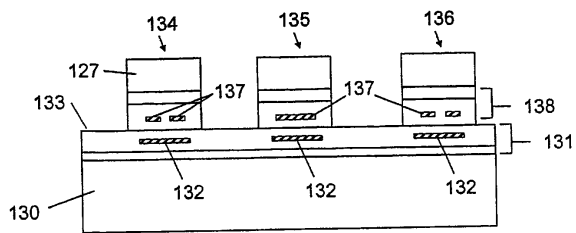
도면20g



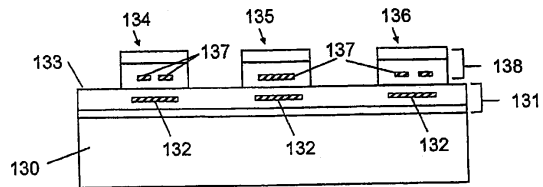
도면20h



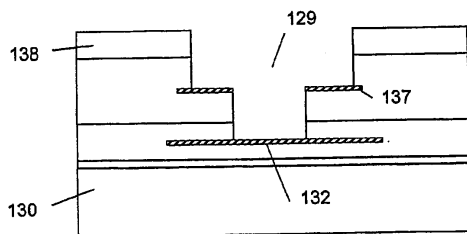
도면21a



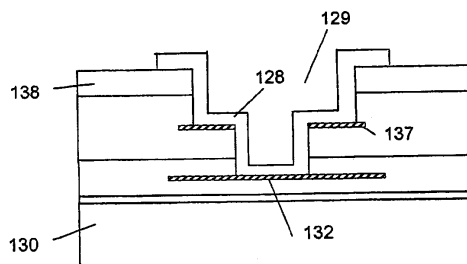
도면21b



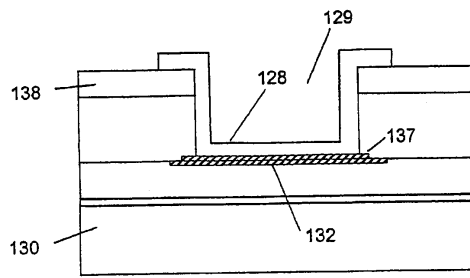
도면21c



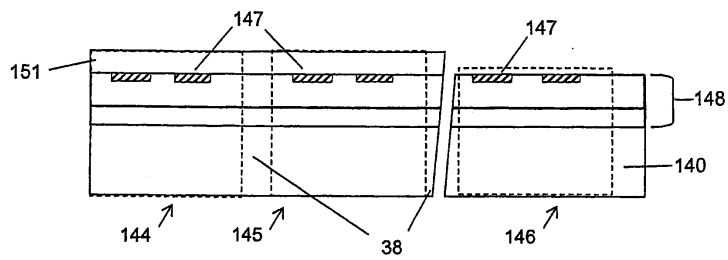
도면21d



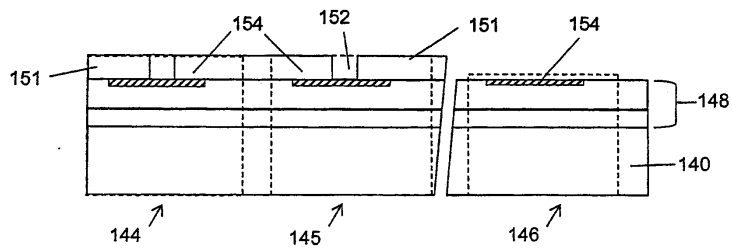
도면21e



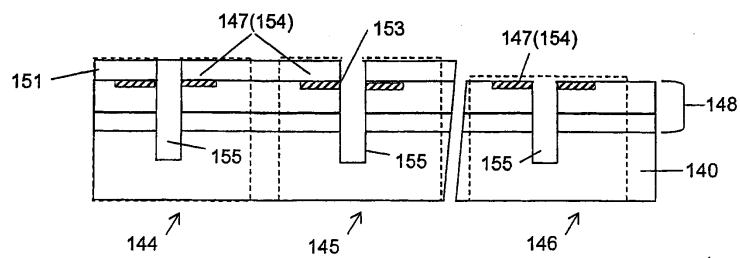
도면22a



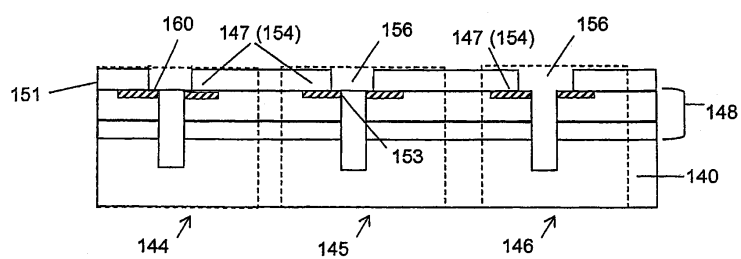
도면22b



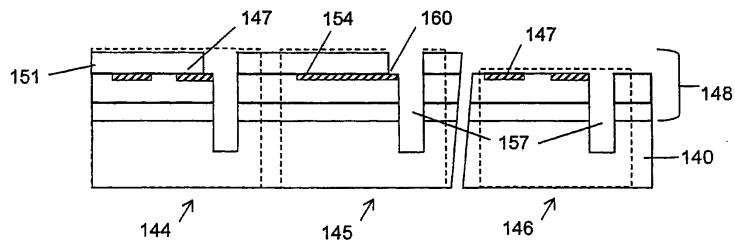
도면22c



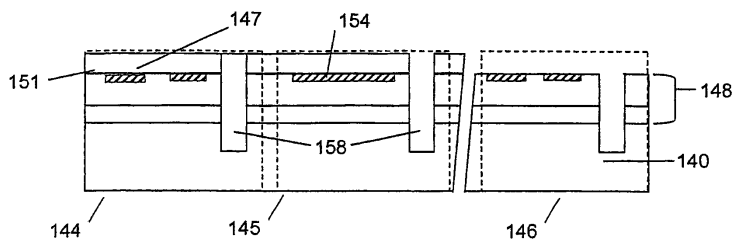
도면22d



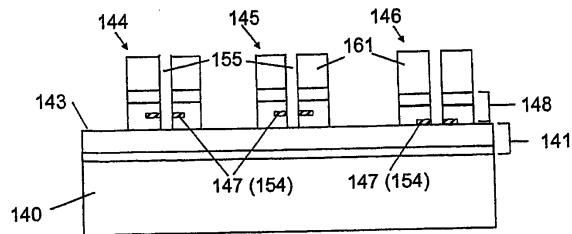
도면22e



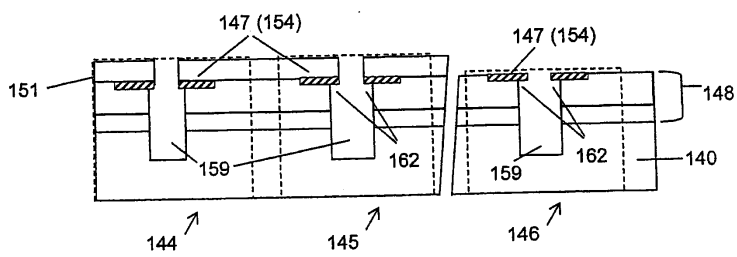
도면22f



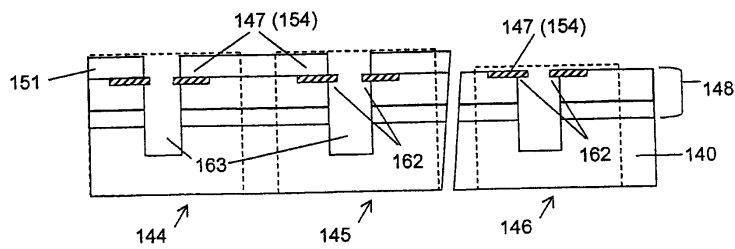
도면22g



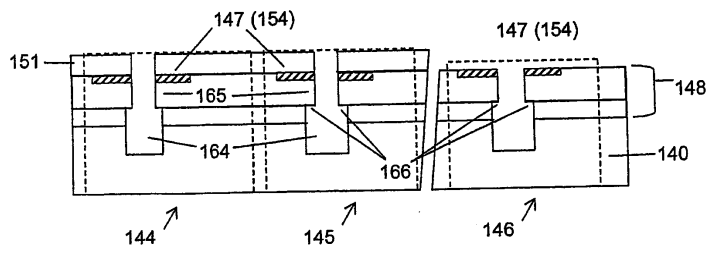
도면22h



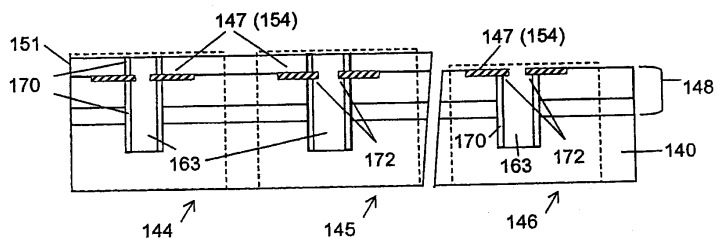
도면22i



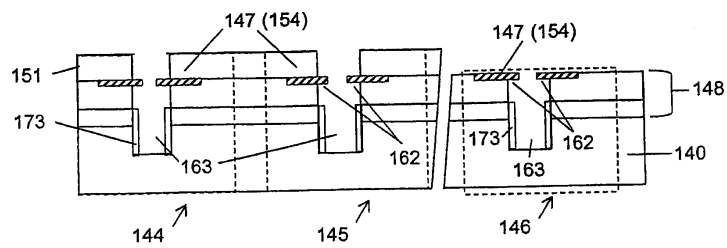
도면22j



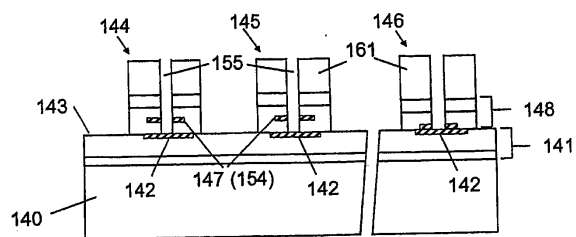
도면22k



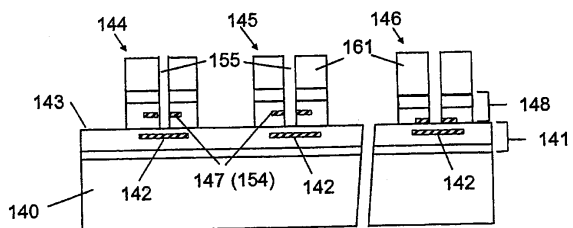
도면22l



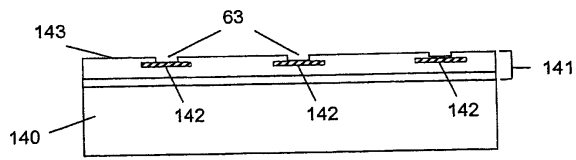
도면23a



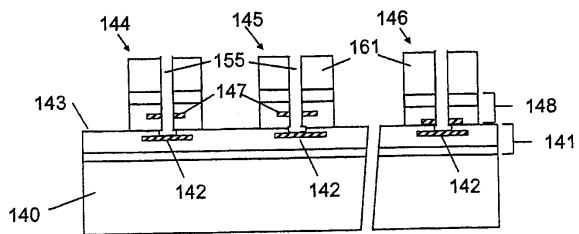
도면23b



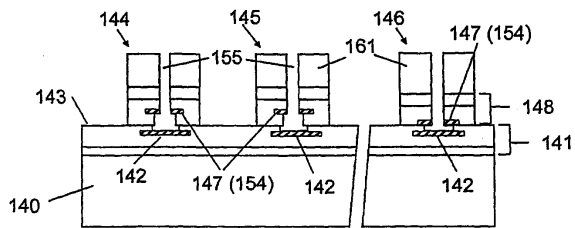
도면23c



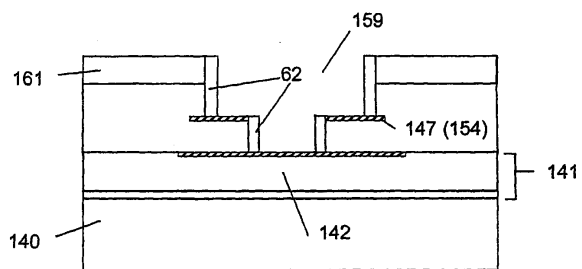
도면23d



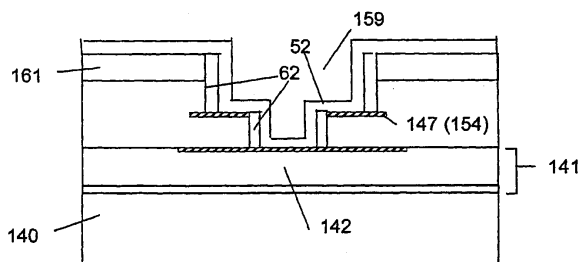
도면23e



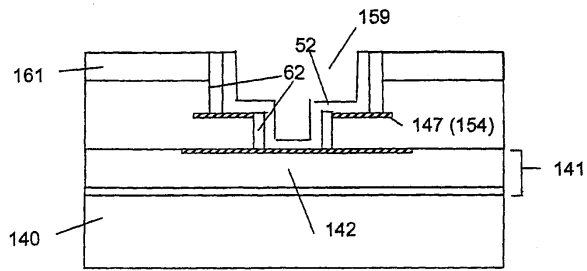
도면23f



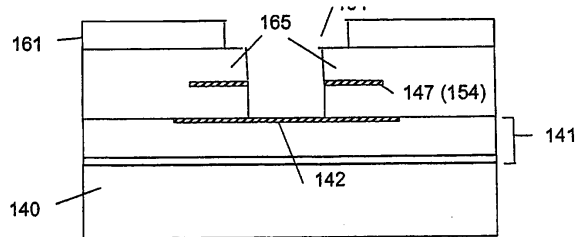
도면23g



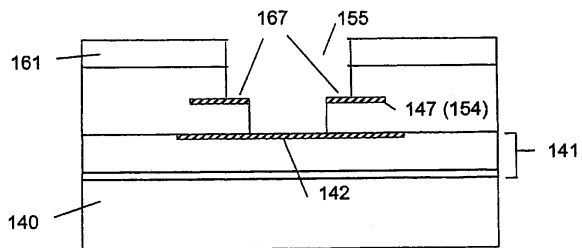
도면23h



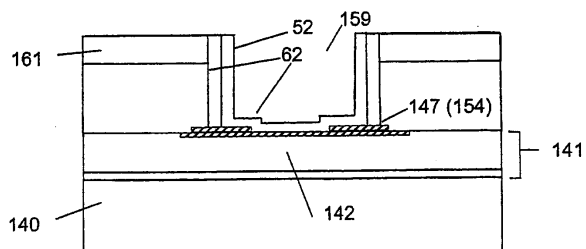
도면23i



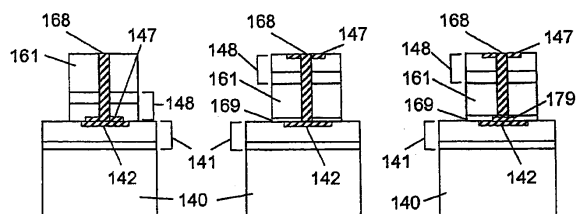
도면23j



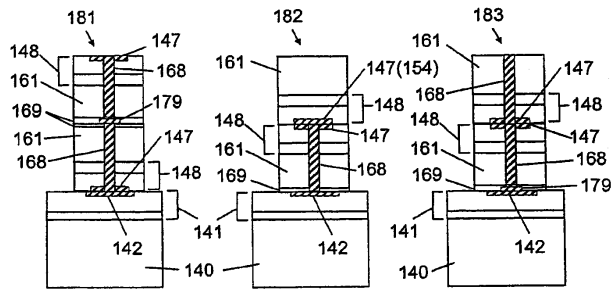
도면23k



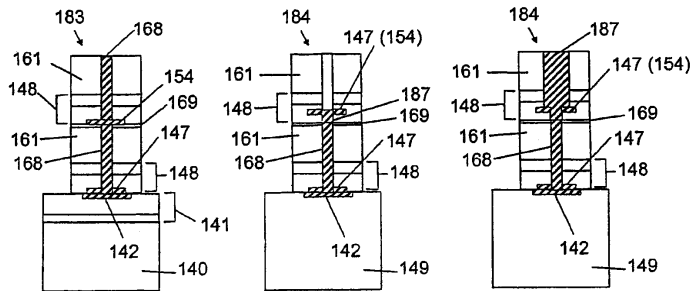
도면23l



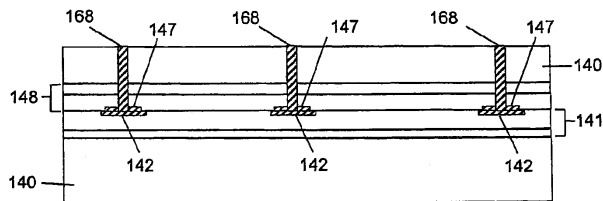
도면23m



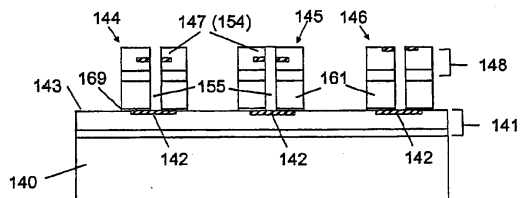
도면23n



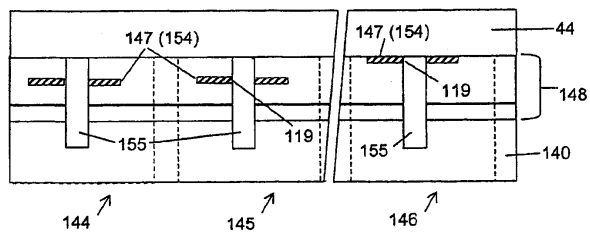
도면23o



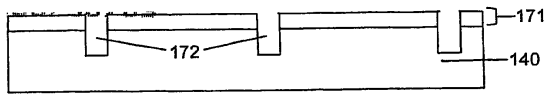
도면24a



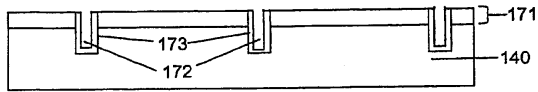
도면24b



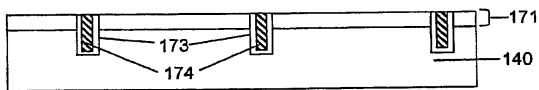
도면25a



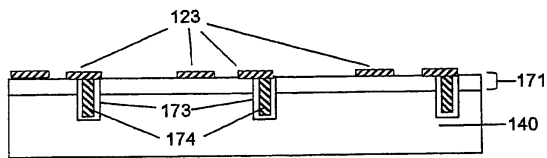
도면25b



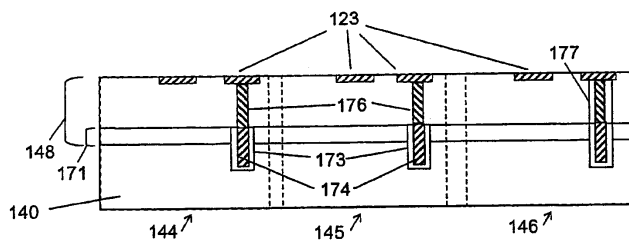
도면25c



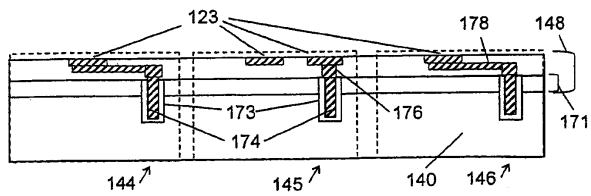
도면25d



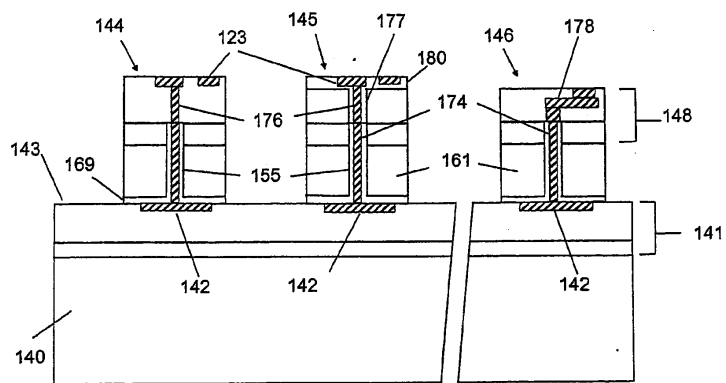
도면25e



도면25f



도면26a



도면26b

