



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0029646
(43) 공개일자 2009년03월23일

(51) Int. Cl.

H01L 23/48 (2006.01) H01L 21/60 (2006.01)

(21) 출원번호 10-2008-0089605

(22) 출원일자 2008년09월11일
심사청구일자 없음

(30) 우선권주장 JP-P-2007-00241375 2007년09월18일 일본(JP)

(71) 출원인

신꼬오렌기 고교 가부시키가이샤

일본국 나가노켄 나가노시 오시마다마치 80

(72) 발명자

마치다 요시히로

일본국 나가노켄 나가노시 오시마다마치 80 신꼬
오렌기 고교 가부시키가이샤 내

(74) 대리인

문기상, 문두현

전체 청구항 수 : 총 10 항

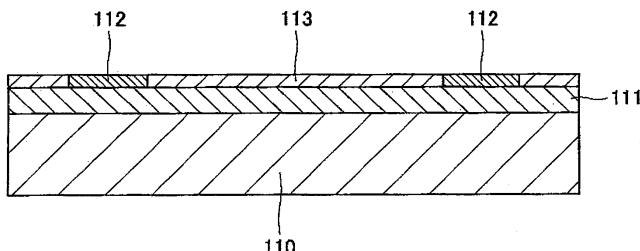
(54) 반도체 장치의 제조 방법

(57) 요 약

반도체 기판(35)에 형성된 복수의 반도체 칩(11)의 전극 패드(23)에 내부 접속 단자(12)를 형성하고, 수지 부재 본체(13-1)와 돌출부(13-2)를 가지며 내부 접속 단자(12)가 형성되는 반도체 칩(11)을 덮는 수지 부재(13)를 형성하고, 수지 부재 본체(13-1) 상에 금속층(39)을 형성하고 돌출부(13-2)를 정렬 표시로서 사용하여, 배선 패턴(14)이 형성되는 영역에 대응하는 부분의 금속층(39)을 덮는 레지스트막(48)을 형성하고, 그 후 레지스트막(48)을 마스크로 사용하여 금속층(39)을 에칭함으로써, 내부 접속 단자(12)에 전기적으로 접속되는 배선 패턴(14)을 형성한다.

대 표 도 - 도2

101



특허청구의 범위

청구항 1

전극 패드를 포함하는 복수의 반도체 칩, 상기 반도체 칩이 형성되는 복수의 반도체 칩 형성 영역을 가지는 반도체 기판, 상기 전극 패드에 설치된 내부 접속 단자, 및 상기 내부 접속 단자에 전기적으로 접속되는 배선 패턴을 포함하는 반도체 장치의 제조 방법에 있어서,

상기 반도체 칩의 상기 전극 패드에 상기 내부 접속 단자를 형성하는 공정과,

지지판에 상기 배선 패턴의 모재가 되는 금속층이 설치되는 금속층을 가지는 지지판을 준비하는 공정과,

상기 반도체 칩과 대향하는 부분의 상기 금속층을 가지는 지지판에 관통부를 형성하는 공정과,

상기 내부 접속 단자와 대향하는 부분의 상기 금속층에 도전성 단자를 형성하는 공정과,

상기 내부 접속 단자와 상기 도전성 단자가 서로 대향되도록 상기 반도체 칩과 상기 금속층을 가지는 지지판을 서로 대향하여 배치시키는 동시에, 상기 금속층을 가지는 지지판을 가압하여 상기 내부 접속 단자를 상기 금속층에 압착시키는 공정과,

상기 압착 공정 후에, 상기 반도체 칩과 상기 금속층을 가지는 지지판의 사이 부분, 및 상기 관통부를 수지로 밀봉하는 공정과,

상기 밀봉 공정 후에, 상기 지지판을 제거하고 상기 지지판의 상기 관통부에 대응하는 부분의 상기 수지에 돌출부를 형성하는 공정과,

상기 돌출부를 정렬 표시로 사용하여, 상기 배선 패턴이 형성되는 영역에 대응하는 부분의 상기 금속층을 덮는 레지스트막을 형성하는 공정과,

상기 레지스트막을 마스크로 사용해서 상기 금속층을 에칭하여, 상기 배선 패턴을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 관통부 형성 공정에서는, 적어도 2 개의 관통부를 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 관통부 형성 공정에서는, 상기 배선 패턴이 형성되는 영역 이외의 영역에 대응하는 부분의 상기 금속층을 가지는 지지판에 상기 관통부를 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 압착 공정에서는, 상기 금속층을 가지는 지지판에 형성된 상기 관통부를 정렬 표시로서 사용하여, 상기 반도체 칩과 상기 금속층을 가지는 지지판을 서로 대향하여 배치시키는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

제 1 항에 있어서,

상기 밀봉 공정에서는, 상기 수지를 트랜스퍼(transfer) 몰드법에 의해 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6

전극 패드를 포함하는 복수의 반도체 칩, 상기 반도체 칩이 형성되는 복수의 반도체 칩 형성 영역을 가지는 반

도체 기판, 상기 전극 패드에 설치된 내부 접속 단자, 및 상기 내부 접속 단자에 전기적으로 접속되는 배선 패턴을 포함하는 반도체 장치의 제조 방법에 있어서,

상기 반도체 칩의 상기 전극 패드에 상기 내부 접속 단자를 형성하는 공정과,

지지판에 금속층이 설치되는 금속층을 가지는 지지판을 준비하는 공정과,

상기 반도체 칩과 대향하는 부분의 상기 금속층을 가지는 지지판에 관통부를 형성하는 공정과,

상기 내부 접속 단자와 대향하는 부분의 상기 금속층에 도전성 단자를 형성하는 공정과,

상기 내부 접속 단자와 상기 도전성 단자가 서로 대향되도록, 상기 반도체 칩과 상기 금속층을 가지는 지지판을 서로 대향하여 배치시키는 동시에, 상기 금속층을 가지는 지지판을 가압하여 상기 내부 접속 단자를 상기 금속층에 압착하는 공정과,

상기 압착 공정 후에, 상기 반도체 칩과 상기 금속층을 가지는 지지판의 사이 부분, 및 상기 관통부를 수지로 밀봉하는 공정과,

상기 밀봉 공정 후에, 상기 지지판을 제거하고 상기 지지판의 상기 관통부에 대응하는 부분의 상기 수지에 돌출부를 형성하는 공정과,

상기 돌출부를 정렬 표시로 사용하여, 상기 금속층 상에 상기 배선 패턴을 형성하는 영역에 대응하는 부분에 개구부를 가지는 레지스트막을 형성하는 공정과,

상기 금속층을 급전층으로 사용하는 전해 도금법에 의해, 상기 개구부에 노출된 부분의 상기 금속층에 도금막을 형성하는 공정과,

상기 도금막 형성 공정 후에, 상기 레지스트막을 제거하는 공정과,

상기 도금막이 형성되지 않은 부분의 상기 금속층을 제거하여, 상기 금속층 및 상기 도금막에 의해 구성된 상기 배선 패턴을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 관통부 형성 공정에서는, 적어도 2 개의 상기 관통부를 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8

제 6 항에 있어서,

상기 관통부 형성 공정에서는, 상기 배선 패턴이 형성되는 영역 이외의 영역에 대응하는 부분의 상기 금속층을 가지는 지지판에 상기 관통부를 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 9

제 6 항에 있어서,

상기 압착 공정에서는, 상기 금속층을 가지는 지지판에 형성된 상기 관통부를 정렬 표시로서 사용하여, 상기 반도체 칩과 상기 금속층을 가지는 지지판을 서로 대향하여 배치시키는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10

제 6 항에 있어서,

상기 밀봉 공정에서는, 상기 수지를 트랜스퍼 몰드법에 의해 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 반도체 장치의 제조 방법에 관한 것으로, 특히 전극 패드를 포함하는 반도체 칩, 전극 패드에 설치된 내부 접속 단자, 및 내부 접속 단자에 전기적으로 접속되는 배선 패턴을 포함하는 반도체 장치의 제조 방법에 관한 것이다.

배경 기술

<2> 종래의 반도체 장치는 전극 패드를 포함하는 반도체 칩, 전극 패드에 설치된 내부 접속 단자, 및 내부 접속 단자에 전기적으로 접속되는 배선 패턴을 포함하고, 평면에서 볼 때, 반도체 칩과 거의 동일한 크기인 칩 사이즈 패키지라 불리는 반도체 장치(예를 들면, 도 1 참조)를 포함한다.

<3> 도 1은 종래의 반도체 장치를 나타내는 단면도이다.

<4> 도 1을 참조하면, 종래의 반도체 장치(100)는 반도체 칩(101), 내부 접속 단자(102), 수지층(103), 배선 패턴(104), 솔더 레지스트(106), 및 외부 접속 단자(107)를 가진다.

<5> 반도체 칩(101)은 얇은 판(plate) 형상으로 형성된 반도체 기판(110), 반도체 접적회로(111), 복수의 전극 패드(112), 및 보호막(113)을 가진다. 반도체 접적회로(111)는 반도체 기판(110)의 표면 측에 설치된다. 반도체 접적회로(111)는 확산층, 절연층 및 배선 패턴(도시 생략)에 의해 구성된다. 전극 패드(112)는 반도체 접적회로(111) 상에 설치된다. 전극 패드(112)는 반도체 접적회로(111)에 설치된 배선 패턴에 전기적으로 접속된다. 보호막(113)은 반도체 접적회로(111) 상에 설치된다. 보호막(113)은 반도체 접적회로(111)를 보호하는 역할을 한다.

<6> 내부 접속 단자(102)는 전극 패드(112) 상에 설치된다. 내부 접속 단자(102)의 상단부는 수지층(103)으로부터 노출된다. 내부 접속 단자(102)의 상단부는 배선 패턴(104)에 접속된다. 수지층(103)은 내부 접속 단자(102)가 배치되는 측의 반도체 칩(101)을 덮도록 설치된다.

<7> 배선 패턴(104)은 수지층(103) 상에 설치된다. 배선 패턴(104)은 내부 접속 단자(102)에 접속된다. 배선 패턴(104)은 내부 접속 단자(102)를 통해 전극 패드(112)에 전기적으로 접속된다. 배선 패턴(104)은 외부 접속 단자(107)가 설치된 패드(104A)를 가진다. 솔더 레지스트(106)는 패드(104A)를 제외한 부분의 배선 패턴(104)을 덮도록 수지층(103) 상에 설치된다.

<8> 도 2 내지 도 10은 종래의 반도체 장치의 제조 공정을 나타내는 도면이다. 도 2 내지 도 10에서, 도 1에 나타낸 종래의 반도체 장치(100)와 동일 구성 부분은 동일한 참조 부호를 가진다.

<9> 우선, 도 2에 나타낸 공정에서, 얇은 판으로 형성되기 전의 반도체 기판(110)의 표면 측에, 반도체 접적회로(111), 전극 패드(112) 및 보호막(113)을 가지는 반도체 칩(101)을 형성한다. 이어서, 도 3에 나타낸 공정에서 는, 전극 패드(112) 상에 내부 접속 단자(102)를 형성한다. 이 단계에서, 내부 접속 단자(102)는 높이 편차를 가진다.

<10> 이어서, 도 4에 나타낸 공정에서는, 내부 접속 단자(102)에 평탄한 판(115)을 가압하여, 내부 접속 단자(102)의 높이가 서로 동일해지도록 한다. 결과적으로, 내부 접속 단자(102)의 상면(102A)은 거의 평탄한 면이 되도록 형성된다. 이어서, 도 5에 나타낸 공정에서는, 내부 접속 단자(102)가 형성되는 측의 반도체 칩(101) 및 내부 접속 단자(102)를 덮도록, 수지층(103)을 형성한다.

<11> 이어서, 도 6에 나타낸 공정에서는, 내부 접속 단자(102)의 상면(102A)이 수지층(103)으로부터 노출될 때까지, 수지층(103)을 연마한다. 이 때, 수지층(103)의 상면(103A)이 내부 접속 단자(102)의 상면(102A)과 거의 동일한 높이가 되도록 연마를 수행한다. 결과적으로, 도 6에 나타낸 구조체의 상면(구체적으로, 수지층(103)의 상면(103A) 및 내부 접속 단자(102)의 상면(102A))은 평탄해진다.

<12> 이어서, 도 7에 나타낸 공정에서는, 도 6에 나타낸 구조체의 평탄한 상면에 배선 패턴(104)을 형성한다. 구체적으로는, 도 6에 나타낸 구조체의 상면에 금속박(도시 생략)을 부착하고, 이어서 금속박을 덮도록 레지스트(도시 생략)를 도포하고, 이어서 레지스트를 노광 및 현상하여, 배선 패턴(104)이 형성되는 영역에 대응하는 부분의 금속박 상에 레지스트막(도시 생략)을 형성한다. 그 후, 상기 레지스트막을 마스크로 사용하여 금속박을 에칭하여서, 배선 패턴(104)을 형성한다(서브트랙티브(subtractive method)). 이어서, 레지스트막을 제거한다.

상기 레지스트의 노광 영역은 반도체 집적회로(111)에 형성된 정렬 표시(도시 생략)의 위치를 적외선 또는 X 선 투과 기능을 가지는 노광 장치(도시 생략)를 통해 검출함으로써 결정된다.

<13> 이어서, 도 8에 나타낸 공정에서는, 수지층(103)상에 패드(104A) 이외의 부분의 배선 패턴(104)을 덮는 솔더 레지스트(106)를 형성한다.

<14> 이어서, 도 9에 나타낸 공정에서는, 반도체 기판(110)의 이면 측으로부터 반도체 기판(110)을 연마하여서, 반도체 기판(110)을 박형화한다. 이어서, 도 10에 나타낸 공정에서는, 패드(104A)에 외부 접속 단자(107)를 형성한다. 결과적으로, 반도체 장치(100)가 제조된다(예를 들면, 특히 문헌 1 참조).

<15> [특히 문헌 1] 일본 특허 제3614828호 공보

발명의 내용

해결 하고자하는 과제

<16> 그러나, 종래의 반도체 장치(100)의 제조 방법에서는, 내부 접속 단자(102)의 높이를 서로 동일하게 하는 공정 및, 수지층(103)을 연마하여 내부 접속 단자(102)의 상면(102A)을 수지층(103)으로부터 노출시키는 공정을 제공할 필요가 있다. 이 때문에, 공정수의 증가와 함께 반도체 장치(100)의 제조비용이 증가하는 문제가 있다.

<17> 또한, 배선 패턴(104)을 형성하기 위해 레지스트막의 형성에 사용되는 적외선 또는 X 선 투과 기능을 가지는 노광 장치는 고가이다. 이 때문에, 반도체 장치(100)의 제조비용이 증가하는 문제가 있다.

<18> 또한, 적외선 또는 X 선 투과 기능을 가지는 노광 장치를 사용한 경우, 정렬 표시의 검출 정밀도가 충분하지 않다. 이 때문에, 내부 접속 단자(102)에 대한 배선 패턴(104)의 위치 정밀도가 저하하는 문제가 있다.

<19> 따라서, 본 발명의 목적은, 상기의 문제를 고려하여서, 반도체 장치의 제조비용을 절감할 수 있는 동시에, 내부 접속 단자에 대한 배선 패턴의 위치 정밀도를 향상시킬 수 있는 반도체 장치의 제조 방법을 제공하는 것이다.

과제 해결수단

<20> 본 발명의 제 1 관점에 따르면, 전극 패드를 포함하는 복수의 반도체 칩, 상기 반도체 칩이 형성되는 복수의 반도체 칩 형성 영역을 가지는 반도체 기판, 상기 전극 패드에 설치된 내부 접속 단자, 및 상기 내부 접속 단자에 전기적으로 접속되는 배선 패턴을 포함하는 반도체 장치의 제조 방법이 제공되며, 상기 방법은 상기 반도체 칩의 상기 전극 패드에 상기 내부 접속 단자를 형성하는 공정과, 지지판에 상기 배선 패턴의 모재가 되는 금속층이 설치되는 금속층을 가지는 지지판을 준비하는 공정과, 상기 반도체 칩과 대향하는 부분의 상기 금속층을 가지는 지지판에 관통부를 형성하는 공정과, 상기 내부 접속 단자와 대향하는 부분의 상기 금속층에 도전성 단자를 형성하는 공정과, 상기 내부 접속 단자와 상기 도전성 단자가 서로 대향되도록 상기 반도체 칩과 상기 금속층을 가지는 지지판을 서로 대향하여 배치시키는 동시에, 상기 금속층을 가지는 지지판을 가압하여 상기 내부 접속 단자를 상기 금속층에 압착시키는 공정과, 상기 압착 공정 후에, 상기 반도체 칩과 상기 금속층을 가지는 지지판의 사이 부분, 및 상기 관통부를 수지로 밀봉하는 공정과, 상기 밀봉 공정 후에, 상기 지지판을 제거하고 상기 지지판의 상기 관통부에 대응하는 부분의 상기 수지에 돌출부를 형성하는 공정과, 상기 돌출부를 정렬 표시로 사용하여, 상기 배선 패턴이 형성되는 영역에 대응하는 부분의 상기 금속층을 덮는 레지스트막을 형성하는 공정과, 상기 레지스트막을 마스크로 사용하여 상기 금속층을 에칭하여, 상기 배선 패턴을 형성하는 공정을 포함한다.

<21> 본 발명의 제 2 관점에 따르면, 상기 관통부 형성 공정에서는, 적어도 2 개의 관통부를 형성하는 제 1 관점에 따른 반도체 장치의 제조 방법이 제공된다.

<22> 본 발명의 제 3 관점에 따르면, 상기 관통부 형성 공정에서는, 상기 관통부를 상기 배선 패턴이 형성되는 영역 이외의 영역에 대응하는 부분의 상기 금속층을 가지는 지지판에 형성하는 제 1 또는 제 2 관점에 따른 반도체 장치의 제조 방법이 제공된다.

<23> 본 발명의 제 4 관점에 따르면, 상기 압착 공정에서는, 상기 금속층을 가지는 지지판에 형성된 상기 관통부를 정렬 표시로서 사용하여, 상기 반도체 칩과 상기 금속층을 가지는 지지판을 서로 대향하여 배치시키는 제 1 내지 제 3 관점 중 어느 하나에 따른 반도체 장치의 제조 방법이 제공된다.

<24> 본 발명의 제 5 관점에 따르면, 상기 밀봉 공정에서는, 상기 수지를 트랜스퍼(transfer) 몰드법에 의해 형성하

는 제 1 내지 제 4 관점 중 어느 하나에 따른 반도체 장치의 제조 방법이 제공된다.

- <25> 본 발명에 따르면, 상기 반도체 칩의 상기 전극 패드에 상기 내부 접속 단자를 형성하고, 지지판에 배선 패턴의 모재가 되는 금속층이 설치되는 금속층을 가지는 지지판에 관통부를 형성하고, 그 후 상기 내부 접속 단자와 대향하는 부분의 상기 금속층에 도전성 단자를 형성하고, 이어서 상기 내부 접속 단자와 상기 도전성 단자가 서로 대향되도록, 상기 반도체 칩과 상기 금속층을 가지는 지지판을 서로 대향하여 배치시키고, 상기 금속층을 가지는 지지판을 상기 금속층에 가압하여, 상기 내부 접속 단자를 상기 금속층에 압착하고, 이어서 상기 반도체 칩과 상기 금속층을 가지는 지지판의 사이 부분, 및 상기 관통부를 수지로 밀봉한다. 따라서, 내부 접속 단자의 높이를 서로 동일하게 하는 공정 및 배선 패턴에 접속된 부분의 내부 접속 단자를 수지로부터 노출시키는 수지 연마 공정이 불필요하다. 결과적으로, 공정수를 삭감하는 것이 가능하다. 그러므로, 반도체 장치의 제조비용을 절감할 수 있다.
- <26> 또한, 상기 밀봉 공정 후에, 상기 지지판을 제거하고 상기 지지판의 상기 관통부에 대응하는 부분의 상기 수지에 돌출부를 형성하고, 이어서 상기 돌출부를 정렬 표시로 사용하여, 상기 배선 패턴을 형성하는 영역에 대응하는 부분의 금속층을 덮는 레지스트막을 형성하고, 그 후 상기 레지스트막을 마스크로 사용하여 상기 금속층을 에칭함으로써, 상기 배선 패턴을 형성한다. 결과적으로, 내부 접속 단자에 대해 배선 패턴이 형성되는 위치의 정밀도를 향상시킬 수 있다.
- <27> 또한, 레지스트막을 형성할 때, CCD 카메라를 포함하는 저렴한 노광 장치를 사용하여 정렬 표시가 되는 돌출부의 위치를 검출할 수 있다. 따라서, 반도체 장치의 제조비용을 절감할 수 있다.
- <28> 본 발명의 제 6 관점에 따르면, 전극 패드를 포함하는 복수의 반도체 칩, 상기 반도체 칩이 형성되는 복수의 반도체 칩 형성 영역을 가지는 반도체 기판, 상기 전극 패드에 설치된 내부 접속 단자, 및 상기 내부 접속 단자에 전기적으로 접속되는 배선 패턴을 포함하는 반도체 장치의 제조 방법이 제공되고, 상기 방법은 상기 반도체 칩의 상기 전극 패드에 상기 내부 접속 단자를 형성하는 공정과, 지지판에 금속층이 설치되는 금속층을 가지는 지지판을 준비하는 공정과, 상기 반도체 칩과 대향하는 부분의 상기 금속층을 가지는 지지판에 관통부를 형성하는 공정과, 상기 내부 접속 단자와 대향하는 부분의 상기 금속층에 도전성 단자를 형성하는 공정과, 상기 내부 접속 단자와 상기 도전성 단자가 서로 대향되도록, 상기 반도체 칩과 상기 금속층을 가지는 지지판을 서로 대향하여 배치시키는 동시에, 상기 금속층을 가지는 지지판을 가압하여 상기 내부 접속 단자를 상기 금속층에 압착하는 공정과, 상기 압착 공정 후에, 상기 반도체 칩과 상기 금속층을 가지는 지지판의 사이 부분, 및 상기 관통부를 수지로 밀봉하는 공정과, 상기 밀봉 공정 후에, 상기 지지판을 제거하고 상기 지지판의 상기 관통부에 대응하는 부분의 상기 수지에 돌출부를 형성하는 공정과, 상기 돌출부를 정렬 표시로 사용하여, 상기 금속층 상에 상기 배선 패턴을 형성하는 영역에 대응하는 부분의 개구부를 가지는 레지스트막을 형성하는 공정과, 상기 금속층을 급전층으로 사용하는 전해 도금법에 의해, 상기 개구부에 노출된 부분의 상기 금속층에 도금막을 형성하는 공정과, 상기 도금막 형성 공정 후에, 상기 레지스트막을 제거하는 공정과, 상기 도금막이 형성되지 않은 부분의 상기 금속층을 제거하여, 상기 금속층 및 상기 도금막에 의해 구성된 상기 배선 패턴을 형성하는 공정을 포함한다.
- <29> 본 발명의 제 7 관점에 따르면, 상기 관통부 형성 공정에서는, 적어도 2 개의 상기 관통부를 형성하는 제 6 관점에 따른 반도체 장치의 제조 방법이 제공된다.
- <30> 본 발명의 제 8 관점에 따르면, 상기 관통부 형성 공정에서는, 상기 관통부를 상기 배선 패턴이 형성되는 영역 이외의 영역에 대응하는 부분의 상기 금속층을 가지는 지지판에 형성하는 제 6 또는 제 7 관점에 따른 반도체 장치의 제조 방법이 제공된다.
- <31> 본 발명의 제 9 관점에 따르면, 상기 압착 공정에서는, 상기 금속층을 가지는 지지판에 형성된 상기 관통부를 정렬 표시로서 사용하여, 상기 반도체 칩과 상기 금속층을 가지는 지지판을 서로 대향하여 배치시키는 제 6 내지 제 8 관점 중 어느 하나에 따른 반도체 장치의 제조 방법이 제공된다.
- <32> 본 발명의 제 10 관점에 따르면, 상기 밀봉 공정에서는, 상기 수지를 트랜스퍼(transfer) 몰드법에 의해 형성하는 제 6 내지 제 9 관점 중 어느 하나에 따른 반도체 장치의 제조 방법이 제공된다.
- <33> 본 발명에 따르면, 상기 반도체 칩의 상기 전극 패드에 상기 내부 접속 단자를 형성하고, 지지판에 배선 패턴의 모재가 되는 금속층이 설치되는 금속층을 가지는 지지판에 관통부를 형성하고, 그 후 상기 내부 접속 단자와 대향하는 부분의 상기 금속층에 도전성 단자를 형성하고, 이어서 상기 내부 접속 단자와 상기 도전성 단자가 서로 대향되도록, 상기 반도체 칩과 상기 금속층을 가지는 지지판을 서로 대향하여 배치하고, 상기 금속층을 가지는

지지판을 가압하여, 상기 내부 접속 단자를 상기 도전성 단자에 압착하고, 이어서 상기 반도체 칩과 상기 금속 층을 가지는 지지판의 사이 부분, 및 상기 관통부를 수지로 밀봉한다. 따라서, 내부 접속 단자의 높이를 서로 동일하게 하는 공정 및 배선 패턴에 접속된 부분의 내부 접속 단자를 수지로부터 노출하는 수지 연마 공정이 불필요하다. 결과적으로, 공정수를 줄감할 수 있다. 그러므로, 결과적으로, 반도체 장치의 제조비용을 절감할 수 있다.

<34> 또한, 상기 밀봉 공정 후에, 상기 지지판을 제거하고 상기 지지판의 상기 관통부에 대응하는 부분의 상기 수지에 돌출부를 형성하고, 이어서 상기 돌출부를 정렬 표시로 사용하여, 상기 금속층 상에 상기 배선 패턴을 형성하는 영역에 대응하는 부분의 개구부를 가지는 레지스트막을 형성하고, 이어서 상기 금속층을 금전층으로 사용하는 전해 도금법을 통해, 상기 개구부에 노출된 부분의 상기 금속층에 도금막을 형성하고, 이어서 레지스트막을 제거하고, 그 후 상기 도금막이 형성되지 않는 부위의 상기 금속층을 제거하여, 상기 금속층 및 상기 도금막에 의해 구성된 상기 배선 패턴을 형성한다. 결과적으로, 내부 접속 단자에 대해 배선 패턴이 형성되는 위치의 정밀도를 향상시킬 수 있다.

<35> 또한, 레지스트막을 형성할 때, CCD 카메라를 포함하는 저렴한 노광 장치를 사용하여 정렬 표시가 되는 돌출부의 위치를 검출할 수 있다. 따라서, 반도체 장치의 제조비용을 절감할 수 있다.

효과

<36> 본 발명에 따르면, 반도체 장치의 제조비용을 절감할 수 있는 동시에, 내부 접속 단자에 대해 배선 패턴이 형성되는 위치의 정밀도를 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

<37> 이어서, 도면을 참조하여 본 발명에 따른 실시예를 설명한다.

<38> (제 1 실시예)

<39> 도 11은 본 발명의 제 1 실시예에 따른 반도체 장치를 나타내는 단면도이다.

<40> 도 11을 참조하면, 제 1 실시예에 따른 반도체 장치(10)는 반도체 칩(11), 내부 접속 단자(12), 수지 부재(13), 배선 패턴(14), 도전성 단자(16), 솔더 레지스트(17), 및 외부 접속 단자(18)를 포함한다.

<41> 반도체 칩(11)은 반도체 기판(21), 반도체 접적회로(22), 전극 패드(23) 및 보호막(24)을 포함한다. 반도체 기판(21)은 반도체 접적회로(22)를 형성하는 역할을 하고, 박형으로 된다. 반도체 기판(21)으로는, 예를 들면 실리콘으로 형성된 기판을 사용할 수 있다. 반도체 기판(21)은, 예를 들면 $100 \mu\text{m}$ 내지 $300 \mu\text{m}$ 의 두께를 가지고도록 설정될 수 있다.

<42> 반도체 접적회로(22)는 반도체 기판(21)의 표면(21A) 측에 설치된다. 반도체 접적회로(22)는 반도체 기판(21)에 형성된 확산층(도시 생략), 반도체 기판(21) 상에 적층된 절연층(도시 생략) 및 적층된 절연층에 설치되고 확산층(도시 생략)에 전기적으로 접속된 배선 패턴(도시 생략)에 의해 구성된다.

<43> 복수의 전극 패드(23)는 반도체 접적회로(22) 상에 설치된다. 전극 패드(23)는 반도체 접적회로(22) 상에 설치된 배선 패턴(도시 생략)에 전기적으로 접속된다. 전극 패드(23)의 재료로서는, 예를 들면 A1 또는 A1 합금(A1 - Si - Cu 합금)을 사용할 수 있다.

<44> 보호막(24)은 반도체 접적회로(22) 상에 설치된다. 보호막(24)은 반도체 접적회로(22)를 보호하는 역할을 한다. 보호막(24)으로는, 예를 들면 SiN 막 또는 PSG 막을 사용할 수 있다.

<45> 내부 접속 단자(12)는 전극 패드(23) 상에 설치된다. 내부 접속 단자(12)는 반도체 접적회로(22)를 배선 패턴(14)에 전기적으로 접속하는 역할을 한다. 내부 접속 단자(12)의 상단부(upper end)의 상면(12A)은 거의 평坦하다. 내부 접속 단자(12)의 상단부의 상면(12A)은 배선 패턴(14)의 하면과 접촉하여 설치된다. 결과적으로, 전극 패드(23)는 배선 패턴(14)에 전기적으로 접속된다. 또한, 내부 접속 단자(12)의 상단부의 상면(12A)은 후술하는 수지 부재 본체(13-1)(수지 부재(13)의 구성 요소 중 하나)의 상면(13-1A)과 거의 동일한 높이이다. 내부 접속 단자(12)는, 예를 들면 $30 \mu\text{m}$ 내지 $50 \mu\text{m}$ 의 높이(H_1)를 가지고도록 설정될 수 있다.

<46> 내부 접속 단자(12)로는, 예를 들면 Au 범프, Au 도금막, 무전해 도금법에 의해 형성된 Ni 막, 및 Ni 막을 덮는 Au 막에 의해 구성된 금속막을 사용할 수 있다. 내부 접속 단자(12)로서 Au 범프를 사용하는 경우, 내부 접속

단자(12)는, 예를 들면 본딩법 또는 도금법에 의해 형성될 수 있다.

<47> 도 12는 도 11에 나타낸 반도체 장치에 설치된 수지 부재를 설명하는 평면도이다. 도 12에서, 도 11에 나타낸 반도체 장치(10)와 동일 구성을 동일한 참조 부호를 가진다.

<48> 도 11 및 도 12를 참조하면, 수지 부재(13)는 수지 부재 본체(13-1) 및 돌출부(13-2)를 가진다. 수지 부재 본체(13-1)는 내부 접속 단자(12)의 측면, 내부 접속 단자(12)가 설치되지 않은 부분의 전극 패드(23)의 상면, 및 보호막(24)의 상면을 덮도록 설치된다. 수지 부재 본체(13-1)는 평면에서 볼 때, 정사각형이다. 수지 부재 본체(13-1)의 상면(131A)은 거의 평탄하다. 수지 부재 본체(13-1)의 상면(13-1A)은 내부 접속 단자(12)의 상단부의 상면(12A)과 거의 동일한 높이이다. 수지 부재 본체(13-1)의 상면(13-1A)에는 배선 패턴(14)이 형성된다. 솔더 레지스트(17)와 보호막(24) 사이에 배치된 부분의 수지 부재 본체(13-1)는, 예를 들면 30 μm 내지 50 μm 의 두께 M_1 을 가지도록 설정될 수 있다.

<49> 돌출부(13-2)는 원통형이고 수지 부재 본체(13-1)의 상면(13-1A)에 설치된다. 돌출부(13-2)는 수지 부재 본체(13-1)의 4 개의 모서리부의 근방에 각각 한 개씩 배치된다. 돌출부(13-2)는 배선 패턴(14)을 패터닝하기 위해, 후술하는 레지스터막의 노광 처리에서 정렬 표시로서 사용되는 부재이다. 돌출부(13-2)는, 예를 들면 100 μm 의 직경 R_1 을 가지도록 설정될 수 있다. 또한, 돌출부(13-2)는, 예를 들면 50 μm 의 높이 H_2 를 가지도록 설정될 수 있다. 상기 구성을 가지는 수지 부재(13)로는, 예를 들면 언더필 수지 또는 몰드 수지(예를 들면, 에폭시 수지)를 사용할 수 있다.

<50> 이와 같이, 배선 패턴(14)이 형성되는 수지 부재 본체(13-1)의 상면(13-1A)에 돌출부(13-2)를 형성함으로써, 배선 패턴(14)의 모재가 되는 금속층(수지 부재 본체(13-1)의 상면(13-1A)에 형성된 금속층)을 패터닝하기 위한 레지스트막의 노광 처리를 실시할 때, 정렬 표시로서 돌출부(13-2)를 사용하는 것이 가능하다. 결과적으로, 종래보다 레지스트막 형성 위치의 정밀도를 향상시킬 수 있다. 따라서, 내부 접속 단자(12)에 대해 배선 패턴(14)이 형성되는 위치의 정밀도를 향상시킬 수 있다.

<51> 배선 패턴(14)은 내부 접속 단자(12)의 상단부의 상면(12A)과 접촉하도록, 수지 부재 본체(13-1)의 상면(13-1A)에 설치된다. 배선 패턴(14)은 내부 접속 단자(12)를 통해 반도체 접착회로(22)에 전기적으로 접속된다. 배선 패턴(14)은 패드부(27)를 가진다. 패드부(27)는 그 위에 외부 접속 단자(18)를 설치하는 역할을 하며, 내부 접속 단자(12)로부터 이간된 위치에 배치된다. 배선 패턴(14)으로는, 예를 들면 Cu 막을 사용할 수 있다. 배선 패턴(14)으로서 Cu 막을 사용하는 경우에, 배선 패턴(14)은, 예를 들면 12 μm 의 두께를 가지도록 설정될 수 있다.

<52> 도전성 단자(16)는 내부 접속 단자(12)와 대향하는 부분의 배선 패턴(14)의 하면에 설치된다. 도전성 단자(16)는 내부 접속 단자(12)의 상단부의 측면을 덮도록 배치된다. 도전성 단자(16)는 내부 접속 단자(12)를 배선 패턴(14)에 고정하는 역할을 한다. 도전성 단자(16)로는, 예를 들면 도전성 페이스트(구체적으로는, 예를 들면 Ag 페이스트 또는 Cu 페이스트) 또는 범프(구체적으로는, 예를 들면 Au 범프 또는 Cu 범프)를 사용할 수 있다.

<53> 솔더 레지스트(17)는 패드부(27)를 제외한 부분의 배선 패턴(14) 및 돌출부(13-2)를 덮도록, 수지 부재(13) 상에 설치된다. 솔더 레지스트(17)는 패드부(27)를 노출하는 개구부(29)를 가진다.

<54> 외부 접속 단자(18)는 패드부(27) 상에 설치된다. 외부 접속 단자(18)는 마더보드 등의 실장 기판(도시 생략)에 설치된 외부 접속용 패드(도시 생략)에 접속된다. 외부 접속 단자(18)로는, 예를 들면 솔더 범프를 사용할 수 있다.

<55> 실시예의 반도체 장치에 따르면, 배선 패턴(14)이 형성되는 수지 부재 본체(13-1)의 상면(13A)에, 돌출부(13-2)를 설치한다. 결과적으로, 배선 패턴(14)의 모재가 되는 금속층(수지 부재 본체(13-1)의 상면(13-1A)에 형성된 금속층)을 패터닝하기 위한 레지스트막의 노광 처리를 실시할 때, 정렬 표시로서 돌출부(13-2)를 사용할 수 있다. 결과적으로, 종래보다도 레지스트막 형성 위치의 정밀도를 향상시킬 수 있다. 따라서, 내부 접속 단자(12)에 대해 배선 패턴(14)이 형성되는 위치의 정밀도를 향상시킬 수 있다.

<56> 또한, 배선 패턴(14)의 모재가 되는 금속층(수지 부재 본체(13-1)의 상면(13-1A)에 형성된 금속층)을 패터닝하기 위한 레지스트막(도시 생략)을 형성할 때, CCD 카메라(도시 생략)를 포함하는 저렴한 노광 장치(도시 생략)를 사용함으로써, 정렬 표시가 되는 돌출부(13-2)를 검출하는 것이 가능하다. 따라서, 반도체 장치(10)의 제조 비용을 절감할 수 있다.

<57> 또한, 본 실시예에서는, 4 개의 돌출부(13-2)를 평면에서 볼 때, 정사각형인 수지 부재 본체(13-1)의 모서리부

에 설치하는 경우를 예로 들어 설명하지만, 4 개의 돌출부(13-2)는 배선 패턴(14)이 형성되는 배선 패턴 형성 영역 이외의 영역에 대응하는 부분의 수지 부재 본체(13-1) 상에 설치될 수 있다. 이 경우, 본 실시예에 따른 반도체 장치(10)와 동일한 이점을 제공할 수 있다.

<58> 또한, 본 실시예에서는, 4 개의 돌출부(13-2)를 설치하는 경우를 예로 들어 설명하지만, 적어도 2 개의 돌출부(13-2)가 설치되어도 충분하다. 이 경우에도, 본 실시예에 따른 반도체 장치(10)와 동일한 이점을 제공할 수 있다.

<59> 도 13 내지 도 27은 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면이다. 도 28은 금 속층을 가지는 지지체에 형성된 관통부를 설명하는 평면도이다. 도 13 내지 도 28에서, 제 1 실시예에 따른 반도체 장치(10)와 동일 구성 부분은 동일한 참조 부호를 가진다. 또한, 도 18 내지 도 27에서, B는 반도체 장치(10)가 형성되는 영역(이하, "반도체 장치 형성 영역 B"이라 함)을 표시하고, C는 반도체 장치(10)를 개별 조각으로 나눌 때, 반도체 기판(35)을 절단하는 위치(이하, "절단 위치 C"라 함)를 표시한다.

<60> 도 13 내지 도 28을 참조하여, 제 1 실시예에 따른 반도체 장치의 제조 방법에 관하여 설명한다. 우선, 도 13에서 나타낸 공정에서는, 복수의 반도체 칩 형성 영역을 가지는 반도체 기판(35)에, 반도체 접적회로(22), 전극 패드(23) 및 보호막(24)을 가지는 복수의 반도체 칩(11)을 형성하고, 이어서 전극 패드(23) 상에 내부 접속 단자(12)를 형성한다(내부 접속 단자 형성 공정). 반도체 기판(35)은 후술하는 도 27에 나타내는 공정에서 절단 및 개별 조각으로 나뉘지고, 이로써 도 11을 참조하여 설명한 반도체 기판(21)으로서 역할한다. 반도체 기판(35)으로는, 예를 들면 Si 웨이퍼를 사용할 수 있다. 반도체 기판(35)은, 예를 들면 500 μm 내지 775 μm 의 두께를 가지도록 설정될 수 있다. 전극 패드(23)의 재료로는, Al 또는 Al 합금(예를 들면, Al - Si - Cu 합금)을 사용할 수 있다. 보호막(24)으로는, 예를 들면 SiN 막 또는 PSG 막을 사용할 수 있다.

<61> 내부 접속 단자(12)로는, 예를 들면 Au 범프, Au 도금막, 무전해 도금법에 의해 형성된 Ni 막, 및 Ni 막을 덮는 Au 막에 의해 구성된 금속막을 사용할 수 있다. 내부 접속 단자(12)로서 Au 범프를 사용하는 경우에, 내부 접속 단자(12)는, 예를 들면 본딩법 또는 도금법에 의해 형성될 수 있다. 이 단계에서, 내부 접속 단자(12)는 높이 편차를 가진다. 또한, 이 단계에서, 내부 접속 단자(12)의 상단부의 상면은 평坦하지 않다.

<62> 이어서, 도 14에 나타낸 공정에서는, 지지판(38)의 면(38A)에 배선 패턴(14)의 모재가 되는 금속층(39)이 부착되는 금속층을 가지는 지지판(37)을 준비한다(금속층을 가지는 지지판을 준비하는 공정). 금속층(39)은 지지판(38)으로부터 박리 가능한 상태로, 지지판(38)에 부착된다. 지지판(38)은 금속층(39)을 지지할 수 있는 판(plate) 부재이고 용이하게 박리될 수 있으면 충분하다. 구체적으로는, 지지판(38)으로는, 예를 들면 금속판(예를 들면, Cu 판), 금속박(예를 들면, Cu 박) 및 수지판을 사용할 수 있다. 지지판(38)으로 Cu박을 사용하는 경우에, 지지판(38)은, 예를 들면 35 μm 의 두께를 가지도록 설정될 수 있다. 금속층(39)으로서는, 예를 들면 Cu층을 사용할 수 있다. 금속층(39)으로서 Cu 층을 사용하는 경우에, 금속층(39)은, 예를 들면 12 μm 의 두께를 가지도록 설정될 수 있다.

<63> 이어서, 도 15에 나타낸 공정에서는, 도 13에 나타낸 반도체 칩(11)과 대향하는 부분의 금속층을 가지는 지지판(37)에 관통부(41)를 형성한다(관통부 형성 공정). 도 28에 나타낸 바와 같이, 관통부(41)는, 예를 들면 평면에서 볼 때, 정사각형인 반도체 칩(11)의 외형 위치 A의 4 개의 모서리부와 대향하는 부분의 금속층을 가지는 지지판(37)에 각각 형성된다. 관통부(41)를, 예를 들면 라우터(router) 가공, 드릴 가공 또는 프레스 가공 등의 방법에 의해 형성할 수 있다. 또한, 관통부(41)의 형상으로는 원통, 사각 기둥 또는 슬릿(홈) 형상을 이용할 수 있다(도 15에서는, 원통형인 관통부(41)를 예로 들어 나타냄). 관통부(41)가 원통형인 경우에, 관통부(41)는, 예를 들면 100 μm 의 직경 R_2 를 가지도록 설정될 수 있다.

<64> 이어서, 도 16에 나타낸 공정에서는, 도 13에 나타낸 구조체에 설치된 내부 접속 단자(12)와 대향하는 부분의 금속층(39)에 도전성 단자(16)를 형성한다(도전성 단자 형성 공정). 도전성 단자(16)로는, 예를 들면 도전성 페이스트(구체적으로는, 예를 들면 Ag 페이스트 또는 Cu 페이스트) 또는 범프(구체적으로는, 예를 들면 Au 범프 또는 Cu 범프)를 사용할 수 있다.

<65> 그 후, 도 17에 나타낸 공정에서는, 금속층을 가지는 지지판(37)에 형성된 관통부(41)를 정렬 표시로서 사용하여, 도 13에 나타낸 구조체에 설치된 내부 접속 단자(12)가 도 16에 나타낸 구조체에 설치된 도전성 단자(16)와 대향하도록, 반도체 기판(35)에 형성된 반도체 칩(11)과 금속층을 가지는 지지판(37)을 서로 대향하여 배치한다.

<66> 이어서, 도 18에 나타낸 공정에서는, 내부 접속 단자(12) 및 도전성 단자(16)를 가열(도전성 단자(16)로 Au 범

프를 사용하는 경우에, 가열 온도는, 예를 들면 180° 임)한 상태에서, 내부 접속 단자(12)의 상단부가 금속층(39)에 접촉하도록 금속층을 가지는 지지판(37)을 가압하여서, 내부 접속 단자(12)와 금속층(39)을 압착한다(도 17 및 도 18에 나타낸 공정은 압착 공정을 나타냄). 이때, 내부 접속 단자(12)의 상단부와 금속층(39)이 서로 접촉하여, 내부 접속 단자(12)의 높이를 서로 동일하게 설정할 수 있는 동시에, 내부 접속 단자(12)의 상단부의 면(12A)은 거의 평탄화된다. 압착 공정 후에 얻어진 내부 접속 단자(12)는, 예를 들면 30 μm 내지 50 μm 의 높이 H_1 을 가지도록 설정될 수 있다. 또한, 보호막(24)과 금속층(39) 사이 간격은, 예를 들면 30 μm 내지 50 μm 가 되도록 설정될 수 있다.

<67> 이와 같이, 반도체 기판(35)에 형성된 반도체 칩(11)과 금속층을 가지는 지지판(37)이 서로 대향하여 배치될 때, 정렬 표시로서 금속층을 가지는 지지판(37) 상에 형성된 관통부(41)를 사용함으로써, 내부 접속 단자(12)와 도전성 단자(16)를 고정밀도로 정렬할 수 있다. 따라서, 내부 접속 단자(12)와 도전성 단자(16)가 설치되는 부분의 금속층(39)(배선 패턴(14))의 전기적인 접속의 신뢰성을 향상시킬 수 있다.

<68> 또한, 내부 접속 단자(12) 및 도전성 단자(16)를 가열한 상태에서, 금속층을 가지는 지지판(37)를 가압하여, 내부 접속 단자(12)를 금속층(39)에 압착함으로써, 종래에 별개로 실시되는 내부 접속 단자(12)의 높이를 서로 동일하게 하는 공정, 및 내부 접속 단자(12)를 배선 패턴(14)에 접속하는 공정을 동시에 수행할 수 있다. 따라서, 반도체 장치(10)의 제조비용을 절감할 수 있다.

<69> 이어서, 도 19 나타낸 공정에서는, 반도체 기판(35)에 형성된 복수의 반도체 칩(11)과 금속층을 가지는 지지판(37)의 사이 부분, 및 관통부(41)를 수지로 밀봉한다(밀봉 공정). 수지(46)는, 상술한 도 11에 나타낸 수지 부재(13)의 모재이다. 수지(46)로서는, 예를 들면 언더필 수지 또는 몰드 수지(예를 들면, 에폭시 수지)를 사용할 수 있다.

<70> 수지(46)로서 몰드 수지를 사용하는 경우, 수지(46)를 트랜스퍼(transfer) 몰드법에 의해 형성할 수 있다. 이 경우, 도 19에 나타낸 바와 같이, 하부 금형(43)과 상부 금형(44) 사이에 도 18에 나타낸 구조체를 수용하고, 그 후 하부 금형(43)과 상부 금형(44)의 사이 부분에 수지(46)를 압입한다. 결과적으로, 반도체 칩(11)과 금속층을 가지는 지지판(37)의 사이 부분, 및 관통부(41)를 수지(46)로 밀봉한다.

<71> 또한, 트랜스퍼 몰드법을 이용하여 수지(46)를 형성하는 경우에, 상부 금형(44)과 지지판(38)이 서로 접촉하지 않도록, 상부 금형(44)과 지지판(38) 사이에 간격을 형성하는 것이 바람직하다. 이와 같이, 상부 금형(44)과 지지판(38) 사이에 간격을 형성하여서, 금속층을 가지는 지지판(37)이 상부 금형(44)에 의해 가압되지 않는다. 따라서, 배선 패턴(14)의 모재가 되는 금속층(39)이 휘는 것을 방지할 수 있다. 이 경우에, 지지판(38)의 상면을 덮도록, 수지(46)가 형성된다. 도 19에 나타낸 공정에서는, 수지 부재(13)의 모재가 되는 수지(46)를 트랜스퍼 몰드법에 의해 형성하는 경우를 예로 들어 나타낸다.

<72> 이어서, 도 20에 나타낸 공정에서는, 수지(46)가 형성되는 도 18에 나타낸 구조체로부터 도 19에 나타낸 하부 금형(43) 및 상부 금형(44)을 제거한다.

<73> 이어서, 도 21에 나타낸 공정에서는, 도 20에 나타낸 구조체에 설치된 금속층(39)으로부터 지지판(38)을 박리하고, 지지판(38)과 함께 지지판(38) 상에 형성된 수지(46)를 제거하여서, 돌출부(13-2)를 형성한다(돌출부 형성 공정). 결과적으로, 수지 부재 본체(13-1) 및 돌출부(13-2)를 포함하는 수지 부재(13)가 형성된다.

<74> 수지 부재 본체(13-1)의 두께 M_1 (보호막(24)과 금속층(39) 사이에 배치된 부분의 수지 부재 본체(13-1)의 두께)는, 예를 들면 30 μm 내지 50 μm 로 설정될 수 있다. 돌출부(13-2)는 수지 부재 본체(13-1)의 4 개의 모서리 부의 균방에 한 개씩 형성된다. 돌출부(13-2)가 원통형인 경우, 돌출부(13-2)의 직경 R_1 은, 예를 들면 100 μm 로 설정될 수 있다. 돌출부(13-2)의 높이 H_2 는, 예를 들면 50 μm 로 설정될 수 있다. 또한, 금속층(39)의 상면(39A)을 기준으로 할 때의 돌출부(13-2)의 돌출량 E 는, 예를 들면 38 μm 로 설정될 수 있다.

<75> 이어서, 도 22에 나타낸 공정에서는, 돌출부(13-2)를 정렬 표시로서 사용하여, 배선 패턴(14)이 형성되는 영역에 대응하는 부분의 금속층(39)을 덮는 레지스트막(48)을 형성한다(레지스트막 형성 공정). 레지스트막(48)은 금속층(39)을 예치하기 위한 마스크로서 가능한다. 구체적으로, 레지스트막(48)이 포지티브(positive)형 레지스트인 경우, 금속층(39) 상에 레지스트를 도포하고, 이어서 CCD 카메라(도시 생략)를 포함하는 저렴한 노광 장치(도시 생략)를 이용하여, 정렬 표시가 되는 돌출부(13-2)의 위치를 검출하고, 배선 패턴(14)이 형성되는 영역에 대응하는 부분의 레지스트에 광을 조사해서 노광 처리를 수행하고, 그 후, 노광 후에 얻어진 레지스트를 현상 처리하여 레지스트막(48)을 형성한다.

- <76> 이와 같이, 배선 패턴(14)의 모재가 되는 금속층(39)을 패터닝하기 위한 레지스트막(48)을 노광 처리할 때, 정렬 표시로서 돌출부(13-2)를 사용함으로써, 종래보다 레지스트막(48)이 형성되는 위치의 정밀도를 향상시킬 수 있다. 따라서, 내부 접속 단자(12)에 대해 배선 패턴(14)이 형성되는 위치의 정밀도를 향상시킬 수 있다.
- <77> 또한, 배선 패턴(14)의 모재가 되는 금속층(39)을 패터닝하기 위한 마스크로 기능하는 레지스트막(도시 생략)을 형성할 때, CCD 카메라(도시 생략)를 포함하는 저렴한 노광 장치(도시 생략)를 사용함으로써, 정렬 표시로 기능하는 돌출부(13-2)의 위치를 검출할 수 있다. 따라서, 반도체 장치(10)의 제조비용을 절감할 수 있다.
- <78> 이어서, 도 23에 나타낸 공정에서는, 레지스트막(48)을 마스크로 사용하여 도 22에 나타낸 금속층(39)을 예칭(구체적으로는, 예를 들면 이방성 예칭)하여, 내부 접속 단자(12)에 접속된 배선 패턴(14)을 형성한다(배선 패턴 형성 공정). 도 21 내지 도 23에서는, 배선 패턴(14)을 서브트랙티브법(subtractive method)에 의해 형성하는 경우를 예로 들어 나타낸다.
- <79> 배선 패턴(14)은 외부 접속 단자(18)가 설치되는 패드부(27)를 가진다. 배선 패턴(14)의 두께는 금속층(39)의 두께와 거의 동일하다. 배선 패턴(14)의 두께는, 예를 들면 $12 \mu\text{m}$ 로 설정될 수 있다. 이어서, 도 24에 나타낸 공정에서, 도 23에 나타낸 레지스트막(48)을 제거한다.
- <80> 이어서, 도 25에 나타낸 공정에서, 주지의 기술에 의해, 수지 부재 본체(13-1)의 상면(13-1A)에, 패드부(27)를 제외한 부분의 배선 패턴(14) 및 돌출부(13-2)를 덮는 솔더 레지스트(17)를 형성하고, 이어서 패드부(27) 상에 외부 접속 단자(18)를 형성한다. 솔더 레지스트(17)는 패드부(27)를 노출하는 개구부(29)를 가진다. 외부 접속 단자(18)로서는, 예를 들면 솔더 범프를 사용할 수 있다.
- <81> 이어서, 도 26에 나타낸 공정에서는, 도 25에 나타낸 반도체 기판(35)의 이면(35B) 측으로부터 반도체 기판(35)의 두께가 박형화된다. 구체적으로는, 반도체 기판(35)의 이면(35B) 측으로부터 반도체 기판(35)을 연마 또는 연삭함으로써, 반도체 기판(35)을 박판화한다. 결과적으로, 반도체 기판(35)의 반도체 장치 형성 영역(B)에, 반도체 장치(10)에 해당하는 구조체가 형성된다. 반도체 기판(35)의 두께를 줄이기 위해서, 예를 들면 이면 연삭기를 사용할 수 있다. 두께를 줄인 후에 얻어진 반도체 기판(35)의 두께는, 예를 들면 $100 \mu\text{m}$ 내지 $300 \mu\text{m}$ 로 설정될 수 있다.
- <82> 이어서, 도 27에 나타낸 공정에서는, 도 26에 나타낸 구조체의 절단 위치 C에 대응하는 부분을 절단한다. 결과적으로, 구조체가 개별 조각으로 나눠져서, 반도체 장치(10)가 제조된다.
- <83> 실시예에 따른 반도체 장치의 제조 방법에 따르면, 내부 접속 단자(12) 및 도전성 단자(16)를 가열한 상태에서 금속층을 가지는 지지판(37)을 가압하여, 내부 접속 단자(12)와 금속층(39)을 압착함으로써, 종래에 별개로 실시되는 내부 접속 단자(12)의 높이를 서로 동일하게 하는 공정 및 내부 접속 단자(12)를 배선 패턴(14)에 접속하는 공정을 동시에 수행하는 것이 가능하다. 따라서, 반도체 장치(10)의 제조비용을 절감할 수 있다.
- <84> 또한, 배선 패턴(14)의 모재가 되는 금속층(39)을 패터닝하기 위한 마스크로서 기능하는 레지스트막(48)을 노광 처리할 때, 정렬 표시로서 돌출부(13-2)를 사용함으로써, 종래보다 레지스트막(48)이 형성되는 위치의 정밀도를 향상시킬 수 있다. 따라서, 내부 접속 단자(12)에 대해 배선 패턴(14)이 형성되는 위치의 정밀도를 향상시킬 수 있다.
- <85> 또한, 배선 패턴(14)의 모재가 되는 금속층(39)을 패터닝하기 위한 마스크로 기능하는 레지스트막(48)을 형성할 때, CCD 카메라(도시 생략)를 포함하는 저렴한 노광 장치(도시 생략)를 사용함으로써, 정렬 표시로서 기능하는 돌출부(13-2)의 위치를 검출할 수 있다. 따라서, 반도체 장치(10)의 제조비용을 절감할 수 있다.
- <86> (제 2 실시예)
- <87> 도 29는 본 발명의 제 2 실시예에 따른 반도체 장치를 나타내는 단면도이다. 도 29에서, 제 1 실시예에 따른 반도체 장치(10)와 동일 구성 부분은 동일한 참조 부호를 가진다.
- <88> 도 29를 참조하면, 제 2 실시예에 따른 반도체 장치(50)는 제 1 실시예에 따른 반도체 장치(10)에 배치된 배선 패턴(14)(서브트랙티브법을 이용하여 형성된 배선 패턴)을 대신하여 배선 패턴(51)을 설치한 것을 제외하면, 반도체 장치(50)와 동일한 구성을 가진다.
- <89> 배선 패턴(51)은 금속층(54) 및 도금막(55)이 적층되는 구성을 가진다. 배선 패턴(51)은 외부 접속 단자(18)가 설치되는 패드부(52)를 가진다. 금속층(54)은 내부 접속 단자(12)의 상단부의 상면(12A) 및 수지 부재 본체(13-1)의 상면(13-1A)에 설치된다. 금속층(54)의 하면은 내부 접속 단자(12)의 상단부의 상면(12A)과 접촉하여

설치된다. 금속층(54)의 하면에는 내부 접속 단자(12)를 금속층(54)에 접속하기 위한 도전성 단자(16)가 설치된다. 금속층(54)은 도금막(55)을 형성기 위한 급전층이다. 금속층(54)으로는, 예를 들면 Cu 층을 사용할 수 있다. 금속층(54)로서 Cu층을 사용하는 경우에, 금속층(54)은, 예를 들면 2 μm 내지 3 μm 의 두께를 가지도록 설정될 수 있다.

<90> 도금막(55)은 금속층(54) 상에 적층된다. 도금막(55)으로는, 예를 들면 Cu도금막을 사용할 수 있다. 도금막(55)으로 Cu 도금막을 사용하는 경우, 도금막(55)은, 예를 들면 10 μm 의 두께를 가지도록 설정될 수 있다. 도금막(55)은, 예를 들면 전해 도금법에 의해 형성될 수 있다. 상기의 구성을 가지는 배선 패턴(51)은, 예를 들면 세미애디티브법(semiadditive method)에 의해 형성될 수 있다.

<91> 상기의 구성을 가지는 제 2 실시예에 따른 반도체 장치(50)는 제 1 실시예에 따른 반도체 장치(10)와 동일한 이점을 제공할 수 있다.

<92> 도 30 내지 도 37은 본 발명의 제 2 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면이다. 도 30 내지 도 37에서, 제 2 실시예에 따른 반도체 장치(50)와 동일 구성 부분은 동일한 부호를 가진다.

<93> 도 30 내지 도 37을 참조하면, 제 2 실시예에 따른 반도체 장치(50)의 제조 방법을 설명한다. 우선, 제 1 실시예에서 설명한 도 13에 나타낸 바와 동일한 공정을 수행하여, 복수의 반도체 칩 형성 영역을 가지는 반도체 기판(35)에, 반도체 접적회로(22), 전극 패드(23) 및 보호막(24)을 가지는 복수의 반도체 칩(11)을 형성하고, 이어서 전극 패드(23) 상에 내부 접속 단자(12)를 형성한다(내부 접속 단자 형성 공정).

<94> 이어서, 도 30에 나타낸 공정에서, 지지판(38)의 면(38A)에 도금막(55)(도 29 참조)을 형성하기 위한 급전층으로 기능하는 금속층(54)을 부착하는 금속층을 가지는 지지판(57)을 준비한다(금속층을 가지는 지지판을 준비하는 공정). 금속층(54)은 지지판(38)으로부터 박리 가능한 상태로 지지판(38)에 부착된다. 지지판(38)은 금속층(54)을 지지 가능한 것이면 충분하다. 구체적으로, 지지판(38)으로는, 예를 들면 금속판(예를 들면, Cu 판), 금속박(예를 들면, Cu 박) 및 수지판을 사용할 수 있다. 지지판(38)으로서 Cu 박을 사용하는 경우, 지지판(38)은, 예를 들면 35 μm 의 두께를 가지도록 설정될 수 있다. 금속층(54)으로는, 예를 들면 Cu 층을 사용할 수 있다. 금속층(54)으로서 Cu 층을 사용하는 경우, 금속층(54)은, 예를 들면 2 μm 내지 3 μm 의 두께를 가지도록 설정될 수 있다.

<95> 이어서, 도 31에 나타낸 공정에서, 제 1 실시예에서 설명한 도 13에 나타낸 반도체 칩(11)과 대향하는 부분의 금속층을 가지는 지지판(57)에 관통부(41)를 형성한다(관통부 형성 공정). 관통부(41)는, 예를 들면 평면에서 볼 때, 정사각형인 반도체 칩(11)의 외형 위치 A의 4 개의 모서리부와 대향하는 부분의 금속층을 가지는 지지판(37)에 한 개씩 형성된다. 관통부(41)는, 예를 들면 라우터 가공, 드릴 가공 또는 프레스 가공 등의 방법을 이용하여 형성될 수 있다. 또한, 관통부(41)의 형상으로는 원통, 4 각 기둥 또는 슬릿(홈) 형상을 이용할 수 있다. 관통부(41)를 원통형으로 한 경우에, 관통부(41)의 직경 R_2 는, 예를 들면 100 μm 로 설정될 수 있다.

<96> 이어서, 도 32에 나타낸 공정에서, 제 1 실시예에서 설명한 도 13에 나타낸 구조체에 설치된 내부 접속 단자(12)와 대향하는 부분의 금속층(54)에 도전성 단자(16)를 형성한다(도전성 단자 형성 공정). 도전성 단자(16)로는, 예를 들면 도전성 페이스트(구체적으로는, 예를 들면 Ag 페이스트 또는 Cu 페이스트) 또는 범프(구체적으로는, 예를 들면 Au 범프 또는 Cu 범프)를 사용할 수 있다.

<97> 그 후, 도 33에 나타낸 공정에서, 제 1 실시예에서 설명한 도 17 내지 도 21에 나타낸 공정(압착 공정, 밀봉 공정 및 돌출부 형성 공정을 포함)과 동일한 처리를 수행하여, 도 33에 나타낸 구조체를 형성한다. 압착 공정 후에 얻어지는 내부 접속 단자(12)의 높이 H_1 은, 예를 들면 30 μm 내지 50 μm 로 설정될 수 있다. 또한, 보호막(24)과 금속층(39) 사이의 간격은, 예를 들면 30 μm 내지 50 μm 로 설정될 수 있다. 수지 부재 본체(13-1)의 두께 M_1 은, 예를 들면 30 μm 내지 50 μm 로 설정될 수 있다. 돌출부(13-2)는 수지 부재 본체(13-1)의 4 개의 모서리부의 근방에 한 개씩 배치된다. 돌출부(13-2)가 원통형인 경우, 돌출부(13-2)의 직경 R_1 은, 예를 들면 100 μm 로 설정될 수 있다. 돌출부(13-2)의 높이 H_2 는, 예를 들면 50 μm 로 설정될 수 있다. 또한, 금속층(39)의 상면(39A)을 기준으로 했을 때, 돌출부(13-2)의 돌출량 E는, 예를 들면 48 μm 로 설정될 수 있다.

<98> 이어서, 도 34에서 나타낸 공정에서, 돌출부(13-2)를 정렬 표시로 사용하여, 배선 패턴(51)이 형성되는 영역(구체적으로는, 배선 패턴(51)의 구성요소 중 하나인 도금막(55)이 형성되는 영역)에 대응하는 부분에 개구부(61A)를 가지는 레지스트막(61)을 수지 부재(13) 및 금속층(54) 상에 형성한다(레지스트막 형성 공정). 구체적으로는, 레지스트막(61)이 포지티브형 레지스트인 경우에, 레지스트를 도포한 후, 노광 장치(도시 생략)를 통해

노광 처리를 실시할 때, CCD 카메라(도시 생략)를 포함하는 저렴한 노광 장치(도시 생략)를 통해, 정렬 표시가 되는 돌출부(13-2)를 사용하여 배선 패턴(51)이 형성되는 영역에 대응하는 부분의 레지스트에 광을 조사하여 노광 처리를 수행하고, 그 후, 노광 후에 얻어진 레지스트를 현상 처리함으로써, 개구부(61A)를 가지는 레지스트 막(61)을 형성한다. 레지스트막(61)은 배선 패턴(51)이 형성되는 영역에 대응하는 부분의 금속층(54) 상에만 도금막(55)을 형성하기 위한 마스크이다.

<99> 이와 같이, 배선 패턴(51)의 모재가 되는 금속층(54)을 패터닝하기 위한 레지스트막(61)을 노광 처리할 때, 정렬 표시로서 돌출부(13-2)를 사용함으로써, 배선 패턴(51)이 형성되는 영역(구체적으로는, 배선 패턴(51)의 구성요소 중 하나인 도금막(55)이 형성되는 영역)에 대응하는 부분에 형성된 레지스트막(61)의 개구부(61A)가 형성되는 위치의 정밀도를 향상시킬 수 있다. 따라서, 내부 접속 단자(12)에 대해 배선 패턴(51)이 형성되는 위치의 정밀도를 향상시킬 수 있다.

<100> 또한, 배선 패턴(51)의 모재가 되는 금속층(54)을 패팅닝하기 위한 마스크로서 기능하는 레지스트막(61)을 형성 할 때, CCD 카메라(도시 생략)를 포함하는 저렴한 노광 장치(도시 생략)를 이용함으로써, 정렬 표시로서 기능하는 돌출부(13-2)의 위치를 검출하는 것이 가능하다. 따라서, 반도체 장치(50)의 제조비용을 절감할 수 있다.

<101> 이어서, 도 35에 나타낸 공정에서, 금속층(54)을 급전층으로 하는 전해 도금법을 통해, 개구부(61A)에 노출된 부분의 금속층(54) 상에 도금막(55)을 형성한다(도금막 형성 공정). 도금막(55)으로는, 예를 들면 Cu 도금막을 사용할 수 있다. 도금막(55)으로서 Cu 도금막을 사용하는 경우에, 도금막(55)은, 예를 들면 10 μm 의 두께를 가지도록 설정될 수 있다.

<102> 이어서, 도 36에 나타낸 공정에서, 도 35에 나타낸 레지스트막(61)을 제거한다(레지스트막 제거 공정). 이어서, 도 37에 나타낸 공정에서, 도금막(55)이 형성되지 않는 부분의 금속층(54)을 제거하고, 금속층(54) 및 도금막(55)에 의해 구성된 배선 패턴(51)을 형성한다(배선 패턴 형성 공정).

<103> 그 후, 제 1 실시예에서 설명한 도 25 내지 도 27에 나타낸 공정과 동일한 처리를 수행하여서, 반도체 장치(50)가 제조된다.

<104> 본 실시예의 반도체 장치의 제조 방법에 따르면, 배선 패턴(51)의 모재가 되는 금속층(54)을 패터닝하기 위한 레지스트막(61)을 노광 처리하기 위한 정렬 표시로서 돌출부(13-2)를 사용한다. 결과적으로, 배선 패턴(51)이 형성되는 영역(구체적으로는, 배선 패턴(51)의 구성 요소 중 하나인 도금막(55)이 형성되는 영역)에 대응하는 부분에 레지스트막(61)의 개구부(61A)가 형성되는 위치의 정밀도를 향상시킬 수 있다. 따라서, 내부 접속 단자(12)에 대해 배선 패턴(51)이 형성되는 위치의 정밀도를 향상시킬 수 있다.

<105> 또한, 배선 패턴(51)의 모재가 되는 금속층(54)을 패팅닝하기 위한 마스크로 기능하는 레지스트막(61)을 형성할 때, CCD 카메라(도시 생략)를 포함하는 저렴한 노광 장치(도시 생략)를 사용함으로써, 정렬 표시가 되는 돌출부(13-2)의 위치를 검출할 수 있다. 따라서, 반도체 장치(50)의 제조비용을 절감할 수 있다.

<106> 이상, 본 발명에 따른 바람직한 실시예를 상세하게 설명했지만, 본 발명은 특정 실시예에 한정되는 것이 아니라, 특허청구범위에 기재된 본 발명의 범주로부터 일탈하지 않고, 다양하게 변형 및 변경될 수 있다.

<107> 본 발명은 전극 패드를 포함하는 반도체 칩과, 전극 패드에 설치된 내부 접속 단자, 및 내부 접속 단자에 전기적으로 접속되는 배선 패턴을 포함하는 반도체 장치의 제조 방법에 적용될 수 있다.

도면의 간단한 설명

<108> 도 1은 종래의 반도체 장치를 나타내는 단면도.

<109> 도 2는 종래의 반도체 장치의 제조 공정을 나타내는 도면(제 1).

<110> 도 3은 종래의 반도체 장치의 제조 공정을 나타내는 도면(제 2).

<111> 도 4는 종래의 반도체 장치의 제조 공정을 나타내는 도면(제 3).

<112> 도 5는 종래의 반도체 장치의 제조 공정을 나타내는 도면(제 4).

<113> 도 6은 종래의 반도체 장치의 제조 공정을 나타내는 도면(제 5).

<114> 도 7은 종래의 반도체 장치의 제조 공정을 나타내는 도면(제 6).

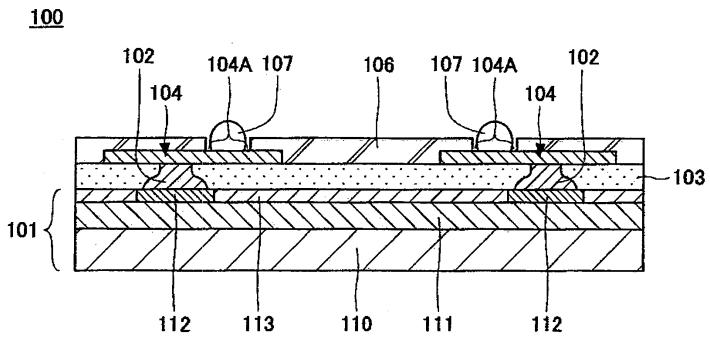
<115> 도 8은 종래의 반도체 장치의 제조 공정을 나타내는 도면(제 7).

- <116> 도 9는 종래의 반도체 장치의 제조 공정을 나타내는 도면(제 8).
- <117> 도 10은 종래의 반도체 장치의 제조 공정을 나타내는 도면 (제 9).
- <118> 도 11은 본 발명의 제 1 실시예에 따른 반도체 장치를 나타내는 도면.
- <119> 도 12는 도 11에 나타낸 반도체 장치에 설치된 수지 부재를 설명하기 위한 평면도.
- <120> 도 13은 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 1).
- <121> 도 14는 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 2).
- <122> 도 15는 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 3).
- <123> 도 16은 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 4).
- <124> 도 17은 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 5).
- <125> 도 18은 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 6).
- <126> 도 19는 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 7).
- <127> 도 20은 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 8).
- <128> 도 21은 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 9).
- <129> 도 22는 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 10).
- <130> 도 23은 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 11).
- <131> 도 24는 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 12).
- <132> 도 25는 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 13).
- <133> 도 26은 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 14).
- <134> 도 27은 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 15).
- <135> 도 28은 금속층을 가지는 지지판에 형성된 관통부를 설명하기 위한 평면도.
- <136> 도 29는 본 발명의 제 2 실시예에 따른 반도체 장치를 나타내는 단면도.
- <137> 도 30은 본 발명의 제 2 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 1).
- <138> 도 31은 본 발명의 제 2 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 2).
- <139> 도 32는 본 발명의 제 2 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 3).
- <140> 도 33은 본 발명의 제 2 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 4).
- <141> 도 34는 본 발명의 제 2 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 5).
- <142> 도 35는 본 발명의 제 2 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 6).
- <143> 도 36은 본 발명의 제 2 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 7).
- <144> 도 37은 본 발명의 제 2 실시예에 따른 반도체 장치의 제조 공정을 나타내는 도면(제 8).
- <145> * 도면의 주요 부분에 대한 부호의 설명 *
- | | |
|-----------------------|-----------------|
| <146> 10, 50 : 반도체 장치 | 11 : 반도체 칩 |
| <147> 12 : 내부 접속 단자 | 13 : 수지 부재 |
| <148> 13-1 : 수지 부재 본체 | 13-1A : 상면 |
| <149> 13-2 : 돌출부 | 14, 51 : 배선 패턴 |
| <150> 16 : 도전성 단자 | 17 : 솔더 레지스트 |
| <151> 18 : 외부 접속 단자 | 21, 35 : 반도체 기판 |

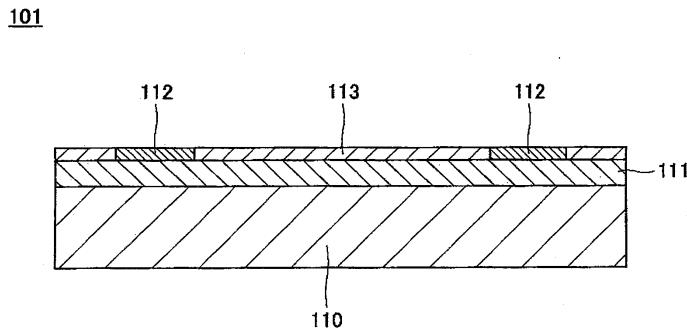
<152>	21A : 표면	22 : 반도체 접적회로
<153>	23 : 전극 패드	24 : 보호막
<154>	27, 52 : 패드부	29, 61A : 개구부
<155>	35B : 이면	37 : 금속층을 가지는 지지판
<156>	38 : 지지판	38A : 면
<157>	39, 54 : 금속층	39A : 상면
<158>	41 : 관통부	43 : 하부 금형
<159>	44 : 상부 금형	46 : 수지
<160>	48, 61 : 레지스트막	55 : 도금막
<161>	A : 외형 위치	B : 반도체 장치 형성 영역
<162>	C : 절단 위치	E : 돌출량
<163>	H ₁ , H ₂ : 높이	M ₁ : 두께
<164>	R ₁ , R ₂ : 직경	

도면

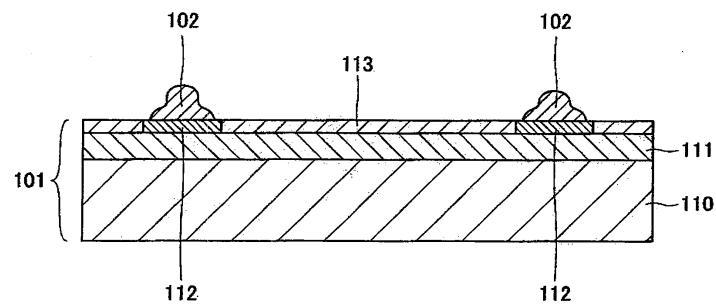
도면1



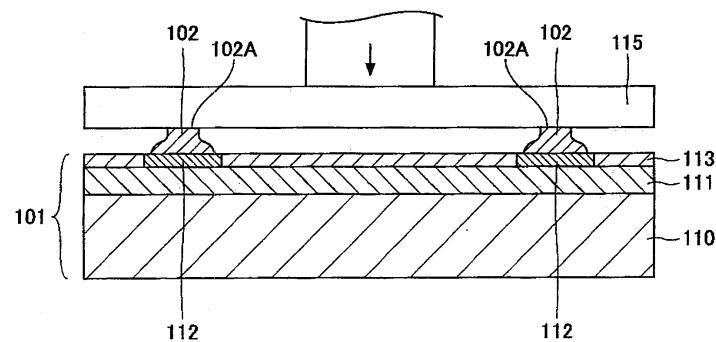
도면2



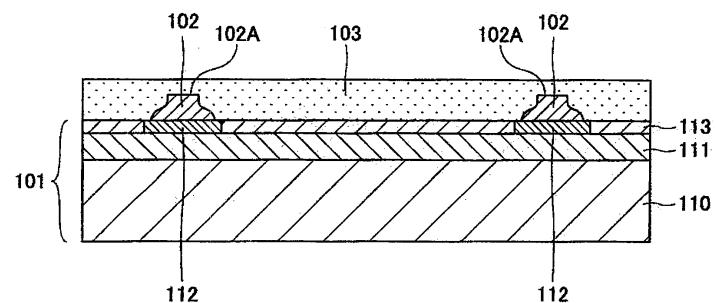
도면3



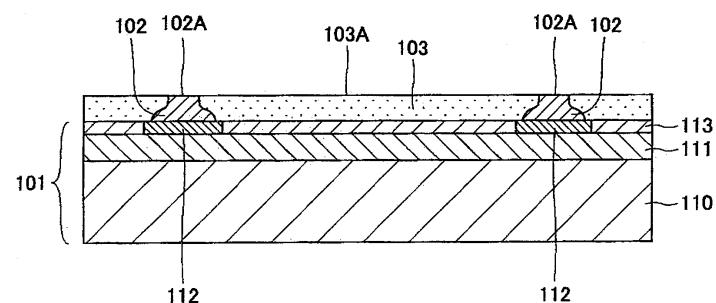
도면4



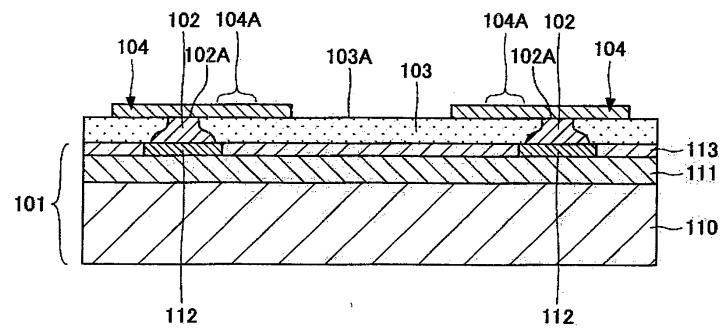
도면5



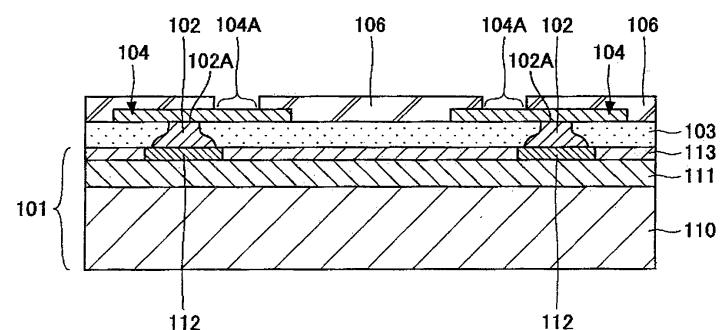
도면6



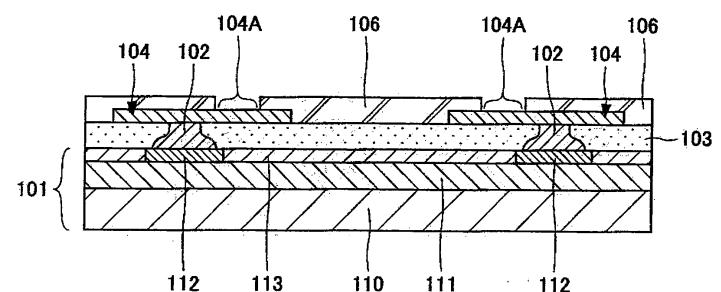
도면7



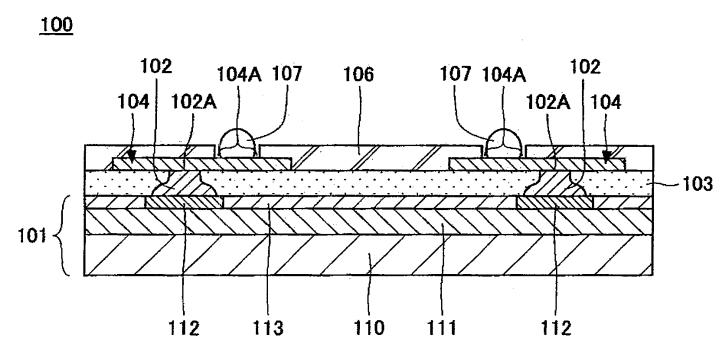
도면8



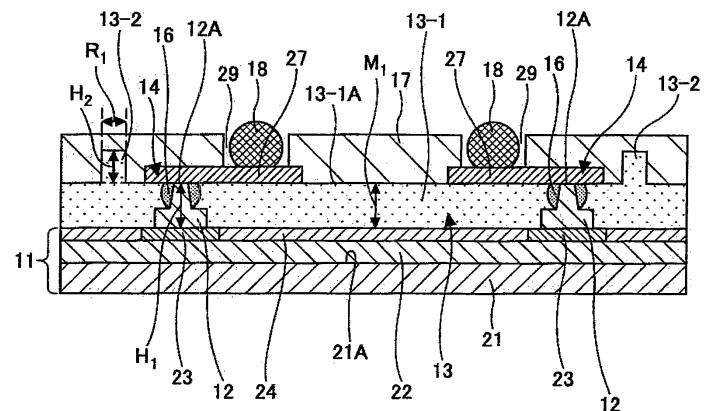
도면9



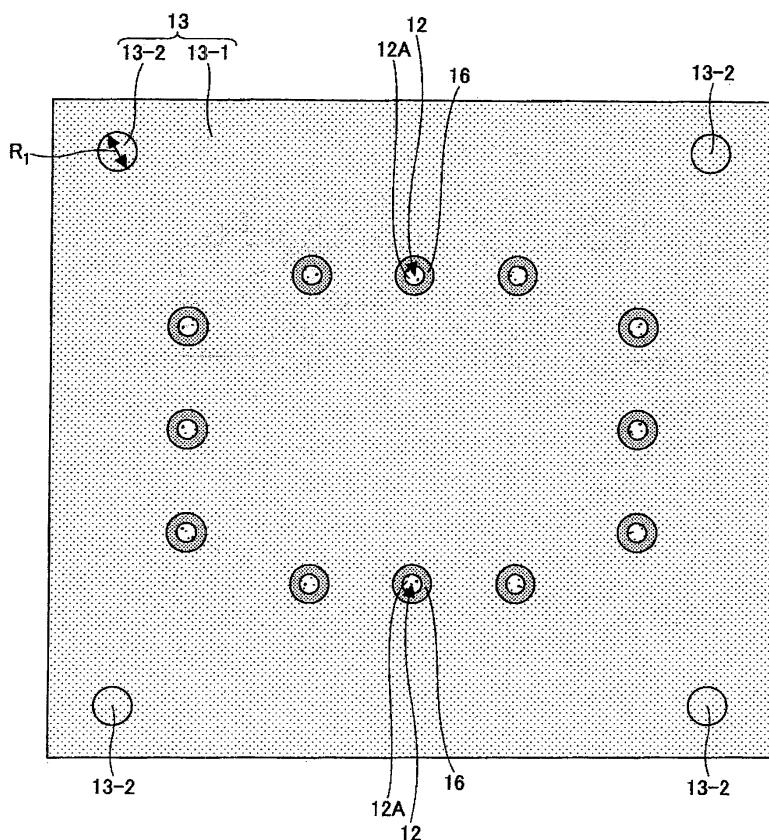
도면10



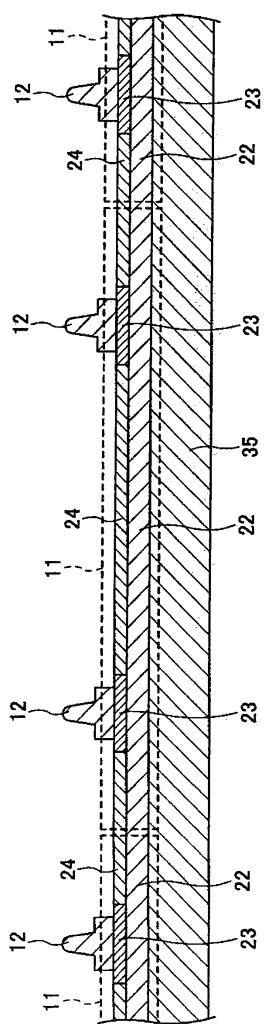
도면11

10

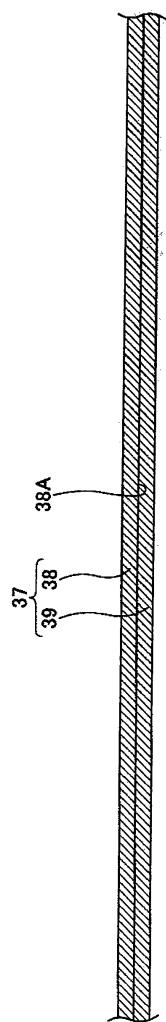
도면12



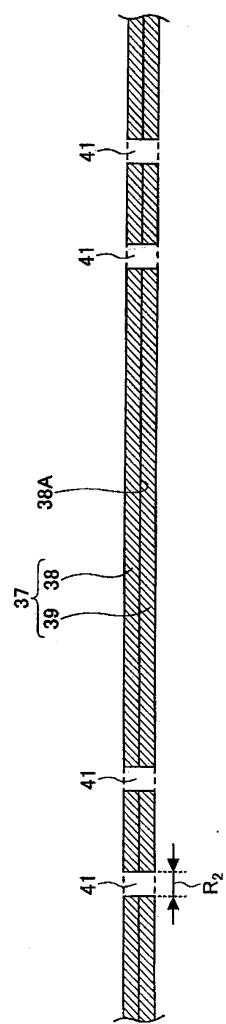
도면13



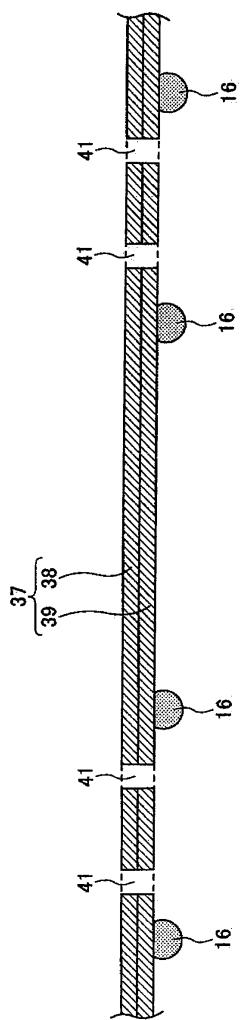
도면14



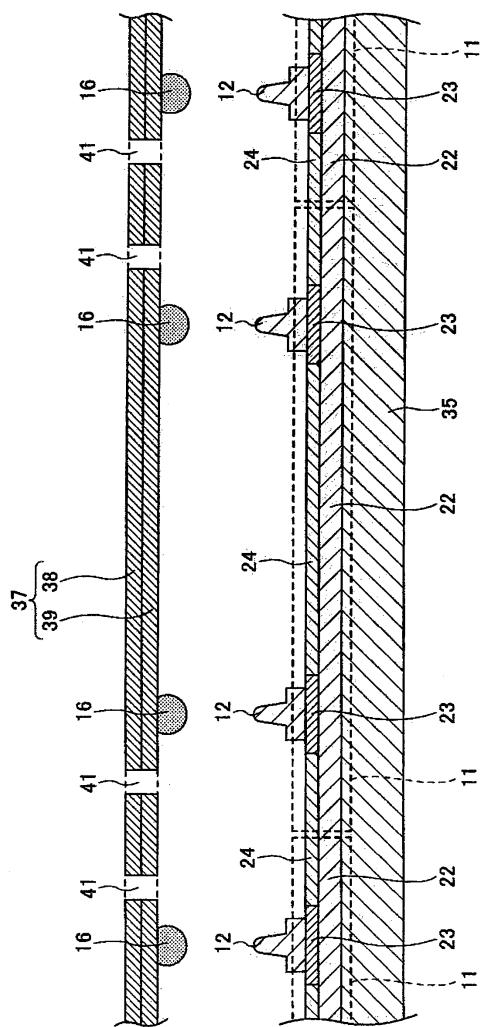
도면15



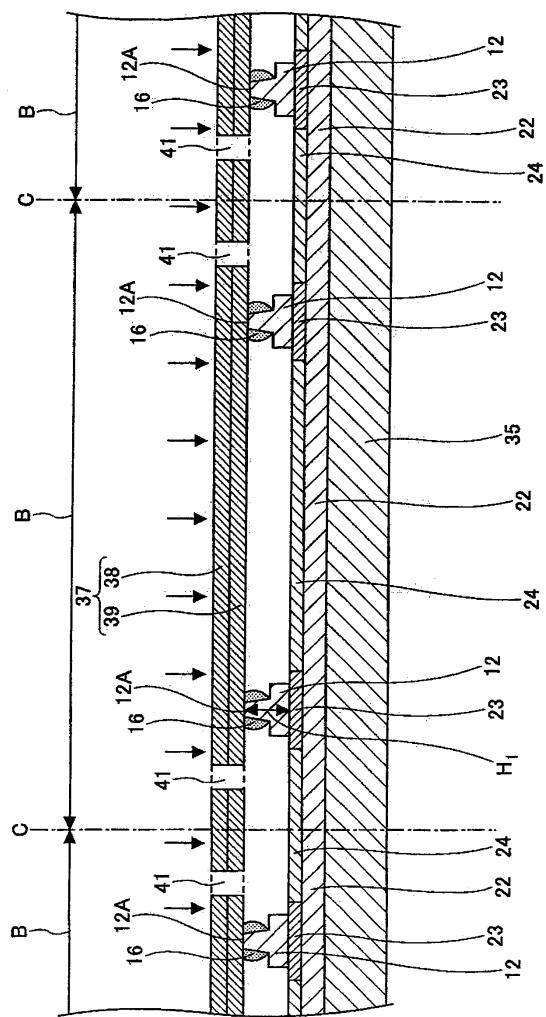
도면16



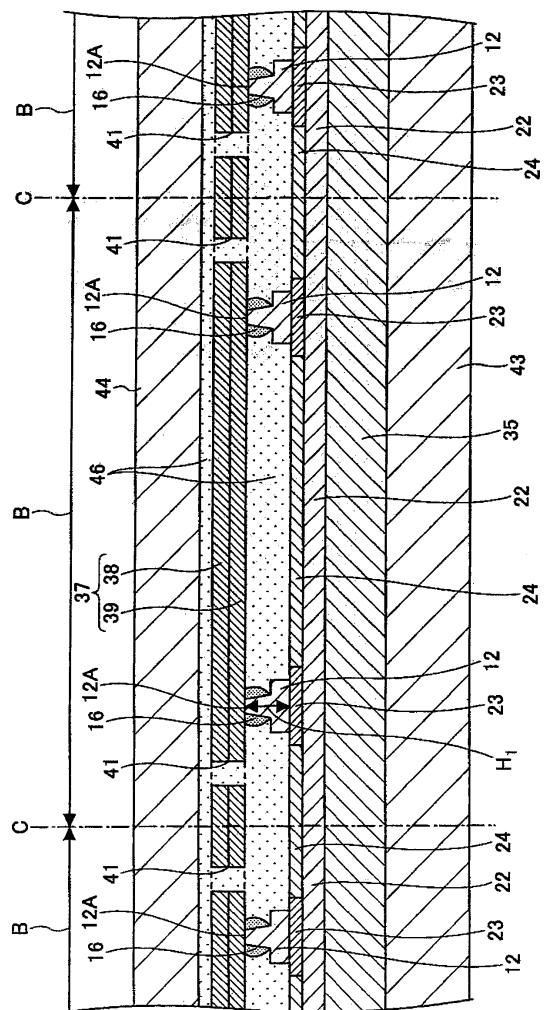
도면17



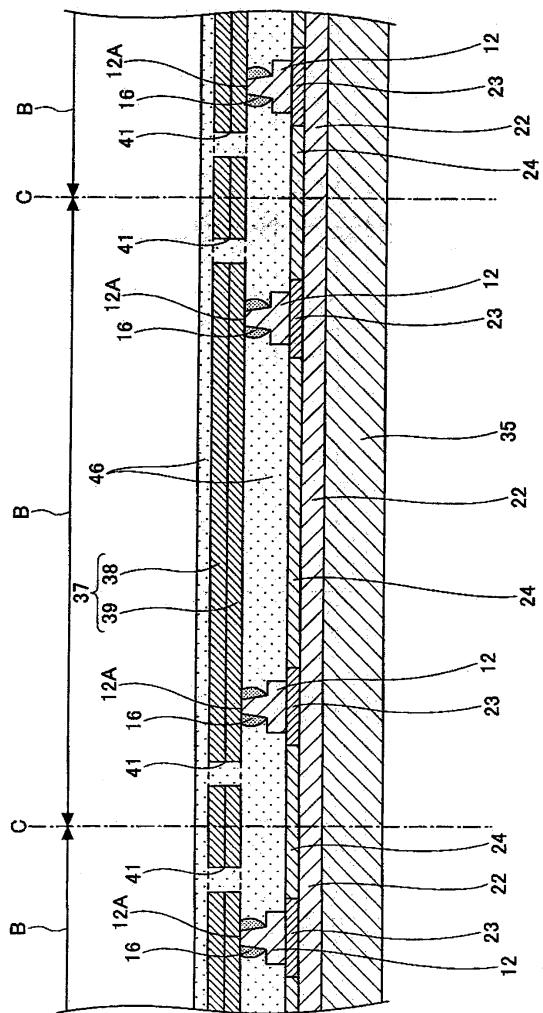
도면18



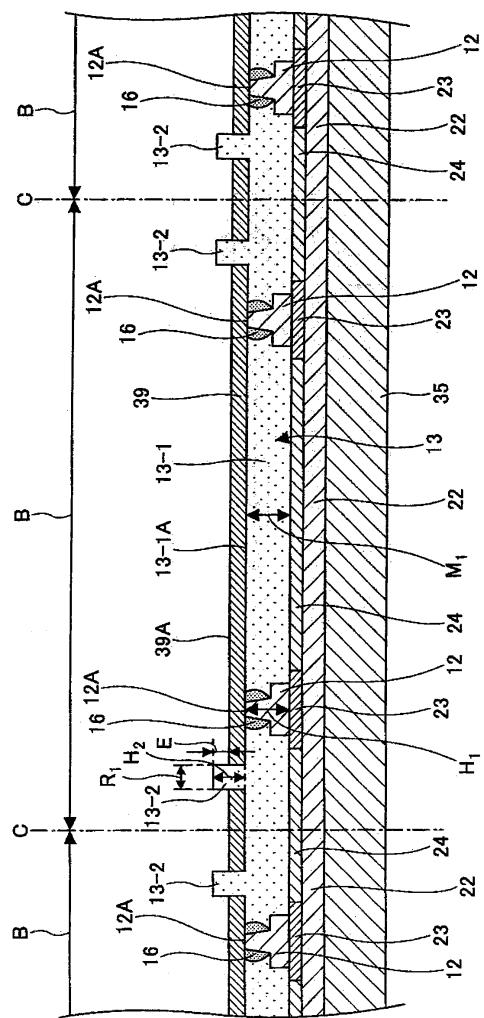
도면19



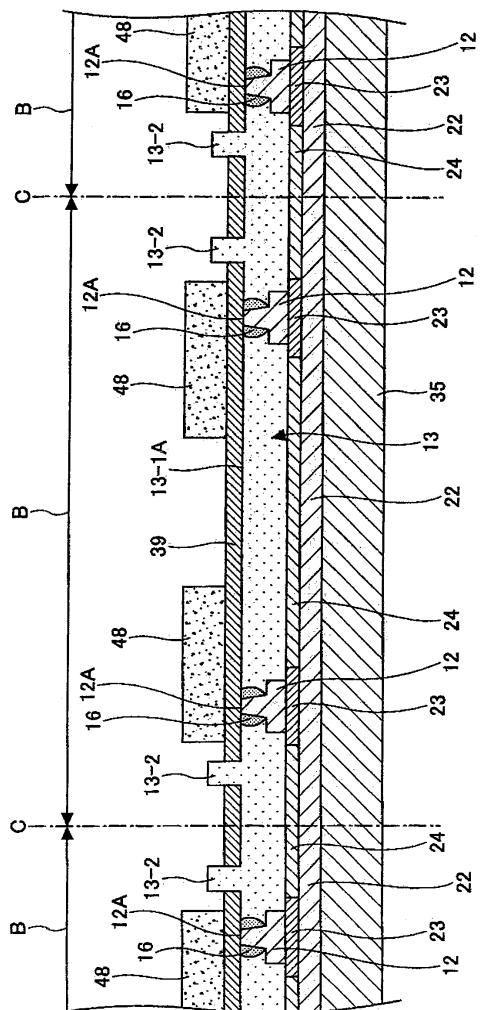
도면20



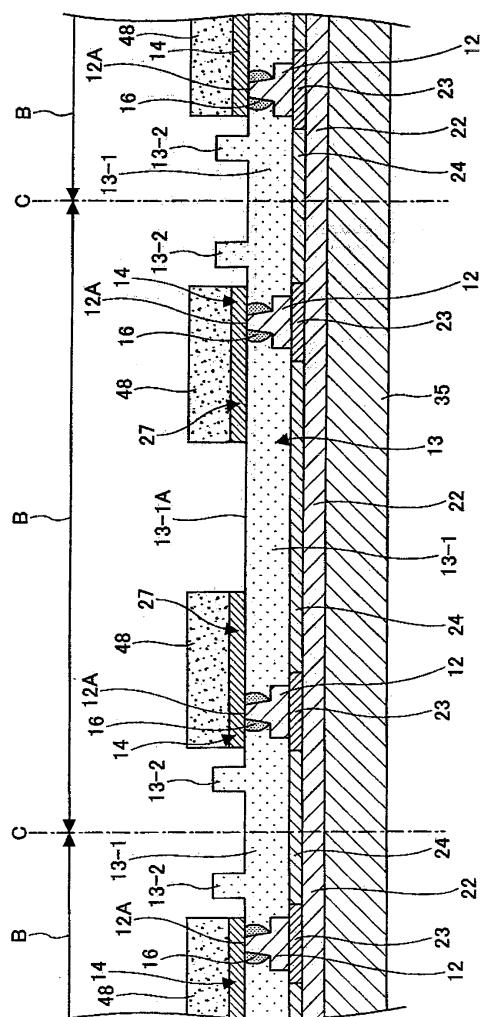
도면21



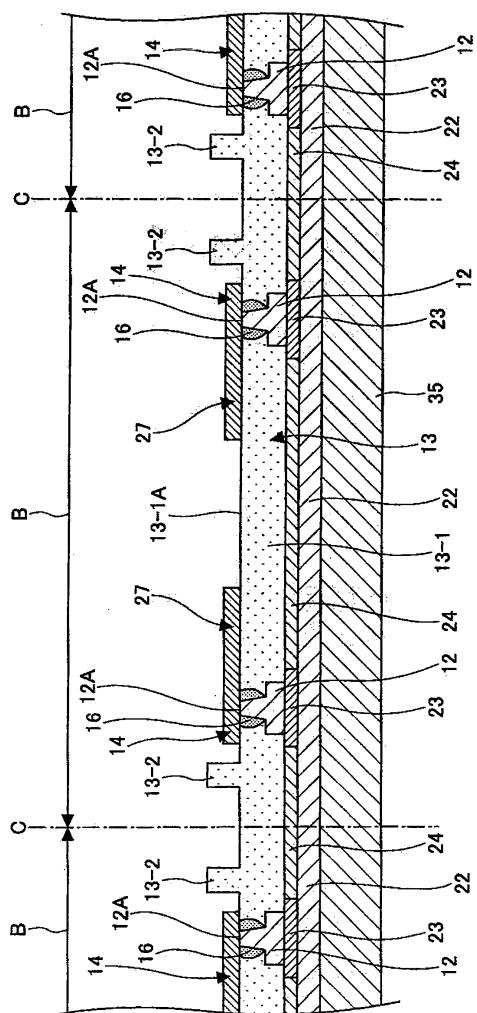
도면22



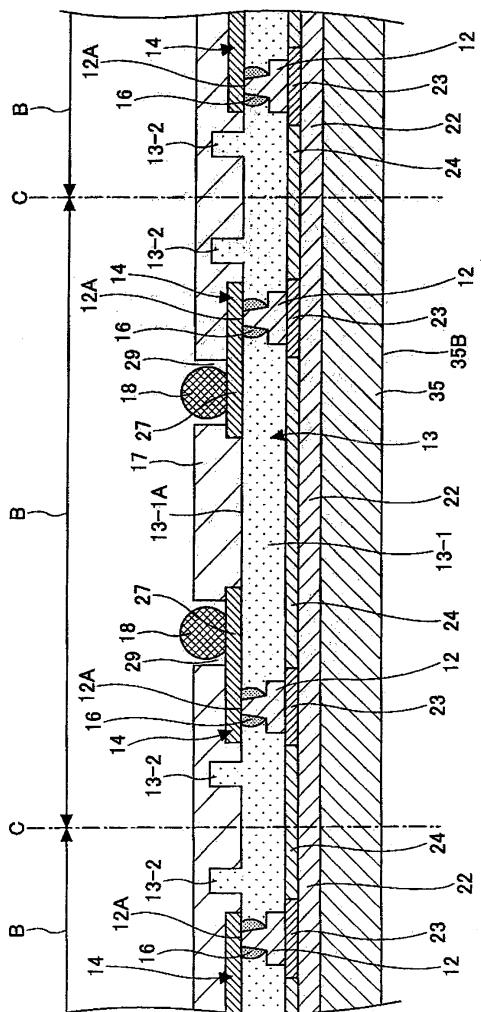
도면23



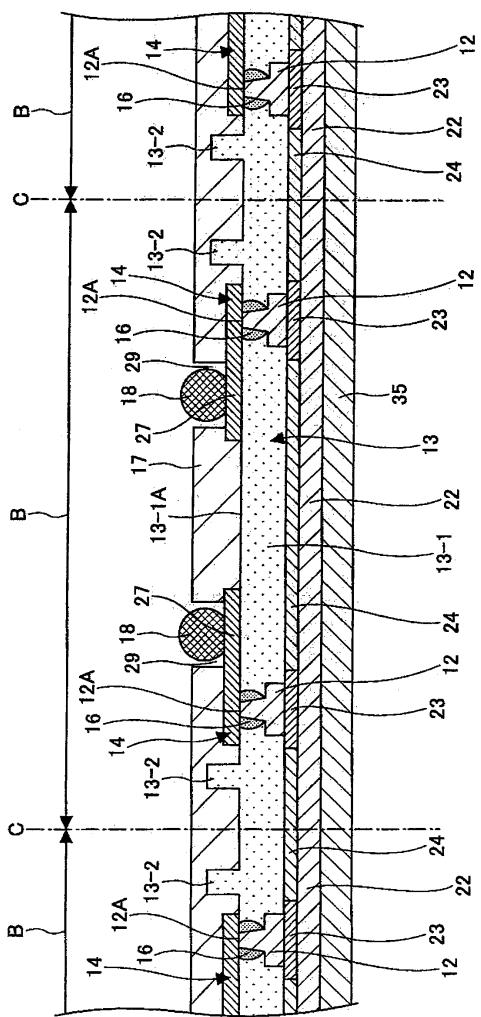
도면24



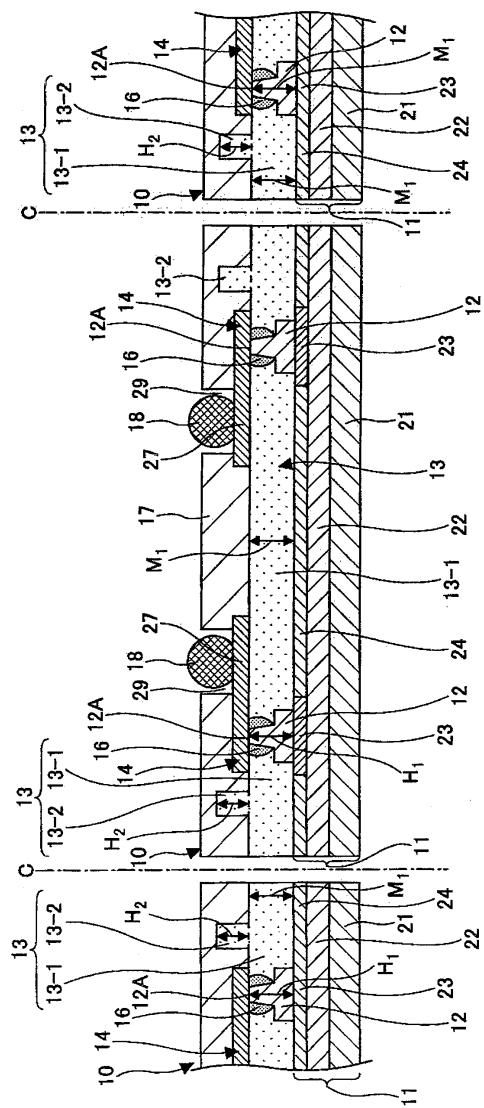
도면25



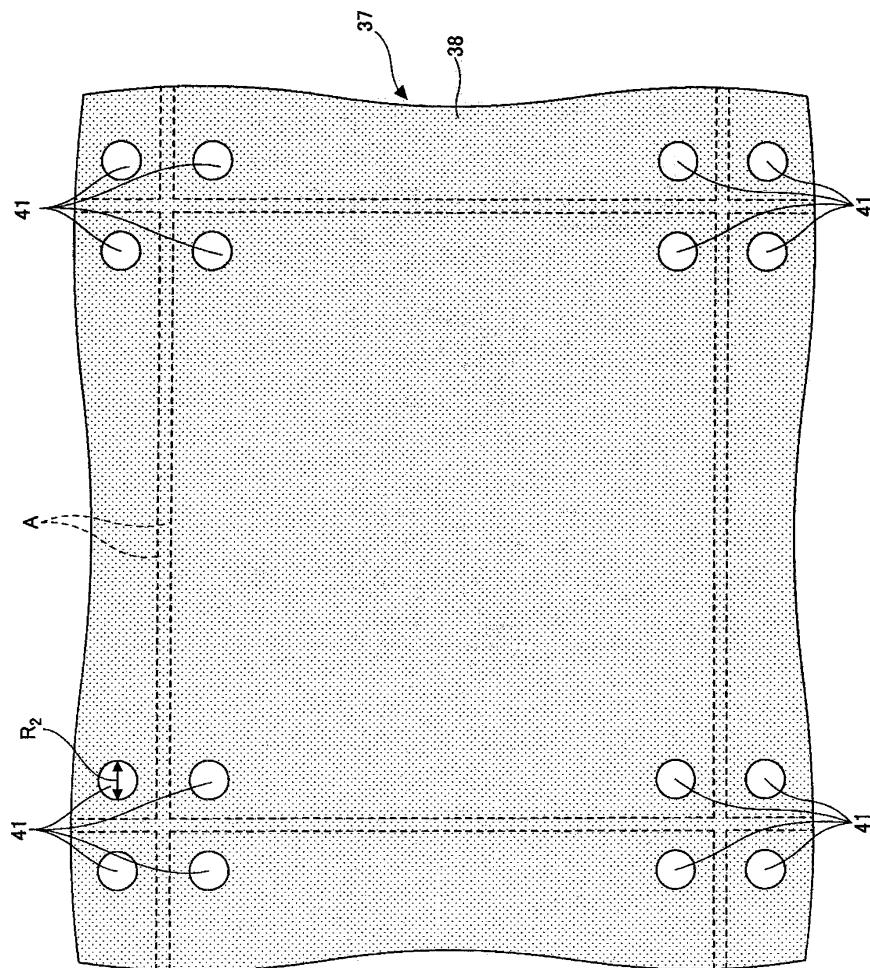
도면26



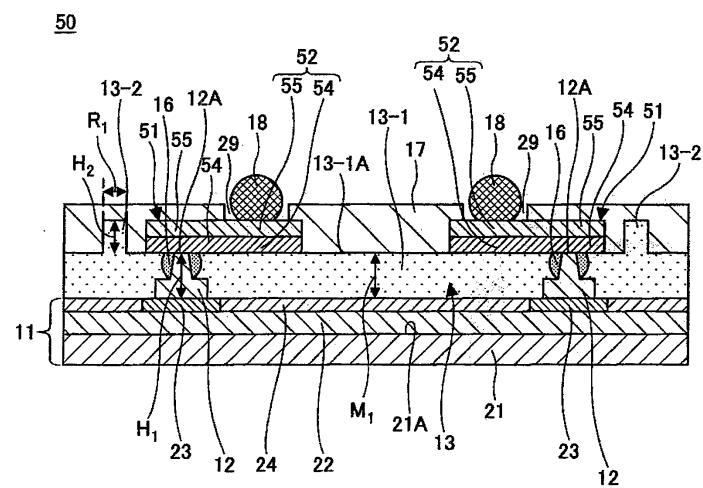
도면27



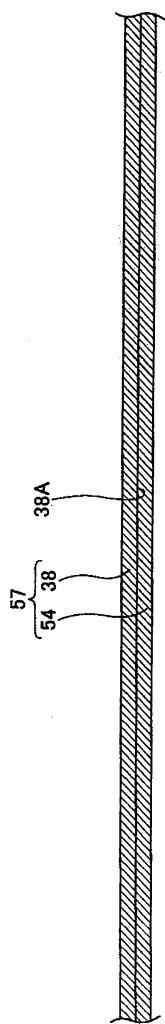
도면28



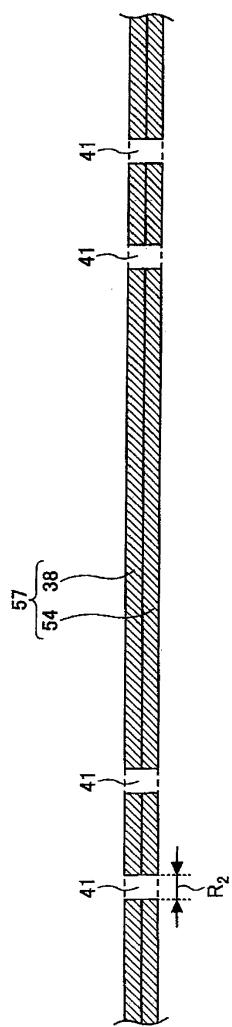
도면29



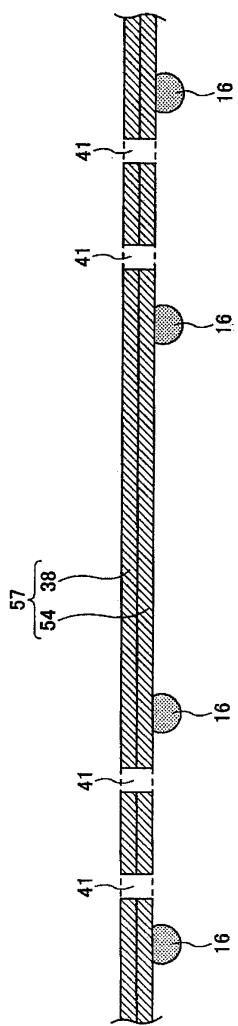
도면30



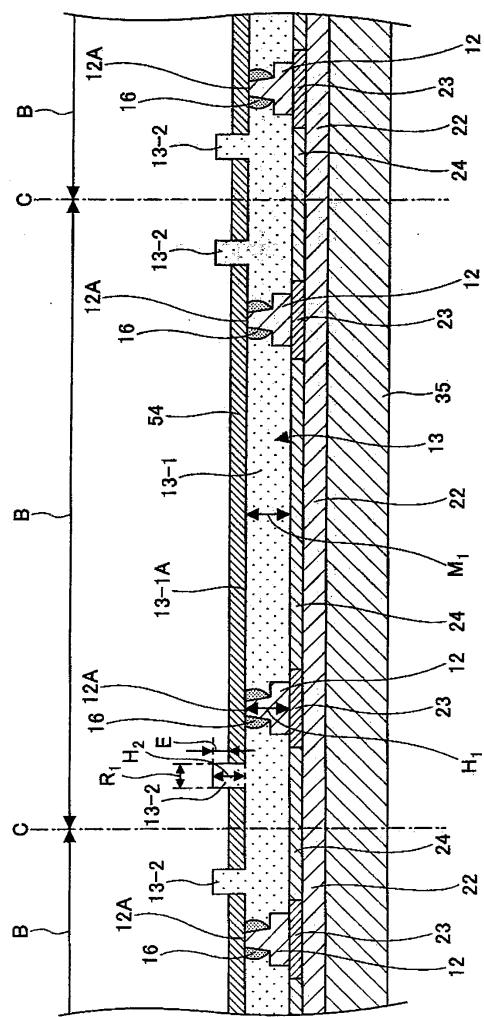
도면31



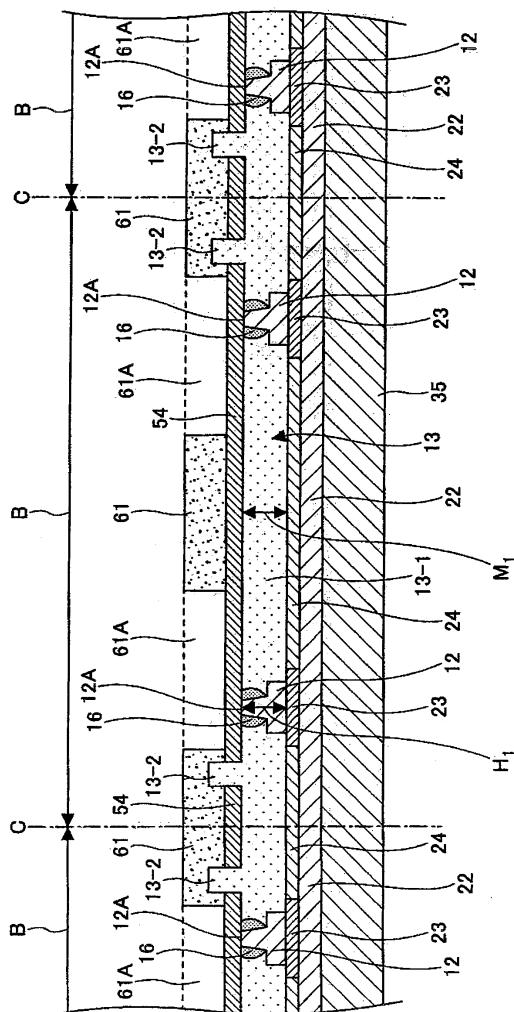
도면32



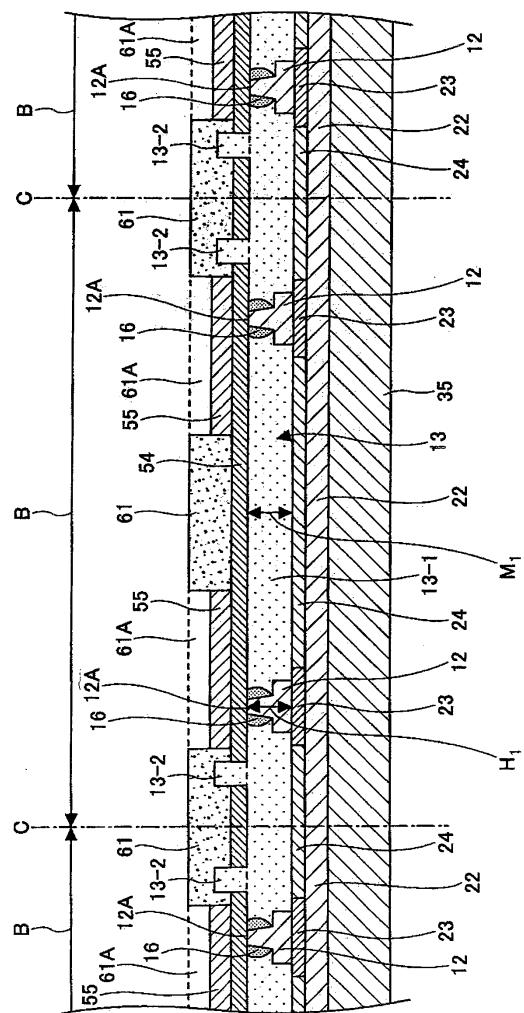
도면33



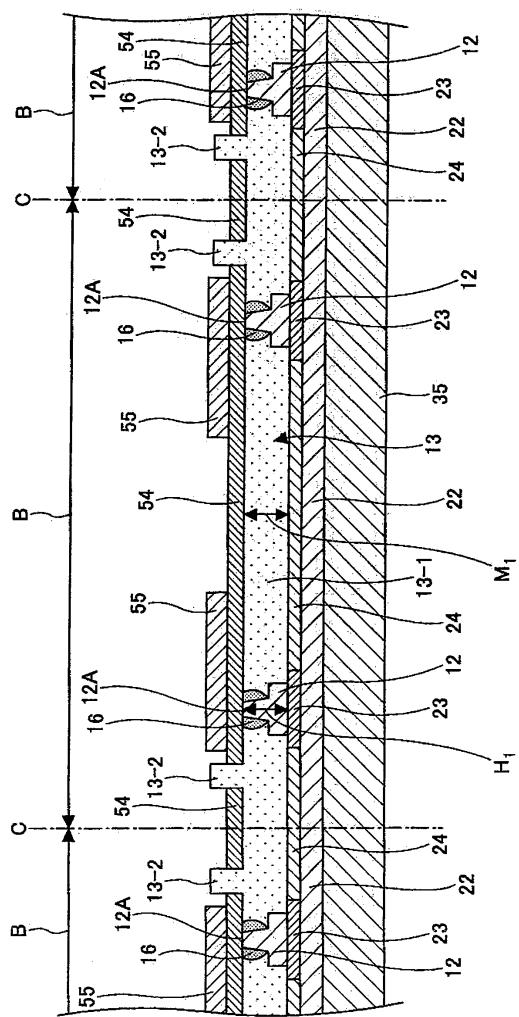
도면34



도면35



도면36



도면37

