

[19]中华人民共和国专利局

[51]Int.Cl⁶

H03L 7/113



[12] 发明专利说明书

[21] ZL 专利号 94192327.4

[45]授权公告日 1998 年 2 月 25 日

[11] 授权公告号 CN 1037563C

[22]申请日 94.4.19 [24]颁证日 97.12.12

[21]申请号 94192327.4

[30]优先权

[32]93.4.20 [33]GB[31]9308141.2

[32]93.6.4 [33]GB[31]9311560.8

[73]专利权人 RCA汤姆森许可公司

地址 美国新泽西州

[72]发明人 D·J·索尔 W·罗达

E·R·坎贝尔

[74]专利代理机构 中国专利代理(香港)有限公司

代理人 董巍 王忠忠

[56]参考文献

US5,159,292A 1992.10.27 H03L7/08

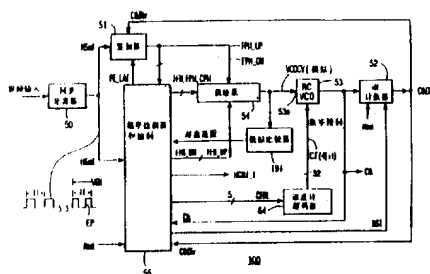
审查员 朱世定

权利要求书 2 页 说明书 25 页 附图页数 16 页

[54]发明名称 具有在交替周期内进行误差测量和校正的锁相环

[57]摘要

在锁相环电路中, 频率检测器在交替的行周期内测量振荡信号与同步信号之间的频率误差, 以便产生频率误差指示信号, 把频率误差指示信号以防止测量和校正频率误差在同一行周期内出现的方式加到振荡器上, 以便在其它交替行周期内校正该频率误差。



权 利 要 求 书

1.一种用来产生锁定于同步信号上的振荡信号的设备, 包括:

频率与水平扫描频率有关的所述同步信号的源;

用来产生所述振荡信号的可控振荡器;

响应于所述振荡信号和同步信号, 用来测量这两个信号之间有关周期的误差, 并且用来产生表示所述误差的信号的检测器, 把所述误差指示信号耦合到所述振荡器上, 以便当所述误差超过第一数值时, 用来改变所述振荡信号的周期, 改变所述振荡信号的所述周期和测量所述误差交替地出现在不迭盖的周期内; 其特征在于:

当所述频率误差超过大于所述第一数值的第二数值时, 用来以粗的频率校正方式控制所述设备; 并且, 当所述频率误差超过所述第一数值但不超过所述第二数值时, 用来以细的频率校正方式控制所述设备的装置; 以及

响应于所述振荡信号和同步信号, 用来测量这两个信号之间的相位误差, 以产生表示所述相位误差的信号的鉴相器, 把所述相位误差指示信号耦合到所述振荡器的控制输入端上, 以便当所述频率误差不超过所述第一数值时, 用来改变所述振荡信号的相位, 改变所述振荡信号的所述相位和测量所述相位误差同时出现。

2.根据权利要求1的一种设备, 其特征在于所述检测器包括频率检测器; 其中, 所述有关周期的误差是频率误差; 并且其中, 所述频率误差指示信号改变所述振荡信号的频率。

3.根据权利要求2的一种设备, 其特征在于频率测量出现在每一对行周期的给定对内; 其中, 改变所述振荡信号出现在所述对之间的期间内, 该期间的长度等于行周期长度的整数倍。

4.根据权利要求 2 的一种设备, 其特征在于所述频率检测器包括, 用来测量所述振荡信号周期的长度与所述同步信号周期的长度之比, 并且用来产生表现出所述比值的信号的装置; 以及用来响应于表现出所述振荡信号所述周期的所述长度与所述同步信号所述周期的所述长度之预期比的信号, 根据所述比值之间的差别, 产生所述频率误差指示信号的装置。

说明书

具有在交替周期内进行误差测量和校正的锁相环

本发明涉及用来产生时钟信号的装置。

用于电视接收机和录像机信号源的、具有诸如在屏幕上显示文本和画中画之类特点的数字视频信号处理系统，可能需要相位锁定于行同步信号上的时钟信号，这种时钟信号称为行锁定时钟。为了产生行锁定时钟，形成锁相环(PLL)，用作大规模 CMOS 视频信号处理集成电路中的结构单元，可能是有利的。在这样的 PLL 中，具有抖动小于 2ns、范围为 25~40MHz 的时钟频率，可能是合乎理想的。这样的 PLL 中，离开芯片的各分量只利用一条引出腿，可能是合乎理想的。NTSC、PAL 和 SECAM 中的每一种制式都利用该 PLL 系统，可能也是合乎理想的。

利用在没有时基校正的廉价用户录像机中遇到的输入同步信号来操作 PLL，可能也是有利的，在这样的录像机中，行同步的相位可能周期性地发生显著变化，以致时钟信号跟踪于这样的同步信号。迅速地减小相位和频率误差，并且，当 PLL 进入相位锁定时使过调节和抖动为最小，可能是更合乎理想的。另外，PLL 能够鉴别输出时钟相位/频率的真误差、与噪声脉冲串混杂在输入行同步信号中或者同步脉冲偶然丢失所引起的误差，可能是合乎理想的。

实施本发明一个特点的 PLL 系统利用对 RC 压控振荡器进行数字和模拟控制，使输出时钟相对于输入行同步信号达到和保

持相位锁定。取决于输出时钟相位和频率误差的大小和一改性,系统自动地选择灵敏度不同的例如5种操作控制方式之一。操作的控制方式使得大误差形成大的、或粗的校正动作,小误差形成小的、或细的校正动作。频率检测器测量振荡器输出信号与行同步信号之间的频率误差,以便当频率误差超过第一数值时,以频率误差控制的操作方式来操作PLL。当频率误差不超过第一数值时,PLL以相位误差控制的操作方式操作。

根据本发明的另一个特点,在频率误差控制的操作方式下,测量频率误差出现在交替行周期内。而用来校正频率误差的、改变振荡器的频率出现在其它交替行周期内。频率误差的测量和校正有利地出现在不选盖的行周期内。结果使反馈环更稳定、更可控。另一方面,在相位误差校正的操作方式下,校正相位误差和测量相位误差同时出现在同一个行周期内。

实施本发明一个特点,用来产生振荡信号的设备包括,频率与行扫描频率有关的同步信号的源。提供了用来产生振荡信号的可控振荡器。通过利用响应于振荡信号和同步信号的检测器,测量这两个信号之间有关周期的误差,并且,产生表现出该误差的信号。把误差指示信号耦合到振荡器上,以便当误差超过第一数值时,用来改变振荡信号的周期。改变振荡信号的周期和测量误差,交替地出现在不选盖的周期内。

图1示出实施本发明一个方面的锁相环(PLL)的方框图;

图2A、2B和2C示出图1的PLL中可编程序切换的RC压控振荡器的详细原理图;

图3示出图2A~2C振荡器中的切换电容器装置;

图 4 示出在说明图 2A~2C 装置时有用的波形;
图 5 示出在说明图 1 中 PLL 的操作时有用的流程图;
图 6、7A 和 7B 示出图 1 中 PLL 的各部分较详细的图;
图 8 为在说明图 1 中解码器的操作时有用的表;
图 9a~9c 为在说明图 1 中 PLL 的操作时有用的波形;
图 10 示出图 1 中 PLL 的供给泵原理图;
图 11 示出图 1 中 PLL 的鉴相器详细原理图;
图 12a~12g 示出在说明图 11 中鉴相器操作时有用的波形;
以及
图 13a~13d 示出在说明图 1 中 PLL 的供给泵操作时有用的波形。

图 1 示出实施本发明一个方面的锁相环电路 (PLL) 100 的方框图。把例如从电视接收机视频检波器 (图中未示出) 得到的基带视频信号 VIDEO-IN (视频输入), 耦合到传统的同步分离器 50 上, 该同步分离器 50 产生频率为行偏转频率 f_H 、具有周期 H 的行同步信号 HSRef, 该行偏转频率 f_H 例如在 NTSC 标准中为 15734Hz。

通过把可编程序阻容 (RC) 型压控振荡器 (RCVCO) 53 中产生的、PLL 100 的输出信号 Clk 分频, 在可编程序 N 分频计数器 52 的输出端上产生了振荡信号 ClkDiv。输出信号 Clk 可用于电视接收机中视频信号处理的很多级 (图中未示出) 上。在稳态操作下, 信号 Clk 的频率等于 Nf_H 。数值 N 表示信号 Clk 的频率与信号 ClkDiv 的频率之比。数值 N 是可选的, 其范围为 750~2600, 数值 N 由恒定的数字字信号 Nset 来提供, 把 Nset 耦合到计数器 52

上,以便在信号 ClkDiv 的每一个周期内对计数器 52 预置一次。

图 2A、2B 和 2C 示出图 1 中 RCVCO 53 的原理图。在图 1 和 2A~2C 中,相同的符号和数字表示相同的器件或功能。图 2B 的 RCVCO 53 包括由一对晶体管 MP9 和 MP10 形成的差分放大器 531。电流源晶体管 MP8 在每一个晶体管 MP9 中产生相应的源极电流。放大器 531 包括晶体管 MP9 和 MP10 各自的负载电阻 R5 和 R6。类似地,图 2C 的差分放大器 532 由晶体管 MP11、MP12 和 MP13 以及负载电阻 R7 和 R8 形成。把在放大器 531 的负载电阻 R5 和 R6 上产生的一对信号 X_{2a} 和 X_{1a} , 分别通过一对额定地产生相同相移的 RC 延时网络 533a 和 533b, 耦合到晶体管 MP12 和 MP13 的控制极上。在粗的频率校正操作方式下,网络 533a 或 533b 产生的相移是可控的,正如以后将要说明的那样。该相移部分地决定了信号 Clk 的振荡频率。

延时网络 533a 包括电阻 R1A 和不切换电容器 C1A。还把切换电容器组 SWA (0) 耦合到电容器 C1A 上。在电容器 C1A 与电阻 R1A 的连接端 TA (0) a 上,产生了已延时信号 TA (0)。把信号 TA (0) 通过电阻 R2A 耦合到电容器 C2A 上。还把切换电容器组 SWA (1) 耦合到电容器 C2A 上。在电容器 C2A 上,产生了已延时信号 TA (1)。信号 TA (1) 已相对于信号 TA (0) 延时。类似地,网络 533b 包括电阻 R1B、电容器 C1B 和产生信号 TB (0) 的组 SWB (0)。网络 533b 包括电阻 R2B、电容器 C2B 和产生信号 TB (1) 的组 SWB (1)。

把在放大器 532 的负载电阻 R7 和 R8 上分别产生的、图 2c 的一对信号 Y1 和 Y2, 分别通过额定地产生相同相移的 RC 延时

网络 534b 和 534a 耦合起来。网络 534a 和 534b 以类似于网络 533a 和 533b 的方式操作。网络 534a 包括电阻 R3A、电容器 C3A 和产生延时信号 TA (2) 的组 SWA (2)。把信号 TA (2) 通过电阻 R4A 耦合到电容器 C4A 上, 并且, 耦合到产生已延时信号 TA (3) 的组 SWA (3) 上。把信号 TA (3) 通过电阻 R5A 和电容器 C5A 进一步延时, 以产生已进一步延时的信号 TA (4)。类似地, 延时网络 534b 包括分别类似于电阻 R3A、R4A 和 R5A 的电阻 R3B、R4B 和 R5B, 以及分别类似于电容器 C3A、C4A 和 C5A 的电容器 C3B、C4B 和 C5B。网络 534b 产生分别类似于信号 TA (2)、TA (3) 和 TA (4) 的已延时信号 TB (2)、TB (3) 和 TB (4)。

把信号 TB (3) 和 TA (3) 分别耦合到图 2A 中模拟乘法器 535 的一对晶体管 MP3 和 MP2 的控制极上。类似地, 把已分别相对于信号 TB (3) 和 TA (3) 延时的信号 TB (4) 和 TA (4), 分别耦合到图 2A 中乘法器 533 的一对晶体管 MP7 和 MP6 的控制极上。

在乘法器 535 中, 晶体管 MP2 和 MP3 形成具有可控增益的差分放大器 535a。类似地, 晶体管 MP6 和 MP7 形成具有可控增益的差分放大器 535b。放大器 535a 和 535b 的增益, 按照形成差分放大器 535c 的一对晶体管 MP1 和 MP2 所产生漏极电流的变化, 沿相反方向变化。晶体管 MP1 和 MP2 的漏极电流, 按照晶体管 MP1 与 MP5 控制极之间的电压差, 沿相反方向变化。

在晶体管 MP1 的控制极上, 产生了恒定的直流基准电压 VREF。在图 2A 中晶体管 MP5 的控制极上产生了在图 1 的供给泵控制极 54 中产生的控制输出信号 VCOCV, 以便在细的误差校正操作方式下控制信号 Clk 的频率/相位, 正如以后将要说明的那

样。

把晶体管 MP2 的漏极耦合到晶体管 MP6 的漏极上,以产生和信号 X1。在一对并联耦合的负载电阻 R10 和 R12 上产生了信号 X1,把信号 X1 耦合到图 2B 中放大器 531 的晶体管 MP10 的控制极上。类似地,把图 2A 中晶体管 MP3 的漏极耦合到晶体管 MP7 的漏极上,以产生和信号 X2。在一对负载电阻 R11 和 R13 上产生了信号 X2,把信号 X2 耦合到图 2B 中放大器 531 的晶体管 MP9 的控制极上。

通过晶体管 MP2 的信号增益,例如以与通过晶体管 MP6 相反的方式而改变。信号 X1 的相移由一对信号的矢量和来决定,这对信号具有分别由晶体管 MP2 与 MP6 中漏极电流之间所产生的相位差。这样,当耦合到放大器 535c 上的模拟信号 VCOCV 以渐进方式变化时,信号 X1 的相移以细的或渐进的方式而变化。类似地,信号 X2 的相移也按照信号 VCOCV,以细的或渐进的方式而变化。相对于信号 X2,信号 X1 额定地处于反相位。改变信号 X1 或 X2 的相移使 RCVCO 53 和信号 Clk 的振荡频率改变,正如以后将要说明的那样。

使信号 Clk 实现宽的频率范围(例如 25~40MHz),并且,把 RC 延时网络中的容限、温度变化和老化补偿掉,可能是合乎理想的。RC 延时网络利用集成电路制造技术在 RCVCO 53 中形成。

在粗的频率校正操作方式下,可以步进地提高或降低 RCVCO 53 的频率。例如,在上电以后,粗的频率校正方式可以立刻出现。为了提供粗的频率校正方式,提供了上述 4 个切换电容器组 SWA (i)。假定,指定切换电容器组的参数“i”为 0~3 的 4 个

值。把切换电容器组 SWA (i) 耦合到产生信号 TA (i) (参看前述) 的 4 个相应端子上。这样, 把给定的组 SWA (i) 耦合到由同一个“i”值指定的信号 TA (i) 的相应端子上。类似地, 把上述 4 个切换电容器组 SWB (i) 耦合到产生信号 TB (i) (参看前述) 的相应 4 个端子上。用同样的方法, 假定参数“i”为 0~3 的值。

每一个组 SWA (i), 例如图 2B 的组 SWA (0) 包括 8 个并联耦合的切换电容器装置。一个给定组 SWA (i) 的给定切换电容器装置由图 3 所示, 与相应电容器 CA (4j + i) 串联耦合的晶体管开关 SA (4j + i) 形成。在图 1、2A~2C 和 3 中, 相同的符号和数字表示相同的器件或功能。对于图 2B 和 2C 的一个给定组 SWA (i), 参数 j 有选择地假定为 0~7 这 8 个值之一。

把图 3 中给定的晶体管开关 SA (4j + i) 与相应电容器 CA (4j + i) 串联耦合起来, 使得“i”值对开关 SA (4j + i) 和对电容器 C (4j + i) 是共同的, “j”值对它们也是共同的。类似地, 图 2B 和 2C 的每一个组 SWB (i) 包括 8 个并联耦合的晶体管、切换电容器装置, 正如例如组 SWA 那样。每一个这样的 8 个装置由与电容器 CB (4j + i) 串联耦合的、图 3 的晶体管开关 SB (4j + i) 形成。

在图 2B 和 2C 中, 由共同“i”值指定的每一对组 SWA (i) 和 SWB (i) [正如例如组 SWA (0) 和 SWB (0) 那样] 内, 8 个控制信号 CF (4j + i) 控制相应的也是由共同“i”值和共同“j”值指定的 8 对晶体管开关 SA (4j + i) 和 SB (4j + i)。信号 CF (4j + i) 以以后将要描述的方式产生。这样, 总共 32 对开关 SA (4j + i) 和 SB (4j + i) 分别由 32 个控制信号 CF (4j + i) 控制。对于图 3 中给定的一对开关 SA (4j + i) 和 SB (4j + i), 以及对于控制这样的开关对的控制信号

CF (4j + i), “i” 值是相同的。对于给定的一对开关 SA (4j + i) 和 SB (4j + i), 以及对于控制这样的对的控制信号 CF (4j + i), “j” 值也是共同的。

当给定的控制信号 CF (4j + i) 假定为“真” (TRUE) 状态时, 就把相应组 SWA (i) 的相应电容器 CA (4j + i) 和相应组 SWB (i) 的相应电容器 CB (4j + i) 切入 (Switched in), 或者通过一对开关 SA (4j + i) 和 SB (4j + i) 把它们耦合到分别产生信号 TA (i) 和 TB (i) 的端子上。由此, 呈现出相位延时增大, 图 2C 中信号 Clk 的振荡频率相应降低。另一方面, 当图 3 中给定的控制信号 CF (4j + i) 假定为“假” (FALSE) 状态时, 就把相应一对电容器断开或去耦, 使图 2c 中信号 Clk 的振荡频率提高。

图 2A 的电流镜像基准电路 537 包括提供小起动电流 (例如 $1\mu\text{A}$) 的 PMOS 晶体管 MP20。该起动电流使端子 NB 上的电压电平开始上升到晶体管 MN10 的门限电压, 一般为 0.8 伏。在由晶体管 MP23、MP24、MP13 和 MP14 形成的平衡 PMOS 电流镜像放大器中, 把端子 NR 上的电压和端子 NB 上的电压加以比较。

把来自端子 NF 的负反馈加到晶体管 MP12 的控制极上, 强制端子 NR 和 NB 上的电压相等。因此, 电阻 R1 中流动的电流正比于端子 NB 上的电压。一旦电流在电阻 R1、晶体管 MP12 和晶体管 MP22 中开始流动, 附加电流则流入端子 NB, 这使端子 NB 上的电压增大到约 1.5 伏的电平。这样, 在晶体管 MP22 中流动的基准电流额定为 0.25mA。

把在晶体管 MP22 漏极上产生的、电流镜像基准电路 537 的输出电压 CS1 耦合到图 2B 中晶体管 MP4 和 MP8 以及图 2c 中

晶体管 MP11 的控制极上。结果是，在图 2A 中晶体管 MP4 内流动的电流额定为 3mA，在以晶体管 MP8 和 MP11 为源的每一个放大器中流动的电流为 1.5mA。图 2A 的电路 537 保持振荡器的频率相对于电源电压变化的稳定性。模拟实验表明，对电源电压变化的灵敏度为 $0.9\% / V$ ，对温度变化的灵敏度为 $-0.012\% / ^\circ C$ 。

图 2A~2C 的 RCVCO 53 以差分对称方式构成。规定第一正反馈通路的信号 X2、Y1、TA (0)、TA (1)、TB (2)、TB (3) 和 TB (4)，相对于规定第二正反馈信号通路的信号 X1、Y2、TB (0)、TB (1)、TA (2)、TA (3) 和 TA (4) 分别为差分对称的。因此，当图 2A 中例如放大器 535a 和 535b 的增益改变或者当出现温度变化时，一对差分对称信号（正如例如信号 Y1 与 Y2 那样）之间的相位差并不改变。RCVCO 53 以由各对正反馈通路中的总相移决定的频率振荡。

图 4 示出，当信号 CF (4j + i) 把 RCVCO 53 中全部切换电容器去耦，形成信号 Clk 的最高频率或者最小周期（例如 19.62ns）时，图 1 中信号 Y1 和 Y2 模拟波形的例子。在图 1、2A~2C、3 和 4 中，相同的符号和数字表示相同的器件或功能。

如图 4 所示，信号 Y1 与 Y2 的大小近似相等，相位彼此相差 180° 。因为结构是差分对称的，所以，信号 Y1 与 Y2 为差分对称信号。这样，当信号 Y1 和 Y2 的瞬时值同时为同一值时出现的信号 Y1 与 Y2 的交点，例如 CO 点，出现于反相位上。由于上述差分对称结构，交点 CO 在时间上的间隔有利地近似相等。因为对称结构，所以，信号 Clk 的占空因数有利地不受增益变动和温度引

起元件变动的影响。因此,图 2C 中接受信号 Y1 和 Y2、由晶体管 MP15、MP16、MN20 和 MN21,以及门电路 U1 和 U2 形成的,简单的“差分到单端”的转换电路 536 产生占空因数约为 50% 的信号 Clk。而且,差分对称结构提供改善了的共模噪声抑制。

RCVCO 53 的实测噪声带宽在 350Hz 时为 -30dB。RCVCO 53 在 1 秒钟内的短期稳定性约为 $\pm 150\text{Hz}$ 或者 20ppm,这相当于在一行周期 H ($63.5\mu\text{s}$) 内抖动 1.3ns。

为了控制 RCVCO 53 的频率,把图 1 的同步信号 HSRef 耦合到频率检测器和控制级 55 上。图 5 示出,在说明图 1 中 PLL 100 的操作时有用的流程图。图 6、7A 和 7B 以较详细的方框图示出图 1 中级 55 的相应各部分。在图 1、2A~2C、3~6、7A 和 7B 中,相同的符号和数字表示相同的器件或功能。

在图 6 所示级 55 的那一部分中,把信号 HSRef 耦合到 13 比特计数器 56 的输入端子 Clear/Enable (清零/允许) 上。把图 1 中 RCVCO 53 的信号 Clk 耦合到图 6 中计数器 56 的输入端子 CLOCK (时钟) 上。图 9a 和 9b 分别示出图 6 中信号 ClkDiv 和 HSRef 脉冲的例子。在图 1、2A~2C、3~6、7A、7B 和 9A~9C 中,相同的符号和数字表示相同的器件或功能。

图 6 的计数器 56 计数在给定周期 H 期间内出现的信号 Clk 的脉冲,并且,称之为图 9b 中时间间隔 MEASUREMENT (测量)。在时间间隔 MEASUREMENT 结束时,图 6 的计数器 56 包括一个二进制字信号 NCL。信号 NCL 的数值等于,在信号 HSRef 的给定周期期间内出现的时钟脉冲或信号 Clk 周期的个数。这样,信号 NCL 包括信号 Clk 的频率与信号 HSRef 的频率之

比。

把信号 NCL 耦合到减法器 65 上, 减法器 65 通过形成信号 NSET 的数值与信号 NCL 的数值之差而产生一个二进制字信号 Nerr。信号 NSET 是一个恒定的二进制字, 如前所述, 该二进制字等于信号 Clk 的频率与信号 ClkDiv 的频率之比。当时序控制信号 CLKH 出现时, 把信号 Nerr 存储到锁存器 57 中。信号 CLKH 紧接在测量和产生信号 Nerr 的信号 HSRef 的那个周期 H 的期间之后, 立刻出现。

把已锁存的信号 Nerr, 从锁存器 57 的输出端读出, 作为输出信号 NERR。误差信号 NERR 的数值等于在图 9b 中信号 HSRef 的给定周期 MEASUREMENT 期间内出现的信号 Clk 的时钟周期个数与在图 9a 中信号 ClkDiv 的周期期间内出现的图 6 中信号 Clk 的时钟周期个数之差。例如, 当图 1 的 PLL 100 处于相位锁定状态下时, 这样的差值为零, 表示没有误差。这样, 信号 NERR 表现出有关周期或频率的误差。在图 5 流程图的流程通路 197 中, 描述了产生信号 NERR 的测量操作。

把图 6 中频率误差的指示信号 NERR 耦合到图 7A 中产生二进制字信号 $|Nerr|$ 的绝对值形成级 58 的输入端上。信号 $|Nerr|$ 等于信号 NERR 的绝对值。在比较器 59 中, 把信号 $|Nerr|$ 与恒定数值字信号 THRESHOLD_1 (门限 1) 加以比较, THRESHOLD_1 等于字信号 NSET 大小的 8%。信号 ClkDiv 的所需周期长度包括在字信号 NSET 内。当通过信号 Clk 的时钟周期个数进行测量的、信号 ClkDiv 周期长度的误差大于信号 ClkDiv 所需周期长度的 8% 时, 比较器 59 产生字信号 59a。

把信号 59a 耦合到 6 比特计数器的复位输入端 RESET (复位) 上, 当允许在计数器 61 中计数时, 在时钟信号 ClkDiv 的每一个周期内, 计数器 61 升计数一次。计数器 61 产生信号 61a, 即计数器 61 的最高有效位 MSB。当产生了信号 59a 时, 允许在计数器 61 中计数。

把信号 61a 通过或门 62 耦合到触发器 63 的“J”输入端上。如果紧接在信号 ClkDiv 之前 32 个周期 H 的每一个周期内、以信号 $|Nerr|$ 的数值提供的、信号 ClkDiv 周期长度的误差大于所需周期长度的 8%, 触发器 63 的输出信号 CFR 就达到 TRUE 状态了。

只要图 9a 中信号 ClkDiv 的这样 32 个周期 H 并未过去, 图 1 的 RCVCO 53 就不受影响, 称之为空方式操作, 在图 5 流程图的通路 194 中描述了这种方式。这种空方式以防止例如在整个场消隐期间 (VBI) 内出现粗的频率校正方式的形式有利地出现了。在场消隐期间内, 图 1 的均衡脉冲 EP 出现了。脉冲 EP 的周期为周期 H 的一半。因此, 图 1 的信号 HSRef 中的均衡脉冲 EP 产生的图 7A 中误差信号 $|Nerr|$ 之值大于所需周期长度的 8%。然而, 因为图 1 中均衡脉冲 EP 的个数少于 32 个, 所以, 图 7A 的计数器 61 和“或”门 62 防止了在整个场消隐期间内信号 CFR 到达 TRUE 状态。因此, 防止了在粗的频率校正方式下操作。空方式操作的结果是, 在整个垂直场消隐或回扫期间内, 使 RCVCO 53 的相位有利地不受干扰。

假定误差信号 $|Nerr|$ 大于所需周期长度 8% 的信号 ClkDiv 的周期个数超过 32 个, 这种状态表现出大的频率误差并

不是由于操作于场消隐期间内。因此，图 7A 中触发器 63 的信号 CFR 将以 TRUE 状态产生。当产生信号 CFR 时，就使图 1 的 PLL 100 在粗的频率误差校正操作方式下操作。在粗的频率误差校正方式下操作的期间内，RCVCO 53 中粗的频率误差在各切换步骤中顺序地减小。产生信号 CFR 的方法在图 5 流程图的流程通路 197、200、201、196 和 199 中示出。

图 10 示出图 1 中供给泵 54 较详细的图。在图 1、2A~2C、3~6、7A、7B、9a~9c 和 10 中，相同的符号和数字表示相同的器件或功能。图 10 中的表提供级 54 中信号流的方向和开关的状态。在整个粗的频率误差校正方式下，图 10 的供给泵 54 产生图 2A 中 RCVCO 53 恒定电平的模拟控制信号 VCOCV，该恒定电平等于通过图 10 中开关 SW1 提供的基准电压 VREF。把图 10 的信号 VCOCA 建立在其电压变动范围的中间值左右。

在粗的频率误差校正方式下，图 6 的 5 比特二进制计数器 66 对信号 ClkDiv 的交替脉冲进行升计数或降计数。计数器 66 的计数方向（升计数或降计数）按照字信号 NERR 的最高有效位或者符号位 SIGN（符号）来决定。把计数器 66 的 5 比特输出字信号 CFRL(4:0) 耦合到在这里称为“温度计”解码器的解码器 64 的输入端上。温度计解码器 64 通过把 5 比特信号 CFRL(4:0) 解码，来产生上述 32 个分开的控制信号 CF(4j+i)。

图 8 中的表示出对于图 6 和 8 中 5 比特字信号 CFRL(4:0) 的每一个值，图 2A、2B 和 8 中处于 TRUE 状态下的那些信号 CF(4j+i) 和处于 FALSE 状态下的那些信号 CF(4j+i)。在图 8 的表中，二进制“1”表示 TRUE 状态，二进制“0”表示 FALSE 状

态。如图 8 所示, 当图 6 的计数器 66 升计数时, 图 8 中只有一个控制信号 $CF(4j+i)$ 改变状态。该状态的改变是从 FALSE 到 TRUE。类似地, 当图 6 的计数器 66 降计数时, 图 8 中只有一个控制信号 $CF(4j+i)$ 改变状态; 而该状态的改变是从 TRUE 到 FALSE。

根据本发明的一个特点, 在粗的频率误差校正方式下, 图 6 的测量/控制排序器 67 产生允许计数器 66 对信号 ClkDiv 的交替脉冲进行升/降计数的信号 CFR - Enable (允许)。信号 ClkDiv 的交替脉冲在信号 HSRef 的交替周期 H 内出现。只有在时间间隔 CONTROL (控制) 的期间内, 信号 CFR - Enable (允许) 才允许图 6 的计数器 66 改变状态; 该时间间隔 CONTROL 出现在时间间隔 MEASUREMENT (测量) 之间、在图 9b 中信号 HSRef 的交替周期内。在图 9b 中信号 HSRef 的其它交替周期的期间内, 当时间间隔 MEASUREMENT 出现时, 正如前面所说明的那样, 测量信号 NCL 的数值, 但是, 图 6 的计数器 66 并不改变状态。当正在测量图 9b 的信号 NERR 或 NCL 时, 计数器 66 并不改变状态。

在实现本发明另一特点的过程中, 通过防止图 6 的计数器 66 在图 9b 中给定时间间隔 MEASUREMENT 的期间内改变状态, 当正在测量 RCVCO 53 的频率时, 图 1 中 RCVCO 53 的频率并不改变。这样, 在粗的频率校正方式下, 一个给定切换步骤需要信号 ClkDiv 的两个行时钟脉冲, 并且, 这种步骤出现在每一对周期 H 时。当正在测量 RCVCO 53 的频率时该频率并不改变的结果是, 可以达到更稳定、更精确的频率控制操作。

为了说明粗的频率误差校正方式, 假定, 在图 9a 和 9b 中标

为时间间隔602的给定时间间隔 MEASUREMENT 内, 图 2A~2C 中 RCVCO 53 的信号 Clk 的实测频率高于所需值。这样的状态通过在图 6 中出现正值的信号 NERR 来表示。因此, 图 9a 和 9b 中, 在紧接着的标为时间间隔 603 的时间间隔 CONTROL 结束时, 图 6 中计数器 66 的计数值增大。结果是, 按照图 6 中字信号 CFRL (4: 0) 的已修正、增大了的值, 把图 2A、2B 和 2C 中一对相应的电容器 CA (4j + i) 和 CB (4j + i) 切入。信号 CFRL (4: 0) 已修正的值按照图 6 中信号 NERR 的符号比特 SIGN 增大或减小。因为把一对附加电容器耦合到正反馈通路上, 所以, 使信号 Clk 的频率降低。另一方面, 如果信号 Clk 的频率低于所需值, 就把图 2B 或 2C 的一对电容器 CA (4j + i) 和 CB (4j + i) 断开或者与正反馈通路去耦。电容器的切换出现在图 9a 和 9b 中紧接着的时间间隔 CONTROL 或时间间隔 603 内, 使图 2A~2C 中 RCVCO 53 的频率提高。

图 6 中温度计解码器 64 以这样的方式工作, 使计数器 66 中状态的改变在一对相应的正反馈通路中只分别把一对切换电容器切入或断开, 不影响其它对电容器, 正如前面所说明的那样。因此, 图 2C 中信号 Clk 频率的改变(提高或降低)有利地是单调的, 不受元件容限的影响。这样, 在整个频率范围内, 信号 Clk 的频率正比于图 6 中字信号 CFRL (4: 0) 的数值。

为了说明起见, 假定在图 9a 和 9b 中标为时间间隔 601 的给定时间间隔 CONTROL (控制) 结束以前, 图 6 中信号 CFRL (4: 0) 的数值等于 23。数值 23 相应于 $j = 5$ 和 $i = 3$, 因为 $4j + i = 23$ 。正如前面所说明的那样, i 只从 0 到 3 的数值中选择, j 只从 0 到 7 的

数值中选择。

进而假定, 信号 NERR 的符号比特 SIGN 是这样的以致于在时间间隔 601 结束时, 图 6 的计数器 66 升计数。这样, 在图 9a 和 9b 中标为时间间隔 602 的后继时间间隔 MEASUREMENT 中, 图 6 的信号 CFRL (4: 0) 包括一个增量, 即等于 24, 这相应于 $j = 6$ 和 $i = 0$, 因为 $4j + i = 24$ 。在图 9a 和 9b 的时间间隔 601 结束时, 只分别把图 2 的组 SWA (0) 和 SWB (0) 中的电容器 CA (24) 和 CB (24) 切入, 并且, 将其耦合到 RCVCO 53 中一对相应的正反馈通路上。在图 9a 和 9b 的时间间隔 601 结束以前已经耦合到相应正反馈通路上的切换电容器, 不受图 8 中信号 CFRL (4: 0) 数值增大的影响。用这种方法, 以渐进或单调方式把图 2B 和 2C 的电容器 CA ($4j + i$) 和 CB ($4j + i$) 切入或断开。

在图 9b 的每一个时间间隔 CONTROL 内, 图 2A~2C 中 RCVCO 53 频率的变化约为 RCVCO 53 工作频率整个范围的 4%。这样, 可以把 RCVCO 53 的整个频率范围排序为 32 个或 32 个以下的电容切换步骤。

把图 7A 中信号 NERR 经过延时和不经过延时的符号比特 SIGN 耦合到异或门 69 的一对输入端子上。该延时的符号比特在锁存器 68 中产生。门 69 产生输出信号 69a, 把信号 69a 耦合到 J-K 触发器 63 的“K”输入端子上。

把切换电容器 CA ($4j + i$) 和 CB ($4j + i$) 分步骤地、有利地切入负反馈环的正反馈通路上, 或者与该正反馈通路断开。当由信号 NERR 的符号比特 SIGN 决定的、信号 ClkDiv 周期的实测长度与预期长度之间的差别改变符号时, 禁止信号 CFR 的产生, 并

且, 停止在粗的频率误差控制方式下的操作。信号 NERR 改变符号表现出频率误差已达到小于或等于整个频率范围的 4% 了。此后, 图 6 的计数器 66 停止改变状态, 信号 CFRL (4: 0) 和 CF (4j + i) 的最后状态保持不变。

把图 7B 的信号 NERR 耦合到减法器 70 的第一输入端 A 上。把通过锁存器 71 延时了的信号 ClkDiv 的一个周期的信号 NERR, 耦合到减法器 70 的第二输入端 B 上。在绝对值形成级 72 中得到减法器 70 输入信号之差的绝对值; 在比较器 73 中, 把该绝对值、与数字字信号 THRESHOLD_2 (门限_2) 中所包括的数值加以比较。

假定从一个给定的周期 H 到紧接着的一个信号 ClkDiv, 信号 ClkDiv 的周期长度误差的变化小于时钟信号 ClkDiv 预期周期长度的 2%。把 2% 门限值包括到信号 THRESHOLD_2 中。因此, 在比较器 73 的输出端 73a 上产生了信号 CONSISTENCY (一致性)。这样, 从一个时钟周期 H 到紧接着的一个信号 ClkDiv, 当信号 NERR 大小的变化不大于图 6 中信号 NSET 值的 2% 时, 产生信号 CONSISTENCY。可见, 图 7B 的信号 CONSISTENCY 表现出存在着稳定的、无噪声的同步信号 HSRef 和误差信号 Nerr。

在比较器 60 中, 把图 7A 的信号 | Nerr | 与等于 2 的恒定值加以比较。当误差或者信号 ClkDiv 的周期长度相对于信号 HSRef 的周期长度之差小于信号 Clk 的两个时钟周期时, 比较器 60 产生信号 60a。

假定, 下列情况全部出现: 图 7A 的信号 CONSISTENCY 产生了; 信号 | Nerr | 的数值大于或者等于 2, 但是, 小于信号 Nset

值的 8%，正如图 7A 的信号 60a 中所提供的那样；同时未产生信号 CFR。因此，“与”门 74 产生信号 FFR。信号 FFR 开始并建立起细的或渐进的频率误差校正操作方式，在这种方式下，图 2A~2C 中切换电容器的耦合或去耦状态不受影响。在图 5 流程中的流程通路 202、203、204 和 205 描述了产生图 7A 中信号 FFR 的情况。另一方面，如果信号 CONSISTENCY 未产生，图 1 的 RCVCO 53 将不受影响，形成上述空操作方式，正如在图 5 流程图的流程通路 197、204 和 209 中所描述的那样。

在细的频率误差校正方式下，图 7A 的信号 FFR 控制图 10 中供给泵 54 的操作，以改变模拟信号 VCOCV。信号 VCOCV 的变化使图 1 中 RCVCO 53 的频率以渐进方式变化，而没有切换电容器的切换步骤，不像在粗的频率误差校正方式下那样。

把图 6 的信号 NERR 通过字限幅器 75 耦合到脉冲发生器 76 上。限幅器 75 根据信号 NERR 的最低有效 8 比特，产生 8 比特、2 的补码的字信号 75a。信号 NERR 是 13 比特的字信号。如果信号 NERR 的大小大于利用 8 比特字信号 75a 所能表示的大小，就把信号 75a 建立为等于 8 比特 2 的补码字的上限（正的或负的）值。把字信号 75a 存储到脉冲发生器 76 的二进制计数器（图中未示出）中。脉冲发生器 76 按照信号 NERR 的比特 SIGH（符号），产生信号 FFR_UP（升）的脉冲，或者，信号 FFR_DN（降）的脉冲。

输出信号 FFR_UP 的给定脉冲具有正比于误差信号 NERR 大小的脉冲宽度，并且，当信号 NERR 的值为负时，才出现这样的脉冲。当信号 Clk 的频率低于所需值时，信号 FFR_UP 出现。类似地，信号 FFR_DN 的给定脉冲具有正比于信号 NERR 大小的脉

冲宽度, 并且, 当信号 Clk 的频率高于所需值时, 才出现这样的脉冲。

在信号 FFR 的控制下, 选择图 10 的信号 FFR_UP 或 FFR_DN; 通过一对双输入多路转换开关 54a 和 54b 的相应之一、并通过一对门 54c 和 54d 的相应之一, 将其耦合到一对开关 SW3 和 SW4 的相应之一的一对控制端子 54ca 和 54cb 的相应之一上。当信号 FFR_UP 的脉冲产生时, 开关 SW3 把正脉冲电流 I3 耦合到端子 54f 上。类似地, 当信号 FFR_DN 的脉冲产生时, 开关 SW4 把负脉冲电流 I4 耦合到端子 54f 上。

把利用集成电路制造技术形成的电容器 C_{int} 通过开关 SW1, 与分立电容 C_{ext} 并联耦合起来。这是通过在细的频率校正方式下把开关 SW1 的选择器耦合到端子 54f 上而实现的。开关 SW1 的控制由图 10 中的表来表示。因此, 当信号 FFR_UP 产生时, 电容器 C_{ext} 和 C_{int} 并联充电, 其充电量正比于信号 FFR_UP 脉冲宽度。当信号 FFR_DN 出现时, 电容器 C_{ext} 和 C_{int} 以类似方式放电。在电容器 C_{ext} 上产生信号 VCOCV, 将其耦合到图 2A 的 RCVCO 53 上。

类似于粗的频率误差校正方式, 根据相同的理由, 在图 9b 中信号 HSRef 的交替周期 H 期间内出现的时间间隔 MEASUREMENT 的期间内, 当测量频率误差时信号 Clk 的频率并不同时改变。图 10 中电容器 C_{int} 和 C_{ext} 的充电/放电按照信号 NERR, 仅在图 9b 中信号 HSRef 其它交替周期的时间间隔 CONTROL 期间内才被允许。在细的频率误差校正方式下的操作期间内, 使得信号 ClkDiv 的周期长度与信号 HSRef 的周期长度

之间的差别达到信号 Clk 的 2 个周期长度或信号 HSRef 周期 H 的约 0.2% 以内。

在细的频率误差校正方式下信号 VCOCV 产生的校正范围约为图 2A~2C 中 RCVCO 53 整个频率范围的 $\pm 8\%$ 。因此, 信号 VCOCV 有利地具有足够大的范围, 该范围能够把与在粗的频率误差校正方式下出现的信号 $CF(4j+i)$ 的给定切换步骤有关的每一个频率范围迭盖起来。这是因为, 正如前面所说明的那样, 在粗的频率误差校正方式下, 与给定切换步骤有关的频率范围等于 RCVCO 53 整个频率范围的 4% 左右。信号 VCOCV 的校正范围仍是有利地足够小, 从而减小了对噪声的灵敏度。

正如前面所说明的那样, 当未产生图 7B 的信号 CONSISTENCY 时, 出现空操作方式。例如, 当图 1 的信号 HSRef 混杂着噪声时, 就出现空方式。在空方式下, 图 10 的开关 SW1 把电容器 Cext 与端子 54f 去耦。因此, 图 10 的电容器 Cext 既不充电也不放电, 信号 VCOCV 保持相对恒定。在空方式下, 把信号 VCOCV 通过单位增益放大器和开关 SW2, 耦合到电容器 Cint 上, 使得电容器 Cint 在端子 54f 上的电容器电压跟踪于信号 VCOCV 的电压。开关 SW2 的控制由图 10 中的表来表示。

假定, 在图 1 中信号 HSRef 的中断时间间隔以后, 正常操作的信号 HSRef 恢复了, 使得图 7B 的信号 CONSISTENCY 又产生了。因为在空方式下操作, 所以, 图 10 的信号 VCOCV 并未受到干扰, 很可能已经保持在近似于在信号 HSRef 的中断时间间隔已经结束以后、稳态相位锁定操作所需的电平上了。这样, 图 1 中 PLL 100 的瞬变状态可能有利地持续较短时间。

图 11 较详细地示出在相位误差校正操作方式下使用的图 1 中鉴相器 51。图 12a~12g 示出相应的波形。在图 1、2A~2C、3~6、7A、7B、8、9a~9c、10、11 和 12a~12g 中，相同的符号和数字表示相同的器件或功能。图 11 的鉴相器 51 包括以信号 HSRef 为时钟、由信号 ClkDiv 复位的 D 型触发器 51c。当图 12b 中信号 ClkDiv 的前沿落后于图 12a 中信号 HSRef 的前沿时，触发器 51c 产生图 12c 中信号 FPH_UP 的给定脉冲。图 11 的 D 型触发器 51d 以信号 ClkDiv 为时钟，通过单拍多谐振荡器 51f 由信号 HSRef 来复位。当图 12e 中信号 ClkDiv 的前沿领先于图 12a 中信号 HSRef 的前沿时，触发器 51d 产生图 12g 中信号 FPH_DN 的给定脉冲。每一个脉冲信号 FPH_UP 和 FPH_DN 的脉冲宽度正比于相位差。只能产生给定周期 H 的脉冲信号 FPH_UP 和 FPH_DN 之一。

把图 7B 的脉冲信号 FPH_UP 或 FPH_DN 通过“或”门 80 耦合到 3 比特二进制计数器 81 上。当任一脉冲的脉冲宽度小于信号 Clk 的两个时钟周期时，这表现出相位误差相对小，输出信号 81a 为 FALSE 电平。把信号 81a 通过倒相器 82 耦合到“与”门 83 的输入端 B 上。把频率误差指示信号 60a 耦合到门 83 的第二输入端 A 上。当信号 $|Nerr|$ 小于 2 (表示信号 Clk 的两个时钟周期) 时，产生信号 60a。

例如，按照在细的频率误差校正方式下的操作，当相位误差小 (正如通过信号 81a 为 FALSE 电平所表明的那样) 且频率误差小 (正如通过产生信号 60a 所表明的那样) 时，门 83 产生信号 FPH。结果是，出现了细的相位误差校正方式。在图 5 流程图中的

流程通路 202、206、207 和 208 描述了实现细的相位误差校正方式的方法。

不像在细的和粗的频率误差校正方式下那样，在细的相位误差校正方式下，在图 9b 中信号 HSRef 的每一个周期 H 内都测量和校正相位误差。在细的相位误差校正方式下，利用图 10 中正比于相位误差的模拟信号 VCOCV 来达到和保持相位锁定状态。

图 13a~13d 示出在说明在细的相位误差校正方式下的操作时有用的波形。在图 1、2A~2C、3~6、7A、7B、8、9a~9c、10、11、12a~12g 和 13a~13d 中，相同的符号和数字表示相同的器件或功能。

当产生了图 7B 的信号 FPH 时，把图 10 的信号 FPH_UP 和 FPH_DN 通过多路转换开关 54a 和 54b 并通过门 54c 和 54d，交替地分别耦合到开关 SW3 和 SW4 的端子 54ca 和 54cb 上。把信号 FPH_UP 和 FPH_DN，在图 13B 中信号 ClkDiv 的每一个周期期间内出现的下列三操作序列中，交替地加到电容器 C_{int} 和 C_{ext} 上。

在上述三操作序列的第一操作中，图 10 的开关 SW1 处于 HOLD（保持）位置上。如果信号 FPH_UP 的脉冲产生了，开关 SW3 就把正的脉冲电流 I₃ 耦合到端子 54f 上。类似地，如果信号 FPH_DN 的脉冲产生了，开关 SW4 就把负的脉冲电流 I₄ 耦合到端子 54f。当产生信号 FPH_UP 时，电容器 C_{int} 就充电，其充电量正比于其脉冲宽度；当产生信号 FPH_DN 时，电容器 C_{int} 就放电。这样，电容器 C_{int} 和电流 I₃、I₄ 作为积分电路或低通环路滤波器而操作，这在电容器 C_{int} 上产生正比于相位误差的电压。

在该序列的第二操作中, 图 6 的脉冲发生器 85 跟随图 13B 中信号 ClkDiv 的后沿, 产生图 6 和 13c 的脉冲信号 CHK。图 6 的脉冲信号 CHK 以图中未示出的方式使图 10 的开关 SW2 断开, 并使开关 SW1 把电容器 Cext 耦合到端子 54f 上。这样, 把电容器 Cint 与 Cext 并联耦合起来。因此, 电容器 Cext 上的电荷按照电容器 Cint 上的电荷而改变, 并由实测的相位误差来决定。用这种方法, 在电容器 Cext 与 Cint 之间出现了电荷转移。

在该序列的第三操作中, 图 6 的振荡器 85 跟随图 13c 的脉冲信号 CHK, 产生图 6 和 13d 的脉冲信号 INIT。脉冲 INIT 以图中未示出的方式使图 10 的开关 SW1 处于 HOLD (保持) 位置, 并使开关 SW2 接通。用这种方法, 使电容器 Cint 上的起始状态电压保持与较大电容器 Cext 上相同, 为下一个三操作序列中的下一个第一操作作准备, 下一个三操作序列出现在信号 ClkDiv 的下一个周期内。在细的相位校正方式下, 信号 ClkDiv 的抖动可能有利地小于例如 2ns。

还把图 1 中细的频率/相位控制信号 VCOCV 耦合到比较器 91 上。如果信号 VCOCV 的大小在预定的电压范围之外, 比较器 91 就产生信号 OUT - OF - RANGE (超出范围)。信号 OUT - OF - RANGE 表现出这一情况: 信号 VCOCV 的大小超出了 RCVCO 53 操作的线性控制范围。当产生了信号 OUT - OF - RANGE 时, PLL 100 开始在前面已说明过的粗的频率控制方式下操作。图 5 流程图的流程通路 214 和 215 描述了这样的情况。

如果相位误差大, 在图 12a 中信号 HSRef 的前沿、与图 12b

或 12c 中信号 ClkDiv 的前沿之间形成等于或大于图 7B 中信号 Clk 的两个时钟周期的时间差, 信号 81a 就产生了。信号 81a 使触发器 84 “置位”, 并使之产生输出信号 PE_LAT。把信号 PE_LAT 通过“或”门 51a 和 51b, 耦合到图 11 中鉴相器 51 的触发器 51c 和 51d 上, 以便结束或产生信号 FPH_UP 或 FPH_DN 接着出现的脉冲后沿。这样, 在细的相位误差校正方式下, 当鉴相器 51 控制图 10 的级 54 时, 有利地防止了图 11 的鉴相器 51 在信号 ClkDiv 的每一周期中的频率/相位。

把图 7B 中处于表现出相位误差大的 TRUE 电平的信号 81a 耦合到“与”门 90 的输入端 c 上。正如前面所说明的那样, 把表现出从图 9b 中信号 HSRef 的一个周期 H 到紧接着的下一个周期 H、频率误差有一致性的信号 CONSISTENCY, 耦合到图 7B 中门 90 的第二输入端 A 上。当信号 $|Nerr|$ 的值小于 2 时, 把表现出频率误差小的信号 60a, 耦合到门 90 的第三输入端 B 上。当所有这三个信号 (81a、60a 和 CONSISTENCY) 都产生了时, 门 90 就产生信号 CPH_RST。把信号 CPH_RST 耦合到 D 型触发器 91 的时钟输入端上。把触发器 91 的输出端 Q 耦合到 D 型触发器 92 的输入端 D 上, 当信号 CPH_RST 产生以后, 出现了信号 HSRef 的前沿时, D 型触发器 92 就产生脉冲信号 RST。

把信号 RST 耦合到图 1 的 $\div N$ 计数器 52 上, 以便以在信号 HSRef 与信号 ClkDiv 之间提供直接相位锁定的方式, 预置计数器 52 的各触发器 (图中未示出)。这样, 信号 RST 提供粗的相位误差校正操作方式。图 5 流程图的流程通路 210、211 和 212 描述了实现粗的相位校正方式的方法。例如, 当图 1 中从录像机里产

生的信号HSRef 的相位、在重放方式下场回扫时间间隔的期间内急剧变化时,可能出现上述方式。粗的相位误差校正可以通过在图 1 中的RCVCO 53 与鉴相器 51 之间的信号通路,以把信号 VCOCV 的信号通路旁通掉的方式来实现。急剧的或者粗的相位校正的结果是,把信号 ClkDiv 的相位与信号 HSRef 的相位对齐,而对信号 Clk 的相位并无显著影响。用这种方法,有利地消除或显著地减小了 RCVCO 53 中的瞬变干扰。

如果图 7B 中表现出相位误差大的信号 81a 产生了,而表现出同步信号 HSRef 是稳定的信号CONSISTENCY 来产生,信号 RST 将不产生,并且,将出现空操作方式。图 5 流程图的流程通路 213 描述了实现空方式的方法。当图 7B 的信号 CONSISTENCY 未产生时,在空方式下操作和防止粗的相位误差校正的优点在于,可以减小图 1 中 PLL 100 的干扰或瞬变。例如,当信号 HSRef 的中断持续时间短时,这样的干扰可以减小。

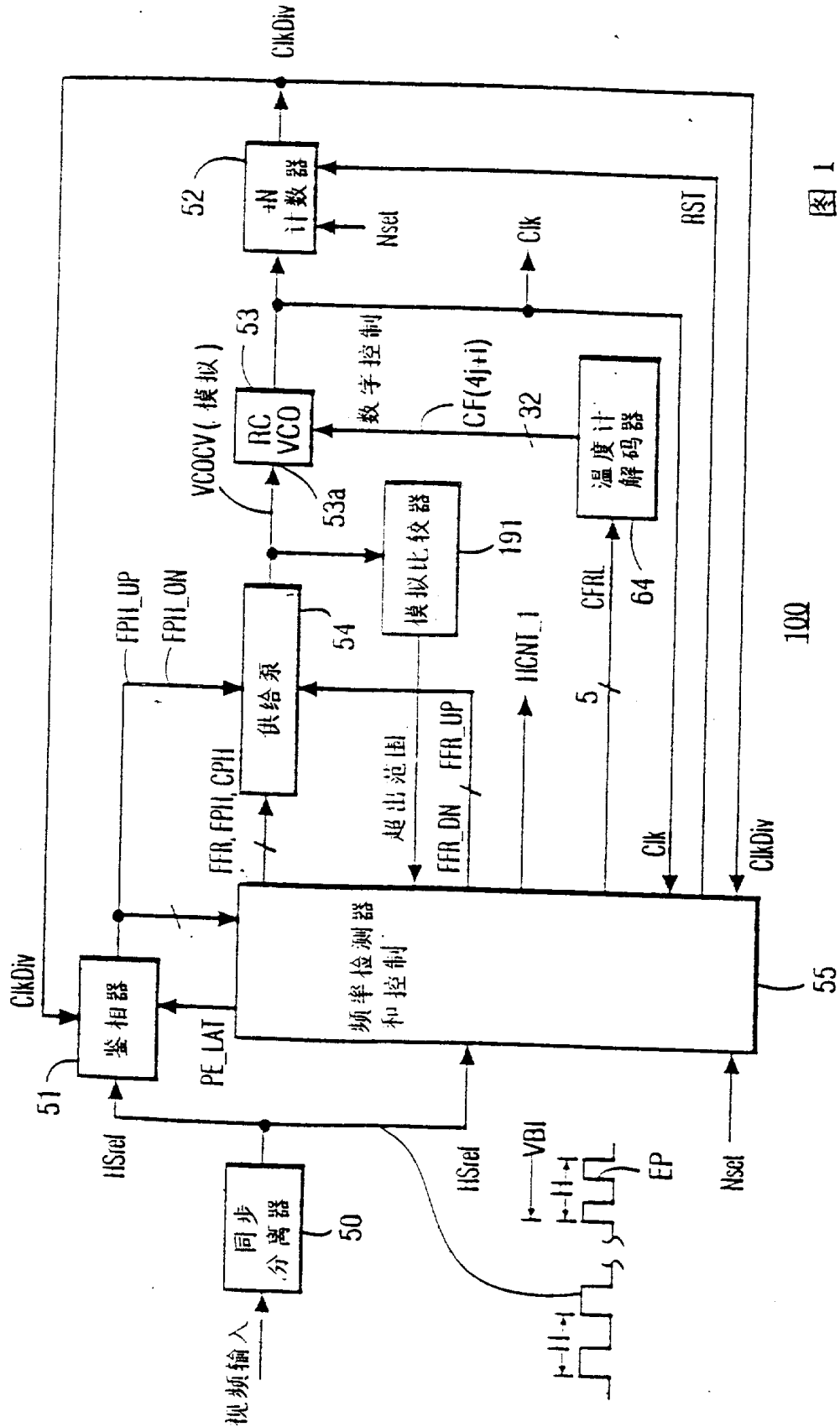


图 1

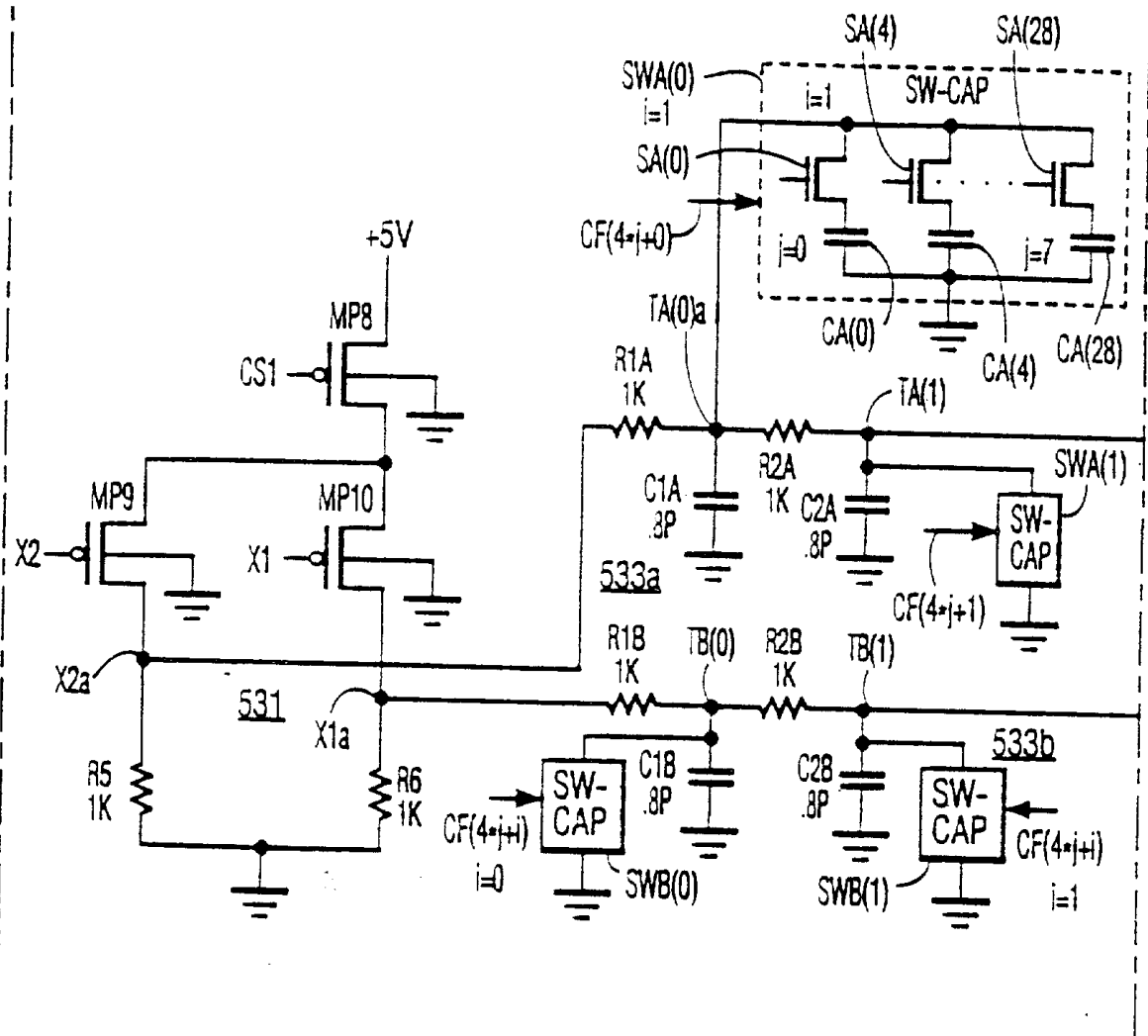


图 2B

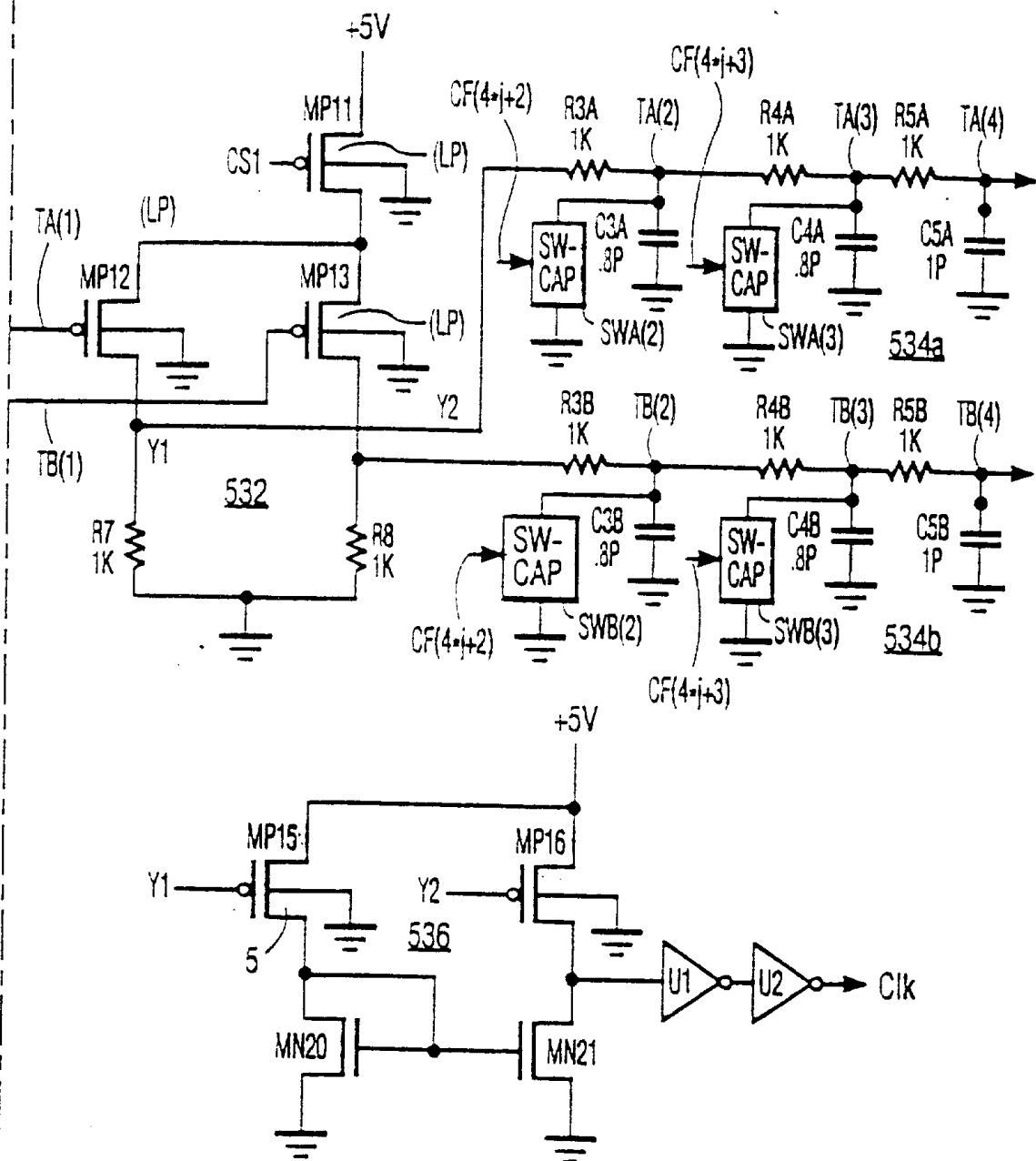


图 2C

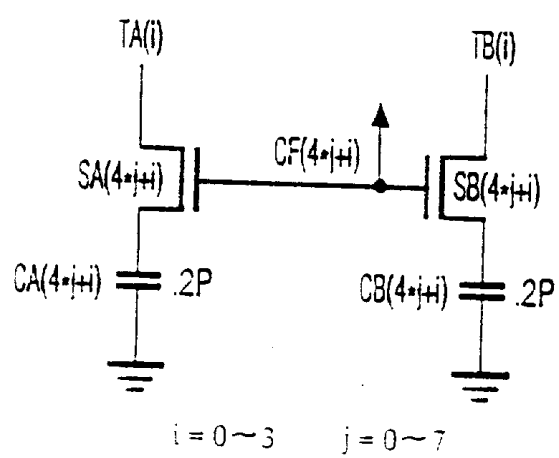


图 3

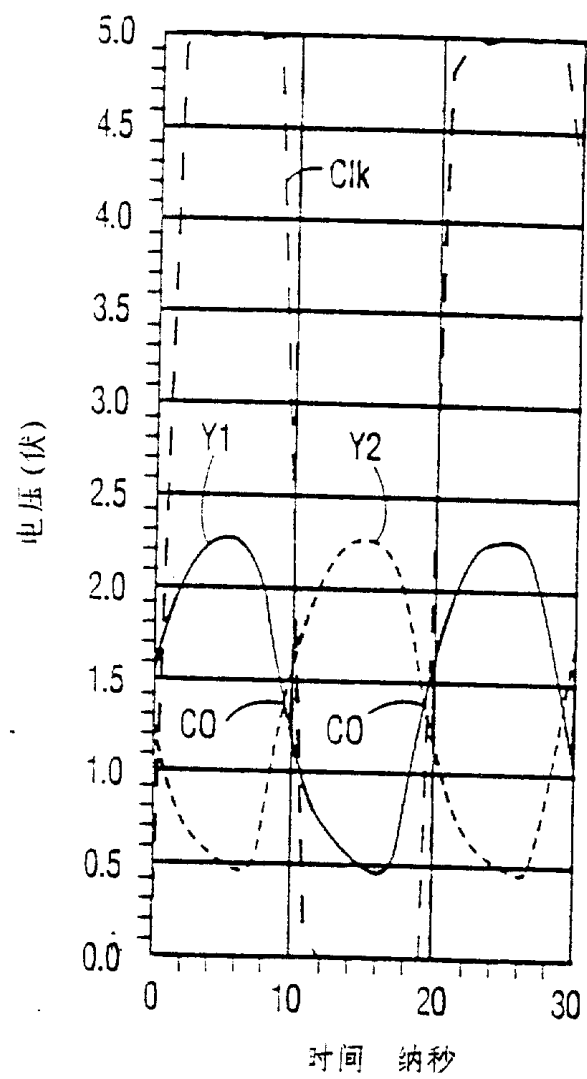


图 4

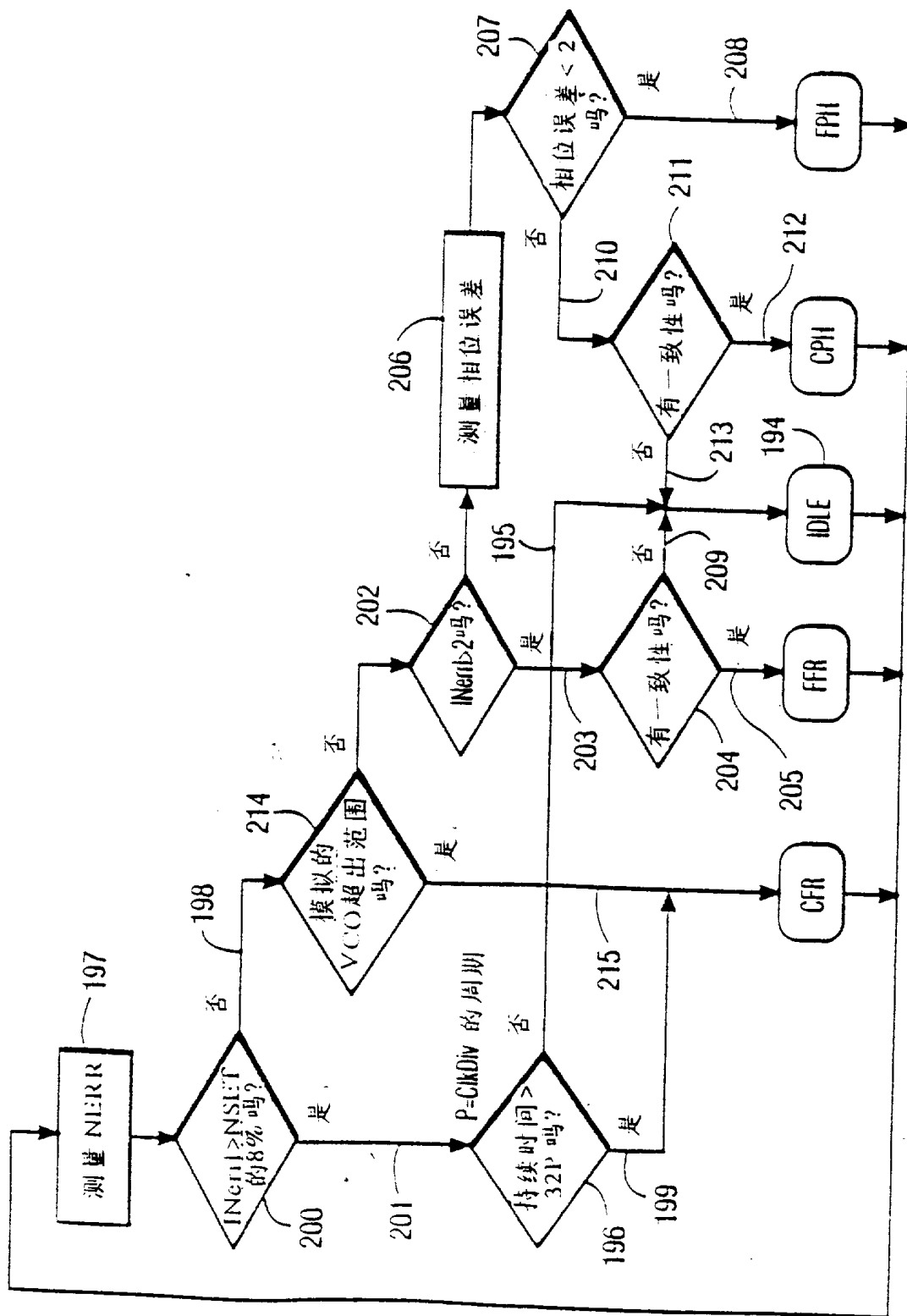


图 5

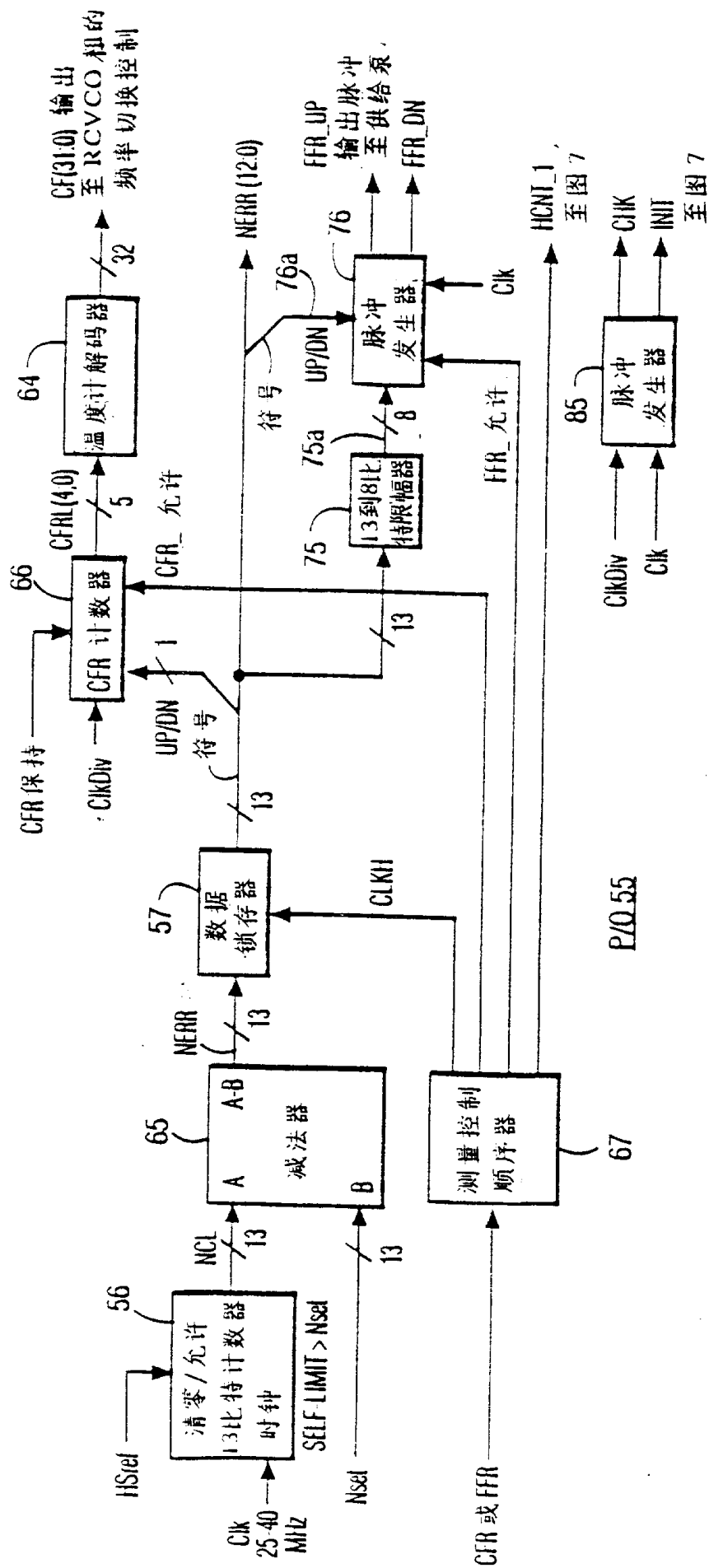


图 6

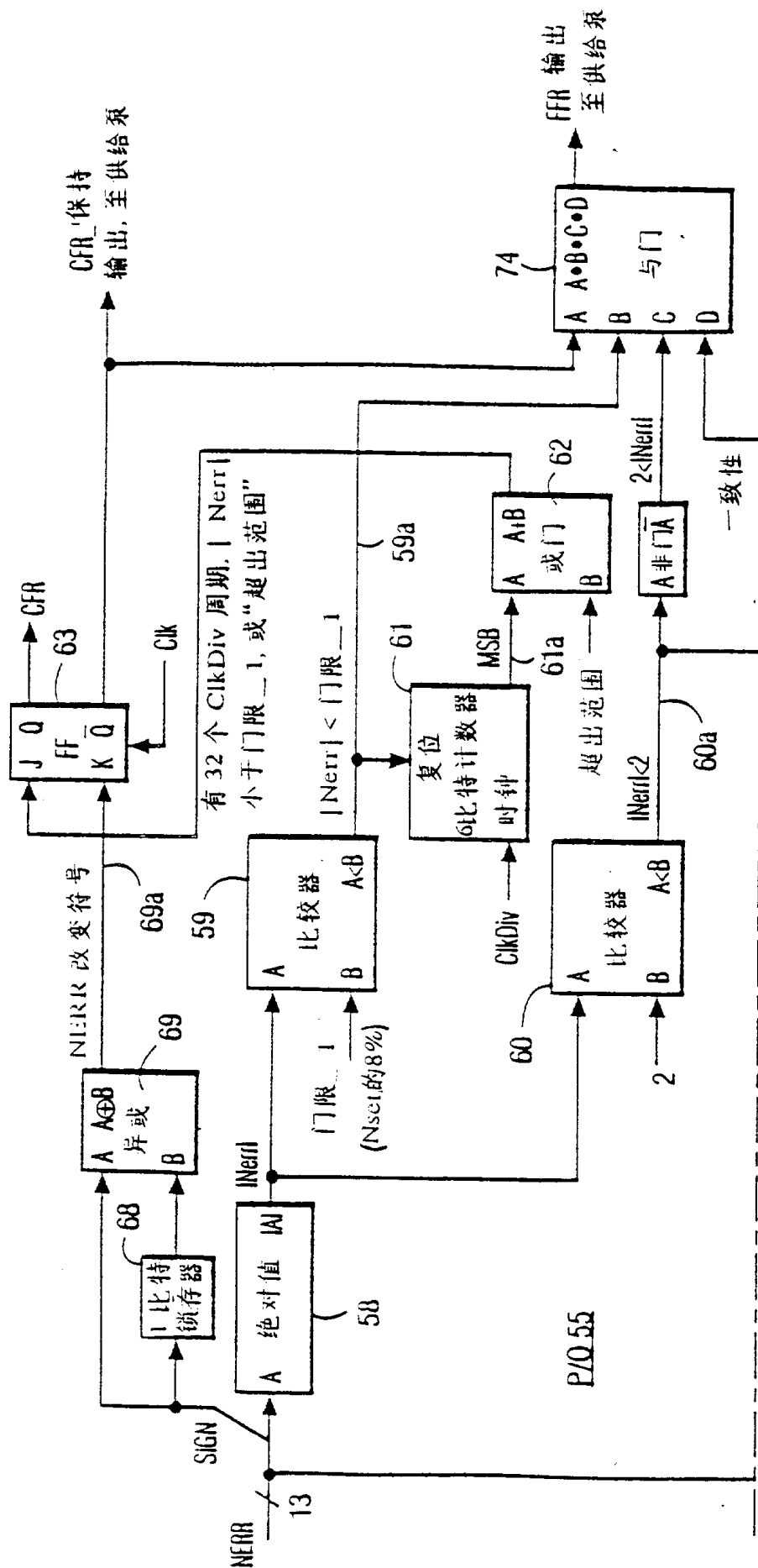
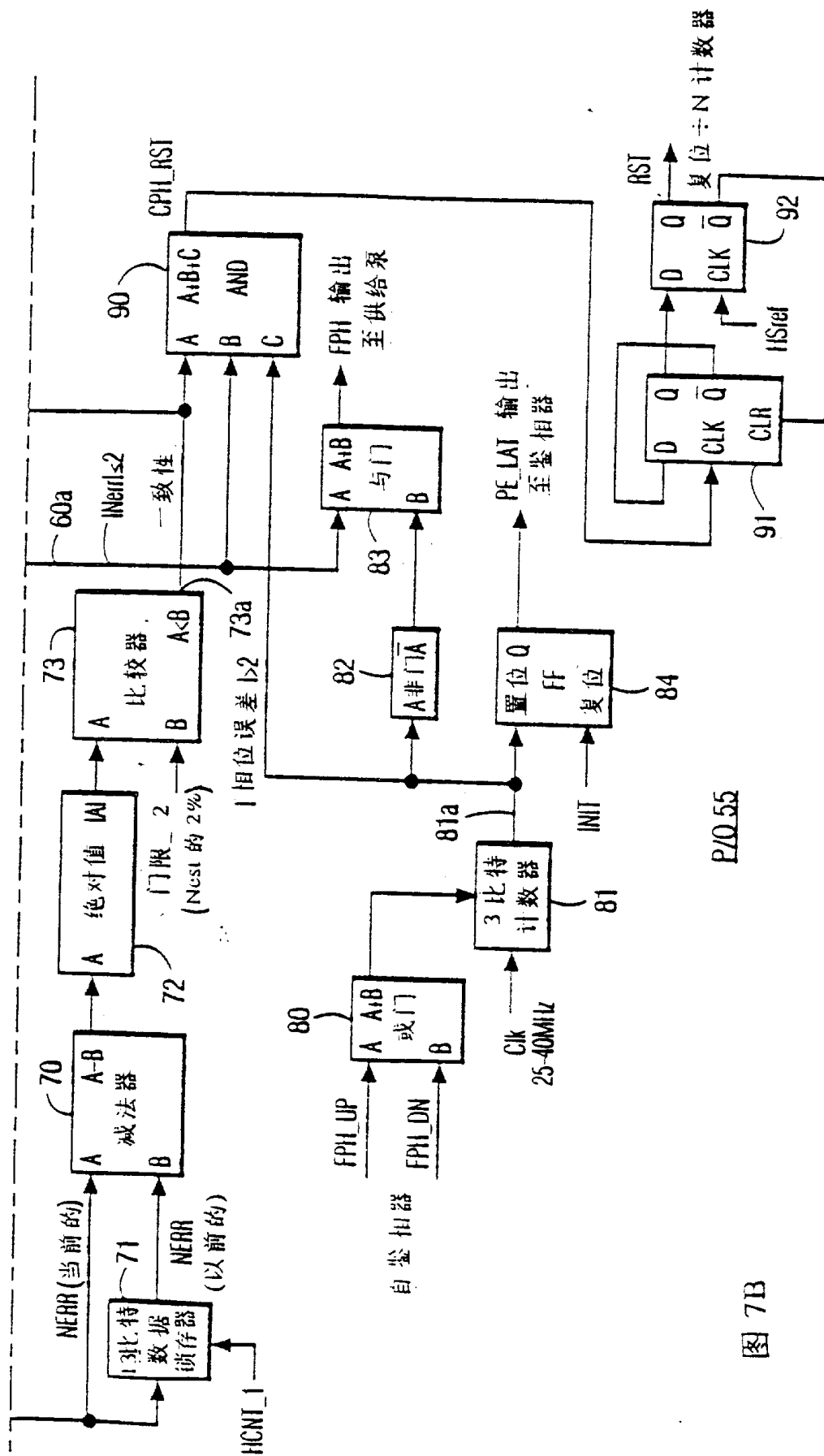


图 7A



P/O.55

图 7B

0	00000	0000	0000	0000	0000	0000	0000	0000	0000
1	00001	0000	0000	0000	0000	0000	0000	0000	0001
2	00010	0000	0000	0000	0000	0000	0000	0000	0011
3	00011	0000	0000	0000	0000	0000	0000	0000	0111
4	00100	0000	0000	0000	0000	0000	0000	0000	1111
5	00101	0000	0000	0000	0000	0000	0000	0001	1111
6	00110	0000	0000	0000	0000	0000	0000	0011	1111
7	00111	0000	0000	0000	0000	0000	0000	0111	1111
8	01000	0000	0000	0000	0000	0000	0000	1111	1111
9	01001	0000	0000	0000	0000	0000	0001	1111	1111
10	01010	0000	0000	0000	0000	0000	0011	1111	1111
11	01011	0000	0000	0000	0000	0000	0111	1111	1111
12	01100	0000	0000	0000	0000	0000	1111	1111	1111
13	01101	0000	0000	0000	0000	0001	1111	1111	1111
14	01110	0000	0000	0000	0000	0011	1111	1111	1111
15	01111	0000	0000	0000	0000	0111	1111	1111	1111
16	10000	0000	0000	0000	0000	1111	1111	1111	1111
17	10001	0000	0000	0000	0001	1111	1111	1111	1111
18	10010	0000	0000	0000	0011	1111	1111	1111	1111
19	10011	0000	0000	0000	0111	1111	1111	1111	1111
20	10100	0000	0000	0000	1111	1111	1111	1111	1111
21	10101	0000	0000	0001	1111	1111	1111	1111	1111
22	10110	0000	0000	0011	1111	1111	1111	1111	1111
23	10111	0000	0000	0111	1111	1111	1111	1111	1111
24	11000	0000	0000	1111	1111	1111	1111	1111	1111
25	11001	0000	0001	1111	1111	1111	1111	1111	1111
26	11010	0000	0011	1111	1111	1111	1111	1111	1111
27	11011	0000	0111	1111	1111	1111	1111	1111	1111
28	11100	0000	1111	1111	1111	1111	1111	1111	1111
29	11101	0001	1111	1111	1111	1111	1111	1111	1111
30	11110	0011	1111	1111	1111	1111	1111	1111	1111
31	11111	0111	1111	1111	1111	1111	1111	1111	1111

CFRL(4:0)

CF(31:28)

CF(27:24)

CF(23:28)

CF(19:16)

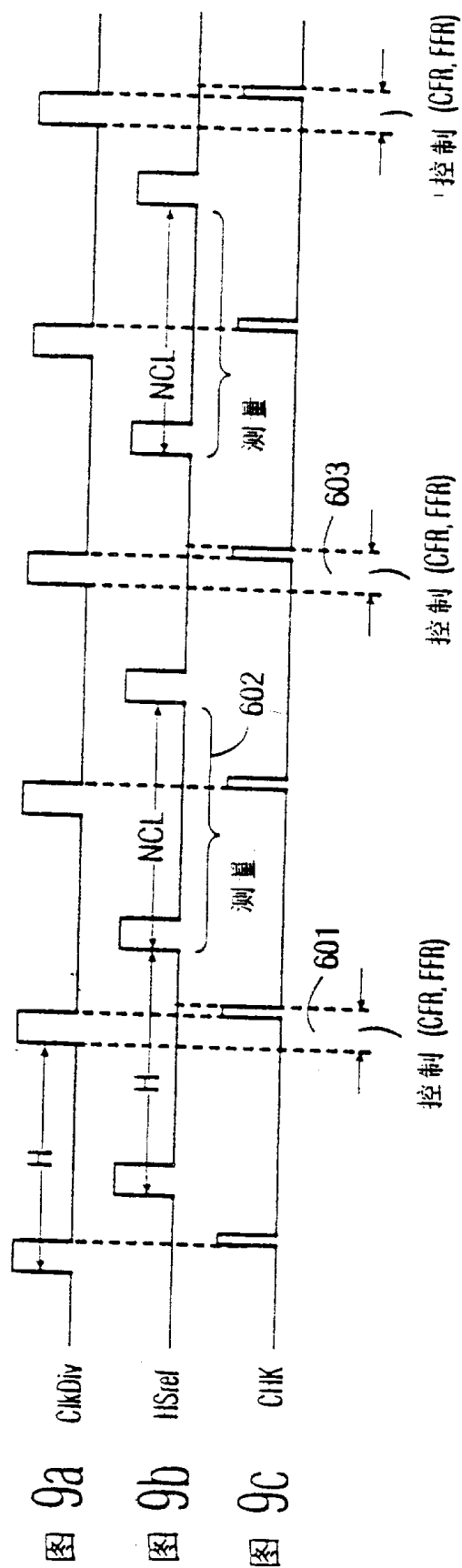
CF(15:12)

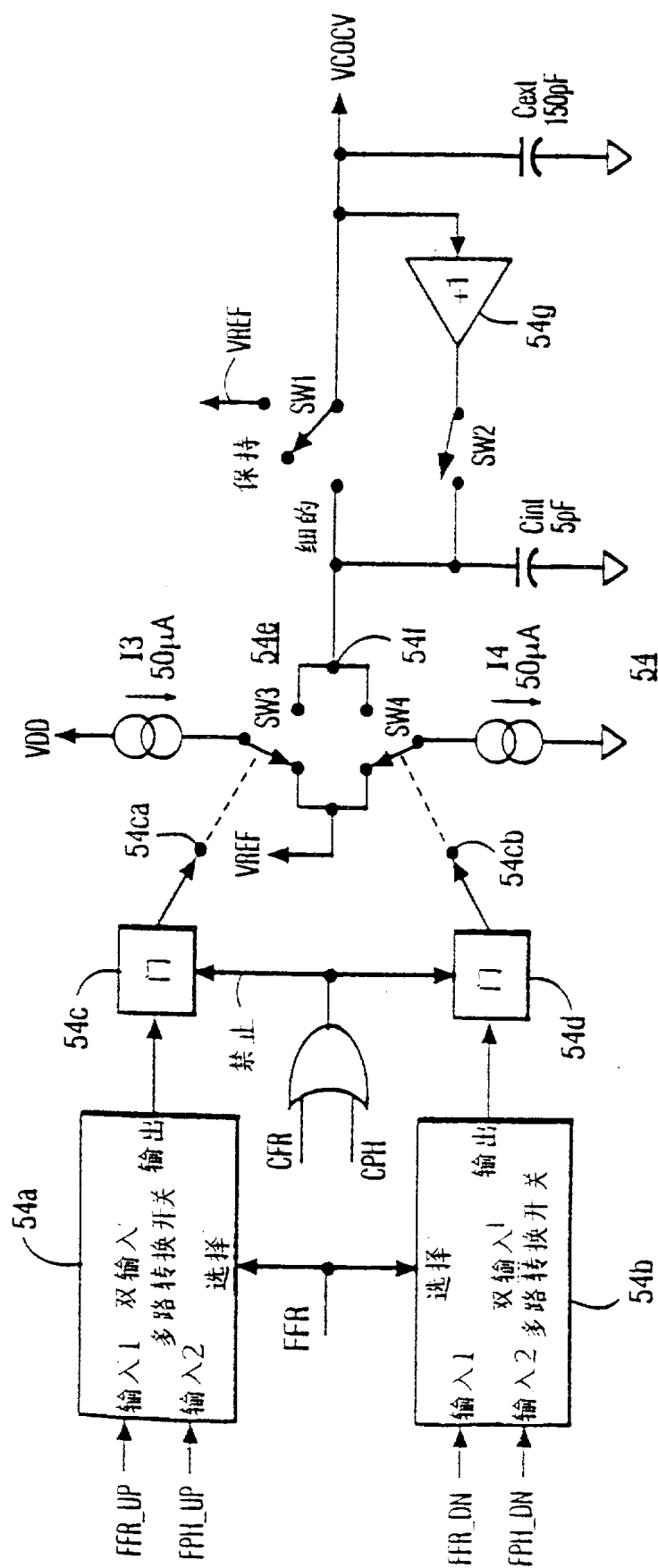
CF(11:8)

CF(7:4)

CF(3:0)

图 8





方式	UP/DN 输入	SW1	SW2
CFR	禁止输入	VREF	接通
FFR	选择 FFR	细的	断开
STP_1	选择 FPH	保持	断开
STP_2	选择 FPH	细的	断开
STP_3	选择 FPH	保持	接通
CPH	禁止输入	保持	断开
IDLE	禁止输入	保持	接通

图 10

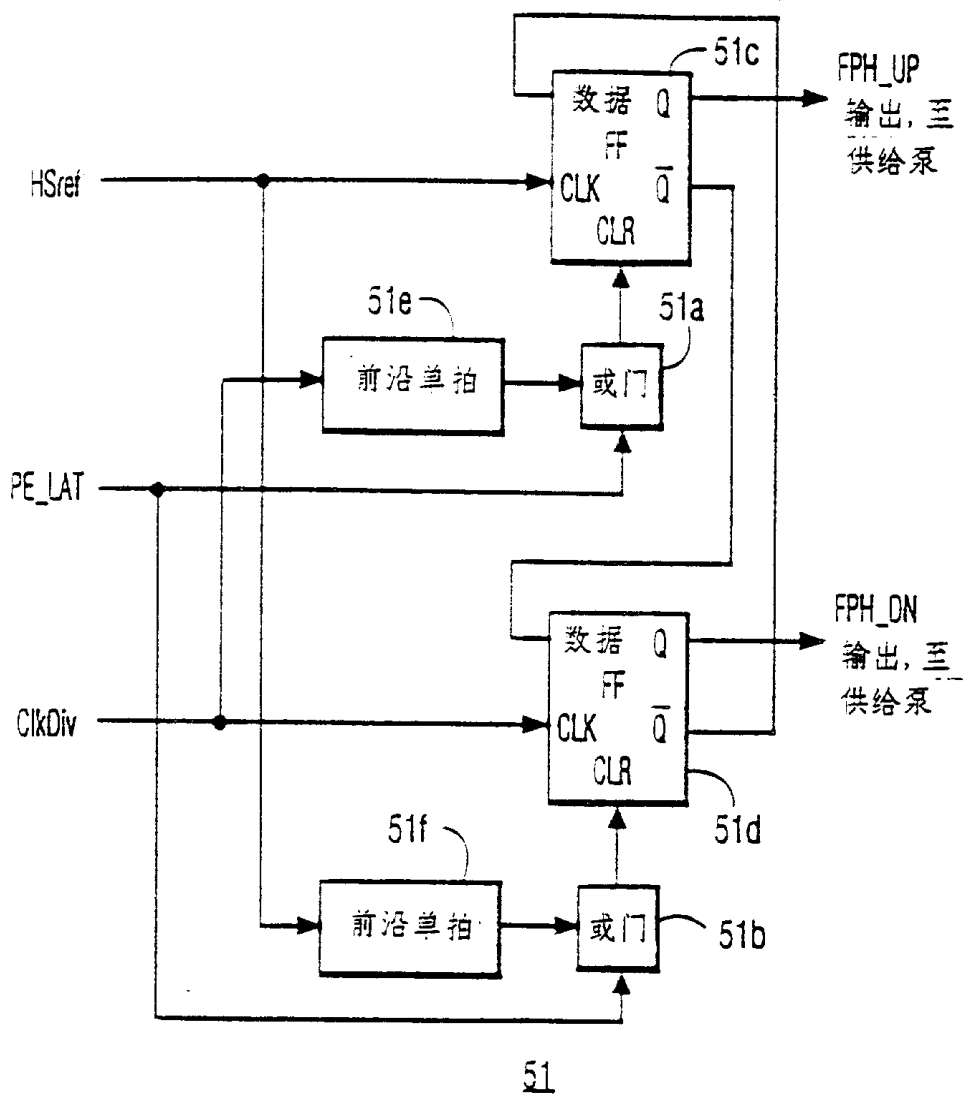


图 11

