

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 26 日(26.10.2012)



(10) 国際公開番号
WO 2012/144432 A1

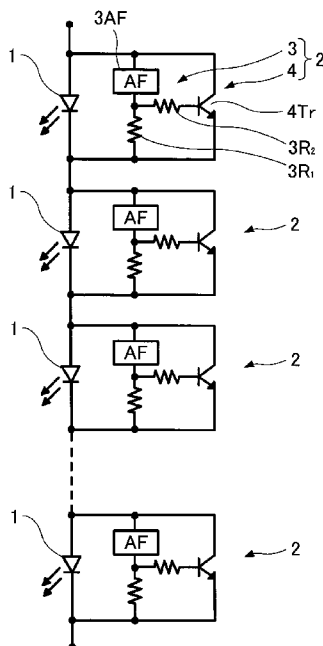
- (51) 国際特許分類:
H01L 33/00 (2010.01) *H01L 21/82* (2006.01)
- (21) 国際出願番号: PCT/JP2012/060108
- (22) 国際出願日: 2012 年 4 月 13 日(13.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-093397 2011 年 4 月 19 日(19.04.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 谷 晋輔 (TANI, Shinsuke) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社 村田製作所内 Kyoto (JP). 竹島 裕 (TAKESHIMA, Yutaka) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社 村田製作所内 Kyoto (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ

[続葉有]

(54) Title: ANTI-FUSE CIRCUIT AND LIGHT EMITTING CIRCUIT

(54) 発明の名称: アンチヒューズ回路および発光回路

[図1]
100



(57) Abstract: Provided is an anti-fuse circuit that is small and low cost and generates a small amount of heat. This anti-fuse circuit is provided with a detection circuit and a bypass circuit connected to each other in parallel. The detection circuit comprises an anti-fuse element that becomes irreversibly low resistance because of excessive voltage and a circuit with a resistor element in series. The bypass circuit is constituted by including a transistor that conducts electricity according to the voltage at the contact point of the anti-fuse element and the resistor element.

(57) 要約: 発熱量が小さく、小型で、低コストのアンチヒューズ回路を提供する。本発明のアンチヒューズ回路は、相互に並列に接続された、検出回路とバイパス回路とを備え、検出回路は、過電圧により不可逆に低抵抗化するアンチヒューズ素子と、抵抗素子との直列回路を含み、バイパス回路は、アンチヒューズ素子と抵抗素子との接続点における電圧によって導通するトランジスタを含む構成とした。

WO 2012/144432 A1



ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー 添付公開書類:

ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, — 国際調査報告 (条約第 21 条(3))
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

明 細 書

発明の名称： アンチヒューズ回路および発光回路

技術分野

[0001] 本発明は、アンチヒューズ回路に関し、さらに詳しくは、発熱量が小さく、小型で、低コストのアンチヒューズ回路に関する。

[0002] また本発明は、上記アンチヒューズ回路を用いた発光回路に関する。

背景技術

[0003] 近時、大電流（数百mA以上）を流せるLED素子が開発され、これを用いた非常に明るい発光回路が実用化されている。そして、この発光回路において、電力を効率的に利用するためには、複数のLED素子を直列に接続することが有効である。

[0004] しかしながら、複数のLED素子を直列に接続した発光回路においては、複数のLED素子のうちの1つのLED素子がオープン故障となった場合においても、全てのLED素子が消灯してしまうという問題があった。

[0005] この問題を解決する方法として、直列に接続された複数のLED素子のそれぞれと並列に、LED素子がオープン故障となった場合に機能するアンチヒューズ回路を接続する方法が考えられる。すなわち、LED素子がオープン故障となった場合、そのLED素子と並列に接続されたアンチヒューズ回路に電流を迂回させ、直列に接続された他のLED素子の発光を維持するものである。

[0006] そして、そのアンチヒューズ回路に、たとえば、特許文献1（特許第3895099号公報）や特許文献2（特許第3256603号公報）に開示されるような、半導体デバイス（FPGA；Field Programmable Gate Array）用アンチヒューズ素子を用いることが考えられる。このアンチヒューズ素子は、過電圧が印加されると不可逆に低抵抗化し、バイパス回路として機能する。

[0007] しかしながら、このアンチヒューズ素子は、数十mA以上の電流を安定的

に通電することができず、数十～数百mA以上の電流量のLED素子に対するアンチヒューズ回路には用いることができなかった。

[0008] そこで、特許文献3（特開2008-131007号公報）に開示された発光回路では、LED素子のオープン故障を検出する検出回路と、LED素子のオープン故障の場合に電流を迂回させるバイパス回路とでアンチヒューズ回路を構成し、そのアンチヒューズ回路を各LED素子と並列に接続するようにしている。

[0009] 図4に、特許文献3に開示された発光回路300を示す。

[0010] 発光回路300は、複数のLED素子101が直列に接続され、各LED素子101それぞれと並列に、アンチヒューズ回路102が接続されている。

[0011] アンチヒューズ回路102は、相互に並列に接続された、検出回路103とバイパス回路104とで構成されている。そして、検出回路103は、抵抗103R₁と抵抗103R₂との直列回路と、抵抗103R₁と抵抗103R₂との接続点に一端が接続された抵抗103R₃とで構成されている。また、バイパス回路104は、制御整流素子としてのサイリスタ104Tで構成されている。そして、検出回路103の抵抗103R₃の他端が、バイパス回路104のサイリスタ104Tのゲートに接続されている。

[0012] なお、抵抗103R₁に代えて、ツェナダイオードを用いることもできる。また、サイリスタ104Tに代えて、PNPトランジスタとNPNトランジスタとを組合せて、サイリスタと同様の機能をもたせることもできる。また、サイリスタ104Tに代えて、双方向サイリスタを用いても良い。なお、抵抗103R₃は、サイリスタ104Tの破壊を防止するためのものである。

[0013] 発光回路300において、LED素子101がオープン故障を起こすと、そのLED素子101と並列に接続された検出回路103の抵抗103R₁と抵抗103R₂との接続点における電圧が上昇し、バイパス回路104のサイリスタ104Tのゲートに電流が流入する。この結果、サイリスタ104Tはオンし、アノードとカソードとの間を通電させる。

[0014] サイリスタ 104T は、ゲート電流がゼロになってもオン状態を維持し、アノードとカソードとの間がゼロ電圧または逆電圧になるまで、大電流を通電し続けることができる。したがって、サイリスタ 104T がオンした後は、LED 素子 101 の順方向電圧よりも低い電圧で大電流を流し続けることができる。

先行技術文献

特許文献

[0015] 特許文献1：特許第3895099号公報

特許文献2：特許第3256603号公報

特許文献3：特開2008-131007号公報

発明の概要

発明が解決しようとする課題

[0016] しかしながら、上述した従来の発光回路300には、次のような問題があった。

[0017] まず、発光回路300には、アンチヒューズ回路102のバイパス回路104に使用される、サイリスタ104Tの形状が大きく、かつ高コストであるため、バイパス回路104、アンチヒューズ回路102、ひいては発光回路300が大きく、かつ高コストになってしまうという問題があった。

[0018] すなわち、サイリスタ104Tは、PNPトランジスタとNPNトランジスタとを組合せた複合回路と等価であり、一般に、トランジスタと比較して形状が大きく高価である。発光回路300においては、LED素子101と同数のサイリスタ104Tが使用されているため、発光回路300全体として大型化、高コスト化をまねく原因となっていた。

[0019] また、発光回路300には、LED素子101の通電中（オープン故障していない状態）に静電気などが印加されると、検出回路103が過電圧として検出してしまい、サイリスタ104Tがオンし、誤作動してしまうという問題があった。

[0020] 上述のとおり、サイリスタ１０４Ｔは、ゲート電流がゼロになってもオン状態を維持し、アノードとカソードとの間を通電させる。この結果、サイリスタ１０４Ｔと並列に接続されたＬＥＤ素子１０１は、定格電圧を得ることができなくなり、オープン故障していないにもかかわらず消灯してしまうという、深刻な問題が生じていた。

[0021] これらの問題を解決する方法として、発光回路３００のサイリスタ１０４Ｔを、トランジスタに置き換えることが考えられる。上述のとおり、トランジスタは、サイリスタ１０４Ｔに比較して、形状が小さく安価である。また、トランジスタは、ベース電流を変化させると、コレクタとエミッタとの間の抵抗値が自在に変化する素子であり、ベースから微小電流を投入すると、コレクタとエミッタとの間に、その数百倍の電流が発生するものである。したがって、静電気などが印加された場合、その瞬間にオンすることがあっても、すぐにターンオフするため、オープン故障していないＬＥＤ素子１０１が定格電圧を得られなくなり、消灯してしまうことがない。

[0022] しかしながら、サイリスタ１０４Ｔをトランジスタに置き換えると、発熱量が大きくなるという別の問題が発生する。上述のとおり、トランジスタは、ベース電流に応じてコレクタとエミッタとの間の抵抗が変化する素子であることから、コレクタとエミッタとの間に電流を流し続けるためには、常にトランジスタをオンした状態（検出回路１０３にＬＥＤ素子１０１の定格電圧以上の電圧がかかった状態）を維持し続ける必要がある。この場合、ＬＥＤ素子１０１の順方向電圧よりも高い電圧を印加し続けることで通電状態を維持するアンチヒューズ回路となるため、その発熱量が１個のＬＥＤ素子の発熱量よりも大きくなってしまいうという、新たな問題が発生するのである。

課題を解決するための手段

[0023] 本発明は、上述した、従来技術の有する問題点を解決するためになされたものである。その手段として、本発明のアンチヒューズ回路は、相互に並列に接続された、検出回路とバイパス回路とを備え、検出回路は、アンチヒューズ素子と、そのアンチヒューズ素子に直列に接続された抵抗素子を含み、

バイパス回路は、前記アンチヒューズ素子と前記抵抗素子との接続点に、ベースが接続されたトランジスタを含む構成とした。この結果、本発明のアンチヒューズ回路は、形状が小さく、低コストで、作動した場合の発熱量を小さく抑えることができる。

[0024] なお、アンチヒューズ素子は、絶縁体薄膜層と、当該絶縁体薄膜層の両面にそれぞれ形成された下部電極層および上部電極層とを備え、過電圧が印加された場合に生じる発熱により、絶縁体薄膜層の絶縁が破壊されるとともに、下部電極層と上部電極層とが溶融し、溶融した下部電極層と上部電極層とが融着して電氣的に接続される構造とすることができる。この場合には、静電気などによる誤作動を回避することができる。

[0025] また、本発明のアンチヒューズ回路を用いて、発光回路を構成することができる。この場合には、本発明のアンチヒューズ回路の利点を備えた発光回路となる。

発明の効果

[0026] 上記構成からなる本発明のアンチヒューズ回路は、バイパス回路に、サイリスタに替えてトランジスタを使用しているため、形状が小さく、低コストである。

[0027] また、検出回路に使用されるアンチヒューズ素子は、一度低抵抗化すると不可逆なものであり、発光素子（LEDなど）のオープン故障を検出し、作動した後は、発光素子の定格電圧以下でも一定の電流を通電し、トランジスタにコレクタ－エミッタ間の電流を維持し続けるためのベース電流を供給することができる。すなわち、本発明のアンチヒューズ回路は、発光素子の定格電圧以下でトランジスタのオン状態を維持するように設計することが可能であり、作動時の発熱量を、発光素子の発熱量よりも小さく抑えることができる。

図面の簡単な説明

[0028] [図1]本発明の第1実施形態にかかる発光回路100を示す回路図である。

[図2]図1に示す本発明の第1実施形態にかかる発光回路に使用されるアンチ

ヒューズ素子の一例を示し、図 2 (A) は平面図、図 2 (B) は図 2 (A) の矢印 X - X 部分の断面図である。

[図3]本発明の第 2 実施形態にかかる発光回路 200 を示す回路図である。

[図4]従来の発光回路 300 を示す回路図である。

発明を実施するための形態

[0029] 以下、本発明を実施するための形態について、図面を用いて説明する。

[0030] (第 1 実施形態)

図 1 に、本発明の第 1 実施形態にかかる発光回路 100 の回路図を示す。

[0031] 発光回路 100 は、複数の LED 素子 1 が直列に接続され、各 LED 素子 1 それぞれと並列に、アンチヒューズ回路 2 が接続されている。

[0032] アンチヒューズ回路 2 は、相互に並列に接続された、検出回路 3 とバイパス回路 4 とで構成されている。そして、検出回路 3 は、アンチヒューズ素子 3AF と抵抗 $3R_1$ との直列回路と、アンチヒューズ素子 3AF と抵抗 $3R_1$ との接続点に一端が接続された抵抗 $3R_2$ とで構成されている。また、バイパス回路 4 は、制御整流素子としてのトランジスタ 4Tr で構成されている。そして、検出回路 3 の抵抗 $3R_2$ の他端が、バイパス回路 4 のトランジスタ 4Tr のベースに接続されている。

[0033] トランジスタ 4Tr は、アンチヒューズ素子 3AF を通じてベースから投入される電流の数百倍の電流を、コレクタ - エミッタ間に発生させる。

[0034] 抵抗 $3R_1$ は、LED 素子 1 両端にかかる電圧を、アンチヒューズ素子 3AF と分圧することで、アンチヒューズ素子 3AF を安定して作動させ、アンチヒューズ素子 3AF の作動後には、アンチヒューズ素子 3AF の通電電流を抑制する機能を有する。

[0035] 抵抗 $3R_2$ は、トランジスタ 4Tr の破壊を防止する機能を有する。

[0036] 本実施形態においては、電源（図示せず）に、1A の定電流電源（電圧の上限は 20V 以上）を用いた。また、抵抗 $3R_1$ に 330Ω の抵抗素子を、抵抗 $3R_2$ に 10Ω の抵抗素子をそれぞれ用いた。さらに、トランジスタ 4Tr に、ベース - エミッタ間の電圧が 0.6V で、1mA の電流がベース - エミ

ッタ間に流れるものを用いた。

[0037] 本実施形態の発光回路 100 のアンチヒューズ回路 2 は、次のように作動する。

[0038] まず、LED 素子 1 が正常に作動している場合には、たとえば LED 素子 1 の VF 値を 3 V とすると、アンチヒューズ素子 3 AF（数 MΩ）と抵抗 3 R₁（330 Ω）とで 3 V の電圧が分圧されるが、ほぼ全ての電圧がアンチヒューズ素子 3 AF 側に印加される。この時、アンチヒューズ素子 3 AF にはわずかにリーク電流が発生するが、トランジスタ 4 Tr のベース - エミッタ間の抵抗と比べると抵抗 3 R₁ の抵抗の方が低いので、このリーク電流は抵抗 3 R₁ 側に流れる。そのため、トランジスタ 4 Tr はオン状態にはならず、コレクタ - エミッタ間に電流はほとんど流れない。

[0039] 一方、LED 素子 1 がオープン故障となり、この LED 素子 1 の両端に 20 V 以上の電圧が印加された場合、アンチヒューズ素子 3 AF にもほぼ同等の 20 V 以上の電圧が印加される。アンチヒューズ素子 3 AF は、20 V 以上の電圧が印加されると作動し、不可逆に低抵抗化（数 Ω）する。その結果、トランジスタ 4 Tr のベース - エミッタ間に印加される電圧が増大し、トランジスタ 4 Tr がオン状態になるので、ベースに投入された電流量に応じて、コレクタ - エミッタ間電流が発生し、ベース電流とコレクタ - エミッタ間電流の和が 1 A（電源の最大電流量）となるように、両者の電流量が調整される。本実施形態においては、アンチヒューズ素子 3 AF に通電する電流量が約 8.6 mA、コレクタ - エミッタ間電流が約 990 mA であり、LED 素子 1 の両端電圧は 1.18 V であった。

[0040] アンチヒューズ素子 3 AF には、たとえば、図 2（A）、（B）に示す構造からなるアンチヒューズ素子 13 AF を用いることができる。ただし、図 2（A）は、アンチヒューズ素子 13 AF を示す平面図、図 2（B）は図 2（A）の矢印 X - X 部分の断面図である。（図 2（A）、（B）においては、便宜上、アンチヒューズ素子を示す符号を「13 AF」とした。）

アンチヒューズ素子 13 AF は、絶縁体薄膜層 21 と、その両面に形成さ

れた下部電極層 22 および上部電極層 23 とを基本要素とする。そして、過電圧が印加されると、発熱により、絶縁体薄膜層 21 の絶縁が破壊されるとともに、下部電極層 22 および上部電極層 23 とが熔融し、下部電極層 22 および上部電極層 23 とが融着して電氣的に接続され、不可逆に低抵抗化するものである。以下、アンチヒューズ素子 13AF の、より具体的な構造について説明する。

[0041] アンチヒューズ素子 13AF は、基板 24 を備える。基板 24 には、たとえば Si 単結晶基板が用いられる。基板 24 の表面には、絶縁性を確保するため、酸化物層 25 が形成されている。酸化物層 25 には、たとえば SiO_2 が用いられる。さらに、酸化物層 25 上には、密着層 26 が形成されている。密着層 26 は、酸化物層 25 と、次に説明する下部電極層 22 との密着性を確保するためのものであり、たとえば次に説明する絶縁体薄膜層 21 と同じ材質が用いられる。

[0042] そして、密着層 26 上に、下部電極層 22、絶縁体薄膜層 21、上部電極層 23 が順に形成されている。下部電極層 22、上部電極層 23 には、たとえば PtAu などが用いられる。下部電極層 22、上部電極層 23 の厚みは、たとえば 100~500nm 程度である。また、絶縁体薄膜層 21 には、たとえば $(\text{Ba}, \text{Sr})\text{TiO}_3$ (以下「BST」という)、 SrTiO_3 、 BaTiO_3 、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 、 $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$ などが用いられる。絶縁体薄膜層 21 の厚みは、たとえば 50~200nm 程度である。

[0043] そして、上部電極層 23 上には、必要に応じて、上部絶縁層 27 が形成されている。上部絶縁層 27 は、上部電極層 23 などからのリーク電流を低減するためのものであり、ここにも、たとえば絶縁体薄膜層 21 と同じ材質が用いられる。

[0044] そして、これらの上に、さらに、無機保護層 28、有機保護層 29 が形成されている。無機保護層 28、有機保護層 29 は、両者で、内部に水分が侵入するのを防ぐなどのために形成されたものであり、無機保護層 28 には、たとえば SiN_x 、 SiO_2 、 Al_2O_3 、 TiO_2 などが、有機保護層 29 には、

たとえばポリイミド樹脂、エポキシ樹脂などが用いられる。

[0045] そして、下部電極層 22 は、ビアホール 31a、引出電極 32a を経由して外部電極 33a に、上部電極層 23 は、ビアホール 31b、引出電極 32b を経由して外部電極 33b に引出されている。なお、引出電極 32a、32b は有機保護層 29 上に形成され、外部電極 33a、33b は引出電極 32a、32b 上に形成されている。

[0046] そして、外部電極 33a、33b を外部に露出させて、全体に第 2 の有機保護層 30 が形成されて、アンチヒューズ素子 13AF は構成されている。第 2 の有機保護層 30 にも、たとえばポリイミド樹脂、エポキシ樹脂などが用いられる。

[0047] かかる構造からなるアンチヒューズ素子 13AF は、たとえば次の方法で製造される。なお、以下の説明において、各要素に用いる材質や材料は一例である。

[0048] まず、たとえば、表面に SiO_2 からなる酸化物層 25 が形成された、 SiO_2 からなる基板 24 を用意する。

[0049] 次に、酸化物層 25 上に、化学溶液堆積法 (CSD: Chemical Solution Deposition) で、BST からなる密着層 26 を形成する。具体的には、BST を含む誘電体原料溶液をスピコートにより塗布し、乾燥させ、加熱処理して形成する。

[0050] 次に、密着層 26 上に、スパッタリング法により、Pt からなる下部電極層 22 を形成する。

[0051] 次に、下部電極層 22 上に、密着層 26 と同様の方法で、BST からなる絶縁体薄膜層 21 を形成する。

[0052] 次に、絶縁体薄膜層 21 上に、下部電極層 22 と同様の方法で、Pt からなる上部電極層 23 を形成する。

[0053] 次に、上部電極層 23 上に、密着層 26 や絶縁体薄膜層 21 と同様の方法で、BST からなる上部絶縁層 27 を形成する。

[0054] 次に、上部絶縁層 27、上部電極層 23 をエッチングして所定の形状とし

、続いて絶縁体薄膜層 2 1、下部電極層 2 2、密着層 2 6 をエッチングして所定の形状とする。なお、このとき、上部絶縁層 2 7、上部電極層 2 3 には、ビアホール 3 1 a を通すための開口を設けておく。

[0055] 次に、これらの積層構造に熱処理をおこなう。

[0056] 次に、これらの積層構造上に、プラズマ化学気相成長法 (P E C V D : Plasma Enhanced Chemical Vapor Deposition) で、S i O_xからなる無機保護層 2 8 を形成する。

[0057] 次に、無機保護層 2 8 上に、ポリイミド樹脂からなる有機保護層 2 9 を形成する。具体的には感光性ポリイミドをスピンコートし、露光、現像、キュアすることにより形成する。

[0058] 次に、有機保護層 2 9 をマスクパターンとして利用し、C H F₃ガスを用いて無機保護層 2 8 をパターニングする。このとき、開口を形成し、下側電極層 2 2 および上側電極層 2 3 をそれぞれ露出させておく。

[0059] 次に、無機保護層 2 8、有機保護層 2 9 に形成された開口にビアホール 3 1 a、3 1 b、有機保護層 2 9 上に引出電極 3 2 a、3 2 b を形成する。具体的には、たとえば、マグネトロンスパッタを用いて、T i 層、C u 層を連続的に形成し、開口を埋めてビアホール 3 1 a、3 1 b を形成するとともに、有機保護層 2 9 上全面に金属膜を形成する。そして、その金属膜を、レジスト塗布、露光、現像によって形成したレジストパターンをマスクにして、イオンミリングを用いて所定のパターンにして引出電極 3 2 a、3 2 b を形成する。

[0060] 次に、開口により、引出電極 3 2 a、3 2 b をそれぞれ部分的に露出させて、第 2 の有機保護層 3 0 を形成する。具体的には、感光性樹脂材料をスピンコートで塗布し、露光、現像、キュアすることにより、エポキシ樹脂層を得る。

[0061] 最後に、第 2 の有機保護層 3 0 の開口から露出した引出電極 3 2 a、3 2 b 上に、たとえば電解めっきにより、N i 層、A u 層を順に形成し、外部電極 3 3 a、3 3 b を形成して、アンチヒューズ素子 1 3 A F を完成させる。

[0062] 上述した構造からなり、上述した方法で製造し得るアンチヒューズ素子 13AF は、1 ～ 100 nF 程度と静電容量が大きく、静電気が印加されても、一時的に電荷を蓄えることができるため、作動しない。したがって、このアンチヒューズ素子 13AF を、本実施形態にかかる発光回路 100 のアンチヒューズ素子 3AF として用いれば、LED 素子 1 通電中（オープン故障となっていない状態）に静電気が印加されても、作動することがない。すなわち、静電気により誤作動することがない。

[0063] 以上、第 1 実施形態にかかる発光回路 100 について説明した。しかしながら、本発明が上記の内容に限定されることはなく、発明の主旨に沿って設計変更をなすことができる。たとえば、抵抗 3R₁、抵抗 3R₁ の抵抗値、トランジスタ 4Tr の特性などは上記には限定されず、変更をなすことができる。また、使用するアンチヒューズ素子も、符号 13AF として示した構造のものには限定されず、過電圧により不可逆に低抵抗化するものであれば、他の構造のものも使用することができる。

[0064] （第 2 実施形態）

図 3 に、本発明の第 2 実施形態にかかる発光回路 200 の回路図を示す。

[0065] 発光回路 200 では、2 つの LED 素子 1A と 1B とで 1 つの LED 素子群が構成され、この LED 素子群のそれぞれと並列に、アンチヒューズ回路 2 が接続されている。なお、アンチヒューズ回路 2 は、上述した第 1 実施形態にかかる発光回路 100 で使用したのと同じものである。

[0066] 発光回路 200 においては、LED 素子の総数に対して、使用するアンチヒューズ回路 2 の個数を 1 / 2 にすることができる。ただし、LED 素子 1A、1B のいずれか一方がオープン故障となった場合であっても、LED 素子群として、LED 素子 1A、1B の両方が消灯する。もちろん、この場合においても、他の LED 素子群の点灯は維持できる。

符号の説明

[0067] 1 : LED 素子

2 : アンチヒューズ回路

- 3 : 検出回路 (アンチヒューズ回路の一部)
- 3 A F、1 3 A F : アンチヒューズ素子
- 3 R₁、3 R₂ : 抵抗
- 4 : バイパス回路 (アンチヒューズ回路の一部)
- 4 T_r : トランジスタ
- 2 1 : 絶縁体薄膜層
- 2 2 : 下部電極層
- 2 3 : 上部電極層
- 2 4 : 基板
- 2 5 : 酸化物層
- 2 6 : 密着層
- 2 7 : 上部絶縁層
- 2 8 : 無機保護層
- 2 9 : 有機保護層
- 3 0 : 第2の有機保護層
- 3 1 a、3 1 b : ビアホール
- 3 2 a、3 2 b : 引出電極
- 3 3 a、3 3 b : 外部電極

請求の範囲

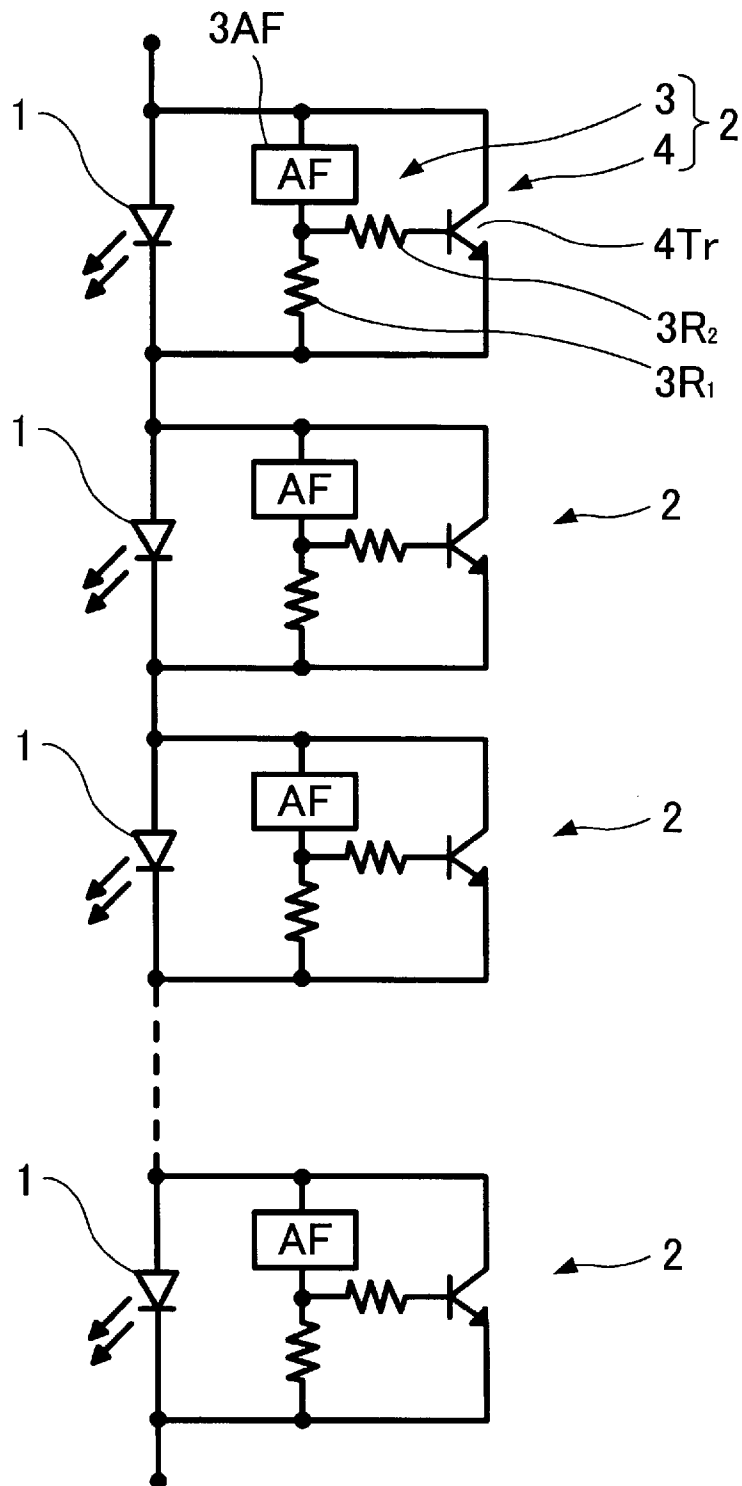
- [請求項1] 相互に並列に接続された、検出回路とバイパス回路とを備えたアンチヒューズ回路であって、
- 前記検出回路は、アンチヒューズ素子と、当該アンチヒューズ素子に直列に接続された抵抗素子を含み、
- 前記バイパス回路は、前記アンチヒューズ素子と前記抵抗素子との接続点に、ベースが接続されたトランジスタを含む、アンチヒューズ回路。
- [請求項2] 前記アンチヒューズ素子が、絶縁体薄膜層と、当該絶縁体薄膜層の両面にそれぞれ形成された下部電極層および上部電極層とを備え、過電圧が印加された場合に、前記絶縁体薄膜層の絶縁が破壊されるとともに、前記下部電極層と前記上部電極層とが熔融し、当該熔融した下部電極層と上部電極層とが融着して電氣的に接続される、請求項1に記載されたアンチヒューズ回路。
- [請求項3] 直列に接続された複数の発光素子を備えた発光回路であって、
- 前記発光素子のそれぞれと並列に、請求項1または2に記載されたアンチヒューズ回路が接続され、
- 前記アンチヒューズ回路の検出回路は、並列に接続された前記発光素子がオープン故障となった場合に、当該オープン故障を検出し、
- 前記発光素子がオープン故障となった状態を、前記検出回路が検出した場合に、前記アンチヒューズ回路のバイパス回路の前記トランジスタが導通する、発光回路。
- [請求項4] 直列に接続された複数の発光素子を備えた発光回路であって、
- 前記複数の発光素子は複数の発光素子群に区分され、
- 前記発光素子群のそれぞれと並列に、請求項1または2に記載されたアンチヒューズ回路が接続され、
- 前記アンチヒューズ回路の検出回路は、並列に接続された前記発光素子群の中の少なくとも1つの発光素子がオープン故障となった場合

に、当該オープン故障を検出し、

前記発光素子がオープン故障となった状態を、前記検出回路が検出した場合に、前記アンチヒューズ回路のバイパス回路の前記トランジスタが導通する、発光回路。

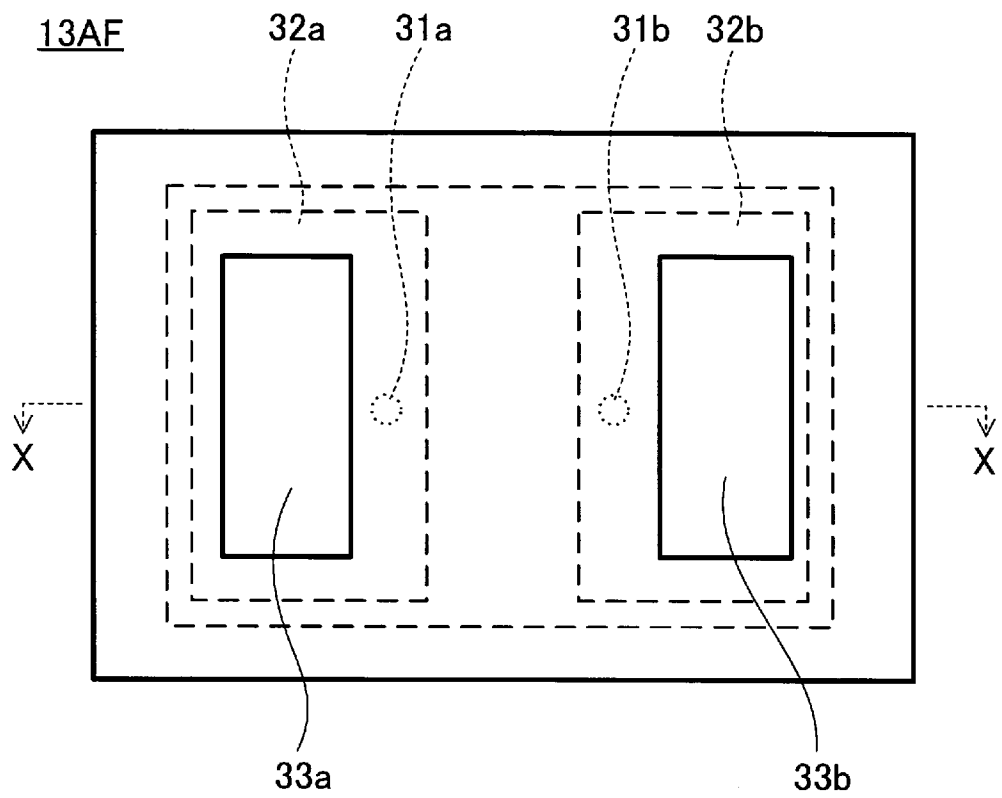
[請求項5] 前記発光素子がL E D素子である、請求項3または4に記載された発光回路。

[図1]

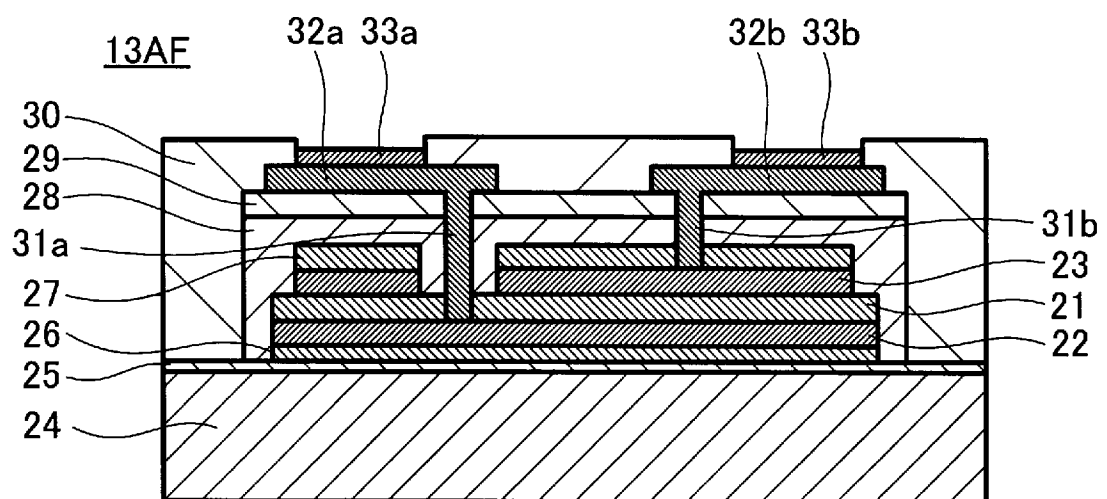
100

[図2]

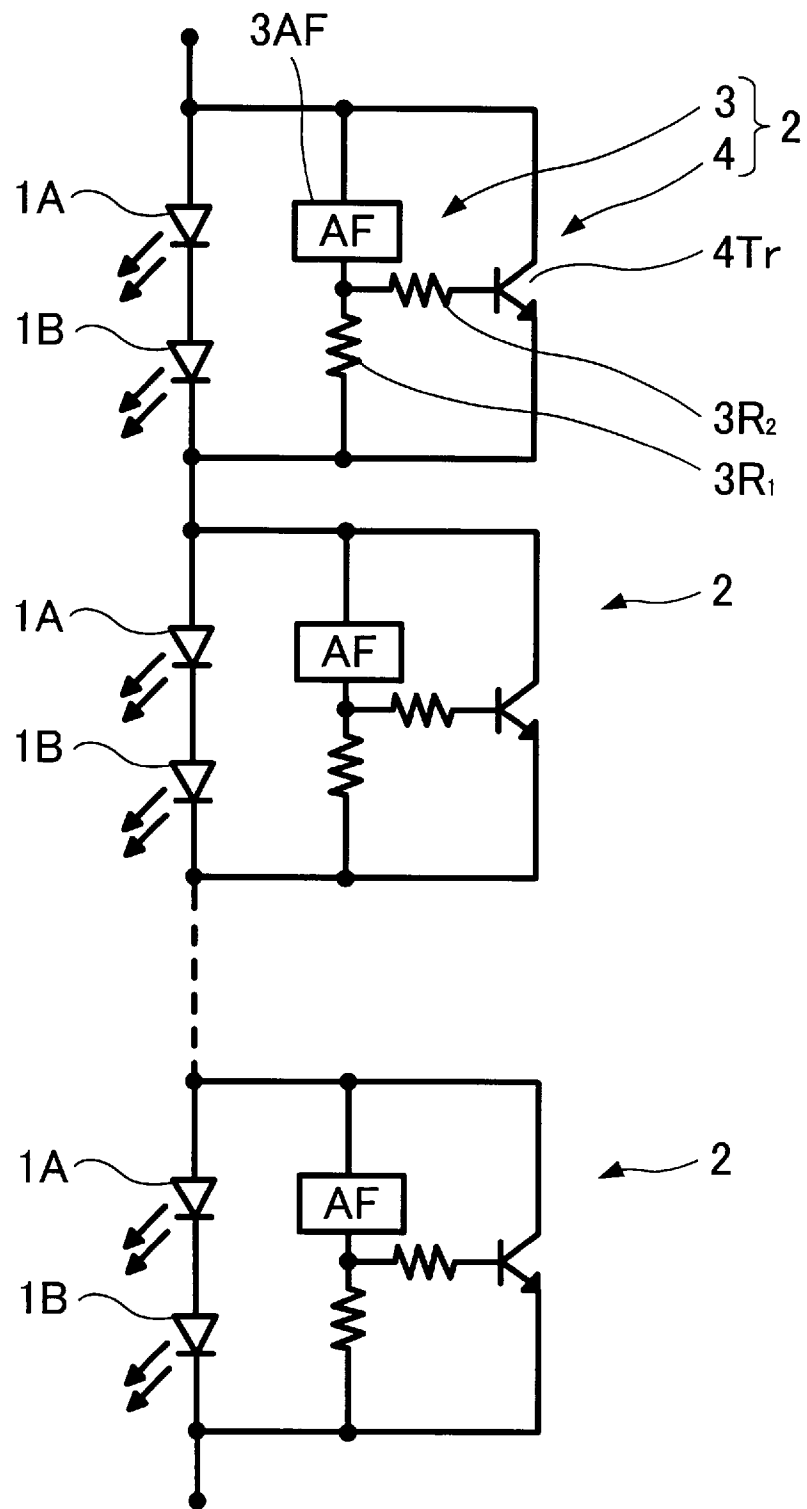
(A)



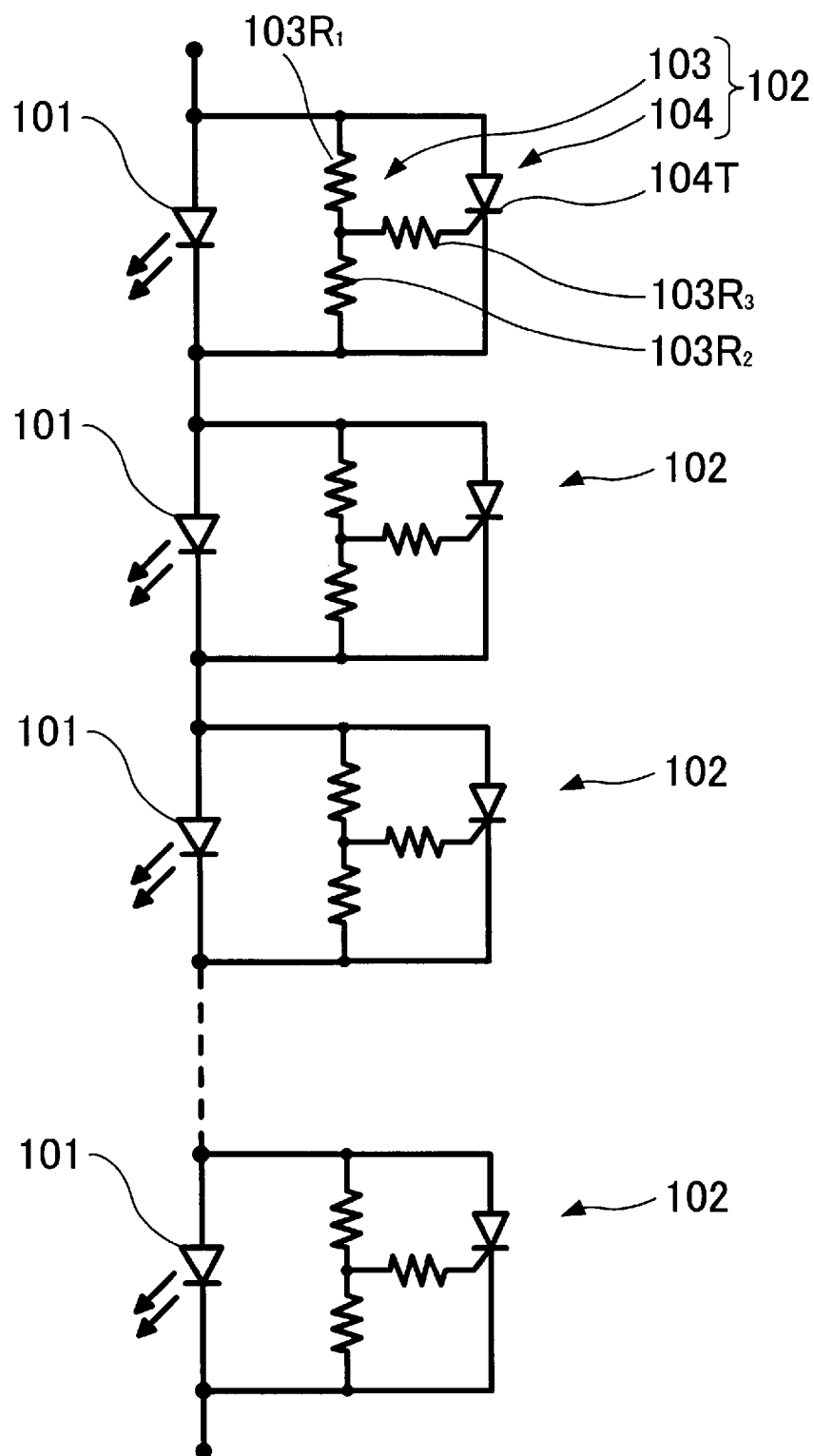
(B)



[図3]

200

[図4]

300

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/060108

A. CLASSIFICATION OF SUBJECT MATTER

H01L33/00(2010.01)i, H01L21/82(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00-33/64, H05B37/00-39/10, H01L21/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2007/080984 A1 (Sharp Corp.), 19 July 2007 (19.07.2007), paragraph [0005]; fig. 1 & US 2009/0219460 A1	1-5
A	JP 2008-277809 A (Renesas Technology Corp.), 13 November 2008 (13.11.2008), paragraphs [0201] to [0204]; fig. 33 (Family: none)	1-5
A	WO 2010/100995 A1 (Murata Mfg. Co., Ltd.), 10 September 2010 (10.09.2010), paragraphs [0063] to [0066]; fig. 4 (Family: none)	1-5

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
02 May, 2012 (02.05.12)

Date of mailing of the international search report
22 May, 2012 (22.05.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L33/00(2010.01)i, H01L21/82(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L33/00-33/64, H05B37/00-39/10, H01L21/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2007/080984 A1（シャープ株式会社） 2007.07.19, 段落 0005, 図 1 & US 2009/0219460 A1	1-5
A	JP 2008-277809 A（株式会社ルネサステクノロジ） 2008.11.13, 段落 0201-0204, 図 33 ファミリーなし	1-5

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

02.05.2012

国際調査報告の発送日

22.05.2012

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

角地 雅信

2 K

3912

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2010/100995 A1 (株式会社村田製作所) 2010.09.10, 段落 0063-0066, 図 4 ファミリーなし	1-5