

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年8月2日(02.08.2018)



(10) 国際公開番号

WO 2018/139196 A1

(51) 国際特許分類:
G06F 17/10 (2006.01)

(21) 国際出願番号: PCT/JP2018/000279

(22) 国際出願日: 2018年1月10日(10.01.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-013396 2017年1月27日(27.01.2017) JP

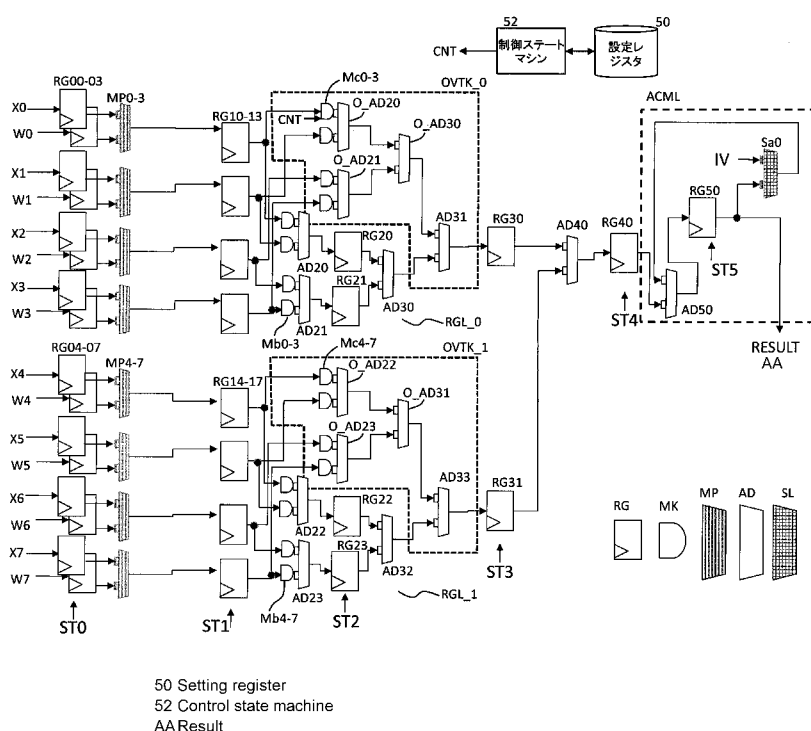
(71) 出願人: 富士通株式会社(FUJITSU LIMITED)
[JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).

(72) 発明者: 依田 勝洋 (YODA, Katsuhiro); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 伴野 充(TOMONO, Mitsuru); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 野津 隆弘(NOTSU, Takahiro); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 伊藤 真紀子(ITO, Makiko); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 向山 直樹(MUKOUYAMA Naoki); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).

(54) Title: PROCESSOR, INFORMATION PROCESSING DEVICE, AND PROCESSOR OPERATION METHOD

(54) 発明の名称: プロセッサ、情報処理装置及びプロセッサの動作方法



(57) Abstract: Provided is a processor that comprises a plurality of processor cores and internal memory accessed from the plurality of processor cores and in which a computing unit included in one of the plurality of processor cores comprises: a normal addition circuit comprising a plurality of first registers provided to a first stage, a first adder for adding a plurality of pieces of output from the plurality of first registers, and a second register that is provided to a second stage and that latches the output of the first adder; an overtaking addition circuit comprising a second adder for adding a plurality of



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

pieces of output from the plurality of first registers; and a combination circuit provided to a third stage and comprising a third adder for adding the output of the normal addition circuit and the output of the overtaking addition circuit and a third register that latches the output of the third adder. The first adder and the second adder comprise adder circuits into which pieces of output selected exclusively from each other from among the plurality of pieces of output from the plurality of first registers are input.

(57) 要約: 複数のプロセッサコアと、複数のプロセッサコアからアクセスされる内部メモリとを有し、複数のプロセッサコアのいずれかが有する演算器は、第1ステージに設けられた複数の第1のレジスタと、複数の第1のレジスタの複数の出力を加算する第1の加算器と、第2ステージに設けられ前記第1の加算器の出力をラッチする第2のレジスタとを有する通常加算回路と、複数の第1のレジスタの複数の出力を加算する第2の加算器を有する追越し加算回路と、前記通常加算回路の出力と前記追越し加算回路の出力とを加算する第3の加算器と、第3ステージに設けられ前記第3の加算器の出力をラッチする第3のレジスタとを有する合成回路とを有し、第1の加算器と第2の加算器は、複数の第1のレジスタの複数の出力を互いに排他的に選択して入力する、加算回路を有する、プロセッサ。

明 細 書

発明の名称：

プロセッサ、情報処理装置及びプロセッサの動作方法

技術分野

[0001] 本発明は、プロセッサ、情報処理装置及びプロセッサの動作方法に関する。

背景技術

[0002] ディープラーニング（以下DL:Deep Learning）は、情報処理装置内のプロセッサの演算処理により実行される。DLは、階層の深いニューラルネットワーク（以下DNN:Deep Neural Network）を利用したアルゴリズムの総称である。そして、DNNの中でも良く利用されるのが、コンボリユージョン・ニューラルネットワーク（CNN:Convolutional Neural Network）である。CNNは、例えば画像データの特徴を判定するDNNとして広く利用される。

[0003] 画像データの特徴を判定するCNNは、画像データを入力しフィルタを利用した畳込み演算を行い画像データの特徴（例えばエッジの特徴など）を検出する。そして、CNNの畳込み演算は、例えばプロセッサにより演算される。以下の特許文献1にはメモリのデータフォーマットと演算器の実行性能について開示がある。

先行技術文献

特許文献

[0004] 特許文献1：特開2014-38624号公報

発明の概要

発明が解決しようとする課題

[0005] 上記の畳込み演算は、係数フィルタの画像データでの位置を画像データの

ラストスキャン方向に移動しながら、画像データの注目画素を中心とする近傍マトリクスの画素データと係数フィルタの係数（重み）との積和演算を繰り返す。係数フィルタのサイズは、一般に、奇数の二乗（8の倍数に1加算した値）である。例えば、 3×3 、 5×5 、 7×7 、 9×9 、 11×11 などである。

[0006] 一方、畳込み演算は、積和演算の繰り返しであり、複数の積和演算器で並列処理することが望ましい。また、DNNでは複数チャネルの画像データ（複数プレーンの画素データ）

に対して畳込み演算を行う場合があり、その場合も複数の積和演算器で並列処理することが望ましい。

[0007] ところが、プロセッサは一般に2のべき乗個の演算器を有する。そのため、例えば16個の演算器に、 3×3 の係数フィルタの場合の9個の係数や画素データを入力すると、一部の演算器が積和演算を処理できない場合があり、その結果、16個の演算器を効率的に動作させることができない。

[0008] そのため、画像データを転置して、複数組の画素データとその係数を並列に16個の演算器に入力することが行われる。しかし、その場合は、画像データを転置する処理が必要になり、転置処理の間演算器が動作を停止する必要があるので、やはり16個の演算器を効率的に動作させることができない。

[0009] そこで、一つの実施の形態の目的は、効率的に演算を行うプロセッサ、情報処理装置及びプロセッサの動作方法を提供することにある。

課題を解決するための手段

[0010] 一つの実施の形態は、
複数のプロセッサコアと、
前記複数のプロセッサコアからアクセスされる内部メモリとを有し、
前記複数のプロセッサコアのいずれかが有する演算器は、
第1ステージに設けられた複数の第1のレジスタと、
前記複数の第1のレジスタの複数の出力を加算する第1の加算器と、第2

ステージに設けられ前記第 1 の加算器の出力をラッチする第 2 のレジスタとを有する通常加算回路と、

前記複数の第 1 のレジスタの複数の出力を加算する第 2 の加算器を有する追越し加算回路と、

前記通常加算回路の出力と前記追越し加算回路の出力とを加算する第 3 の加算器と、第 3 ステージに設けられ前記第 2 の加算器の出力をラッチする第 3 のレジスタとを有する合成回路とを有し、

前記第 1 の加算器と前記第 2 の加算器は、前記複数の第 1 のレジスタの複数の出力を互いに排他的に選択して入力し、前記第 1、第 2、第 3 のレジスタはクロックに同期して入力をラッチする、加算回路を有する、プロセッサである。

発明の効果

[0011] 第 1 の側面によれば、効率的に演算を行うことができる。

図面の簡単な説明

[0012] [図1]本実施の形態におけるディープラーニングを実行する情報処理装置（ディープラーニングサーバ）の構成を示す図である。

[図2]ディープラーニング演算プログラムの概略的な処理を示すフローチャート図である。

[図3]グラフィックプロセッサ（GPU）11の構成とGPU内のコアCOREの構成とを示す図である。

[図4]CNNの一例を示す図である。

[図5]畳込み演算を説明する図である。

[図6]メモリに記憶されるデータ構造の配列（AOS : Array of Structure）を16個の演算器に入力する例を示す図である。

[図7]メモリに記憶されるデータ構造の配列であるAOSを転置したストラクチャオブアレイ（SOA : Structure of Array）のデータを4個の演算器に入力する例を示す図である。

[図8]本実施の形態における演算器の入力データの構成を図6、図7の例と対

比して示す図である。

[図9]本実施の形態におけるグラフィックプロセッサGPU（DL装置）の構成を示す図である。

[図10]フォーマット変換器FMT_Cの構成を示す図である。

[図11]積和演算器に入力する入力用の近傍マトリクスの画像データの生成手順の第1例を示す図である。

[図12]積和演算器に入力する入力用の近傍マトリクスの画像データの生成手順の第1例を示す図である。

[図13]本実施の形態の追越しルート付積和演算器の構成を示す図である。

[図14]3×3フィルタの場合の図13の積和演算器の動作を示すシーケンス図である。

[図15]3×3フィルタの場合のマスクMb0-7とMc0-7の選択、非選択状態を示すシーケンス図である。

[図16]5×5フィルタの場合の図13の積和演算器の動作を示すシーケンス図である。

[図17]1組の入力画素データが11画素の場合の積和演算器の動作を示すシーケンス図である。

[図18]32画素データまで入力可能な積和演算器の構成を示す図である。

[図19]図18の加算器ADDERの構成例を示す図である。

[図20]第2の実施の形態における追越しルート付積和演算器の構成を示す図である。

[図21]第2の演算の場合の図20の積和演算器を示す図である。

[図22]A0Sの画素データを生成するフォーマット変換を示す図である。

発明を実施するための形態

[0013] 図1は、本実施の形態におけるディープラーニングを実行する情報処理装置（ディープラーニングサーバ）の構成を示す図である。サーバ1は、ネットワークを介してセンシング装置群30及び端末装置32と通信可能である。センシング装置群30は、例えば撮像素子により画像を撮像して画像デー

タを生成し、画像データをサーバ1に送信する。端末装置32は、画像データの特徴の判定結果をサーバ1から受信して出力する。

[0014] サーバ1は、汎用プロセッサであるCPU (Centralprocessing Unit) 10と、グラフィックプロセッサであるGPU (Graphic Processing Unit) 11とを有する。サーバ1は、さらに、DRAMなどのメインメモリ12と、NIC (Network Interface Card) などのネットワークインターフェース14と、ハードディスクやSSD (SolidStorage Device) などの大容量の補助メモリ20と、それらを接続するバスBUSとを有する。

[0015] 補助メモリ20は、ディープラーニング演算プログラム22と、ディープラーニングパラメータ24などを記憶する。補助メモリ20は、上記プログラムやパラメータに加えて、図示しないオペレーティングシステム (OS) や、各種ミドルウェアプログラムなども記憶する。プロセッサ10及びグラフィックプロセッサ11は、上記のプログラムやパラメータをメインメモリ12に展開し、パラメータに基づいてプログラムを実行する。

[0016] 図2は、ディープラーニング演算プログラムの概略的な処理を示すフローチャート図である。DL演算プログラムは、例えばDNNの演算を実行するプログラムである。プロセッサ10、11は、DL演算プログラムを実行して、学習モードと判定モードの処理を実行する。DLとして、画像データの特徴を判定するDNNを例にして説明する。

[0017] 学習モードでは、プロセッサ10、11は、演算パラメータ (フィルタの係数 (重み) 等) の初期値をメインメモリ12から読み出し、プロセッサ11内の高速メモリSRAMに書込む (S10)。さらに、プロセッサは、センシング装置群30から送信された画像データをメインメモリ12から読み出し高速メモリSRAMに書込む (S11)。そして、プロセッサは、画像データをフォーマット変換して演算器入力用の近傍マトリクス画像

データ（演算処理データ）を生成し（S12）、DNNの畳込み層、プーリング層、全結合層、ソフトマックス層（出力層）の演算処理を行う（S13）。この演算は、所定数の画像データについてそれぞれ行われる。演算結果は例えば画像データが数字0～1のうちいずれかなどである。

[0018] 更に、プロセッサ10、11は、演算結果と画像データの正解データである教師データとの差分が閾値以下か否か判定し（S14）、差分が閾値以下でない場合（S14のN0）、演算パラメータを差分に基づいてDNNのバックワード演算を実行し演算パラメータを更新する

（S15）。そして、更新された演算パラメータで、上記の工程S11-S13を繰り返す。ここで演算結果と教師データとの差分は、例えば1000枚の画像データについて演算した1000個の演算結果と、1000個の教師データそれぞれの差分の合計値などである。

[0019] 上記の差分が閾値以下になったとき（S14のYES）、演算パラメータが最適値に設定されたと判断して、学習モードを終了する。そして、演算パラメータの最適値によって、その後の判定モードでの演算処理が行われる。

[0020] 判定モードでは、プロセッサ10、11は、判定対象の画像データをメインメモリから読み出し（S16）、画像データをフォーマット変換して演算器入力用の近傍マトリクス画

像データを生成し（S17）、DNNの畳込み層、プーリング層、全結合層、ソフトマックス層の演算処理を行う（S18）。プロセッサ10、11は、上記の判定処理を、判定対象の画

像データが終了するまで繰り返す（S19）。判定結果は、端末装置32に送信され出力される。

[0021] 図3は、グラフィックプロセッサ（GPU）11の構成とGPU内のコアCOREの構成とを示す図である。GPU11は、メインメモリM_MEMにアクセス可能である。GPUは、例えば8個のプロセッサコアCOREと、それぞれのプロセッサコアC

OREに対応して配置された複数の高速メモリSRAMと、内部バスI_BUSと、メインメモリM_MEMとのアクセス制御を行うメモリコントローラMCとを有する。GPUは、図3に示されていない、各コアCORE内のL1キャッシュメモリと、8つのコアCOREで共用されるL2キャッシュメモリと、種々の周辺リソース回路を有する。さらに、GPUは、内部の高速メモリSRAM間のデータ転送、メインメモリM_MEMと高速メモリSRAM間のデータ転送などを制御するダイレクトメモリアクセス制御回路DMAを有する。

[0022] 一方、各プロセッサコアCOREは、通常のプロセッサコアと同様に、命令をメモリから取得する命令フェッチ回路FETCHと、取得した命令をデコードするデコーダDECと、デコード結果に基づいて命令を演算する複数の演算器ALU及びそのレジスタ群REGと、高速メモリSRAMにアクセスするメモリアクセス制御回路MACとを有する。

[0023] GPUは、例えば半導体チップで実現され、本実施の形態のDL装置である。GPUは、前述のセンシング装置群から送信された画像データを記憶するメインメモリM_MEMから画像データを読み出して、内部の高速メモリSRAMに書込む。そして、各コアCORE内の演算器ALUは、SRAMに書き込まれた画像データを入力し、DNNの各層の演算処理を実行し、DNNの出力を生成する。

[0024] 図4は、CNNの一例を示す図である。画像データの判定処理を行うCNNは、入力データである画像データIM_Dが入力される入力層INPUT_Lと、複数組のコンボリューション層CNV_L及びプーリング層PL_Lと、全結合層C_Lと、ソフトマックス層（出力層）OUT_Lとを有する。

[0025] コンボリューション層CNV_Lは、画像データIM_Dを係数フィルタFLTでフィルタリングしてある特徴量を有する画像データF_IM_Dを生成する。複数の係数フィルタFLT_0-3でフィルタリングすると、それぞれの特徴量の画像データF_IM_Dが生成される。プ

ーリング層PL_Lは、例えばコンボリュージョン層のノードの値の代表値（例えば最大値）を選択する。そして、出力層OUT_Lには、前述したように、例えば画像データ内の数字の判定結果（0～9のいずれか）が出力される。

[0026] コンボリュージョン層CNV_Lは、M×Nの二次元画素マトリクスの画素データを有する画像データIM_Dの例えば3×3の近傍マトリクスの画素データと、近傍マトリクスと同じ3×3の係数フィルタFLTの係数データとをそれぞれ乗算し乗算結果を加算する積和演算を行い、近傍マトリクスの中央の注目画素の画素データF_IM_Dを生成する。このフィルタリング処理を、係数フィルタを画像データIM_Dのラスタスキャン方向にずらしながら画像データIM_Dの全ての画素に対して演算を行う。これが畳込み演算である。

[0027] 図5は、畳込み演算を説明する図である。図5には、例えば5行5列の画像データの周囲にパディングPを追加した入力画像データIN_DATAと、3行3列の重みW0-W8を有する係数フィルタFLT0と、畳込み演算された出力画像データOUT_DATAとが示される。畳込み演算は、注目画素を中心とする近傍マトリクスの複数の画素データと係数フィルタFLT0の複数の係数（重み）W0-W8とをそれぞれ乗算し加算する積和演算を、係数フィルタFLT0を画像データのラスタスキャン方向にずらしながら繰り返す演算である。

[0028] 近傍マトリクスの画素データが X_i （但し $i=0-8$ ）、係数フィルタの係数データが W_i （但し $i=0-8$ ）の場合、積和演算式は次のとおりである。

$$X_i = \sum (X_i * W_i) \quad (1)$$

但し、右辺の X_i は入力画像IN_DATAの画素データ、 W_i は係数であり、 $\sum$ は $i = 0-8$ だけ加

算することを示し、左辺の X_i は積和演算値であり出力画像OUT_DATAの画素デ

ータである。

[0029] 即ち、画像データの注目画素がX6の場合は、式（１）により積和演算SoPされた画素デ

ータX6は、次のとおりである。

$$X6 = X0*W0 + X1*W1 + X2*W2 + X5*W3 + X6*W4 + X7*W5 + X10*W6 + X11*W7 + X12*W8$$

図6は、メモリに記憶されるデータ構造の配列（AOS : ArrayOf Structure）を16個

の演算器に入力する例を示す図である。図6では、入力データIN_DATAは、アレイオブス

トラクチャ（AOS）形式である各行16ワードの入力画像データIN_DATAと、16ワードの係数FLT（W0-W8）を、行の順に16個の演算器ALUに入力する例である。

[0030] 入力画像データIN_DATAは、各行、最初の9ワードに画素データa0-a8、b0-b8、c0-c8、d0-d8を、残りの7ワードに値「0」の画素データをパッキングされている。また、係数

フィルタFLTも、1行に、最初の9ワードに係数データW0-W8を、残りの7ワードに値「0

」をパッキングされている。そして、それぞれ対応する列の画素データと係数データの対が、演算器ALUの16個の入力に入力される。

[0031] この場合、演算器のうち9個の入力の演算器は有効な入力データについて演算を行うが、残りの7個の入力の演算器は無効な入力データであるので有効な演算を行っていない。

[0032] 図7は、メモリに記憶されるデータ構造の配列であるAOSを転置したストラクチャオブ

アレイ（SOA : Structure Of Array）のデータを4個の演算器に入力する例を示す図である。入力データIN_DATAと係数フィルタFLTの係数データW0-W8は、図6と同じである。この

入力データIN_DATAの列方向と行方向を転置処理により逆にした転置後データTRSP_DATAが、係数データと対で、4個の演算器ALUに入力される。

[0033] この場合、4個の演算器は全て有効な入力データを入力して演算を行う。したがって、無効な演算を行う演算器をなくすことができ、演算効率を高めることができる。しかしながら、4個の演算器は、入力データの転置処理が完了するまで、演算処理を開始することができず、演算効率の低下を招く。

[0034] [第1の実施の形態]

図8は、本実施の形態における演算器の入力データの構成を図6、図7の例と対比して示す図である。図6、図7に示した入力データの構成AOS, SOAは、図8の(B) (C)に示される。図8には、演算器への入力されるデータは、簡単のために入力データIN_DATAだけを示し、フィルタの係数は省略している。

[0035] 図8 (B) は、図6と異なり演算器ALUの16の入力が右側に縦方向に並べて示され、図8 (C) は、図7と異なり16個の演算器ALUが右側に縦方向に並べて示される。(B) の場合、入力データのフォーマットはAOSであるため、16個の入力のうち7つの入力の演算器ALUが稼働していない。一方、(C) の場合、入力データのフォーマットはSOAであるため、16個の演算器ALUはフル稼働するが、SOAへのフォーマット化のために転置処理が必要になり、演算開始まで処理のサイクル演算器の動作が停止する。

[0036] それに対して、図8 (A) は、本実施の形態の入力データの構成と4個の演算器が示される。この場合、演算器ALUの8個の入力には9個の画素データa0-a8が8ワード幅で入力される。そのため、最初の8ワード入力には8個の画素データa0-a7が含まれ、次の8ワード入力には残りの画素データa8が、次の9個の画素データの一部b0-b6と共

に含まれる。

[0037] そこで、本実施の形態における演算器ALUは、入力数を超える個数の入力データを複数

のサイクルで入力し、最初のサイクルで入力したデータの演算サイクル数後に全入力データの演算結果を出力する。例えば、演算器は、複数のステージでパイプライン処理して演算結果を出力する。本実施の形態における演算器は、通常のパイプライン処理ルートに加えて、通常よりもステージ数が少ない追越し処理ルートを有する。そして、最初の8ワード入力に収まらなかった入力データの演算を追越し処理ルートで実行し、最初のサイクルで入力したデータの演算サイクル数後に、全入力データの演算結果を出力する。

[0038] [GPUの構成]

図9は、本実施の形態におけるグラフィックプロセッサGPU（DL装置）の構成を示す図

である。図9のGPUは、図3の構成を簡略化した構成を示している。GPUはDL演算を行うDLチップ（DL装置）である。

[0039] GPUは、プロセッサコアCOREと、内部の高速メモリSRAM_0、SRAM_1と、内部バスI_BUSと、メモリコントローラMCと、更に、画像データのフォーマット変換器FMT_Cと、制御バスC_BUSとを有する。フォーマット変換器FMT_Cは、メインメモリM_MEMから入力した画像データを、コアCORE内の演算器に入力するための入力用の近傍マトリクス画像データに、フォーマット変換する。本実施の形態では、フォーマット変換器FMT_Cは、高速メモリSRAM_0、SRAM_1間のデータ転送を実行するDMAである。つまり、DMAは、本来のデータ転送回路に

加えて、フォーマット変換器を有する。但し、フォーマット変換器は、DMAとは別に単独

で構成してもよい。そして、DMAは、高速メモリSRAM_0の画像データを入力し、フォーマ

ット変換して生成した近傍マトリクス画像データを別の高速メモリSRAM_1に

書込む。

[0040] プロセッサコアCOREは、積和演算器を内蔵する。積和演算器は、フォーマット変換器が生成した近傍マトリクス画像データと、係数フィルタの係数データとを乗算しそれぞれ加算する。

[0041] [入力データのフォーマット変換例]

図10は、フォーマット変換器FMT_Cの構成を示す図である。フォーマット変換器FMT_Cは、制御バスC_BUSの制御バスインターフェースC_BUS_IFと、制御データを格納する制御データレジスタCNT_REGと、ステートマシンのような制御回路CNTとを有する。制御バスC_BUSには図示しないコアから制御データが転送され、制御レジスタに制御データが格納される。

[0042] 制御回路CNTは、第1の高速メモリSRAM_0から第2の高速メモリSRAM_1への画像データの転送の制御を行う。また、制御回路CNTは、画像データのフォーマット変換の場合、前記画像データの転送制御に加えて、パラメータレジスタ42へのパラメータ値の設定と、フォーマット変換の開始と終了の制御を行う。つまり、制御回路CNTは、第1の高速メモリSRAM_0から画像データを読み出し、フォーマット変換し、第2の高速メモリSRAM_1へ書き込む。このように、制御回路CNTは、画像データのデータ転送中にフォーマット変換を行う。制御回路は、データ転送を行うとき、画像データのアドレスを指定して高速メモリSRAMへのアクセスを行う。そして、制御回路は、画像データのアドレスに対応して、フォーマット変換に必要なレジスタのパラメータ値を設定する。

[0043] フォーマット変換器FMT_Cは、更に、第1のDMAメモリDMA_M0と、第2のDMAメモリDMA_M1と、それらメモリの間にフォーマット変換回路40と、コンカ

テネーション（結合回路

）44を有する。これらのフォーマット変換回路40及び結合回路44は、複数組設けられ、複数組の近傍マトリクス画像データのフォーマット変換を並列に行う。また、結合回路のパラメータを設定する結合回路パラメータレジスタ42を有する。そして、画像データの転置を行う転置回路TRSPと、内部バスI_BUSのデータバスD_BUSと接続されるデータバスインターフェースD_BUS_IFとを有する。

[0044] そして、演算器ALUを内蔵するコアCOREは、第2の高速メモリSRAM_1に保存されているフォーマット変換後の近傍マトリクス画像データを読み出し、内蔵する積和演算器が畳込み演算を実行し、演算後の特徴量データを、再び高速メモリに書込む。

[0045] 図11、図12は、積和演算器に入力する入力用の近傍マトリクスの画像データの生成手順の第1例を示す図である。メインメモリM_MEMは1行32ワード幅で13行13列の画像データIM_DATAを記憶する。画像データIM_DATAには32列のコラムアドレスCADD (=0-31) が示される。一方、13行13列の画像データIM_DATAは、169ワードの画素データX0-X168を有する。

[0046] まず、GPU内のメモリコントローラMCが、メインメモリM_MEM内の画像データIM_DATAを32ワード幅の外部バスを介して読み出し、32ワード幅を16ワード幅に変換し、16ワード幅の内部バスI_BUSを介して第1の高速メモリSRAM_0に書き込む。このデータ転送は、例えばDMAの標準のデータ転送機能により行われる。

[0047] 次に、フォーマット変換器であるDMAが、第1の高速メモリSRAM_0内の画像データを内部バスI_BUSを介して読み出し、第1のDMAメモリDMA_M0に書き込む。そして、データフォーマット変換回路40が、第1のDMAメモリ内の画像データdata0から近傍マトリクスの9画素データを抽出し、16ワードのデータdata1を生成する。

- [0048] 次に、図 1 2 に示すとおり、結合回路CONCが、8組の近傍マトリクス画像データdata2
それぞれの1組9ワードの画素データを、1行16ワードの第2のDMAメモリDMA_M1にラ
スタスキャン方向に詰めてパッキングする。その結果、1組目の近傍マトリ
クス画像データa0-a8は、第2のDMAメモリの1行目と2行目にまたがって格
納され、2組目の近傍マトリクス画像データb0-b8は2行目と3行目にまたが
って格納され、3組目以降のそれぞれ
9ワードの近傍マトリクス画像データが2行にまたがって格納される。
- [0049] そして、制御回路CNTは、第2のDMAメモリDMA_M1内の近傍マトリクス画像
データをパッキングした画像データdata2を、転置処理せずに、内部バスを介
して第2の高速メモリSRAM_1に転送する。
- [0050] 次に、GPU内のコアCOREが、第2の高速メモリSRAM_1内の近傍マトリクス画
像データdata3を16ワードずつ読み出し、16ワードを8ワードずつに変換
し、データdata3を生成
する。そして、コアCORE内に設けられた単一の積和演算器SoPの第1ステージ
の8個の乗
算器MLTPに、近傍マトリクス画像データを8ワードずつ、係数(W0-W8)と共
に入力する
。その結果、積和演算器SoPは、9ワードの近傍マトリクスの画素データのう
ち8ワード
ずつ係数と乗算し、乗算結果を加算して積和演算結果を出力する。なお、積
和演算器SoP
は、2行目の残りの画素データ（図中例えばa8）については、係数との乗算
値を図示しない追い越し回路により1行目の8ワードの積和値に加算する。
- [0051] コアCORE内の積和演算器SoPは、フォーマット変換された第2のDMAメモリDMA_M1内の近
傍マトリクス画像データを、転置処理せずに、そのまま入力するので、演算

開始までに待機するサイクルがなく、演算器の稼働率を高くすることができる。

[0052] [追越しルート付積和演算器]

図13は、本実施の形態の追越しルート付積和演算器の構成を示す図である。図13の積和演算器は、パイプラインステージST0-ST5を有し、各パイプラインステージに複数または単数のレジスタRGを有し、各ステージのレジスタRGには図示しないクロックが供給され、クロック入力に応答して入力データをラッチする。

[0053] まず、正規ルートによる積和演算器の構成を説明し、その後、追越しルートの積和演算器の構成を説明する。

[0054] 入力ステージST0には、画素データX0-X7と係数W0-W7をそれぞれラッチする8対のレジスタRG00-03, RG04-07を有する。ステージST1内の8個の乗算器MP0-3, MP4-7は、入力ステージの8対のレジスタにラッチされた画素データX0-X7と係数W0-W7それぞれを乗算する。そして、ステージST1の8個のレジスタRG10-13, RG14-17は、8個の乗算器の乗算値をそれぞれラッチする。

[0055] 次に、ステージST2は、乗算値 $X0*W0$ と $X1*W1$ を加算する加算器AD20、乗算値 $X2*W2$, $X3*W3$ を加算する加算器AD21と、乗算値 $X4*W4$ と $X5*W5$ を加算する加算器AD22、乗算値 $X6*W6$, $X7*W7$ を加算する加算器AD23を有する。さらに、ステージST2の4つのレジスタRG20-RG23は、それらの加算値をそれぞれラッチする。

[0056] ここで、4個の加算器AD20-23それぞれは、1対の入力端子に、制御信号CNTにより入力信号を通過または非通過（非マスクまたはマスク）するマスクMb0-3, Mb4-7を有する。つまり、マスクMb0-7は、レジスタRG10-17のそれぞれの出力と制御信号CNTとを

入力するANDゲートである。これらのマスクMb0-3, Mb4-7の制御信号CNTを全て「1」（通過）にすることで、通常ルートの加算器AD20-23の入力が有効化される。マスクMb0-3, Mb4-7の制御信号を「0」（非通過）にすると、通常ルートの加算器AD20-23の入力が無効化され、入力値「0」が入力される。

[0057] 積和演算器には、図示しない制御用コアからパラメータを設定される設定レジスタ50と、設定されたパラメータに基づいて上記の制御信号CNTを出力する制御ステートマシン

52とを有する。制御ステートマシン52が、上記のマスクMb0-3, Mb4-7の制御信号CNTを全て「1」（通過）にすると、通常ルートの加算器AD20-23の入力が有効化され、通常ルートのクロックサイクルで、ステージST2の4個のレジスタRG20-RG23が4個の加算器AD20-23それぞれの加算値をラッチする。

[0058] ステージST3は、加算器AD30, AD31とAD32, AD33と、加算器AD31とAD33の出力をそれぞれ

ラッチする2個のレジスタRG30, RG31を有する。ステージST4は、加算器AD40とレジスタRG40とを有する。

[0059] ステージST5は、レジスタRG40がラッチする8組の画像データX0-X7と係数W0-W7それぞれ

れの積和加算値を、クロックに同期して累積するアキュムレータACMLを構成する。アキュムレータの初期値IVは「0」であり、加算器AD50は、セクタSa0により選択された入力

値に、レジスタRG40の積和値を加算し、レジスタRG50がその加算値をラッチする。つまり、アキュムレータACMLは、レジスタRG40の積和値を累積加算する。レジスタRG50の出力が積和加算器の結果RESULTである。

[0060] 上記の加算器AD20, AD21、レジスタRG20, RG21、加算器AD30は、正規ルートの第1の通常

加算回路RGL_0を構成する。また、加算器AD22, AD23、レジスタRG22, RG23、加

算器AD32は

、正規ルートの第2の通常加算回路RGL_1を構成する。ステージST1のレジスタRG10-13, RG14-17それぞれから、加算器AD30、AD32それぞれまでの構成が通常加算回路RGL_0, RGL_1それぞれを構成する。

[0061] 制御ステートマシン52は、通常ルート回路のマスクMb0-3, Mb4-7の制御信号CNTを「1」に設定し、5クロックサイクルで、入力された8組の画像データX0-X7と係数W0-W7それぞれの積和値をレジスタRG40から出力する。そして、制御ステートマシン52は、セクタSa0を初期値IV側の選択にしてアキュムレータACML内のレジスタRGをリセットし、セクタSa0をレジスタRG50側の選択に設定して、レジスタRG40の出力である積和値を累積加算する。

[0062] 次に、追越しルート回路の構成を説明する。第1の追い越し回路OVTK_0が、ステージST1の4個のレジスタRG10-13がラッチする4組の乗算値 $X0*W0$, $X1*W1$, $X2*W2$, $X3*W3$ を加算する加算器0_AD20, 21、0_AD30を有する。同様に、第2の追い越し回路OVTK_1が、ステージST1の4個のレジスタRG14-17がラッチする4組の乗算値 $X4*W4$, $X5*W5$, $X6*W6$, $X7*W7$ を加算する加算器0_AD22, 23、0_AD31を有する。

[0063] そして、加算器0_AD20, 21, 22, 23は、それぞれの1対の入力端子に前述したマスクMc0-3, Mc4-7を有し、制御ステートマシン52からの制御信号CNTの「1」「0」に基づき、それぞれのマスクMc0-3, Mc4-7の入力が選択（通過）、非選択（非通過）にそれぞれ制御される。非選択の場合入力値は「0」である。

[0064] 第1の追い越し回路内の加算器0_AD20, 21と加算器0_AD30の間には、ステージST2, ST3を区分するレジスタRGがない。同様に、第2の追い越し回路内の加算器0_AD22, 23と加算器0_AD31の間にも、ステージST2, ST3を区分するレジスタRGがない。したがって、これら加算器0_AD20, 21と加算器0_AD30、及び、加

算器0_AD22, 23と加算器0_AD31は、1クロックで加算結果を出力する。この構成により、追越し回路は、ステージST1で1サイクル遅れていた乗算値（RG10-13, RG14-17の値）が、ステージST3で1サイクル前の加算値（AD30, AD32）に追いつき、加算器AD31, AD33で1サイクル前の加算値に加算される。

[0065] 図13における追越し回路OVTK_0を有するレジスタRG10-13からレジスタRG30までの加

算回路が、追越し回路付加算回路の最小単位である。この最小単位の加算回路では、加算器AD31が、レジスタRG10-13に入力した画素データと係数データの乗算値に、1サイクル遅れてレジスタRG10-13に入力した画素データと係数の乗算値を加算し、レジスタRG30がその加算値をラッチする。

[0066] 上記の最小単位の追越し回路付加算回路のレジスタRG10-13の入力側に、4個の乗算器MPと4対の入力レジスタRG00-03を追加することで、最小単位の追越し回路付積和回路が構成される。

[0067] [3×3フィルタの動作]

図14は、3×3フィルタの場合の図13の積和演算器の動作を示すシーケンス図である。また、図15は、同様にマスクMb0-7とMc0-7の選択、非選択状態を示すシーケンス図である。図14, 15を参照して、図13の積和演算器の動作を説明する。

[0068] 3×3フィルタの場合、近傍マトリクスの画素数は9個である。一方、図13の積和演算器の入力数は8である。したがって、9個の画素データと係数データを1サイクルで入力することはできず、2サイクルで入力する。その結果、1個の画素データと係数データが1サイクル遅れで入力される。以下に説明するとおり、積和演算器は追越しルートの加算回路を有し、1サイクル遅れで入力された1個の画素データと係数データの乗算値を8個の画素データと係数データの乗算値に同じステージで加算することができる。また、先のサイクルで入力される任意の数の画素データと係数データの乗算値に、次のサイクルで入力される残りの数の画像データと

係数データの乗算値を加算することができる。

[0069] [サイクル 1]

ステージST0のレジスタRG00-07は、最初の組の 9 画素データa0-a8のうち 8 画素データa0-a7と 8 個の係数w0-w7（図示せず）をラッチする。

[0070] [サイクル 2]

ステージST 1 のレジスタRG10-17は、8 個の乗算器MP0-7の乗算値（a0-a7の乗算値）を

ラッチする。図中には紙面の関係から $a0 \cdot w0$ - $a7 \cdot w7$ を簡易的にa0-a7で示している。同時に、ステージST0のレジスタRG00-07は、9 個目の画素データa8と係数w8と、2 番目の組の 7 画素データb0-b6と 7 個の係数w0-w6をラッチする。後述するとおり、この 9 個目の画素データa8と係数w8の乗算値が追越しルートで1番目の 8 画素データa0-a7と係数w0-w7の乗算

値に追いつく。図 1 4 中に、追いつきルートで追いつき処理される画素データに下線、a8、を付す。

[0071] [サイクル 3]

ステージST2の通常ルートのレジスタRG20-23それぞれは、1 番目の組の 8 画素データa0-a7の乗算値の 4 組の加算値a0, 1、a2, 3、a4, 5、a6, 7をそれぞれラッチする。また、ステージST1のレジスタRG10-17それぞれは、1 番目の組の 1 画素データa8と 2 番目の組の 7 画素

データb0-b6の乗算値をラッチする。同時に、ステージST0のレジスタRG00-07は、2 番目

の組の 8、9 個目の画素データb7, 8と係数w7, 8と、3 番目の組の 6 画素データc0-b5と 6

個の係数w0-w5をラッチする。

[0072] [サイクル 4]

ステージST3のレジスタRG30は、通常ルートの加算値a0-3と追越しルートの値a8との加

算値をラッチし、レジスタRG31は、通常ルートの加算値a4-7の加算値をラッ

チする。これで、1サイクル遅れていた加算値a8が通常ルートの加算値に追いついて、加算される。

- [0073] ステージST2の通常ルートのレジスタRG20-23それぞれは、2番目の組の7画素データb0-b6の乗算値の4組の加算値b0、b1,2、b3,4、b5,6をそれぞれラッチする。また、ステージST1のレジスタRG10-17それぞれは、2番目の組の2画素データb7,8と3番目の組の6画素データc0-c5の乗算値をラッチする。同時に、ステージST0のレジスタRG00-07は、3番目の組の7-9個目の画素データc6-8と係数w6-8と、4番目の組の5画素データd0-d4と5個の係数w0-w4をラッチする。

[0074] [サイクル5]

ステージST4のレジスタRG40は、1番目の組の9画素データa0-a8の乗算値の加算値a0-8をラッチする。この結果、演算器は、サイクル1,2で分割して入力された9画素データa0-a8の加算値が、一回のサイクルで入力される8個の画素データの加算値を出力するために必要な5サイクルで、9個の画素データの加算値を出力することができる。言い換えれば、サイクル2で入力した画素データa8を加えた加算値をサイクル6まで遅らせることなく、サイクル5で生成することができる。つまり、サイクル6で8画素データa0-7の加算値と1画素データa8の値とをアキュムレータACMLにより累積加算する必要がない。

- [0075] ステージST3のレジスタRG30は、通常ルートの加算値b0-2と追越しルートの値b7,8との加算値をラッチし、レジスタRG31は、通常ルートの加算値b3-6の加算値をラッチする。これで、1サイクル遅れていた加算値b7,8が通常ルートの加算値に追いついて、加算される。

[0076] ステージST2の通常ルートのレジスタRG20-23それぞれは、3番目の組の6画素データc0-5の乗算値の3組の加算値c0,1、c2,3、c4,5をそれぞれラッチする。一方、追越しルートの加算器0_AD20は、画素データb7,8の乗算値を加算する。また、ステージST1のレジスタRG10-17それぞれは、3番目の組の3画素データc6-8と4番目の組の5画素データd0-d4の乗算値をラッチする。同時に、ステージST0のレジスタRG00-07は、4番目の組の6-9個目の画素データd5-8と係数w5-8と、5番目の組の4画素データe0-e3と4個の係数w0-w3をラッチする。

[0077] [サイクル6以降]

以上、同様にして、サイクル6では、ステージST5のレジスタRG50が1番目の組の9画素データa0-a8の乗算値の加算値a0-8をラッチする。この加算値a0-8は、積和演算器の結果RESULTになる。サイクル7では、レジスタRG50が2番目の組の9画素データb0-b8の乗算値の加算値b0-8をラッチする。この加算値b0-8は、積和演算器の結果RESULTになる。以下同様である。

[0078] 図15に示すように、通常ルートのマスクMb0-7と、追越しルートのマスクMc0-7は次のように制御される。サイクル1-3では、全ての通常ルートのマスクMb0-7が「1」選択に、全ての追越しルートのマスクMc0-7が「0」非選択に制御される。これにより、ステージST2での追越しルートの加算器は実質的な加算値を出力せず、加算値は「0」になる。

[0079] そして、サイクル4で、通常ルートのマスクMb0が「0」非選択になり、追越しルートのマスクMc0が「1」選択になる。そして、サイクル4以降のサイクル5-11では、通常ルートのマスクMbの「0」が1つずつ増加し、それに合わせて追越しルートのマスクMcの「1」が1つずつ増加する。そして、サイクル12ですべて

リセットされ、サイクル 1 と同じ設定値に戻る。つまり、通常ルートのマスク Mb0-7 と追越しルートのマスク Mc0-7 それぞれは、互いにレジスタ RG10-17 のそれぞれの出力を、制御信号 CNT に基づいて排他的に選択・非選択する。

[0080] 以上、 3×3 フィルタの場合、画素数が 9 であるので、アキュムレータ ACL は、レジスタ RG40 の積和値を累積演算することはない。

[0081] [5×5 フィルタの動作]

図 16 は、 5×5 フィルタの場合の図 13 の積和演算器の動作を示すシーケンス図である。 5×5 フィルタの場合、近傍マトリクスの画素数は 25 個である。したがって、25 個の画素データと係数データを 1 サイクルで入力することはできず、24 個の画素を 8 画素ずつ 3 サイクルで入力し、1 画素を 1 サイクルで入力する。そこで、以下の説明のとおり、3 サイクルで入力した 8 入力の積和値をアキュムレータで累積し、最後の 1 サイクルで入力した 1 入力の乗算値を追越しルートで 3 サイクル目の乗算値に加算する。

[0082] 1 番目の組の 25 個の画素データ a0-a24 と係数データの積和演算について説明する。図 16 に示すとおり、サイクル 1、2 で入力された 2 組の 8 入力の画素データ a0-a7, a8-a15 は、通常ルートで積和演算され、サイクル 7 でステージ ST5 の加算器 AD50 で累積されレジスタ RG50 がラッチする。そして、サイクル 3 で入力された 1 組の 8 入力の画素データ a16-a23 とサイクル 4 で入力された 1 入力の画素データ a24 の乗算値は、追越しルートによりサイクル 6 でステージ ST3 の加算器 AD31 で加算されレジスタ RG30 にラッチされる。その結果、サイクル 7 でステージ ST4 のレジスタ RG40 が、9 入力の画素データ a16-a24 の積和値をラッチし、サイクル 8 でステージ ST5 の加算器 AD50 が累積し、レジスタ RG50 が 25 画素データ a0-a24 の積和値をラッチする。

[0083] 次に、2 番目の組の 25 個の画素データ b0-b24 と係数データの積和演算について説明する。サイクル 4、5 で入力された 2 組の 7 入力の画素データ b0-

b6と8入力の画素データb7-b14は、通常ルートで積和演算され、サイクル10でステージST5の加算器AD50で累積されレジスタRG50がラッチする。そして、サイクル6で入力された1組の8入力の画素データb15-b22とサイクル7で入力された2入力の画素データb23, b24の乗算値は、追越しルートによりサイクル9でステージST3の加算器AD31で加算されレジスタRG30にラッチされる。

。その結果、サイクル10でステージST4のレジスタRG40が10入力の画素データb15-b24の積和値をラッチし、サイクル11でステージST5の加算器AD50がその積和値を累積し、

レジスタRG50が25画素データb0-b24の積和値をラッチする。

[0084] 3番目の組の25個の画素データc0-c24と係数データの積和演算も上記と同様である。

[0085] [11画素の動作]

図17は、1組の入力画素データが11画素の場合の積和演算器の動作を示すシーケン

ス図である。1組11画素の場合、1番目の組の11画素a0-a10はサイクル1, 2で入力され、サイクル5でステージST4のレジスタRG40が画素データa0-a10の積和値をラッチする

。2番目の組の11画素b0-b10はサイクル2, 3で入力され、サイクル6でステージST4

のレジスタRG40が画素データb0-b10の積和値をラッチする。1番目と2番目の11画素デ

ータa0-a10、b0-b10はいずれもアキュムレータによる累積加算は行われない。

[0086] 一方、3番目の組の11画素c0-c10は、サイクル3, 4, 5で入力される。したがって、サイクル3で入力される2つの画素データc0, 1と、サイクル4及び5で入力される画素データc2-c9とc10の積和値は、サイクル9で累積され、ステージST5のレジスタRG50が1

1画素データc0-c10の積和値をラッチする。

[0087] このように、1組が11画素の場合は、追越しルート画素数と、追越しルートが動作す

るサイクルと、アキュムレータによる累積加算のサイクルは、複雑な変化を伴うが、所定の演算式に基づいてそれらを事前に予測することができる。

[0088] [32画素対応の積和演算器]

図18は、32画素データまで入力可能な積和演算器の構成を示す図である。32画素対応の積和演算器は、図13の8入力の積和演算器SoPを4個並列に配置し、さらに4個の積和演算器SoPが出力する積和値を加算する加算器ADDERを有する。並列配置された4個の積和演算器SoPは、図13で説明したとおりそれぞれ追越しルートを有する。

[0089] 図19は、図18の加算器ADDERの構成例を示す図である。加算器ADDERは、4つの積和演算器SoP_0-3の積和値をそれぞれラッチする4つの入力レジスタRG60-63と、4つの積和値を2つずつ加算する2つの加算器AD70, AD71と、その出力をラッチする2つのレジスタRG70-71と、その出力を加算する加算器AD80と、その出力をラッチする出力レジスタRG80とを有する。

[0090] 図18に示された入力画素データは、7×7フィルタに対応し、1組が49画素データa0-a48、b0-b48である。したがって、図18の積和演算器には、1組が49画素データと

図示しない49係数w0-w48が2サイクルで入力される。そして、1番目の組の49画素デ

ータa0-a48については、サイクル2で入力される画素データa32-a48が、積和演算器SoP_0、SoP_1、SoP_2の追越しルートにより、サイクル1で入力された画素データa0-a31の累積値に加算される。

[0091] 2番目の組の49画素データb0-b48については、サイクル2で入力された画素データb0-b14が、サイクル3、4で入力され追越しルートで加算された画素データb15-b48に、ア

キュムレータにより累積加算される。

[0092] [第2の実施の形態]

図20は、第2の実施の形態における追越しルート付積和演算器の構成を示す図である。図20の積和演算器は、図13と同様のS0A形態の画像データを演算する第1の演算と

、A0S形態の画像データを演算する第2の演算のいずれかの演算を、設定により変更する

ことができる。第2の演算は、図8(C)に示した演算である。

[0093] 図20の積和演算器は、図13の積和演算器の構成に加えて、ステージST1内の乗算器MP0-3それぞれとレジスタRG10-17それぞれの間に設けられた、1対の入力端子にそれぞれ

マスクMa0,1, Ma2,3, Ma4,5, Ma6,7とMa8,9, Ma10,11, Ma12,13, Ma14,15を有する加算器AD10-13, AD14-17と、レジスタRG10-17の出力とセクタSL10-13, SL14-17の入力との間

に設けられたフィードバック配線FBを有する。

[0094] 上記のマスクMa0-7, Ma8-15は、図13のマスクMb0-7, Mc0-7と同じである。S0P形態の画素データを入力する第1の演算の場合、マスクMa0-7, Ma8-15の奇数番目のマスクには制御信号「1」が入力され、偶数番目のマスクには制御信号「0」が入力され、フィードバック配線FBの入力を非選択（入力値「0」）にする。その結果、図20の積和演算器は、図13と同じになる。

[0095] 一方、A0S形態の画素データを入力する第2の演算の場合、マスクMa0-7, Ma8-15には全て制御信号「1」が入力され、フィードバック配線FBのレジスタRG10-13の出力データを
選択する。その結果、加算器AD10-13, AD14-17と、レジスタRG10-13, RG14-17とでアキュムレータを構成する。

[0096] 図21は、第2の演算の場合の図20の積和演算器を示す図である。第2の演算の場合、積和演算器は、8組の入力ステージST0のレジスタRG00-07と、乗算器MP0-7と、加算器AD10-17と、ステージST1のレジスタRG10-17とを有

する。そして、加算器AD10-17とレジスタRG10-17とフィードバック配線FBにより構成される8つのアキュムレータそれぞれが、

クロックに同期して乗算器MPの乗算値を8回累積加算し、8組の9画素データa0-8~h0-8それぞれと9係数データw0-8の積和演算を行う。

[0097] 図22は、A0Sの画素データを生成するフォーマット変換を示す図である。

図11でフ

ォーマット変換回路40が生成した8組のデータdata1を、結合器44が第2のDMAメモリDMA_M1に蓄積してデータdata4を生成する。そして、転置回路TRSPがデータdata4の縦と横を逆にして、A0Sの画像データdata5が第2の高速メモリSRAM_1に入力される。その結果、8組の9画素データdata5と9係数データW0-W7が、図21に示した8個の積和演算器SoP

に、並列に且つクロックに同期してシリアルに入力される。そして、所定数クロック後（所定数サイクル後）に8組の積和値（近傍マトリクスの注目画素の特徴量）が並列に出力される。

[0098] 以上のとおり、本実施の形態によれば、積和演算器に追越しルートを設けることで、2サイクルで入力される8データを超える1組のデータについて、同じクロックサイクルで積和値を生成することができる。さらに、積和演算器の出力にアキュムレータを設けたことで、複数サイクルで入力されるデータそれぞれの積和値を累積加算することができる。

[0099] 以上の実施の形態をまとめると、次の付記のとおりである。

[0100] （付記1）

複数のプロセッサコアと、

前記複数のプロセッサコアからアクセスされる内部メモリとを有し、

前記複数のプロセッサコアのいずれかが有する演算器は、

第1ステージに設けられた複数の第1のレジスタと、

前記複数の第1のレジスタの複数の出力を加算する第1の加算器と、第2ステージに設けられ前記第1の加算器の出力をラッチする第2のレジスタと

を有する通常加算回路と、

前記複数の第 1 のレジスタの複数の出力を加算する第 2 の加算器を有する追越し加算回路と、

前記通常加算回路の出力と前記追越し加算回路の出力とを加算する第 3 の加算器と、第 3 ステージに設けられ前記第 2 の加算器の出力をラッチする第 3 のレジスタとを有する合成回路とを有し、

前記第 1 の加算器と前記第 2 の加算器は、前記複数の第 1 のレジスタの複数の出力を互いに排他的に選択して入力し、前記第 1、第 2、第 3 のレジスタはクロックに同期して入力をラッチする、加算回路を有する、プロセッサ。

[0101] (付記 2)

前記演算器は、

入力ステージに設けられ、複数の第 1 の入力データと複数の第 2 の入力データをそれぞれラッチする複数対の入力レジスタと、

前記複数対の入力レジスタそれぞれの対の前記第 1 の入力データと第 2 の入力データとをそれぞれ乗算し、乗算値が前記複数の第 1 のレジスタそれぞれにラッチされる複数の乗算器とを有し、

前記乗算器と加算回路とにより前記複数の第 1 の入力データと複数の第 2 の入力データそれぞれの乗算値を加算する積和回路を構成する、付記 1 に記載のプロセッサ。

[0102] (付記 3)

前記演算器は、

前記加算回路の出力を前記クロックに同期して累積するアキュムレータ回路を有する、付記 1 または 2 に記載のプロセッサ。

[0103] (付記 4)

前記演算器は、

前記第 1 の加算器と前記第 2 の加算器の入力に設けられたマスク回路に、前記選択のた

めの第1の制御値を設定する制御回路を有し、

1組の演算対象データの数が前記複数対の入力レジスタの数より多い場合、前記1組の演算対象データが分割して複数のサイクルで前記複数対の入力レジスタに入力され、

前記制御回路は、前記演算対象データに含まれ第1のサイクルで入力された前記第1の入力データと第2の入力データの第1の乗算値を前記第1の加算器に入力し、前記演算対象データに含まれ前記第1のサイクルの次の第2のサイクルで入力された前記第1の入力データと第2の入力データの第2の乗算値を前記第2の加算器に入力する前記第1の制御値を、前記マスク回路に設定する、付記2に記載のプロセッサ。

[0104] (付記5)

前記演算器は、

前記複数の乗算器と前記複数の第1のレジスタとのそれぞれの間に、前記複数の乗算器の出力と前記複数の第1のレジスタの出力とをそれぞれ加算する複数の第4の加算器を有し、

前記第4の加算器の入力に、前記複数の第1のレジスタの複数の出力を入力または非入力的一方に設定可能なマスク回路を有する、付記2に記載のプロセッサ。

[0105] (付記6)

前記演算器は、

前記前記複数の第4の加算器のマスク回路に、前記入力または非入力の第2の制御値を設定する制御回路を有し、

前記制御回路は、演算対象データがストラクチャオブアレイ形式の場合は前記非入力の第2の制御値を設定し、前記演算対象データがアレイオブストラクチャ形式の場合は前記入力の第2の制御値を設定する、付記5に記載のプロセッサ。

[0106] (付記7)

前記複数の第1の入力データは、画像データの近傍マトリクスの複数の画

素データであり、

前記複数の第2の入力データは、前記近傍マトリクスに対応する係数マトリクスの複数の係数データであり、

前記積和回路は、前記近傍マトリクスの複数の画素データと、前記係数マトリクスの複数の係数データとの積和値を算出する、付記2に記載のプロセッサ。

[0107] (付記8)

プロセッサと、

前記プロセッサがアクセスするメインメモリとを有し、

前記プロセッサは、

複数のプロセッサコアと、

前記複数のプロセッサコアからアクセスされる内部メモリとを有し、

前記複数のプロセッサコアのいずれかが有する演算器は、

第1ステージに設けられた複数の第1のレジスタと、

前記複数の第1のレジスタの複数の出力を加算する第1の加算器と、第2ステージに設けられ前記第1の加算器の出力をラッチする第2のレジスタとを有する通常加算回路と、

前記複数の第1のレジスタの複数の出力を加算する第2の加算器を有する追越し加算回路と、

前記通常加算回路の出力と前記追越し加算回路の出力とを加算する第3の加算器と、第3ステージに設けられ前記第2の加算器の出力をラッチする第3のレジスタとを有する合成回路とを有し、

前記第1の加算器と前記第2の加算器は、前記複数の第1のレジスタの複数の出力を互いに排他的に選択して入力し、前記第1、第2、第3のレジスタはクロックに同期して入力をラッチする、加算回路を有する、情報処理装置。

[0108] (付記9)

複数のプロセッサコアと、

前記複数のプロセッサコアからアクセスされる内部メモリとを有し、
前記複数のプロセッサコアのいずれかが有する演算器は、
第1ステージに設けられた複数の第1のレジスタと、
前記複数の第1のレジスタの複数の出力を加算する第1の加算器と、第2
ステージに設けられ前記第1の加算器の出力をラッチする第2のレジスタと
を有する通常加算回路と、
前記複数の第1のレジスタの複数の出力を加算する第2の加算器を有する
追越し加算回路と、
前記通常加算回路の出力と前記追越し加算回路の出力とを加算する第3の
加算器と、第3ステージに設けられ前記第2の加算器の出力をラッチする第
3のレジスタとを有する合成回路とを有する加算回路を有するプロセッサの
動作方法であって、
前記第1の加算器と前記第2の加算器は、前記複数の第1のレジスタの複
数の出力を互いに排他的に選択して入力し、
前記第1、第2、第3のレジスタはクロックに同期して入力をラッチし、
第1のサイクルで入力された単数または複数の第1の入力データを前記第
1の加算器が加算し、当該加算値を前記第2のレジスタがラッチし、
前記第1のサイクルの次の第2のサイクルで入力された単数または複数の
第2の入力データを前記第2の加算器が加算し、
通常加算回路の出力と、前記追越し加算回路の出力とを前記第3の加算器
が加算し、当該加算値を前記第3のレジスタがラッチする、プロセッサの動
作方法。

符号の説明

[0109] RG : レジスタ

MK : マスク、マスク回路

MP : 乗算器

AD : 加算器

SL : セレクタ

5 2 : 制御ステートマシン、制御回路

RG00-03, RG04-07 : 入力レジスタ

RG10-13, RG14-17 : 第1のレジスタ

RG20, 21, RG22, 23 : 第2のレジスタ

RG30, 31 : 第3のレジスタ

OCTK_0, 1 : 追越し加算回路

RGL_0, 1 : 通常加算回路

ACML : アキュムレータ、累積加算器

請求の範囲

- [請求項1] 複数のプロセッサコアと、
前記複数のプロセッサコアからアクセスされる内部メモリとを有し、
、
前記複数のプロセッサコアのいずれかが有する演算器は、
第1ステージに設けられた複数の第1のレジスタと、
前記複数の第1のレジスタの複数の出力を加算する第1の加算器と、
第2ステージに設けられ前記第1の加算器の出力をラッチする第2のレジスタとを有する通常加算回路と、
前記複数の第1のレジスタの複数の出力を加算する第2の加算器を有する追越し加算回路と、
前記通常加算回路の出力と前記追越し加算回路の出力とを加算する第3の加算器と、第3ステージに設けられ前記第2の加算器の出力をラッチする第3のレジスタとを有する合成回路とを有し、
前記第1の加算器と前記第2の加算器は、前記複数の第1のレジスタの複数の出力を互いに排他的に選択して入力し、前記第1、第2、第3のレジスタはクロックに同期して入力をラッチする、加算回路を有する、プロセッサ。
- [請求項2] 前記演算器は、
入力ステージに設けられ、複数の第1の入力データと複数の第2の入力データをそれぞれラッチする複数対の入力レジスタと、
前記複数対の入力レジスタそれぞれの対の前記第1の入力データと第2の入力データとをそれぞれ乗算し、乗算値が前記複数の第1のレジスタそれぞれにラッチされる複数の乗算器とを有し、
前記乗算器と加算回路とにより前記複数の第1の入力データと複数の第2の入力データそれぞれの乗算値を加算する積和回路を構成する、請求項1に記載のプロセッサ。
- [請求項3] 前記演算器は、

前記加算回路の出力を前記クロックに同期して累積するアキュムレータ回路を有する、請求項 1 または 2 に記載のプロセッサ。

[請求項4]

前記演算器は、

前記第1の加算器と前記第2の加算器の入力に設けられたマスク回路に、前記選択のた

めの第1の制御値を設定する制御回路を有し、

1組の演算対象データの数が前記複数対の入力レジスタの数より多い場合、前記1組の演算対象データが分割して複数のサイクルで前記複数対の入力レジスタに入力され、

前記制御回路は、前記演算対象データに含まれ第1のサイクルで入力された前記第1の入力データと第2の入力データの第1の乗算値を前記第1の加算器に入力し、前記演算対象データに含まれ前記第1のサイクルの次の第2のサイクルで入力された前記第1の入力データと第2の入力データの第2の乗算値を前記第2の加算器に入力する前記第1の制御値を、前記マスク回路に設定する、請求項2に記載のプロセッサ。

[請求項5]

前記演算器は、

前記複数の乗算器と前記複数の第1のレジスタとのそれぞれの間に、前記複数の乗算器の出力と前記複数の第1のレジスタの出力とをそれぞれ加算する複数の第4の加算器を有し、

前記第4の加算器の入力に、前記複数の第1のレジスタの複数の出力を入力または非入力的一方に設定可能なマスク回路を有する、請求項2に記載のプロセッサ。

[請求項6]

前記演算器は、

前記前記複数の第4の加算器のマスク回路に、前記入力または非入力の第2の制御値を設定する制御回路を有し、

前記制御回路は、演算対象データがストラクチャオブアレイ形式の場合は前記非入力の第2の制御値を設定し、前記演算対象データがア

レイオストラクチャ形式の場合は前記入力の第2の制御値を設定する、請求項5に記載のプロセッサ。

[請求項7] 前記複数の第1の入力データは、画像データの近傍マトリクスの複数の画素データであり、

前記複数の第2の入力データは、前記近傍マトリクスに対応する係数マトリクスの複数の係数データであり、

前記積和回路は、前記近傍マトリクスの複数の画素データと、前記係数マトリクスの複数の係数データとの積和値を算出する、請求項2に記載のプロセッサ。

[請求項8] プロセッサと、

前記プロセッサがアクセスするメインメモリとを有し、

前記プロセッサは、

複数のプロセッサコアと、

前記複数のプロセッサコアからアクセスされる内部メモリとを有し、

前記複数のプロセッサコアのいずれかが有する演算器は、

第1ステージに設けられた複数の第1のレジスタと、

前記複数の第1のレジスタの複数の出力を加算する第1の加算器と、第2ステージに設けられ前記第1の加算器の出力をラッチする第2のレジスタとを有する通常加算回路と、

前記複数の第1のレジスタの複数の出力を加算する第2の加算器を有する追越し加算回路と、

前記通常加算回路の出力と前記追越し加算回路の出力とを加算する第3の加算器と、第3ステージに設けられ前記第2の加算器の出力をラッチする第3のレジスタとを有する合成回路とを有し、

前記第1の加算器と前記第2の加算器は、前記複数の第1のレジスタの複数の出力を互いに排他的に選択して入力し、前記第1、第2、第3のレジスタはクロックに同期して入力をラッチする、加算回路を

有する、情報処理装置。

[請求項9]

複数のプロセッサコアと、

前記複数のプロセッサコアからアクセスされる内部メモリとを有し

、

前記複数のプロセッサコアのいずれかが有する演算器は、

第1ステージに設けられた複数の第1のレジスタと、

前記複数の第1のレジスタの複数の出力を加算する第1の加算器と、
第2ステージに設けられ前記第1の加算器の出力をラッチする第2
のレジスタとを有する通常加算回路と、

前記複数の第1のレジスタの複数の出力を加算する第2の加算器を
有する追越し加算回路と、

前記通常加算回路の出力と前記追越し加算回路の出力とを加算する
第3の加算器と、第3ステージに設けられ前記第2の加算器の出力を
ラッチする第3のレジスタとを有する合成回路とを有する加算回路を
有するプロセッサの動作方法であって、

前記第1の加算器と前記第2の加算器は、前記複数の第1のレジス
タの複数の出力を互いに排他的に選択して入力し、

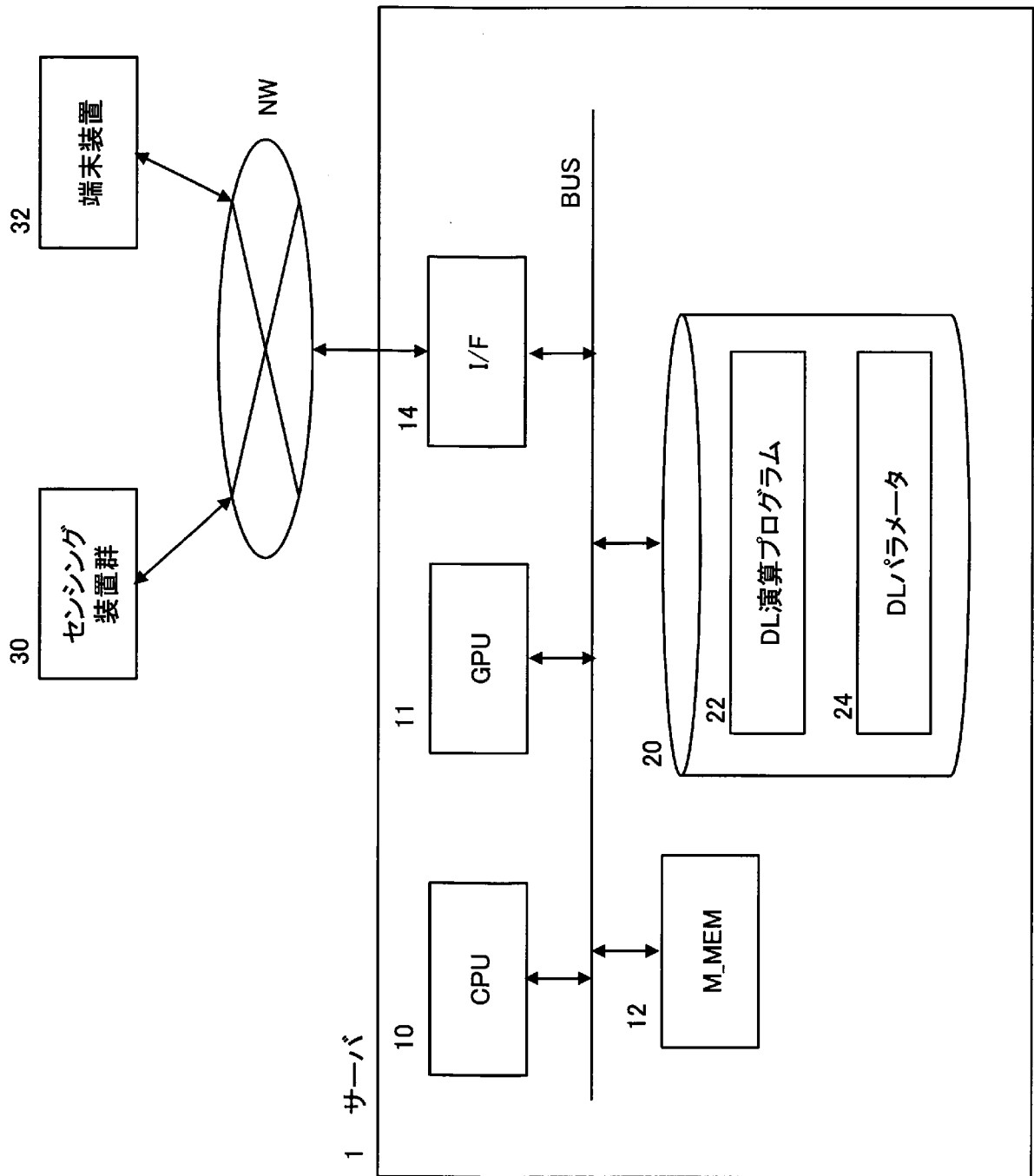
前記第1、第2、第3のレジスタはクロックに同期して入力をラッ
チし、

第1のサイクルで入力された単数または複数の第1の入力データを
前記第1の加算器が加算し、当該加算値を前記第2のレジスタがラッ
チし、

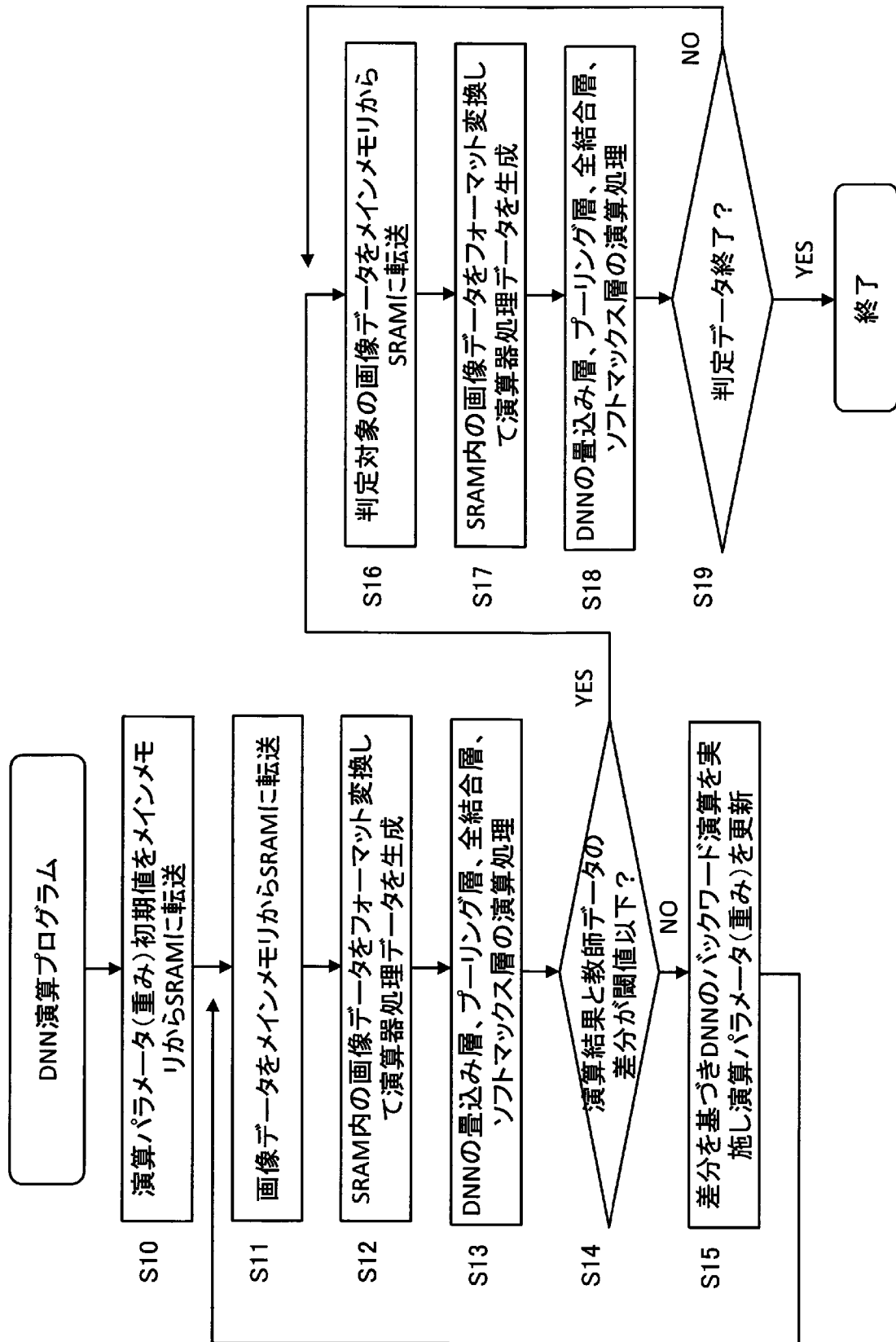
前記第1のサイクルの次の第2のサイクルで入力された単数または
複数の第2の入力データを前記第2の加算器が加算し、

通常加算回路の出力と、前記追越し加算回路の出力とを前記第3の
加算器が加算し、当該加算値を前記第3のレジスタがラッチする、プ
ロセッサの動作方法。

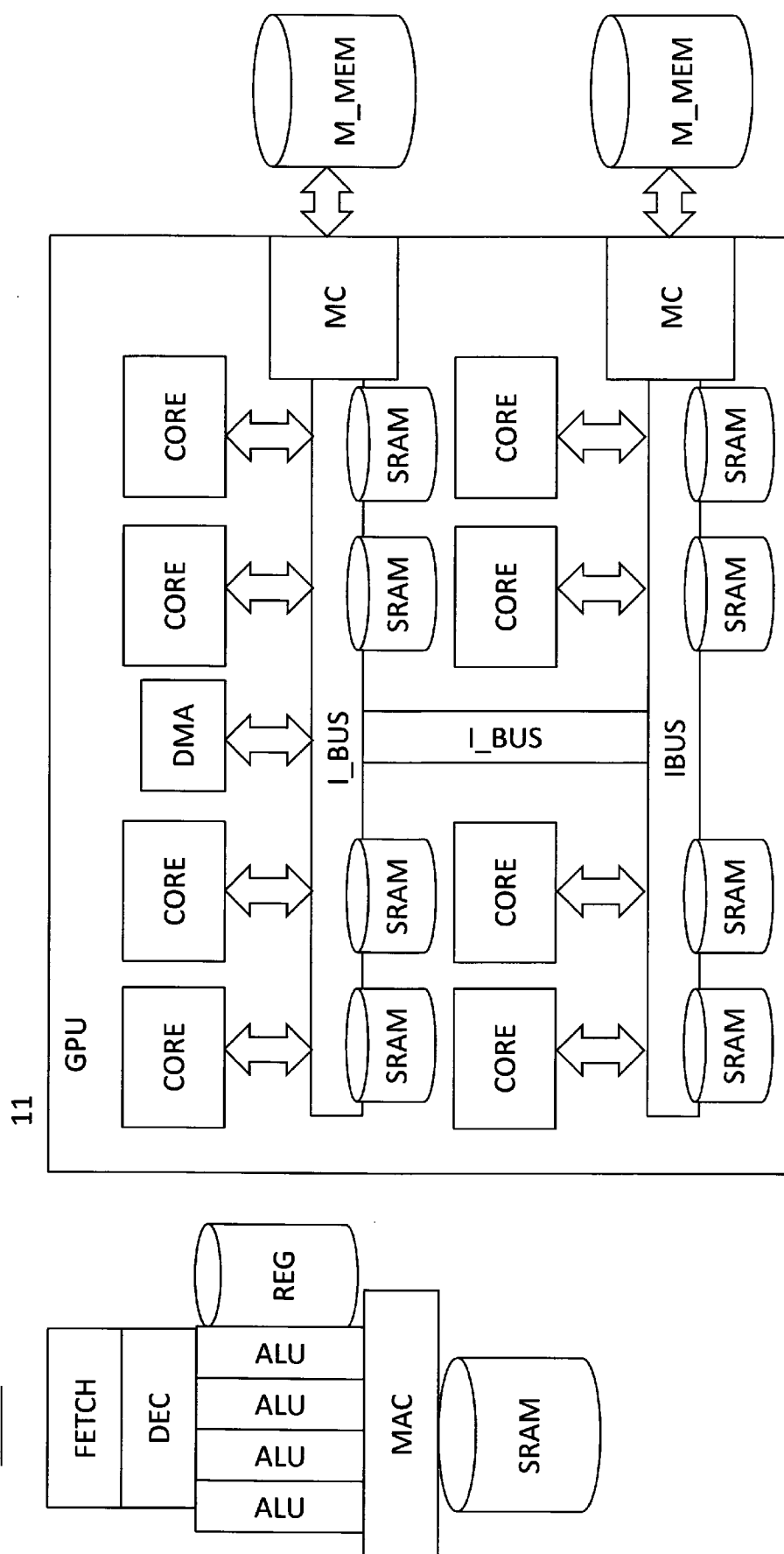
[図1]



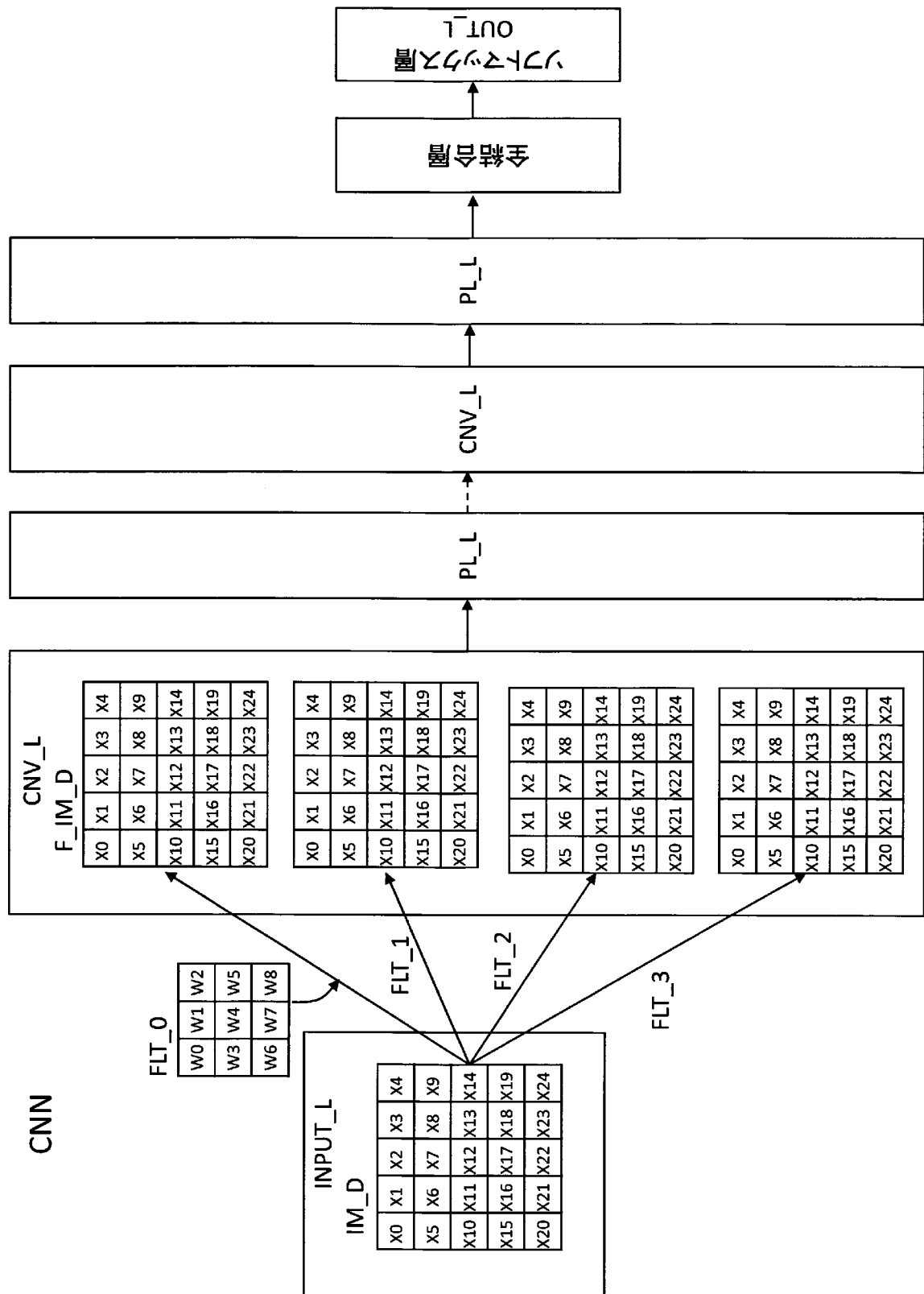
[図2]



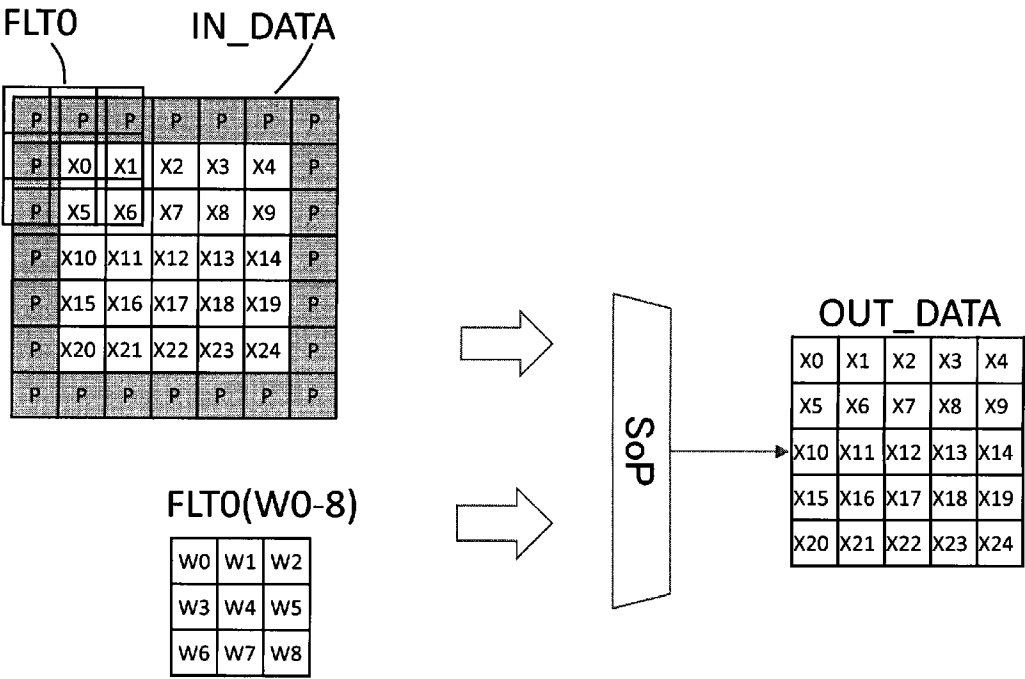
CORE



[図4]



[図5]



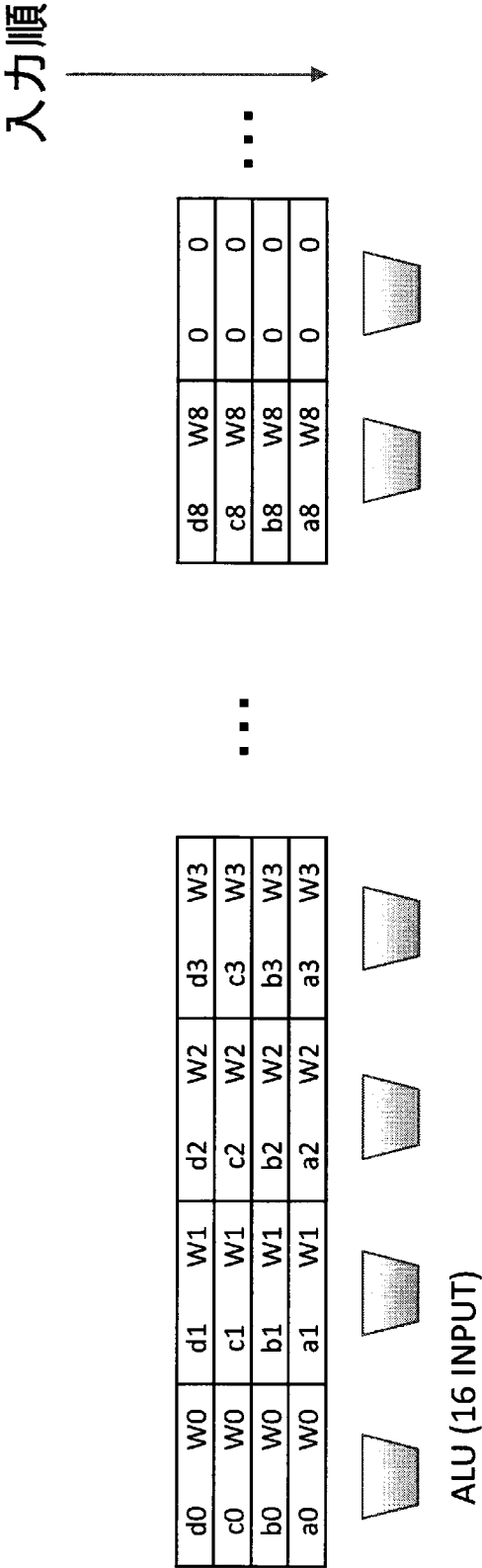
[図6]

IN_DATA

address	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
data	a0	a1	a2	a3	a4	a5	a6	a7	a8	0	0	0	0	0	0	0
	b0	b1	b2	b3	b4	b5	b6	b7	b8	0	0	0	0	0	0	0
	c0	c1	c2	c3	c4	c5	c6	c7	c8	0	0	0	0	0	0	0
	d0	d1	d2	d3	d4	d5	d6	d7	d8	0	0	0	0	0	0	0

FLT (W0-W8)

address	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
weight	W0	W1	W2	W3	W4	W5	W6	W7	W8	0	0	0	0	0	0	0



[図7]

IN_DATA

address	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
data	a0	a1	a2	a3	a4	a5	a6	a7	a8	0	0	0	0	0	0	0
	b0	b1	b2	b3	b4	b5	b6	b7	b8	0	0	0	0	0	0	0
	c0	c1	c2	c3	c4	c5	c6	c7	c8	0	0	0	0	0	0	0
	d0	d1	d2	d3	d4	d5	d6	d7	d8	0	0	0	0	0	0	0

FLT (W0-W8)

address	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
weight	W0	W1	W2	W3	W4	W5	W6	W7	W8	0	0	0	0	0	0	0

TRSP_DATA

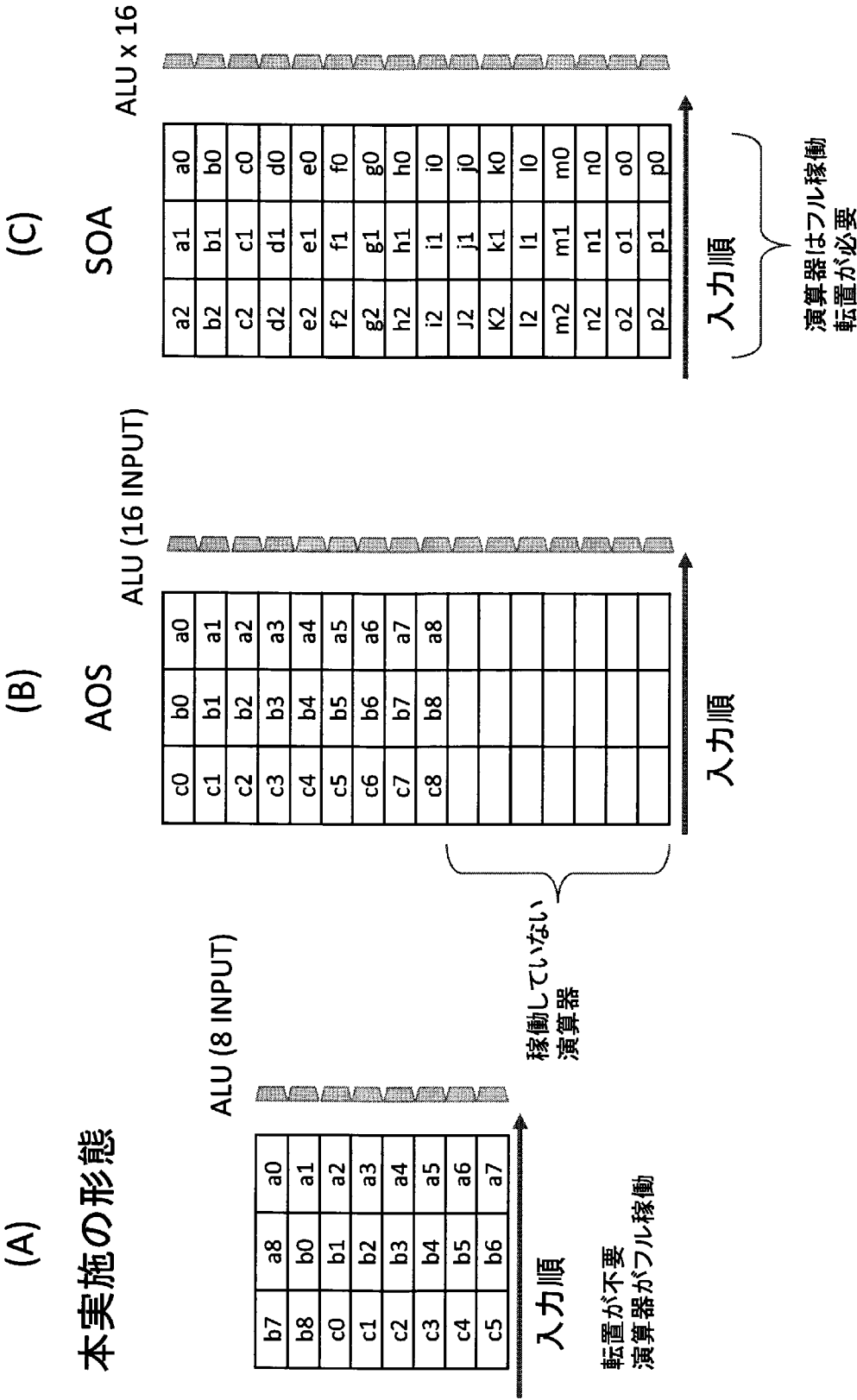
a8	W8	b8	W8	c8	W8	d8	W8
a7	W7	b7	W7	c7	W7	d7	W7
a6	W6	b6	W6	c6	W6	d6	W6
a5	W5	b5	W5	c5	W5	d5	W5
a4	W4	b4	W4	c4	W4	d4	W4
a3	W3	b3	W3	c3	W3	d3	W3
a2	W2	b2	W2	c2	W2	d2	W2
a1	W1	b1	W1	c1	W1	d1	W1
a0	W0	b0	W0	c0	W0	d0	W0

入力順

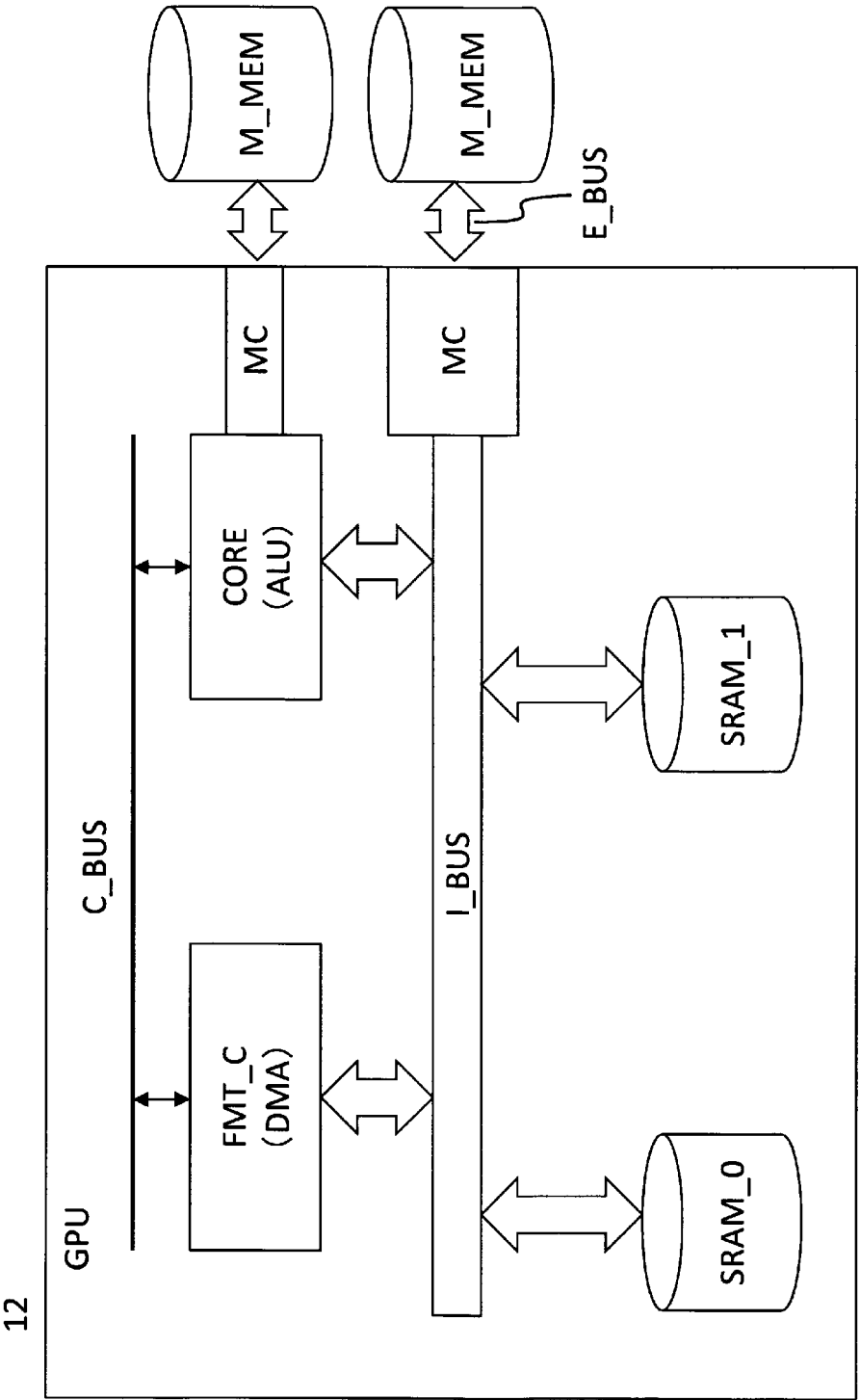
ALU x 4



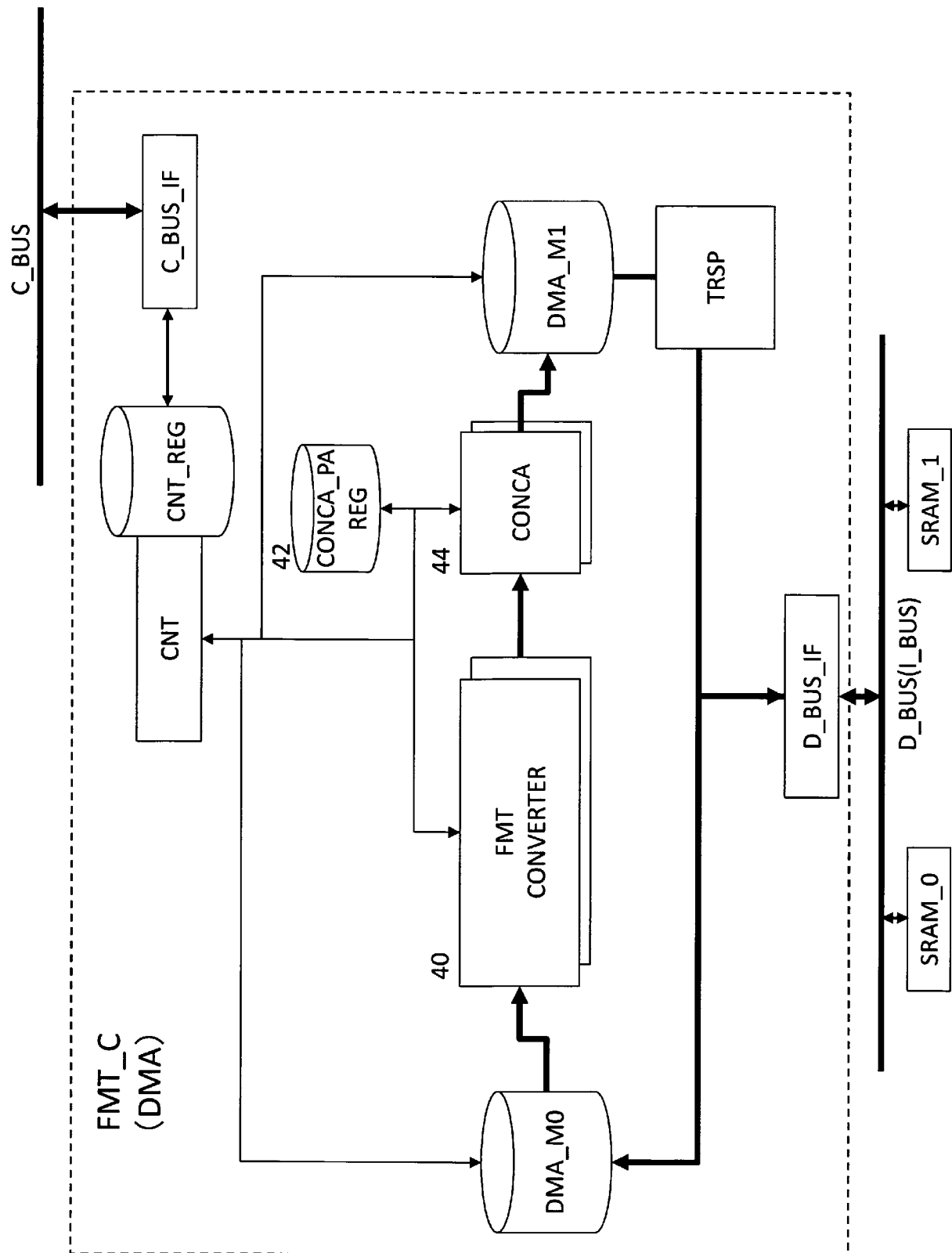
[図8]



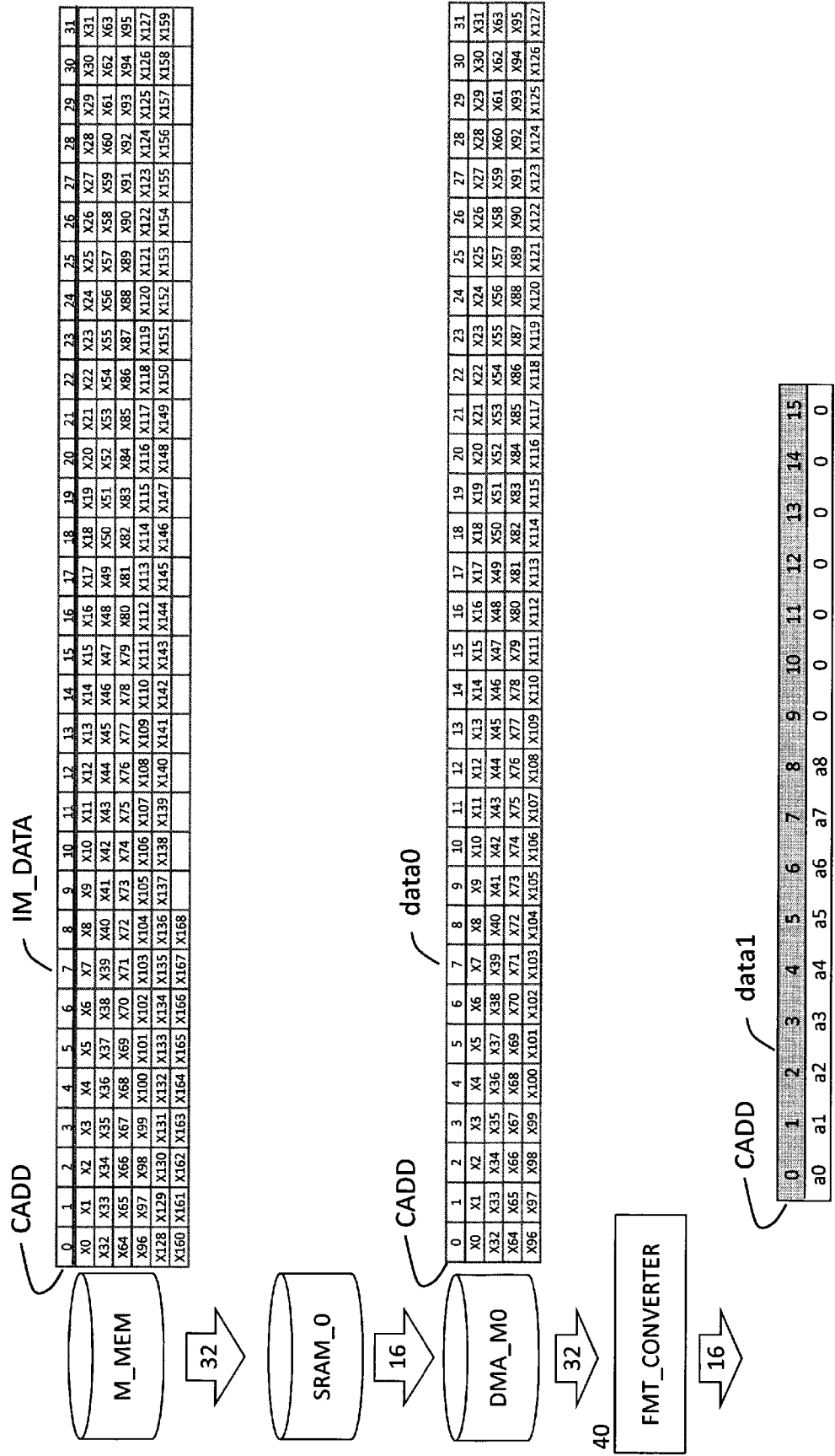
[図9]



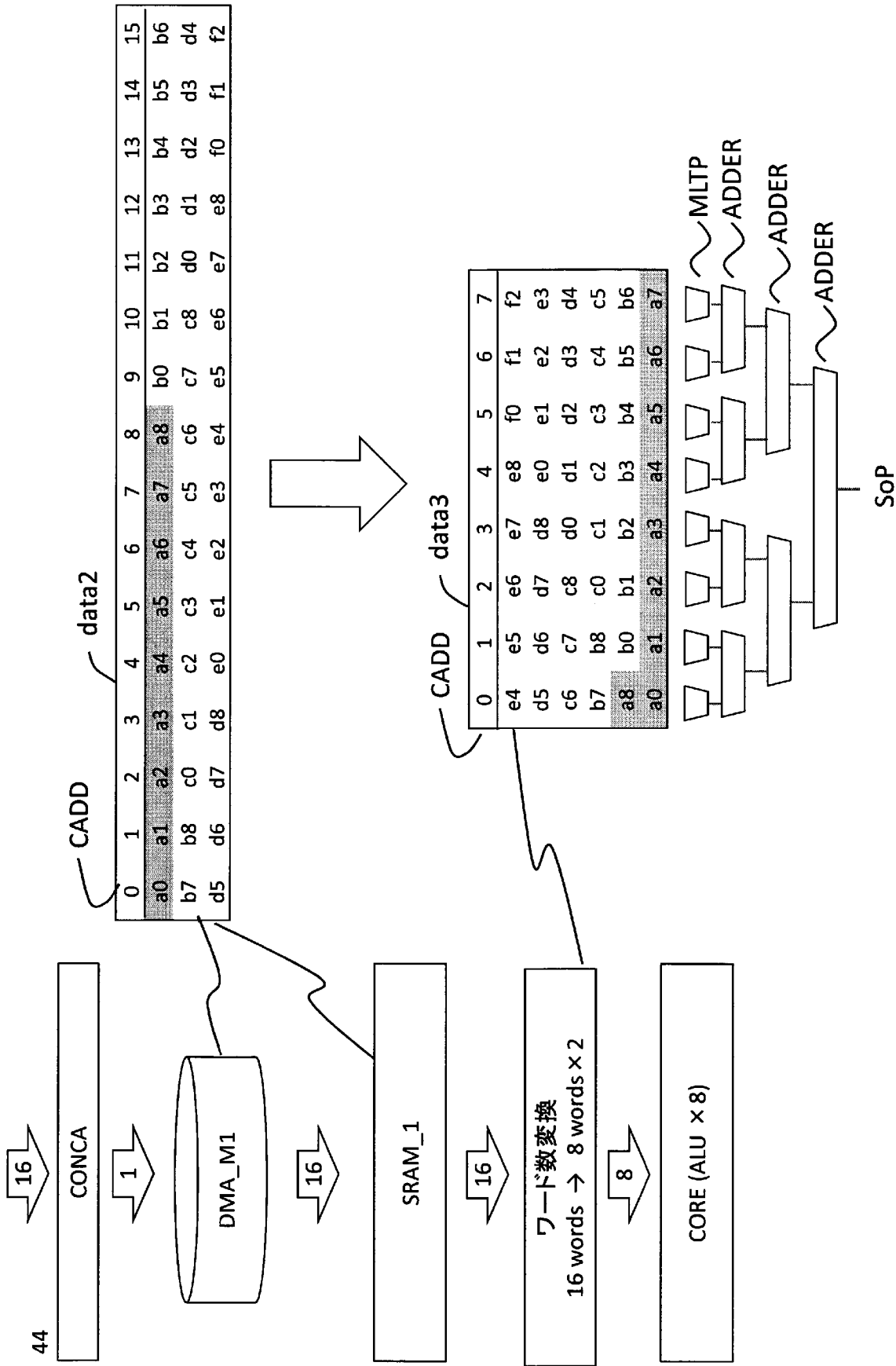
[図10]



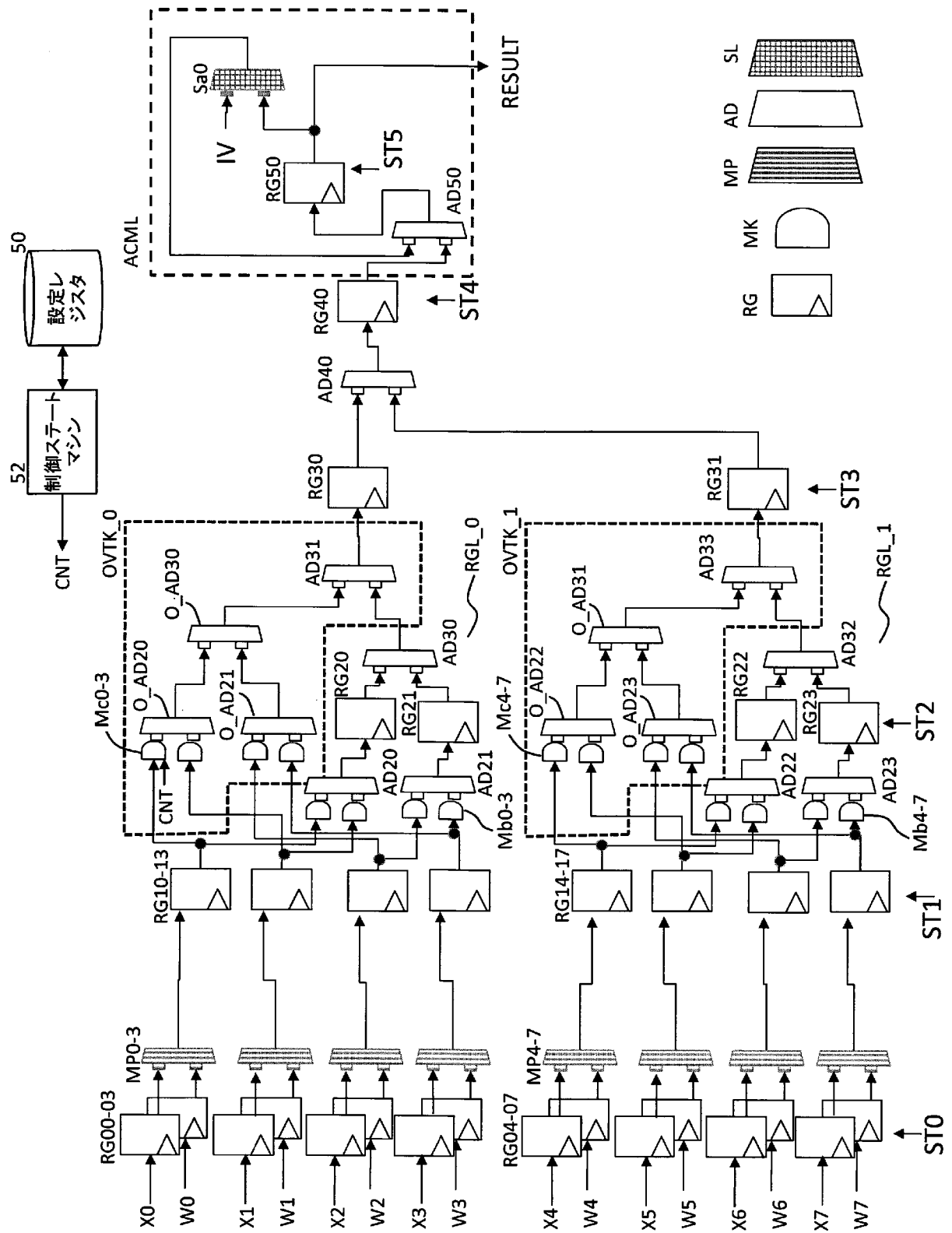
[図11]



[図12]



[図13]



[図14]

3x3 FILTER

CYCLE	1	2	3	4	5	6	7	8	9	10	11	12	13	14
ST0	RG00 a0	a8	b7	c6	d5	e4	f3	g2	h1	i0	j8			
	RG01 a1	b0	b8	c7	d6	e5	f4	g3	h2	i1	j0			
	RG02 a2	b1	c0	c8	d7	e6	f5	g4	h3	i2	j1			
	RG03 a3	b2	c1	d0	d8	e7	f6	g5	h4	i3	j2			
	RG04 a4	b3	c2	d1	e0	e8	f7	g6	h5	i4	j3			
	RG05 a5	b4	c3	d2	e1	f0	f8	g7	h6	i5	j4			
	RG06 a6	b5	c4	d3	e2	f1	g0	g8	h7	i6	j5			
	RG07 a7	b6	c5	d4	e3	f2	g1	h0	h8	i7	j6			
ST1	RG10 a0	a8	b7	c6	d5	e4	f3	g2	h1	i0	j8			
	RG11 a1	b0	b8	c7	d6	e5	f4	g3	h2	i1	j0			
	RG12 a2	b1	c0	c8	d7	e6	f5	g4	h3	i2	j1			
	RG13 a3	b2	c1	d0	d8	e7	f6	g5	h4	i3	j2			
	RG14 a4	b3	c2	d1	e0	e8	f7	g6	h5	i4	j3			
	RG15 a5	b4	c3	d2	e1	f0	f8	g7	h6	i5	j4			
	RG16 a6	b5	c4	d3	e2	f1	g0	g8	h7	i6	j5			
	RG17 a7	b6	c5	d4	e3	f2	g1	h0	h8	i7	j6			
ST2	O_AD20		a8	b7,8	c6,7	d5,6	e4,5	f3,4	g2,3	h1,2	i8			
	O_AD21			c8	d7,8	e6,7	f5,6	g4,5	h3,4					
	RG20	a0,1	b0								i0,1	j0		
	RG21	a2,3	b1,2			d0					i2,3	j1,2		
	O_AD22						e8	f7,8	g6,7	h5,6				
	O_AD23								g8	h7,8				
	RG22	a4,5	b3,4	c2,3	d1,2	e0,1	f0				i4,5	j3,4		
	RG23	a6,7	b5,6	c4,5	d3,4	e2,3	f1,2	g0,1	h0		i6,7	j5,6		
ST3	RG30	a0-3,8	b0-2,7,8	c0,1,6-8	d0,5-8	e4-7	f3-6	g2-5	h1-4		i0-3,8			
	RG31	a4-7	b3-6	c2-5	d1-4	e0-3,8	f0-2,7,8	g0,1,6-8	h0,5-8		i4-7			
ST4	RG40		a0-8	b0-8	c0-8	d0-8	e0-8	f0-8	g0-8		h0-8			
ST5	RG50			a0-8	b0-8	c0-8	d0-8	e0-8	f0-8		g0-8			
	Result			a0-8	b0-8	c0-8	d0-8	e0-8	f0-8		g0-8			

[図15]

3x3 FILTER

CYCLE														
	1	2	3	4	5	6	7	8	9	10	11	12	13	14
Mb0 Mb1 Mb2 Mb3	Mc0	0	0	0	1	1	1	1	1	1	1	0		
	Mc1	0	0	0	0	1	1	1	1	1	1	0		
	Mc2	0	0	0	0	1	1	1	1	1	1	0		
	Mc3	0	0	0	0	0	1	1	1	1	1	0		
Mb4 Mb5 Mb6 Mb7		1	1	1	0	0	0	0	0	0	0	1		
		1	1	1	0	0	0	0	0	0	0	1		
		1	1	1	1	0	0	0	0	0	0	1		
		1	1	1	1	1	0	0	0	0	0	1		
Mb4 Mb5 Mb6 Mb7	Mc4	0	0	0	0	0	0	1	1	1	1	0		
	Mc5	0	0	0	0	0	0	0	1	1	1	0		
	Mc6	0	0	0	0	0	0	0	0	1	1	0		
	Mc7	0	0	0	0	0	0	0	0	0	1	0		
Mb4 Mb5 Mb6 Mb7		1	1	1	1	1	1	0	0	0	0	1		
		1	1	1	1	1	1	1	0	0	0	1		
		1	1	1	1	1	1	1	1	0	0	1		
		1	1	1	1	1	1	1	1	1	0	1		

[図16]

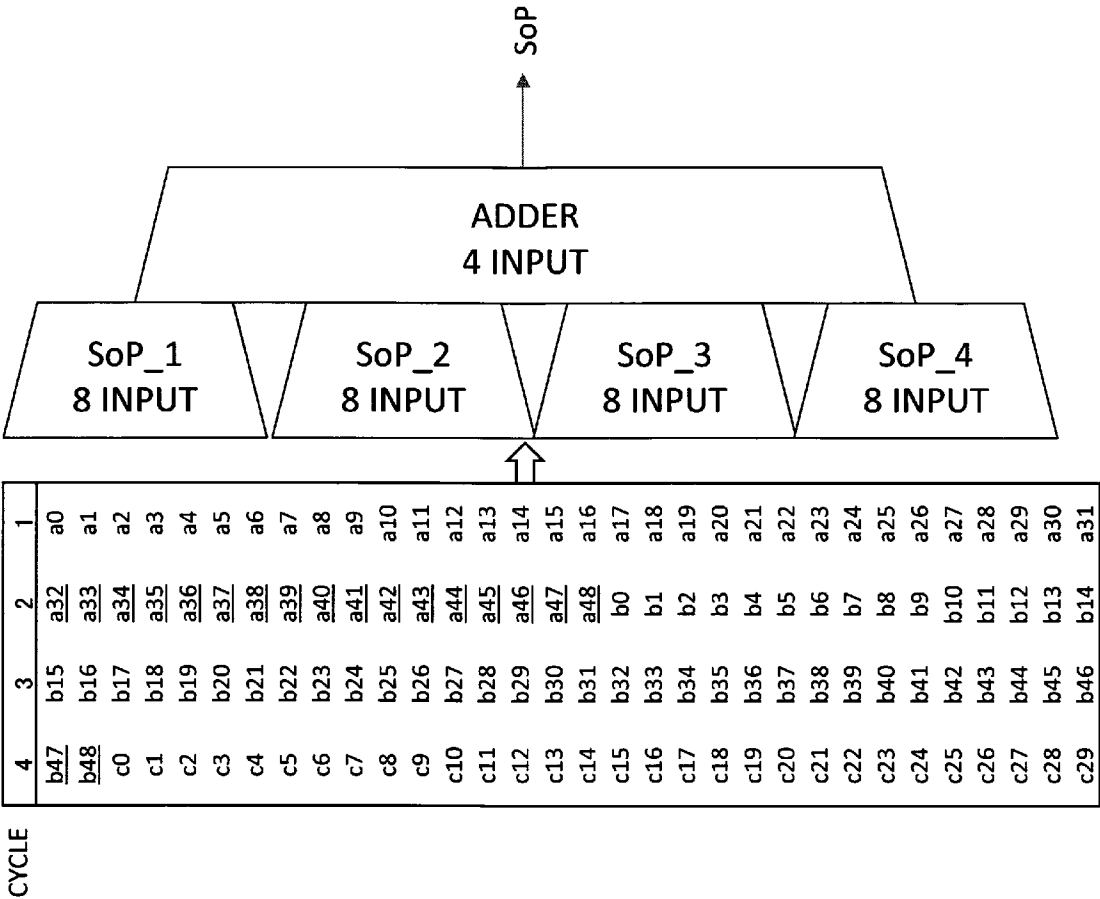
CYCLE		1	2	3	4	5	6	7	8	9	10	11	12	13	14
ST0	RG00	a0	a8	a16	a24	b7	b15	b23	c6	c14	c22	d5			
	RG01	a1	a9	a17	b0	b8	b16	b24	c7	c15	c23	d6			
	RG02	a2	a10	a18	b1	b9	b17	c0	c8	c16	c24	d7			
	RG03	a3	a11	a19	b2	b10	b18	c1	c9	c17	d0	d8			
	RG04	a4	a12	a20	b3	b11	b19	c2	c10	c18	d1	d9			
	RG05	a5	a13	a21	b4	b12	b20	c3	c11	c19	d2	d10			
	RG06	a6	a14	a22	b5	b13	b21	c4	c12	c20	d3	d11			
	RG07	a7	a15	a23	b6	b14	b22	c5	c13	c21	d4	d12			
ST1	RG10	a0	a8	a16	a24	b7	b15	b23	c6	c14	c22	d5			
	RG11	a1	a9	a17	b0	b8	b16	b24	c7	c15	c23	d6			
	RG12	a2	a10	a18	b1	b9	b17	c0	c8	c16	c24	d7			
	RG13	a3	a11	a19	b2	b10	b18	c1	c9	c17	d0	d8			
	RG14	a4	a12	a20	b3	b11	b19	c2	c10	c18	d1	d9			
	RG15	a5	a13	a21	b4	b12	b20	c3	c11	c19	d2	d10			
	RG16	a6	a14	a22	b5	b13	b21	c4	c12	c20	d3	d11			
	RG17	a7	a15	a23	b6	b14	b22	c5	c13	c21	d4	d12			
ST2	O_AD20						a24			b23,24			c22,23		
	O_AD21						b0	b7,8	b15,16		c6,7	c14,15	c24	d5,6	
	RG20	a0,1	a8,9	a16,17			b1,2	b9,10	b17,18	c0,1		c16,17	d0	d7,8	
	RG21	a2,3	a10,11	a18,19											
	O_AD22						b3,4	b11,12	b19,20	c2,3	c10,11	c18,19	d1,2	d9,10	
	O_AD23						b5,6	b13,14	b21,22	c4,5	c12,13	c20,21	d3,4	d11,12	
	RG22	a4,5	a12,13	a20,21											
	RG23	a6,7	a14,15	a22,23	a0-3	a8-11	a16-19,24	b0-2	b7-10	b15-18,23,24	c0,1	c6-9	c14-17,22-24	d0	d5-8
ST3	RG30														
	RG31				a4-7	a12-15	a20-23	b3-6	b11-14	b19-22	c2-5	c10-13	c18-21	d1-4	d9-12
ST4	RG40					a0-7	a8-15	a16-24	b0-6	b7-14	b15-24	c0-5	c6-13	c14-24	d0-4
	RG50						a0-7	a0-15	a0-24	b0-6	b0-14	b0-24	c0-5	c0-13	c0-24
ST5	Result	0	0	0	0	0	a0-7	a0-15	A0-24	b0-6	b0-14	B0-24	c0-5	c0-13	0

[図17]

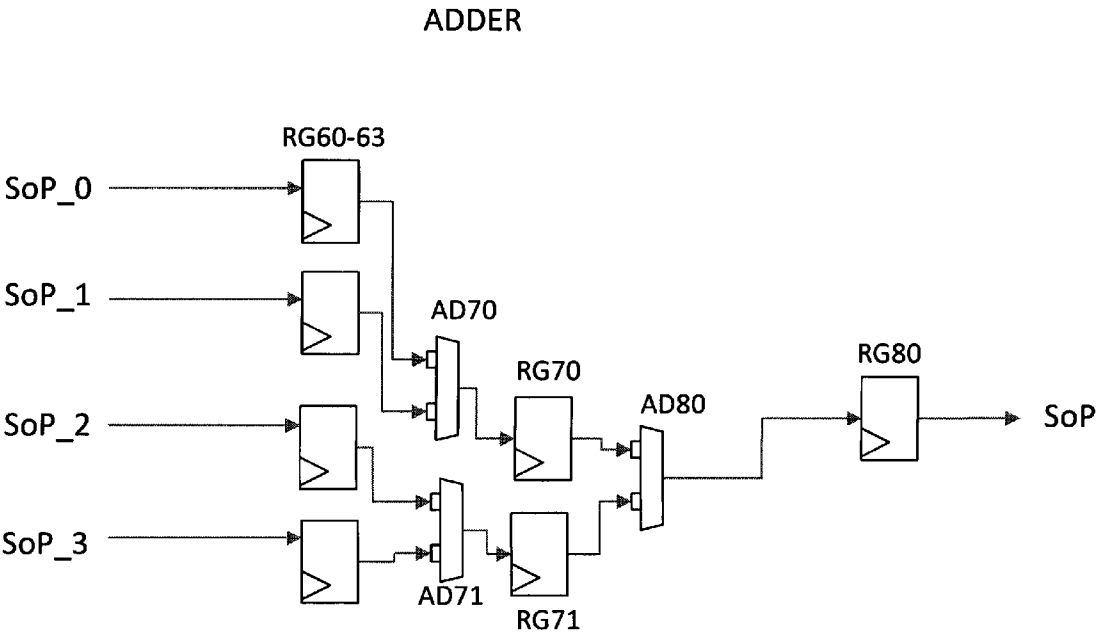
11 PIXELS

CYCLE		1	2	3	4	5	6	7	8	9
ST0	RG00	a0	a8	b5	c2	c10	d7			
	RG01	a1	a9	b6	c3	d0	d8			
	RG02	a2	a10	b7	c4	d1	d9			
	RG03	a3	b0	b8	c5	d2	d10			
	RG04	a4	b1	b9	c6	d3	e0			
	RG05	a5	b2	b10	c7	d4	e1			
	RG06	a6	b3	c0	c8	d5	e2			
ST1	RG07	a7	b4	c1	c9	d6	e3			
	RG10		a0	a8	b5	c2	c10			
	RG11		a1	a9	b6	c3	d0			
	RG12		a2	a10	b7	c4	d1			
	RG13		a3	b0	b8	c5	d2			
	RG14		a4	b1	b9	c6	d3			
	RG15		a5	b2	b10	c7	d4			
ST2	RG16		a6	b3	c0	c8	d5			
	RG17		a7	b4	c1	c9	d6			
	O_AD20			a8,9	b5,6		c10			
	O_AD21			a10	b7,8					
	RG20			a0,1			c2,3	d0		
	RG21			a2,3	b0		c4,5	d1,2		
	O_AD22					b9,10				
ST3	O_AD23									
	RG22			a4,5	b1,2		c6,7	d3,4		
	RG23			a6,7	b3,4	c0,1	c8,9	d5,6		
	RG30			a8-10			c10			
				a0-3		b0,5-8	c2-5			
	RG31			a4-7		b1-4, 9,10	c0,1	c6-9		
ST4	RG40					a0-10	b0-10	c0,1	c2-10	
ST5	RG50						a0-10	b0-10	c0,1	c0-10
	Result						a0-10	b0-10	c0-10	c0-10

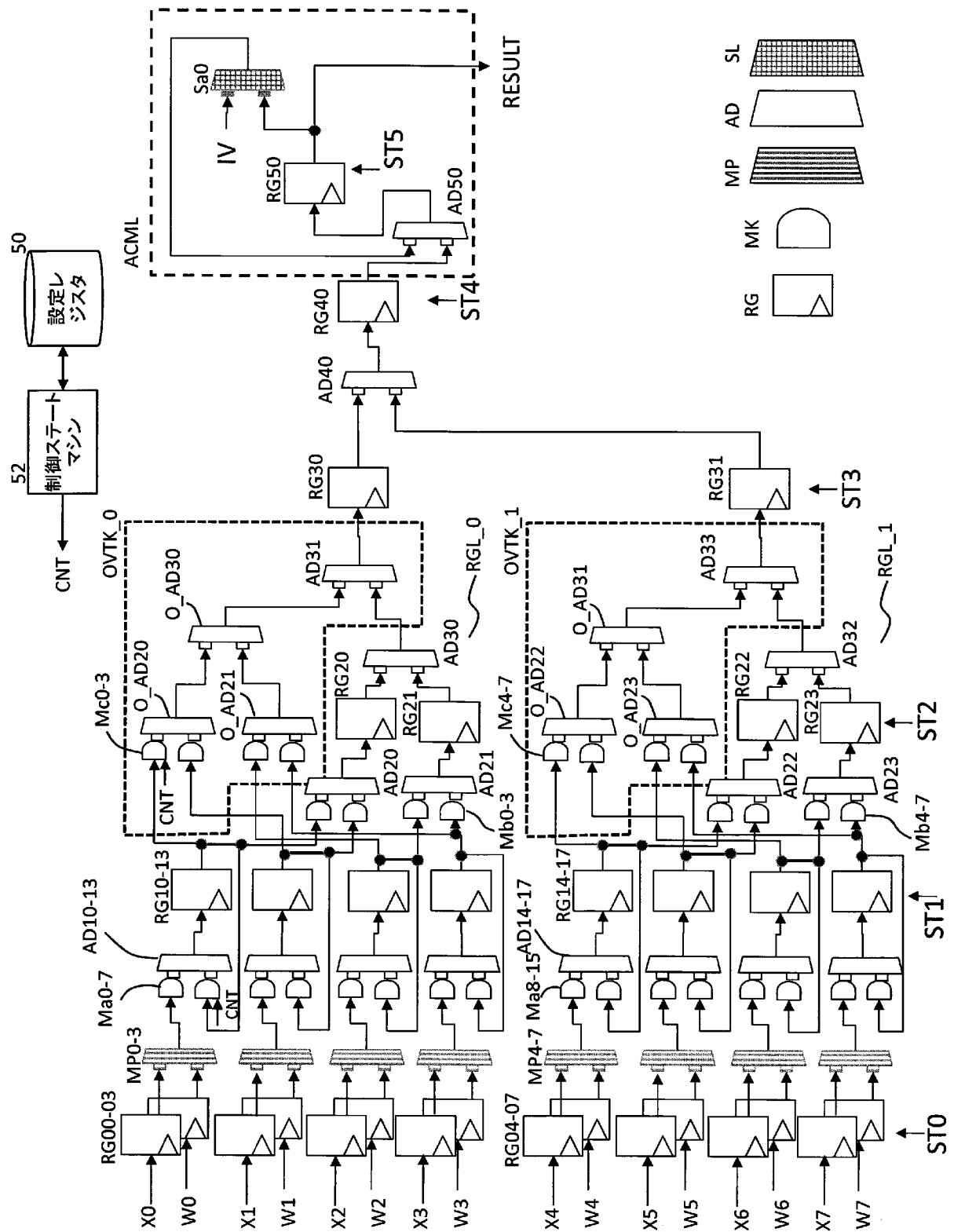
[図18]



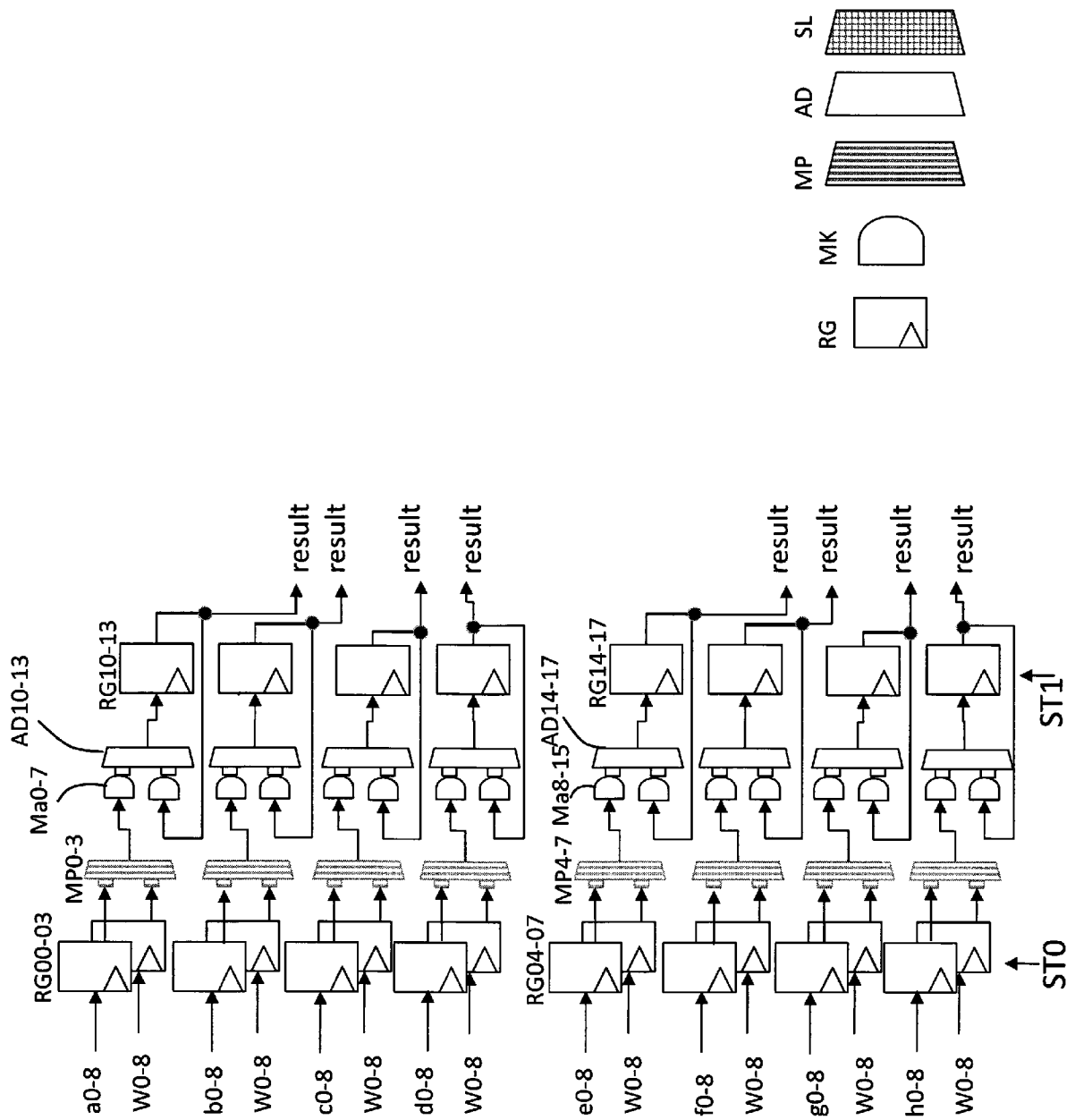
[図19]



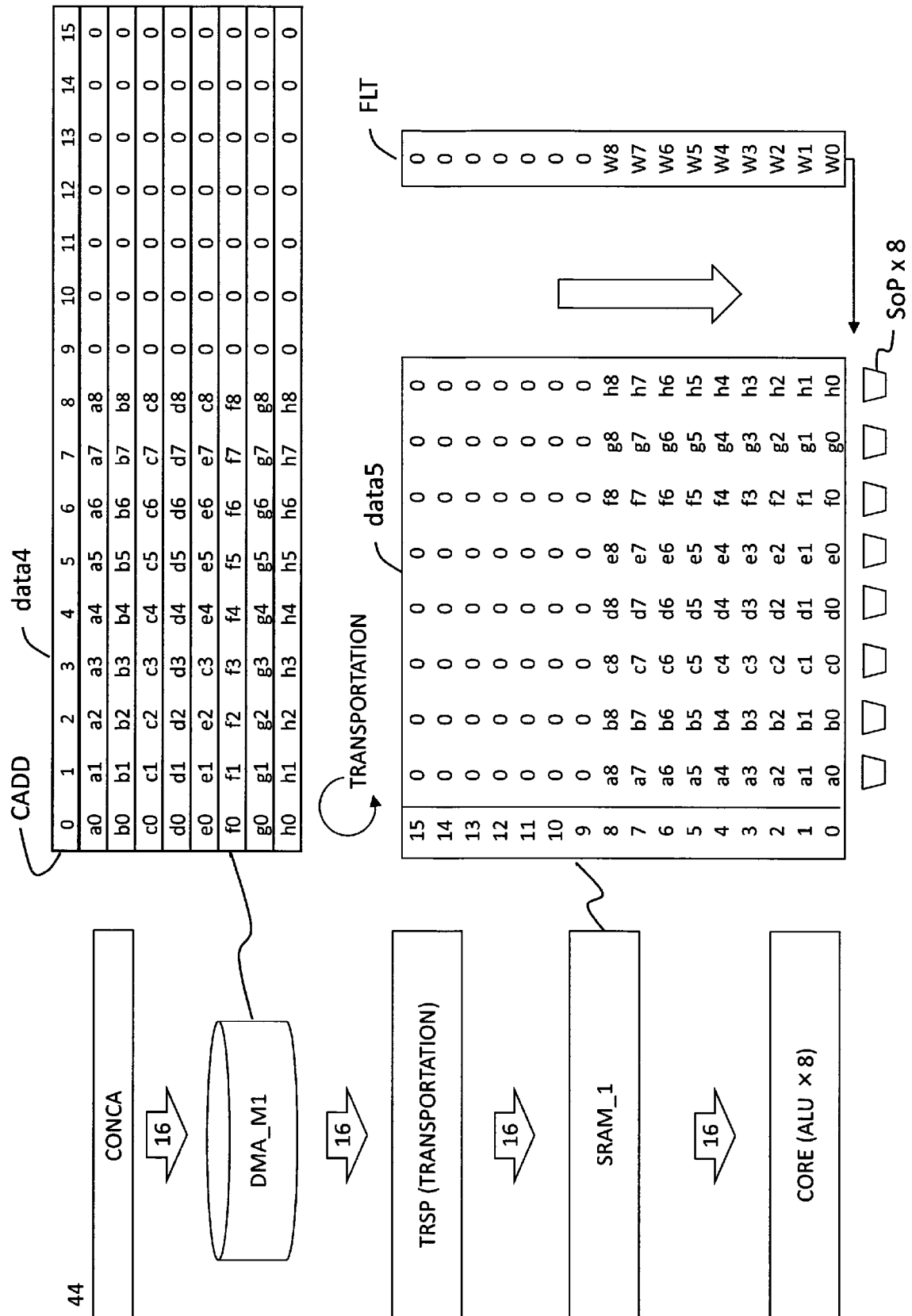
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/000279

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G06F17/10 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G06F17/10-17/18, G06F9/38, G06F9/30-9/355, G06F5/01, G06F7/38-7/537, G06F7/57-7/78, G06T1/00-1/40, G06T3/00-5/50, G06T7/00-7/90, G06T9/00-9/40, G06T11/60-13/80, G06T17/05, G06T19/00-19/20, G06F15/18, G06N3/00-3/12, G06N7/08-99/00, H03H17/00-17/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 60-97464 A (NATIONAL RESEARCH DEVELOPMENT CORPORATION) 31 May 1985, page 11, upper right column, line 9 to page 12, upper right column, line 8, page 13, lower right column, line 12 to page 14, upper left column, line 5, fig. 7, 8, 11 & US 4701876 A, column 10, line 43 to column 11, line 44, column 13, lines 27-38, fig. 7, 8, 11 & EP 0144123 A2 & GB 2147721 A & CA 1226951 A	1-9

☐ Further documents are listed in the continuation of Box C.	☐ See patent family annex.
---	---

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 29 March 2018 (29.03.2018)	Date of mailing of the international search report 10 April 2018 (10.04.2018)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G06F17/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G06F17/10-17/18, G06F9/38, G06F9/30-9/355, G06F5/01, G06F7/38-7/537, G06F7/57-7/78, G06T1/00-1/40, G06T3/00-5/50, G06T7/00-7/90, G06T9/00-9/40, G06T11/60-13/80, G06T17/05, G06T19/00-19/20, G06F15/18, G06N3/00-3/12, G06N7/08-99/00, H03H17/00-17/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 60-97464 A(ナショナル・リサーチ・デベロップメント・コーポレーション)1985.05.31, 第11頁右上欄第9行-第12頁右上欄第8行, 第13頁右下欄第12行-第14頁左上欄第5行, 図7, 図8, 図11 & US 4701876 A, 第10欄第43行-第11欄第44行, 第13欄第27行-第13欄第38行, 図7, 図8, 図11 & EP 0144123 A2 & GB 2147721 A & CA 1226951 A	1-9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- | | |
|--|---|
| 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの | 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの |
| 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの | 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの |
| 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) | 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」 口頭による開示、使用、展示等に言及する文献 | 「&」 同一パテントファミリー文献 |
| 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 | |

国際調査を完了した日

29.03.2018

国際調査報告の発送日

10.04.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

清木 泰

5 B

9643

電話番号 03-3581-1101 内線 3545