



등록특허 10-2554802



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년07월13일
(11) 등록번호 10-2554802
(24) 등록일자 2023년07월07일

- (51) 국제특허분류(Int. Cl.)
H01J 37/147 (2006.01) *G21K 1/087* (2006.01)
G21K 1/093 (2006.01) *H01F 7/06* (2006.01)
H01J 37/317 (2006.01)
- (52) CPC특허분류
H01J 37/1475 (2013.01)
G21K 1/087 (2013.01)
- (21) 출원번호 10-2022-7002693(분할)
- (22) 출원일자(국제) 2014년09월05일
심사청구일자 2022년02월22일
- (85) 번역문제출일자 2022년01월25일
- (65) 공개번호 10-2022-0018072
- (43) 공개일자 2022년02월14일
- (62) 원출원 특허 10-2016-7009093
원출원일자(국제) 2014년09월05일
심사청구일자 2019년09월03일
- (86) 국제출원번호 PCT/NL2014/050610
- (87) 국제공개번호 WO 2015/034362
국제공개일자 2015년03월12일
- (30) 우선권주장
2011401 2013년09월06일 네덜란드(NL)
61/874,394 2013년09월06일 미국(US)

(56) 선행기술조사문헌

JP03176955 A*

(뒷면에 계속)

전체 청구항 수 : 총 15 항

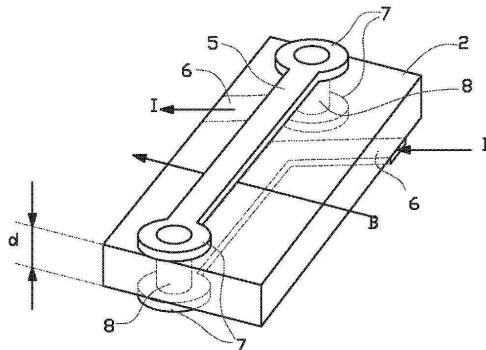
심사관 : 이민형

(54) 발명의 명칭 하전 입자 광 디바이스

(57) 요 약

본 발명은 다수의 하전 입자 빔렛의 궤도를 조작하기 위한 하전 입자 광 디바이스에 관한 것이다. 상기 하전 입자 광 디바이스는 평면형 기판을 구비하는 전자기 디플렉터를 포함하고, 평면형 기판은 상부면 및 하부면과, 균등한 두께를 갖는다. 기판은 하나 이상의 빔렛이 통과되게 하는 관통 개구로서, 상기 기판의 상부면과 하부면에

(뒷면에 계속)

대 표 도 - 도2

서 나오는 것인 관통 개구; 제1 코일 및 제2 코일을 포함하고, 상기 제1 코일 및 제2 코일 각각은 실질적으로 나선형 코일이고, 상부면 상에 배치되는 전도성 상부 리드, 하부면 상에 배치되는 전도성 하부 리드, 및 상기 기판을 통해 연장되는 비아를 포함하며, 비아는 상기 상부 리드 중 하나를 상기 하부 리드 중 하나와 전도성으로 연결시켜 상기 코일을 형성하고, 상기 제1 코일과 제2 코일은 관통 개구의 양쪽에 배치된다.

(52) CPC특허분류

G21K 1/093 (2013.01)
H01J 37/3177 (2013.01)
H01F 2007/068 (2013.01)
H01J 2237/1526 (2013.01)
H01J 2237/31774 (2013.01)

(72) 발명자

로젠탈 아론

네덜란드 엔엘-2628 엑스케이 델프트 컴퓨터란 15
마페 리쏘그라피 아이피 비.브이. 내

코닝 요학 주스트

네덜란드 엔엘-2628 엑스케이 델프트 컴퓨터란 15
마파 리չ그라피 아이피 비 뷔이 내

(56) 선행기술조사문현

JP04179116 A*
JP2003031172 A*
KR1019980070039 A*
US20080217531 A1*
WO2012165955 A2*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

둘 이상의 하전 입자 빔렛의 궤도를 조작하기 위한 하전 입자 광 디바이스로서,

적어도 두 개 이상의 제1 전자기 디플렉터; 및

적어도 두 개 이상의 제1 정전 디플렉터를 포함하고,

상기 제1 전자기 디플렉터는, 상부면에 또는 그 근처에 있는 제1 표면 및 하부면에 또는 그 근처에 있는 제2 표면을 갖는 실질적인 평면형의 제1 기판을 갖고, 상기 실질적인 평면형의 제1 기판에는 상기 둘 이상의 빔렛이 통과되게 하는 적어도 두 개 이상의 관통 개구가 정의되고, 각각의 관통 개구는 상기 제1 기판의 상부면 내와 하부면 내에 정의되고, 상기 제1 전자기 디플렉터는 상기 각각의 관통 개구에 걸쳐 자기장을 인가하도록 구성되며,

상기 제1 정전 디플렉터는, 상부면에 또는 그 근처에 있는 제1 표면 및 하부면에 또는 그 근처에 있는 제2 표면을 갖는 실질적인 평면형의 제2 기판을 갖고, 상기 실질적인 평면형의 제2 기판에는 상기 둘 이상의 빔렛이 통과되게 하는 적어도 두 개 이상의 관통 개구가 정의되고, 각각의 관통 개구는 상기 제2 기판의 상부면 내와 하부면 내에 정의되고, 상기 제1 정전 디플렉터는 상기 제2 기판에 정의되는 각각의 관통 개구 내에 전기장을 제공하도록 구성되는,

하전 입자 광 디바이스.

청구항 2

제1 항에 있어서,

전기를 전도하는 상기 제1 기판에 정의되는 각각의 관통 개구에 걸쳐 자기장을 인가하기 위하여 상기 각각의 관통 개구의 양측 상에 제1 및 제2 코일이 각각 배열되고, 상기 제1 및 제2 코일 각각은 상기 기판을 관통하여 연장하는 하나 이상의 비아를 포함하는,

하전 입자 광 디바이스.

청구항 3

제2 항에 있어서,

상기 제1 및 제2 코일은 실질적으로 나선형 코일을 포함하는,

하전 입자 광 디바이스.

청구항 4

제3 항에 있어서,

상기 비아들 각각은 각각의 코일을 형성하기 위하여 상기 제1 기판의 제1 표면 상에 배열된 상부 리드들 중 하나를 상기 제1 기판의 제2 표면 상에 배열된 하부 리드들 중 하나와 전도성으로 연결하도록 배열된,

하전 입자 광 디바이스.

청구항 5

제1 항 내지 제4 항 중 어느 한 항에 있어서,

제2 전자기 디플렉터를 더 포함하고, 상기 제2 전자기 디플렉터는 상기 제1 전자기 디플렉터의 편향에 실질적으로 반대되는 방향으로 상기 둘 이상의 빔렛을 편향시키기 위하여 배열 및/또는 제어되는,

하전 입자 광 디바이스.

청구항 6

제2 항 내지 제4 항 중 어느 한 항에 있어서,

각각의 관통 개구에서 상기 제2 기판은 상기 제2 기판에 정의되는 각각의 관통 개구 내에 전기장을 제공하기 위하여 상기 각각의 관통 개구의 양측 상에 배열된 제1 및 제2 전극을 포함하는,

하전 입자 광 디바이스.

청구항 7

제6 항에 있어서,

상기 제1 정전 디플렉터는 상기 제1 전자기 디플렉터에 대해, 상기 제1 정전 디플렉터의 적어도 제1 및 제2 전극이 상기 제1 전자기 디플렉터의 제1 및 제2 코일에 실질적으로 평행하게 연장되도록 배열되는,

하전 입자 광 디바이스.

청구항 8

제1 항 내지 제4 항 중 어느 한 항에 있어서,

상기 제1 정전 디플렉터는 상기 제1 전자기 디플렉터로부터 일정 거리에 그리고 상기 빔렛 궤적을 따르는 방향으로 배열되고, 상기 제1 정전 디플렉터의 관통 개구는 상기 제1 전자기 디플렉터의 관통 개구와 일치하는,

하전 입자 광 디바이스.

청구항 9

제6 항에 있어서,

제2 정전 디플렉터를 더 포함하고, 상기 제2 정전 디플렉터는 상기 제1 전자기 디플렉터로부터 일정 거리에 그리고 상기 빔렛 궤적을 따르는 방향으로 배열되고, 상기 제2 정전 디플렉터의 관통 개구는 상기 제1 정전 디플렉터의 관통 개구와 일치하는,

하전 입자 광 디바이스.

청구항 10

제9 항에 있어서,

상기 제2 정전 디플렉터는 실질적으로 상기 제1 정전 디플렉터의 복사물(duplicate)이며 상기 제1 전자기 디플렉터로부터 일정 거리에 배열되고, 상기 제1 정전 디플렉터의 관통 개구는 상기 제1 전자기 디플렉터의 관통 개구와 일치하는,

하전 입자 광 디바이스.

청구항 11

제9 항에 있어서,

상기 제2 정전 디플렉터는 상기 제1 정전 디플렉터에 대해, 상기 제2 정전 디플렉터의 적어도 제1 및 제2 전극이 상기 제1 정전 디플렉터의 제1 및 제2 전극 및/또는 상기 제1 전자기 디플렉터의 제1 및 제2 코일에 실질적으로 평행하게 연장되도록 배치되는,

하전 입자 광 디바이스.

청구항 12

제11 항에 있어서,

상기 제2 정전 디플렉터는 상기 제1 정전 디플렉터의 편향에 실질적으로 반대되는 방향으로 상기 둘 이상의 빔렛을 편향시키기 위하여 배열 및/또는 제어되는,

하전 입자 광 디바이스.

청구항 13

제2 항 내지 제4 항 중 어느 한 항에 있어서,

상기 제1 기판에 정의되는 각각의 관통 개구는 제1 세트의 둘 이상의 빔렛을 통과시키기 위한 제1 관통 개구이며, 상기 제1 기판에는 제2 세트의 둘 이상의 빔렛을 통과시키기 위한 제2 관통 개구가 정의되고, 상기 제2 관통 개구는 상기 제1 기판의 상부면과 하부면 내에 개방되는,

하전 입자 광 디바이스.

청구항 14

제13 항에 있어서,

제3 코일을 더 포함하고, 상기 제3 코일은,

상기 제1 표면 상에 배열된 하나 이상의 전도성 상부 리드,

상기 제2 표면 상에 배열된 하나 이상의 전도성 하부 리드, 및

상기 제2 코일로부터 이격하도록 향하는 제2 관통 개구의 일측 상에 배열되는 상기 제3 코일을 형성하기 위해, 상기 제1 기판을 관통 연장되고 상기 상부 리드의 하나를 상기 하부 리드의 하나에 전도성으로 연결하는 하나 이상의 비아

를 포함하는,

하전 입자 광 디바이스.

청구항 15

제2 항 내지 제4 항 중 어느 한 항에 있어서,

상기 제1 기판에 정의되는 각각의 관통 개구로부터 이격하도록 향하는 측에서 상기 제1 및 제2 코일 둘레에 배열되는 자속 구속 부재를 더 포함하는,

하전 입자 광 디바이스.

발명의 설명

기술 분야

[0001]

본 발명은 특히 복수 개의 하전 입자 빔렛을 이용하여 타겟을 노광하기 위한 하전 입자 멀티-빔렛 노광 시스템에 사용하기 위해 하나 이상의 하전 입자 빔렛의 궤도를 조작하기 위한 하전 입자 광 디바이스에 관한 것이다. 또한, 본 발명은 그러한 디바이스를 포함하는 하전 입자 광 디바이스에 관한 것이다. 게다가, 본 발명은 하전 입자 멀티-빔렛 노광 시스템에서 하나 이상의 하전 입자 빔렛의 궤도를 조작하는 방법에 관한 것이다.

배경 기술

[0003]

WO 2010/125526호는 하전 입자 광 디바이스를 기술하고 있다. 이 하전 입자 광 디바이스는 복수 개의 빔렛이 통과하는 구멍을 구비하는 실질적으로 평탄한 기판을 포함한다. 평탄한 기판은 복수 개의 하전 입자 빔렛을 편향시키는 정전 디플렉터의 전극을 지지하고, 이 전극은 적어도 그리고 적절하게는 대부분 기판의 구멍 위에 놓인다. 상기 정전 디플렉터는 세장형 통과 윈도우의 종방향 변을 따라 배치되는 제1 및 제2 직선 및 세장형 전극을 포함하고, 이 정전 디플렉터는 상기 제1 및 제2 전극 사이의 전기장의 작동에 의해 상기 윈도우를 통과하는 복수 개의 빔렛을 편향시킨다.

[0004]

WO 2010/125526호에 기술된 바와 같이, 정전 디플렉터는 평행하게 배치되는 복수 개의 윈도우를 포함한다. 상기 윈도우 각각은 최대 균일성을 얻기에는 비교적 길다. 게다가, 상기 윈도우 각각은 바람직하게는 충분한 편향 각도를 여전히 얻으면서 전극들의 위상차가 상당히 감소될 수 있도록 하기 위해 비교적 작은 폭을 갖는다. 그러한 설계의 이점은 WO 2010/125526호에 상세하게 기술되어 있다.

- [0005] 공지된 정전 디플렉터에서, 상기 세장형 통과 윈도우는 많은 수의 타이트하게 패킹된 빔렛이 통과되게 하도록 배치될 수 있고 상기 많은 수의 빔렛은 동시에 편향될 수 있다.
- [0006] 공지된 정전 디플렉터의 단점은 많은 수의 동시 편향된 빔렛들이 상기 전극에 실질적으로 수직인 방향으로만 편향될 수 있다는 점이다. 따라서, 상기 빔렛은 세장형 윈도우(들)의 종방향에 실질적으로 수직인 방향으로만 편향될 수 있다.

발명의 내용

해결하려는 과제

- [0008] 본 발명의 목적은 많은 수의 빔렛을 상기 세장형 윈도우(들)의 종방향에 실질적으로 평행한 방향으로 동시에 편향시킬 수 있는 하전 입자 광 디바이스를 제공하는 것이다.

과제의 해결 수단

- [0010] 제1 양태에 따르면, 본 발명은 하나 이상의 하전 입자 빔렛의 궤도를 조작하기 위한 하전 입자 광 디바이스를 제공하는 것으로서, 상기 하전 입자 광 디바이스는 실질적으로 평면형의 기판을 구비하는 제1 전자기 디플렉터를 포함하고, 상기 기판은, 상부면에 또는 그 근처에 있는 제1 표면, 하부면에 또는 그 근처에 있는 제2 표면, 및 실질적으로 균등한 두께를 갖고, 상기 기판은,
- [0011] 상기 하나 이상의 빔렛이 통과되게 하는 관통 개구로서, 상기 실질적으로 평면형의 기판의 상부면과 하부면에서 나오는 것인 관통 개구;
- [0012] 제1 코일 및 제2 코일
- [0013] 을 포함하고, 상기 제1 코일 및 제2 코일 각각은 제1 표면 상에 배치되는 하나 이상의 전도성 상부 리드, 제2 표면 상에 배치되는 하나 이상의 전도성 하부 리드, 및 상기 기판을 통해 연장되는 하나 이상의 비아를 포함하며, 상기 비아들 각각은 상기 상부 리드 중 하나를 상기 하부 리드 중 하나와 전도성으로 연결시켜 상기 코일을 형성하고,
- [0014] 상기 제1 코일과 제2 코일은 관통 개구의 양쪽에 배치된다.
- [0015] 전류가 상기 제1 및 제2 코일을 통해 흐를 때에, 특히 상기 제1 및 제2 코일을 통해 동일한 방향으로 흐를 때에, 자기장이 형성된다. 이 자기장은, 제1 코일을 통해 연장되고, 상기 관통 개구 위를 지나며, 상기 제2 코일을 통해 연장되는 자기력선을 갖는다. 상기 관통 개구를 통과하는 하나 이상의 빔렛은, 자기력선에 수직인 방향으로, 이에 따라 나선형 코일의 상기 상부면과 하부면에 실질적으로 평행한 방향으로 자기력선에 의해 편향된다.
- [0016] 비교해 보면, 종래 기술의 정전 디플렉터에서는, 상기 관통 개구를 통과하는 하나 이상의 빔렛이 제1 및 제2 전극을 실질적으로 가로지르는 방향으로 전기장에 의해 편향된다는 점이 유념된다. 제1 및 제2 전극은 세장형 통과 윈도우의 종방향 변을 따라 배치된다.
- [0017] 본 발명의 전자기 디플렉터의 다른 이점은, 전자기 디플렉터가 종래 기술의 정전 디플렉터와 같이 실질적으로 평탄한 기판 상에 배치된다는 점이다. 적어도 하전 입자 빔렛의 궤도에 대해 평행한 방향에서, 본 발명의 전자기 디플렉터에 요구되는 설치 공간은 작고, 특히 10 mm 미만, 바람직하게는 5 mm 미만, 보다 바람직하게는 3 mm 미만이다.
- [0018] 실시예에서, 상기 제1 코일 및/또는 제2 코일은 실질적으로 나선형 코일이다. 제1 표면 상에 배치되는 하나 이상의 전도성 상부 리드, 제2 표면 상에 배치되는 하나 이상의 전도성 하부 리드, 및 상기 기판을 통해 연장되는 하나 이상의 비아가 각각의 코일의 권선을 구성한다.
- [0019] 코일의 나선은 손잡이로서 공지된 2개의 가능한 방향으로 형성될 수 있다. 바람직하게는, 제1 및 제2 코일은 동일한 손잡이를 갖는다.
- [0020] 실시예에서, 제1 및 제2 코일은 실질적으로 동일한 리드를 갖는다. 리드(lead)는 권선의 1회 완벽한 회전(360°)에 의해 덮이는 코일의 중앙 축선을 따른 거리이다.
- [0021] 실시예에서, 관통 개구는 2개의 종방향 변과 2개의 횡방향 변을 갖는 실질적으로 직사각형 윈도우를 확정하고,

제1 코일과 제2 코일은 상기 종방향 변에 인접하게 배치된다.

[0022] 실시예에서, 하전 입자 광 디바이스는 관통 개구(들)의 반대쪽에서 코일 둘레에 배치되는 자속 구속 부재를 더 포함한다. 실시예에서, 자속 구속 부재는 실질적으로 평면형의 기판을 둘러싸도록 배치된다. 그러한 자속 구속 부재는 기판의 관통 개구에 또는 관통 개구 내에 원하는 편향을 제공하도록 평면형 기판의 평면에 자기장을 실질적으로 구속한다. 자속 구속 부재가 없다면, 기판의 위아래에 복귀하는 자기력선이 존재하고, 이는 하나 이상의 빔렛을 원하는 편향 방향의 반대쪽으로 편향시킨다.

[0023] 실시예에서, 자속 구속 부재는 자화성 재료, 바람직하게는 페라이트를 포함한다.

[0024] 실시예에서, 관통 개구는 하나 이상의 빔렛의 제1 세트가 통과되게 하는 제1 관통 개구이고, 상기 기판은,

[0025] 하나 이상의 빔렛의 제2 세트가 통과되게 하는 제2 관통 개구로서, 상기 제2 관통 개구는 실질적으로 평면형의 기판의 상부면과 하부면에서 나오고, 상기 제2 관통 개구는 상기 제1 관통 개구의 반대쪽에 있는 상기 제2 코일 측에 배치되는 것인 제2 관통 개구; 및

[0026] 제3 코일

[0027] 을 포함하고, 상기 제3 코일은 제1 표면 상에 배치되는 하나 이상의 전도성 상부 리드, 제2 표면 상에 배치되는 하나 이상의 전도성 하부 리드, 및 상기 기판을 통해 연장되는 하나 이상의 비아를 포함하며, 상기 비아들 각각은 상기 상부 리드 중 하나를 상기 하부 리드 중 하나와 전도성으로 연결시켜 상기 코일을 형성하고,

[0028] 상기 제3 코일은 상기 제2 코일의 반대쪽에 있는 제2 관통 개구측에 배치된다.

[0029] 적어도 2개의 관통 개구를 갖는 이 실시예는, 매우 많은 갯수의 빔렛, 예컨대 10,000개 또는 그 이상을 갖는 멀티-빔렛 노광 시스템에 사용하기에 적절하다. 많은 갯수의 빔렛은 이제 빔렛들의 2개 이상의 세트로 분할되고, 각 세트는 관통 개구들 중 대응하는 관통 개구를 가로지르며, 각각의 관통 개구는 적어도 코일들 사이의 방향에서 제한된 크기를 갖고 있어 관통 개구 내에 실질적으로 균질한 자기장을 형성한다.

[0030] 실시예에서, 상기 제3 코일은 실질적으로 나선형 코일을 포함한다. 제1 표면 상에 배치되는 하나 이상의 전도성 상부 리드, 제2 표면 상에 배치되는 하나 이상의 전도성 하부 리드, 및 기판을 통해 연장되는 하나 이상의 비아가 각각의 코일의 권선을 구성한다. 바람직하게는, 제3 코일은 제1 및 제2 코일과 동일한 손잡이를 갖는다. 바람직하게는, 제3 코일은 제1 및 제2 코일과 실질적으로 동일한 리드를 갖는다.

[0031] 실시예에서, 실질적으로 평면형의 기판에는 제1 관통 개구와 제2 관통 개구 사이에 배치되는 하나 이상의 추가 관통 개구가 마련되고, 제1, 제2 및 추가 관통 개구는 서로 일정 거리를 두고 배치되며, 상기 관통 개구들 중 2개의 관통 개구들 사이의 영역에 코일이 배치된다. 2개의 이상의 관통 개구는 실질적으로 평탄한 기판의 표면에 걸쳐 분할된다.

[0032] 관통 개구가 세장형의 직사각형 원도우인 경우에, 2개 이상의 관통 개구는 바람직하게는 세장형 원도우의 종방향에 수직인 방향으로 서로 인접하게 배치된다.

[0033] 실시예에서, 자속 구속 부재가 2개의 최외측 코일, 특히 제1 코일과 제3 코일(이들 코일이 2개의 최외측 코일인 경우)에 인접하게 배치된다. 자속 구속 부재를 상기 최외측 코일들에 인접하게 배치함으로써, 복귀하는 자기장이 상기 자속 구속 부재 내에 효과적으로 구속되고, 표유 자기장(magnetic stray field)의 효과가 적어도 감소되며, 바람직하게는 실질적으로 무효화된다.

[0034] 실시예에서, 제2 코일의 코일 턴의 갯수는 제1 코일의 코일 턴의 갯수에 제3 코일의 코일 턴의 갯수를 더한 것과 동일하다. 자속 구속 부재가 제1 및 제3 코일에 바로 인접하게 배치되는 경우, 실질적으로 제1 코일에 의해 발생되는 전체 자속은 자속 구속 부재에 의해 구속되고 제3 코일로 지향되며, 그 반대도 또한 같다. 따라서, 제1 코일의 자속은 제3 코일에 의해 보충되고, 그 반대도 또한 같다. 제1 코일에서의 자속은 제1 코일의 코일 턴의 갯수에 제3 코일의 코일 턴의 갯수를 더한 코일 턴의 갯수를 갖는 가상 코일에 의해 발생된 자속과 실질적으로 동일하다. 상기 코일을 구동하기 위해 실질적으로 동일한 전류를 이용하는 경우, 가상 코일과 동일한 갯수의 코일 턴을 제2 코일에 제공하면, 자기 디플렉터의 모든 관통 개구에 걸쳐 실질적으로 균일한 자기장이 초래된다.

[0035] 실시예에서, 관통 개구(들)를 제외하고, 실질적으로 평면형의 기판의 적어도 제1 및 제2 표면에는 전기 절연 재료의 제1 층과 전기 전도 재료의 제2 층이 실질적으로 페복되고, 제1 층은 제2 층과 실질적으로 평면형의 기판 사이에 샌드위치된다. 전기 전도 재료의 제2 층은 히트 싱크에 보다 우수한 열 전도를 제공할 수 있고, 이는

디플렉터의 열 부하를 감소시키게 된다. 게다가, 제2 층은 사용시에 제1 및 제2 표면에 축적될 수 있는 전하의 제거를 위해 접지 전위에 연결될 수 있다. 제1 층은 코일과 비아의 리드를 보호하고 리드와 비아를 제1 층으로부터 전기적으로 격리시키도록 배치된다.

[0036] 실시예에서, 관통 개구(들)는 내부 원주 방향 에지를 포함하고, 상기 내부 원주 방향 에지에는 전기 전도 재료의 층이 실질적으로 피복된다. 실시예에서, 평면형 기판은 외부 원주 방향 에지를 포함하고, 상기 외부 원주 방향 에지에는 전기 전도 재료의 층이 실질적으로 피복된다. 이는 실질적으로 평면형의 기판의 제1 및 제2 표면 상의 전기 전도층들 사이에 보다 우수한 전기 및/또는 열 접속을 제공한다.

[0037] 실시예에서, 제2 층은 몰리브덴층을 포함하고, 이 몰리브덴층은 실질적으로 평면형의 기판의 반대쪽에 있는 제2 층의 면에 배치된다. 따라서, 몰리브덴은 최외측 표면에 배치된다. 몰리브덴 외부층을 이용하는 이점은 이 외부층이 산화하더라도, 결과적인 산화물이 여전히 전기적으로 전도성이라는 점이다.

[0038] 실시예에서, 하전 입자 광 디바이스는, 실질적으로 제1 전자기 디플렉터의 복사품이며 특히 궤도를 따른 방향에서 상기 제1 전자기 디플렉터로부터 일정 거리를 두고 배치되는 제2 전자기 디플렉터를 포함하고, 제2 전자기 디플렉터의 하나 이상의 관통 개구들 중 하나는 제1 전자기 디플렉터의 하나 이상의 관통 개구 중 하나와 일치한다.

[0039] 실시예에서, 제2 전자기 디플렉터는, 적어도 제2 전자기 디플렉터의 제1 및 제2 코일이 제1 전자기 디플렉터의 제1 및 제2 코일에 대해 실질적으로 평행하게 연장되도록 제1 전자기 디플렉터에 관하여 배치된다.

[0040] 실시예에서, 제2 전자기 디플렉터는 제1 전자기 디플렉터의 편향에 실질적으로 반대쪽인 방향으로 하나 이상의 범랫을 편향시키도록 배치 및/또는 제어된다.

[0041] 실시예에서, 적어도 제1 전자기 디플렉터를 구비하는 하전 입자 광 디바이스는 실질적으로 균등한 두께를 갖는 실질적으로 평면형의 제2 기판을 구비하는 제1 정전 디플렉터를 더 포함하고,

[0042] 제2 기판은 상기 하나 이상의 범랫이 통과되게 하는 하나 이상의 관통 개구를 포함하고, 상기 하나 이상의 관통 개구는 상기 제2 기판의 상부면 및 하부면에서 나오며, 각각의 관통 개구에서, 상기 제2 기판은 상기 관통 개구에 전기장을 제공하도록 관통 개구의 양쪽에 배치되는 제1 전극 및 제2 전극을 포함하고,

[0043] 제1 정전 디플렉터는 특히 궤도를 따른 방향에서 상기 제1 전자기 디플렉터로부터 일정 거리를 두고 배치되며, 제1 정전 디플렉터의 하나 이상의 관통 개구들 중 적어도 하나는 제1 전자기 디플렉터의 하나 이상의 관통 개구 중 하나와 일치한다.

[0044] 따라서, 본 발명의 전자기 디플렉터는 정전 디플렉터에 인접하게, 또는 심지어는 접경하도록 배치될 수 있고, 전자기 디플렉터에 의해 제공되는 편향은 정전 디플렉터에 의해 제공되는 편향에 대해 실질적으로 직교하며, 이는 하나 이상의 범랫이 전자기 및 정전 디플렉터의 실질적으로 직교하는 편향 범위들 내에서 임의의 방향으로 지향되게 할 수 있다.

[0045] 실시예에서, 제1 정전 디플렉터는, 적어도 제1 정전 디플렉터의 제1 및 제2 전극이 제1 전자기 디플렉터의 제1 및 제2 코일에 대해 실질적으로 평행하게 연장되도록 제1 전자기 디플렉터에 관하여 배치된다.

[0046] 실시예에서, 제1 정전 디플렉터를 포함하는 하전 입자 광 디바이스는, 실질적으로 제1 정전 디플렉터의 복사품이며 특히 궤도를 따른 방향에서 상기 제1 정전 디플렉터로부터 일정 거리를 두고 배치되는 제2 정전 디플렉터를 포함하고, 제2 정전 디플렉터의 하나 이상의 관통 개구들 중 적어도 하나는 제1 정전 디플렉터의 하나 이상의 관통 개구 중 하나와 일치한다.

[0047] 실시예에서, 제2 정전 디플렉터는, 적어도 제2 정전 디플렉터의 제1 및 제2 전극이 제1 정전 디플렉터의 제1 및 제2 전극에 대해 실질적으로 평행하게 연장되도록 제1 정전 디플렉터에 관하여 배치된다.

[0048] 실시예에서, 제2 정전 디플렉터는 제1 정전 디플렉터의 편향에 실질적으로 반대쪽인 방향으로 하나 이상의 범랫을 편향시키도록 배치 및/또는 제어된다.

[0049] 실시예에서, 하전 입자 광 디바이스는 냉각 장치를 포함하거나, 냉각 장치 상에 장착된다. 냉각 장치는 히트 싱크로서 작용하고, 사용시에, 디플렉터의 열 부하를 감소시키게 된다.

[0050] 실시예에서, 냉각 장치는 실질적으로 균등한 두께를 갖는 실질적으로 평면형의 제3 기판을 포함하고,

[0051] 제3 기판은 상기 하나 이상의 범랫이 통과되게 하는 하나 이상의 관통 개구를 포함하며, 상기 하나 이상의 관통

개구는 상기 제3 기판의 상부면 및 하부면에서 나오고,

[0052] 상기 제3 기판에는 냉각 유체를 위한 유동 채널이 마련되고, 유동 채널은 상기 관통 개구에 인접하게 배치되며,

[0053] 냉각 장치의 하나 이상의 관통 개구 중 적어도 하나는 제1 전자기 디플렉터의 하나 이상의 관통 개구 중 하나와 일치한다. 그러한 평면형 냉각 장치는 본 발명의 평면형 전자기 디플렉터(들)과, 그리고 또한 정전 디플렉터(들)과 쉽게 조합될 수 있다. 다수의 그러한 전자기 디플렉터(들)와 정전 디플렉터(들)이 상기 평면형 냉각 장치 상에 적층될 수 있다.

[0054] 제2 양태에 따르면, 본 발명은 복수 개의 하전 입자 빔렛을 이용하여 타겟을 노광시키는 하전 입자 멀티-빔렛 노광 시스템을 제공하는 것으로서, 시스템은,

복수 개의 하전 입자 빔렛을 발생시키는 빔렛 발생기; 및

[0056] 상기 복수 개의 하전 입자 빔렛 중 하나 이상을 상기 타겟의 표면 상에 투사하는 빔렛 투사기

[0057] 를 포함하고, 빔렛 투사기는 전술한 또는 이미 설명된 실시예들 중 어느 하나에 따른 하전 입자 광 디바이스를 포함한다.

[0058] 실시예에서, 상기 시스템은 변조된 빔렛을 형성하도록 빔렛을 패터닝하는 빔렛 변조기를 더 포함하고, 상기 빔렛 투사기는 상기 변조된 빔렛을 상기 타겟의 표면 상에 투사하도록 구성된다.

[0059] 실시예에서, 상기 시스템은 리소그래피 시스템 또는 현미경 검사 시스템이다.

[0060] 제3 양태에 따르면, 본 발명은 전술한 하전 입자 멀티-빔렛 노광 시스템에서 하나 이상의 하전 입자 빔렛의 궤도를 조작하는 방법을 제공하는 것으로서, 상기 방법은, 제1 및 제2 코일을 통해 전류를 흐르게 하여, 자기장을 실질적으로 가로지르는 방향으로 관통 개구를 통과하는 하나 이상의 빔렛을 편향시키는 자기장을 관통 개구 내에 제공하는 것을 포함한다.

[0061] 명세서에 설명되고 나타낸 다양한 양태 및 특징은 가능한 어디든 개별적으로 적용될 수 있다. 이들 개별적인 양태, 특히 첨부된 종속 청구항들에서 설명되는 양태 및 특징은 분할 특허 출원의 주제가 될 수 있다.

도면의 간단한 설명

[0063] 본 발명은 첨부된 도면에 도시된 예시적인 실시예를 기초로 하여 설명될 것이다.

도 1은 본 발명의 전자기 디플렉터를 갖는 하전 입자 광 디바이스의 제1 실시예의 개략도를 도시하고,

도 2는 도 1의 실시예의 기판의 제1 및 제2 면 상의 리드와, 상기 리드들을 연결하는 비아를 개략적으로 도시하며,

도 3은 도 1의 전자기 디플렉터에서 발생된 자기장을 개략적으로 도시하고,

도 4a는 본 발명의 전자기 디플렉터를 갖는 하전 입자 광 디바이스의 제2 실시예의 개략적인 단면도를 도시하며,

도 4b는 도 4a의 제2 실시예의 개략적인 분해도를 도시하고,

도 5는 본 발명의 전자기 디플렉터를 갖는 하전 입자 광 디바이스의 제3 실시예의 개략도를 도시하며,

도 6은 본 발명의 전자기 디플렉터와 정전 디플렉터를 포함하는 디플렉터 조립체를 갖는 하전 입자 광 디바이스의 제1 실시예의 개략도를 도시하고,

도 7은 본 발명의 2개의 전자기 디플렉터를 포함하는 디플렉터 조립체를 갖는 하전 입자 광 디바이스의 제2 실시예의 개략적인 단면도를 도시하며,

도 8은 본 발명의 하전 입자 멀티-빔렛 노광 시스템의 일례의 간소화된 개략적인 단면도를 도시하고,

도 9는 하전 입자 멀티-빔렛 노광 시스템에 사용하기 위한 투사 조립체의 간소화된 개략적인 단면도를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0064] 도면에서, 동일한 참조 번호는 동일하거나 적어도 상응하는 기술적 피처를 가리킨다. 도면은 실책으로 드로잉

되지 않았으며 오직 예시 목적을 위한 것이다. 도면은 여하튼간에 청구범위를 제한하도록 의도되지 않는 실시 예를 도시한다.

[0065] 도 1은 본 발명의 전자기 디플렉터(1)를 갖는 하전 입자 광 디바이스의 제1 실시예의 평면도를 도시한다. 전자기 디플렉터(1)는 전자기 디플렉터(1)의 코일을 위한 실질적으로 평면형의 기판으로서 작용하는 실질적으로 직사각형의 인쇄 회로 기판(PCB; Printed Circuit Board)(2)을 포함한다. PCB(2)에는 다수의 하전 입자 빔렛이 통과되게 하는 5개의 관통 개구(3)가 마련되어 있다. 개별적인 관통 개구(3)들 사이 그리고 관통 개구(3)와 PCB의 종방향 에지(4) 사이의 영역에서, 구리제의 상부 리드(5)가 상부면 상에 배치된다. 게다가, 구리제의 하부 리드(6)가 상부면의 반대측인 하부면 상에 배치된다. 상부 리드(5)와 하부 리드(6)에는 구리 패드(7)가 마련되어 있다. 이들 구리 패드(7) 중 적어도 일부가 비아(8)를 제공하는 데에 사용되고, 도 2에 도시된 바와 같이, 상기 비아(8) 각각이 상기 상부 리드(5)의 하나를 상기 하부 리드(6)의 하나와 전도성으로 연결하도록 배치되어 코일 턴(coil turn)을 형성한다.

[0066] 도 1의 예에 개략적으로 도시된 바와 같이, 2개의 관통 개구(3) 사이의 영역들 각각은 6개의 코일 턴을 갖는 코일(10)을 포함하고, 관통 개구(3)와 PCB의 종방향 에지(4) 사이의 영역들 각각은 3개의 코일 턴을 갖는 코일(11, 12)을 포함한다. 이들 코일(10, 11, 12) 모두는 직렬로 연결되고 상기 직렬 중 제1 코일(11)과 마지막 코일(12; 첨부된 청구항 3에서는 제3 코일로도 명명됨)은 전자기 디플렉터의 모든 코일(10, 11, 12)을 통해 실질적으로 동일한 전류(I)를 제공하도록 PCB의 에지 상의 연결 패드(9)에 연결된다. 도 2에 개략적으로 도시된 바와 같이, 전류(I)를 상기 코일 턴을 통해 흐르게 할 때에, 자기장(B)이 상기 코일 턴의 내측에 발생된다.

[0067] 본 발명의 전자기 디플렉터에 사용되는 코일(10, 11, 12)은 평탄하고 폭이 넓다는 점이 유념된다. 코일의 높이는, 예컨대 1.5 밀리미터의 PCB(2)의 높이와 실질적으로 동일하다. 코일의 폭은 수 센치미터만한 크기, 예컨대 3.0 센치미터보다 큰 크기일 수 있는 관통 개구(3)의 길이를 지나서 연장된다.

[0068] 도 1에 개략적으로 도시된 바와 같이, PCB(2)는 사각형의 폐쇄형 페라이트 코어(13)에 의해 둘러싸인다. PCB(2)는 사각형의 폐쇄형 페라이트 코어(13) 내측의 직사각형 개구 내에 장착된다. 제1 코일(11)과 마지막 코일(12)은 페라이트 코어(13)에 인접하게 배치되고, 이 페라이트 코어(13)는 사용시에 자속 구속 부재로서 작용한다. 도 3에 개략적으로 도시된 바와 같이, 전자기 디플렉터(1)의 코일들을 통해 전류(I)를 흐르게 할 때에, PCB(2)에 있는 모든 코일과 관통 개구(3)를 가로지르는 자속(B1)이 발생된다. 제1 코일(11)에서 PCB(2)를 떠나는 자속(B1)은 페라이트 코어(13)에 의해 포획되고 구속된다. 페라이트 코어(13)는 자속을 구속하고 PCB(2) 둘레의 자속을 마지막 코일(12)을 향해 복귀시키며, 이 마지막 코일에서 자속이 PCB(2)에 진입한다. 복귀하는 자속(B2)은 상기 페라이트 코어(13) 내에 그리고 실질적으로 전자기 디플렉터(1)의 평면 내에 효과적으로 구속된다. 전자기 디플렉터(1) 위 또는 아래에 있는 표유 자기장(magnetic stray field)의 효과는 적어도 감소되고, 사실상 실질적으로 무효화된다.

[0069] 도 4a는 본 발명의 전자기 디플렉터를 갖는 하전 입자 광 디바이스의 제2 실시예의 실질적으로 평탄한 기판의 개략적인 단면도를 도시한다. 도 4b는 이 기판을 확대도로 도시한다.

[0070] 이 제2 실시예의 평탄한 기판은 다층 PCB(20)를 포함한다. 다층 PCB(20)에는 다수의 하전 입자 빔렛이 통과되게 하는 5개의 관통 개구(3)가 마련된다. 개별적인 관통 개구(3)들 사이 그리고 관통 개구(3)와 PCB(20)의 종방향 에지 사이의 영역에서, 코일은 아래에서 설명되는 바와 같이 구리제의 상부 리드(22), 구리제의 하부 리드(23), 및 비아(8)에 의해 구성된다.

[0071] 다층 PCB(20)는 상부 리드(22)와 하부 리드(23)를 갖춘 중앙 PCB층(21)을 포함한다. 중앙 PCB에는 비아(24)가 마련되고, 상기 비아(24) 각각은, 도 2에 도시된 제1 실시예와 동일한 방식으로, 상기 상부 리드(22) 중 하나를 상기 하부 리드(23) 중 하나와 전도성으로 연결하여 코일 턴을 형성하도록 배치된다.

[0072] 중앙 PCB층(21)은 더 얇은 상부 PCB층(25)과 더 얇은 저부 PCB층(26) 사이에 샌드위치된다. 상부 PCB층(25)과 저부 PCB층(26)은 상부 리드(22)와 하부 리드(23)를 각각 보호하고, 비아(24)를 보호한다. 그러한 다층 PCB(20)의 두께는, 예컨대 2 밀리미터이다.

[0073] 도 4a 및 도 4b에 개략적으로 도시된 바와 같이, 이 제2 실시예의 연결 패드(9)는 상기 상부 PCB층(25)의 상단 상에 마련되고, 이 연결 패드(9)는 상부 PCB층(25)에 있는 비아(24')에 의해 중앙 PCB층(21)의 리드(22, 23)와 전기적으로 연결된다.

[0074] 중앙 PCB층(21)의 반대쪽에 있는 상부 PCB층(25)의 면은 구리층(27)에 의해 실질적으로 완전하게 덮인다. 또한, 중앙 PCB층(21)의 반대쪽에 있는 저부 PCB층(26)의 면은 구리층(28)에 의해 실질적으로 완전하게 덮인다.

게다가, 다층 PCB의 외주 에지는 도 4a의 단면에 도시된 바와 같이 구리층(29)에 의해 실질적으로 완전하게 덮인다. 또한, 관통 개구(3)(들)의 내주 에지는 구리층(도시 생략)에 의해 실질적으로 완전하게 덮인다. 따라서, 다층 PCB(20)의 실질적으로 완전한 외측면이 구리층(27, 28, 29)에 의해 덮이고 구리층의 외측면에는 몰리브덴 코팅이 마련된다.

[0075] 통상, 다층 PCB(20)는 도 1에 도시된 제1 실시예와 동일한 방식으로 사각형의 폐쇄형 페라이트 코어(도 4a 및 도 4b에는 도시되지 않음) 내측의 직사각형 개구 내에 장착된다.

[0076] 도 5는 본 발명의 전자기 디플렉터(30)을 갖는 하전 입자 광 디바이스의 제3 실시예를 도시한다. 이 제3 실시 예의 평탄한 기판은 PCB(31)를 포함한다. PCB(31)에는 다수의 하전 입자 빔렛이 통과되게 하는 3개의 관통 개구(32)가 마련되어 있다. 개별적인 관통 개구(32)들 사이 그리고 관통 개구(32)와 PCB(31)의 종방향 에지 사이의 영역에서, 1차 코일은 제1 실시예 또는 제2 실시예와 동일한 방식으로 구리제의 상부 리드, 구리제의 하부 리드, 및 비아에 의해 구성된다.

[0077] 도 5에 개략적으로 도시된 바와 같이, 관통 개구(32)와 1차 코일(33, 34, 35, 36)을 갖는 PCB(31)의 영역은 복귀 코일(37, 38, 39, 37', 38', 39')에 의해 둘러싸인다. 사용시에, 복귀 코일은 자속 구속 부재로서 작용한다. 제1 및 제2 실시예에서와 같이 페라이트 코어를 이용하는 대신에, 제3 실시예는 구리제의 상부 리드, 구리제의 하부 리드, 및 상기 상부 리드 중 하나를 상기 하부 리드 중 하나와 전도성으로 연결하여 코일 턴을 형성하도록 배치되는 비아를 이용하여 1차 코일(33, 34, 35, 36)과 동일한 방식으로 제조되는 복귀 코일이 마련된다.

[0078] 실시예에서, 복귀 코일(37, 38, 39, 37', 38', 39')은 1차 코일(33, 34, 35, 36)과 직렬로 연결된다. 사용시에, 실질적으로 동일한 전류가 모든 1차 코일 및 복귀 코일을 통해 흐르게 된다.

[0079] 변형예에서, 복귀 코일(37, 38, 39, 37', 38', 39')은 1차 코일(33, 34, 35, 36)과 별개로 연결된다. 사용시에, 복귀 코일(37, 38, 39, 37', 38', 39')을 통과하는 전류는 원하는 자속 구속을 얻기 위하여 1차 코일(33, 34, 35, 36)을 통과하는 전류와 상이한 레벨로 설정될 수 있다.

[0080] 전류(I)를 전자기 디플렉터(30)의 1차 코일과 복귀 코일을 통해 흐르게 할 때에, PCB(31)의 모든 코일과 관통 개구(32)를 가로지르는 자속이 발생된다. PCB(31) 상의 1차 코일 및 복귀 코일은 1차 코일과 복귀 코일에 의해 발생된 자속이 구속되는 실질적으로 폐쇄형 자속 경로를 제공한다. 따라서, 자속은 PCB(31) 내에 실질적으로 구속된다.

[0081] 도 6은 본 발명의 전자기 디플렉터(41)와 정전 디플렉터(42)를 포함하는 디플렉터 조립체(40)를 갖는 하전 입자 광 디바이스의 제1 실시예의 개략도를 도시한다. 영역 위에서 하전 입자 빔, 예컨대 전자 빔(43)의 정렬 및 스캐닝을 위해, 전자 빔(43)은, 이 실시예에서 X 방향 및 Y 방향으로 나타내는 2개의 실질적으로 직교하는 방향으로 편향되어야 한다.

[0082] 도 6에 도시된 바와 같이, 전자 빔(43)은 전자기 디플렉터(41)의 관통 개구(44) 중 하나를 가로지른다. 전류(I)가 코일들을 통과하여 흐를 때에, 전자 빔(43)의 궤도를 방향(dx)으로 편향시키는 자기장(B)이 발생된다. 이는 상기 전자 빔(43)에 의해 노광되는 시료의 위치에서 Δx 의 시프트를 제공한다.

[0083] 전자 빔(43)은 또한 정전 디플렉터(42)의 관통 개구(45)를 중 하나를 가로지른다. 관통 개구(45)의 어느 한쪽에서 전극(46)에 전위차가 인가되는 경우, 전자 빔(43)의 궤도를 방향 dy로 편향시키는 전기장(E)이 발생된다. 이는 상기 전자 빔(43)에 의해 노광되는 시료의 위치에서 Δy 의 시프트를 제공한다.

[0084] 전자기 디플렉터(41) 및 정전 디플렉터(42)의 크기에 관한 편향의 양은 디플렉터 조립체(40)의 조합의 효과를 설명하기 위하여 도 6에서 크게 과장되어 있다는 점이 유념된다. 예컨대, 멀티-빔렛 마스크리스 하전 입자 리소그래피 시스템에서, 웨이퍼 상에 Δy 가 요구되는 범위는, 예컨대 대략 $+/- 100$ 나노미터로 매우 제한된다.

[0085] 개략적인 도 6에 도시되어 있지만, 전자기 디플렉터(41)에는 보다 상세하게 전술한 바와 같이 실질적으로 전자기 디플렉터(41)의 평면에서 복귀하는 자기장을 구속하도록 전자기 디플렉터(41) 둘레에 배치되는, 제1 실시예 또는 제3 실시예에서와 같은 자속 구속 부재가 마련된다.

[0086] 도 7은 본 발명의 2개의 전자기 디플렉터(51, 52)를 구비하는 디플렉터 조립체(50)를 갖는 하전 입자 광 디바이스의 제2 실시예의 개략적인 단면도를 도시하는데, 제2 전자기 디플렉터(52)는 빔렛(57)의 궤도, 특히 디플렉터(51, 52)의 편향이 없는 궤도를 따른 방향에서 제1 전자기 디플렉터(51)로부터 소정 거리를 두고 배치된다.

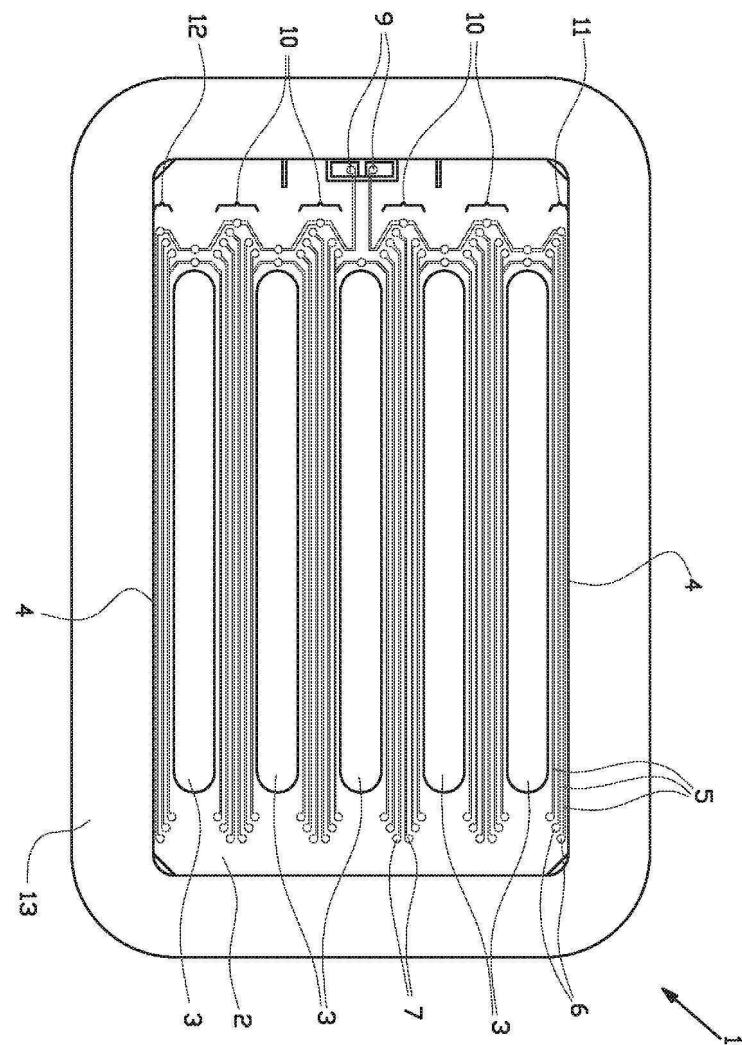
- [0087] 도 7의 단면도에 개략적으로 도시된 바와 같이, 제2 전자기 디플렉터(52)의 관통 개구(55)는 제1 전자기 디플렉터(51)의 관통 개구(54)와 일치한다. 제2 전자기 디플렉터(52)는, 적어도 제2 전자기 디플렉터(52)의 코일(58)이 제1 전자기 디플렉터(51)의 코일(59)에 대해 실질적으로 평행하게 연장하도록 제1 전자기 디플렉터(51)에 관해 배치된다. 코일(58, 59)은 도 7의 단면에서 비아에 의해 표현된다.
- [0088] 제1 전자기 디플렉터(51)는 제1 전자기 디플렉터(51)의 코일(59)을 통해 전류를 유도하여 자기장(B51)을 형성함으로써 도 7에 개략적으로 나타낸 $a + dy_1$ 방향으로 빔렛(57)을 편향시키도록 배치된다($+dy_1$ 은 사실상 도면의 평면 내로 지향된다는 점이 유념된다). 제2 전자기 디플렉터(52)는 제2 전자기 디플렉터(52)의 코일(58)을 통해 전류를 유도하여 자기장(B52)을 형성함으로써 도 7에 개략적으로 나타낸 $a - dy_2$ 방향으로 빔렛(57)을 편향시키도록 배치된다($-dy_2$ 는 사실상 도면의 평면 내로 지향된다는 점이 유념된다). 따라서, 제2 전자기 디플렉터(52)는 빔렛(57)을 제1 전자기 디플렉터(51)의 편향에 대해 실질적으로 반대쪽인 방향으로 편향시키도록 배치 및/또는 제어된다.
- [0089] 2개의 전자기 디플렉터(51, 52)를 갖는 조립체(50)는 빔렛(57)의 궤도를 조작하기 위한 다양한 방식을 제공하도록 사용될 수 있다. 예컨대, 제2 전자기 디플렉터(52)의 편향이 제1 전자기 디플렉터의 편향과 동일한 크기를 갖지만 반대 방향인 경우에, 조립체(50)에서 나오는 빔렛(57)은 유입되는 빔렛에 대해 실질적으로 평행하지만 도 7의 도면의 평면 내외의 방향으로 시프트된다.
- [0090] 도 7에 도시된 실시예에서, 빔렛(57)은 편향될 때라도 빔 정지 어레이 또는 렌즈 어레이(53)의 관통 개구(56)의 중앙 부분을 통과한다는 점이 달성된다. 따라서, 빔 정지 어레이 또는 렌즈 어레이(53) 위에서 빔렛(57)의 움직임이 방지될 수 있다.
- [0091] 빔 정지 어레이 위에서 빔렛(57)의 움직임은 빔렛(57)을 적어도 부분적으로 차단하고, 이는 도스 에러(dose error)를 초래한다는 점이 유념된다. 렌즈 어레이 위에서 빔렛(57)의 움직임은 렌즈 어레이의 상기 렌즈들을 그 중앙에서 통과하고, 이는 빔렛(57)의 수차(aberration), 예컨대 빔렛(57)의 구면 수차(spherical aberration)을 초래한다.
- [0092] 제1 및 제2 전자기 디플렉터(51, 52) 간에 상호 거리와 자기장의 강도가 빔렛(57)을 빔 정지부 또는 렌즈의 중앙 부분을 통해 지향시키도록 조절된다. 자기장(B51, B52)의 강도는 바람직하게는 상호 결합된다. 자기장들은 빔렛(57)의 피봇점이 빔렛 정지 어레이 또는 렌즈 어레이(53)의 평면에 그리고 빔렛 정지부 또는 렌즈의 중앙 부분에 위치하도록 변화될 수 있다.
- [0093] 하전 입자 빔렛을 조작하는 동일한 방식이 또한 2개의 정전 디플렉터에 의해 행해질 수 있다는 점이 WO 2010/125526호에 설명되어 있는데, 이 공보는 본 발명의 소유권자에게 양도되었고 그 전체가 본 명세서에 참조로 합체된다.
- [0094] 개략적인 도 7에 도시되지 않았지만, 전자기 디플렉터(51, 52) 양자에는 보다 상세하게 전술한 바와 같이 실질적으로 전자기 디플렉터(51, 52)의 평면에서 복귀하는 자기장을 구속하도록 대응하는 전자기 디플렉터(51, 52) 둘레에 배치되는, 제1 실시예 또는 제3 실시예에서와 같은 자속 구속 부재가 마련된다.
- [0095] 도 8은 본 발명의 하전 입자 멀티-빔렛 노광 시스템(60)의 일례의 간소화된 개략적인 단면도를 도시한다. 그러한 노광 시스템(60)은 발산 하전 입자 빔(62)을 방출하는 소스(61)를 구비하는 빔 발생기, 하전 입자 빔(62)을 시준된 빔(64)으로 시준하는 시준기(63), 및 복수 개의 실질적으로 평행한 하전 입자 빔렛(66)을 발생하기 위한 어퍼쳐 어레이(65; aperture array)를 적절하게 포함한다.
- [0096] 게다가, 어퍼쳐 어레이(65)는 각각의 하전 입자 빔렛(66)을 위한 블랭킹 디플렉터를 포함한다. 어퍼쳐 어레이(65)로부터 소정 거리에 빔 정지 어레이(67)가 배치된다. 하전 입자 빔렛(66)이 블랭킹 디플렉터에 의해 편향되지 않는 경우, 하전 입자 빔렛(66)은 빔 정지 어레이(67)의 개구를 통과하고 상기 빔 정지 어레이(67)의 바로 아래에 배치되는 투사 렌즈를 통해 시료(68) 위로 지향된다. 상기 하전 입자 빔렛(67) 중 하나를 위한 블랭킹 디플렉터가 활성화되는 경우, 대응하는 하전 입자 빔렛이 편향되고 빔 정지 어레이(67)에 의해 차단된다. 상기 블랭킹 디플렉터를 활성화거나 활성화하지 않음으로써, 빔렛(67)이 변조될 수 있다.
- [0097] 하전 입자 빔렛(66)을 빔 정지 어레이(67) 상에 정확하게 정렬하기 위하여, 2개의 전자기 디플렉터(71, 72)와 2개의 정전 디플렉터(73, 74)가 도 8에 개략적으로 도시된 바와 같이 어퍼쳐 어레이(65)에 있는 블랭킹 디플렉터와 빔 정지 어레이(67) 사이에 배치된다. 2개의 전자기 디플렉터(71, 72)는 이미 설명된 예들 중 어느 하나, 또는 동봉된 청구항 1에서 설명되는 본 발명의 특징을 갖는 임의의 다른 전자기 디플렉터일 수 있다.

- [0098] 보다 상세한 제시가 도 9에 도시되어 있다. 도 9는 하전 입자 멀티-빔렛 노광 시스템에 사용하기 위한 투사 조립체의 간소화된 개략적인 단면도를 도시한다. 도 9의 실시예에 도시된 바와 같이, 2개의 전자기 디플렉터(71, 72)와 2개의 정전 디플렉터(73, 74)는 냉각 장치(80)의 상단부 상에 장착되는 디플렉터 스택을 형성하도록 상하로 장착된다. 그러한 냉각 장치(80)의 일례는 본 발명의 소유권자에게 양도되었고 그 전체가 본 명세서에 참조로 합체되는 PCT/EP2013/059948호에 설명되어 있다.
- [0099] 냉각 장치(80)는 대개 냉각 장치(80) 바로 아래에 배치되는 빔 정지 어레이(67)를 냉각시키도록 제공된다. 그러나, 디플렉터 스택(71, 72, 73, 74)을 냉각 장치(80)의 상단부 상에 배치함으로써, 냉각 장치(80)가 디플렉터 스택(71, 72, 73, 74)의 히트 싱크로서 작용하여, 사용시에, 스택의 디플렉터(71, 72, 73, 74)의 열 부하를 감소시킬 것이다.
- [0100] 빔 정지 어레이(67) 아래에 투사 렌즈 조립체(83)가 배치된다. 한편으로, 투사 렌즈 조립체(83)는 스페이서(81)를 통해 빔 정지 어레이(67)에 연결되고, 다른 한편으로 투사 렌즈 조립체(83)는 스페이서(82)를 통해, 예컨대 접착제 연결부(86)를 이용하여 캐리어 링(84)에 연결된다. 게다가, 냉각 장치(80)는 또한, 예컨대 접착제 연결부(86)를 이용하여 상기 캐리어 링(84)에 연결된다.
- [0101] 캐리어 링(84)은 굴곡부(85)에 의해 노광 시스템(60)의 하우징 내에 장착된다.
- [0102] 상기 설명은 바람직한 실시예의 작동을 예시하도록 포함되었고 본 발명의 범위를 제한하도록 의도되지 않는다는 점을 이해해야 한다. 상기 설명으로부터, 본 발명의 사상 및 범위에 의해 또한 포함되는 많은 변경이 당업자에게 명백할 것이다.
- [0103] 요약하면, 본 발명은 하전 입자의 다수의 빔의 궤도를 조작하기 위한 하전 입자 광 디바이스에 관한 것이다. 상기 하전 입자 광 디바이스는, 상부면과 하부면, 그리고 균등한 두께를 갖는 평면형 기판을 구비하는 전자기 디플렉터를 포함한다. 기판은:
- [0104] 상기 빔렛을 통과시키는 관통 개구로서, 상기 기판의 상부면과 하부면에서 나오는 것인 관통 개구;
- [0105] 제1 코일 및 제2 코일
- [0106] 을 포함하고, 상기 코일들 각각은 바람직하게는 실질적으로 나선형 코일이며, 상부면에 배치되는 전도성 상부 리드, 하부면에 배치되는 전도성 하부 리드, 및 상기 기판을 통해 연장되고 상기 상부 리드 중 하나를 상기 하부 리드 중 하나와 전도성으로 연결시켜 상기 코일을 형성하는 비아를 포함하고,
- [0107] 상기 제1 코일과 제2 코일은 관통 개구의 양쪽에 배치된다.
- 부호의 설명**
- [0109]
- | | |
|-----------------------|-------------------|
| 1: 전자기 디플렉터 | 2: 인쇄 회로 기판(PCB) |
| 3: 관통 개구 | 4: 종방향 예지 |
| 5: 상부 리드 | 6: 하부 리드 |
| 7: 패드 | 8: 비아 |
| 9: 연결 패드 | 10: 코일 |
| 11: 제1 코일 | 12: 마지막 코일 |
| 13: 폐라이트 코어 | 20: 다층 PCB |
| 21: 중앙 PCB층 | 22: 상부 리드 |
| 23: 하부 리드 | 24, 24': 비아 |
| 25: 상부 PCB층 | 26: 저부 PCB층 |
| 27, 28, 29: 구리층 | 30: 전자기 디플렉터 |
| 31: PCB | 32: 관통 개구 |
| 33, 34, 35, 36: 1차 코일 | 37, 38, 39: 복귀 코일 |

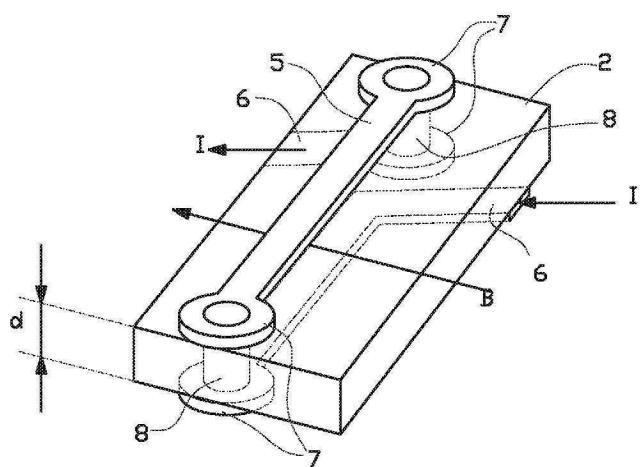
37', 38', 39': 복귀 코일	40: 디플렉터 조립체
41: 전자기 디플렉터	42: 정전 디플렉터
43: 전자 빔	44, 45: 관통 개구
46: 전극	50: 디플렉터 조립체
51: 제1 전자기 디플렉터	52: 제2 전자기 디플렉터
53: 빔 정지 어레이 또는 렌즈 어레이	
54, 55, 56: 관통 개구	57: 빔렛
58, 59: 코일	60: 멀티-빔렛 노광 시스템
61: 소스	62: 발산 하전 입자 빔
63: 시준기	64: 시준된 빔
65: 어퍼쳐 어레이	66: 하전 입자 빔렛
67: 빔 정지 어레이	71, 72: 전자기 디플렉터
73, 74: 정전 디플렉터	80: 냉각 장치
81, 82: 스페이서	83: 투사 렌즈 조립체
84: 캐리어 링	85: 굴곡부
86: 접착제 연결부	B: 자기장
B1: 자속	B2: 복귀하는 자속
d: PCB의 두께	dx, dy: 편향 방향
$\triangle x$, $\triangle y$: 시료의 위치 시프트	E: 전기장
$+dy_1$: 제1 전자기 디플렉터의 편향 방향	
$-dy_2$: 제2 전자기 디플렉터의 편향 방향	
B51, B52: 자기장	I: 전류

도면

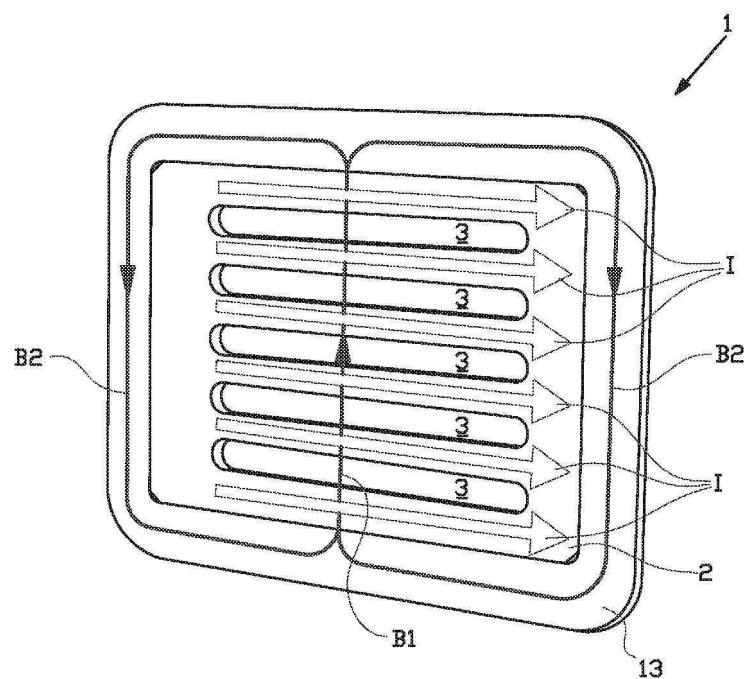
도면1



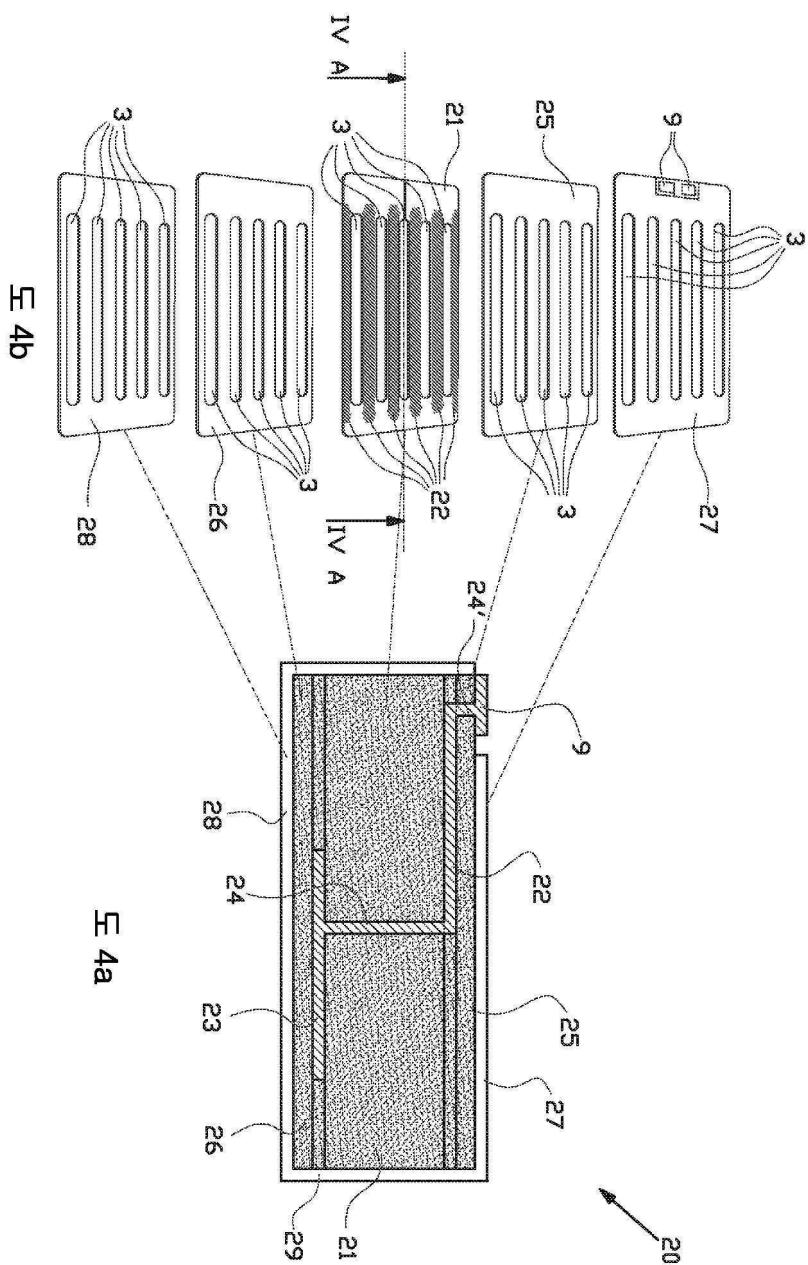
도면2



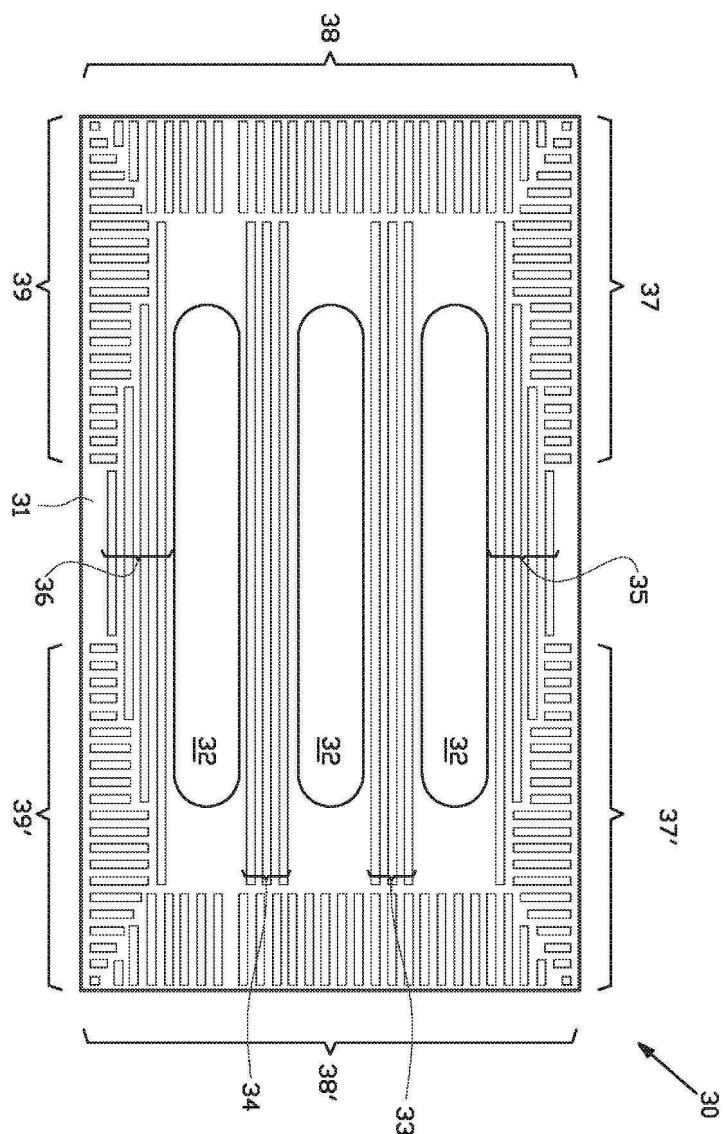
도면3



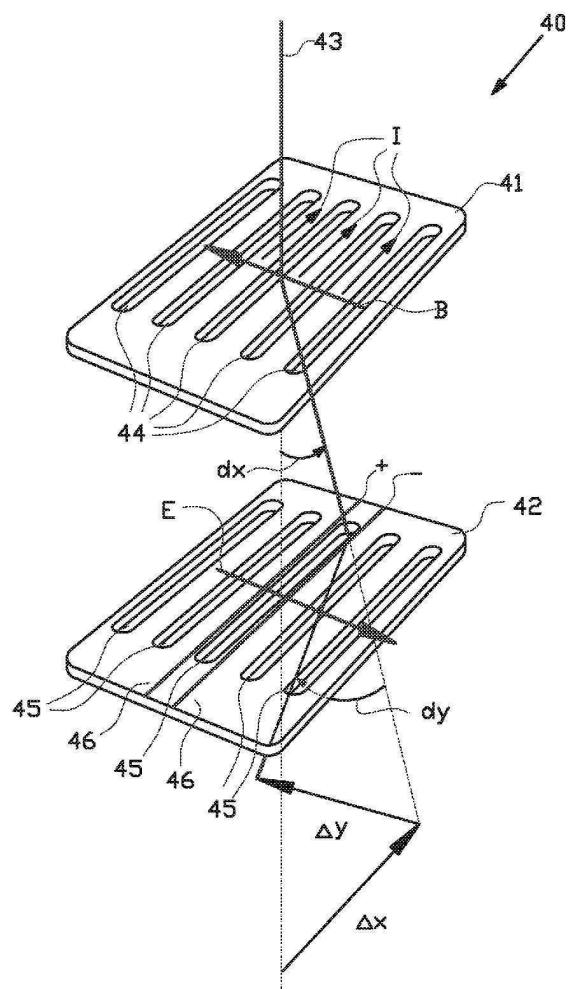
도면4



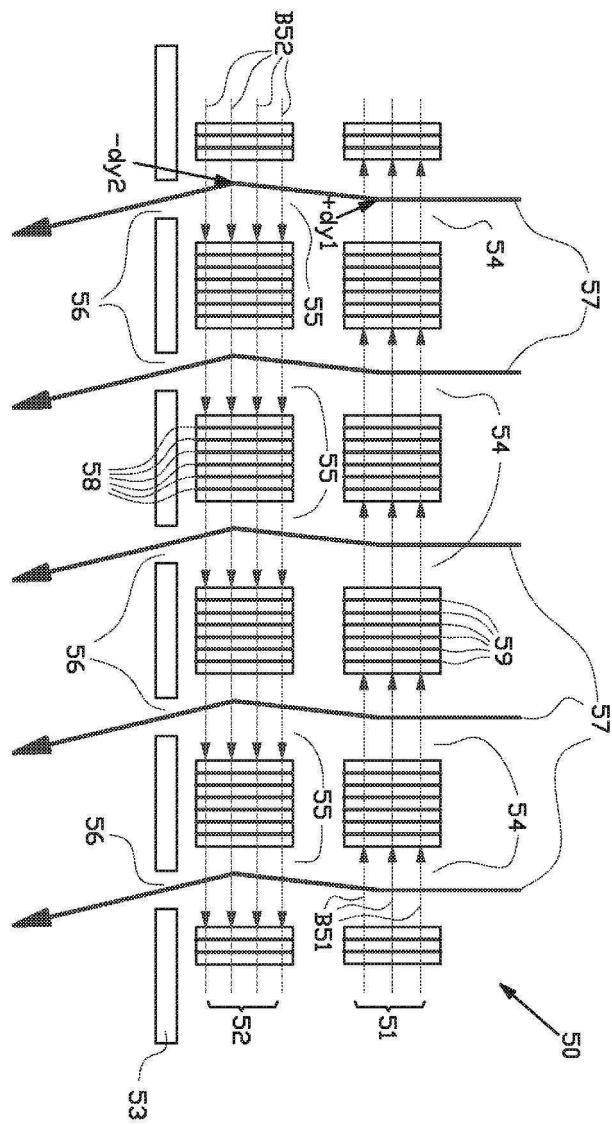
도면5



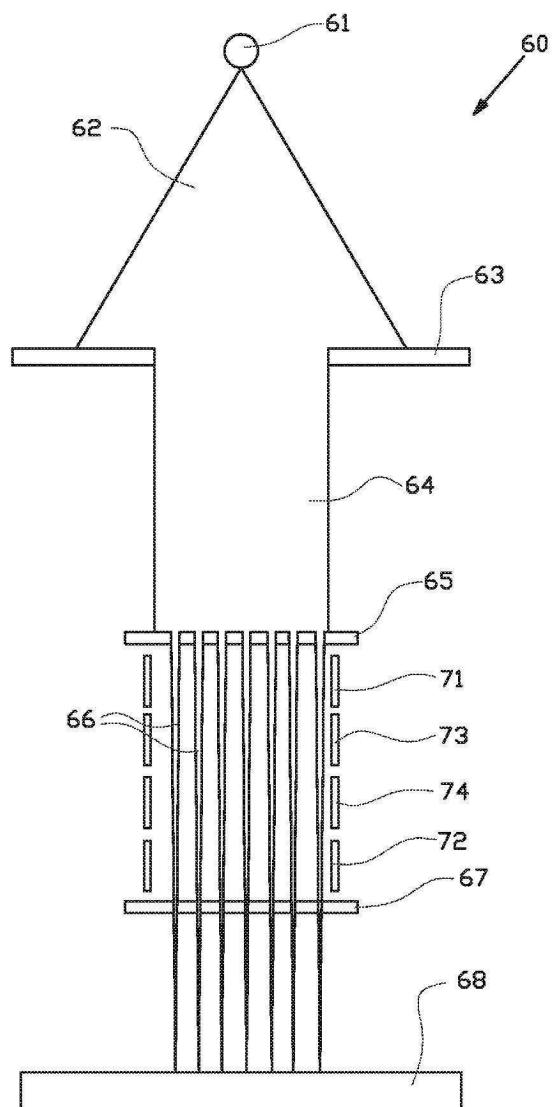
도면6



도면7



도면8



도면9

