[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G01R 31/3187 (2006.01)

[12] 发明专利申请公布说明书

[21] 申请号 200580028866.2

[43] 公开日 2007 年 8 月 8 日

[11] 公开号 CN 101014869A

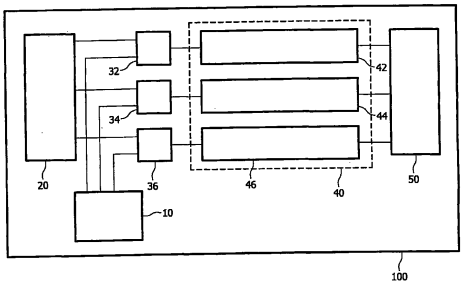
[22] 申请日 2005.6.27
[21] 申请号 200580028866.2
[30] 优先权
[32] 2004. 6.30 [33] EP [31] 04103081.8
[86] 国际申请 PCT/IB2005/052115 2005.6.27
[87] 国际公布 WO2006/003596 英 2006.1.12
[85] 进入国家阶段日期 2007.2.27
[71] 申请人 皇家飞利浦电子股份有限公司
地址 荷兰艾恩德霍芬
[72] 发明人 迈克尔·威特克
弗里德里希·哈波克
[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 宋焰琴
权利要求书 3 页 说明书 9 页 附图 3 页

[54] 发明名称

电路装置及在所述电路装置中设置的应用电路的测试方法

[57] 摘要

目的是开发一种集成电路装置(100)，该集成电路装置(100)具有至少一个待测试的应用电路(40)以及具有至少一个自测试电路(10，20，32，34，36，50)，所述自测试电路用于测试该应用电路(40)并产生至少一个伪随机测试样本，其中所述伪随机测试样本可以转换为至少一个可编程的和/或确定性测试向量，并且通过至少一个逻辑门(32，34，36)以及通过可以施加到所述逻辑门(32，34，36)的至少一个信号，所述测试向量可以提供给应用电路(40)用于测试，其中通过至少一个特征寄存器(50)根据确定性测试向量产生的输出信号可以由该应用电路(40)计算。同时进一步开发一种通过自测试电路(10，20，32，34，36，50)测试在集成电路装置(100)中存在的应用电路(40)的方法，从而可以减少连接到附加的确定性逻辑的内置自测试硬件，这表明通过基于至少一个只读存储器的位翻转功能逻辑电路(10)可以得到提供给逻辑门(32，34，36)的信号。



1、一种集成电路装置（100），具有至少一个待测试的应用电路（40），并且具有至少一个自测试电路（10，20，32，34，36，50），所述自测试电路（10，20，32，34，36，50）用于测试该应用电路（40）并产生至少一个伪随机测试样本，其中所述伪随机测试样本可以转换为至少一个测试向量，所述测试向量是可编程的和/或具有确定性，并且所述测试向量通过至少一个逻辑门（32，34，36）以及通过可以施加到所述逻辑门（32，34，36）的至少一个信号来提供给应用电路（40）用于测试，以及其中通过至少一个特征寄存器（50）根据该确定性测试向量产生的输出信号可以由该应用电路（40）计算，其特征在于通过至少一个基于只读存储器的位翻转功能逻辑电路（10）可以得到将提供到所述逻辑门（32，34，36）的信号。

2、如权利要求 1 所述的电路装置（100），其特征在于为了产生该伪随机测试样本，所述自测试电路（10，20，32，34，36，50）包括至少一个线性反馈移位寄存器（20），具体地具有至少一个集成和/或下行移相器。

3、如权利要求 1 或 2 所述的电路装置（100），其特征在于将所述逻辑门（32，34，36）构造为至少一个位翻转块，具体地构造为至少一个异或逻辑链。

4、如权利要求 1 至 3 至少其中之一所述的电路装置（100），其特征在于该位翻转功能逻辑电路（10）包括：

至少一个只读存储器单元（102；102’），具体地是微只读存储器单元；至少一个地址计数器单元（12），其输出信号（112o）可以被施加到所述只读存储器单元（102；102’）；

至少一个计数器单元（122），具体地是递减计数器单元，至少该只读存储器单元（102）的第一输出信号（104ol）可以被施加到所述计数器单元，并且通过至少第一输出信号（122ol）所述计数器单元激活该地址计数器单元（112）；以及

至少一个第二逻辑门（132），具体地是至少一个与逻辑链，至少该计数器单元（122）的第二输出信号（122o2）和至少该只读存储器单元（102）的第二输出信号（104o2）可以被施加到所述第二逻辑门。

5、如权利要求4所述的电路装置（100），其特征在于该只读存储器单元被细分为：

至少一个微只读存储器单元（102'），该地址计数器单元（112）的输出信号（112o）可以被施加到所述微只读存储器单元（102'）；

至少一个接口 ROM 单元（104），将其第一输出信号（104ol）提供到该计数器单元（122）；以及

至少一个组合只读存储器单元（106），该接口只读存储器单元（104）的第二输出信号（104o2）可以被施加到所述组合只读存储器单元（106）。

6、一种测试方法，其通过至少一个自测试电路（10，20，32，34，36，50）测试在集成电路装置（100）中设置的至少一个应用电路（40），该方法包括以下步骤：

[i]通过所述自测试电路（10，20，32，34，36，50）产生至少一个伪随机测试样本；

[ii] 通过至少一个逻辑门（32，34，36）并且通过至少一个信号将该伪随机测试样本修改为可以提供给该应用电路（40）用于测试的至少一个可编程的和/或确定性测试向量，其中所述信号可以通过基于至少一个只读存储器的位翻转功能逻辑电路（10）得到并且被施加到所述逻辑门（32，34，36）；

[iii]通过至少一个特征寄存器（50）计算根据该确定性测试向量从该应用电路（40）得到的输出信号。

7、如权利要求6所述的方法，其特征在于将该位翻转功能逻辑电路（10）的至少一个地址计数器单元（112）的至少一个输出信号（112o）施加到该位翻转功能逻辑电路（10）的至少一个只读存储器单元（102；102'）。

8、如权利要求7所述的方法，其特征在于该位翻转功能逻辑电路

（10）的至少一个计数器单元（122）

－已被施加以该只读存储器单元（102）的至少一个第一输出信号（104o1），以及

－将至少一个第一输出信号（122o1）施加到该地址计数器单元（112）。

9、如权利要求 8 所述的方法，其特征在于该计数器单元（122）的至少一个第二输出信号（122o2）以及该只读存储器单元（102）的至少一个第二输出信号（104o2）已被施加到该位翻转功能逻辑电路（10）的至少一个第二逻辑门（132）。

10、如权利要求 1 至 5 至少其中之一所述的至少一个集成电路装置（100）和/或如权利要求 6 至 9 至少其中之一所述的方法用于测试在该应用电路（40）的逻辑部分中的至少一个应用电路（40）和/或用于发现错误，具体地是制造缺陷。

电路装置及在所述电路装置中设置的应用电路的测试方法

技术领域

本发明涉及一种集成电路装置，该集成电路装置具有至少一个待测试的应用电路以及具有至少一个自测试电路，所述自测试电路用于测试应用电路并产生至少一个伪随机测试样本，其中所述伪随机测试样本可以被转换为至少一个可编程的和/或具有确定性的测试向量，通过至少一个逻辑门以及通过可以施加到所述逻辑门的至少一个信号，所述测试向量可以提供到应用电路用于测试，并且其中通过至少一个特征寄存器根据确定性测试向量产生的输出信号可以由该应用电路来计算。（对照公开号为DE10201554A1 的现有技术）本发明进一步涉及一种通过至少一个自测试电路测试这种集成电路装置中设置的至少一个应用电路的方法。

背景技术

在集成电路的制造中通常希望测试这些集成电路的功能。这些测试可以通过外部测试布置来实现。然而在外部测试中，由于下列原因，产生很多制造相关的问题和高额费用：由于这种集成电路的很高的集成度；由于这些集成电路工作在很高的时钟频率；以及由于需要大量的测试向量，因此导致了具有很大测试向量存储器的复杂的 VLSI（超大规模集成电路）测试系统。公开号为 US6，061，818，US6，671，838，US6，684，385 以及 US2003/0140293A1 的现有技术公开了实现这种测试布置的可能性；此外，参照公开号为 DE10038327A1 和 DE10110777A1 的现有技术。然而，这些出版物中公开的测试布置并不适合解决由很高的集成电路内部时钟频率和与前者相比很慢的输入输出焊垫级而产生的测试问题。集成电路的较高的内部时钟频率确实不利于相对很慢的连接到外部的输入/输出焊垫级。

为此希望有一种自测试的集成电路。自测试电路设置在集成电路

内部，用于测试同样设置在集成电路内部的应用电路。应用电路是为集成电路的实际使用目的而设计的电路。

解决上述问题的第一步是使用称为 BIST（内置自测试）方法。通常地，能够进行随机测试的电路更好，例如通过插入测试点或使用所说的 BFF（位翻转功能）。

在此基于附加的确定性逻辑 BIST 硬件（所说的 DLBIST 硬件）的传统实现导致了实际中很大的附加的 DLBIST 硬件以及较大的集成电路装置。

发明内容

鉴于上述缺点和不完善，并且考虑相关的现有技术，本发明的目的是开发一种在开头段中提及的集成电路装置以及进而上述提及的一种方法，从而可以减少附加的 BIST（内置自测试）硬件。

通过具有权利要求 1 所述特征的集成电路装置以及具有权利要求 6 所述特征的方法实现该目的。本发明的优选实施例和进一步发展的技术特征在各自的从属权利要求中。

本发明基于 ROM（只读存储器）实现的原理，基于只读存储器实现示传统的基于门实现的一种选择。在连接中使用 BFF（位翻转功能）产生大概百分之一的错误覆盖，例如在基于等待逻辑的系统中不是这种情况（例如为了界定本发明，在现有技术文献 US6，671，838 或文献 US2003/0140293 中所说的等待逻辑用于改善错误覆盖）。

根据本发明的内容，可以明显地减少附加的确定性逻辑 BIST 硬件（所说的 DLBIST 硬件），即 DLBIST 硬件占集成电路整个表面的百分比要比在基于门的实现的情形具有更有利的百分比（50%的附加 DLBIST 硬件表面积绝对不能视为有利的，而百分之几的较小的 DLBIST 硬件表面积可以视为有利的）。

与传统的基于门的实现相比由于使用了基于只读存储器的 DLBIST 硬件实现本发明的本质优点是明显节省表面积，从而将附加的 DLBIST 硬件减少到可接受的表面积。因此表面积的减少使根据本发明的具有内置逻辑自测试的集成电路的成本明显减少。

本发明最终涉及上述的至少一个集成电路装置的使用和/或上述的用于测试至少一个应用电路的方法。

因此本发明涉及的技术领域为集成电路（IC）、它们的可测试性设计（DFT）、它们的计算机辅助设计（CAD）以及它们的计算机辅助测试（CAT）。具体地，本发明涉及用于在电路的逻辑部分发现制造缺陷的具有极高集成度以及内置自测试逻辑（所说的 BIST 逻辑）的集成电路。

附图说明

如上所述，以优选的方式实现并进一步发展本发明的内容的可能性有多种。在这方面参照从属于权利要求 1 的权利要求以及从属于权利要求 6 的权利要求，而此外本发明的其它实施例、特性和优点将详细解释如下，除其它外参照图 1 至图 2B 所示的并仅以实例的方式给出的两个实施例。在附图中：

图 1 是根据本发明的方法工作的根据本发明的集成电路装置的实施例的框图；

图 2A 是在图 1 的电路装置中基于只读存储器的 BFF 逻辑电路的第一实施例的框图；以及

图 2B 是在图 1 的电路装置中基于只读存储器的 BFF 逻辑电路的第二实施例的框图。

在图 1 至图 2B 中相同或相似的实施例、元件或特性使用相同的附图标记。

具体实施方式

图 1 是包含应用电路 40 的集成电路装置（IC）100 的框图。应用电路 40 是为集成电路 100 的实际使用目的而设计的电路。

在制造 IC 100 之后为了完善运行效果希望测试应用电路 40。为此，在集成电路 100 上设置自测试电路，该自测试电路包括如图 1 所示的电路元件 10、20、32、34、36、50。

在根据本发明的集成电路 100 中这样设计该自测试电路，即将相关的电路元件 10、20、32、34、36、50 完全安排在应用电路 40 的外部，从而使应用电路 40 的行为在正常运行期间不受自测试电路的影响。

假设在图 1 的实施例中应用电路 40 包括两个电路链(所说的附图标记为 42、44、46 的扫描链)，所述链是移位寄存器。然而，在本发明的保护范围内，可选为可以只有一条链或只有两条链，即几个移位寄存器，或者多于三条链，即设置更多的移位寄存器。此外可以给出更多的电路元件。

自测试电路包括线性反馈移位寄存器（LFSR）20，该移位寄存器 20 提供测试样本的伪随机序列并且通常适于集成的或下行连接的移相器。由于移位寄存器 20 是反馈的并且只有有限的长度，因此该测试样本序列不是真正意义上的随机，即测试样本序列在一定间隔就呈现重复其自身的图案。

由于该测试样本序列未完全包括为测试应用电路 40 而优化设计的所有测试样本，所以设置第一逻辑门 32、34、36，所述第一逻辑门 32、34、36 均构造为位翻转块，具体地均构造为异或逻辑链路，所述第一逻辑门改变了线性反馈移位寄存器 20 的输出信号，从而在第一逻辑门 32、34、36 的输出、并因而在应用电路 40 的输入或者在其电路链 42、44、46 的输入产生具有可编程的和确定性结构的测试样本。

通过在集成电路 100 内部设置的位翻转功能（BFF）逻辑 10 将得到的所述信号提供到第一逻辑门 32、34、36，通过所述信号第一逻辑门 32、34、36 修改由线性反馈移位寄存器 20 提供的测试样本的各个位，从而产生期望的确定性测试样本。

在图 1 的实施例中将测试向量提供给应用电路 40 内部的电路链 42、44、46。由于这些测试样本，应用电路 40 内部的电路链 42、44、46 所提供输出信号到达特征寄存器 50（所说的多输入特征寄存器或 MISR）。

这样构造特征寄存器 50，以使其形成经过多个测试周期的测试结果的组合逻辑并且在测试程序之后提供所说的特征，其中所述多个测

试周期每个包括一个测试样本，其中，在应用电路 40 的零缺陷性能的情况下该特征必须显示特定的、预定的值。

以这种方式可以确保在测试过程中到达特征寄存器 50 的这些位可以被确切地计算。这反过来表明在执行几个测试周期之后在特征寄存器 50 中产生的特征结果可以被完全计算并且提供可靠的测试结果。

根据本发明具有自测试电路 10、20、32、34、36、50 的集成电路 100 的本质优点是无需为测试过程修改应用电路 40，这表明可以以最优使用应用电路 40 的方式构建应用电路 40。在实际应用中不管怎样自测试电路 10、20、32、34、36、50 不会影响应用电路 40 的正常运行。

此外，根据本发明的自测试电路 10、20、32、34、36、50 使其能够在芯片上实现对应用电路 40 的测试，这样相对较慢的焊垫连接不会干扰测试，并且应用电路 40 可以以最大的时钟速率工作。

本发明的目的是实现减少修改硬件的有效表面积，并因此明显地减少具有内置逻辑自测试的集成电路 100 的成本，图 1 所示的电路 100 的本质特征在于通过基于 ROM 的过程控制实现 BFF 逻辑 10。

位翻转（BF）块 32、34、36 的各种组合逻辑 104o2（比较图 2A 和 2B）以及关于何时创建这些组合逻辑 104o2 的信息（所说的等待信号 104o1）被放置在专用的微只读存储器（ROM）单元 102。

将计数器 122 构造为递减计数器，计数器 122 被加载来自微 ROM102 的等待周期 104o1 的数目。只要计数器的值不等于 0，位翻转（BF）块 32、34、36 应该未被激活。因此计数器 122 产生信号 122o2（例如 flip＝“1”），通过第二与逻辑门 132AND 该信号 122o2 与组合逻辑 104o2 的位进行组合逻辑，从而防止位翻转（BF）块 32、34、36 的翻转。

计数器 122 反向计数。如果该递减计数器 122 的计数器状态等于 0，则产生“1”状态，并且微 ROM102 中的组合逻辑 104o2 激活了位翻转（BF）块 32、34、36。同时，通过第一输出信号（＝增量或标记为 122o1 的“int”信号）计数器单元 122 使地址计数器 112 增加，从而指向微 ROM102（<->地址计数器单元 112 的输出信号 112o）的下

一个值，然后再次将微 ROM102 的等待周期 104o1 加载到计数器 122。

图 2B 示出在图 1 的电路装置 100 的基于 ROM 的 BFF 逻辑电路 10 的第二实施例中如何将微 ROM 细分为三个更小的 ROM102'、104、106，与图 2A 的第一实施例相比第二实施例进一步优化了芯片的表面积。为了进一步最小化位翻转逻辑 10 的芯片表面积，因而减少在微 ROM 中产生的冗余信息。

该实施例使用的情况为：通常仅产生几个不同的组合逻辑 104o2，即通常在微 ROM 中产生很多组合逻辑。因为所述几个不同的组合逻辑 104o2 被编码并且多数位宽的实际的组合逻辑被存储在分开的 ROM 中，所以在实际电路中整个 ROM 的表面积可以节省 50％或更多。

位翻转（BF）块 32、34、36 的组合逻辑 104o2 的各个地址被存储在各个 ROM 中，所说的"组合 ROM（Comb-ROM）"或组合 ROM106 的输出信号 106o 被送到第二与逻辑门 132。

接口 ROM 104 包括组合逻辑 104o2 的地址和等待周期 104o1 的数目直到下一个组合逻辑 104o2 被施加到位翻转器 32、34、36。

微 ROM102'的字宽由不同的等待组合逻辑 104o1、104o2 的数目给出。

接口 ROM104 中的等待信号 104o1 激活了递减计数器 122，该递减计数器 122 从该等待值递减计算到 0。只要该递减计数器 122 的值不等于 0，位翻转器 32、34、36 就不被激活。此时期间递减计数器 122 向位翻转器 32、34、36 前面的与门 132 传送值"1"，从而防止位翻转。

当递减计数器 122 已到达 0 值时，值"1"提供到位翻转器 32、34、36 前面的与门 132。然后通过第二逻辑门 132 的输出信号 132o，各个位翻转器 32、34、36 可以根据组合 ROM 的值翻转。

当递减计数器 122 已到达 0 值时，地址计数器 112 的值增加，从而通过地址计数器单元 112 的地址输出信号 112o 选择微 ROM102'的下一个地址。

本发明清楚地将其与公开号为 US6，061，818 的现有技术的实施例区分开，因为在公开号为 US6，061，818 的实施例中，在或链接逻

辑上比特固定序列发生器产生状态为“0”的固定信号，或者在与链接逻辑上比特固定序列发生器产生状态为“1”的固定信号。

相反，在本发明中一直只有一个控制信号，该控制信号由基于ROM的BFF逻辑10产生，并且每次将该控制信号施加到异或链接逻辑32、34、36。

此外，本发明也清楚地将其与公开号为US6，684，358的现有技术的实施例区分开，因为在US6，684，358的实施例中没有完全的自测试，因为测试系统总需要使用测试仿真：此外，与本发明相反，在US6，684，358的实施例中构造为解压缩器的线性反馈移位寄存器（LFSR）连接到芯片输入。

总的来说，根据本发明的自测试电路10、20、32、34、36、50，特别是根据本发明的基于ROM的BFF逻辑10能够在芯片上测试应用电路40，而不受到任何限制。无需修改应用电路40，从而可以为其实际功能优化地设计该应用电路40。

根据本发明，由于无需使用较低的、外部焊垫（bond pad）连接进行测试，因此可以以全时钟速度进行测试。

可以进行所有的测试过程，而对包括存储元件或模拟行为元件的应用电路没有限制。

此外可以保证在测试时只有实际期望的确定性或随机的那些测试样本到达电路40。然而，基于只读存储器的BFF逻辑10的构造的花费以及集成电路所需的空间可以保持很小。

附图标记列表

100 集成电路装置，具体为集成电路芯片

10 位翻转功能（BFF）逻辑电路

20 移位寄存器，例如线性反馈移位寄存器，具体地是集成的和/或下行移相器

32 与第一电路链 42 连接的逻辑门，具体地是位翻转器（BF）块，具体地是异或逻辑链接

34 与第二电路链 44 连接的逻辑门，具体地是位翻转器（BF）块，具体地是异或逻辑链接

36 与第三电路链 46 连接的逻辑门，具体地是位翻转器（BF）块 具体地是异或逻辑链接

40 应用电路

42 第一电路链

44 第二电路链

46 第三电路链

50 特征寄存器，具体为多输入特征寄存器

102 只读存储器单元，具体为微只读存储器单元（比较图 2A 的第一实施例）

102' 只读存储器单元，具体为微只读存储器单元（比较图 2B 的第二实施例）

104 接口只读存储器单元（比较图 2B 的第二实施例）

104o1 第一输出信号，具体为只读存储器单元 102 或接口只读存储器单元 104 的等待周期或等待信号

104o2 第二输出信号，具体为只读存储器单元 102 或接口只读存储器单元 104 的组合逻辑信号

106 组合只读存储器单元（比较图 2B 的第二实施例）

106o 组合只读存储器单元 106 的输出信号（比较图 2B 的第二实施例）

112 地址计数器单元

112o 输出信号，具体为地址计数器单元 112 的地址或地址信号

122 计数器单元，具体为递减计数器

122o1 第一输出信号，特别的是计数器单元 122 的增加或“inc”信号

122o2 计数器单元 122 的第二输出信号

132 第二逻辑门，具体为与门

132o 第二逻辑门 132 的输出信号

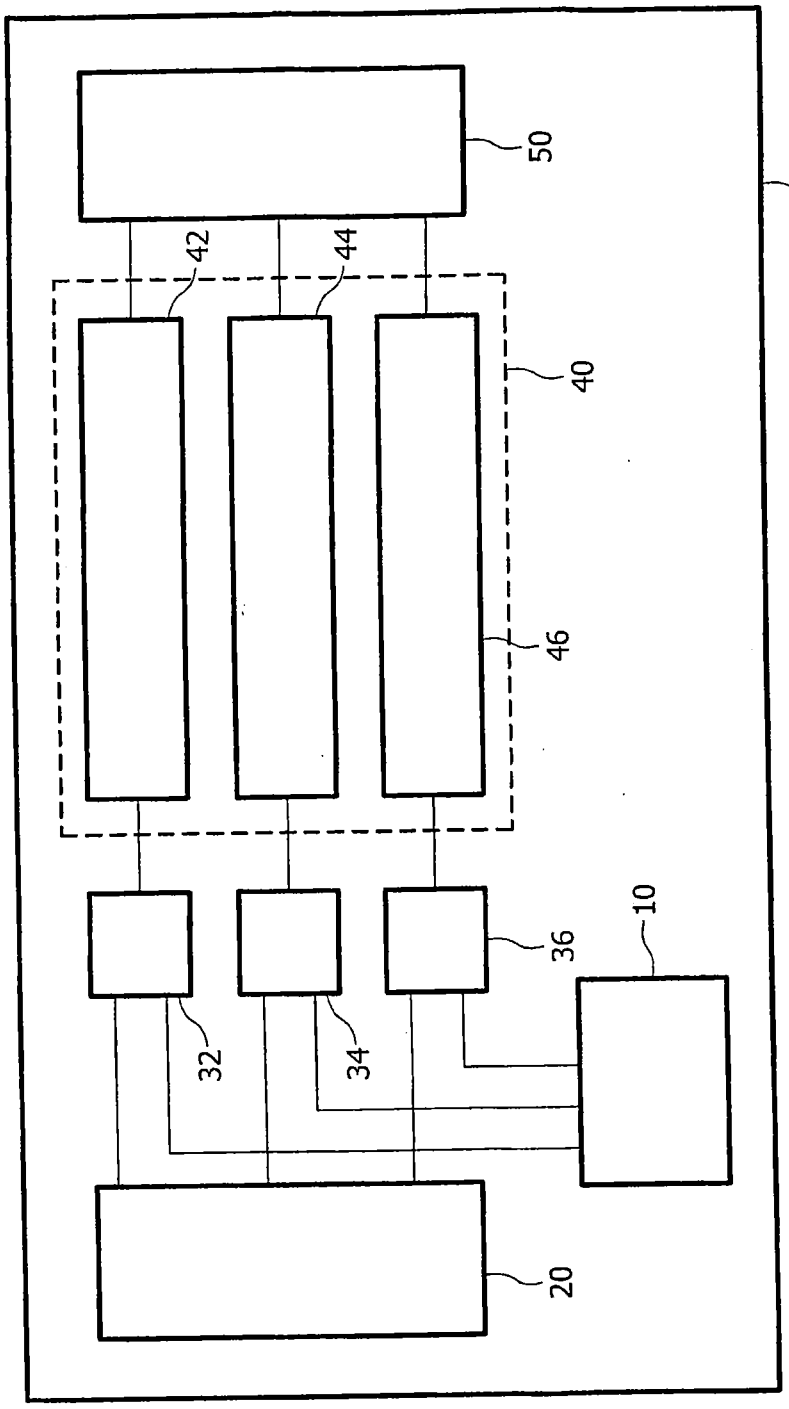


图 1

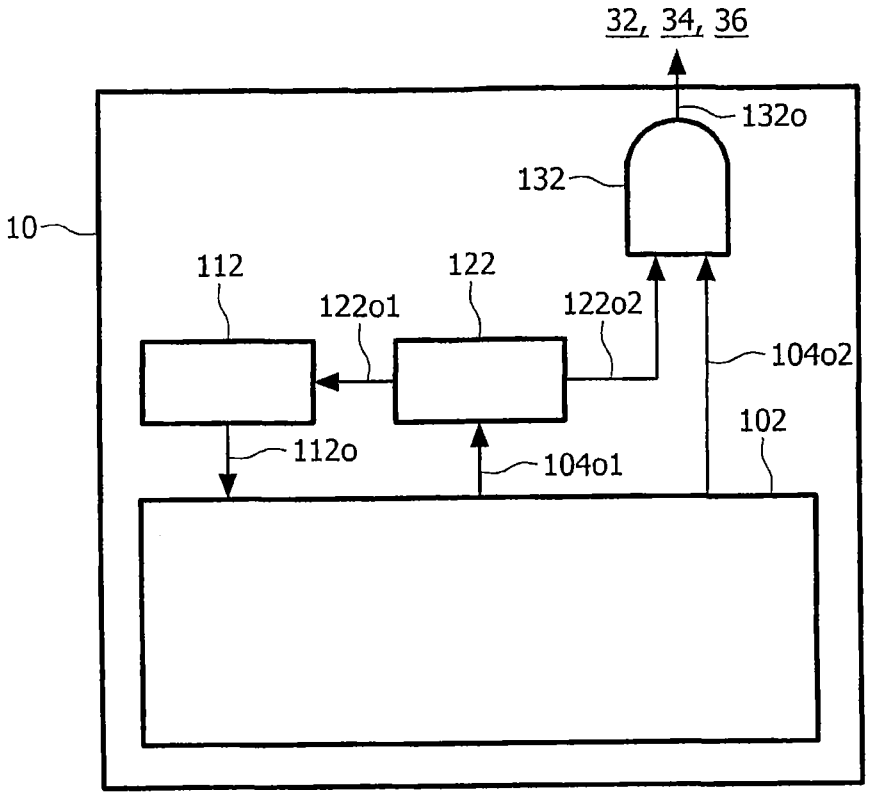


图 2A

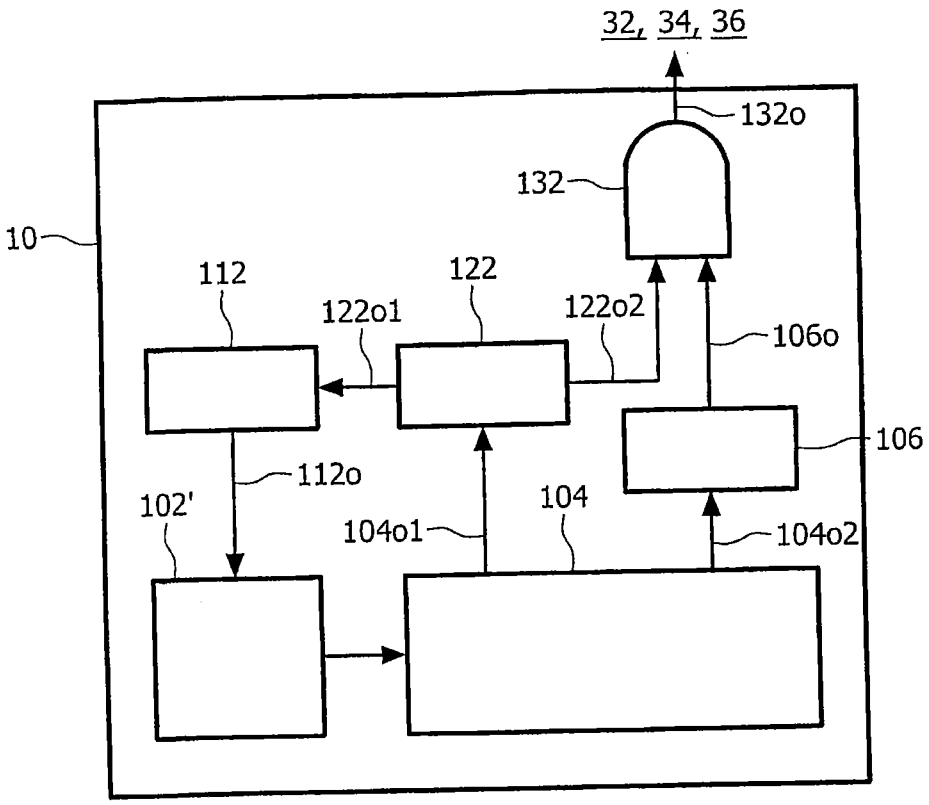

32, 34, 36
132o
132
10
112
122
122o1
122o2
106o
106
112o
102'
104
104o1
104o2

图 2B