

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-139632
(P2016-139632A)

(43) 公開日 平成28年8月4日(2016.8.4)

(51) Int.Cl.	F I	テーマコード (参考)
H05K 3/46 (2006.01)	H05K 3/46	5E316
H01L 23/12 (2006.01)	H05K 3/46	B
	H01L 23/12	N

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願2015-11948 (P2015-11948)
(22) 出願日 平成27年1月26日 (2015.1.26)

(71) 出願人 000006633
京セラ株式会社
京都府京都市伏見区竹田鳥羽殿町6番地
(72) 発明者 伊藤 泰樹
滋賀県野洲市市三宅656番地 京セラサ
ーキットソリューションズ株式会社内
Fターム(参考) 5E316 AA15 AA25 AA35 AA43 CC04
CC08 CC09 CC32 DD02 DD12
DD23 DD24 DD32 DD33 EE31
FF07 FF13 FF14 FF28 GG15
GG17 GG22 GG28 HH07 HH11
HH33 HH40 JJ02

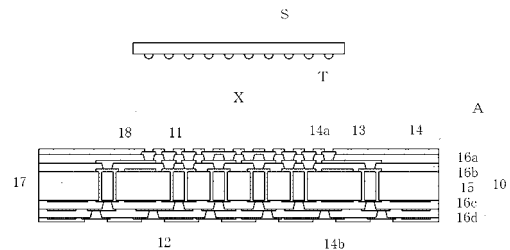
(54) 【発明の名称】 配線基板

(57) 【要約】

【課題】半導体素子を配線基板に確実に搭載して半導体素子が安定的に作動する配線基板を提供することを課題とする。

【解決手段】コア基板15と、コア基板15の上下面に同数ずつ積層された絶縁層16a~16dと、コア基板15の上下面および絶縁層16a~16dの表面にそれぞれ異なる占有面積率で被着された導体層13と、を具備してなる配線基板Aであって、コア基板15の上下面の導体層13同士、およびコア基板15を中心にして上面側および下面側のそれぞれ同順位に位置する導体層13同士において、占有面積率の大きい方の導体厚みが、占有面積率の小さい方の導体厚みよりも薄いことを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

コア基板と、該コア基板の上下面に同数ずつ積層された絶縁層と、前記コア基板の上下面および前記絶縁層の表面にそれぞれ異なる占有面積率で被着された導体層と、を具備してなる配線基板であって、前記コア基板の上下面の前記導体層同士、および前記コア基板を中心にして上面側および下面側のそれぞれ同順位に位置する前記導体層同士において、前記占有面積率の大きい方の導体厚みが、前記占有面積率の小さい方の導体厚みよりも薄いことを特徴とする配線基板。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、半導体素子等を搭載するための配線基板に関するものである。

【背景技術】

【0002】

図3に、半導体素子Sを搭載するための従来の配線基板Bの一例を示す。

配線基板Bは、絶縁基板20と、導体層23と、ソルダーレジスト層24とから成る。

【0003】

絶縁基板20は、コア基板25の上面に絶縁層26a、26bおよび下面に絶縁層26c、26dを積層して成る。絶縁基板20は、その上面中央部に半導体素子Sを搭載するための搭載部Xを有している。

20

コア基板25は、例えばガラスクロスにエポキシ樹脂やビスマレイミドトリアジン樹脂等を含浸して硬化させた電気絶縁材料から成る。コア基板25には、複数のスルーホール27が形成されている。コア基板25の熱膨張係数は、およそ8ppm/程度である。コア基板25の上下表面、およびスルーホール27の内側には、導体層23が被着されている。

絶縁層26a~26dは、エポキシ樹脂やビスマレイミドトリアジン樹脂等の電気絶縁性樹脂から成る。絶縁層26a~26dには、複数のビアホール28が形成されている。絶縁層26a~26dの熱膨張係数はおよそ40ppm/程度である。各絶縁層26a~26dの表面、およびビアホール28内には、導体層23が被着されている。

導体層23は、例えば銅から成る。導体層23の熱膨張係数はおよそ17ppm/程度である。

30

搭載部Xには、多数の半導体素子接続パッド21が配列形成されている。半導体素子接続パッド21は、導体層23により形成されている。これらの半導体素子接続パッド21には、半導体素子Sの電極Tが半田を介して接続される。なお、半導体素子Sの電極Tと半導体素子接続パッド21との接続は、例えば周知のリフロー処理により行われる。

さらに、絶縁層26dには、多数の外部接続パッド22が配列形成されている。外部接続パッド22は、導体層23により形成されている。外部接続パッド22は、外部電気回路基板の導体層に半田を介して接続される。

【0004】

導体層23には、信号用と接地用と電源用とがある。

40

信号用の導体層23は、多数の帯状の配線パターンを有している。これらの帯状の配線パターンは、例えば上面側の絶縁層26bの表面を、搭載部Xの下方から絶縁層26bの外周側に向けて互いに所定の間隔をあけて多数が延在している。

接地用または電源用の導体層23は、複数の広面積のプレーン導体を有している。これらのプレーン導体は、コア基板25の上下面や絶縁層26b~26dの表面に形成されている。上面側の絶縁層26bに形成されたプレーン導体は、信号用の導体層23の周囲に所定の間隔をあけて配置されている。その他のプレーン導体は、コア基板25の上下面や下面側の絶縁層26c、26d表面の略全面にわたり形成されている。

【0005】

ソルダーレジスト層24は、最表層の絶縁層26a、26dの表面に形成されている。

50

上面側の絶縁層 26 a 表面に形成されたソルダーレジスト層 24 は、半導体素子接続パッド 21 の中央部を露出する開口部 24 a を有している。下面側の絶縁層 26 d 表面に形成されたソルダーレジスト層 24 は、外部接続パッド 22 の中央部を露出する開口部 24 b を有している。

【0006】

ところで、従来の配線基板 B は、上述のように信号用および接地用および電源用の導体層 23 を有している。このため、略全面にわたりプレーン導体が形成される層における導体層 23 の占有面積率は、帯状の導体パターンが互いに所定の間隔をあけて多数形成された層における導体層 23 の占有面積率に比べて大きくなる。

ところが、上述したように導体層 23 の熱膨張係数と、コア基板 25 の熱膨張係数および絶縁層 26 a ~ 26 d の熱膨張係数とは異なるため、導体の占有面積率が大きい層と導体の占有面積率が小さい層とでは、例えば上述したリフロー処理の加熱冷却時において熱伸縮の挙動の違いが大きくなる。このため、配線基板 B に反りが生じてしまい、半導体素子 S の電極 T と半導体素子接続パッド 21 との間の距離のバラツキが大きくなってしまい、半田を両者に確実に溶着できず、半導体素子を安定的に作動させることができないという問題がある。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2012 - 99692 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は、コア基板の上下面の導体層同士、およびコア基板を中心にして上面側および下面側のそれぞれ同順位に位置する導体層同士の熱伸縮の挙動差を小さくして配線基板の反りを抑制する。これにより、半導体素子を配線基板に確実に搭載して半導体素子が安定的に作動する配線基板を提供することを課題とする。

【課題を解決するための手段】

【0009】

本発明の配線基板は、コア基板と、コア基板の上下面に同数ずつ積層された絶縁層と、コア基板の上下面および絶縁層の表面にそれぞれ異なる占有面積率で被着された導体層と、を具備してなる配線基板であって、コア基板の上下面の導体層同士、およびコア基板を中心にして上面側および下面側のそれぞれ同順位に位置する導体層同士において、占有面積率の大きい方の導体厚みが、占有面積率の小さい方の導体厚みよりも薄いことを特徴とするものである。

【発明の効果】

【0010】

本発明の配線基板によれば、コア基板の上下面の導体層同士、およびコア基板を中心にして上面側および下面側のそれぞれ同順位に位置する導体層同士において、占有面積率の大きい方の導体厚みが、占有面積率の小さい方の導体厚みよりも薄くなるように形成されている。これにより、各導体層同士の体積差を低減して熱伸縮の挙動の違いを抑制し、配線基板に生じる反りを小さくする。このため、半導体素子搭載時に、半導体素子の電極と半導体素子接続パッドとの間の距離のバラツキを小さくして両者を半田で強固に接続することができる。その結果、半導体素子を安定的に作動させることが可能な配線基板を提供できる。

【図面の簡単な説明】

【0011】

【図 1】図 1 は、本発明の配線基板の実施の形態の一例を示す概略断面図である。

【図 2】図 2 は、本発明の配線基板の実施の形態の一例を示す要部拡大図である。

【図 3】図 3 は、従来の配線基板の実施の形態の一例を示す概略断面図である。

10

20

30

40

50

【発明を実施するための形態】

【0012】

まず、図1を基にして本発明の配線基板Aの実施形態の一例を説明する。

配線基板Aは、絶縁基板10と、導体層13と、ソルダーレジスト層14とから成る。

【0013】

絶縁基板10は、コア基板15の上面に絶縁層16a、16bおよび下面に絶縁層16c、16dを積層して成る。絶縁基板10は、その上面中央部に半導体素子Sを搭載するための搭載部Xを有している。

コア基板15は、例えばガラスクロスにエポキシ樹脂やビスマレイミドトリアジン樹脂等を含浸して硬化させた電気絶縁材料から成る。

コア基板15には、複数のスルーホール17が形成されている。コア基板15の上下表面、およびスルーホール17の内側には、導体層13が被着されている。

スルーホール17は、例えばドリル加工やレーザー加工、あるいはブラスト加工により形成される。スルーホール17の直径は、およそ100 μ m~300 μ m程度である。コア基板15の熱膨張係数は、およそ8ppm/程度である。

【0014】

絶縁層16a~16dは、例えばエポキシ樹脂やポリイミド樹脂等の熱硬化性樹脂から成る。この熱硬化性樹脂には、酸化珪素粉末等の無機絶縁物フィラーを分散させてもよい。絶縁層16a~16dの熱膨張係数は、およそ40ppm/程度である。

絶縁層16a~16dには、複数のビアホール18が形成されている。絶縁層16a~16dの表面、およびビアホール18内には、導体層13が被着されている。

ビアホール18は、例えばレーザー加工により形成される。ビアホール18の直径は、およそ30~100 μ m程度である。

【0015】

導体層13は、銅等の良導電性金属により形成される。導体層13は、例えば周知のサブトラクティブ法や電解めっき法を用いたセミアディティブ法により形成される。導体層13の熱膨張係数は、およそ17ppm/程度である。

【0016】

搭載部Xには、多数の半導体素子接続パッド11が配列形成されている。これらの半導体素子接続パッド11は、導体層13により形成されている。半導体素子接続パッド11には、半導体素子Sの電極Tが半田を介して接続される。

なお、半導体素子Sの電極Tと半導体素子接続パッド11との接続は、例えば周知のリフロー処理により行われる。

最下層の絶縁層16dには、多数の外部接続パッド12が配列形成されている。これらの外部接続パッド12は、導体層13により形成されている。外部接続パッド12は、外部電気回路基板の配線に半田を介して接続される。

【0017】

導体層13には、信号用と接地用と電源用とがある。

信号用の導体層13は、多数の帯状の配線パターンを有している。これらの帯状の配線パターンは、例えば上面側の絶縁層16bの表面を、搭載部Xの下方から絶縁層16bの外周側に向けて互いに所定の間隔をあけて多数が延在している。

接地用または電源用の導体層13は、複数の広面積のプレーン導体を有している。これらのプレーン導体は、コア基板15の上下面や絶縁層16b~16dの表面に形成されている。上面側の絶縁層16bに形成されたプレーン導体は、信号用の導体層13の周囲に所定の間隔をあけて配置されている。その他のプレーン導体は、コア基板15の上下面や下面側の絶縁層16c、16d表面の略全面にわたり形成されている。

このため、略全面にわたりプレーン導体が形成される層における導体層13の占有面積率は、帯状の導体パターンが互いに所定の間隔をあけて多数形成された層における導体層13の占有面積率に比べて大きくなっている。

【0018】

10

20

30

40

50

ソルダーレジスト層 14 は、最表層の絶縁層 16 a、16 d の表面に形成されている。上面側の絶縁層 16 a 表面に形成されたソルダーレジスト層 14 は、半導体素子接続パッド 11 の中央部を露出する開口部 14 a を有している。また、下面側の絶縁層 16 d 表面に形成されたソルダーレジスト層 14 は、外部接続パッド 12 の中央部を露出する開口部 14 b を有している。

【0019】

ところで、本例の配線基板 A では、コア基板 15 の上下面の導体層 13 同士、およびコア基板 15 を中心にして上面側および下面側のそれぞれ同順位に位置する導体層 13 同士において、占有面積率の大きい方の導体厚みが、占有面積率の小さい方の導体厚みよりも薄くなるように形成されている。これにより、各導体層 13 同士の体積差を低減して熱伸縮の挙動の違いを抑制し、配線基板 A に生じる反りを小さくする。このため、半導体素子 S 搭載時に、半導体素子 S の電極 T と半導体素子接続パッド 11 との間の距離のバラツキを小さくして両者を半田で強固に接続することができる。その結果、半導体素子 S を安定的に作動させることが可能な配線基板 A を提供できる。

10

【0020】

このように、同順位に位置する導体層 13 同士において導体厚みに差を設けるには、同順位に位置する導体層 13 を形成した後、そのうちの片方のみをエッチングにより薄くする方法が採用される。あるいは、導体層 13 を電解めっき法により形成する場合、めっき浴槽内に第 1 の陽極板と第 2 の陽極板とを互いに対向するようにして設け、これらの第 1 および第 2 陽極板の間に、めっき被着面が第 1 および第 2 の陽極板に対峙するように製造途中の配線基板 A を配置する。そして、導体厚みを厚くしたい側の被着面に対峙する陽極板の電流値を、導体厚みを薄くしたい側の被着面に対峙する陽極板の電流値よりも大きくした状態で導体層 13 用のめっきを析出させることで形成できる。

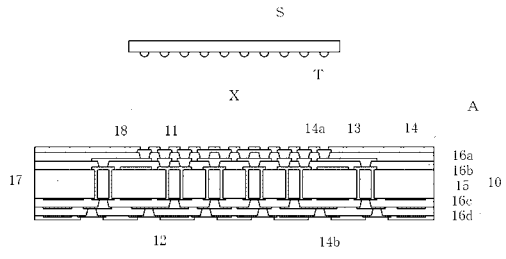
20

【符号の説明】

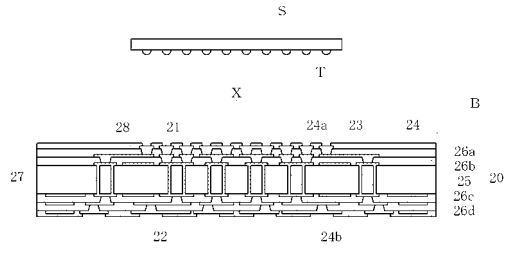
【0021】

13	導体層
15	コア基板
16 a ~ 16 d	絶縁層
A	配線基板

【 図 1 】



【 図 3 】



【 図 2 】

