



República Federativa do Brasil
Ministério do Desenvolvimento, Indústria
e do Comércio Exterior
Instituto Nacional da Propriedade Industrial.

(21) **PI0709654-2 A2**

(22) Data de Depósito: 30/03/2007
(43) Data da Publicação: 19/07/2011
(RPI 2115)



(51) *Int.Cl.:*
H03M 1/08 2006.01
H03K 7/08 2006.01
H03L 7/08 2006.01
H03L 7/18 2006.01

(54) Título: **PROCESSADOR DIGITAL**

(30) Prioridade Unionista: 31/03/2006 JP 2006-100087

(73) Titular(es): Nihon Dempa Kogyo Co., Ltd

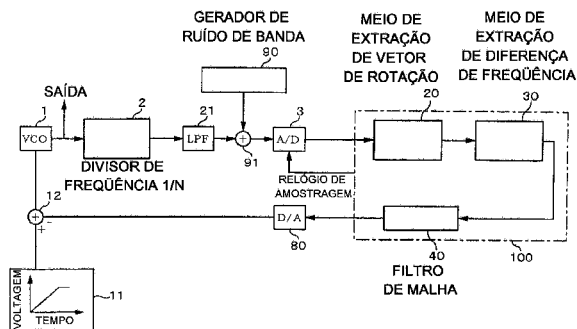
(72) Inventor(es): Tsukasa Kobata, Tsuyoshi Shiobara

(74) Procurador(es): Walter de Almeida Martins

(86) Pedido Internacional: PCT JP2007057727 de 30/03/2007

(87) Publicação Internacional: WO 2007/114523 de 11/10/2007

(57) **Resumo:** PROCESSADOR DIGITAL. Um objetivo da presente invenção consiste na redução de geração de ruído espúrio devido a um funcionamento incorreto de um conversor A/D em um dispositivo que realiza processamento digital mediante conversão de um sinal analógico de características altamente cíclicas em um sinal digital utilizando o conversor A/D. Como meio de solução concreta, por exemplo, em um sintetizador de frequência de um determinado sistema, o conversor A/D é provido em um lado de saída de um oscilador controlado por voltagem, e seu sinal de saída é fornecido para um dispositivo que realiza processamento digital para realimentação do resultado do processamento para o oscilador controlado por voltagem através de conversão D/A. Neste caso, o ruído gerado no gerador de ruído de banda é adicionado a um sinal de entrada do conversor analógico/digital descrito acima. Este ruído de banda é de uma banda que não afeta o processamento digital de sinais realizado pelo dispositivo.



PROCESSADOR DIGITAL



Área Técnica

A presente invenção refere-se a um sistema de redução de ruído espúrio de um processador digital que obtém sinais analógicos através de um conversor analógico/digital (A/D), e refere-se particularmente à prevenção de uma avaria do conversor A/D particularmente em um sintetizador de frequência de um sistema de malha de fase síncrona PLL.

10 Técnica Anterior

O processador digital deste tipo inclui, por exemplo, um dispositivo de comunicação via rádio tal como um telefone celular, um analisador de forma de onda, um sintetizador de frequência e similares. O sintetizador de frequência inclui um dispositivo ao qual é aplicada uma malha de fase síncrona ("Phase Locked Loop" - PLL) conforme ilustrado na FIG. 18, e inclui adicionalmente uma função de comparação de fase configurada com um dispositivo lógico programável ("Programmable Logic Device" - PLD). Neste desenho, a PLL funciona de tal forma que divide uma saída de oscilação de um oscilador controlado por tensão por 1/N com um divisor 102, alimenta como entrada a saída dividida para um terminal de entrada de um comparador de fase 103, e ao mesmo tempo, divide a saída de oscilação 104 de, por exemplo, um oscilador de cristal 104 constituindo um gerador de sinal de referência, por 1/M com um divisor

100, alimenta como entrada a saída dividida para o outro terminal de entrada do comparador de fase 103, e realimenta o sinal comparado para o oscilador controlado por voltagem 101 através de um filtro de malha 105. Quando esta PLL se encontra sincronizada, uma frequência F_{vco} da saída de oscilação do oscilador controlado por voltagem 101 e uma frequência f_0 da saída de oscilação do oscilador de quartzo 104 tornam-se $f_{vco} = (N/M) f_0$, visto existir uma relação de $f_{vco}/N = f_0/M$. Na medida em que o divisor 102 é configurado com um contador programável, e é capaz de definir uma razão N de divisão de frequência com dados digitais externos, torna-se possível definir a frequência de f_{vco} sem restrições. O sintetizador de frequência é capaz de comutar uma frequência de saída do oscilador controlado por voltagem 101 em uma ampla faixa de frequência em etapas de 1 MHz ou similares mediante alteração das razões de divisão de frequência dos divisores 100 e 102 com um circuito externo, e adicionalmente mediante formação da PLL em uma configuração múltipla.

No sintetizador de frequência utilizando o sistema PLL acima, quando uma função de comparação de fase do comparador de fase 103 é realizada em um processamento digital, a saída de oscilação do oscilador controlado por voltagem 101 é convertida em um sinal digital no conversor A/D, o sinal digital e a saída de oscilação (sinal de relógio) do oscilador de quartzo 104 são capturados para um circuito de processamento digital para realização de um

processamento de comparação de fase, e o resultado da comparação é restaurado para um sinal analógico em um conversor D/A para constituir um sinal controlado por voltagem do oscilador controlado por voltagem 101.

5 Entretanto, um ruído espúrio aparece no sintetizador de frequência descrito acima, resultando em deterioração de desempenho do dispositivo. Acredita-se que o motivo para isto acontecer seja o fato de uma grande corrente de retenção e uma pequena corrente de retenção no
10 conversor A/D serem repetidas em um determinado ciclo, que é responsável por esta deterioração.

Entretanto, no Documento de Patente N° 1, existe uma descrição segundo a qual são gerados números pseudo-aleatórios de série M não correlacionados entre si, e os
15 mesmos são adicionados digitalmente. Em seguida, são submetidos a conversão D/A, e são adicionados analogicamente a um sinal de entrada analógico para constituição de uma entrada do conversor A/D. Entretanto, na medida em que não é utilizado um gerador de ruído de
20 banda, é gerado um nível de saída consideravelmente elevado mesmo dentro de uma frequência de saída do conversor A/D. O circuito é utilizado no dispositivo, e se for utilizado para restrição de geração de ruído espúrio com a antecipação de carga/descarga da corrente de retenção do
25 conversor A/D, afeta o processamento de sinal no estágio subsequente.

Documento de Patente N° 1:

Pedido de Patente Japonês Em Aberto ("Laid-Open")
N° Hei 6-132825

Divulgação da Invenção

5 Um objetivo da presente invenção consiste na
provisão de um processador digital que reduz geração de
ruído espúrio devido a uma avaria de um conversor A/D em um
dispositivo que realiza processamento digital mediante
conversão de um sinal analógico com elevadas
10 características cíclicas em um sinal digital em um
conversor A/D.

Um processador digital de acordo com a presente
invenção inclui um conversor analógico/digital para o qual
é alimentado como entrada um sinal de entrada analógico com
15 elevadas características cíclicas;

um gerador de ruído de banda que gera ruído em uma
banda de frequência prescrita;

um adicionador para adicionar ruído gerado no
gerador de ruído de banda ao sinal de entrada do conversor
20 analógico/digital descrito acima; e

uma unidade de processamento digital que executa
processamento digital com base em um sinal digital
convertido pelo conversor analógico/digital descrito acima,
em que a banda de frequência do ruído produzido
25 como saída do gerador de ruído descrito acima é uma banda
que não afeta o processamento de sinal digital na unidade
de processamento digital descrita acima.

Como exemplo concreto da presente invenção, o seguinte exemplo pode ser citado. Uma configuração incluindo adicionalmente: um oscilador controlado por voltagem provido em um lado de entrada do conversor analógico/digital descrito acima; e um conversor digital/analógico provido em um lado de saída da unidade de processamento digital descrita acima, em que uma malha PLL é formada mediante realimentação de um sinal processado pela unidade de processamento digital descrita acima para o oscilador controlado por voltagem através do conversor digital/analógico descrito acima. Como um tal dispositivo PPL, pode ser citado a título de exemplo um sintetizador de frequência.

Conforme foi descrito acima, de acordo com a presente invenção, o ruído do gerador de ruído de banda é adicionado ao lado de entrada do conversor A/D, e devido ao fato de a banda de frequência do ruído descrito acima ser uma banda que não afeta o processamento de sinal digital na unidade de processamento digital descrita acima, é possível reduzir a geração de ruído espúrio devida a uma avaria de um conversor A/D para o qual é alimentado como entrada um sinal analógico com elevadas características cíclicas.

Breve Descrição dos Desenhos

A FIG. 1 é um diagrama de blocos funcionais ilustrando uma configuração da presente invenção;

a FIG. 2 é uma característica de frequência de um gerador de ruído de banda;

a FIG. 3 é um exemplo de uma forma de onda de saída de ruído de banda do gerador de ruído de banda;

as FIGS. 4A e 4B são vistas explanatórias para explicação de carga e descarga de uma corrente de retenção
5 de um conversor A/D;

a FIG. 5 é um exemplo de uma alteração em uma corrente de carga de retenção tomada de uma entrada de envelope/amostra de 40 MHz;

a FIG. 6 é um exemplo de redução de características
10 cíclicas da corrente de carga de retenção;

as FIGS. 7A e 7B são diagramas de forma de onda anteriormente e após a aplicação de contramedidas para geração de ruído espúrio;

a FIG. 8 é um diagrama de configuração básica de um
15 sintetizador de frequência referente a uma configuração 2 da presente invenção;

a FIG. 9 é uma vista de configuração ilustrando uma remoção de transportadora utilizada na configuração 2;

a FIG. 10 é uma vista explanatória ilustrando um
20 vetor de rotação obtido na remoção de transportadora;

a FIG. 11 é uma vista de configuração ilustrando uma configuração de uma unidade de multiplicação de vetor de rotação inversa;

a FIG. 12 é uma vista explanatória ilustrando uma
25 tabela de dados para geração de um vetor de rotação inversa em uma unidade de geração de parâmetro;

a FIG. 13 é uma vista explanatória ilustrando uma

forma de multiplicação do vetor de rotação obtido na remoção de transportadora e do vetor de rotação inversa conjuntamente por um meio de extração de diferença de frequência;

5 a FIG. 14 é uma vista explanatória ilustrando uma diferença de fase entre vetores de rotação obtidos por amostragem em momentos anterior e posterior;

as FIGS. 15A e 15B são diagramas de configuração de uma unidade de adição cumulativa para diferenças de fase e
10 um filtro de malha na FIG. 6;

as FIGS. 16A, 16B e 16C são diagramas de tempo ilustrando respectivos níveis de saída da remoção de transportadora, um meio de extração de diferença de frequência e uma unidade de detecção de diferença de tempo
15 para fases na configuração 2;

as FIGS. 17A, 17B, 17C e 17D são diagramas de tempo ilustrando os respectivos níveis de entrada da unidade de adição cumulativa para as diferenças de fase e o filtro de malha, e os respectivos níveis de saída do filtro de malha
20 e do oscilador controlado por voltagem; e

a FIG. 18 é um diagramas de blocos funcionais de uma PLL convencional.

Modo Preferencial para Prática da Invenção

A FIG. 1 é uma vista na qual é ilustrada uma
25 configuração em que um processador digital de acordo com a presente invenção é aplicado a um sintetizador de frequência. Muito embora o sintetizador de frequência opere

com base em um novo princípio, a presente invenção não se limita a uma aplicação a este tipo de sintetizador de frequência, e pode ser amplamente aplicada a um dispositivo para conversão A/D de um sinal de entrada com elevadas
5 características cíclicas e para realização de processamento digital da saída. Desta forma, os termos gerais de descrição do novo sintetizador de frequência serão explicados apenas simplesmente anteriormente a uma explicação da presente invenção, e será descrita uma
10 configuração detalhada do sintetizador de frequência após ter sido completada a explicação da presente invenção.

Em primeiro lugar será brevemente explicado um princípio de operação do sintetizador de frequência com referência à FIG. 1. Na FIG. 1, "1" é um oscilador
15 controlado por voltagem na forma de uma unidade de oscilação controlada por voltagem, que produz como saída um sinal de frequência que é uma onda retangular possuindo uma frequência correspondente a uma voltagem fornecida. O sinal de frequência do oscilador controlado por voltagem 1 é
20 dividido por $1/N$ (N é um número inteiro) por um meio de divisão de frequência 2, e é convertido em uma onda senoidal para ser adicionalmente convertido em um sinal digital. A conversão corresponde a processamento para extração de um vetor de rotação rodando a uma frequência
25 (velocidade) correspondente a uma frequência do sinal de frequência descrito acima por um meio de extração de vetor de rotação 20.

Um meio de extração de diferença de frequência 30 no estágio subsequente do meio de extração de vetor de rotação 20 extrai a diferença entre uma frequência do vetor de rotação descrito acima e uma frequência f_r do vetor de rotação quando uma frequência de saída do oscilador controlado por voltagem 1 se torna uma frequência definida. Como método de extração da diferença de frequência, pode ser citado por exemplo um método em que é preparado um vetor de rotação inversa rodando a uma frequência f_r na direção oposta à direção de rotação de um vetor de rotação extraído pelo meio de extração de vetor de rotação 20 quando a frequência de saída do oscilador controlado por voltagem 1 se torna uma frequência definida, o vetor de rotação descrito acima e o vetor de rotação inversa são multiplicados e é extraída uma diferença de frequência entre os mesmos.

É igualmente possível que a frequência do vetor de rotação seja reduzida em certa medida com um vetor de rotação inversa e uma parte de diferença de frequência remanescente, por exemplo a velocidade do vetor de rotação, possa ser detectada com uma expressão aproximada. Tomando-se um exemplo mais concreto comparado com um tal exemplo, o ajuste para fazer a frequência de um vetor de rotação coincidir com f_r (etapa de ajuste para extração de uma diferença de frequência pelo meio de extração de diferença de frequência 30) é dividido em um ajuste grosseiro e um ajuste fino. Em seguida, de entre frequências formadas de

múltiplos de números inteiros de um incremento de frequência f_a para o ajuste grosseiro, uma frequência $n \cdot f_a$ (n é um número inteiro) que é mais próxima da frequência do vetor de rotação descrito acima quando a frequência de saída do oscilador controlado por voltagem 1 se torna um valor definido é calculada antecipadamente, um vetor de rotação inversa rodando inversamente na frequência $n \cdot f_a$ é multiplicado pelo vetor de rotação descrito acima, e é extraído um vetor de rotação muito lenta de frequência obtido mediante dedução da frequência do vetor de rotação inversa da frequência do vetor de rotação descrito acima. Em seguida, de entre múltiplos de números inteiros de um incremento de frequência f_b para o ajuste fino que é menor que a frequência f_a descrita acima, é calculada uma frequência $m \cdot f_b$ (m é um número inteiro) que é mais próxima da diferença entre f_r e a frequência $n \cdot f_a$ descrita acima, é extraída a diferença entre a frequência do vetor de rotação muito lenta descrito acima e a frequência $m \cdot f_b$, e portanto é determinada a diferença entre a frequência de um vetor de rotação obtido pelo meio de extração de vetor de rotação e f_r .

Uma série dos cálculos acima é realizada em uma unidade de saída de parâmetro (não exibida). Deverá ser observado que quando a etapa de ajuste para extração da diferença de frequência dessa forma é dividida no ajuste grosseiro e no ajuste fino, existe o mérito de poder ser obtida uma diferença de frequência precisa quando uma

freqüência de um vetor de rotação fica próxima de f_r , e existe um mérito no fato de o cálculo da detecção de freqüência se tornar simples. Isto irá tornar-se claro em um exemplo concreto a ser descrito mais adiante com relação
5 à FIG. 8.

A voltagem correspondente a uma diferença de freqüência extraída pelo meio de extração de diferença de freqüência 30 é realimentada negativamente de um filtro de malha 40 constituindo um meio de integração para o lado de
10 entrada do oscilador controlado por voltagem 1, e uma voltagem de entrada do oscilador controlado por voltagem 1 é deduzida de uma unidade de saída de voltagem 11 para chamada ("pull-in") de freqüência por esta quantidade de voltagem. Em outras palavras, quando é iniciada a operação
15 do dispositivo, a voltagem para a chamada de freqüência é fornecida para o oscilador controlado por voltagem 1, e quando a malha opera, uma voltagem correspondente à diferença de freqüência descrita acima é integrada no filtro de malha 40, uma voltagem correspondente ao valor
20 integrado é adicionada para ser alimentada como entrada para o oscilador controlado por voltagem 1, e a diferença de freqüência descrita acima torna-se reduzida à medida que a freqüência de saída se aproxima da freqüência definida. Então, a forma do aumento no valor integrado torna-se
25 pequena, e quando a diferença de freqüência descrita acima chega a zero, a PLL é sincronizada, de tal forma que a freqüência de saída do oscilador controlado por voltagem 1

é sincronizada com a frequência definida.

Ou seja, quando é iniciada a operação do oscilador controlado por voltagem 1, a voltagem de entrada é aumentada linearmente, por exemplo, em relação ao tempo, a
5 frequência de saída é aumentada como o aumento da voltagem de entrada, e a frequência do vetor de rotação extraído pelo meio de extração de vetor de rotação 20 é aumentada. Então, quando esta frequência passa a situar-se em uma faixa controlável da PLL, a diferença entre a frequência f_r
10 do vetor de rotação no momento em que a frequência de saída do oscilador controlado por voltagem 1 alcança a frequência definida e a frequência do vetor de rotação, torna-se pequena. Como resultado, uma quantidade da realimentação torna-se pequena. Desta forma, um aumento na frequência de
15 saída do oscilador controlado por voltagem 1 é suprimido, e a diferença de frequência descrita acima tende a convergir para zero, de tal forma que a frequência de saída do oscilador controlado por voltagem 1 tende a convergir para a frequência definida. Quando a PLL é sincronizada desta
20 forma, a frequência de saída do oscilador controlado por voltagem 1 deverá ser sincronizada com a frequência definida.

Na realidade, na medida em que é suficiente selecionar uma razão de divisão de frequência de acordo com
25 a magnitude de uma frequência definida, torna-se possível realizar uma definição minuciosa de frequência através de uma ampla faixa de banda de frequência muito embora se

trate somente de uma PLL de um estágio, mediante consideração de um conceito de um vetor de rotação.

Uma parte substancial da presente invenção será descrita a seguir. Uma saída de oscilação do oscilador
5 controlado por voltagem é alimentada como entrada para um filtro de passagem de banda baixa 21 através de um divisor de frequência 2 para ser extraída na forma de um sinal de onda sinusoidal possuindo somente um componente de onda fundamental, e o sinal de onda sinusoidal é alimentado como
10 entrada para um conversor A/D 3. Um sinal de relógio de amostragem de 40 MHz é alimentado para o conversor A/D 3 a partir de uma unidade de processamento digital 100. Neste exemplo, o meio de extração de vetor de rotação 20, o meio de extração de diferença de frequência 30 e o filtro de
15 malha 40 formam a unidade de processamento digital 100, e a unidade de processamento digital 100 é configurada com um dispositivo processador digital, por exemplo, um dispositivo de matriz de campo programável ("Field Programmable Gate Array" - FPGA).

20 Neste caso, na presente configuração, para redução de geração de ruído espúrio devido a uma avaria do conversor A/D 3, é provido um gerador de ruído de banda 90, e uma saída do gerador de ruído de banda 90 é adicionada a uma saída analógica do filtro de passagem de banda baixa 21
25 com um adicionador 91 para designação da mesma como uma entrada de conversão do conversor A/D 3.

Para um gerador de ruído de banda 90, é possível

citar uma configuração em que, por exemplo, um pulso pseudo-aleatório é gerado de processamento digital para conversão do mesmo em um sinal analógico, de tal forma que é obtida uma saída de ruído de banda próxima de ruído branco ("white noise"). É necessário que a banda de frequência deste ruído seja uma banda que não afete o processamento de sinal digital na unidade de processamento digital descrita acima. Desta forma, é necessário que o nível de sinal do ruído descrito acima seja suficientemente baixo em comparação com o nível do sinal de entrada do conversor A/D 3 na frequência de saída do conversor A/D 3. Para suas características de frequência, conforme se encontra ilustrado por exemplo na FIG. 2, o mesmo pode ter uma banda de frequência em uma posição mais baixa que a frequência de saída do conversor A/D 3, ou inversamente poderá ter uma banda de frequência em uma posição mais alta que a frequência de saída descrita acima. Adicionalmente, na medida em que é geralmente provido um filtro para eliminação de frequências baixas no lado do estágio subsequente do conversor A/D 3, designadamente no FPGA que constitui a unidade de processamento digital 100, uma das configurações preferenciais consiste na provisão da banda de frequência de ruído em uma banda removida pelo filtro.

A FIG. 3 ilustra um exemplo de uma forma de onda de saída de ruído de banda produzida como saída pelo gerador de ruído de banda 90, sendo possível obter um ruído de banda cuja frequência central de ruído se situa em 20 MHz.

Deverá ser observado que a parte com linhas diagonais corresponde a uma parte para registro de uma forma de onda de sinal, e sua imagem de forma de onda é expressa em preto devido ao fato de o intervalo entre pulsos ser mais estreito que a capacidade de resolução da imagem.

Conforme foi descrito acima, o ruído é gerado pelo gerador de ruído de banda 90, e é possível reduzir geração de ruído espúrio devida a uma avaria do conversor A/D 3 mediante adição do ruído a uma entrada analógica do conversor A/D 3. Doravante isto será explicado concretamente.

No momento de amostragem de um sinal de entrada analógico no conversor A/D 3, aparecem periodicamente um aumento e um decréscimo de uma corrente de carga de retenção quando a rotação de entrada é diferente de "0". A FIG. 4 ilustra a temporização de amostragem de um sinal de entrada do conversor A/D 3 e um diagrama do circuito interno do conversor A/D 3. Nos momentos T1 e T2, um comutador SW é fechado, e uma corrente de descarga passa no momento T2 devido ao fato de a voltagem VC ser menor no momento T2 em comparação com o momento T1. Este fluxo tem características cíclicas e o conversor A/D 3 causa uma avaria como consequência, devido às características cíclicas, que é considerada como constituindo uma causa principal do ruído espúrio. Na realidade um ciclo (envelope) de acréscimo e decréscimo desta corrente de carga e uma frequência espúria são consistentes entre si e

a geração de ruído espúrio é prevista na medida em que o ciclo de acréscimo e decréscimo da corrente de carga afeta periodicamente uma temporização de amostragem no conversor A/D, causando o ruído espúrio.

5 A FIG. 5 ilustra valores grandes/pequenos da alteração de corrente de carga de retenção com um envelope "36666750 Hz" de entrada/40 MHz de amostragem. Estas alterações são repetidas em um determinado ciclo, resultando em avarias. Em contraste com isto, a adição de
10 ruído do gerador de ruído de banda 90 de acordo com a presente invenção causa difusão do nível de pontos de amostragem e elimina as características cíclicas da corrente de carga de retenção conforme se encontra ilustrado na FIG. 6 e a geração de ruído espúrio pode ser
15 reduzida como resultado.

As FIGS. 7A e 7B ilustram um espectro de frequência em uma saída do oscilador controlado por voltagem 1 na configuração da FIG. 1, em que a FIG. 7A representa dados aos quais é adicionado ruído, e a FIG. 7B representa dados
20 sem ruído. A frequência central é 888 MHz, e a frequência de ruído adicionado é 1 MHz. Com base neste resultado é possível compreender que o ruído espúrio pode ser reduzido mediante adição de um ruído de banda.

Desta forma, de acordo com a presente configuração,
25 é gerado um ruído de banda do qual são eliminadas características cíclicas mediante processamento digital de um pulso pseudo-aleatório, e a geração de ruído espúrio

devida a uma avaria de conversor A/D 3 somente pode ser reduzida mediante adição do mesmo a um sinal de entrada analógico no conversor A/D 3. Deverá ser observado que o ruído de banda não é limitado a ruído aleatório em que a

5 freqüência se altera com a passagem do tempo, podendo constituir igualmente ruído possuindo características cíclicas.

Muito embora a descrição a seguir não seja incluída na parte substancial da presente invenção, com o objetivo

10 de esclarecer a operação do sintetizador de freqüência, o princípio de operação será descrito detalhadamente com referência à FIG. 8 e subseqüentes. A unidade de saída de

voltagem 11 é configurada de tal forma que, por exemplo, a voltagem de saída é aumentada linearmente para uma voltagem

15 prescrita com a passagem do tempo. A voltagem prescrita é uma voltagem próxima da voltagem correspondente à freqüência definida a ser obtida no oscilador controlado por voltagem 1, e é designada por uma unidade de saída de parâmetro a ser descrita mais adiante.

20 Os meios providos nas etapas finais do oscilador controlado por voltagem 1 serão explicados na ordem devida. "2" é um divisor de freqüência composto, por exemplo, por um contador programável, e a razão de divisão de freqüência N (N é um número inteiro) do divisor de freqüência 2 é

25 determinada pela unidade de saída do parâmetro a ser descrita mais adiante. No estágio subseqüente do divisor de freqüência 2, o filtro de passagem de banda baixa 21 é

provido como meio para converter um sinal de onda retangular constituindo um sinal de freqüência do divisor de freqüência 2 no sinal de onda sinusoidal.

"3" é o conversor A/D (analógico/digital), e o
5 sinal de onda sinusoidal constituindo um sinal de freqüência do filtro de passagem de banda baixa 21 é tomado como amostra por um sinal de relógio de uma unidade de geração de relógio de referência 31 para produção como saída do valor de amostragem como um sinal digital. A
10 unidade de geração de relógio de referência 31 produz como saída um sinal de relógio que é um sinal de freqüência com estabilidade extremamente alta de freqüência para propósito de amostragem do sinal de freqüência descrito acima.

Um sinal de alta freqüência especificado por um
15 sinal digital obtido do conversor A/D 3 inclui harmônicos diversos da onda fundamental. Isto é, quando a onda senoidal possuindo distorção harmônica é submetida a amostragem, seu componente harmônico é afetado por "aliasing", e de acordo com as circunstâncias, é suposto
20 que a freqüência da onda fundamental e a freqüência dos harmônicos se sobrepõem sobre o eixo de freqüência em um espectro de freqüência. Então, é necessário evitar essa sobreposição, e extrair um vetor de rotação correspondente à freqüência de saída do oscilador controlado por voltagem
25 l corretamente em um momento posterior.

Em geral, quando o sinal de onda sinusoidal de uma freqüência f_1 é submetido a amostragem com um sinal de

relógio de uma frequência f_s , uma frequência f_2 como resultado da extração é expressa pela equação (1), em que $\text{mod}()$ indica uma função de módulo.

$$f_2 = |\text{mod}(f_1 + f_s/2, f_s) - f_s/2| \dots\dots (1)$$

5 No resultado desta extração, na medida em que a frequência de n° (enésimo) harmônico relativamente à frequência da onda fundamental é expressa como $n \times$ (frequência da onda fundamental), mediante colocação deste como f_2 e substituindo o mesmo na equação (1) descrita
10 acima, é possível calcular a frequência do harmônico extraído. Mediante utilização deste cálculo, é possível definir uma frequência f_c do sinal de alta frequência do divisor de frequência 2 e uma frequência de amostragem (frequência do sinal de relógio) f_s de uma forma em que a
15 frequência da onda fundamental e a frequência de harmônico não se sobrepõem, por exemplo, a razão N de divisão de frequência é definida de tal forma que f_c se torna 36 MHz quando o vetor de rotação é parado, e f_s é definida para 40 MHz. Nesta circunstância, a onda fundamental de um sinal de
20 frequência especificado por um sinal de saída que é um sinal digital do conversor A/D 3 é uma onda senoidal de 4 MHz. Deverá ser observado que quando f_c/f_s é ajustado para $9/10$, a frequência da onda fundamental e a frequência dos harmônicos não se sobrepõem, porém f_c/f_s não é limitado a
25 este valor.

Uma remoção de transportadora 4 é provida no estágio subsequente do conversor A/D 3. A remoção de

transportadora 4 corresponde a um meio para execução de
detecção de quadratura para o sinal de onda sinusoidal
especificado por um sinal digital do conversor A/D 3
utilizando o sinal de onda sinusoidal de $\omega_0 t / 2\pi$ (a
5 velocidade angular é $\omega_0 t$) em frequência, e extrair um vetor
de rotação rodando a uma frequência igual a uma diferença
entre a frequência do sinal de frequência especificado por
um sinal digital no conversor A/D 3 e a frequência do sinal
de onda sinusoidal utilizado para a detecção. Para ser
10 preciso, a remoção corresponde a um meio para extração da
parte real e da parte imaginária de um número complexo
quando o vetor de rotação é expresso em uma expressão
complexa.

Quanto a uma descrição detalhada sobre a remoção de
15 transportadora 4, a remoção de transportadora 4 inclui uma
unidade de multiplicação 41a que multiplica o sinal de onda
sinusoidal descrita acima por $\cos(\omega_0 t)$ e uma unidade de
multiplicação 41b que multiplica o sinal de onda sinusoidal
descrito acima por $-\sin(\omega_0 t)$, filtros de passagem de banda
20 baixa 42a e 42b respectivamente providos nos estágios
subseqüentes das unidades de multiplicação 41a e 41b,
conforme se encontra ilustrado na FIG. 9. Desta forma,
quando o sinal de onda sinusoidal obtido no conversor A/D 3
é tomado como $A \cos(\omega_0 t + \theta)$, uma saída da unidade de
25 multiplicação 41a e uma saída da unidade de multiplicação
41b são expressas pelas equações (2) e (3) respectivamente.

$$\text{Acos}(\omega_0 t + \theta) \cdot \cos(\omega_0 t) = 1/2 \cdot \text{Acos}\theta + 1/2 \{ \cos(2\omega_0 t) \cdot \cos\theta + \text{sen}(2\omega_0 t) \cdot \text{sen}\theta \} \dots (2)$$

$$\text{Acos}(\omega_0 t + \theta) \cdot -\text{sen}(\omega_0 t) = 1/2 \cdot \text{Asen}\theta - 1/2 \{ \text{sen}(2\omega_0 t) \cdot \cos\theta + \cos(2\omega_0 t) \cdot \text{sen}\theta \} \dots (3)$$

5 Neste caso, na medida em que o sinal de frequência de $2\omega_0 t$ é removido permitindo-se que a saída da unidade de multiplicação 41a e a saída da unidade de multiplicação 41b passem através dos filtros de passagem de banda baixa 42a e 42b respectivamente, finalmente $1/2 \cdot \text{Acos}\theta$ e $1/2 \cdot \text{Asen}\theta$ são
 10 extraídos dos filtros de passagem de banda baixa 42a e 42b. No processamento digital real nos filtros de passagem de banda baixa 42a e 42b, uma média móvel de uma pluralidade de dados consecutivos, por exemplo seis dados, é calculada, nos dados de série de tempo produzidos como saída das
 15 unidades de multiplicação 41a e 41b.

Quando a frequência do sinal de onda sinusoidal obtido no conversor A/D 3 e a frequência do sinal de onda sinusoidal utilizado para a detecção de quadratura são iguais, uma função de tempo não incluída na saída. Desta
 20 forma, o vetor de rotação obtido na remoção de transportadora 4 é detido. entretanto, quando a frequência do sinal de onda sinusoidal expressa por $\text{Acos}(\omega_0 t + \theta)$ muda, $\text{Acos}(\omega_0 t + \theta)$ torna-se $\text{Acos}(\omega_0 t + \theta + \omega_1 t)$. Desta forma, $1/2 \cdot \text{Acos}\theta$ torna-se $1/2 \cdot \text{Acos}(\theta + \omega_1 t)$, e $1/2 \cdot \text{Asen}\theta$
 25 torna-se $1/2 \cdot \text{Asen}(\theta + \omega_1 t)$. Ou seja, as saídas obtidas dos filtros de passagem de banda baixa 42a e 42b constituem a

parte de número real (I) e a parte de número imaginário (Q) que são uma expressão complexa do vetor rodando a uma velocidade da frequência do sinal correspondente à quantidade de alteração ($\omega_1 t$) na frequência do sinal de
5 onda sinusoidal [$A \cos(\omega_0 t + \theta)$], em outras palavras a uma velocidade do diferencial ($\omega_0 t / 2\pi$) entre a frequência de um sinal de onda sinusoidal obtido pelo conversor A/D 3 e a frequência de um sinal de onda sinusoidal utilizado na detecção de quadratura. Deverá ser observado que na medida
10 em que não é pretendido utilizar a palavra "frequência" e a expressão "velocidade angular" de diferentes formas apropriadamente no presente relatório descritivo, ambas são freqüentemente utilizadas de forma intercambiável.

A FIG. 10 é uma vista expressando o vetor de
15 rotação V, e o vetor de rotação V tem um comprimento A, e a velocidade de rotação é $\omega_1 t (= \phi)$ (a frequência é $\omega_0 t / 2\pi$). Neste exemplo, a frequência utilizada para a detecção de quadratura é 4 MHz, e se a frequência do sinal de onda sinusoidal obtido pelo conversor A/D 3 for 4 MHz, a
20 velocidade de rotação do vetor de rotação é zero. Entretanto, se a frequência for deslocada de 4 MHz, o vetor roda em uma frequência (velocidade de rotação) de acordo com a diferença de frequência deslocada.

Uma unidade de multiplicação de vetor de rotação
25 inversa 5 é provida no estágio subsequente da remoção de transportadora 4. A unidade de multiplicação de vetor de rotação inversa 5 multiplica um vetor de rotação V obtido

pela remoção de transportadora 4 por um vetor de rotação inversa V' criado em uma unidade de saída de parâmetro 6. Utilizando uma expressão visceral, esta multiplicação desacelera a velocidade do vetor de rotação V em uma
 5 quantidade da velocidade do vetor de rotação inversa V' . Em outras palavras, é possível obter um vetor de rotação rodando na diferença de frequência entre o vetor de rotação V e o vetor de rotação inversa V' .

O cálculo na unidade de multiplicação de vetor de
 10 rotação inversa 5 será agora explicado. A remoção de transportadora 4 e a unidade de multiplicação de vetor de rotação inversa 5 são executadas por cálculo em um computador, e quando um valor de amostragem em um determinado tempo da amostragem no cálculo, por exemplo, o
 15 valor de amostragem do vetor de rotação V no n° (enésimo) momento é $I(n) + jQ(n)$, o valor de amostragem do vetor de rotação inversa V' no n° (enésimo) momento é $I'(n) + jQ'(n)$. O vetor $I + jQ$ obtido mediante multiplicação de ambos os vetores um pelo outro é $\{I(n) + jQ(n)\} \times \{I'(n) + jQ'(n)\}$. Quando são organizadas as equações, pode ser
 20 obtida a equação (4).

$$I(n) + jQ = I(n) \cdot I'(n) - Q(n) \cdot Q'(n) + j\{I(n) \cdot Q'(n) + I'(n) \cdot Q(n)\} \dots\dots (4)$$

A FIG. 11 ilustra uma configuração da unidade de multiplicação de vetor de rotação inversa 5 que calcula a
 25 equação (4).

Gerar o vetor de rotação inversa V' significa gerar os valores de uma parte real e uma parte imaginária do

vetor, isto é, gerar $\cos\phi'$ e $\sin\phi'$, em que ϕ é a fase do
vetor de rotação inversa V' de uma forma em que o vetor em
um plano complexo roda inversamente. A FIG. 12 ilustra uma
tabela de I/Q 60 em que pares de $\cos\phi'$ e $\sin\phi'$ de um vetor
5 são organizados por ordem ao longo da direção de rotação do
vetor, e a unidade de saída de parâmetro 6 é provida com a
tabela de I/Q 60 descrita acima neste exemplo, endereços na
tabela de I/Q 60 são lidos em um incremento ou um
decremento determinado de acordo com uma frequência
10 definida de um oscilador controlado por voltagem 1
designado, e são produzidos como saída para a unidade de
multiplicação de vetor de rotação inversa 5. Por exemplo,
os endereços são lidos um por um nas temporizações de
leitura de relógio desde "0" até "11" e retornando
15 novamente para "0" o vetor deverá descrever uma volta no
sentido horário em um plano complexo em 12 tempos de
relógio. Se os endereços forem lidos à razão de um a cada
dois fazendo-se o incremento ser 2, a velocidade do vetor é
duplicada. É possível determinar se os endereços devem ser
20 lidos em incremento ou decremento através da direção de
rotação do vetor de rotação V extraído pela remoção de
transportadora 4. Desta forma, é possível criar o vetor de
rotação inversa V' rodando inversamente com relação ao
vetor de rotação V . Deverá ser observado que a tabela de
25 I/Q 60 na FIG. 12 é preparada em forma de diagrama para
facilitar a compreensão da presente configuração, e não
pretende representar um exemplo de preparação preferencial

para a tabela real.

Relativamente aos blocos até este ponto na FIG. 8, será feita uma descrição dos mesmos para uma série concreta de cálculos. Quando a frequência de saída do oscilador controlado por voltagem 1 é f_{vco} , a frequência dividida pelo divisor de frequência 2 é f_{vco}/N . Na unidade de conversão A/D 3, devido ao fato de uma frequência ser obtida por amostragem por um sinal de relógio possuindo uma frequência de f_s , a frequência de um sinal de frequência especificado pelo sinal digital obtido pela unidade de conversão A/D 3 é $f_s - (f_{vco}/N)$. Na medida em que f_s tem um valor de 40 MHz neste exemplo, a frequência é 40 MHz - (f_{vco}/N) . Devido ao fato de a frequência $(\omega_0 t/2\pi)$ do sinal de onda sinusoidal utilizado para detecção de onda na remoção de transportadora 4 ser 4 MHz, a frequência do vetor de rotação V extraído da remoção da transportadora 4 é 40 MHz - (f_{vco}/N) - 4 MHz.

O controle é realizado de tal forma que quando a frequência de saída f_{vco} do oscilador controlado por voltagem 1 alcança sua frequência definida, a diferença de frequência entre a frequência do vetor de rotação V e a frequência f_r descrita acima é zero. Na medida em que se (f_{vco}/N) for 36 MHz, o vetor de rotação V é parado (devido ao fato de a frequência ser zero). Em um tal caso, a PLL é sincronizada mediante definição da frequência do vetor de rotação inversa V' para ser zero, e a frequência de saída f_{vco} do oscilador controlado por voltagem 1 torna-se igual

a uma frequência definida. entretanto, devido ao fato de um tal caso poder ser obtido em somente um ponto, na realidade, o vetor de rotação V extraído da remoção de transportadora 4 roda a uma determinada velocidade. Desta
5 forma, torna-se necessário gerar o vetor de rotação inversa V' para parar o vetor de rotação V . Entretanto, devido ao fato de uma série de cálculos ser realizada com um software, um requisito de construção é que um tamanho de memória para armazenamento de dados para geração do vetor
10 de rotação inversa V' seja tão pequeno quanto possível.

Deste ponto de vista, se a frequência definida do oscilador controlado por voltagem 1 for f_{set} , é preferencial que f_{set}/N seja próximo de 36 MHz tanto quanto possível, e neste exemplo, na unidade de saída de parâmetro
15 6, é operado um número inteiro que torne f_{set}/N tão próximo quanto possível de 36 MHz, de tal forma que o número inteiro é utilizado como a razão N de divisão de frequência do divisor de frequência. Com este procedimento, a frequência do vetor de rotação inversa V' para parar o
20 vetor de rotação V extraído da remoção de transportadora 4 obtém um valor menor que 4 MHz, e é possível gerar o vetor de rotação inversa V' com uma quantidade pequena de dados.

Será aqui citado um exemplo concreto da frequência. Quando a frequência definida f_{set} do oscilador controlado
25 por voltagem 1 é definida para por exemplo, 520.0001 MHz, a razão de divisão de frequência é 14 ($N = 14$), quando for definida, por exemplo, para ser um número inteiro mais

próximo de $f_{set}/36$ MHz. Neste caso, a frequência após a divisão de frequência quando a frequência de saída do oscilador controlado por voltagem é a frequência definida f_{set} é $f_{set}/14 = 37,1428642857143$ MHz. Quando a frequência

5 após a diferença de frequência for 36 MHz conforme descrito acima, a frequência do sinal de frequência especificado por um valor digital obtido na unidade de conversão A/D 3 é 40 MHz - 36 MHz = 4 MHz, e a frequência do vetor de rotação V obtido através da remoção de transportadora 4 realizando

10 detecção de quadratura com o sinal de onda sinusoidal de 4 MHz é 4 MHz - 4 MHz = 0, em outras palavras, o vetor de rotação V é parado. Desta forma, o sinal de frequência de $f_{set}/14 = 37,1428642857143$ MHz é digitalizado na unidade de conversão A/D 3, e a frequência do vetor de rotação V

15 obtido por alimentação como entrada do sinal de frequência para a remoção de transportadora 4 é $37,1428642857143$ MHz - 36 MHz = $1,1428642857143$ MHz.

Esse cálculo é realizado na unidade de saída de parâmetro 6 anteriormente ao início da operação do

20 oscilador controlado por voltagem 1 mediante alimentação como entrada da frequência definida para o sintetizador de frequência. A unidade de saída de parâmetro 6 refere-se a uma memória (não ilustrada) e selecionada um valor de voltagem com o qual é obtida uma frequência próxima da

25 frequência definida. Através deste procedimento, a voltagem de saída da unidade de saída de voltagem 11 aumenta para o valor de voltagem. Quando a razão N de divisão de

freqüência é definida para 14, e a freqüência do vetor de rotação inversa V' é definida para 1,1428642857143 MHz, a freqüência de saída f_{vco} do oscilador controlado por voltagem 1 é aumentada até a freqüência do sinal de
5 freqüência obtido na unidade de conversão A/D 3 se torne 1,1428642857143 MHz. Quando a freqüência do vetor de rotação V e a freqüência do vetor de rotação inversa V' são consistentes uma com a outra após um certo tempo, a PLL é sincronizada e a f_{vco} converge para f_{set} .

10 A FIG. 13 é uma vista que ilustra um estado em que o vetor de rotação V é processado inversamente pelo vetor de rotação inversa V' e parado em uma imagem.

A operação descrita acima ocorre no caso de parada do vetor de rotação V dependente somente do vetor de
15 rotação inversa V' , e é suficiente neste caso alimentar como entrada um sinal correspondente à freqüência do vetor de rotação obtido na unidade de multiplicação de vetor de rotação inversa 5 para um filtro de malha 8. Entretanto, com uma tal configuração, uma quantidade de dados para
20 geração do vetor de rotação inversa V' seria consideravelmente grande. Desta forma, em uma configuração ilustrada na FIG. 8, a freqüência do vetor de rotação V é desacelerada em certa medida pelo vetor de rotação inversa V' , e a restante redução de velocidade é deixada para
25 operação de uma unidade de detecção de diferença de tempo 71, uma unidade de adição 72 e uma unidade de adição cumulativa 73 para diferença de fase nos estágios

subseqüentes. Em outras palavras, é realizado um ajuste grosseiro da freqüência do vetor de rotação V na unidade de multiplicação de vetor de rotação inversa 5, e o vetor de rotação V é parado mediante realização de ajuste fino do
5 vetor de rotação V em partes nos estágios subseqüentes.

A freqüência do vetor de rotação inversa V' que realiza ajuste grosseiro da freqüência do vetor de rotação V pode ser definida, por exemplo, em incrementos de 152,587890625 Hz. Isto deve-se ao fato de que, quando o
10 número de pontos da fase do vetor de rotação inversa V' é definido para 2 elevado a 18ª potência, 40 MHz/2 elevado à 18ª potência = 152,587890625 Hz quando é realizada amostragem de dados com 40 MHz. Ou seja, a unidade de saída de parâmetro 6 calcula quantas vezes é necessário realizar
15 a multiplicação do incremento de freqüência fa para tornar a freqüência mais próxima de 1142864,2857143 Hz (1,1428642857143 MHz) sendo a freqüência do vetor de rotação V descrito acima, quando a freqüência de ajuste grosseiro mínimo (incremento de freqüência fa) for
20 152,587890625 Hz.

O número inteiro mais próximo de 1142864,2857143 Hz/152,587890625 Hz é 7490, e a unidade de saída de parâmetro 6 determina a freqüência n•fa (n é um número inteiro) = 7490,152,587890625 Hz = 1142883,30078125 Hz, que
25 é mais próximo da freqüência do vetor de rotação V quando a freqüência de saída da oscilador controlado por voltagem 1 se torna o valor definido mediante determinação deste

número inteiro.

A unidade de saída de parâmetro 6 executa o cálculo a seguir. Em primeiro lugar, a frequência ajustada pelo vetor de rotação inversa V' é deduzida da frequência do
5 vetor de rotação V , e é determinado $142864,2857143 \text{ Hz} - 1142883,30078125 \text{ Hz} = 19,0150669664145 \text{ Hz}$.

Em seguida, a frequência $m \cdot fb$ (m é um número inteiro) que é mais próximo de $19,0150669664145 \text{ Hz}$ sendo a diferença entre a frequência do vetor de rotação V descrito
10 acima e a frequência $n \cdot fa$ descrita acima quando a frequência de saída da unidade de oscilação controlada por voltagem 1 se torna um valor definido entre múltiplos de números inteiros do incremento de frequência fb , entre os múltiplos de números inteiros do incremento de frequência
15 de 1 Hz , neste exemplo, para ajuste fino menor que o incremento de frequência fa descrito acima para ajuste grosseiro, é calculada. Neste caso, na medida em que fb é 1 Hz , m é 19 , de tal forma que o valor de ajuste de 19 Hz é executado pela parte no estágio subsequente da unidade de
20 multiplicação de vetor de rotação inversa 5.

Retornando à FIG. 8, "71" é a unidade de detecção de diferença de tempo para fase, "72" é a segunda unidade de adição, "73" é a unidade de adição cumulativa 73 para diferenças de fase, "8" é o filtro de malha, e 80 é a
25 unidade de conversão D/A (digital/analógica).

Na medida em que a rotação do vetor de rotação V é reduzida em velocidade pelo vetor de rotação inversa V' , é

possível determinar uma frequência (velocidade) do vetor de rotação V com uma simples expressão aproximada. Em um plano complexo conforme ilustrado na FIG. 14, um ângulo $\Delta\phi$ formado com o vetor de rotação $V(n-1)$ determinado pela $(n-1)^a$ (enésima menos uma) amostragem e o vetor de rotação $V(n) = V(n-1) + \Delta V$ determinado pela $(n-1)^a$ (enésima menos uma) amostragem, designadamente, uma diferença de fase $\Delta\phi$ entre os vetores de rotação V em ambas as amostragens é considerado como uma extensão de ΔV se a frequência do vetor de rotação V for suficientemente pequena em comparação com a frequência de amostragem e θ puder ser considerado como $\theta = \text{sen}\theta$.

Explicando a expressão aproximada para determinação de ΔV , em primeiro lugar, a diferença de fase $\Delta\phi$ é expressa pela equação (5). Deverá ser observado que imag é uma parte imaginária, $\text{conj}\{V(n)\}$ é um vetor conjugado de $V(n)$, e K é uma constante.

$$\Delta\phi = K \cdot \text{imag}[\Delta V \cdot \text{conj}\{V(n)\}] \quad \dots\dots (5)$$

Neste caso para um valor I (parte real do vetor de rotação V) e um valor Q (uma parte imaginária do vetor de rotação V), supondo-se que os valores correspondentes à n^a (enésima) amostragem são $I(n)$ e $Q(n)$ respectivamente, ΔV e $\text{conj}\{V(n)\}$ são expressos pelas equações (6) e (7) respectivamente em uma expressão complexa.

$$\Delta V = \Delta I + j\Delta Q \quad \dots\dots (6)$$

$$\text{conj}\{V(n)\} = I(n) - jQ(n) \quad \dots\dots (7)$$

Deverá ser observado que ΔI é $I(n) - I(n-1)$, e ΔQ é $Q(n) - Q(n-1)$. Quando as equações (6) e (7) são substituídas e organizadas, $\Delta\phi$ é expresso pela equação (8).

$$\Delta\phi = \Delta Q \cdot I(n) - \Delta I \cdot Q(n) \quad \dots\dots (8)$$

5 A unidade de detecção de diferença de tempo 71 descrita acima para fases é provida com uma função para determinar $\Delta\phi$ utilizando a expressão aproximada desta maneira. Devido ao fato de $\Delta\phi$ ser um valor correspondente à frequência do vetor de rotação V reduzida em velocidade
10 pela unidade de multiplicação de vetor de rotação inversa 5, a unidade de detecção de diferença de tempo 71 para fases pode ser considerada como um meio (meio de detecção de vetor de velocidade muito baixa) que produz como saída a frequência do vetor de rotação com velocidade reduzida.

15 Deverá ser observado que quando são determinados os vetores de rotação $V(n-1)$ e $V(n)$, como meio para determinação do ângulo $\Delta\phi$ entre os mesmos, podem ser utilizados diversos métodos matemáticos, e a equação (5) sendo uma expressão aproximada é mencionada somente como
20 exemplo. Como expressão matemática, é utilizado $\{V(n) + V(n-1)\}/2$ que é um vetor V_0 ligando o ponto intermediário de uma linha que liga respectivos pontos terminais de $V(n)$ e $V(n-1)$ e o ponto original, e é igualmente possível substituir o vetor V_0 ao invés de $V(n)$ na equação (5). O
25 motivo pelo qual essa equação (5) pode ser aproximada deve-se ao fato de V_0 e ΔV serem considerados ortogonais. Desta

forma, a extensão de ΔV pode ser considerada como um valor correspondente ao valor imaginário de ΔV quando V_0 é considerado como um eixo real.

Entretanto, devido ao fato de a unidade de saída de
5 parâmetro 6 determinar o valor de 19 Hz que é a quantidade correspondente a um ajuste fino de frequência do vetor de rotação V por meio de cálculo, a frequência do vetor de rotação V detectada na unidade de detecção de diferença de tempo 71 para fases e 19 Hz de valor do ajuste fino são
10 comparadas na unidade de adição 72, e a diferença entre a frequência do vetor de rotação V e a quantidade de 19 Hz de ajuste fino é extraída e alimentada como entrada para a unidade de adição cumulativa 73. O valor de saída da unidade de adição cumulativa 73 para diferenças de fase é
15 alimentada como entrada para o filtro de malha 8.

O sintetizador de frequência realiza um processamento para deter o vetor de rotação V conforme se encontra ilustrado na FIG. 8. Este processamento é classificado em processamento de suspensão grosseiro por
20 assim designada rotação inversa e processamento para parar corretamente o vetor de rotação V baixando a velocidade, e este último processamento é deixado para a unidade de detecção de diferença de tempo 71 para fases e a unidade de adição 72 no exemplo ilustrado na FIG. 8. A unidade de
25 multiplicação de vetor de rotação inversa 5, a unidade de detecção de diferença de tempo 71 para fases e a segunda unidade de adição 72 correspondem a um meio de extração de

diferença de frequência.

A unidade de adição cumulativa 73 para diferenças de fase é configurada de tal forma que armazena um valor de entrada no momento de um determinado tempo de amostragem para um resistor 73a conforme se encontra ilustrado na FIG. 5 15A, produz como saída valores armazenados até esse momento no momento da amostragem seguinte para retorno dos mesmos para a unidade de adição 73b para adição dos mesmos ao valor de entrada, e o valor adicionado é alimentado como 10 entrada para o registro 73a.

O filtro de malha 8 é configurado para adicionar cumulativamente o valor de entrada em uma unidade de adição cumulativa 8a e para adicionar o valor de entrada a seu valor de adição cumulativa em uma unidade de adição 8b. O 15 motivo para alimentação do valor de entrada para a unidade de adição 8b consiste no fato de a saída do filtro de malha 8 ser estabilizada. A voltagem de saída do filtro de malha 8 é convertida em voltagem analógica em uma unidade de conversão D/A 80, e é alimentada como entrada para uma 20 primeira unidade de adição 12 para dedução da voltagem de saída da voltagem de saída da unidade de saída de voltagem 11.

Neste exemplo, um enlace de circuito ou malha de retorno para a unidade de oscilação controlada por voltagem 25 1 da unidade de oscilação controlada por voltagem 1 através do meio de extração de diferença de frequência e do filtro de malha 8 forma uma PLL. Adicionalmente, o processamento

de cálculo de cada parte do conversor A/D 3 para o filtro de malha 8 é realizado por um software.

Em seguida, a operação inteira ilustrada na FIG. 8 será explicada com referência aos gráficos de tempo descritos nas FIGS. 16 e 17. Deverá ser observado que muito embora os padrões de mudança de uma quantidade de sinal sejam descritos em forma de diagramas, o padrão de alteração da quantidade de sinal obtido por simulação é um padrão mais complicado em comparação com os padrões das FIGS. 16 e 17. Conforme é descrito no exemplo concreto descrito acima, uma frequência definida f_{set} do oscilador controlado por tensão 1 é supostamente, por exemplo, 520.0001 MHz, e é alimentada como entrada a partir de uma unidade de entrada (não ilustrada). A unidade de saída de parâmetro 6 é provida com uma tabela em que uma relação entre uma frequência definida do oscilador controlado por tensão 1 e uma tensão fornecida se encontra escrita, e é selecionada nesta tabela uma frequência definida mais próxima de 520,0001 MHz.

Adicionalmente, conforme foi anteriormente descrito, a razão de divisão de frequência $N = 14$ sendo um número inteiro mais próximo de $f_{set}/36$ MHz, e as respectivas quantidades obtidas por divisão da frequência do vetor de rotação V no momento em que a frequência definida é obtida em uma quantidade de ajuste grosseiro e uma quantidade de ajuste fino, são calculados. Nesta ocasião, são calculados 1142883,30078125 Hz que é uma

quantidade de ajuste grosseiro da frequência, em outras palavras, a frequência do vetor de rotação inversa, e a frequência de 19 Hz do vetor de rotação após processamento de rotação inversa que é uma quantidade de ajuste fino
5 alimentada como entrada para o segundo adicionador 72.

Quando são alimentadas como entrada instruções de início de operação a partir de uma unidade de entrada, a voltagem correspondente a uma frequência definida é produzida como saída da unidade de saída de voltagem 11
10 para aumentar linearmente com relação ao tempo, por exemplo. Visto ser fornecida voltagem, o oscilador controlado por voltagem 1 produz como saída um sinal de frequência, e sua frequência é aumentada. No início, devido ao fato de a frequência de saída do oscilador controlado
15 por voltagem 1 ser baixa, a frequência $\{40 \text{ MHz} - (\text{frequência de saída}/N)\}$ extraída na unidade de conversão A/D 3 é elevada, fazendo a frequência do vetor de rotação V extraído pela remoção de transportadora 4 constituir um grande valor negativo, e a saída de cada unidade após a
20 remoção de transportadora 4 é mantida em um valor negativo mais baixo possível até o momento 1. Quando a frequência de saída do oscilador controlado por voltagem 1 aumenta para um determinado valor, o cálculo de extração do vetor de rotação V da remoção de transportadora 4 torna-se eficaz de
25 tal forma que a frequência (velocidade) do vetor de rotação V começa a decrescer (fazer referência à FIG. 16A).

Nesta explicação, quando a direção de rotação do

vetor de rotação V no momento do valor de 40 MHz -
(frequência de saída/N) é menor que 4 MHz, em outras
palavras, no momento em que a frequência de saída/N é maior
que 36 MHz é designada como uma direção positiva, isto
5 significa que a frequência do vetor de rotação V rodando na
direção negativa está decrescendo. Nesta ocasião, conforme
se encontra ilustrado na FIG. 16B, a frequência do vetor de
rotação V à qual é aplicada a quantidade de rotação inversa
produzida como saída pela unidade de multiplicação de vetor
10 de rotação inversa 5 é igualmente decrescida. Desta forma,
conforme se encontra ilustrado na FIG. 16C, a saída da
unidade de detecção de diferença de tempo 71 para fase
também se torna menor (a velocidade negativa torna-se
menor), e conforme se encontra ilustrado na FIG. 17A, o
15 valor adicionado da segunda unidade de adição 72
adicionando a saída descrita acima (diferença de fase) e a
quantidade de ajuste fino da frequência também diminui.
Estas mudanças são expressas nas FIGS. 16 e 17 mediante
ilustração de mudanças no aumento de respectivos valores.

20 Adicionalmente, devido ao fato de a saída da
segunda unidade de adição 72, em outras palavras, a entrada
da unidade de adição cumulativa 73 para as diferenças de
fases ser aumentada, a saída da unidade de adição
cumulativa 73 para as diferenças de fase começa a decrescer
25 no momento t2 após o momento t1. A frequência de saída do
oscilador controlado por voltagem 1 é aumentada, a
frequência após divisão de frequência torna-se 36 MHz, e é

alcançada a temporização de parada da velocidade do vetor de rotação V extraído da remoção de transportadora 4. Neste caso, considerando-se a frequência de ajuste grosseiro como sendo ΔF ($n \cdot f_a$), e a frequência de ajuste fino como sendo Δf ($m \cdot f_b$), a frequência do vetor de rotação V extraído da remoção de transportadora 4 é ainda menor que a quantidade necessária para ajuste de frequência $\Delta F + \Delta f$, e na medida em que sua diferença de frequência (saída da segunda unidade de adição 72) é um valor negativo, a frequência do vetor de rotação V aumenta. Então, a frequência do vetor de rotação V será igual a quantidade necessária de ajuste de frequência descrito acima $\Delta F + \Delta f$ no momento t_3 , mas aumenta adicionalmente de acordo com o histórico da PLL até esse momento.

Quando a saída da unidade de adição cumulativa 73 para diferenças de fase aumenta e se torna positiva no momento t_4 conforme se encontra ilustrado na FIG. 17B, a saída do filtro de malha 8 começa a aumentar conforme se encontra ilustrado na FIG. 17C. Quando a saída do filtro de malha 8 é alterada de uma voltagem negativa para uma voltagem positiva, a voltagem de saída da unidade de saída de voltagem 11 é reduzida na quantidade necessária da voltagem de saída do filtro de malha 8 e é fornecida para o oscilador controlado por voltagem 1. Desta forma, a frequência de saída do oscilador controlado por voltagem 1 tende a ser reduzida conforme se encontra ilustrado na FIG. 17D. Devido a este movimento, a velocidade do vetor de

rotação V começa a decrescer, o que causa uma redução da saída da segunda unidade de adição 72. Desta forma, a saída da unidade de adição cumulativa 73 para diferenças de fase tende a ser reduzida. Assim, a saída da unidade de detecção de diferença de tempo 71 para fases é finalmente feita convergir para Δf (no exemplo concreto descrito acima, é 19 Hz) (FIG. 16C), e a saída da segunda unidade de adição 72, em outras palavras, a diferença de frequência extraída pelo meio de extração de diferença de frequência, torna-se zero.

Então, a PLL é sincronizada, e a frequência de saída do oscilador controlado por voltagem 1 é sincronizada em 520,0001 MHz, a frequência definida. Deverá ser observado que visto o filtro de malha 8 ter uma função integral completa neste exemplo, ele converge para uma voltagem de corrente contínua positiva. O tempo desde o início da operação do oscilador controlado por voltagem 1 até a PLL se encontrar sincronizada é de cerca de 150 msec em simulação.

No sintetizador de frequência acima, devido ao fato de a PLL ser formada mediante extração de um vetor de rotação rodando a uma velocidade (frequência) de acordo com a frequência de saída do oscilador controlado por voltagem 1, e mediante extração da diferença entre a frequência deste vetor de rotação e a frequência de um vetor de rotação quando a frequência de saída se torna uma frequência definida para realimentação da mesma para o oscilador controlado por voltagem 1, é possível realizar um

ajuste de frequência minucioso através de uma ampla banda de frequência com baixo ruído. Então, no momento de extração da diferença de frequência, a velocidade do vetor de rotação é reduzida mediante utilização de um vetor de rotação inversa rodando em um ajuste de frequência grosseiro para detecção da velocidade do vetor em sua rotação de velocidade muito baixa e mediante comparação de seu valor detectado com a quantidade de ajuste fino calculada antecipadamente, é extraída a diferença. Desta forma, é possível detectar a frequência de um vetor de rotação com utilização de uma quantidade reduzida de dados e com um cálculo simples conforme descrito acima, tornando possível configurar um sintetizador de frequência com pequeno tamanho de memória e baixa carga de cálculo.

Deverá ser observado que o método de determinação de uma razão N de divisão de frequência não é limitado à forma de determinação do mesmo como uma frequência mais próxima de uma diferença entre a frequência do sinal de relógio de referência utilizado na unidade de conversão A/D 3 e $\omega_0/2\pi$ utilizado no meio de extração de vetor de rotação quando o valor definido de uma frequência de saída do oscilador controlado por voltagem 1 é dividido por N .

Neste caso, na presente configuração, conforme se encontra ilustrado na FIG. 8, é provido um gerador de ruído de banda 90 similar ao da configuração 1 , e esta saída de ruído é adicionada a saída do filtro de passagem de banda baixa 21 em um adicionador 91 e este resultado é utilizado

como uma entrada analógica do conversor A/D 3. com esta configuração, a geração de ruído espúrio devida a uma avaria do conversor A/D 3 é reduzida, e pode ser obtido o alto desempenho no sintetizador de frequência.

5 Adicionalmente, na configuração acima, muito embora tenha sido ilustrada a aplicação do sintetizador de frequência de sistema PLL, é possível obter uma operação e efeito similares mediante aplicação a uma PLL que compara por processamento digital, de um outro dispositivo de
10 processamento digital tal como um analisador de onda.

- REIVINDICAÇÕES -

1. PROCESSADOR DIGITAL, caracterizado por compreender:

um conversor analógico/digital para o qual é
5 alimentado como entrada um sinal de entrada analógico com características altamente cíclicas;

um gerador de ruído de banda que gera ruído em uma banda de frequência determinada;

um dispositivo de adição para adicionar ruído
10 gerado no gerador de ruído de banda ao sinal de entrada do referido conversor analógico/digital; e

uma unidade de processamento digital que realiza processamento digital com base em um sinal digital convertido pelo referido conversor analógico/digital,

15 em que a banda de frequência do ruído produzido como saída do referido gerador de ruído é uma banda que não afeta o processamento digital de sinais na referida unidade de processamento digital.

2. Processador digital, de acordo com a
20 reivindicação 1, caracterizado por compreender adicionalmente:

um oscilador controlado por voltagem provido em um lado de entrada do referido conversor analógico/digital; e

um conversor analógico/digital provido em um lado
25 de saída da referida unidade de processamento digital,

em que uma malha PLL é formada mediante realimentação de um sinal processado pela referida unidade

de processamento digital para o oscilador controlado por
voltage através do referido conversor digital/analógico.

Fig. 1

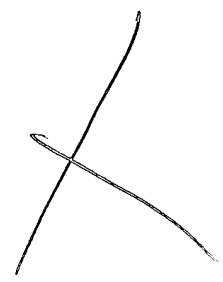
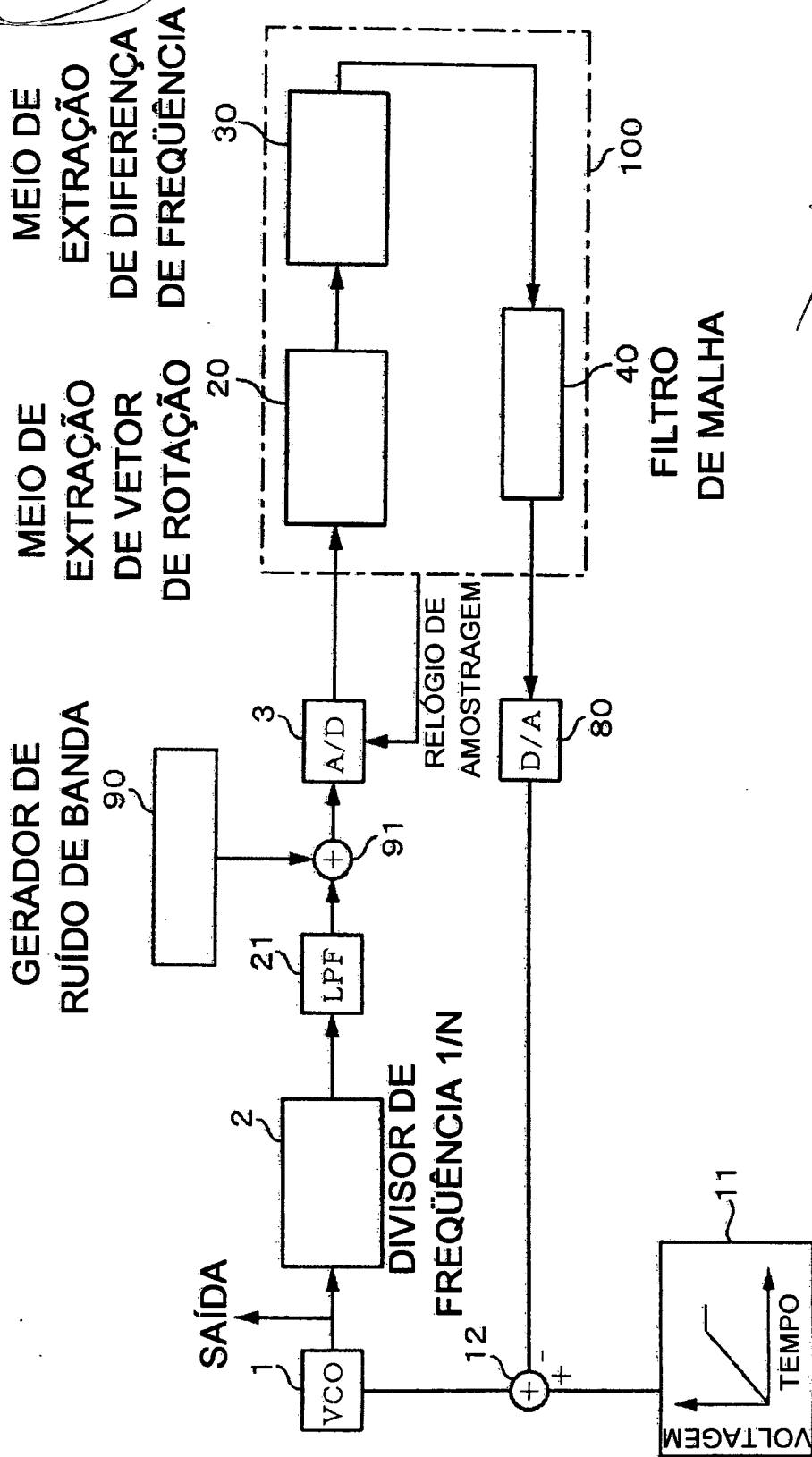


Fig. 2

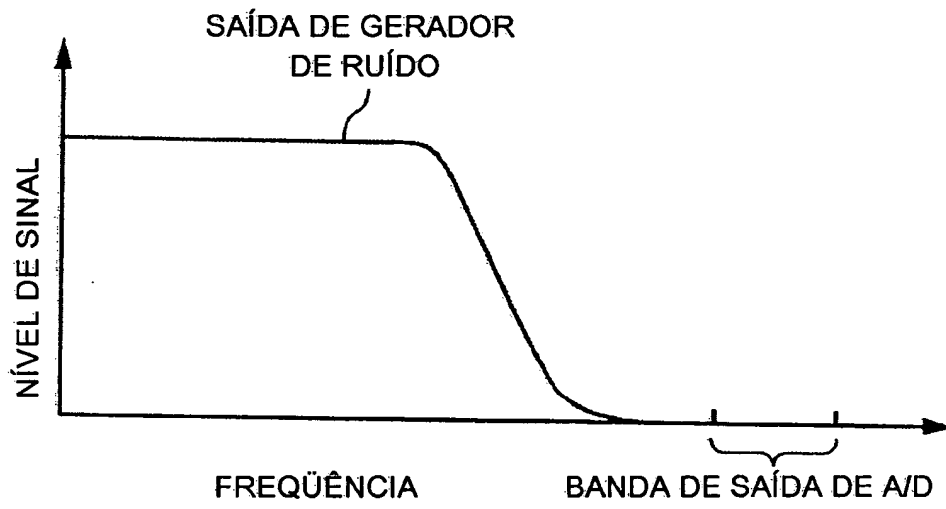


Fig. 3

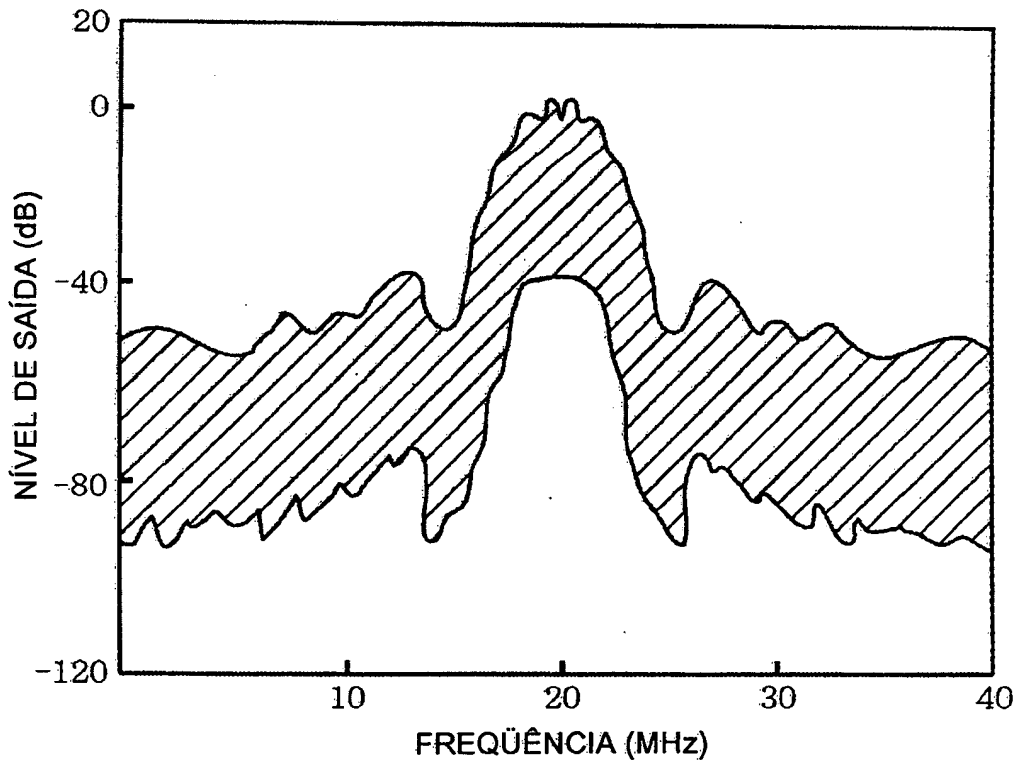
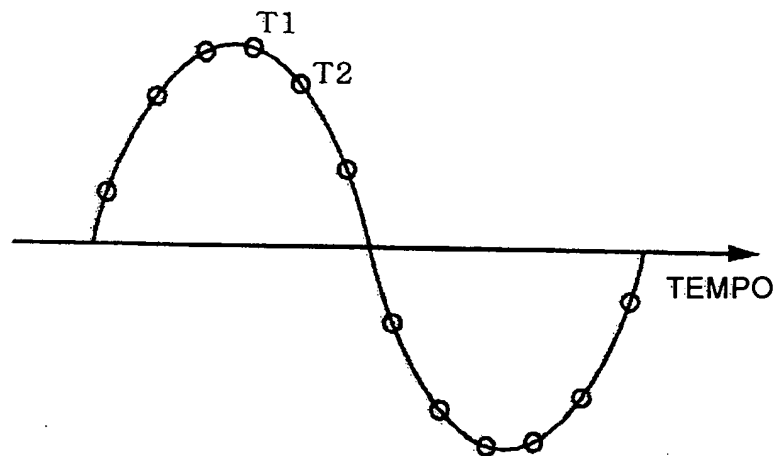


Fig. 4

(a)



(b)

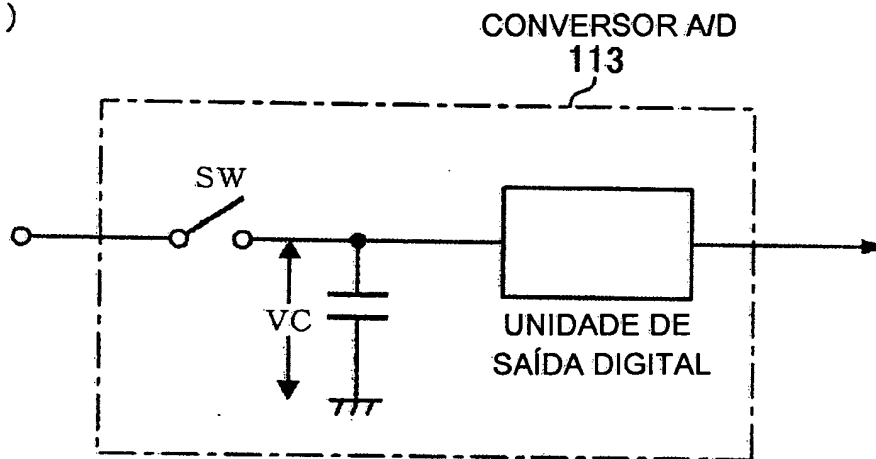


Fig. 5

ENTRADA DE ENVELOPE DE 36666750 Hz/AMOSTRAGEM DE 40 MHz

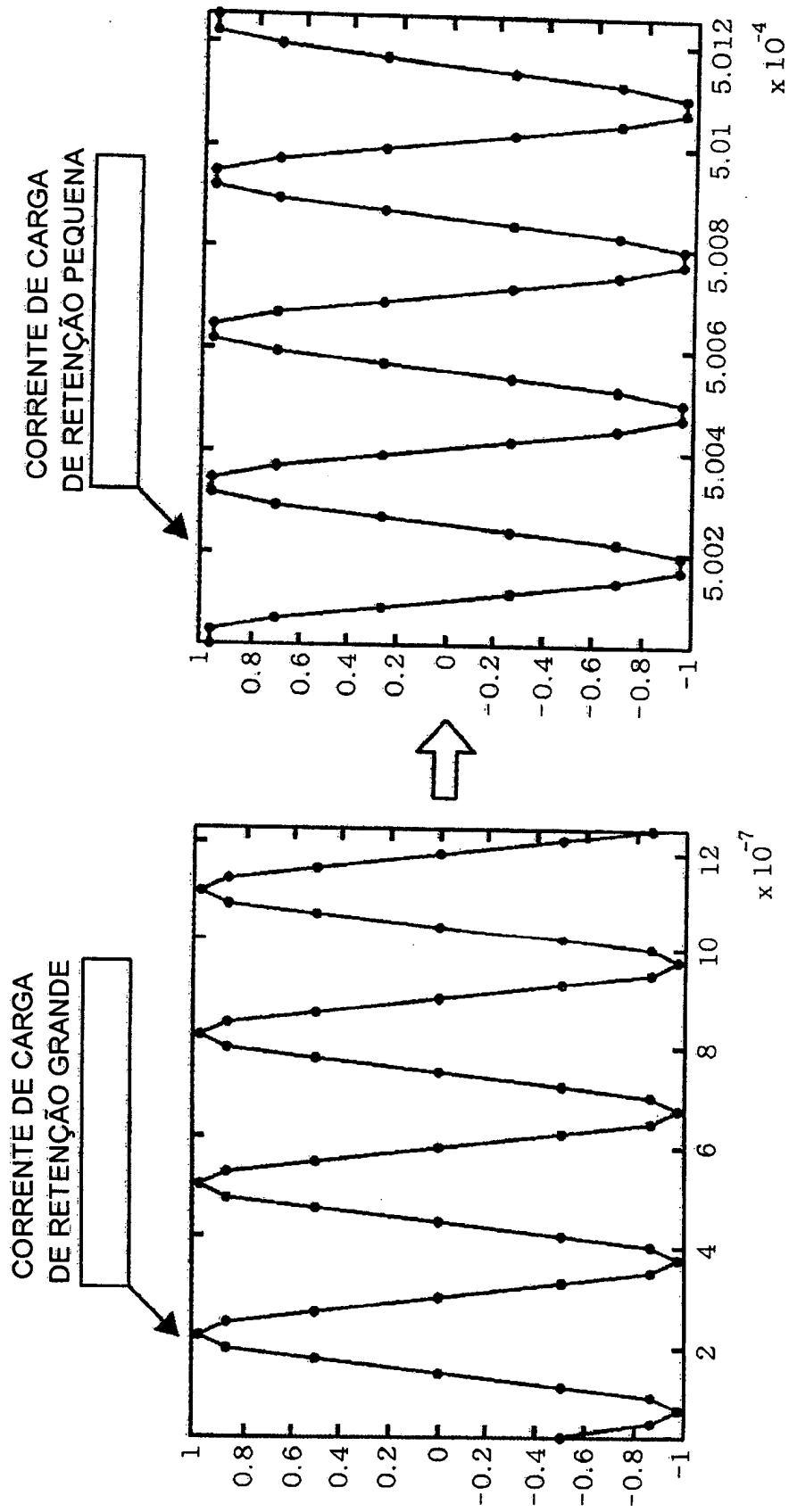


Fig. 6

APLICAÇÃO DE RUÍDO ALEATÓRIO (TRANSPORTADORA $\times 10\%$)
→ CARACTERÍSTICAS CÍCLICAS DESAPARECERAM

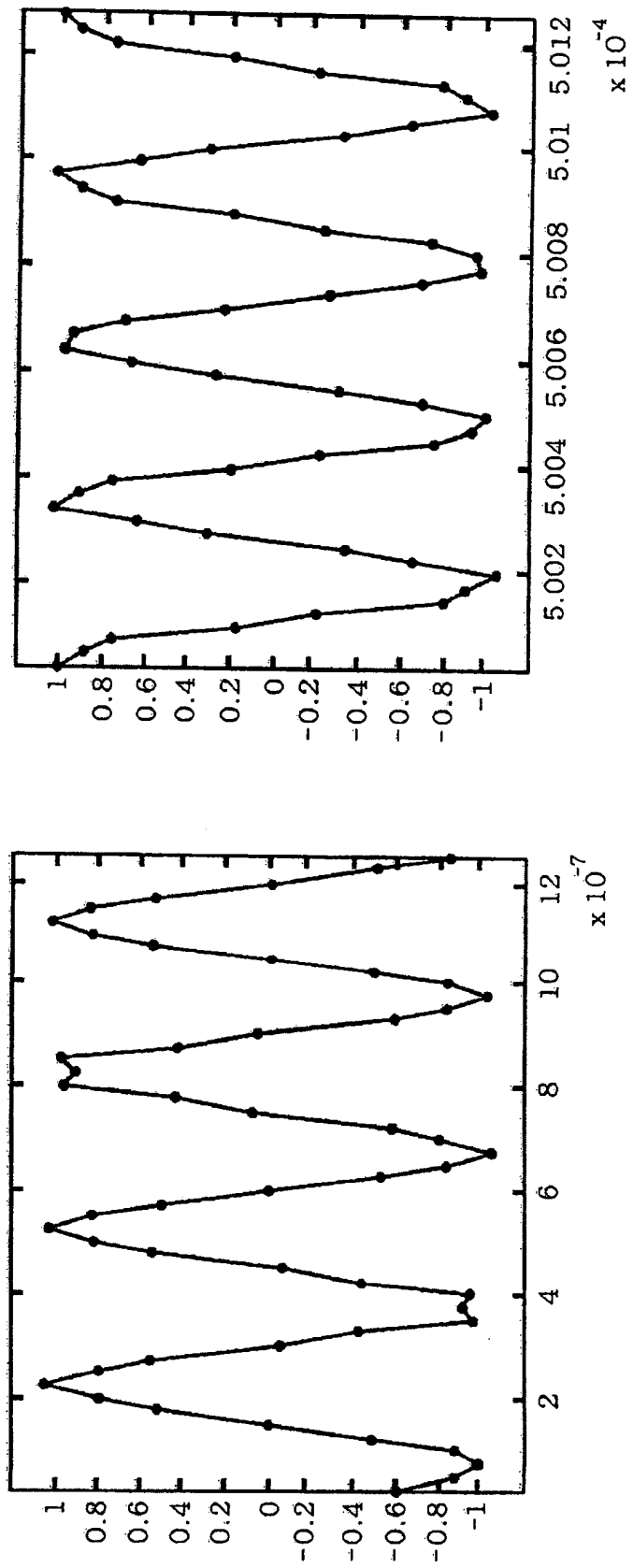
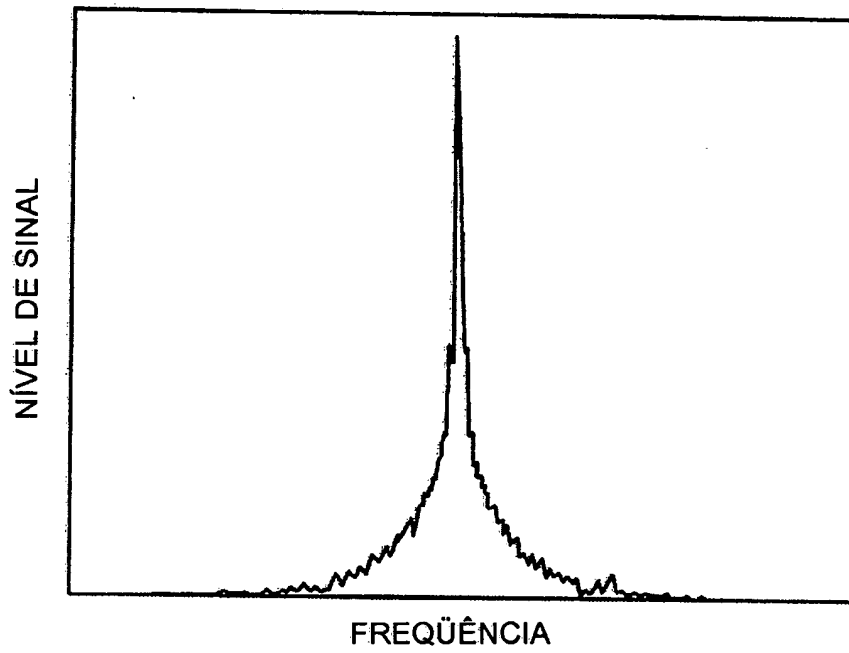
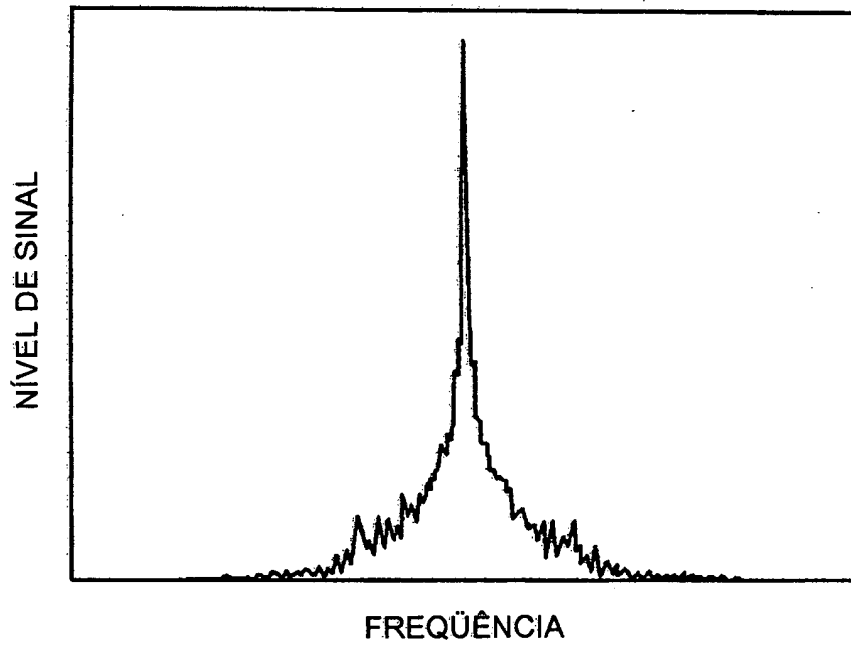


Fig. 7

(a) APÓS A CONTRAMEDIDA



(b) ANTES DA CONTRAMEDIDA



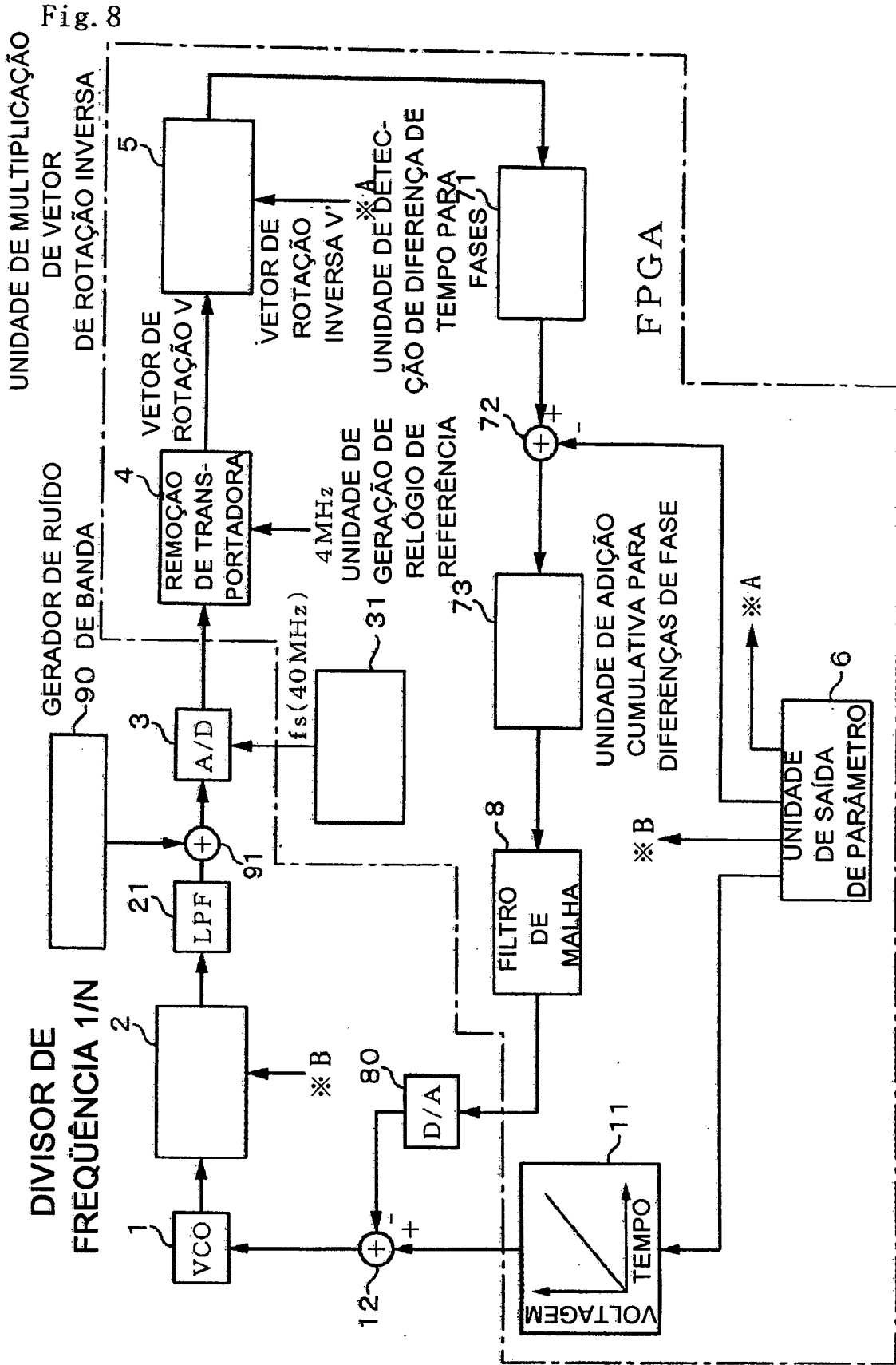


Fig. 9

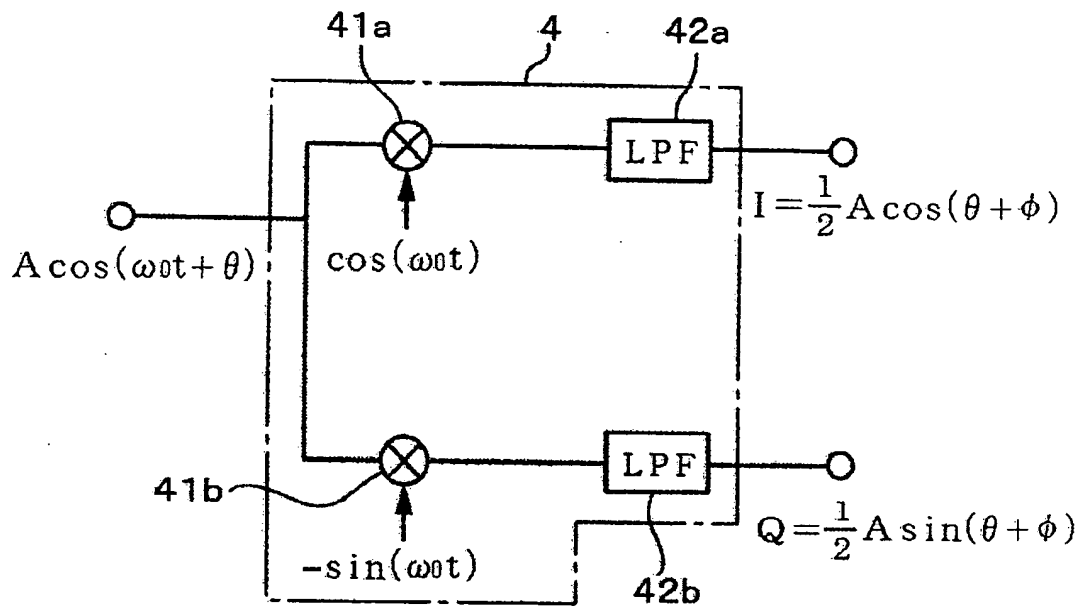


Fig. 10

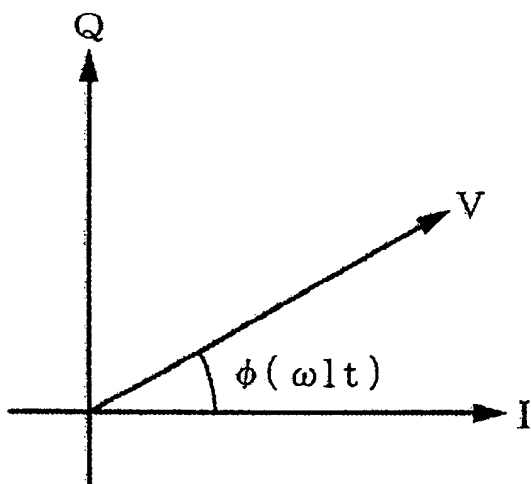


Fig. 11

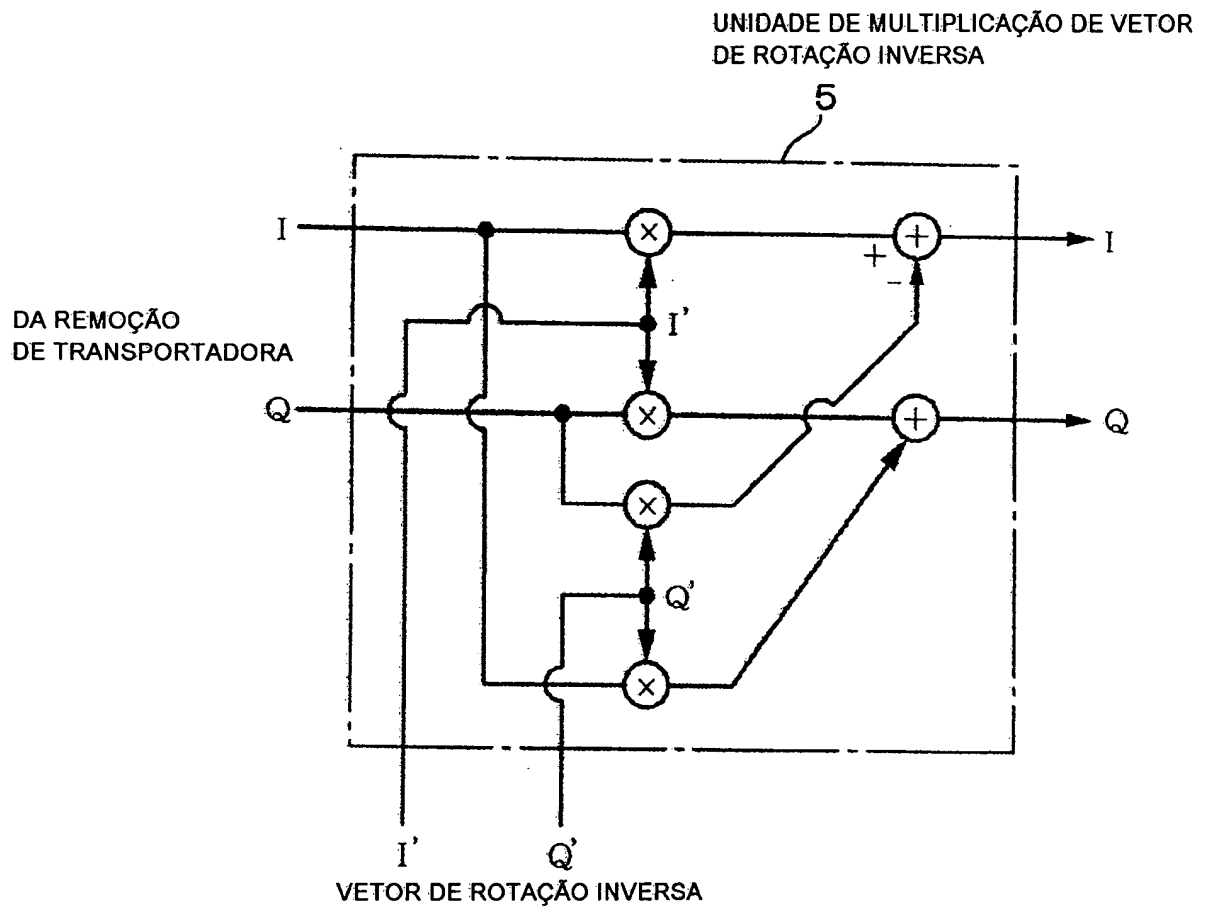


Fig. 12

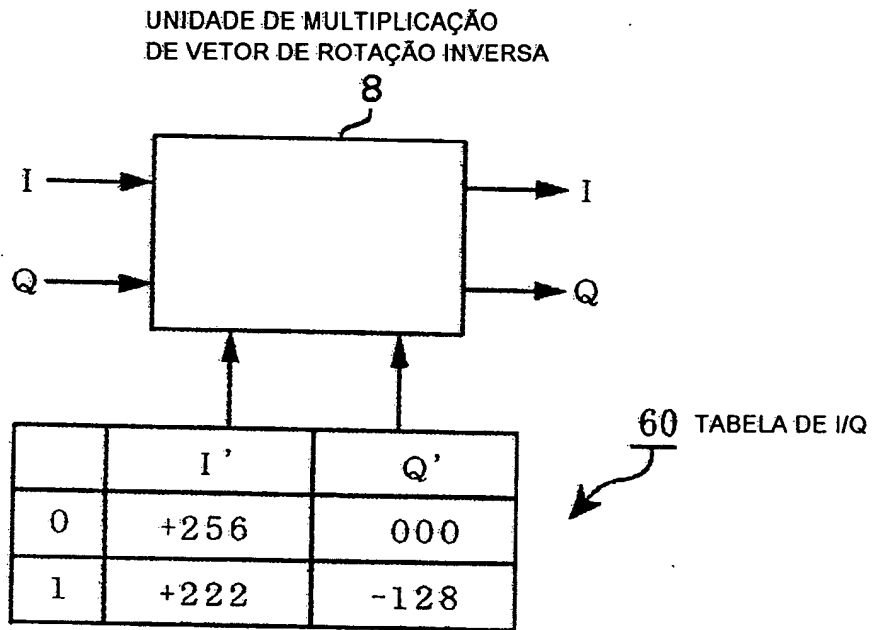


Fig. 13

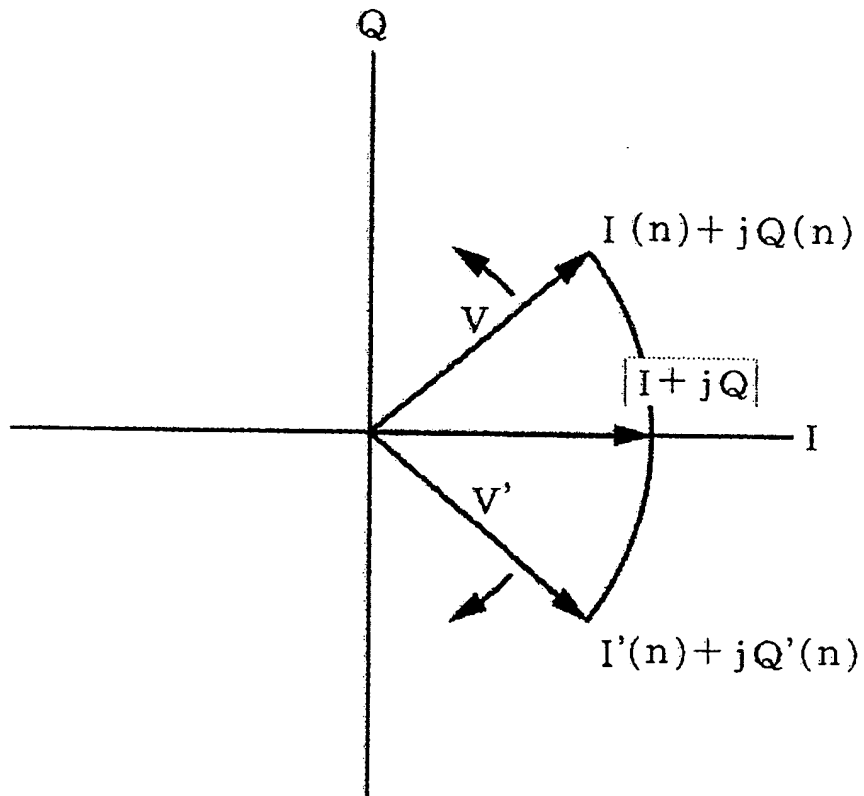


Fig. 14

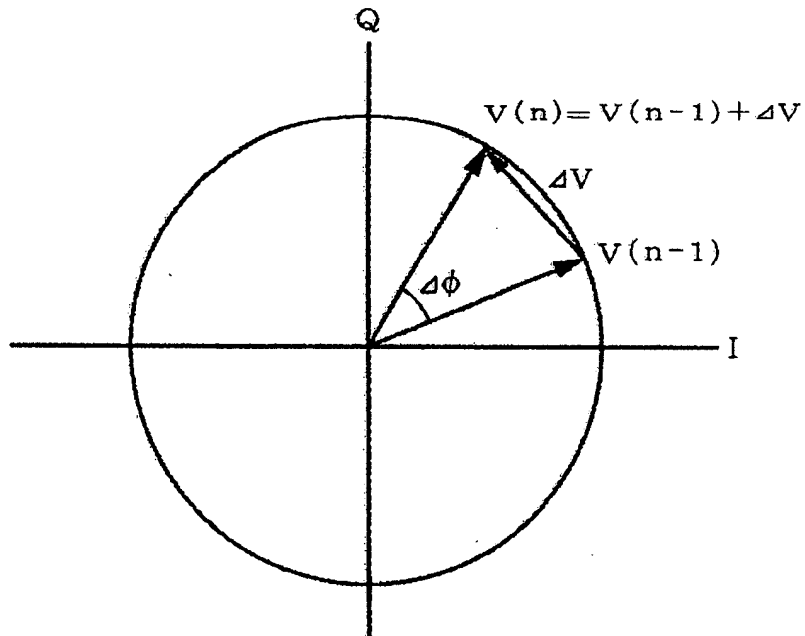
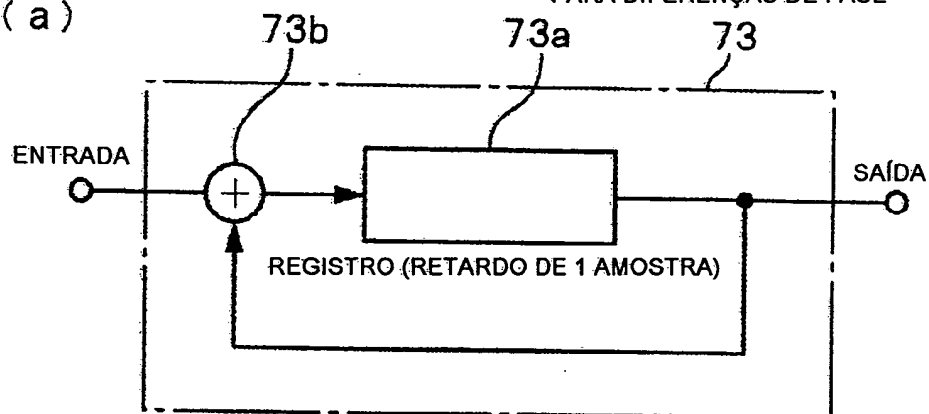


Fig. 15

UNIDADE DE ADIÇÃO CUMULATIVA
PARA DIFERENÇAS DE FASE

(a)



(b)

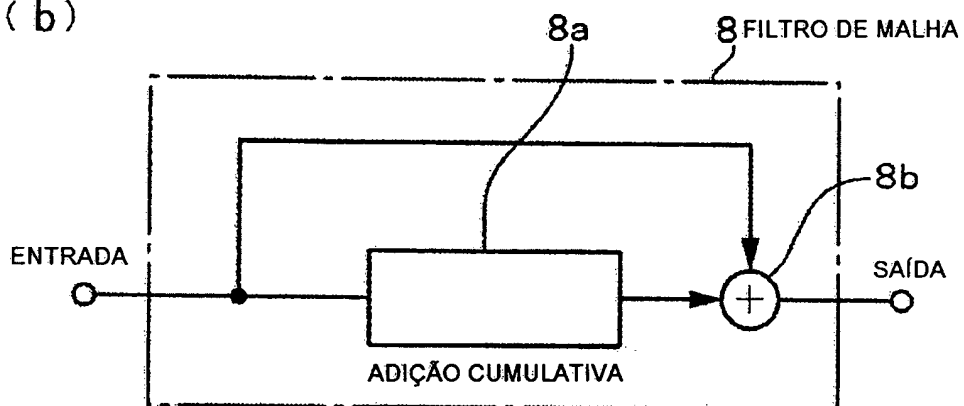
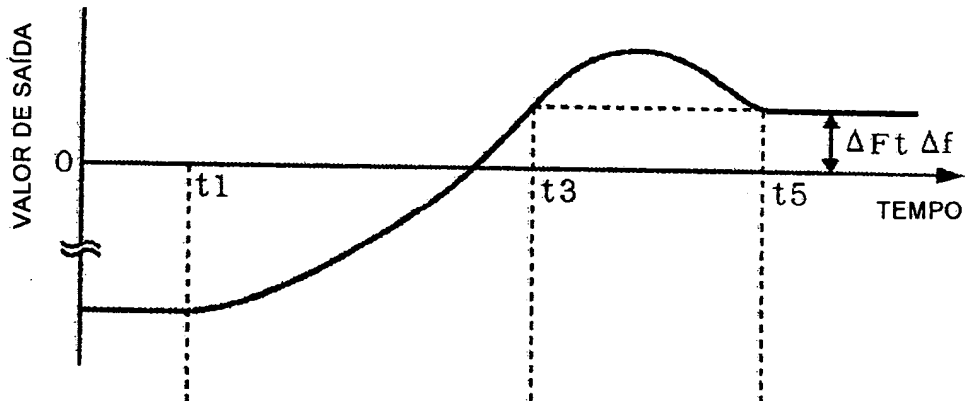
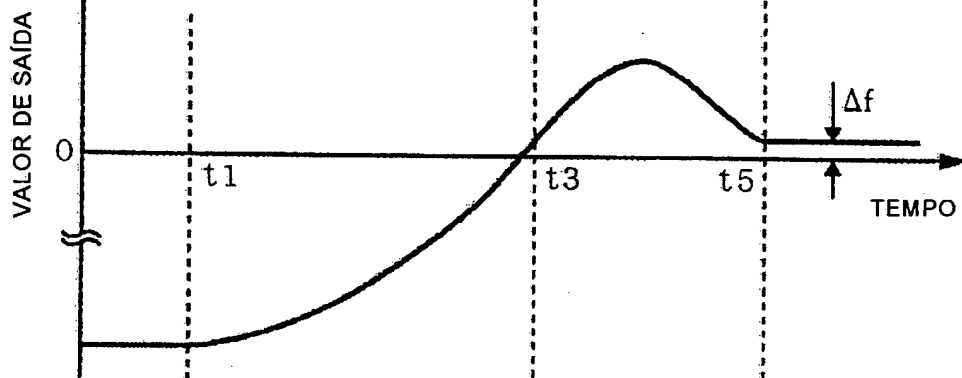


Fig. 16

(a) SAÍDA DA REMOÇÃO DE TRANSPORTADORA
(VELOCIDADE DO VETOR DE ROTAÇÃO)



(b) SAÍDA DA UNIDADE DE MULTIPLICAÇÃO
DE VETOR DE ROTAÇÃO INVERSA



(c) SAÍDA DA UNIDADE DE DETECÇÃO DE DIFERENÇA
DE TEMPO PARA FASE

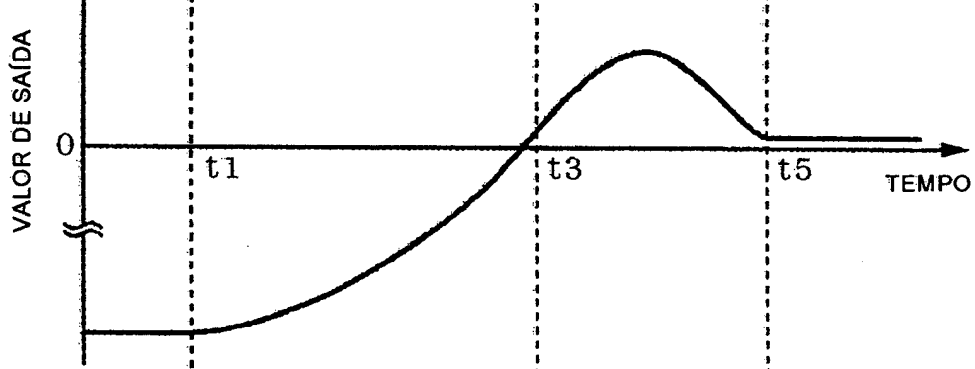
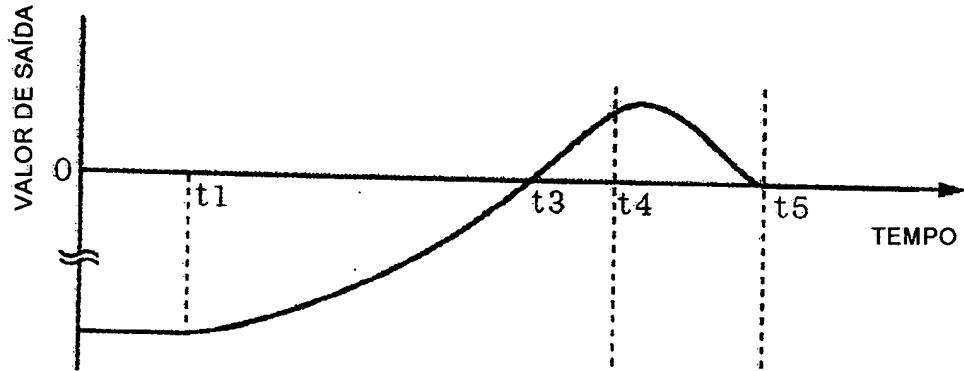
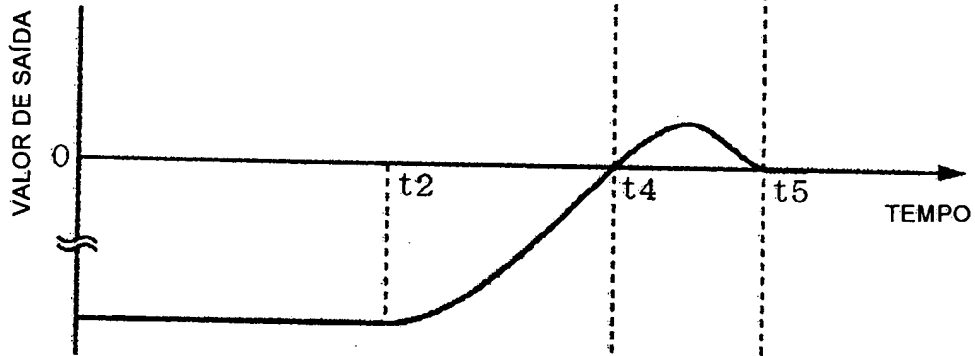


Fig. 17

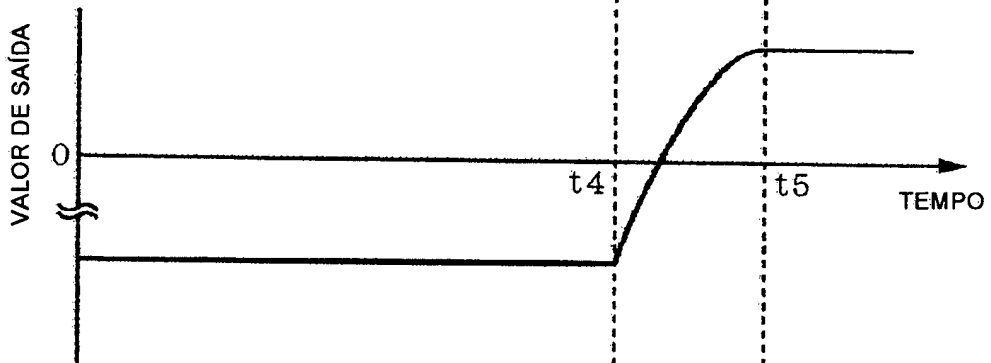
(a) ENTRADA DA UNIDADE DE ADIÇÃO CUMULATIVA
PARA DIFERENÇAS DE FASE



(b) SAÍDA DA UNIDADE DE ADIÇÃO CUMULATIVA
PARA DIFERENÇAS DE FASE



(c) SAÍDA DO FILTRO DE MALHA



(d) SAÍDA DO VCO (OSCILADOR CONTROLADO
POR VOLTAGEM)

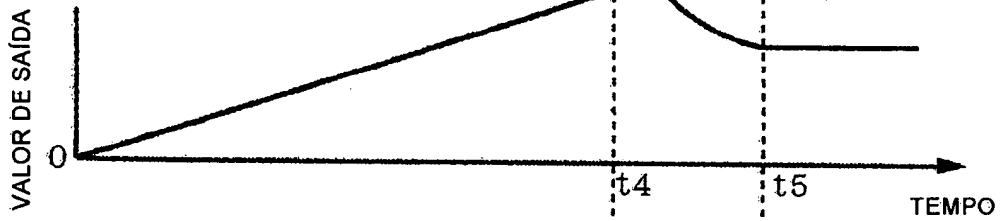
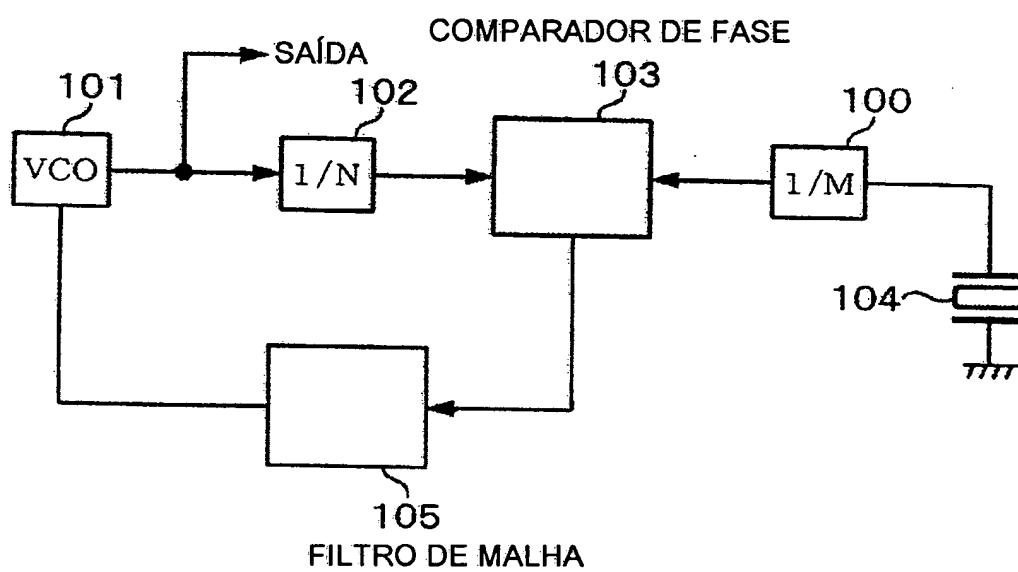


Fig. 18



- RESUMO -

PROCESSADOR DIGITAL

Um objetivo da presente invenção consiste na redução de geração de ruído espúrio devido a um funcionamento incorreto de um conversor A/D em um dispositivo que realiza processamento digital mediante conversão de um sinal analógico de características altamente cíclicas em um sinal digital utilizando o conversor A/D.

10 Como meio de solução concreta, por exemplo, em um sintetizador de frequência de um determinado sistema, o conversor A/D é provido em um lado de saída de um oscilador controlado por voltagem, e seu sinal de saída é fornecido para um dispositivo que realiza processamento digital para realimentação do resultado do processamento para o oscilador controlado por voltagem através de conversão D/A. Neste caso, o ruído gerado no gerador de ruído de banda é adicionado a um sinal de entrada do conversor analógico/digital descrito acima. Este ruído de banda é de uma banda que não afeta o processamento digital de sinais realizado pelo dispositivo.