(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년12월14일
(11) 등록번호 10-0931815
(24) 등록일자 2009년12월07일

(51) Int. Cl.
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
H01L 29/788 (2006.01)
(21) 출원번호 10-2001-0058290
(22) 출원일자 2001년09월20일
심사청구일자 2006년09월20일
(65) 공개번호 10-2002-0022629
(43) 공개일자 2002년03월27일
(30) 우선권주장
09/917,023 2001년07월26일 미국(US)
(뒷면에 계속)
(56) 선행기술조사문헌
US06103573 A
(뒷면에 계속)
전체 청구항 수 : 총 37 항

(73) 특허권자
실리콘 스토리지 테크놀로지 인크
미국, 캘리포니아 94086, 서니베일, 소노라 코트 1171
(72) 발명자
왕치신
캐나다,95120,샌조스,길리스드랑브6585
(74) 대리인
손영태, 장훈

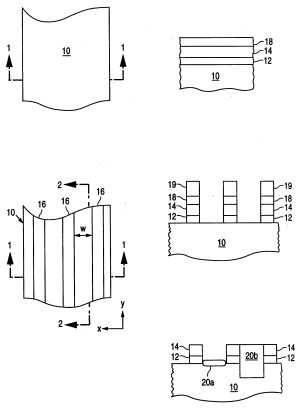
심사관 : 장완호

(54) 제어 게이트들 돌출부들을 갖는 플로팅 게이트 메모리셀들의 반도체 메모리 어레이를 형성하는 자기-정렬 방법및 그것에 의해 제조된 메모리 어레이

(57) 요 약

본 발명은 칼럼 방향으로 실질적으로 서로 평행한 기판 상에 활성 영역들 및 공간적으로 떨어진 복수의 절연 영역들을 가진 반도체 기판에서 플로팅 게이트 메모리 셀의 반도체 메모리 어레이를 형성하는 자기-정렬 방법에 관한 것이다. 플로팅 게이트는 활성 영역 각각에 형성된다. 로우 방향으로, 트랜치는 톱니모양을 갖도록 형성된다. 트랜치는 제어 게이트를 구성하는 도전 재료의 블록을 형성하기 위하여 도전 재료로 채워진다. 트랜치 톱니모양은 플로팅 게이트상으로 연장하는 제어 게이트상 돌출부의 형성을 유발한다.

대 표 도



(56) 선행기술조사문헌
US06091104 A
US05814853 A
US05811853 A
US05808328 A
US05796139 A
(30) 우선권주장
60/234,314 2000년09월20일 미국(US)
60/233,988 2000년09월20일 미국(US)
60/242,096 2000년10월19일 미국(US)
60/275,517 2001년03월12일 미국(US)
60/287,047 2001년04월26일 미국(US)

특허청구의 범위

청구항 1

반도체 기판에 플로팅 게이트 메모리 셀들(floating gate memory cells)의 반도체 메모리 어레이를 형성하는 자기-정렬 방법으로서, 각각의 메모리 셀은 플로팅 게이트, 제 1 단자, 그들 사이에 채널 영역을 갖는 제 2 단자 및 제어 게이트를 가지는, 상기 자기-정렬 방법에 있어서,

a) 서로 평행하고 제 1 방향으로 연장하며, 인접한 절연 영역들의 각 쌍 사이에 활성 영역을 가지는, 상기 기판 상에 공간적으로 떨어진 복수의 절연 영역들을 형성하는 단계로서, 상기 활성 영역들 각각은 상기 반도체 기판 상에 제 1 절연 재료층 및 상기 제 1 절연 재료층 상에 제 1 도전 재료층을 포함하는, 상기 절연 영역들을 형성하는 단계와,

b) 서로 평행하고 상기 제 1 방향에 수직인 제 2 방향으로 연장하고, 상기 활성 영역들 각각에서의 상기 제 1 도전 재료층을 노출시키는, 상기 활성 영역들과 절연 영역들을 가로지르는 공간적으로 떨어진 복수의 제 1 트랜치들(trenches)을 형성하는 단계로서, 상기 제 1 트랜치들 각각은 내부에 형성된 톱니 모양(indentation)을 가진 측벽을 갖는, 상기 트랜치들을 형성하는 단계와,

c) 상기 제 1 도전 재료층에 인접하고 그 위에 배치된 활성 영역들 각각에 제 2 절연 재료층을 형성하는 단계와,

d) 상기 제 2 도전 재료의 블록들을 형성하기 위하여 제 2 도전 재료로 상기 제 1 트랜치들 각각을 채우는 단계로서, 각각의 활성 영역의 블록들 각각에 대하여,

상기 블록은 상기 제 2 절연 재료층에 인접하고 상기 기판으로부터 절연되며,

상기 블록은 상기 제 2 절연 재료층 및 상기 제 1 도전 재료층 상에 배치되는 상기 제 1 트랜치 측벽에 톱니모양에 의해 형성된 돌출부를 포함하는, 상기 제 1 트랜치들 각각을 채우는 단계와,

e) 상기 기판에 복수의 제 1 단자들을 형성하는 단계로서, 활성 영역들 각각에서 상기 제 1 단자들 각각이 상기 블록들 중 하나에 인접하는, 상기 제 1 단자들을 형성하는 단계와,

f) 상기 기판에 복수의 제 2 단자들을 형성하는 단계로서, 활성 영역들 각각에서 상기 제 2 단자들 각각이 상기 제 1 단자로부터 공간적으로 떨어지고 상기 제 1 도전 재료층 아래에 놓이는, 상기 제 2 단자들을 형성하는 단계를 포함하는, 자기-정렬 방법.

청구항 2

제 1 항에 있어서, 각 블록의 하부는 상기 제 1 도전층에 인접하고 상기 제 2 절연층에 의해 그로부터 절연되는, 자기-정렬 방법.

청구항 3

제 1 항에 있어서, 상기 제 2 절연 재료층을 형성하는 단계는, 상기 제 1 트랜치들의 측벽들 상에 절연 재료를 형성하는 단계와, 상기 제 1 도전 재료층의 상부 표면 상에 절연 재료를 형성하는 단계를 포함하는, 자기-정렬 방법.

청구항 4

제 1 항에 있어서,

서로 평행하고 상기 제 2 방향으로 연장하는 상기 활성 영역들과 절연 영역들을 가로지르는 공간적으로 떨어진 복수의 제 2 트랜치들을 형성하는 단계로서, 상기 제 2 트랜치들 각각은 상기 블록들의 선택된 쌍들 사이에 형성되고 상기 제 2 단자를 노출시키기 위하여 상기 제 1 도전 재료층 및 상기 제 1 절연 재료층을 통하여 연장하는, 상기 제 2 트랜치들을 형성하는 단계와,

상기 제 2 트랜치들의 측벽들을 따라 제 3 절연 재료층을 형성하는 단계와,

상기 제 3 절연 재료층에 의해 상기 제 1 도전층으로부터 절연되는 도전 재료로 상기 제 2 트랜치들 각각을 채

우는 단계를 더 포함하는, 자기-정렬 방법.

청구항 5

제 1 항에 있어서, 상기 블록들 각각은 상기 돌출부 아래에 노치(notch)를 가지는 제어 게이트를 형성하는, 자기-정렬 방법.

청구항 6

제 1 항에 있어서, 상기 제 1 트랜치들을 형성하는 단계는,

상기 제 1 도전 재료층 상에 적어도 하나의 재료층을 형성하는 단계와,

상기 제 1 트랜치들의 상단부들을 형성하기 위하여 적어도 하나의 재료층을 통해 에칭하는 단계와,

상기 제 1 트랜치들 각각의 측벽들 상에 측벽 스페이서들을 형성하는 단계와,

상기 제 1 트랜치들의 하단부들을 형성하기 위하여 상기 제 1 도전 재료층을 통해, 그리고 상기 제 1 트랜치들 각각의 상기 측벽 스페이서들 사이에서 에칭하는 단계와,

상기 제 1 트랜치들 각각으로부터 상기 측벽 스페이서들을 제거하는 단계를 포함하며,

상기 제 1 트랜치들의 하단부들은 상기 제 1 트랜치들의 상단부들부다 더 작은 폭을 가지는, 자기-정렬 방법.

청구항 7

제 1 항에 있어서, 제 2 도전 재료의 각각의 블록들 상에 금속화된 실리콘 층을 형성하는 단계를 더 포함하는, 자기-정렬 방법.

청구항 8

제 1 항에 있어서,

상기 제 1 트랜치들을 형성하는 단계는, 상기 활성 영역들과 절연 영역들을 가로지르는 상기 제 1 트랜치들의 선택된 쌍들 사이에 중간 트랜치들을 형성하는 단계로서, 상기 중간 트랜치들은 서로 평행하고 상기 제 2 방향으로 연장하는, 상기 중간 트랜치들을 형성하는 단계를 포함하며,

상기 제 1 트랜치들을 채우는 단계는, 상기 중간 트랜치들에 상기 제 2 도전 재료의 블록들을 형성하기 위하여 상기 제 2 도전 재료로 상기 중간 트랜치를 채우는 단계를 포함하는, 자기-정렬 방법.

청구항 9

제 8 항에 있어서, 제 2 도전 재료의 각각의 블록들 상에 금속화된 실리콘 층을 형성하는 단계를 더 포함하는, 자기-정렬 방법.

청구항 10

제 8 항에 있어서,

서로 평행하고 상기 제 2 방향으로 연장하는 상기 활성 영역들과 절연 영역들을 가로지르는 공간적으로 떨어진 복수의 제 2 트랜치들을 형성하는 단계로서, 상기 제 2 트랜치들은 상기 중간 트랜치들에서 상기 제 2 도전 재료를 제거함으로써 형성되고, 상기 제 2 단자를 노출시키기 위하여 상기 제 1 도전 재료층 및 상기 제 1 절연 재료층을 통해 중간 트랜치를 연장시키는, 상기 제 2 트랜치들을 형성하는 단계와,

상기 제 2 트랜치들의 측벽들을 따라 제 3 절연 재료층을 형성하는 단계와,

상기 제 3 절연 재료층에 의해 상기 제 1 도전 층으로부터 절연되는 도전 재료로 상기 제 2 트랜치들 각각을 채우는 단계를 더 포함하는, 자기-정렬 방법.

청구항 11

제 1 항에 있어서,

도전 재료의 상기 블록들의 각각의 측벽을 따라 절연 재료의 측벽 스페이서를 형성하는 단계와,

상기 측벽 스페이서들 중 하나에 바로 인접한 상기 제 1 단자들 각각에 금속화된 실리콘 층을 형성하는 단계로서, 상기 금속화된 실리콘 층들 각각은 상기 측벽 스페이서 중 상기 하나와 자기-정렬되는, 상기 금속화된 실리콘 층을 형성하는 단계를 더 포함하는, 자기-정렬 방법.

청구항 12

제 11 항에 있어서,

제 2 도전 재료의 상기 각각의 블록들 상에 금속화된 실리콘 층을 형성하는 단계로서, 상기 제 1 트랜치들 각각에 대하여, 상기 제 1 트랜치의 측벽은 제 2 도전 재료의 상기 블록 에지에 대해 상기 금속화된 실리콘 에지를 정렬시키는, 상기 금속화된 실리콘 층을 형성하는 단계와,

상기 금속화된 실리콘 층위에 제 3 절연 재료층을 형성하는 단계로서, 상기 제 1 트랜치들 각각에 대하여, 상기 제 1 트랜치의 상기 측벽은 상기 금속화된 실리콘 에지와 제 2 도전 재료의 상기 블록 에지에 대해 상기 제 3 절연 재료층의 에지를 정렬시키는, 상기 제 3 절연 재료층을 형성하는 단계를 더 포함하는, 자기-정렬 방법.

청구항 13

제 11 항에 있어서, 상기 각각의 금속화된 실리콘 층들 위에, 그리고 거기에 정렬된 상기 측벽 스페이서에 대해 도전 재료를 형성하는 단계를 더 포함하는, 자기-정렬 방법.

청구항 14

제 11 항에 있어서, 상기 측벽 스페이서들 각각을 형성하는 단계는, 상기 측벽 스페이서와 상기 도전 재료의 블록의 상기 측벽 사이에 절연 재료 층을 형성하는 단계를 포함하는, 자기-정렬 방법.

청구항 15

제 1 항에 있어서,

상기 제 2 측벽 스페이서들의 쌍들이 상기 제 1 단자들 중 하나와 서로 인접하지만 그 사이가 공간적으로 떨어지도록, 도전 재료의 상기 블록들 각각의 측벽을 따라 절연 재료의 제 2 측벽 스페이서를 형성하는 단계와,

금속화된 실리콘 층이 제 2 측벽 스페이서들의 대응하는 쌍에 의해 하나의 제 1 단자에 대해 자기-정렬되도록, 상기 하나의 제 1 단자에 대응하는 한 쌍의 상기 제 2 측벽 스페이서들 사이에 상기 각각의 제 1 단자들 상에 상기 금속화된 실리콘층을 형성하는 단계와,

상기 활성 영역 상에 패시베이션 재료의 층을 형성하는 단계와,

상기 패시베이션 재료를 통하여 접촉 개구들을 형성하는 단계로서, 상기 접촉 개구들 각각에 대해,

상기 접촉 개구는 상기 금속화된 실리콘 층들 중 하나 아래로 연장하여 노출되고,

상기 접촉 개구는 제 2 측벽 스페이서들의 대응하는 쌍에 의해 경계가 이루어진 하부를 가지며,

상기 접촉 개구는 제 2 측벽 스페이서들의 대응하는 쌍 사이의 간격보다 더 넓은 상부를 가지는, 상기 접촉 개구들을 형성하는 단계와,

상기 접촉 개구들 각각을 도전 재료로 채우는 단계를 더 포함하는, 자기-정렬 방법.

청구항 16

제 1 항에 있어서, 서로 평행하고 상기 제 2 방향으로 연장하는 상기 활성 영역들과 절연 영역들을 가로지르는 공간적으로 떨어진 복수의 제 2 트랜치들을 형성하는 단계로서, 상기 제 2 트랜치들 각각은 제 2 도전 재료의 상기 블록 중 하나와 인접하게 형성되고 상기 제 1 도전 재료층의 일부를 노출시키는, 상기 제 2 트랜치들을 형성하는 단계를 더 포함하는, 자기-정렬 방법.

청구항 17

제 16 항에 있어서,

상기 제 2 트랜치들의 측벽들을 따라 제 3 절연 재료층을 형성하는 단계와,

상기 제 2 트랜치들 각각의 상기 제 1 도전 재료층의 상기 노출된 부분 상에 렌즈 모양의 산화물 층을 형성하는 단계를 더 포함하는, 자기-정렬 방법.

청구항 18

제 1 항에 있어서, 상기 제 1 트랜치들 각각에 대하여,

상기 제 1 트랜치는 상부 및 하부를 가지며 상기 상부는 상기 하부의 폭보다 더 큰 폭을 가지며,

상기 제 1 트랜치 측벽의 톱니모양은 상기 제 1 트랜치부 상부와 하부 사이에 형성되는, 자기-정렬 방법.

청구항 19

제 18 항에 있어서, 각 블록의 하부는 상기 제 1 도전 층에 인접하게 배치되고 상기 제 2 절연층에 의해 그로부터 절연되는, 자기-정렬 방법.

청구항 20

전기적으로 프로그램가능하고 소거가능한 메모리 장치들의 어레이에 있어서,

제 1 도전 타입의 반도체 재료의 기판과,

서로 평행하고 제 1 방향으로 연장하며 인접한 절연 영역들의 각각의 쌍 사이에 활성 영역을 가지는, 상기 기판 상에 형성된 공간적으로 떨어진 절연 영역들과,

상기 제 1 방향으로 연장하는 복수의 메모리 셀들을 포함하는 상기 활성 영역들 각각을 포함하고,

상기 메모리 셀들 각각은,

제 2 도전 타입을 가지는 상기 기판에 형성된 공간적으로 떨어진 제 1 및 제 2 단자들로서, 그 사이의 기판에 채널 영역이 형성되는, 상기 제 1 및 제 2 단자들과,

상기 채널 영역을 포함하는 상기 기판 상에 배치된 제 1 절연 층과,

상기 제 1 절연층 위에 배치되고 상기 채널 영역의 일부 및 상기 제 2 단자의 일부위로 연장하는 전기 도전 플로팅 게이트와,

상기 플로팅 게이트 위에, 그리고 인접하게 배치되고, 거기를 통해 전하들의 파울러-노드하임 터널링(Fowler-Nordheim tunneling)을 허용하는 두께를 가지는 제 2 절연 층과,

상기 제 2 절연층 및 상기 플로팅 게이트에 인접하게 배치된 평탄한 측벽부, 및 상기 플로팅 게이트 위로 부분적으로 연장하도록 상기 평탄한 측벽부로부터 돌출하고 그로부터 절연되는 돌출부들을 포함하는 전기 도전 제어 게이트를 포함하 는, 전기적으로 프로그램가능하고 소거가능한 메모리 장치들의 어레이.

청구항 21

제 20 항에 있어서, 상기 제어 게이트들 각각은 상기 제 1 방향과 수직인 제 2 방향으로 인접 절연 영역들을 가로질러 연장하고 인접 활성 영역들의 제어 게이트들과 전기적으로 접속되는, 전기적으로 프로그램가능하고 소거가능한 메모리 장치들의 어레이.

청구항 22

제 20 항에 있어서, 상기 제어 게이트는 상기 돌출부 아래에 노치를 형성하는, 전기적으로 프로그램가능하고 소거가능한 메모리 장치들의 어레이.

청구항 23

제 20 항에 있어서, 상기 제어 게이트들 각각은 제 1 부분 및 제 2 부분을 가지며, 상기 제 1 부분은 직사각형 모양이고 상기 제 2 절연층 및 상기 플로팅 게이트에 인접 배치되며, 상기 제 2 부분의 일부는 상기 제 2 절연층의 일부 및 상기 플로팅 게이트의 일부위로 연장하도록, 상기 제 2 부분은 직사각형 모양이고 상기 제 1 부분의 폭보다 더 큰 폭을 가지는, 전기적으로 프로그램가능하고 소거가능한 메모리 장치들의 어레이.

청구항 24

반도체 기판에 플로팅 게이트 메모리 셀들의 반도체 메모리 어레이를 형성하는 자기-정렬 방법으로서, 각각의 메모리 셀은 플로팅 게이트, 제 1 단자, 그들 사이에 채널 영역을 갖는 제 2 단자 및 제어 게이트를 가지는, 상기 자기-정렬 방법에 있어서,

a) 서로 평행하고 제 1 방향으로 연장하며 인접한 절연 영역들의 각각의 쌍 사이에 활성 영역을 가지는, 기판 상에 공간적으로 떨어진 복수의 절연 영역들을 형성하는 단계로서, 상기 활성 영역들 각각은 상기 반도체 기판 상의 제 1 절연 재료층 및 상기 제 1 절연 재료층 상의 제 1 도전 재료층을 포함하는, 절연 영역들을 형성하는 단계와,

b) 서로 평행하고 상기 제 1 방향과 수직인 제 2 방향으로 연장하고, 상기 활성 영역들 각각의 상기 제 1 도전 재료층을 노출시키는 상기 활성 영역들과 절연 영역들을 가로지르는 공간적으로 떨어진 복수의 제 1 트랜치들을 형성하는 단계와,

c) 상기 제 1 도전 재료층 상에, 그리고 인접하게 배치된 상기 활성 영역들 각각에 제 2 절연 재료층을 형성하는 단계와,

d) 상기 제 1 트랜치들의 측벽들 상에 재료의 제 1 측벽 스페이서들을 형성하는 단계와,

e) 상기 제 1 측벽 스페이서들 각각 상에 재료의 제 2 측벽 스페이서를 형성하는 단계와,

f) 상기 활성 영역들 각각에 제 2 트랜치들을 형성하는 단계로서, 상기 제 2 트랜치들 각각은 상기 제 1 측벽 스페이서들 중 하나에 바로 인접한 측벽을 가지는, 상기 제 2 트랜치들을 형성하는 단계와,

g) 상기 제 2 트랜치 측벽들 각각에 톱니모양을 형성하기 위해 상기 제 1 측벽 스페이서들을 제거하는 단계와,

h) 상기 제 2 도전 재료의 블록들을 형성하기 위하여 제 2 도전 재료로 상기 제 2 트랜치들 각각을 채우는 단계로서, 각 활성 영역의 블록들 각각에 대하여,

상기 블록은 상기 제 2 절연 재료층에 인접하고 상기 기판으로부터 절연되고,

상기 블록은 상기 제 2 절연 재료층 및 상기 제 1 도전 재료층 상에 배치되는 상기 제 2 트랜치 측벽 톱니모양에 의해 형성된 돌출부를 포함하는, 상기 제 2 트랜치들 각각을 채우는 단계와,

i) 상기 기판에 복수의 제 1 단자들을 형성하는 단계로서, 상기 활성 영역들 각각에서 상기 제 1 단자들 각각은 상기 블록들 중 하나에 인접하는, 상기 제 1 단자들을 형성하는 단계와,

j) 상기 기판에 복수의 제 2 단자들을 형성하는 단계로서, 상기 활성 영역들 각각에서, 상기 제 2 단자들 각각은 상기 제 1 단자들으로부터 공간적으로 떨어지고 상기 제 1 도전 재료층 아래에 있는, 상기 제 2 단자들을 형성하는 단계를 포함하는, 자기-정렬 방법.

청구항 25

제 24 항에 있어서, 상기 제 1 스페이서들 각각은 상기 제 2 절연 재료층 바로 위에 형성되는, 자기-정렬 방법.

청구항 26

제 24 항에 있어서, 상기 제 2 스페이서들 각각은 상기 제 2 절연 재료층 바로 위에 형성되는, 자기-정렬 방법.

청구항 27

제 24 항에 있어서, 각각의 블록의 하부는 상기 제 1 도전층에 인접하게 배치되고 상기 제 2 절연층에 의해 그로부터 절연되는, 자기-정렬 방법.

청구항 28

제 24 항에 있어서, 상기 블록들 각각은 상기 돌출부 아래에 노치를 갖는 제어 게이트를 형성하는, 자기-정렬 방법.

청구항 29

제 24 항에 있어서, 상기 제 2 트랜치들을 형성하는 단계는 상기 활성 영역들 각각에서 상기 제 1 도전 재료층을 노출시키는 단계를 포함하는, 자기-정렬 방법.

청구항 30

제 29 항에 있어서, 상기 제 2 절연 재료층을 형성하는 단계는, 상기 제 2 트랜치들의 측벽들 상에 절연 재료를 형성하는 단계와, 상기 제 1 도전 재료층의 상부 표면 상에 절연 재료를 형성하는 단계를 포함하는, 자기-정렬 방법.

청구항 31

제 24 항에 있어서,

상기 제 2 트랜치들 각각에 제 3 절연 재료층을 형성하는 단계와,

상기 제 3 절연 재료층에 의해 상기 제 1 도전 층으로부터 절연되는 도전 재료로 상기 제 2 트랜치들 각각을 채우는 단계를 더 포함하는, 자기-정렬 방법.

청구항 32

제 24 항에 있어서, 상기 제 1 트랜치들을 형성하는 단계는,

상기 제 1 도전 재료층 상에 적어도 하나의 재료층을 형성하는 단계와,

상기 제 1 트랜치들의 상단부들을 형성하기 위하여 적어도 하나의 재료층을 통하여 에칭하는 단계로서, 그 뒤 상기 제 1 및 제 2 스페이서들이 상기 제 1 트랜치들에 형성되는, 상기 에칭하는 단계와,

상기 제 1 트랜치들의 하단부들을 형성하기 위하여 상기 제 1 트랜치들 각각에 있는 상기 제 2 측벽 스페이서들 사이, 및 상기 제 1 도전 재료층을 통해 에칭하는 단계를 포함하고,

상기 제 1 트랜치들의 상기 하단부들은 상기 제 1 트랜치들의 상기 상단부들의 폭보다 더 작은 폭을 가지는, 자기-정렬 방법.

청구항 33

제 24 항에 있어서,

도전 재료의 상기 블록들 각각의 측벽을 따라 절연 재료의 제 3 측벽 스페이서를 형성하는 단계와,

상기 제 3 측벽 스페이서들 중 하나에 바로 인접한 상기 제 2 단자들 각각 상에 금속화된 실리콘 층을 형성하는 단계로서, 상기 금속화된 실리콘 층들 각각은 상기 제 3 측벽 스페이서들 중 하나에 대해 자기-정렬되는, 상기 금속화된 실리콘 층을 형성하는 단계를 더 포함하는, 자기-정렬 방법.

청구항 34

제 33 항에 있어서,

제 2 도전 재료의 상기 블록들 각각 상에 금속화된 실리콘 층을 형성하는 단계로서, 상기 제 2 트랜치들 각각에 대하여, 상기 제 2 트랜치의 측벽은 제 2 도전 재료의 상기 블록들의 에지에 대해 상기 금속화된 실리콘의 에지를 정렬시키는, 상기 금속화된 실리콘 층을 형성하는 단계와,

제 2 도전 재료의 상기 블록들 각각에 인접하게 재료의 블록을 형성하는 단계와,

상기 금속화된 실리콘 층 위에 제 3 절연 재료층을 형성하는 단계로서, 재료의 상기 블록들 각각에 대하여, 재료의 상기 블록들의 측벽은 상기 금속화된 실리콘의 에지 및 제 2 도전 재료의 상기 블록들의 에지에 대해 상기 제 3 절연 재료층의 에지를 정렬시키는, 상기 제 3 층을 형성하는 단계를 더 포함하는, 자기-정렬 방법.

청구항 35

제 33 항에 있어서, 상기 금속화된 실리콘 층들 각각 위에, 그리고 거기에 자기-정렬된 상기 제 3 측벽 스페이서에 대해 도전 재료를 형성하는 단계를 더 포함하는, 자기-정렬 방법.

청구항 36

제 33 항에 있어서, 상기 제 3 측벽 스페이서들 각각을 형성하는 단계는 상기 제 3 측벽 스페이서와 도전 재료의 상기 블록의 측벽 사이에 절연 재료 층을 형성하는 단계를 포함하는, 자기-정렬 방법.

청구항 37

제 24 항에 있어서,

제 3 측벽 스페이서들의 쌍들이 상기 제 1 단자 중 하나와 서로 인접하지만 그 사이가 공간적으로 떨어지도록, 도전 재료의 상기 블록들 각각의 측벽을 따라 절연 재료의 제 3 측벽 스페이서를 형성하는 단계와,

금속화된 실리콘 층이 상기 제 3 측벽 스페이서들의 쌍에 의해 하나의 제 1 단자에 대해 자기-정렬되도록, 상기 하나의 제 1 단자에 대응하는 상기 제 3 측벽 스페이서들의 쌍 사이에 상기 각각의 제 1 단자들 상의 상기 금속화된 실리콘층을 형성하는 단계와,

상기 활성 영역들 위에 패시베이션 재료 층을 형성하는 단계와,

상기 패시베이션 재료를 통하여 접촉 개구들을 형성하는 단계로서, 상기 접촉 개구들 각각에 대해,

상기 접촉 개구는 상기 금속화된 실리콘 층들 중 하나 아래로 연장하여 노출되고,

상기 접촉 개구는 제 3 측벽 스페이서들의 대응하는 쌍에 의해 경계가 이루어진 하부를 가지며,

상기 접촉 개구는 제 3 측벽 스페이서들의 대응하는 쌍 사이의 간격보다 더 넓은 상부를 가지는, 상기 접촉 개구들을 형성하는 단계와,

상기 접촉 개구들 각각을 도전 재료로 채우는 단계를 더 포함하는, 자기-정렬 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<14> 기술 분야

<15> 본 발명은 분할 게이트 타입(split gate type)의 플로팅 게이트 메모리 셀들의 반도체 메모리 어레이를 형성하는 자기-정렬 방법(self-aligned method)에 관한 것이다. 본 발명은 또한, 상기 타입의 플로팅 게이트 메모리 셀들의 반도체 메모리 어레이에 관한 것이다.

<16> 발명의 배경

<17> 플로팅 게이트 위에, 전하들을 저장하기 위하여 플로팅 게이트를 사용하는 비휘발성 반도체 메모리 셀 및 반도체 기판에 형성된 이러한 비휘발성 메모리 셀들의 메모리 어레이들은 본 기술 분야에서 잘 알려져 있다. 전형적으로, 이러한 플로팅 게이트 메모리 셀들은 분할 게이트 타입, 또는 스택형 게이트 타입(stacked gate type), 또는 그들의 조합으로 이루어져왔다.

<18> 반도체 플로팅 게이트 메모리 셀 어레이들의 제조에 직면하는 문제점 중 하나는 소스, 드레인, 제어 게이트 및 플로팅 게이트와 같은 다양한 소자들의 정렬(alignment)이다. 반도체 프로세싱의 집적의 설계 규칙이 감소함에 따라, 최소 리소그래피 특징이 감소하고, 정밀한 정렬의 필요성이 더 중요하게 되고 있다. 다양한 부품들의 정렬은 또한, 반도체 제품들의 제조 수율을 결정한다.

<19> 자기-정렬(self-alignment)은 본 기술 분야에서 잘 알려져 있다. 자기-정렬은, 특징들이 프로세싱 단계시에 서로에 대하여 자동으로 정렬되도록 하나 이상의 물질들을 포함하는 하나 이상의 단계들의 프로세싱 동작에 관련한다. 따라서, 본 발명은 플로팅 게이트 메모리 셀 타입의 반도체 메모리 어레이의 제조를 달성하기 위하여 자기-정렬의 기술을 이용한다.

<20> 분할-게이트 구성(architecture)에서, 제어-게이트 FET는 소스측 주입 FLASH 셀들에 대한 프로그래밍 주입 효율

에 영향을 미칠 뿐만 아니라, 미러 셀들의 교란(disturbing)시 주요 기능을 행하는 것으로 알려져 있다. Lcg(채널 위에 배치되는 제어 또는 선택 게이트의 길이인 WL(워드-라인) 폴리 길이(poly length)라고도 불리움)상의 양호한 프로세스 제어는 제어 게이트 디바이스의 완전 턴-오프(full-turn-off)를 보장할 수 있고, 그러므로 프로그래밍 동안 미러 셀의 어떠한 교란(프로그램 교란;program disturb)도 효과적으로 방지할 수 있다. 본 발명은 더 좋은 프로그램 교란 특징들을 갖는 제어-게이트 디바이스의 개선된 완전 턴-오프를 가지는 자기 정렬된 FLASH 셀을 구현하기 위한 방법이다. 본 발명은 또한, 이러한 장치이다.

발명이 이루고자 하는 기술적 과제

<21> 발명의 요약

<22> 본 발명에서, WL(제어/선택 게이트) 폴리 길이는 포토리소그래피 프로세스에 의해 제어되며, 이는 스페이서 프로세스에 의해 형성된 WL 폴리와 비교할 때 WL 폴리 길이에 걸쳐 우수한 스케일가능성(scalability) 및 제어를 제공한다. 포토 프로세스에 대한 엄격한 제어가 논리 기술의 부산물이기 때문에, 따라서, 본 발명은 WL 폴리 길이에 대해 더 좋은 제어를 제공하며, 그러므로 미러 셀들에 있어서 프로그램 교란의 더 좋은 억압(suppression)을 제공한다. 본 발명의 추가적인 이점은 동일한 웨이퍼 상에 다른 WL 폴리 길이들을 갖는 셀들의 형성을 허용하는 것이다.

<23> 본 발명은 또한, 실질적으로 직선 형상이나 평탄한 측벽부를 가지는 WL 폴리의 형성을 초래하며, 이는 측벽 스페이서를 형성하기 위하여, 그리고 WL-BL(비트라인) & WL-소스 블록 쇼트들(block shorts)의 문제들을 해결하기 위하여, 보다 더 쉽고 더 제어가능하게 한다. 또한, 본 발명의 제 1 실시예에서, WL 폴리는 스페이서 에치(spacer etch)에 의해서라기보다는 WL 트랜치에 의해 규정된다. 따라서, 메모리 셀은 절연 또는 트랜치 산화물-대-활성 토포그래피에 기인하여 WL-WL 쇼트들로부터 방지되며, WL 폴리는 WL 스트랩 상의 접촉 형성을 더 용이하게 하는(WL 스트랩이 필요없음) 평탄면을 가진다. 제 1 실시예는 또한, 임계 치수 정밀검사(critical dimension inspection)를 위한 전개 주입(development inspection)후에, 예를 들면 WL 치수의 포토리소그래피 한정(photo lithography definition)후에 수행하도록 옵션을 가능하게 한다는 점에서 종래기술에 비해 이로운 점을 제공한다. 임계 치수 WL에 대한 제어가 타겟을 오프시키면, 에러가 검출될 수 있으며 웨이퍼가 이 임계 치수를 정확하게 한정하도록 재 작동(re-worked)될 수 있다.

<24> 본 발명은, 반도체 기판에 플로팅 게이트 메모리 셀들의 반도체 메모리 어레이를 형성하는 자기-정렬 방법으로서, 각각의 메모리 셀이 플로팅 게이트, 제 1 단자, 그들 사이에 채널 영역을 갖는 제 2 단자 및 제어 게이트를 가지는, 상기 자기-정렬 방법에 관한 것이다. 상기 방법은,

<25> a) 실질적으로 서로 평행하고 제 1 방향으로 연장하며, 각각의 쌍의 인접한 절연 영역들 사이에 활성 영역을 가지는, 상기 기판 상에 공간적으로 떨어진 복수의 절연 영역들을 형성하는 단계로서, 상기 활성 영역들 각각은 상기 반도체 기판 상에 제 1 절연 재료층 및 상기 제 1 절연 재료층 상에 제 1 도전 재료층을 포함하는, 상기 절연 영역들을 형성하는 단계와,

<26> b) 실질적으로 서로 평행하고 상기 제 1 방향에 실질적으로 수직인 제 2 방향으로 연장하고 상기 활성 영역들 각각에 상기 제 1 도전 재료층을 노출시키는 상기 활성 영역들과 절연 영역들을 가로지르는 공간적으로 떨어진 복수의 제 1 트랜치들을 형성하는 단계로서, 상기 제 1 트랜치들 각각이 내부에 형성된 톱니 모양을 가진 측벽을 갖는, 상기 트랜치들을 형성하는 단계와,

<27> c) 상기 제 1 도전 재료층 상에 인접하고 그 위에 배치된 활성 영역들 각각에 제 2 절연 재료층을 형성하는 단계와,

<28> d) 상기 제 2 도전 재료의 블록들을 형성하기 위하여 제 2 도전 재료로 상기 제 1 트랜치들 각각을 채우는 단계로서, 각각의 활성 영역의 블록들 각각에 대하여,

<29> 상기 블록은 상기 제 2 절연 재료층에 인접하고 상기 기판으로부터 절연되고,

<30> 상기 블록은 상기 제 2 절연 재료층 및 상기 제 1 도전 재료층 상에 배치되는 상기 제 1 트랜치 측벽의 톱니모양에 의해 형성된 돌출부를 포함하는, 상기 제 1 트랜치들 각각을 채우는 단계와,

<31> e) 상기 기판에 복수의 제 1 단자들을 형성하는 단계로서, 활성 영역들 각각에서 상기 제 1 단자들 각각은 블록들 중 하나에 인접한, 상기 제 1 단자들을 형성하는 단계와,

<32> f) 상기 기판에 복수의 제 2 단자들을 형성하는 단계로서, 활성 영역들 각각에서 상기 제 2 단자들 각각은 상기

제 1 단자로부터 공간적으로 떨어지고 상기 제 1 도전 재료층 아래에 놓이는, 상기 제 2 단자들을 형성하는 단계를 포함한다.

<33> 본 발명의 다른 면에 있어서, 전기적으로 프로그램가능하고 소거가능한 메모리 장치들의 어레이는 제 1 도전 타입의 반도체 재료의 기판, 및 실질적으로 서로 평행하며 제 1 방향으로 연장하고 인접한 절연 영역들의 각각의 쌍 사이에 활성 영역을 가지는, 기판 상에 형성된 공간적으로 떨어진 질연 영역들을 포함한다. 활성 영역들 각각은 제 1 방향으로 연장하는 복수의 메모리 셀들을 포함하며, 상기 메모리 셀들 각각은 제 2 도전 타입을 가지는 기판에 형성된 제 1 및 제 2의 공간적으로 떨어진 단자들과, 그들 사이의 기판에 형성된 채널 영역과, 상기 채널 영역을 포함하는 상기 기판 위에 배치된 제 1 절연층과, 상기 제 1 절연층 위에 배치되며 상기 채널 영역의 일부와 상기 제 2 단자의 일부 위로 연장하는 전기 도전 플로팅 게이트와, 플로팅 게이트 위에, 그리고 인접하여 배치되고 그것을 통과하는 전하들의 파울러-노드하임 터널링(Fowler-Nordheim tunneling)을 허용하는 두께를 가지는 제 2 절연층과, 제 2 절연층과 플로팅 게이트에 인접하게 위치된 실질적으로 평탄한 측벽부 및 플로팅 게이트 위로 부분적으로 연장하도록 평탄한 측벽부로부터 돌출하고 그로부터 절연되는 돌출부를 포함하는 전기 도전 제어 게이트를 포함한다.

<34> 본 발명의 다른 면은, 반도체 기판에 플로팅 게이트 메모리 셀들의 반도체 메모리 어레이를 형성하는 자기-정렬 방법으로서, 각각의 메모리 셀은 플로팅 게이트, 제 1 단자, 그들 사이에 채널 영역을 갖는 제 2 단자 및 제어 게이트를 가지는, 상기 자기-정렬 방법에 관한 것이다. 상기 방법은,

<35> a) 실질적으로 서로 평행하고 제 1 방향으로 연장하며 인접한 절연 영역들으이 각각의 쌍 사이에 활성 영역을 가지는, 기판 상에 공간적으로 떨어진 복수의 절연 영역들을 형성하는 단계로서, 상기 활성 영역들 각각은 상기 반도체 기판 상의 제 1 절연 재료층 및 상기 제 1 절연 재료층 상의 제 1 도전 재료층을 포함하는, 절연 영역들을 형성하는 단계와,

<36> b) 실질적으로 서로 평행하고 상기 제 1 방향과 실질적으로 수직인 제 2 방향으로 연장하고, 상기 활성 영역들 각각의 상기 제 1 도전 재료층을 노출시키는 상기 활성 영역들과 절연 영역들을 가로지르는 공간적으로 떨어진 복수의 제 1 트랜치들을 형성하는 단계와,

<37> c) 상기 제 1 도전 재료층 상에, 그리고 인접하게 배치된 상기 활성 영역들 각각의 제 2 절연 재료층을 형성하는 단계와,

<38> d) 상기 제 1 트랜치들의 측벽들 상에 재료의 제 1 측벽 스페이서들을 형성하는 단계와,

<39> e) 상기 제 1 측벽 스페이서들 각각 상에 재료의 제 2 측벽 스페이서를 형성하는 단계와,

<40> f) 상기 활성 영역들 각각에 제 2 트랜치들을 형성하는 단계로서, 상기 제 2 트랜치들 각각은 상기 제 1 측벽 스페이서들 중 하나에 바로 인접한 측벽을 가지는, 상기 제 2 트랜치들을 형성하는 단계와,

<41> g) 상기 제 2 트랜치 측벽들 각각에 톱니모양을 형성하기 위해 상기 제 1 측벽 스페이서들을 제거하는 단계와,

<42> h) 상기 제 2 도전 재료의 블록들을 형성하기 위하여 제 2 도전 재료로 상기 제 2 트랜치들 각각을 채우는 단계로서, 각 활성 영역의 블록들 각각에 대하여,

<43> 상기 블록은 상기 제 2 절연 재료층에 인접하고 상기 기판으로부터 절연되고,

<44> 상기 블록은 상기 제 2 절연 재료층 및 상기 제 1 도전 재료층 상에 배치되는 상기 제 2 트랜치 측벽 톱니모양에 의해 형성된 돌출부를 포함하는, 상기 제 2 트랜치들 각각을 채우는 단계와,

<45> i) 상기 기판에 복수의 제 1 단자들을 형성하는 단계로서, 상기 활성 영역들 각각에서 상기 제 1 단자들 각각은 상기 블록들 중 하나에 인접하는, 상기 제 1 단자들을 형성하는 단계와,

<46> j) 상기 기판에 복수의 제 2 단자들을 형성하는 단계로서, 상기 활성 영역들 각각에서, 상기 제 2 단자들 각각은 상기 제 1 단자들과 공간적으로 떨어지고 상기 제 1 도전 재료층 아래에 있는, 상기 제 2 단자들을 형성하는 단계를 포함한다.

발명의 구성 및 작용

<47> 양호한 실시예들의 상세한 설명

<48> 도1a를 참조하면, 본 기술 분야에서 잘 알려지고, 바람직하게는 P 형인, 반도체 기판(10)의 상단 평면도가 도시

되어 있다. 실리콘 이산화물(산화물)과 같은 절연재료의 제 1층(12)이 도1b에 도시된 바와 같이 그 위에 침착된다. 제 1 절연층(12)이 산화 또는 침착(예를 들면, 화학 기상 증착;CVD)과 같은 잘 알려진 기술에 의해 기판(10)상에 형성되어, 실리콘 이산화물 층(이하, 산화물)을 형성한다. 폴리실리콘(14)의 제 1층(FG 폴리)은 절연재료(12)의 제 1 층의 상단에 침착된다. 제 1 절연층(12)상의 제 1 폴리실리콘층(14)의 침착 및 형성은 저압 CVD(LPCVD)와 같은 잘 알려진 프로세스에 의해 행해질 수 있다. 실리콘 질화물층(18)(이하, 질화물)은 바람직하게는 CVD에 의해 폴리실리콘층(14) 위에 침착된다. 이 질화물층(18)은 절연 형성 동안에 활성 영역을 규정하는데 사용된다. 물론, 상기한 파라미터들 및 이후에 기술되는 파라미터들 모두는, 설계 규칙들 및 프로세스 기술 세대에 의존한다. 여기에 기술된 것은 0.18 미크론 프로세스에 대한 것이다. 그러나, 본 발명이 어떤 특정 프로세스 기술 세대에 제한되지 않으며, 이후에 기술되는 임의의 프로세스 파라미터들 중에 있어서 어떤 특정값에도 제한되지 않음은 본 기술 분야의 통상의 지식을 가진자들은 이해 할 것이다.

<49> 제 1 절연층(12), 제 1 폴리실리콘 층(14), 및 실리콘 질화물(18)이 형성되면, 적당한 포토레지스트 재료(19)가 실리콘 질화물층(18) 위에 인가되며 마스킹 단계가 실행되어 임의의 영역들(스트라이프 16)로부터 포토레지스트 재료를 선택적으로 제거한다. 포토레지스트 재료(19)가 제거되면, 실리콘 질화물(18), 폴리실리콘(14) 및 그 밑에 있는 절연재료(12)는 표준 에칭 기술들(즉, 이방성 에칭 프로세스)을 이용하여 도1c에 도시된 바와 같이, Y 방향 또는 칼럼 방향으로 형성된 스트라이프(16)들에서 에칭 제거된다. 인접한 스트라이프(16)들 사이의 간격 W은 이용된 프로세스의 최소 리소그래피 특성만큼 작을 수 있다. 포토레지스트(19)가 제거되지 않으면, 실리콘 질화물(18), 제 1 폴리실리콘 영역(14) 및 그 밑에 있는 절연 영역(12)은 유지된다. 결과적인 구조가 도1d에 도시되어 있다. 기술되는 바와 같이, 절연 영역들의 형성에 대한 2개의 실시예들 즉 LOCOS 및 STI가 있다. STI 실시예에서, 에칭은 미리 결정된 깊이로 기판(10)내에서 계속된다.

<50> 상기 구조는 남아있는 포토레지스트(19)를 제거하기 위해 더 처리된다. 이어, 실리콘 이산화물과 같은 절연 재료(20a,20b)가 영역들 또는, "홈들(grooves)"(16)에 형성된다. 그뒤 질화물층(18)은 도1e에 도시된 구조를 형성하기 위하여 선택적으로 제거된다. 절연은 로컬 필드 산화물(20a)을 초래하는 잘 알려진 LOCOS 프로세스를 통해 (예를 들면, 노출된 기판을 산화함으로써) 형성될 수 있으며, 또는 (예를 들면, 화학 기계적 연마 또는 CMP 에칭에 의해 뒤따르는, 산화물층을 침착함으로써) 영역(20b)에 형성된 실리콘 산화물을 초래하는 얕은 트랜치 프로세스(STI)를 통해 형성될 수 있다. LOCOS 형성 동안, 스페이서는 로컬 필드 산화물의 형성동안 폴리층(14)의 측벽들을 보호하는데 필요할 수 있다.

<51> 남아있는 제 1 폴리실리콘층(14) 및 그 밑에 있는 제 1 절연층(12)은 활성 영역들을 형성한다. 따라서, 이 시점에서, 기판(10)은 LOCOS 절연재료(20a) 또는 얕은 트랜치 절연재료(20b)중 어느 하나로 형성되는 절연 영역들을 갖는 활성 영역들 및 절연 영역들의 교번 스트라이프들을 갖는다. 비록, 도1e가 LOCOS 영역(20a) 및 얕은 트랜치 영역(20b)의 형성을 모두 도시하고 있지만, LOCOS 프로세스(20a) 또는 얕은 트랜치 프로세스(20b)중 단지 하나만이 사용될 것이다. 바람직한 실시예에서, 얕은 트랜치(20b)가 형성될 것이다. 얕은 트랜치(20b)는, 더 작은 설계규칙들로 보다 더 정밀하게 형성될 수 있기 때문에, 바람직하다.

<52> 도1e의 구조는 자기 정렬 구조를 나타내며, 이는 비 자기 정렬 방법에 의해 형성된 구조보다 더 간단하다. 잘 알려져 있고 종래기술인 도1e에 도시된 구조를 형성하는 비 자기 정렬 방법은 다음과 같다. 절연 영역(20)들이 먼저 기판(10)에 형성된다. 이것은 기판(10) 상에 실리콘 질화물층을 침착하고, 포토레지스트를 침착하고, 기판(10)의 선택적 부분들을 노출시키기 위해 제 1 마스킹 단계를 이용하여 실리콘 질화물을 패터닝하고, 그 뒤 실리콘 트랜치 형성 및 트랜치 충전(fill)이 포함되는 STI 프로세스 또는 LOCOS 프로세스 중 하나를 이용하여 노출된 기판(10)을 산화함으로써, 행해질 수 있다. 이후, 실리콘 질화물이 제거되고, 실리콘 이산화물(12)층이 (게이트 산화물을 형성하기 위해) 기판(10) 위에 침착된다. 폴리실리콘(14)의 제 1층이 게이트 산화물(12) 위에 침착된다. 그 뒤, 폴리실리콘(14)의 제 1 층은 제 2 마스킹 단계를 이용하여 패터닝되고 선택된 부분들이 제거된다. 따라서, 폴리실리콘(14)은 절연 영역(20)에서 자기정렬되지 않으며, 제 2 마스킹 단계가 요구된다. 또한, 부가적인 마스킹 단계는 폴리실리콘(14)의 치수가 절연 영역(20)에 대하여 정렬 오차를 가질 것을 요구한다. 비 자기-정렬 방법은 질화물층(18)을 사용하지 않는다는 것을 주지해야 한다.

<53> 자기-정렬 방법이나 비 자기-정렬 방법 중 하나를 사용하여 행해진 도1e에 도시된 구조에서, 이 구조는 다음과 같이 더 처리된다. 도1b 및 도1e의 것에 대해 직각으로 본 구조를 도시하는 2a에는, 본 발명의 프로세스에서 다음 단계들이 도시되어 있다. 특히, 두꺼운 실리콘 산화물(이하 "산화물(oxide)")층(22)이 구조의 전체 면에 걸쳐 침착되고 나서 실리콘 질화물(이하 "질화물(nitride)")층(24)이 침착된다. 산화물층(22)은 대략 2000-3000 Å 두께이고 질화물층(24)은 대략 200-400 Å두께이다. 상부 산화물층(26)은 대략 800Å 두께이며 질화물층(24)

상에 침착된다. 그러나, 절연층들의 스택에서 절연층들의 수는 상기한 바와 같이 3개일 필요는 없다.

<54> WL 마스킹 조작은 산화물층(26)의 상부에 적용된 포토레지스트로 수행된다. 마스킹 단계가 적용되어 스트라이프들(즉, 마스킹 영역들)이 X 또는 로우 방향으로 한정된다. 인접한 스트라이프들 사이의 간격은 제조될 장치의 필요성에 의해 규정된다. 포토레지스트는 규정된 마스킹 영역들, 즉 로우 방향의 스트라이프들이 제거된다. 그 후 잘 알려진 에칭 프로세스들이 스트라이프들에서 제거된 포토레지스트 밑에 놓이는 층들(26,24,22)을 선택적으로 제거하는데 사용된다. 특히, 산화물 이방성 에칭 프로세스는 질화물층(24)이 관측될 때까지 산화물층(26)의 노출된 부분을 제거하는데 사용된다. 질화물층은 에칭 스톱으로서 작용하고 그것에 의해 에칭 프로세스가 정지한다. 이어, 이방성 질화물 에칭 단계는 에칭 스톱으로서 작용하는 산화물층(22)이 관측될 때까지 노출된 질화물층(24)을 제거하기 위해 수행된다. 다른 산화물 이방성 에칭 프로세스는 폴리실리콘층(14)이 관측될 때까지 산화물층(22)의 노출된 부분을 제거하는데 사용되며, 폴리실리콘층은 에칭 스톱으로서 작용하고 그것에 의해 에칭 프로세스가 정지한다. 본 발명의 프로세스는 복수의 메모리 셀의 미러 세트들을 생성하는 것이 다음 상세한 설명으로부터 명백해질 것이다. 이러한 각쌍의 미러 메모리 셀들에 대하여, 이들 4개의 에칭 프로세스의 결과 폴리실리콘층(14) 아래로 연장하는 한 쌍의 제 1 트랜치(30)가 형성되고, 한쌍의 제 1 트랜치들(30) 사이에는 단일 트랜치(30a)가 있다. 이어 남아있는 포토레지스트가 제거된다. 이러한 쌍의 미러 셀에 대한 구조는 도2b에 도시되어 있다.

<55> 절연 스페이서들(32)은 트랜치들(30, 30a)의 측벽 표면들을 따라 형성된다. 스페이서들의 형성은 본 기술 분야에서 잘 알려져 있고, 이방성 에칭 프로세스에 이어지는 구조의 윤곽을 통해 재료를 침착하는 것을 포함하며, 그것에 의해 재료는 구조의 수평면으로부터 제거되는 반면, 재료는 구조의 수직면 상에 대개 그대로 남아 있는다. 스페이서들(32)은 스페이서들(32)를 제외하고 침착된 질화물을 제거하는, 본 기술 분야에서 잘 알려진 반응성 이온 에칭(RIE)과 같은 이방성 에칭 프로세스에 이어지는, 구조의 노출면 상에 얇은 층을 침착함으로써 질화물로 형성된다.

<56> 이방성 폴리 에칭 프로세스는 에칭 스톱으로서 작용하는 산화물층(12)이 관측될 때까지 트랜치들(30, 30a)의 하부에서 노출된 폴리층(14)을 제거하기 위해 대향하는 절연 스페이서들(32) 사이에서 수행된다. 질화물 에칭은 질화물 스페이서들(32)을 제거하는데 사용된다. 스페이서들(32)의 사용은 제 1 트랜치들(30)의 상단들을 초기에 규정하는데 사용되는 마스킹 단계의 폭보다 작은 폴리층(14)에서의 폭을 가지는 제 1 트랜치들(30,30a)의 형성을 허용한다. 그러므로, 이 프로세스는 서브-리소그래피로서 언급될 수 있다. 트랜치들(30,30a)은 산화물/질화물/산화물층들(22/24/26)에 인접한 상부에서의 넓은 폭에 비해 폴리층(14)에 인접한 하부에서 좁은 폭을 가진다(즉, 트랜치들(30)의 측벽들은 톱니모양들(indentation; 31)을 포함한다). 그 결과로 형성된 구조가 도2d에 도시되어 있다.

<57> 그 뒤, 얇은 산화물층(34)은 도2e에 도시된 바와 같이 예를 들면 HTO 산화물 침착 프로세스를 이용하여 전체 구조 위에 형성된다. 폴리실리콘 침착 단계가 수행되어, 폴리실리콘의 블록들(36,36a)이 제 1 트랜치들(30,30a)의 각각을 채운다. 제 1 트랜치들(30,30a) 외부에 침착된 과잉 폴리실리콘은 바람직하게는 CMP 에칭-백 프로세스에서 에칭되고, 도2f에 도시한 바와 같이 상부 산화물층(34)과 거의 같은 높이로 폴리실리콘 블록들(36,36a)의 상부가 남겨진다. 폴리 블록들(36,36a)은 일반적으로 형상이 직사각형이지만, 트랜치들(31)의 측벽들에서의 톱니모양들(31)은 폴리 블록들(36/36a)이 폴리층(14)(산화물층(34)에 의해 절연됨)에 인접하게 배치된 하부의 더 좁은 부분(38)과, 인접한 폴리층(14)의 일부 위에 배치되는 돌출부(42)를 포함하는 상부의 더 넓은 부분(40)을 가지도록 한다.

<58> 도2g에서, 질화물 및 산화물 에칭 마스크 포토레지스트 PR(하드 마스크는 선택적으로 사용될 수 있음)는 교번 중간 영역들(44)(메모리 셀들의 인접한 미러 세트들 사이에 스페이서들을 형성함)을 덮도록 구조위에 놓여지고, 노출된 교번 중간 영역들(45)이 남겨지며, 메모리 셀들의 미러 세트들을 매칭하는데 있어서 함께 연관되는 폴리 블록들(36) 쌍을 효과적으로 선택할 수 있다. 교번 중간 영역들(44)은 결국 매칭 메모리 셀의 쌍에 대한 비트라인 접속과 절연으로서 기능한다. 그 에지들이 폴리 블록들(36) 위의 어딘가에 위치되는 한, 포토레지스트 PR의 정확한 위치는 중요하지 않다는 것을 주지해야 한다. 산화물 에칭 프로세스가 수행되고, 이러 질화물 에칭 프로세스(습식 또는 건식)가 수행되며, 이어 다른 산화물 에칭 프로세스가 수행되어, 노출된 교번 중간 영역들(45)(선택된 폴리 블록(36) 쌍 사이) 내부의 산화물층(34), 산화물층(26), 질화물층(24), 및 산화물층(22)이 에칭된다. 에천트가 선택적인 에천트이기 때문에, 폴리실리콘 및 FG 폴리층(14)의 블록들(36,36a)에는 영향을 미치지 않으며, 그 하부에 노출된 FG 폴리층(14)에 제 2 트랜치들(46)이 남겨진다. 폴리 블록들(36)과 폴리층(14)을 분리하는 산화물층(34)은 또한, 제 2 트랜치들(46)의 하단에 그대로 남아 있는다. 각 에칭 프로세스에 대해, 밑에 남아 있는 층은 에칭 스톱으로서 작용하며, PR 마스크는 교번 중간 영역들(44)에서 어떤 에칭도 방지한다. 그

결과 형성된 구조가 도2g에 도시되어 있다.

<59> 그 뒤, 에칭 마스크 PR는 벗겨지며, 이어 제 2 트랜치들(46)의 측벽들을 따라 절연 스페이서들(48)이 형성된다. 도 2h에 도시된 절연 스페이서들(48)은 구조의 노출면 상에 얇은 질화물층을 침착하고, 이어 질화물층이 제 2 트랜치들(46)내에서 스페이서들(48)을 제외하고 제거될 때까지, 본 기술 분야에서 알려져 있는 반응성 이온 에칭(RIE)과 같은 이방성 에칭 프로세스에 의해, 질화물로 형성된다. 선택적으로, 합성 스페이서들(48)은 얇은 질화물층을 침착하고, 산화물 침착에 의해 형성될 수 있다. 이방성 에칭은 산화물 스페이서들을 형성하기 위해 사용되며, 이어 질화물 에칭에 의해, 얇은 질화물층 위에 침착된 산화물로 형성된 합성 스페이서를 초래한다.

<60> 다음 단계는 도2i에 도시한 바와 같이 폴리실리콘층(14) 위로 산화물층(50)을 형성하고 폴리실리콘 블록들(36,36a) 위에 다른 산화물층(52)을 형성하기 위해 노출된 폴리실리콘 표면(즉, 폴리실리콘 블록들(36,36a)의 상부면과 제 2 트랜치(46) 내부의 폴리실리콘층(14)을 산화하는 산화 프로세스이다. 이 산화 단계는 산화물이, 제 2 트랜치(46) 내부에 위치된 폴리실리콘층(14)의 각 사이드 에지에서 상방으로 돌출한 예리한 에지(54)의 형성에 있어서 폴리실리콘층(14) 위로 그에 인접하게 배치된 절연층을 형성하기 위하여 산화물층(34)과 결합하는 그 사이드 에지가 렌즈 형상으로 형성되게 한다. 폴리 블록들(36)의 돌출부들(42)과 직접 대면하는 예리한 에지들(54), 및 층들(34/50)에 의해 형성된 절연층의 두께는 그것을 통과하는 파울러-노드하임 터널링을 허용한다. 도시되지 않았지만, 최적의 폴리 에칭공정은 스페이서들(48) 및 층(50)의 형성전에 수행될 수 있다. 이러한 최적의 이방성 폴리 에칭 공정은 제 2 트랜치들(46)의 폴리 층(14)의 상부면의 일부분을 에칭하나, 날까로운 에지(54)의 형성을 시작하는 폴리 블록들(36/36a)에 다음의 영역내의 상부면에 테이퍼 형상을 남긴다.

<61> 그 뒤, 질화물 스페이서들(48)은 습식 에칭공정(또는 다른 선택적인 이방성 에칭공정)을 사용하여 스트리핑된다. 전체 구조상의 절연층(56)의 침착은 절연재료의 블록들(58)로 제 2트랜치를 채우는 공정을 뒤따른다. 도 2j에 도시된 절연층(56)을 형성하기 위하여 사용되는 유전체는 산화물이다.

<62> 평탄화 산화물 에칭 프로세서는 CMP 에칭-백 공정에서 수행되며, 산화물층(56,34(수평부분), 26)은 제거된다. 질화물층(24)은 폴리 블록들(36,36a)위에 산화물층(52)의 일부분을 남기는 산화물 에칭 정지층으로서 사용된다. 결과적인 구조는 도 2k에 기술된다.

<63> 산화물 에칭-백 단계는 구조로부터 잔류 산화물을 제거하기 위하여 수행된다. 특히, 이러한 산화물 에칭-백 단계는 폴리 블록들(36, 36a)의 상부, 폴리 블록(36) 및 질화물층(24)사이의 산화물층(34)의 상부부분, 및 산화물 블록(58)의 상부부분으로부터 산화물층(52)을 제거한다. 결과적인 구조는 도 2l에 도시되어있다.

<64> 폴리실리콘 포토레지스트 에칭 마스크(PR)가 구조위에 배치되어, 도 2m에 도시된 바와 같이, 에칭 메모리 셀 쌍에 대한 중앙 중심블록(36a)만을 노출시킨다. 그 다음에, 폴리 에칭 공정은 중앙 폴리 블록(36a)을 제거하여 절연층(12)아래로 연장되는 트랜치(60)를 형성한다. 적절한 이온 주입이 구조의 전체 표면 전반에 걸쳐 이루어진다. 이온이 트랜치(60)에서 제 1실리콘 이산화층(12)을 관통하도록 충분한 에너지를 가지는 위치에서, 이온들은 기판(10)에서 제 1 영역(즉, 제 2 단자)(62)을 형성한다. 모든 다른 영역에서, 이온들은 그들이 영향을 미치지 않는 마스크 및/또는 하부구조에 의하여 흡수된다. 결과적인 구조는 도 2m에 기술된다.

<65> 다음에, 에칭 마스크(PR)가 벗겨지며, 절연 스페이서들(63)이 트랜치(60)의 측벽 상에 형성된다. 바람직하게, 절연 스페이서들(63)은 구조상에 산화물의 박막층을 침착시킴으로써, 그리고 기판을 노출시키기 위하여 트랜치(63)의 하부에서 산화물 블록(58) 및 산화물층(12)의 상부부분과 함께 스페이서들(63)을 제외하고 침착된 산화물층을 제거하기 위하여 이방성 산화물 에칭을 수행함으로써, 형성된 산화물 스페이서들이다. 폴리실리콘 침착 단계는 산화물 블록(58) 및 폴리 블록(36)의 상부 위에서 연장되는 폴리실리콘의 블록들(64)로 트랜치(60)를 채우는 에칭 스톱 표면으로서 질화물층(24)을 사용하는 폴리 에칭-백(바람직하게 CMP)공정 다음에 수행된다. 폴리실리콘은 본래의 방법 또는 종래의 주입을 통해 적절히 도핑된다. 결과적인 구조는 도 2n에 기술된다.

<66> 폴리 에칭-백 공정은 폴리 블록들(36, 64)의 상단부들을 제거하기 위하여 수행된다. 산화물 블록들(58) 및 산화물층(34)의 상단부들 도 2q에 기술된 바와 같이 폴리 블록들(36/64)의 상단 표면 위에 연장된다.

<67> 금속화된 실리콘(폴리사이드)(66)의 층은 텅스텐, 코발트, 티타늄, 니켈, 플라티늄 또는 몰리브덴과 같은 금속을 구조위에 침착함으로써 폴리 블록들(36, 64)의 상단부들에 형성된다. 그 다음, 상기 구조가 어닐링되며, 이에 따라 열금속이 폴리사이드(66)의 도전층을 형성하기 위하여 폴리 블록들(36/64)의 상단부들로 침투하도록 한다. 나머지 구조상에 침착된 나머지 금속은 금속 에칭공정에 의하여 제거된다. 그 다음에, 질화물(68)의 두꺼운 층은 구조물 위에 침착되며, 그 다음에 질화물층(24) 및 질화물층(68)의 상단부들을 제거하기 위하여 CMP와 같은 질화물 에칭-백 공정이 수행되며 결과적으로 산화물층(22)과 같은 높이로 된다. 결과적인 구조는 도 2p에 기

술된다.

<68> 산화물 에칭 공정은 에칭 스톱으로서 작용하는 폴리실리콘층(14)(폴리 블록(36)의 외부)을 노출시키기 위하여 미러 셀 세트의 측면으로부터 산화물층(22, 34)의 나머지 노출된 부분을 제거하기 위하여 사용된다. 폴리 에칭 공정은 폴리 블록(36) 쌍의 외부에서 폴리실리콘층(14)의 나머지 노출된 부분을 제거하는 공정이 뒤따른다. 산화물 에칭공정은 폴리 블록(32) 쌍의 외부체 산화물층(12)의 나머지 노출된 부분을 제거하기 위하여 사용된다. 결과적인 구조는 도 2q에 도시된다.

<69> 메모리 셀들을 완성하기 위하여, 질화물 측벽 스페이서들(70)은 폴리 블록(32)을 커버/캡슐화하기 위하여 열산화 또는 CVD에 의하여 산화물(72)의 층을 형성함으로써 폴리 블록(32)에 형성되며, 그 다음에 스페이서들(70)을 제외하고 모든 질화물을 제거하기 위하여 구조위에 질화물 침착을 수행하며 이방성 질화물 에칭을 수행한다. 박막 산화물 에칭은 박막 산화물층(72)의 임의의 노출된 부분을 제거하기 위하여 수행된다. 결과적인 구조는 도 2r에 도시되어 있다.

<70> 이온주입(예컨대 N+)은 제 1영역(62)이 형성되는 것과 동일한 방식으로 기판에 제 2영역(즉, 제 1단자)(74)을 형성하기 위하여 사용된다. 금속화된 실리콘(실리사이드)(76)의 층은 텅스텐, 코발트, 티타늄, 니켈, 플라티늄 또는 몰리브덴과 같은 금속을 구조상에 침착함으로써 측벽 스페이서들(70) 다음에 기판(10)의 상부에 형성된다. 그 다음에, 구조는 어닐링되며, 이에 따라 열 금속이 금속화된 실리콘(76)의 도전층을 형성하기 위하여 기판의 노출된 상단부들을 침투하도록 한다. 기판(10)상의 금속화된 실리콘 영역(76)은 그것이 스페이서들(70)에 의하여 제 2영역(74)에 자기-정렬되기 때문에 자기-정렬된 실리사이드(즉, 살리사이드)로 불릴수 있다. 나머지 구조물상에 침착된 나머지 금속은 금속 에칭 공정에 의하여 제거된다. 결과적인 구조는 도 2s에 도시된다.

<71> BPSG(67)과 같은 불활성층은 전체 구조를 커버하기 위하여 사용된다. 마스킹 단계는 살리사이드 영역(76)상의 에칭영역을 한정하기 위하여 수행된다. BPSG(67)는 쌍으로 이루어진 메모리 셀의 인접 세트사이에 형성된 살리사이드 영역(76)위에 보다 넓게 놓이는 접촉 개구부를 형성하기 위하여 마스킹된 영역에 선택적으로 에칭된다. 질화물층(68)은 이러한 에칭 공정으로부터 폴리 블록(36) 및 폴리사이드층(66)을 보호하기 위하여 사용된다. 접촉 개구부는 금속 침착 및 평탄화 에칭-백에 의하여 도전층(78)으로 채워지며, 이에 따라 쌍으로 이루어진 메모리 셀의 인접 세트에 대한 스페이서들(70)사이의 전체 영역은 질화물 스페이서들(70)(즉, 자기-정렬된 접촉방식 또는 SAC)에 의하여 살리사이드 영역(76)에 자기-정렬되는 접촉 도체(78)을 형성하기 위하여 침착된 금속으로 채워진다. 살리사이드층(76)은 도체(78) 및 제 2영역(74)사이의 도전을 용이하게 한다. 비트 라인(82)은 메모리 셀의 열에서 모든 도체(78)를 함께 접속하기 위하여 BPSG(67)위에 금속 마스킹함으로써 추가된다. 최종 메모리 셀 구조는 도 2t에 기술된다.

<72> 자기-정렬된 접촉방식(SAC)은 쌍으로 이루어진 메모리 셀의 인접 세트사이의 최소 공간요구에 대한 중요한 제한사항을 제거한다. 특히, 도 2t는 살리사이드 영역(76)상에 중심을 둔 접촉영역(및 도체(78))을 기술하며, 실제로 살리사이드 영역(76)에 대해 시프트된 임의의 바람직하지 않은 수평 시프트없이 접촉 개구부를 형성하는 것이 곤란하다. 비자기-정렬된 접촉방식에 있어서, BPSG 형성전에 구조상에 질화물의 보호층이 존재하지 않는 위치에서, 전기단락은 접촉부(78)가 폴리사이드층(66) 및 폴리 블록(36)위에 형성되는 경우 발생할 수 있다. 비자기-정렬된 접촉방식에서 전기적 단락을 방지하기 위하여, 접촉 개구부는 접촉영역에서의 가능한 최대 시프트에서조차 그들이 질화물 스페이서들(70) 이상으로 연장되지 않도록 질화물 스페이서들(70)로부터 충분히 떨어져 형성되도록 한다. 이러한 과정은 쌍으로 이루어진 미러 셀의 인접 세트사이의 충분한 허용오차 거리를 제공하기 위하여 스페이서들(70)사이의 최소 거리상에 제한을 제공한다.

<73> 본 발명의 SAC 방법은 BPSG 아래에 금속의 보호층(질화물층(68))을 사용함으로써 제한사항을 제거한다. 이러한 보호층에 있어서, 접촉 개구부는 형성동안 접촉 개구부의 수평 시프트가 존재하는 경우에도 조차 살리사이드 영역(76)으로 접촉 개구부가 덮혀지는 것이 보장되도록 충분한 폭으로 BPSG에 형성된다. 질화물층(68)은 접촉부(78)의 부분이 임의의 단락없이 폴리 블록(36) 또는 폴리사이드층(66)위에 형성되도록 한다. 넓은 개구부는 접촉부(78)가 스페이서들(70)사이의 매우 좁은 공간을 완전히 채워 실리사이드 영역(76)과 양호한 접촉을 형성하도록 한다. 따라서, 스페이서들(70)사이의 접촉영역의 폭은 스페이서들(70)사이의 공간을 채워 결함접속을 방지하는 동안 최소화될수 있으며, 이에 따라 전체 셀 크기의 스케일을 감소시킨다.

<74> 도 2t에 도시된 바와 같이, 제 1 및 제 2 영역(62/74)은 에칭 셀에 대한 소스 및 드레인을 형성한다(당업자는 소스 및 드레인이 동작중에 스위칭될 수 있다는 것을 안다). 각 셀에 대한 채널영역(80)은 소스 및 드레인(62/74)사이에 있는 기판의 일부분이다. 폴리 블록(36)은 제어 게이트를 구성하며, 폴리층(14)은 플로팅 게이트를 구성한다. 제어 게이트(36)는 제 2영역(74)의 에지에 정렬된 한 측면을 가지며, 채널 영역(80)의 부분위에

침착된다. 제어 게이트(36)는 일반적으로 직사각형 형상을 가지나, 하부 좁은 부분(38)은 플로팅 게이트(14)(산화물층(34))에 인접하여 배치되며 넓은 상단부들(40)은 인접 폴리층(14)(산화물층(50)에 의해 절연된다)의 일부분위에 침착된다. 노치(84)는 플로팅 게이트(14)의 예리한 에지(54)가 노치(84)내로 연장되는 돌출부(42)에 의해 형성된다. 플로팅 게이트(14)는 채널영역(80)의 부분위에 있으며, 제어 게이트(36)에 의하여 한 단부에 부분적으로 중첩되며, 다른 단부를 가진 제 1영역(62)을 부분적으로 중첩된다. 도 2t에 기술된 바와같이, 본 발명의 공정은 서로 미러인 메모리 셀의 쌍을 형성한다. 미러 메모리 셀은 산화물층(72) 및 질화물 스페이서들(70)에 서로로부터 절연된다.

<75> 도 2u에는 X 또는 로우방향으로 진행하는 제어 라인 및 기판(10)내의 제 1영역(62)에 접속되는 소스 라인(64)과 제 2영역(74)에 대한 비트라인(82)의 상호접속부와 결과적인 구조물의 평면도가 도시되어 있다. 비록 소스 라인(64)(당업자에게 이해되는 바와 같이 단어 "소스(source)"는 단어 "드레인(drain)"과 상호 교환된다)은 전체 로우방향에서의 기판(10)과의 접촉부, 즉 활성영역 뿐만아니라 절연영역과의 접촉부를 만들며, 소스 라인(64)은 기판(10)에서 제 1영역(62)에만 전기적으로 접속된다. 더욱이, "소스(source)" 라인(64)이 접속되는 각각의 영역(62)은 두 개의 인접 메모리 셀 사이에 공유된다. 유사하게, 비트라인(82)이 접속되는 각각의 제 2영역(74)은 메모리 셀의 다른 미러세트로부터 인접 메모리 셀들 사이에 공유된다.

<76> 결과물은 플로팅 게이트(14), 플로팅 게이트(14)에 인접하나 이에 분리되며 동일한 행에서 다른 메모리 셀의 제어 게이트에 접속하는 행 방향의 길이를 따라 진행하는 직사각형 형상의 구조에 접속되는 제어 게이트(36), 동일한 로우방향에서 메모리 셀의 쌍의 제 1영역(62)을 접속하며 로우방향을 따라 진행하는 소스 라인(64), 및 동일한 열 방향에서 메모리 셀 쌍의 제 2영역(74)을 접속하며 행 또는 Y방향을 따라 진행하는 비트 라인(82)을 가진 분할 게이트 타입의 복수의 비휘발성 메모리 셀이다. 제어 게이트, 플로팅 게이트, 소스 라인 및 비트 라인의 형성은 모드 자기-정렬된다. 비휘발성 메모리 셀은 미국특허 제5,572,054호에 개시된 제어 게이트 터널링에 대한 플로팅 게이트를 가진 분할 게이트 타입이며, 상기 특허는 비휘발성 메모리 셀 및 그안에 형성된 어레이의 동작을 참조로하여 본원에 통합되었다.

<77> 플로팅 게이트 길이가 포토리소그라피 단계에 의하여 한정되는 반면에, 플로팅 게이트는 마스크 개구부에 노출되는 플로팅 게이트 폴리 대신에 에칭 마스크에 의해 보호된다. WL 마스크는 워드라인, 플로팅 게이트 및 소스 크기를 동시에 한정한다. 더욱이, 본 발명은 비트라인(82)과 제 2영역(74)의 접촉을 형성하기 위하여 자기-정렬된 접촉방식을 이용한다.

<78> 도 3a-3l은 도 2t에 기술된 것과 유사한 제어 게이트 구조를 형성하기 위한 대안적인 공정을 기술한다. 이러한 대안적인 공정은 도 3a에 기술된 바와같이 폴리층(14)위에 형성된 단일 절연층(22a)이 존재하는 것을 제외하고 도 2a에 도시된 것과 동일한 구조로 시작된다. WL 마스킹 동작은 질화물층(22a)의 상부상에 공급된 포토레지스트로 형성된다. 스트립(즉, 마스킹 영역)이 이 X 또는 로우방향으로 한정되는 마스킹 단계가 적용된다. 인접 스트립사이의 거리는 제조될 장치의 필요성에 의하여 결정된 크기일 수 있다. 포토레지스트는 제거된 포토레지스트 수지 아래에 있는 질화물층(22a)이 하부 폴리층(14)을 노출시키기 위하여 스트립에서 에칭된후에 행 방향으로 마스킹영역, 즉 스트립에서 제거된다. 미러 메모리 셀의 이러한 각 쌍에 대하여, 이러한 에칭 공정은 폴리실리콘층(14) 아래에 연장되는 단일의 제 1트랜치(30)를 형성한다. 나머지 포토레지스트는 제거된다. 절연 스페이서들(90)은 트랜치(30)의 측벽 표면을 따라 형성된다. 상술한 바와 같이, 스페이서들의 형성은 구조의 형상 위에 재료를 침착함으로써 이루어지며, 그 다음에 이방성 에칭 공정(예컨대, RIE)이 수행되며, 재료는 구조의 수평표면으로부터 제거되며, 재료는 구조의 수직방향 표면상에서 손상되지 않는다. 스페이서들(90)은 임의의 유전체 재료로 형성될 수 있다. 도 3b에 기술된 구조에서, 절연 스페이서들(90)은 산화물로 형성된다. 이 다음에 폴리실리콘층 위에 렌즈형 산화물층(50)을 형성하기 위하여 트랜치(30)의 측면에 폴리실리콘층(14)의 노출된 영역을 산화시키는 산화공정이 수행된다. 기술되지 않았지만, 최적의 폴리 에칭 공정은 스페이서들(90) 및 층(50)의 형성전에 형성될 수 있다. 이러한 최적의 이방성 폴리 에칭공정은 폴리층(14)의 상부면이 일부분을 에칭하나, 나머지 질화물층(22a) 다음의 영역내의 상부면에 테이퍼 형상을 남긴다. 결과물은 도 3b에 기술된다.

<79> 산화물 스페이서들(92)은 산화물의 두꺼운 층을 침착한 다음에 스페이서들(92)을 제외한 침착된 산화물을 제거하는 이방성 산화물 에칭을 수행함으로써 트랜치(30)내부에 형성된다. 이러한 산화물 에칭 단계는 트랜치(30)의 각각으로부터 산화물층(50)의 중심부를 제거한다. 이방성 폴리 에칭 공정은 산화물층(12)이 에칭 정지층으로서 동작할때까지 트랜치(30)의 하부에서 노출된 폴리층(14)을 제거하기 위하여 대향하는 절연 스페이서들(92)사이에서 수행된다. 산화물 에칭은 기판(10)을 노출시키기 위하여 트랜치(30)의 하부에서 박막 산화물층(12)을 제거하기 위하여 스페이서들(92)사이에서 형성된다. 스페이서들(92)의 사용은 트랜치(30)의 상부를 한정하기 위하여 사용되는 마스킹 단계의 폭보다 좁은 폴리층(14)에서 폭을 가진 트랜치(30)의 형성한다. 결과적인 구조는 도 3c

에 도시된다.

<80> 트랜치(30)내에 노출된 기판표면 및 폴리실리콘층(14)은 폴리층(14)의 측면상에 FG 산화물 측벽(94)을 형성하기 위하여 그리고 기판 위에 산화물층(12)을 재형성하기 위하여 산화물 단계에서 산화된다. 적절한 이온 주입은 구조의 전체면 전반에 걸쳐 만들어진다. 이온이 트랜치(30)내의 제 1실리콘 이산화물 실리콘(12)을 관통하기에 충분한 에너지를 가지는 위치에서, 이온은 기판(10)내의 제 1영역(즉, 제 2단자)(62)을 형성한다. 모든 다른 영역에서, 이온은 그들이 영향을 미치지 않는 기존의 구조에 의해 흡수된다. 절연물(예컨대 산화물) 스페이서들(96)은 산화물의 층을 침착한 다음 스페이서들(96)을 제외한 침착된 산화물을 제거하는 이방성 산화물 에칭을 수행함으로써 트랜치(30)내에 형성된다. 이러한 산화물 에칭 단계는 기판(10)을 노출시키기 위하여 트랜치(30)의 각각으로부터 산화물층(12)의 중심부를 제거한다. 결과는 도 3d에 도시된다.

<81> 폴리 침착단계가 수행된 다음에, 폴리 블록(98)으로 트랜치(30)를 채우기 위하여 폴리 평탄화(바람직하게 CMP)가 수행된다. 폴리 에칭-백 단계는 트랜치(30)의 외부에서 초과 폴리실리콘을 제거하는 단계가 뒤따른다. 폴리실리콘은 인-시튜 방법을 통해 또는 종래의 주입을 통해 적절하게 도핑된다. 산화물층(100)은 산화물의 층을 침착함으로써 트랜치(30)내의 각각의 폴리 블록(98)위에 형성되며, 그 다음에 폴리 블록(98)상에 산화물을 남기는 양 CMP 및 산화물 에칭-백 공정이 수행된다. 질화물 에칭은 질화물층(22a) 및 질화물 스페이서들(90)을 제거하기 위하여 수행된다. 이방성 폴리 에칭은 산화물 스페이서들(92) 및 산화물층(50)에 의해 커버되지 않는 폴리층(14)의 부분을 제거하는 공정이 뒤따른다. 질화물 및 폴리 에칭 단계는 제 2트랜치(93)를 효율적으로 형성되며, 트랜치는 메모리 셀의 미러 세트의 다른 측면상에 형성된다. 결과적인 구조는 도 3e에 도시되어 있다.

<82> 다음 단계는 폴리실리콘층(14)의 각각의 측면 에지(102)에서 예리한 에지(104)를 상향으로 돌출부 내에, 그리고 폴리실리콘층(14)에 인접하여 상부에 침착되는 절연층을 형성하기 위하여 산화물층(50)과 결합되는 폴리층(14)의 노출된 단부(102)상에 산화물층을 형성하는 산화물 형성공정이다. 예리한 에지(104) 및 산화물층(102/50)에 의해 형성된 절연층의 두께는 전하들의 파울러-노드하임 터널링을 허용한다. 상기 구조 위에 두꺼운 WL 폴리층(106)의 침착이 도 3f에 도시된 바와같이 이어진다(트랜치들(93)이 채워진다).

<83> 그 다음에, 질화물(108)의 층은 구조상에 침착되며, 그 다음에 질화물 평탄화 프로세싱(예컨데, CMP)이 수행된다. 질화물 에칭-백 단계는 폴리층(106)의 평탄한 측면부위에 질화물층(108)의 부분을 남기면서 폴리 층(106)의 상승된 부분위에 질화물층(108)의 부분을 제거하는 단계가 뒤따른다. 산화물(110)의 층을 형성하기 위하여 폴리층(106)의 중심부를 산화시키는 산화단계가 뒤따른다. 결과적인 구조는 도 3g에 기술된다. 질화물층(108)은 질화물 에칭 공정에 의해 제거되며, 그 다음에 도 3h에 도시된 바와 같이 산화물층(110) 바로 아래에 있지 않는 폴리층(106)의 부분을 제거하기 위하여 이방성 폴리 에칭단계가 이어진다.

<84> 산화물 침착 단계는 구조 위에 두꺼운 산화물층(114)에 제공하기 위하여 수행된다. 이 다음에, 에칭 정지층으로서 폴리층(106)을 사용하여 구조물을 평탄화하기 위하여 CMP와 같은 평탄화 산화물 에칭이 수행된다. 산화물 에칭-백 단계가 수행되며, 이에 따라 폴리층(106)의 다른 측면상에 산화물의 블록(114)을 남긴다. 산화물층(110)은 산화물 평탄화 및 에칭-백 단계에 의하여 제거되며, 결국 도 3i에 도시된 구조물을 형성한다. CMP와 같은 평탄화 폴리에칭은 도 3j에 기술된 바와같이 에칭 정지층으로서 산화물 블록(114)을 사용하여 수행된다. 이 다음에, 폴리층(106)의 상단부들을 제거하여 산화물 블록(114)에 인접한 폴리 블록(107)을 남기고 산화물층(100)을 노출시키기 위하여 RIE와 같은 폴리 에칭-백 공정이 뒤따른다. 산화물 블록(114) 및 산화물 스페이서들(92)은 도 3k에 기술된 바와 같이 폴리 블록(107)의 상단 표면위에 연장하면서 남겨진다.

<85> 박막 산화물 에칭단계는 폴리 블록들(98)위에 있는 산화물층(100)을 제거하기 위하여 수행된다. 이 산화물 에칭은 도 3l에 기술된 바와 같이 산화물 스페이서들(92) 및 산화물 블록(114)의 상부를 제거한다. 최적의 주입단계는 노출된 폴리 블록들(107, 98)을 도핑하기 위하여 수행될 수 있다. 그 다음에, 금속 침착단계는 텅스텐, 코발트, 티타늄, 니켈, 플라티늄 또는 몰디브덴과 같은 금속을 구조물상에 침착하기 위하여 수행된다. 이 구조물은 어닐링되며, 이에 따라 열 금속은 금속화된 실리콘(66)(즉, 폴리사이드)의 도전층을 형성하기 위하여 폴리 블록들(107, 98)의 노출된 상단부들로 흐르도록 한다. 나머지 구조물상에 침착된 나머지 금속은 금속 에칭 공정에 의하여 제거된다. 금속화된 실리콘층(66)은 그것이 산화물 스페이서들(92) 및 산화물 블록(114)에 의하여 폴리 블록들(107, 98)에 대해 자기-정렬되기 때문에 자기-정렬된 폴리사이드로 불릴수 있다. 결과적인 구조물은 도 3m에 도시된다.

<86> 보호 질화물층(108)은 다음과 같은 방식으로 산화물 블록(114)사이에 형성된다. 질화물은 구조물상에 침착되며, 그 다음에 에칭 정지층으로서 사용되는 산화물 블록(114)을 사용하여 CMP와 같은 평탄화 질화물 에칭이 수행되며, 이에 따라 질화물층(108)은 도 3n에 도시된 바와같이 산화물 블록(114)과 같은 레벨이다. 산화물 에칭은 질

화물층(108) 및 폴리 블록(107)에 의해 보호되지 않는 산화물층(12)의 부분과 산화물 블록(114)을 제거하는 공정이 수행된다. 결과적인 구조는 도 3o에 도시된다.

<87> 메모리 셀을 완성하기 위하여, 질화물 측 벽 스페이서들(70)은 폴리 블록(32)을 커버/캡슐화하기 위하여 열 산화물 또는 CVD에 의하여 산화물(72)의 층을 형성함으로써 폴리 블록(32)에 형성되며, 그 다음에 스페이서들(70)을 제외하고 모든 질화물을 제거하기 위하여 구조위에 질화물 침착을 수행하며 이방성 질화물 에칭을 수행한다. 산화물층(72)은 질화물층(108)을 보존하기 위하여 에칭 스톱층으로써 사용된다. 이온 주입(예컨대, N+)은 제 1영역(62)이 형성되는 것과 동일한 방식으로 기판내에 제 2영역(즉, 제 1단자)을 형성하기 위하여 사용된다. 박막 산화물 에칭은 기판(10)위에 박막 산화물층(72)의 임의의 노출된 부분을 제거하기 위하여 수행된다. 금속 침착단계는 텅스텐, 코발트, 티타늄, 니켈, 플라티늄 또는 몰디브덴과 같은 금속을 구조물상에 침착하기 위하여 수행된다. 이 구조물은 어닐링하며, 이에 따라 열금속은 측벽 스페이서들(70) 다음에 있는 기판상에 금속화된 실리콘(76)(실리사이드)의 도전층을 형성하기 위하여 기판의 노출된 상단부들내로 흐르도록 한다. 기판(10)상의 금속화된 실리콘영역(76)은 그것이 스페이서들(70)에 의하여 제 2영역(74)에 자기-정렬되기 때문에 자기-정렬될 실리사이드(즉, 살리사이드)로 불릴 수 있다. 나머지 구조물상에 침착된 나머지 금속은 금속 에칭 공정에 의하여 제거된다. 결과적인 구조물은 도 3p에 도시된다.

<88> BPSG(67)과 같은 불활성층은 전체 구조를 커버하기 위하여 사용된다. 마스킹 단계는 살리사이드 영역(76)상의 에칭영역을 한정하기 위하여 수행된다. BPSG(67)는 쌍으로 이루어진 메모리 셀의 인접 세트사이에 형성된 살리사이드 영역(76)위에 보다 넓게 놓이는 접촉 개구부를 형성하기 위하여 마스킹된 영역에 선택적으로 에칭된다. 질화물층(68)은 이러한 에칭 공정으로부터 폴리 블록(36) 및 폴리사이드층(66)을 보호하기 위하여 사용된다. 접촉 개구부는 금속 침착 및 평탄화 에칭-백에 의하여 도전층(78)으로 채워지며, 이에 따라 쌍으로 이루어진 메모리 셀의 인접 세트에 대한 스페이서들(70)사이의 전체 영역은 질화물 스페이서들(70)(즉, 자기-정렬된 접촉방식 또는 SAC)에 의하여 살리사이드 영역(76)에 자기-정렬되는 접촉 도체(78)을 형성하기 위하여 침착된 금속으로 채워진다. 살리사이드층(76)은 도체(78) 및 제 2영역(74)사이의 도전을 용이하게 한다. 비트 라인(82)은 메모리 셀의 열에서 모든 도체(78)를 함께 접속하기 위하여 BPSG(67)위에 금속 마스킹함으로써 추가된다. 최종 메모리 셀 구조는 도 2q에 기술된다.

<89> 자기-정렬된 접촉방식(SAC)은 쌍으로 이루어진 메모리 셀의 인접 세트사이의 최소 공간요구에 대한 중요한 제한사항을 제거한다. 특히, 도 2q는 살리사이드 영역(76)상에 중심을 둔 접촉영역(및 도체(78))을 기술하며, 실제로 살리사이드 영역(76)에 대해 이동된 임의의 바람직하지 않은 수평 시프트없이 접촉 개구부를 형성하는 것이 곤란하다. 비 자기-정렬된 접촉방식에 있어서, BPSG 형성전에 구조상에 질화물의 보호층이 존재하지 않는 위치에서, 전기단락은 접촉부(78)가 폴리사이드층(66) 및 폴리 블록(36)위에 형성되는 경우 발생할 수 있다. 비자기-정렬된 접촉방식에서 전기적 단락을 방지하기 위하여, 접촉 개구들은 접촉영역에서의 가능한 최대 시프트에서조차 그들이 질화물 스페이서들(70) 이상으로 연장되지 않도록 질화물 스페이서들(70)로부터 충분히 떨어져 형성되도록 한다. 이러한 과정은 쌍으로 이루어진 미러 셀의 인접 세트사이의 충분한 허용오차 거리를 제공하기 위하여 스페이서들(70)사이의 최소 거리상에 제한을 제공한다.

<90> 본 발명의 SAC 방법은 BPSG 아래에 금속의 보호층(질화물층(68))을 사용함으로써 제한사항을 제거한다. 이러한 보호층에 있어서, 접촉 개구부는 형성동안 접촉 개구부의 수평 시프트가 존재하는 경우에도 조차 살리사이드 영역(76)으로 접촉 개구부가 채워지는 것이 보장되도록, 충분한 폭으로 BPSG에 형성된다. 질화물층(68)은 접촉부(78)의 부분이 임의의 단락없이 폴리 블록(36) 또는 폴리사이드층(66)위에 형성되도록 한다. 넓은 개구는 접촉부(78)가 스페이서들(70)사이의 매우 좁은 공간을 완전히 채워 살리사이드 영역(76)과 양호한 접촉을 형성하도록 한다. 따라서, 스페이서들(70)사이의 접촉영역의 폭은 스페이서들(70)사이의 공간을 채워 결함접속을 방지하는 동안 최소화될수 있으며, 이에 따라 전체 셀 크기의 스케일을 감소시킨다.

<91> 도 3q에 도시된 바와같이, 제 1 및 제 2 영역들(62/74)은 에칭 셀에 대한 소스 및 드레인을 형성한다(당업자는 소스 및 드레인이 동작중에 스위칭될 수 있다는 것을 안다). 각 셀에 대한 채널영역(80)은 소스 및 드레인(62/74)사이에 있는 기판의 일부분이다. 폴리 블록(36)은 제어 게이트를 구성하며, 폴리층(14)은 플로팅 게이트를 구성한다. 제어 게이트(36)는 제 2영역(74)의 에지에 정렬된 한 측면을 가지며, 채널 영역(80)의 부분위에 침착된다. 제어 게이트(36)는 일반적으로 직사각형 형상을 가지나, 하부 좁은 부분(38)은 플로팅 게이트(14)(산화물층(34))에 인접하여 배치되며 넓은 상단부들(40)은 인접 폴리층(14)(산화물층(50)에 의해 절연된다)의 일부분위에 침착된다. 노치(84)는 플로팅 게이트(14)의 예리한 에지들(54)이 노치(84)내로 연장되는 돌출부(42)에 의해 형성된다. 플로팅 게이트(14)는 채널영역(80)의 부분위에 있으며, 제어 게이트(36)에 의하여 한 단부에 부분적으로 중첩되며, 다른 단부를 가진 제 1영역(62)을 부분적으로 중첩된다. 도 2q에 기술된 바와같이, 본 발명

의 공정은 서로 미러인 메모리 셀의 쌍을 형성한다. 미러 메모리 셀의 각 쌍은 산화물층(72) 및 질화물 스페이서들(70)에 의하여 미러 메모리 셀의 인접쌍으로부터 절연된다.

<92> 이러한 대안적인 실시예는 단일 트랜치의 초기 형성에 기초하여 메모리 셀의 쌍을 형성하는 장점을 가진다. 게다가, 제어 게이트는 플로팅 게이트(14)상의 돌출부(120), 및 실리사이드 영역(76)의 자기-정렬된 형성 및 평탄한 스페이서(70)의 형성을 용이하게 하며 차례로 자기-정렬된 도체(78)의 형성을 용이하게 하는 평탄한 대향면과 함께 직사각형으로 형성된다.

<93> 본 발명은 전술한 실시예에 제한되지 않으며 청구범위내에서 변형할 수 있다. 예를들어, 비록 상기 방법이 메모리 셀을 형성하기 위하여 사용된 도전 재료로서 적당히 도핑된 폴리실리콘의 사용을 기술하지만, 임의의 적당한 도전 재료가 사용될수있다는 것은 당업자에게 명확하다. 게다가, 임의의 적당한 절연체는 이산화 실리콘 또는 질화 실리콘 대신 사용될 수 있다. 게다가, 에칭 특성이 이산화 실리콘(또는 임의의 절연체) 및 폴리실리콘(또는 임의의 도전체)과 다른 임의의 적당한 재료는 질화 실리콘 대신 사용될 수 있다. 게다가, 청구항에서 명백한 바와같이, 모든 방법 단계는 도시되거나 주장된 정확한 순서로 수행되는 것이 아니라, 본 발명의 메모리 셀을 적당히 형성할 수 있는 임의의 순서로 수행될 필요가 있다. 예를들어, 제 1 트랜치(30) 및 폴리 블록들(36,36a)이 형성되고, 폴리 층(14)이 모두 인접 폴리 블록들(36/36a)에 인접하게 형성되기 전에 그 측벽이 그후 에칭된다. 최종적으로, 폴리 블록(36)은 대칭으로 도시되고, 노치(84)를 형성하는 돌출부(42)는 플로팅 게이트(14)와 면하는 폴리 블록의 측벽상에만 형성된다(즉, 플로팅 게이트와 면하는 각각의 트랜치(30)의 측벽은 최소한 트랜치(30)의 하부에 톱니모양을 포함한다).

발명의 효과

<94> 본 발명은 WL 폴리 길이에 대해 보다 양호한 제어를 제공하며, 그러므로 미러 셀에 있어서 프로그램 교란의 양호한 억압을 제공한다.

도면의 간단한 설명

<1> 도 1a는 절연 영역을 형성하기 위하여 본 발명의 방법의 제 1 단계에 사용된 반도체 기판의 평면도.

<2> 도 1b는 라인1-1을 따라 취한 단면도.

<3> 도 1c는 절연 영역이 형성되어 있는, 도 1b의 구조의 처리시에 있어서 다음 단계의 평면도.

<4> 도 1d는 구조에 형성되어 있는 절연 스트립을 도시하는 라인 1-1을 따라 취한 도 1c의 구조의 단면도.

<5> 도 1e는 반도체 기판에 형성될 수 있는 절연 영역의 두가지 형태 즉 LOCOS 또는 얕은 트랜치를 도시하는 라인1-1을 따라 취한 도1c의 구조의 단면도.

<6> 도2a-2t는 분할 게이트 타입의 플로팅 메모리 셀의 비휘발성 메모리 어레이의 형성시에 도1c에 도시된 구조의 처리에 있어서 다음 단계를 순차로 도시하는 도1c의 라인2-2을 따라 취한 단면도.

<7> 도2u는 분할 게이트 타입의 플로팅 메모리 셀의 비휘발성 메모리 어레이의 형성시에 활성 영역에서 로우 라인과 비트 라인의 단자로의 상호접속을 도시하는 평면도.

<8> 도3a-3q는 분할 게이트 타입의 플로팅 메모리 셀의 비휘발성 메모리 어레이의 형성시에, 도1c에 도시한 구조의 첫 번째 교번 처리에 있어서 단계들을 순차로 도시하는 도1c의 라인2-2을 따라 취한 단면도.

<9> *도면의 주요 부분에 대한 부호의 설명*

<10> 10 : 반도체 기판 12 : 제 1 절연 재료층

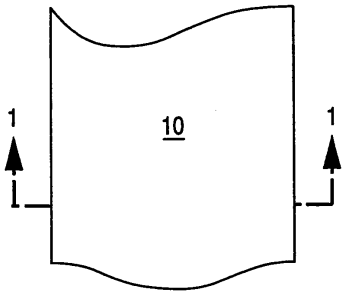
<11> 14 : 폴리실리콘 16 : 스트라이프

<12> 18 : 실리콘 질화물층 19 : 포토레지스트 재료

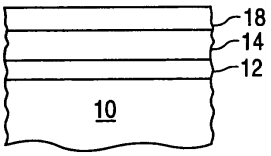
<13> 20a 및 20b : 절연 재료

도면

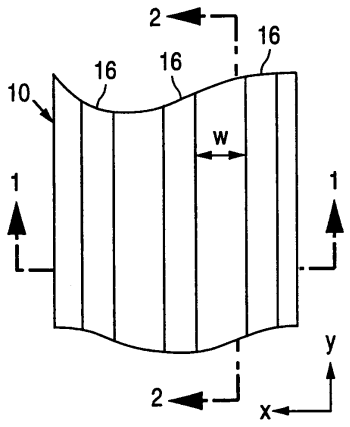
도면1a



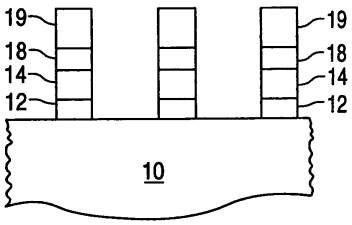
도면1b



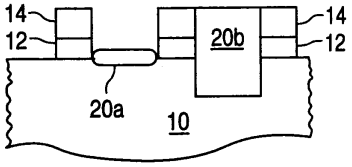
도면1c



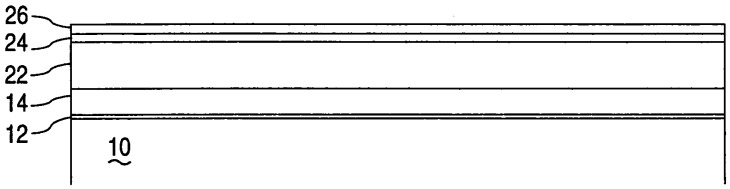
도면1d



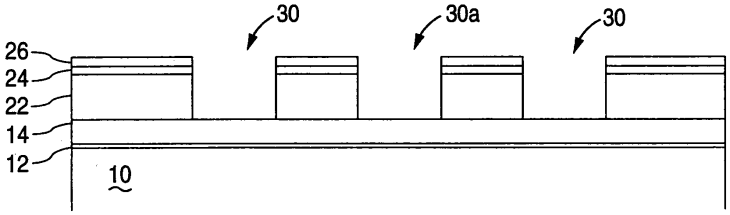
도면1e



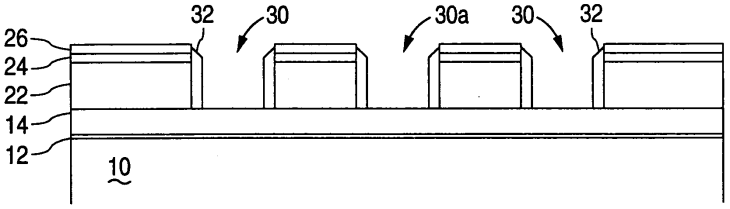
도면2a



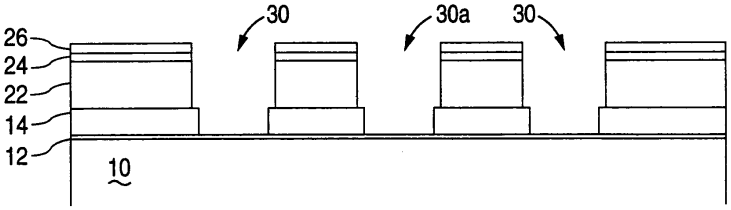
도면2b



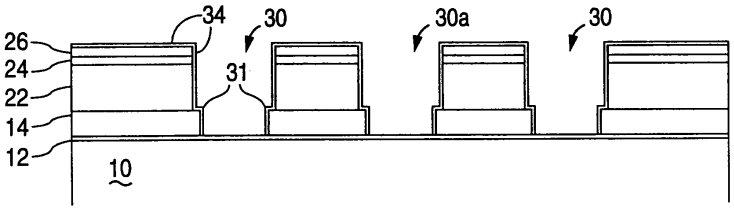
도면2c



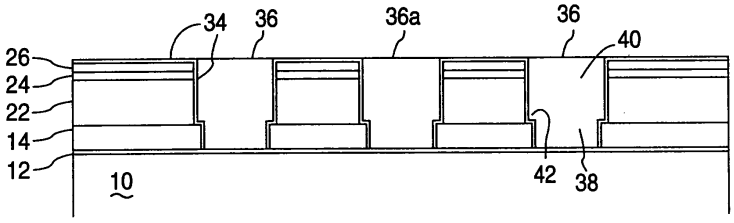
도면2d



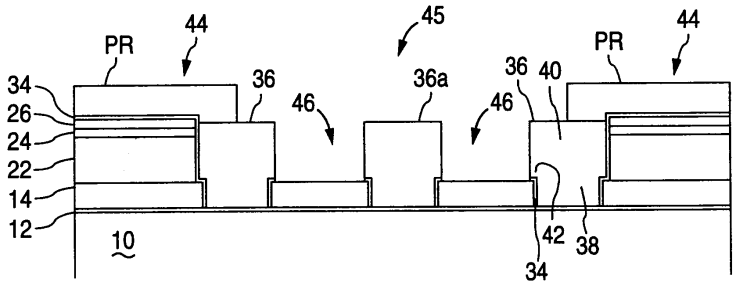
도면2e



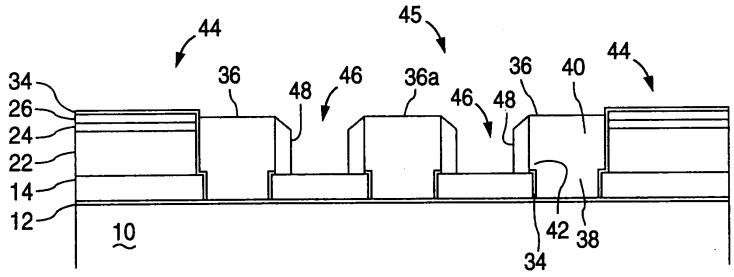
도면2f



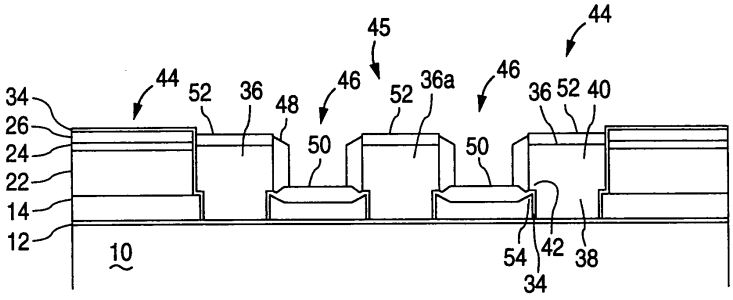
도면2g



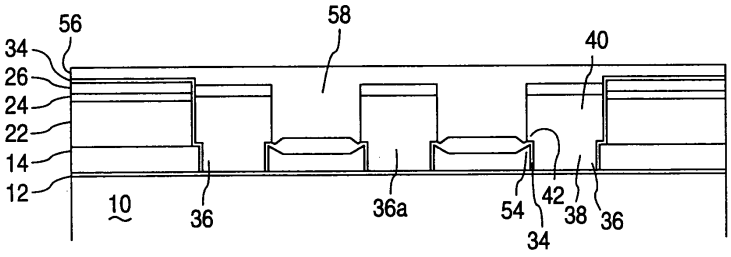
도면2h



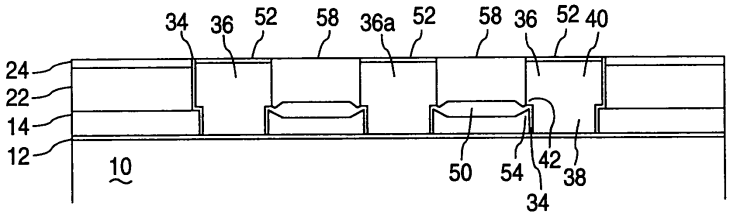
도면2i



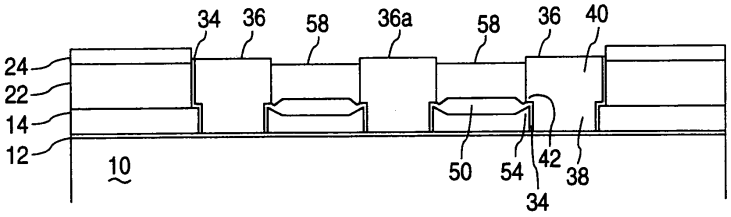
도면2j



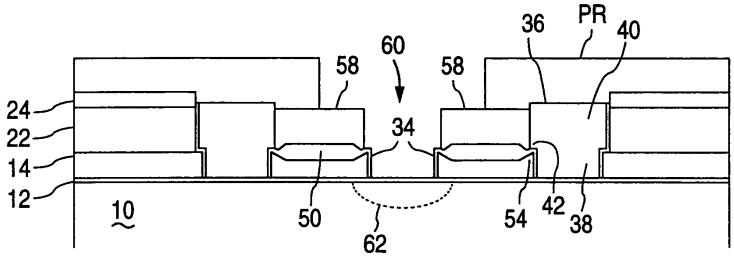
도면2k



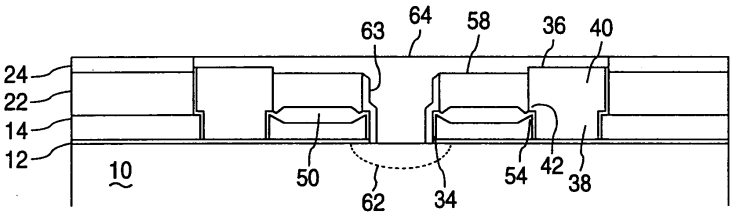
도면21



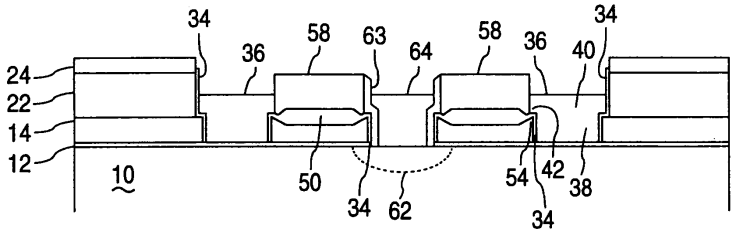
도면2m



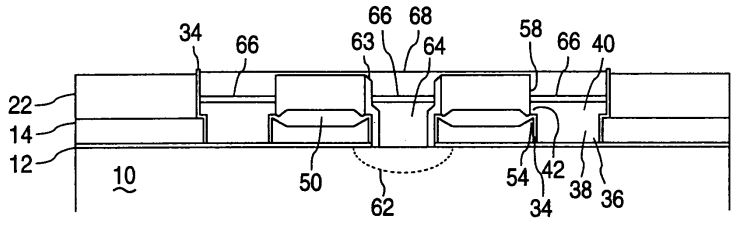
도면2n



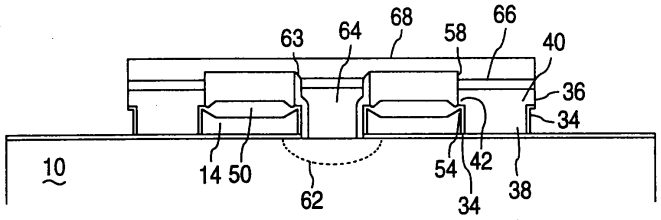
도면2o



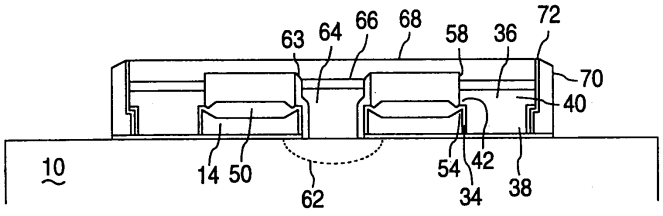
도면2p



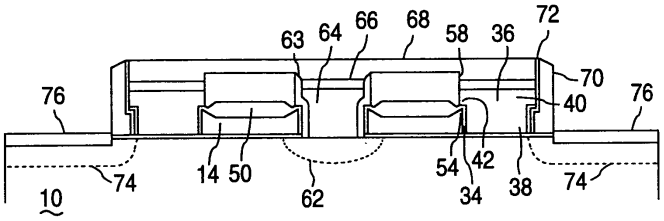
도면2q



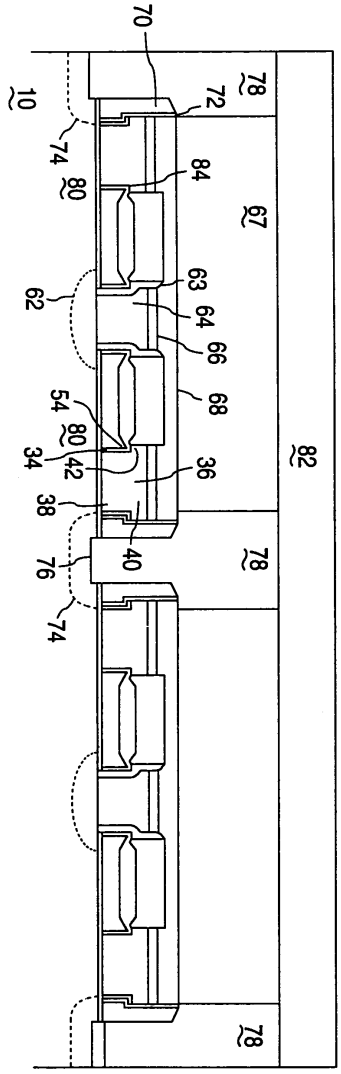
도면2r


63
64
66
68
58
36
72
70
40
10
14
50
62
54
42
34
38

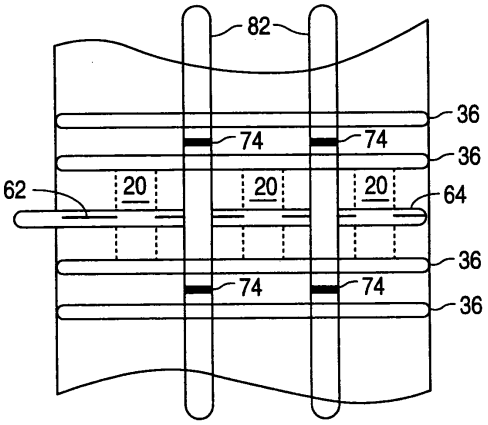
도면2s


63
64
66
68
58
36
72
70
40
76
76
74
74
10
14
50
62
54
42
34
38

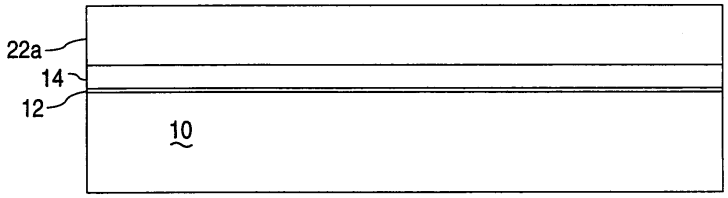
도면2t


70
78
72
10
74
80
84
67
62
63
64
66
68
54
80
34
42
36
82
38
40
78
76
74
78

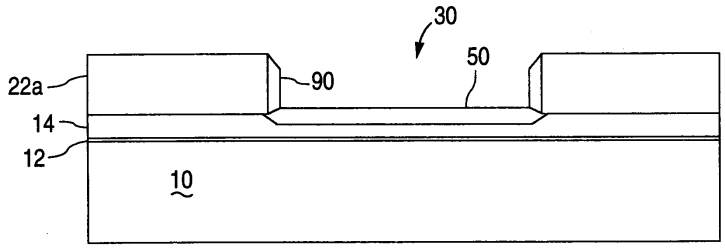
도면2u


82
36
74
74
36
62
20
20
20
64
36
74
74
36

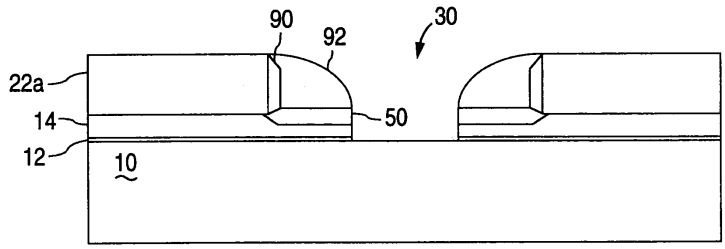
도면3a



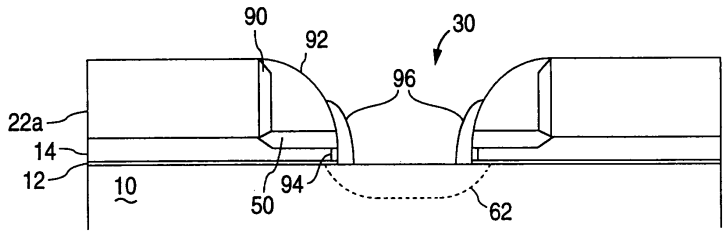
도면3b



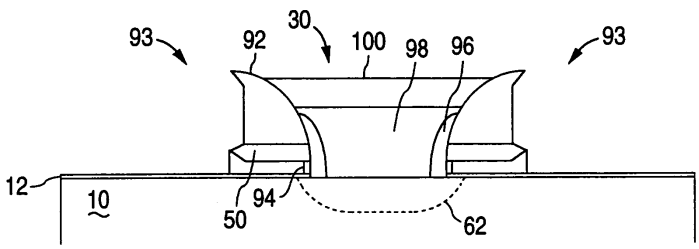
도면3c



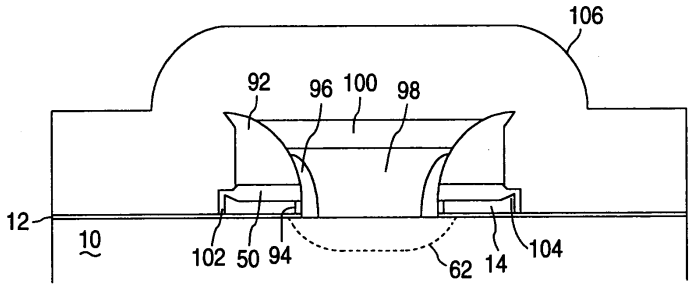
도면3d



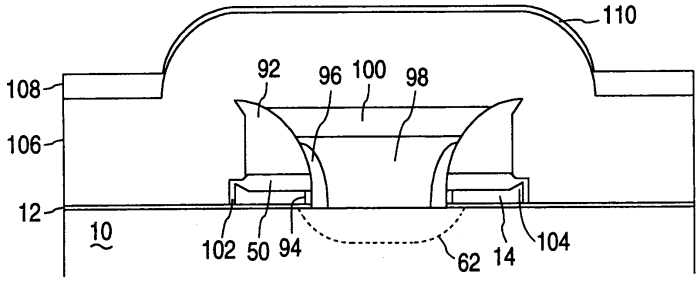
도면3e



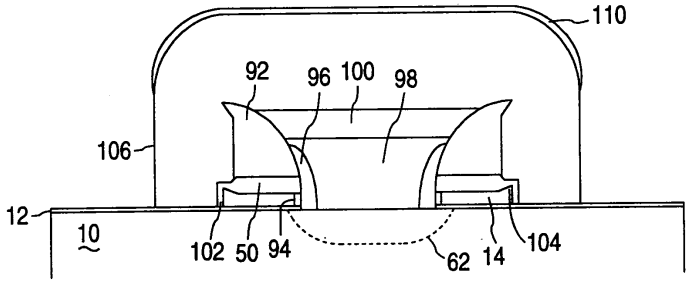
도면3f



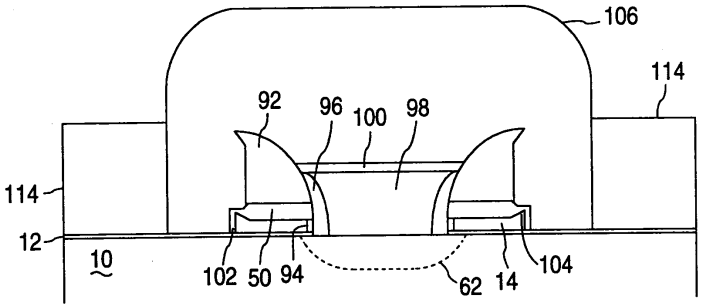
도면3g



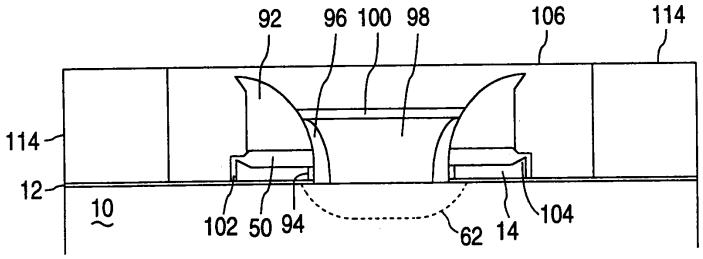
도면3h



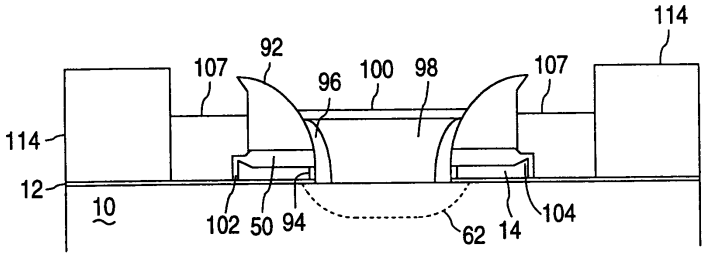
도면3i



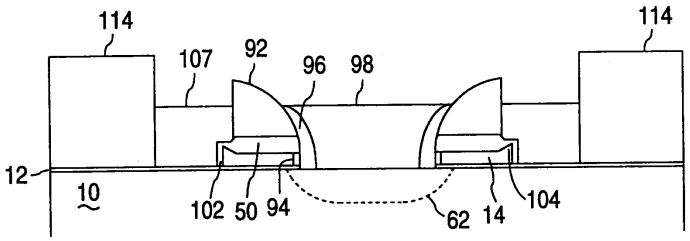
도면3j



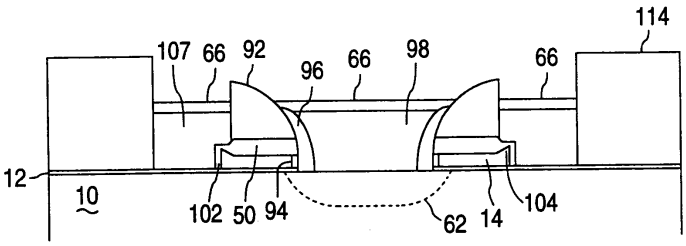
도면3k



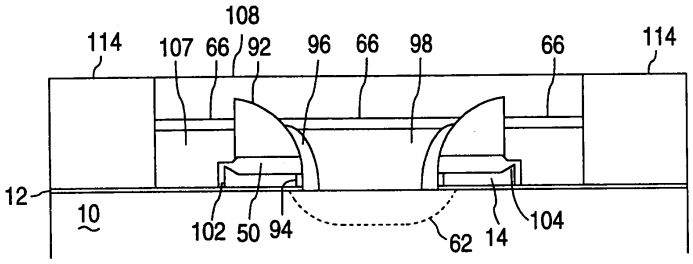
도면31



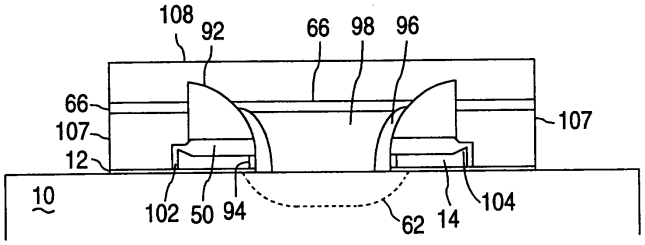
도면3m



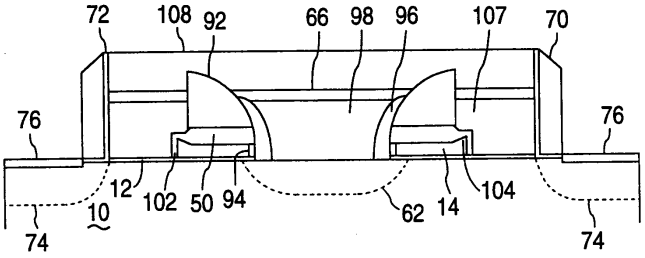
도면3n



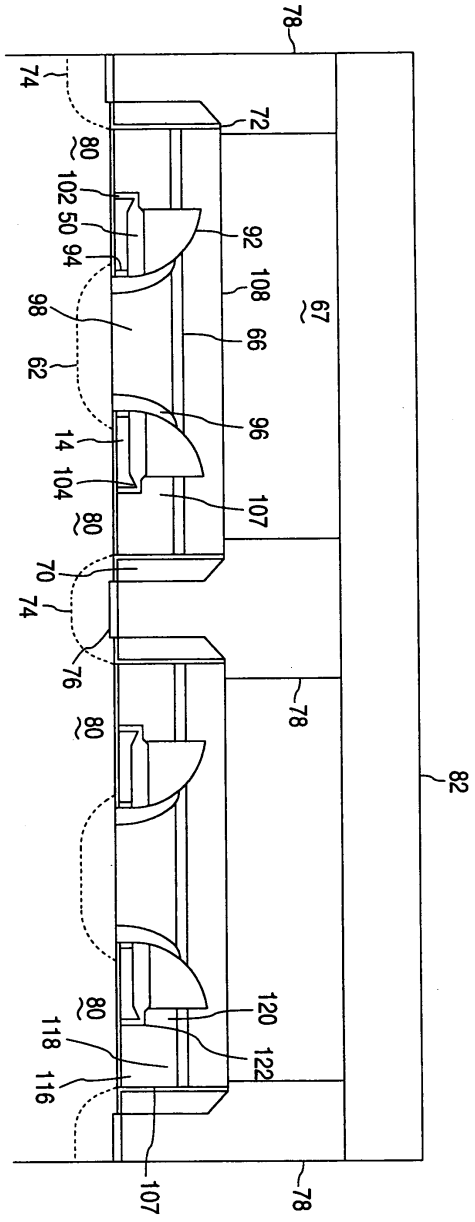
도면3o



도면3p



도면3q


78
74
72
80
102
50
94
92
108
67
98
66
62
96
14
104
107
80
70
74
76
78
80
82
80
120
118
122
116
107
78