

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】令和2年4月23日(2020.4.23)

【公開番号】特開2019-169233(P2019-169233A)

【公開日】令和1年10月3日(2019.10.3)

【年通号数】公開・登録公報2019-040

【出願番号】特願2019-93479(P2019-93479)

【国際特許分類】

G 11 C 16/08 (2006.01)

G 11 C 16/30 (2006.01)

【F I】

G 11 C 16/08

G 11 C 16/08 120

G 11 C 16/08 130

G 11 C 16/08 140

G 11 C 16/30 110

【手続補正書】

【提出日】令和2年3月12日(2020.3.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

フラッシュメモリセルの結合ゲートとともに使用するためのデコーダ回路であって、
前記フラッシュメモリセルが読み出し動作に選択されたときに、前記結合ゲートにバイアス電圧を提供するための第1回路と、
前記フラッシュメモリセルがプログラム動作に選択されたときに、前記結合ゲートに正電圧を提供するための第2回路と、
前記フラッシュメモリセルが消去動作に選択されたときに、前記結合ゲートに電圧を提供するための第3回路と、
前記フラッシュメモリセルが非選択であるときに、前記結合ゲートに抑制電圧を提供するための第4回路と、を備える、デコーダ回路。

【請求項2】

前記デコーダ回路が、カスコードトランジスタを含まない、請求項1に記載の回路。

【請求項3】

前記第3回路が、負電圧を前記結合ゲートに提供する、請求項1に記載の回路。

【請求項4】

フラッシュメモリセルとともに使用するためのデコーダ回路であって、
前記フラッシュメモリセルの消去ゲートとともに使用するための消去ゲートデコーダ回路と、
前記フラッシュメモリセルのソース線とともに使用するためのソース線デコーダ回路と、
前記フラッシュメモリセルの結合ゲートとともに使用するための結合ゲートデコーダ回路であって、
前記フラッシュメモリセルが読み出し動作に選択されたときに、前記結合ゲートにバイアス電圧を提供するための第1回路と、

前記フラッシュメモリセルがプログラム動作に選択されたときに、前記結合ゲートに正電圧を提供するための第2回路と、

前記フラッシュメモリセルが消去動作に選択されたときに、前記結合ゲートに電圧を提供するための第3回路と、

前記フラッシュメモリセルが非選択であるときに、前記結合ゲートに抑制電圧を提供するための第4回路と、を備える、結合ゲートデコーダ回路と、を備える、デコーダ回路。

【請求項5】

前記結合ゲートデコーダ回路が、カスコードトランジスタを含まない、請求項4に記載の回路。

【請求項6】

前記第3回路が、負電圧を前記結合ゲートに提供する、請求項4に記載の回路。

【請求項7】

第1組のメモリセル及び第2組のメモリセルを備えるフラッシュメモリデバイスを動作させる方法であって、

前記第1組のメモリセルを消去することであって、

第1負電圧を前記第1組のメモリセルの各結合ゲートに印加することと、

非負電圧を前記第1組のメモリセルの各ワード線及びビット線に印加することと、

第1正電圧を前記第1組のメモリセルの各消去ゲートに印加することと、を含む、消去すること、

第2正電圧を前記第2組のメモリセルの各結合ゲートに印加することによって、前記第2組のメモリセルの前記消去を抑制することと、を含む、方法。

【請求項8】

第2正電圧を印加する前記工程が、第1負電圧を印加する前記工程と同時に、又はほぼ同時に、かつ第1正電圧を印加する前記工程の前に起こる、請求項7に記載の方法。

【請求項9】

入力を受信し、出力を発生させるための負高電圧レベルシフタであって、

第1PMOSトランジスタと、第2PMOSトランジスタと、第1NMOSトランジスタと、第2NMOSトランジスタと、を備えるカスコード回路を備え、前記第1NMOSトランジスタがディープN型ウェルを備え、前記第2NMOSトランジスタがディープN型ウェルを備え、

前記第1NMOSトランジスタの端子が、前記第2NMOSトランジスタの端子に結合され、前記入力に応答する前記出力として、高負電圧を発生させる、負高電圧レベルシフタ。

【請求項10】

前記出力が高負電圧を発生させたときに、前記ディープN型ウェルが0電圧に駆動される、請求項9に記載の負高電圧レベルシフタ。

【請求項11】

負中電圧レベルシフタ回路を更に備える、請求項9に記載の負高電圧レベルシフタ。

【請求項12】

前記負高電圧レベルシフタの出力が負電圧を発生させたときに、Vdd高電圧源が接地に切り換わる、請求項9に記載の負高電圧レベルシフタ。