

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】令和 2 年 4 月 23 日 (2020.4.23)

【公開番号】特開 2019-169233 (P2019-169233A)

【公開日】令和 1 年 10 月 3 日 (2019.10.3)

【年通号数】公開・登録公報 2019-040

【出願番号】特願 2019-93479 (P2019-93479)

【国際特許分類】

G 1 1 C 16/08 (2006.01)

G 1 1 C 16/30 (2006.01)

【F I】

G 1 1 C 16/08

G 1 1 C 16/08 1 2 0

G 1 1 C 16/08 1 3 0

G 1 1 C 16/08 1 4 0

G 1 1 C 16/30 1 1 0

【手続補正書】

【提出日】令和 2 年 3 月 12 日 (2020.3.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

フラッシュメモリセルの結合ゲートとともに使用するためのデコーダ回路であって、
前記フラッシュメモリセルが読み出し動作に選択されたときに、前記結合ゲートにバイ
アス電圧を提供するための第 1 回路と、

前記フラッシュメモリセルがプログラム動作に選択されたときに、前記結合ゲートに正
電圧を提供するための第 2 回路と、

前記フラッシュメモリセルが消去動作に選択されたときに、前記結合ゲートに電圧を提
供するための第 3 回路と、

前記フラッシュメモリセルが非選択であるときに、前記結合ゲートに抑制電圧を提供す
るための第 4 回路と、を備える、デコーダ回路。

【請求項 2】

前記デコーダ回路が、カスコードトランジスタを含まない、請求項 1 に記載の回路。

【請求項 3】

前記第 3 回路が、負電圧を前記結合ゲートに提供する、請求項 1 に記載の回路。

【請求項 4】

フラッシュメモリセルとともに使用するためのデコーダ回路であって、
前記フラッシュメモリセルの消去ゲートとともに使用するための消去ゲートデコーダ回
路と、

前記フラッシュメモリセルのソース線とともに使用するためのソース線デコーダ回路と
、

前記フラッシュメモリセルの結合ゲートとともに使用するための結合ゲートデコーダ回
路であって、

前記フラッシュメモリセルが読み出し動作に選択されたときに、前記結合ゲートにバイ
アス電圧を提供するための第 1 回路と、

前記フラッシュメモリセルがプログラム動作に選択されたときに、前記結合ゲートに正電圧を提供するための第２回路と、

前記フラッシュメモリセルが消去動作に選択されたときに、前記結合ゲートに電圧を提供するための第３回路と、

前記フラッシュメモリセルが非選択であるときに、前記結合ゲートに抑制電圧を提供するための第４回路と、を備える、結合ゲートデコーダ回路と、を備える、デコーダ回路。

【請求項５】

前記結合ゲートデコーダ回路が、カスコードトランジスタを含まない、請求項４に記載の回路。

【請求項６】

前記第３回路が、負電圧を前記結合ゲートに提供する、請求項４に記載の回路。

【請求項７】

第１組のメモリセル及び第２組のメモリセルを備えるフラッシュメモリデバイスを動作させる方法であって、

前記第１組のメモリセルを消去することであって、

第１負電圧を前記第１組のメモリセルの各結合ゲートに印加することと、

非負電圧を前記第１組のメモリセルの各ワード線及びビット線に印加することと、

第１正電圧を前記第１組のメモリセルの各消去ゲートに印加することと、を含む、消去することと、

第２正電圧を前記第２組のメモリセルの各結合ゲートに印加することによって、前記第２組のメモリセルの前記消去を抑制することと、を含む、方法。

【請求項８】

第２正電圧を印加する前記工程が、第１負電圧を印加する前記工程と同時に、又はほぼ同時に、かつ第１正電圧を印加する前記工程の前に起こる、請求項７に記載の方法。

【請求項９】

入力を受信し、出力を発生させるための負高電圧レベルシフタであって、

第１PMOSトランジスタと、第２PMOSトランジスタと、第１NMOSトランジスタと、第２NMOSトランジスタと、を備えるカスコード回路を備え、前記第１NMOSトランジスタがディープN型ウェルを備え、前記第２NMOSトランジスタがディープN型ウェルを備え、

前記第１NMOSトランジスタの端子が、前記第２NMOSトランジスタの端子に結合され、前記入力に応答する前記出力として、高負電圧を発生させる、負高電圧レベルシフタ。

【請求項１０】

前記出力が高負電圧を発生させたときに、前記ディープN型ウェルが０電圧に駆動される、請求項９に記載の負高電圧レベルシフタ。

【請求項１１】

負中電圧レベルシフタ回路を更に備える、請求項９に記載の負高電圧レベルシフタ。

【請求項１２】

前記負高電圧レベルシフタの出力が負電圧を発生させたときに、V_{dd}高電圧源が接地に切り換わる、請求項９に記載の負高電圧レベルシフタ。