

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/762 (2006.01)

H01L 21/20 (2006.01)

H01L 21/324 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200480014971.6

[43] 公开日 2006年7月5日

[11] 公开号 CN 1799136A

[22] 申请日 2004.5.27

[21] 申请号 200480014971.6

[30] 优先权

[32] 2003.5.30 [33] US [31] 10/448,948

[86] 国际申请 PCT/US2004/016747 2004.5.27

[87] 国际公布 WO2004/112102 英 2004.12.23

[85] 进入国家阶段日期 2005.11.29

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 斯蒂芬·W·贝戴尔 陈华杰

安东尼·G·多美尼古奇

基思·E·佛格尔

理查德·J·墨菲

德温德拉·K·萨达纳

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

代理人 王永刚

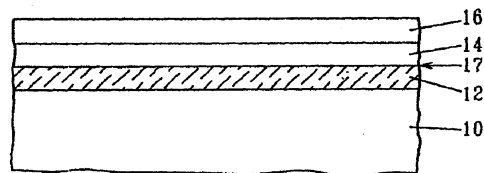
权利要求书 5 页 说明书 15 页 附图 12 页

[54] 发明名称

通过在硅锆合金熔点附近进行退火而制造
SGOI 的方法

[57] 摘要

提供了一种制造低缺陷的基本上弛豫的绝缘体上硅锆衬底材料的方法。此方法包括首先在存在于阻挡锆扩散的阻挡层(12)顶部的第一单晶硅层(14)的表面上形成含锆层(16)。然后在接近最终硅锆合金熔点且抑制堆垛层错缺陷形成同时保持锆的温度下执行加热步骤。此加热步骤使锆能够在整个第一单晶硅层和含锆层中相互扩散,从而在阻挡层顶部形成基本上弛豫的单晶硅锆层。而且,由于在接近最终硅锆合金熔点的温度下执行加热步骤,故存在于单晶硅锆层中由于弛豫而引起的缺陷被有效地从中清除。在一个实施方案中,加热步骤包括在大约 1230 - 1320°C 下执行大约 2 小时的氧化过程。此实施方案提供了具有最小表面凹坑和降低了的交叉影线的 SGOI 衬底。



1. 一种制造绝缘体上硅锗衬底材料的方法，它包含下列步骤：
在第一单晶硅层的表面上形成含锗层，所述第一单晶硅层存在于
5 阻挡锗扩散的阻挡层顶部；以及
将所述各层加热到处于或接近选择的硅锗合金的熔点的温度，引起应变弛豫缺陷明显减少，同时使锗能够在整个所述第一单晶硅层和所述含锗层中相互扩散，从而在所述阻挡层顶部形成低缺陷的基本上弛豫的单晶硅锗层，所述温度处于或高于限制堆垛层错缺陷产生的温
10 度。
 2. 权利要求 1 的方法，其中，所述第一单晶硅层和所述阻挡层是绝缘体上硅（SOI）衬底的组成部分。
 3. 权利要求 1 的方法，其中，所述第一单晶硅层和所述阻挡层是非 SOI 衬底的组成部分。
 - 15 4. 权利要求 1 的方法，其中，所述阻挡层是图形化的阻挡层。
 5. 权利要求 1 的方法，其中，所述阻挡层是未被图形化的阻挡层。
 6. 权利要求 1 的方法，其中，所述阻挡层包含结晶或非结晶的氧化物或者结晶或非结晶的氮化物。
 - 20 7. 权利要求 1 的方法，其中，所述阻挡层是埋置的氧化物区。
 8. 权利要求 1 的方法，其中，所述含锗层是硅锗合金或纯锗。
 9. 权利要求 8 的方法，其中，所述含锗层是包含直至 99.99 原子百分比的锗的硅锗合金。
 10. 权利要求 9 的方法，其中，所述硅锗层包含大约 10-35 原子
25 百分比的锗。
 11. 权利要求 1 的方法，其中，用选自低压化学气相淀积、大气压化学气相淀积、超高真空化学气相淀积、分子束外延、以及等离子体增强化学气相淀积的外延生长工艺，来形成所述含锗层。
 12. 权利要求 1 的方法，还包含在加热之前，于所述含锗层顶部

形成硅帽层。

13. 权利要求 12 的方法，其中，所述硅帽层包含外延硅、非晶硅、单晶或多晶硅、或它们的任何组合和多层。

14. 权利要求 13 的方法，其中，所述硅帽层包含外延硅。

5 15. 权利要求 1 的方法，还包含在加热之前执行注入步骤，所述注入步骤包括离子，这些离子能够在第一单晶硅层与阻挡层之间的界面处或附近形成可增强弛豫的缺陷。

16. 权利要求 12 的方法，还包含在加热之前执行注入步骤，所述注入步骤包括离子，这些离子能够在第一单晶硅层与阻挡层之间的
10 界面处或附近形成可增强弛豫的缺陷。

17. 权利要求 15 的方法，其中，所述离子包含氢、氘、氦、氧、氟、或它们的混合物和同位素。

18. 权利要求 16 的方法，其中，所述离子包含氢、氘、氦、氧、氟、或它们的混合物和同位素。

15 19. 权利要求 1 的方法，其中，表面氧化物层在所述加热步骤中形成。

20. 权利要求 18 的方法，还包含用湿法化学腐蚀工艺清除所述表面氧化物层。

21. 权利要求 1 的方法，其中，所述形成步骤和加热步骤被重复
20 任何次数。

22. 权利要求 1 的方法，其中，所述加热步骤在至少包含一种含氧气体的氧化气氛中进行。

23. 权利要求 1 的方法，其中，所述加热步骤在 1230-1350°C 之间。

25 24. 权利要求 22 的方法，其中，所述至少一种含氧气体包含 O₂、NO、N₂O、臭氧、空气、或它们的混合物。

25. 权利要求 22 的方法，还包含惰性气体，所述惰性气体被用来稀释所述至少一种含氧气体。

26. 权利要求 1 的方法，其中，所述温度依赖于存在于硅锗层中

的锗份额。

27. 权利要求 1 的方法，其中，所述基本上弛豫的硅锗层的厚度约为 2000nm 或以下。

5 28. 权利要求 1 的方法，其中，所述基本上弛豫的硅锗层的缺陷密度约为每平方厘米 10^7 或以下。

29. 权利要求 1 的方法，其中，所述基本上弛豫的硅锗层的实测晶格弛豫约为 1-99%。

30. 权利要求 1 的方法，还包含在所述基本上弛豫的硅锗层顶部生长额外的硅锗层。

10 31. 权利要求 30 的方法，还包含在所述额外的硅锗层顶部形成应变硅层。

32. 权利要求 1 的方法，还包含在所述基本上弛豫的硅锗层顶部形成应变硅层。

15 33. 权利要求 1 的方法，其中，用氧化工艺来执行所述加热，其中，在大约 1230-1320°C 的温度下执行短于大约 2 小时的氧化。

34. 权利要求 33 的方法，还包含在加热之前执行注入步骤，所述注入步骤包括离子，这些离子能够在第一单晶硅层与阻挡层之间的界面处或附近形成可增强弛豫的缺陷。

20 35. 权利要求 34 的方法，其中，所述离子包含氢、氘、氦、氧、氟、氖、或它们的混合物和同位素。

36. 一种制造绝缘体上硅锗衬底材料的方法，它包含下列步骤：
在第一单晶硅层的表面上形成含锗层，所述第一单晶硅层存在于阻挡锗扩散的阻挡层顶部；以及

25 将所述各层加热到处于或接近选择的硅锗合金的熔点的温度，使应变弛豫诱发的缺陷明显减少，同时使锗能够在整个所述第一单晶硅层和所述含锗层中相互扩散，从而在所述阻挡层顶部形成低缺陷的基本上弛豫的单晶硅锗层，所述温度处于或高于限制堆垛层错缺陷产生的温度，所述加热包括在大约 1230-1325°C 的温度下执行短于大约 2 小时的氧化工艺。

37. 权利要求 36 的方法, 还包含在加热之前执行注入步骤, 所述注入步骤包括离子, 这些离子能够在第一单晶硅层与阻挡层之间的界面处或附近形成可增强弛豫的缺陷。

5 38. 权利要求 37 的方法, 其中, 所述离子包含氢、氘、氦、氧、氟、氖、或它们的混合物和同位素。

39. 一种衬底材料, 它包含:

含硅衬底;

存在于所述含硅衬底顶部的阻挡锗扩散的绝缘区; 以及

10 存在于所述绝缘区顶部的基本上弛豫的硅锗层, 其中, 所述基本上弛豫的硅锗层的厚度约为 2000nm 或以下, 且缺陷密度约为每平方厘米 10^7 或以下。

40. 权利要求 39 的衬底材料, 其中, 所述绝缘区被图形化。

41. 权利要求 39 的衬底材料, 其中, 所述绝缘区未被图形化。

15 42. 权利要求 39 的衬底材料, 其中, 所述绝缘区包含结晶或非结晶的氧化物或者结晶或非结晶的氮化物。

43. 权利要求 39 的衬底材料, 其中, 所述绝缘区是埋置的氧化物区。

44. 权利要求 39 的衬底材料, 其中, 所述基本上弛豫的硅锗层的实测晶格弛豫约为 1-99%。

20 45. 权利要求 39 的衬底材料, 其中, 所述基本上弛豫的硅锗层的表面具有小于大约 15 埃 RMS 的实测表面粗糙度。

46. 权利要求 39 的衬底材料, 其中, 所述基本上弛豫的硅锗层的堆垛层错和/或微孪晶缺陷密度小于大约每平方厘米 1×10^5 。

25 47. 权利要求 45 的衬底材料, 其中, 所述弛豫的硅锗层具有深度小于 30 埃且宽度小于 300nm 的表面凹坑。

48. 一种异质结构, 它包含:

含硅衬底;

存在于所述含硅衬底顶部的阻挡锗扩散的绝缘区;

存在于绝缘区顶部的基本上弛豫的硅锗层, 其中, 所述基本上弛

豫的硅锗层的厚度约为 2000nm 或以下, 且缺陷密度约为每平方厘米 10^7 或以下; 以及

形成在基本上弛豫的硅锗层顶部的应变硅层。

49. 权利要求 48 的异质结构, 其中, 所述绝缘区被图形化。

5 50. 权利要求 48 的异质结构, 其中, 所述绝缘区未被图形化。

51. 权利要求 48 的异质结构, 其中, 所述绝缘区包含结晶或非结晶的氧化物或者结晶或非结晶的氮化物。

52. 权利要求 48 的异质结构, 其中, 所述绝缘区是埋置的氧化物区。

10 53. 权利要求 48 的异质结构, 其中, 所述基本上弛豫的硅锗层的实测晶格弛豫约为 1-99%。

54. 权利要求 48 的异质结构, 其中, 所述应变硅层包含外延硅层。

15 55. 权利要求 48 的异质结构, 其中, 交替的弛豫硅锗层和应变硅层位于所述应变硅层顶部。

56. 权利要求 48 的异质结构, 其中, 用选自 GaAs 和 GaP 的晶格失配化合物来替换所述应变硅层。

57. 权利要求 48 的异质结构, 其中, 所述基本上弛豫的硅锗层的表面具有小于大约 15 埃 RMS 的实测表面粗糙度。

20 58. 权利要求 57 的衬底材料, 其中, 所述弛豫的硅锗层具有深度小于 30 埃且宽度小于 300nm 的表面凹坑。

通过在硅锗合金熔点附近 进行退火而制造 SGOI 的方法

5

技术领域

本发明涉及到制造半导体结构材料的方法，更确切地说是涉及到制造低缺陷的基本上弛豫的绝缘体上 SiGe (SGOI) 衬底材料的方法。在一个实施方案中，提供了一种方法，此方法能够形成低缺陷的基本上弛豫的 SGOI 衬底，其中已经显著地降低了表面凹坑和交叉影线。本发明的低缺陷的基本上弛豫的绝缘体上 SiGe 衬底材料，能够被用作晶格失配模板，用以利用随后的硅外延覆生长而在其上产生应变硅层。这种衬底材料对于增强应变硅层中的电荷载流子输运性质是可取的，并成为性能更高的互补金属氧化物半导体 (CMOS) 应用的一种候选。本发明还涉及到绝缘体上硅锗衬底材料以及至少包括此衬底材料的结构。

背景技术

在半导体工业中，新近已经有利用应变硅基异质结构来获得 CMOS 应用的高迁移率结构的高水平工作。实现这一点的传统现有技术方法是在厚的（约为 1-5 微米）弛豫硅锗缓冲层上生长应变硅层。

尽管报道了现有技术异质结构的高沟道电子迁移率，但厚的硅锗缓冲层有一些显著的相关缺点。首先，一般不容易用现有的硅基 CMOS 技术来集成厚的硅锗缓冲层。第二，包括穿透位错 (TD) 和失配位错的缺陷密度约为每平方厘米 10^5 - 10^8 ，对于现实的 VLSI (甚大规模集成) 应用来说，这仍然是太高了。第三，现有技术结构的性质排除了硅锗缓冲层的选择性生长，致使电路难以采用具有应变硅、非应变硅、以及硅锗材料的器件，在某些情况下几乎不可能集成。

为了在硅衬底上产生弛豫的硅锗材料，现有技术方法典型地将均

匀的、缓变的、或跃变的硅锗层生长到超过亚稳临界厚度（亦即，超过此厚度则形成位错以释放应力）并使失配位错能够形成，相关的穿透位错通过硅锗缓冲层。各种缓冲结构已经被用来试图增大结构中失配位错区的长度，从而降低 TD 密度。

5 除了弛豫过程中形成的 TD 之外，已经观察到在某些应变和退火条件下形成堆垛层错（SF），见论文 R.Hull and J.C.Bean, J.Vac.Sci.Technol., Vol.7(4), 1989, p.2580. 相信 SF 缺陷在半导体材料中的出现代表了对材料适当电学行为的一种比孤立 TD 更重要的威胁。

10 诸如 Ek 等人的美国专利 No.5461243 和 5759898 所述的另一现有技术，提供了一种具有弛豫的缺陷密度降低了的半导体层的结构，其中，一种新的应变释放机制发生了作用，从而在降低 TD 在硅锗层中产生的情况下，硅锗缓冲层发生弛豫。

2002 年 1 月 23 日提交的题为“Method of Creating High-Quality
15 Relaxed SiGe-On-Insulator for Strained Si CMOS Applications”的共同在案和共同受让的美国专利申请 No.10/055138，提供了一种制造高质量的基本上弛豫的绝缘体上硅锗衬底的独特方法。在 138 申请中，借助于在存在于抗锗扩散的阻挡层顶部的第一单晶硅层的表面上首先形成硅锗层或纯锗层，然后在允许锗在整个第一单晶硅层和硅锗层或
20 纯锗层相互扩散的温度下加热各个层，从而在阻挡层的顶部形成基本上弛豫的单晶硅锗层。在各种温度下执行此加热步骤，形成一种其中可以采用根据硅锗层熔点的剪裁的热循环的状态。具体地说，138 申请指出了“温度被调节到低于硅锗层熔点的范围”。

除了将温度调节到低于硅锗熔点之外，138 申请没有提供有关剪裁热循环的其它具体情况。此外，在此公开中没有判明什么表明了剪裁的热循环能够被用作显著地降低硅锗合金层中残余缺陷密度的方法。而且，138 申请的公开没有判明应该在硅锗熔点下或硅锗熔点附近进行氧化退火工艺。而且，138 申请的公开没有判明剪裁的热循环
25 温度能够被调节以便消除具体类型的缺陷。

用 138 申请所公开的热混合工艺形成的 SGOI 结构, 依赖于高温氧化来在绝缘层上形成异质硅锗层。在某些条件下, 硅锗层的表面会开始形成能够降低材料表面质量的微坑(亦即微草皮层)。由于 SGOI 衬底被用作制造应变硅高性能 CMOS 器件的模板。故就平滑性和低缺陷密度产品而言, 使弛豫的硅锗合金层的表面质量尽可能高, 是必不可少

发明内容

本发明的目的是提供一种制造薄的高质量的基本上弛豫的绝缘体上硅锗衬底材料的方法, 其中, 硅锗层具有约为每平方厘米 10^7 或以下的缺陷密度。

本发明的另一目的是提供一种制造薄的高质量的基本上弛豫的绝缘体上硅锗衬底材料的方法, 其中, 采用了一种能够显著地降低硅锗合金层中穿透缺陷密度的加热步骤。

本发明的另一目的是提供一种制造薄的高质量的基本上弛豫的绝缘体上硅锗衬底材料的方法, 其中, 采用了一种能够显著地降低(与现有技术方法相比)硅锗合金层中堆垛层错缺陷密度的加热步骤。

本发明的另一目的是提供一种制造薄的高质量的基本上弛豫的绝缘体上硅锗衬底材料的方法, 其中, 在有效地消除现存缺陷的同时抑制由于原始应变硅锗的弛豫而在硅锗合金层中产生某些缺陷的条件下, 执行了一种加热步骤。

本发明的另一目的是提供一种制造薄的高质量的基本上弛豫的绝缘体上硅锗衬底材料的方法, 此方法与 CMOS 工艺步骤兼容。

本发明的另一目的是提供一种制造薄的高质量的基本上弛豫的绝缘体上硅锗衬底材料的方法, 此衬底材料能够被用作形成应变硅层的晶格失配模板亦即衬底。

本发明的另一目的是提供一种应变硅/基本上弛豫的绝缘体上硅锗结构, 此结构具有高的载流子迁移率并可用于高性能 CMOS 应用中。

本发明的另一目的是提供一种产生 SGOI 衬底的方法，此 SGOI 衬底与用 138 申请的热混合工艺制作的现有技术 SGOI 衬底相比，具有最小的表面凹坑和降低了的交叉影线。

在本发明中，利用一种方法达到了这些和其它的目的和优点，此方法包括首先在第一单晶硅层的表面上形成诸如硅锗合金或纯锗之类的含锗层，所述第一单晶硅层被提供在阻挡锗扩散的阻挡层顶部；然后在接近（亦即处于或靠近）硅锗合金熔点同时保留锗但不低于抑制 SF 缺陷产生的温度下执行加热步骤；从具体锗含量的硅锗合金实际熔点的偏离可能稍微小一些，约为 -50°C 偏离硅锗合金的实际熔点，同时高于抑制 SF 产生的大约 1230°C 。

本发明的加热步骤允许锗在整个第一单晶硅层和含锗层中相互扩散，从而形成阻挡层顶部的基本上弛豫的单晶硅锗层。而且，由于本发明的加热步骤在接近最终单晶硅锗层熔点的温度下进行，故由于弛豫而保留在单晶硅锗层中的缺陷被有效地从中消除。在等于和高于 1230°C 的温度下执行的氧化，也抑制了 SF 缺陷在硅锗层中的形成。要指出的是，此基本上弛豫的单晶硅锗层由含锗层以及第一单晶硅层的均匀混合物组成。

在本发明的一个实施方案中，已经确定利用其中在约为 $1230-1320^{\circ}\text{C}$ 的温度下执行短于大约 2 小时的氧化的加热步骤，能够产生具有改进了的表面特性（最小的表面凹坑和降低了的交叉影线）的高质量的基本上弛豫的 SGOI 衬底。术语“交叉影线”在本申请中被用来表示由原子力显微镜（AFM）所测得的表面粗糙度（功率谱）的高频分量。

当采用本发明的这一实施方案时，借助于尽可能减少由于在高温（高于 1230°C ）下延长氧化或退火而形成 SGOI 衬底时产生的表面凹坑，本发明得到了超越现有技术的优点。具体地说，约为 $1230-1320^{\circ}\text{C}$ 的氧化温度被发现足以将硅和锗原子的表面迁移率提高到降低硅锗弛豫引起的表面交叉影线的程度。借助于缩短高氧化温度下的氧化时间，尽可能减小了由于提高了的表面迁移率的不希望有的侧面效应而出现

的后续凹坑。利用本发明的特定实施方案，有可能形成具有最小表面凹坑和降低了的交叉影线的高质量 SGOI 衬底。

5 根据本发明的上述各个步骤，应变硅层可以被外延生长在基本上弛豫的单晶硅锗层顶部，以便形成能够用于各种高性能 CMOS 应用中的含有应变硅/弛豫硅锗的异质结构。

在本发明的某些实施方案中，第一单晶硅和阻挡层是绝缘体上硅 (SOI) 衬底的组成部分。在其它实施方案中，阻挡层被形成在半导体衬底的表面上，然后，第一单晶硅层被形成在阻挡层上。后一种衬底材料是一种非 SOI 衬底。

10 本方法还试图使用未被图形化的阻挡层 (亦即连续的阻挡层) 或图形化的阻挡层 (亦即被半导体材料环绕的分立和隔离的势垒区或小岛)。

在本发明的另一实施方案中，在处于或接近最终硅锗层熔点的温度下对结构进行加热之前，硅帽层被形成在含锗层顶部。本发明的这一实施方案改变了硅锗层在退火之前的热力学稳定性 (就防止缺陷产生而言)。硅锗层的厚度约为 2000nm 或以下，以约为 10-200nm 的厚度更为优选。

在本发明的另一实施方案中，可以在加热之前执行离子注入步骤。

20 本发明的另一情况涉及到利用上述工艺步骤形成的绝缘体上硅锗衬底材料。具体地说，本发明的衬底材料包含含硅的衬底；存在于含硅衬底顶部的阻挡锗扩散的绝缘区；以及存在于绝缘区顶部的基本上弛豫的硅锗层，其中，基本上弛豫的硅锗层的厚度约为 2000nm 或以下，其缺陷密度约为每平方厘米 10^7 或以下。

25 在约为 1230-1320°C 的温度下执行短于大约 2 小时氧化的实施方案中，形成了 SGOI 衬底，其中，表面粗糙度小于大约 15 埃 RMS。这种表面粗糙度是具有最小表面凹坑和降低了的交叉影线的 SGOI 衬底的象征。“最小表面凹坑”意味着一种凹坑深度小于 30 埃且宽度小于 300nm 的硅锗表面。术语“尽可能减小了的交叉影线”表示一种与

1200°C和以下的温度下形成SGOI相比具有降低了的由表面台阶（由硅锗层弛豫过程中的位错运动所形成的）引起的粗糙度分量的硅锗表面。可以用AFM（原子力显微镜）或其它相关技术来确定表面凹坑和交叉影线。

5 本发明的另一情况涉及到至少包括上述衬底材料的异质结构。具体地说，本发明的异质结构包含含硅的衬底；存在于含硅衬底顶部的阻挡锗扩散的绝缘区；存在于绝缘区顶部的基本上弛豫的硅锗层，其中，基本上弛豫的硅锗层的厚度约为2000nm或以下，其缺陷密度约为每平方厘米 10^7 或以下；以及形成在基本上弛豫的硅锗层顶部的应
10 变硅层。

此异质结构也可以包括具有最小表面凹坑和降低了的交叉影线的SGOI衬底。

本发明的其它情况涉及到至少包括本发明的绝缘体上硅锗衬底材料的超晶格结构以及其它晶格失配结构的模板。

15

附图说明

图1A-1E是剖面图，示出了本发明所用的制造薄的高质量的基本上弛豫的绝缘体上硅锗衬底材料的基本加工步骤，其中的原始衬底包括未被图形化的扩散势垒区。

20

图2A-2E是剖面图，示出了本发明变通实施方案所用的制造薄的高质量的基本上弛豫的绝缘体上硅锗衬底材料的基本加工步骤，其中的原始衬底包括图形化的扩散势垒区。

25

图3A-3B是剖面图，示出了本发明的一个变通实施方案，其中，硅帽层被形成在锗或硅锗层顶部，硅锗层被形成于未被图形化的（3A）或图形化的（3B）衬底上。

图4A-4B是剖面图，分别示出了应变硅层在图1E和2E的薄的高质量的基本上弛豫的绝缘体上硅锗衬底材料上的形成。

图5曲线示出了硅锗二元合金系统的熔点对锗含量的关系。S表示固体，L表示液体，二个曲线之间的区域是固体与液体之间的过渡

相。

图 6 是用温度比 26% 的硅锗合金熔点低 100℃ 的加热步骤制备的 600 埃的 17% 的绝缘体上硅锗衬底材料的平面 TEM 显微图。

5 图 7 是用本发明的加工步骤制备的, 亦即用温度处于或接近 19% 的硅锗合金熔点的加热步骤制备的 60nm 的 17% 的绝缘体上硅锗衬底材料的平面 TEM 显微图。

图 8 是不同温度下加热的各种样品的实测 MF/SF 密度对 SGOI 厚度的曲线。

10 图 9 是用现有技术热混合工艺在大约 1200℃ 的氧化温度下形成的 SGOI 衬底的 10×10 微米原子力显微图象, 可见到交叉影线。

图 10 是用本发明在大约 1250℃ 的氧化温度下 30 分钟形成的 SGOI 衬底的 10×10 微米原子力显微图象, 交叉影线已经被减为最小。

15 图 11 (AFM 测得的) 草皮层深度对用来形成 400 埃的 25% (锗含量) 的 SGOI 层的 1250℃ 的氧化时间的曲线。原始膜结构和生长的表面氧化物的厚度在所有情况下都是相同的。凹坑在较短的氧化时间内被减为最小。

具体实施方式

20 下面参照本申请的附图来更详细地描述本发明, 本发明提供了一种制造薄的高质量的基本上弛豫的绝缘体上硅锗衬底材料, 此衬底材料能够用作后续外延硅覆生长的晶格失配模板。在所有附图中, 用相似的参考号来表示相似和/或相应的元件。

25 本申请提供了一种直接的方法来形成低缺陷的基本上弛豫的绝缘体上硅锗衬底材料, 在接近硅锗合金熔点同时足够高以抑制 SF 形成的温度下来执行本发明的加热步骤。对在处于或接近最终弛豫的硅锗合金层熔点下执行的加热步骤进行控制的结果是, 与在较低温度下被退火的相似层相比, 降低了残留缺陷的密度。

首先参照示出了可用于本发明的原始衬底材料的图 1A 和 2A。具体地说, 图 1A 和 2A 所示的原始衬底材料各包含含硅的半导体衬底

10、存在于含硅半导体衬底 10 顶部的阻挡锗扩散的阻挡层 12（以下称为“阻挡层”）、以及存在于阻挡层 12 顶部的失配和 TD 密度小于大约每平方厘米 1×10^4 的第一单晶硅层 14。在附图中，参考号 17 表示阻挡层 12 与第一单晶硅层 14 之间的界面。

5 附图所示的二个衬底之间的差别在于，在图 1A 中，阻挡层 12 连续地存在于整个结构中，而在图 2A 中，阻挡层 12 以被半导体材料亦即层 10 和 14 环绕的分立和隔离的区域或小岛的形式而存在。图 1A 所示的原始结构包括未被图形化的阻挡层，而图 2A 所示的原始结构包括图形化的阻挡层。

10 尽管阻挡层 12 被图形化或未被图形化，但原始结构可以是常规的绝缘体上硅（SOI）衬底材料，其中，区域 12 是将第一单晶硅层 14 电隔离于含硅衬底半导体衬底 10 的埋置的氧化物区。此处所用的术语“含硅”表示至少包括硅的半导体衬底。示例性例子包括但不限于：
15 Si、SiGe、SiC、SiGeC、Si/Si、Si/SiC、Si/SiGeC、以及其中存在可以包括任何数目埋置氧化物（连续的、不连续的、或连续和不连续的混合）区的预制绝缘体上硅。

可以用本技术领域熟练人员众所周知的常规 SIMOX（氧离子注入分离）工艺以及其整个内容在此处被列为参考的 Sadana 等人 2001
20 年 5 月 21 日提交的共同受让美国专利申请 No.09/861593；2001 年 5 月 21 日提交的 09/861594；2001 年 5 月 21 日提交的 09/861590；2001 年 5 月 21 日提交的 09/861596；2001 年 6 月 19 日提交的 09/884670；以及美国专利 No.5930634 所述的各种 SIMOX 工艺，来形成 SOI 衬底。注意，此处可以采用 590 申请所公开的工艺来制造图 2A 所示的图形化衬底。作为变通，可以用包括例如热键合和层转移工艺的其它常规
25 工艺来制作 SOI 衬底材料。

除了 SOI 衬底之外，图 1A 和 2A 所示的原始衬底可以用常规淀积工艺以及（制造图形化衬底时采用的）光刻和腐蚀方法制作的非 SOI 衬底。具体地说，当采用非 SOI 衬底时，借助于通过常规淀积或热生长工艺将锗扩散阻挡层淀积在含硅衬底表面顶部，可选地利用常

规光刻和腐蚀方法对阻挡层进行图形化；然后用包括化学气相淀积（CVD）、等离子体辅助 CVD、溅射、蒸发、化学溶液淀积、或外延硅生长的常规淀积工艺在阻挡层顶部形成单晶硅层，来形成原始结构。

5 图 1A 和 2A 所示原始结构的阻挡层 12 包含强力阻挡锗扩散的任何绝缘材料。这种绝缘和锗扩散阻挡材料的例子包括但不局限于结晶或非结晶的氧化物或氮化物。

原始结构各种层的厚度可以依赖于其制作工艺而变化。但典型地说，单晶硅层 14 的厚度约为 1-2000nm，约为 20-200nm 更为优选。在阻挡层 12（亦即锗扩散阻挡层）的情况下，此层的厚度可以约为 10 1-1000nm，约为 20-200nm 更为优选。含硅衬底层亦即层 10 的厚度对于本发明无关紧要。上述各厚度是示例性的，决不限制本发明的范围。

图 1B 和 2B 示出了含锗层 16 被形成在第一单晶硅层 14 顶部上之后所形成的结构。含锗层 16 包括硅锗合金或纯锗。术语“硅锗合金”包括包含直至 99.99 原子百分比的锗的硅锗材料，而纯锗包括包含 15 100 原子百分比的锗的层。当采用硅锗层时，硅锗层中的锗含量优选约为 0.1-99.9 原子百分比，约为 10-35 的锗原子百分比更为优选。此硅锗合金可以是单晶、非晶、或多晶。

根据本发明，用本技术领域熟练人员众所周知的（i）能够生长热力学稳定（小于临界厚度）的含锗层，（ii）能够生长亚稳和无缺陷亦即无失配和 TD 位错的含锗层，或（iii）能够生长局部或全部弛豫的硅锗层的任何常规外延生长方法，含锗层 16 被形成在第一单晶硅层 14 顶部；用生长温度、锗浓度、厚度、或硅帽层的存在，来控制弛豫程度。能够满足条件（i）、（ii）、（iii）的这种外延生长工艺的 25 示例性例子包括但不局限于：低压化学气相淀积（LPCVD）、超高真空化学气相淀积（UHVCVD）、大气压化学气相淀积（APCVD）、分子束外延（MBE）、以及等离子体增强化学气相淀积（PECVD）。

本发明此时形成的含锗层的厚度可以变化，但典型地说，含锗层 16 的厚度约为 10-500nm，约为 20-200nm 更为优选。

在本发明的一个变通实施方案中，见图 3A-3B，在执行本发明的

加热步骤之前，可选的帽层 18 被形成在含锗层 16 顶部。用于本发明的这一可选帽层包含任何硅材料，包括但不限于：外延硅（或硅锗）（epi-Si）、非晶硅（a:Si）、非晶硅锗、单晶或多晶硅、或其包括多层的任何组合。在一个优选实施方案中，帽层由 epi-Si 组成。要指出的是，层 16 和 18 可以在同一个反应工作室中形成，或可以不在同一个反应工作室中形成。

提出可选的帽层 18 的厚度约为 1-100nm，约为 1-30nm 更为优选。利用包括上述外延生长工艺的众所周知的淀积工艺来形成可选的帽层 18。

在本发明的一个实施方案中，优选在单晶硅层的表面上形成厚度约为 1-2000nm 的含锗层（15-20 原子百分比的锗），然后在含锗层顶部形成厚度约为 1-100nm 的硅帽层。

在原始结构顶形成含锗层 16（具有或不具有可选帽层 18）之后，可以对图 1B 或 2B 所示的结构（具有或不具有可选帽层）进行可选的离子注入步骤，其中，能够形成可在界面 17 处或附近增强弛豫的缺陷的离子注入被执行。可增强弛豫发生的这种缺陷的例子包括：片状缺陷或泡状缺陷，如在氢离子注入情况中那样。可以用或不用注入掩模来执行此注入。

图 1C 或 2C 示出了此离子注入步骤之后的结构。在这些图中，参考号 19 表示离子注入步骤形成的缺陷区。这些缺陷区借助于方便双层发生弛豫而解决了硅锗合金/单晶硅双层中缺陷产生的问题。具体地说，借助于使存在于界面 17 处或附近的缺陷区发生弹性形变而发生弛豫。

借助于用在界面 17 处或附近保持离子幅度峰值的注入条件，将诸如氢、氘、氦、氧、氟、氮、和它们的混合物之类的离子注入到各个层中，来形成这些允许在界面 17 处或附近发生增强的弛豫的缺陷。此处还尝试了上述各离子的同位素。本发明所用的优选离子是氢离子（ H^+ ）。要指出的是，此处也可以尝试诸如 H_2^+ 之类的其它种类的氢。

用约为每平方厘米 0.01-10 微安的束电流密度，在大约室温亦即

大约 283-303K 的温度下, 来进行本发明的注入步骤。不同温度下和/或采用其它束电流密度的注入, 可以影响弛豫行为。

形成模板缺陷所用的各种注入剂的浓度, 可以依赖于所用各种注入剂的类型而变化。但本发明此时所用的注入离子的浓度典型地低于每平方厘米 3×10^{16} , 约为 1×10^{16} - 2.99×10^{16} 更为优选。此注入的能量也可以依赖于被注入离子的类型而变化, 但注入剂能量必须能够将离子置于界面 17 处或附近。例如, 当氢被用作注入剂离子时, 用来确保在界面 17 处或附近形成片状缺陷的能量约为 1-100keV, 约为 3-20keV 的能量更为优选。

上述赋能离子向应变硅锗/硅界面中或附近的注入, 产生了能够用作有效的位错成核位置的缺陷, 使硅锗层能够更有效地弛豫。此注入引起的缺陷位置的随机性, 还减少了各个运动位错之间相互作用所引起的缺陷钉扎, 从而使弛豫过程更为有效。

在原始结构顶部形成含锗层 16 (具有或不具有可选的帽层 18 以及具有或不具有注入剂) 之后, 此结构 (具有或不具有可选的帽层 18 以及具有或不具有注入剂) 在基本上消除由应变弛豫引起的缺陷同时允许锗在整个第一单晶硅层 14、含锗层 16、以及若存在的话还有可选的硅帽层 18 之间相互扩散从而在阻挡层 12 顶部形成基本上弛豫的单晶硅锗层 20 的温度下被加热, 亦即被退火。注意, 氧化物层 22 在加热步骤中被形成在硅锗层 20 顶部。在加热步骤之后, 典型地但不总是用常规的湿法腐蚀工艺从结构中清除氧化物层 22, 其中, 采用了诸如对清除氧化物与硅锗相比具有高度选择性的 HF 之类的化学腐蚀剂。例如图 1D 或 2D 示出了已经执行了加热步骤之后所形成的结构。

注意, 当氧化物层 22 被清除时, 可以在硅锗层 20 顶部形成第二单晶硅层, 并可以任何次数重复本发明的上述各加工步骤, 以便产生多层弛豫的硅锗应变材料。

在本发明的加热步骤之后形成的氧化物层 22, 具有可在约为 10-1000nm 范围内变化的厚度, 约为 20-500nm 的厚度更为优选。

具体地说, 本发明的加热步骤是一种在处于或接近选择的硅锗合

金熔点的温度下以及在足够高以抑制 SF 缺陷形成的温度下执行的退火步骤。选择的硅锗合金基于最终弛豫硅锗层中所希望的锗含量。图 5 曲线示出了硅锗二元合金系统的熔点对锗含量的关系。S 表示固体，L 表示液体，二个曲线之间的区域是固体与液体之间的过渡相。本发明加热步骤的温度基本上沿图中底部曲线，为方便起见而标注为 T_1 。本发明加热步骤所有的温度可以稍许低于给定锗含量的实际熔点。

具体地说，可以在选择的硅锗合金层的实际熔点下或在低于实际熔点约 50°C 但高于大约 1230°C 的温度下来执行加热步骤，以便减少氧化过程中 SF 缺陷的产生。应该注意不要在二个曲线之间的区域内对结构进行加热，因为若在此区域内发生加热，则会出现硅锗合金的烧结。可以在约为 1230°C （对于 30% 的锗）到约为 1410°C （对于硅锗合金中 0.1% 的锗）的温度下，来执行是为锗含量的函数的本发明的加热步骤。

而且，在至少包括诸如 O_2 、NO、 N_2O 、臭氧、空气、以及其它相似的含氧气体之类的一种含氧气体的氧化气氛中，来执行本发明的加热步骤。含氧气体可以相互混合（例如 O_2 和 NO 的混合物），或此气体可以被诸如 He、Ar、 N_2 、Xe、Kr、Ne 之类的情性气体稀释。

加热步骤可以被进行不同的时间，典型约为 10-1800 分钟，约为 30-600 分钟更为优选。可以在单个目标温度下来进行加热步骤，或可以采用利用各种升温速率和保温时间的各种升温 and 保温循环。可以在给定硅锗合金实际熔点以下采用保温步骤，以便剪裁存在于结构中的缺陷的类型。

在氧化气氛下执行加热步骤，以便达到作为锗原子扩散势垒的表面氧化物层亦即层 22 的出现。因此，一旦在结构表面上形成氧化物层，锗就被捕获在阻挡层 12 与氧化物层 22 之间。随着氧化物厚度的增大，锗变得更均匀地分布在层 14、16、以及可选的 18 中，但锗被连续而有效地从侵入的氧化物层排斥。故随着（现在均匀的）各个层在此加热步骤中被减薄，相对的锗份额增大。

已经确定在本发明中，大多数氧化在大约 1230°C 以上进行，以便

减少 SF 缺陷在硅锗层被减薄时的产生。因此，考虑在稀释氧或非氧化气氛下将温度逐步下降，以便避免 SF 缺陷的产生速率由于在低于大约 1230°C 的氧化而增大。氧化温度在 1230-1350°C 之间，1250-1325°C 更为优选。

- 5 注意，若氧化发生得太迅速，则锗无法从表面氧化物/硅锗界面足够快地扩散出去，锗就通过氧化物被输运（并损失），或锗的界面浓度变得如此的高，以致将达到合金的熔化温度。

10 本发明加热步骤的作用是（1）消除由应变弛豫形成的缺陷；（2）使锗原子能够更迅速地扩散，从而在退火过程中保持均匀的分布；以及（3）使原始层结构经受以尽可能减少氧化过程中产生的缺陷数目的方式促进平衡结构的热循环。在已经执行此加热步骤之后，此结构包括夹在阻挡层 12 与表面氧化物层 22 之间的均匀且基本上弛豫的低缺陷硅锗合金层亦即层 20，见图 1D 或 2D。

15 在本发明的一个实施方案中，氧化温度被控制在约为 1230-1320°C，且执行短于大约 2 小时的氧化。更优选的是，在大约 1230-1300°C 的温度下执行短于大约 1.5 小时的氧化。当执行本发明的这一实施方案时，就提供了具有改进了的表面特性（就表面凹坑和交叉影线而言）的高质量的基本上弛豫的 SGOI 衬底。用本发明这一实施方案提供的 SGOI 衬底具有小于 15 埃 RMS 的表面粗糙度，坑的深度 20 小于 30Å，且坑的宽度小于 300nm。本发明的这一实施方案可以结合上述各种实施方案被采用。

25 根据本发明，弛豫的硅锗层 20 的厚度约为 2000nm 或以下，约为 10-100nm 的厚度更为优选。注意，本发明形成的弛豫硅锗层 20 比现有技术的硅锗缓冲层更薄，且 TD 密度低于 1200°C 下形成的 SGOI 大约 2-10 倍，SF 缺陷密度降低大约 100 倍。见图 8。与 138 申请公开的工艺相比，这表示缺陷密度二个数量级的降低。

 本发明形成的弛豫硅锗层的最终锗含量约为 0.1-30 原子百分比，约为 10-30 的锗原子百分比更为优选。弛豫硅锗层 22 的另一特点在于具有约为 1-99% 的实测晶格弛豫，约为 50-80% 的实测晶格弛豫更为

优选。

如上所述，在本发明此时可以剥离表面氧化物层 22，以便提供例如图 1E 或 2E 所示的绝缘体上硅锗衬底材料（注意，此衬底材料不包括帽层，因为此层已经被用于形成弛豫的硅锗层）。

5 图 4A-B 示出了分别在图 1E 和 2E 的硅锗层顶部形成硅层 24 之后得到的结构。用本技术领域众所周知的常规外延淀积工艺来形成硅层 24。外延硅层 24 的厚度可以变化，但外延硅层 24 的典型厚度约为 1-100nm，约为 1-30nm 的厚度更为优选。

在某些情况下，可以用上述加工步骤在弛豫的硅锗层 20 顶部形成额外的硅锗，然后可以形成外延硅层 24。由于与外延硅层 24 相比，层 20 具有大的共平面晶格参数，故外延硅层 24 将被张应变。

15 如上所述，本发明还尝试了至少包括本发明的绝缘体上硅锗衬底材料的超晶格结构以及晶格失配结构。在超晶格结构的情况下，这种结构可以至少包括本发明的基本上弛豫的绝缘体上硅锗衬底材料以及形成在衬底材料的基本上弛豫的硅锗层顶部的交替的硅和硅锗。

在晶格失配结构的情况下，GaAs、GaP、或其它相似的化合物可以被形成在本发明绝缘体上硅锗衬底材料的基本上弛豫的硅锗层顶部。

20 图 6（现有技术）和 7（本发明）示出了用本发明的方法来减少缺陷的例子。在二种情况下，原始结构是生长在 550 埃的 Si SIMOX SOI 晶片上的 600 埃的 17% 赝应变硅锗层。图 6 示出了被热混合和在 1200℃ 下被氧化成 26% 的锗含量的样品的平面 TEM 显微结果。根据 138 申请的加热低于硅锗合金层的熔点大约 100℃。缺陷密度约为每平方厘米 5×10^7 穿透缺陷，一些失配区（或堆垛层错）是明显的。图 7 示出了被相同热混合并在 1290℃ 下被氧化到大约 19% 锗含量的样品平面 TEM 显微结果（加热的温度处于或接近硅锗合金层的熔点，见图 5）。在后一图象中未见缺陷，实际上，深入的 TEM 分析未显现缺陷，表明缺陷密度处于或低于每平方厘米 10^6 范围。

图 8 示出了以与 138 申请和本发明一致的方式在 1200、1250、以

及 1320°C 下制造的 SGOI 中的实测 SF 缺陷密度对最终厚度的关系。所有数据都是生长在 550 埃 SOI 衬底上的 600 埃-17% 硅锗原始层的。此图示出了采用本发明的 SF 缺陷接近降低了二个数量级。附图还表明借助于控制最终 SGOI 厚度来控制 SF 缺陷密度的能力。

5 用其中氧化已经被保持在约为 1230-1320°C 内短于大约 2 小时的本发明的实施方案产生的 SGOI 衬底，与其中未遵从上述约定的现有技术 SGOI 衬底相比，具有尽可能减小了的交叉影线。而且，此实施方案产生的 SGOI 衬底具有基本上弛豫的硅锗层，其堆垛层错和/或微孪晶密度小于大约 1×10^5 。图 9 和 10 分别是用现有技术热混合工艺在
10 大约 1200°C 的氧化温度下形成的 SGOI 衬底以及用本发明的工艺在大约 1250°C 的温度下执行 30 分钟氧化所形成的 SGOI 衬底的 10×10 微米原子力显微镜图象。注意，与图 9 相比，图 10 中的交叉影线已经被尽可能减小。图 11 示出了在形成 400 埃 25% 的 SGOI 层的过程中凹坑深度如何随 1250°C 下的氧化时间延长而增大。应该指出的是，在大约
15 约 1.5 小时的氧化时间以下，无法从原来（热混合之前）的表面粗糙度区分出凹坑，且 30 分钟的数据点代表了凹坑深度的上限。

虽然根据其优选实施方案已经具体地描述了本发明，但本技术领域的熟练人员可以理解的是，可以作出上述的其它的形式和细节方面的改变而不偏离本发明的范围和构思。因此认为本发明不局限于所述
20 的准确形式和细节，而是在所附权利要求的范围内。

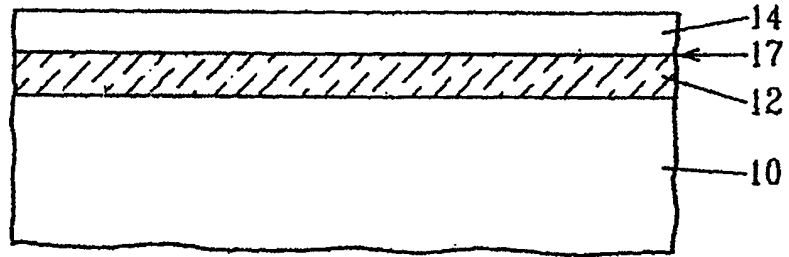


图1A

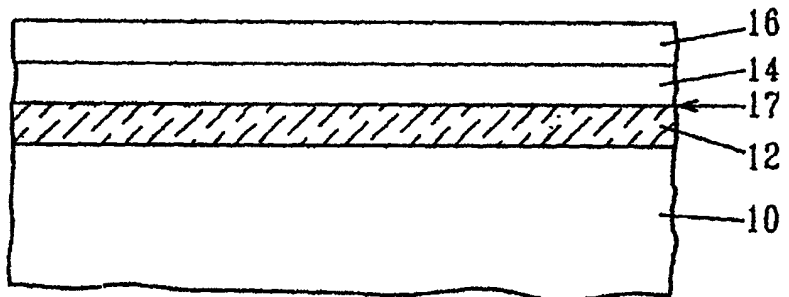


图1B

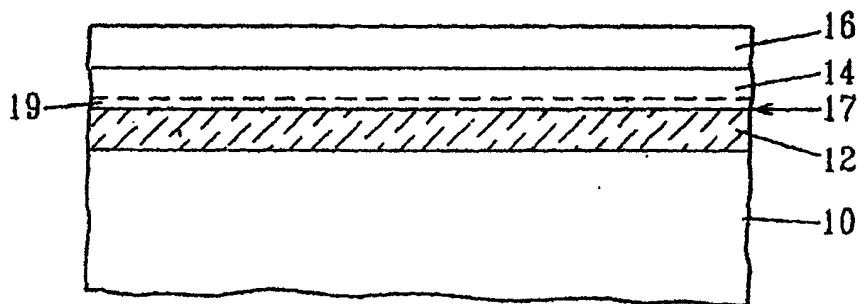


图1C

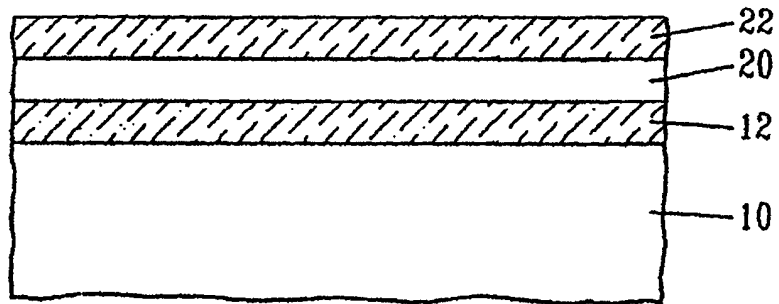


图 1D

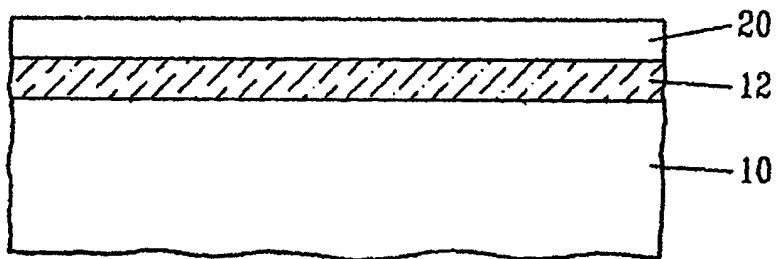


图 1E

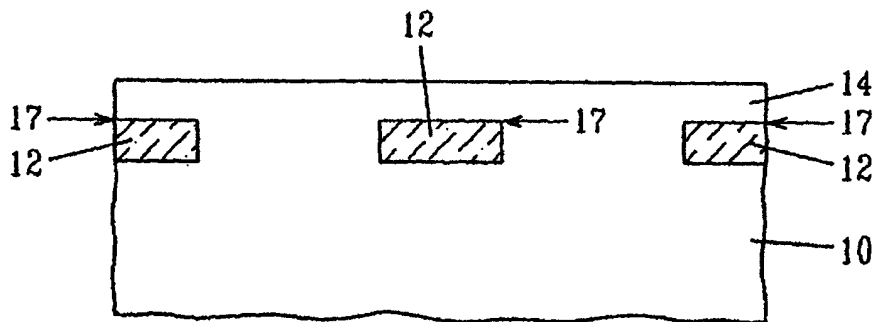


图 2A

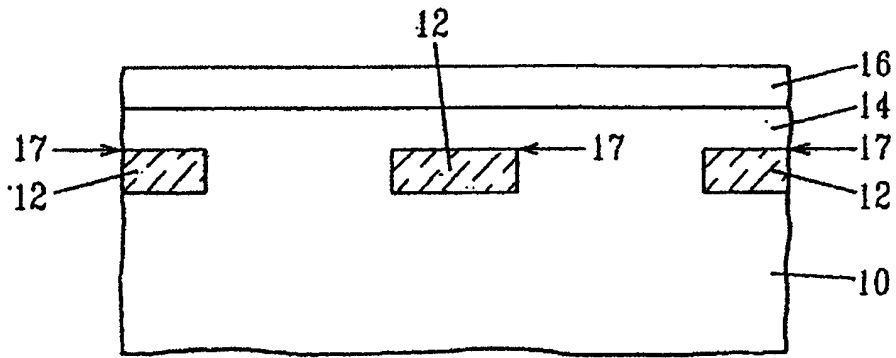


图 2B

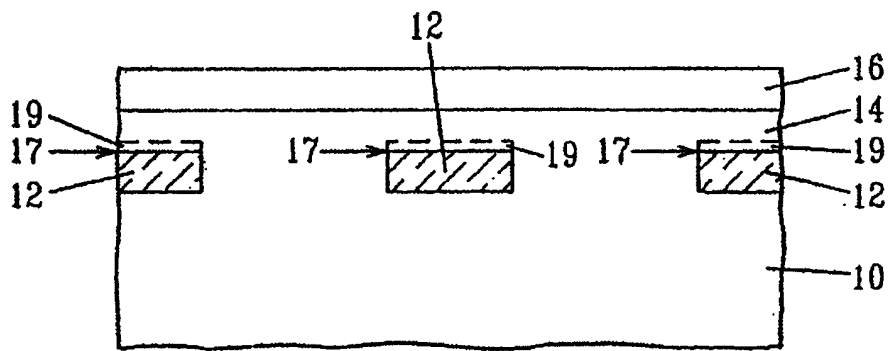


图 2C

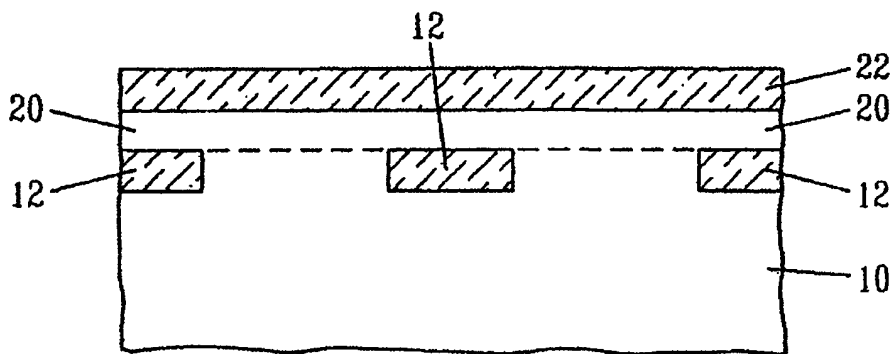


图 2D

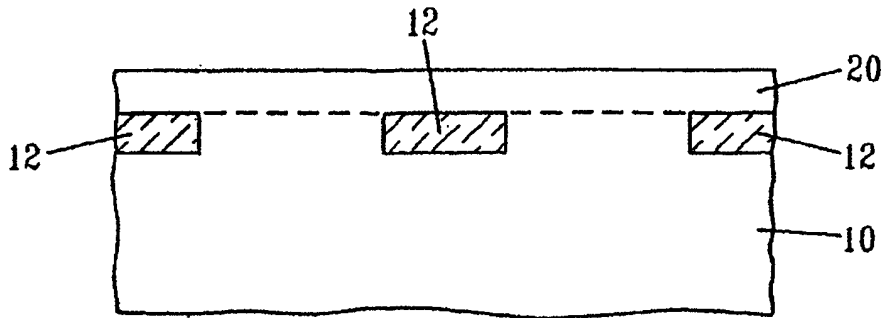


图 2E

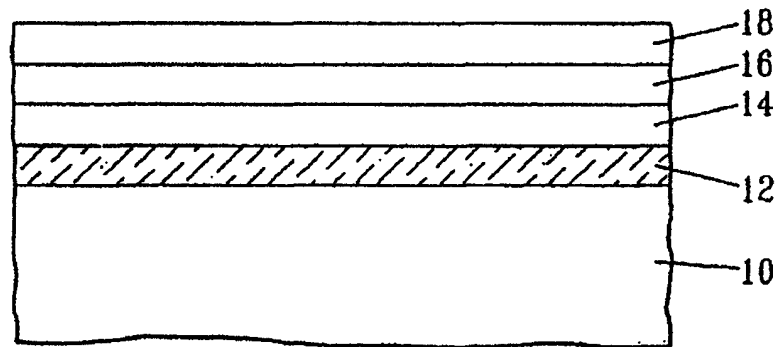


图 3A

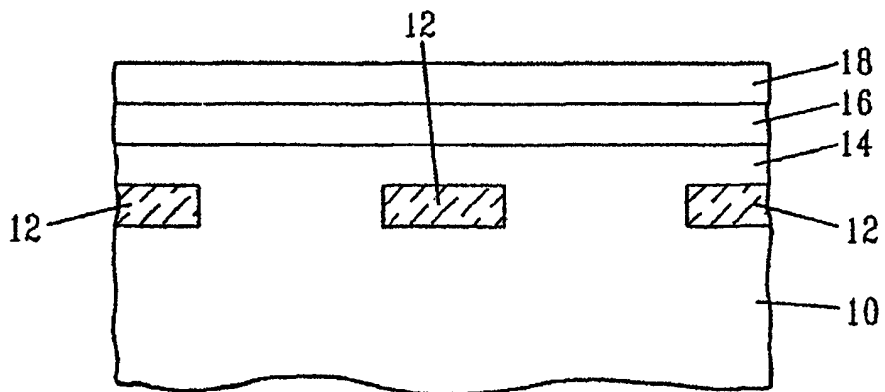


图 3B

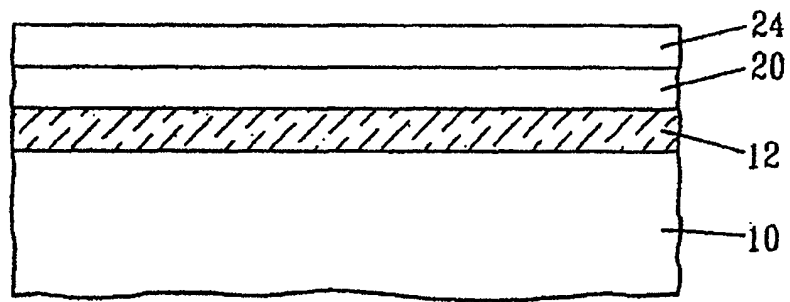


图 4A

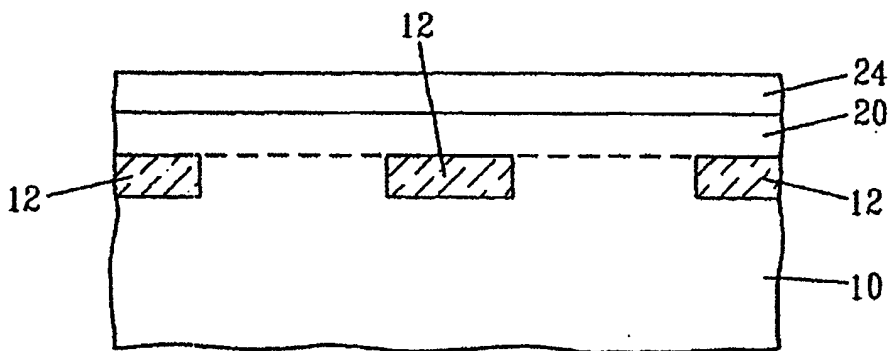


图 4B

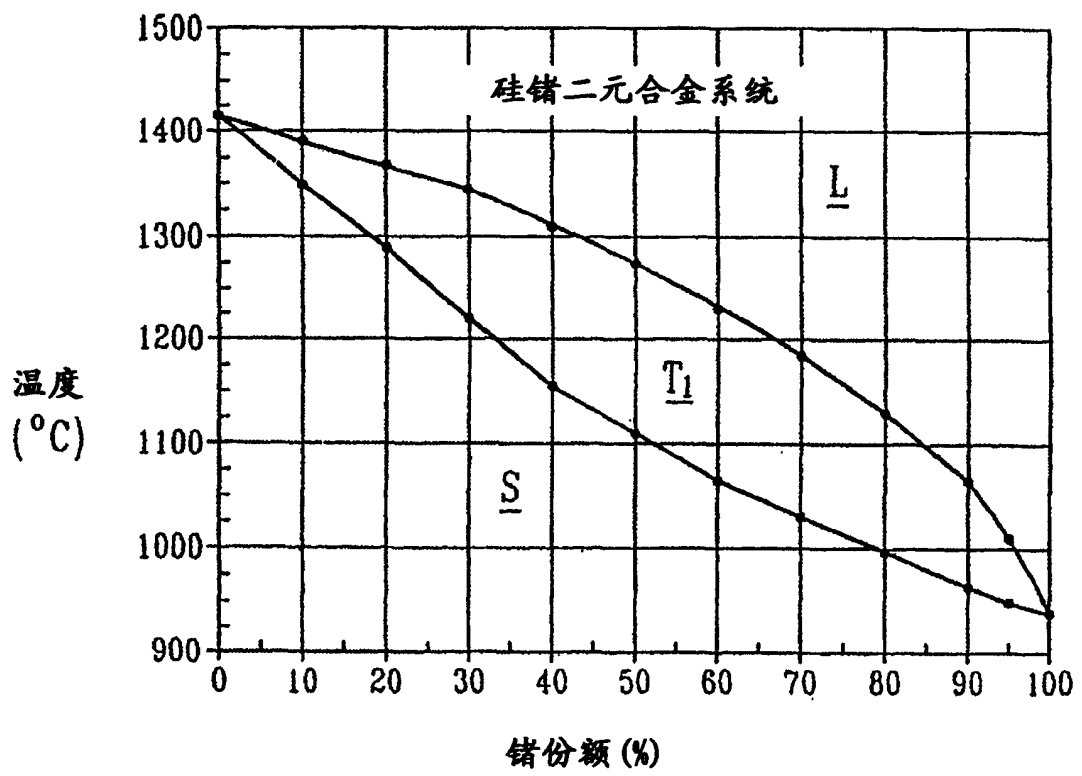


图5



图6



图7

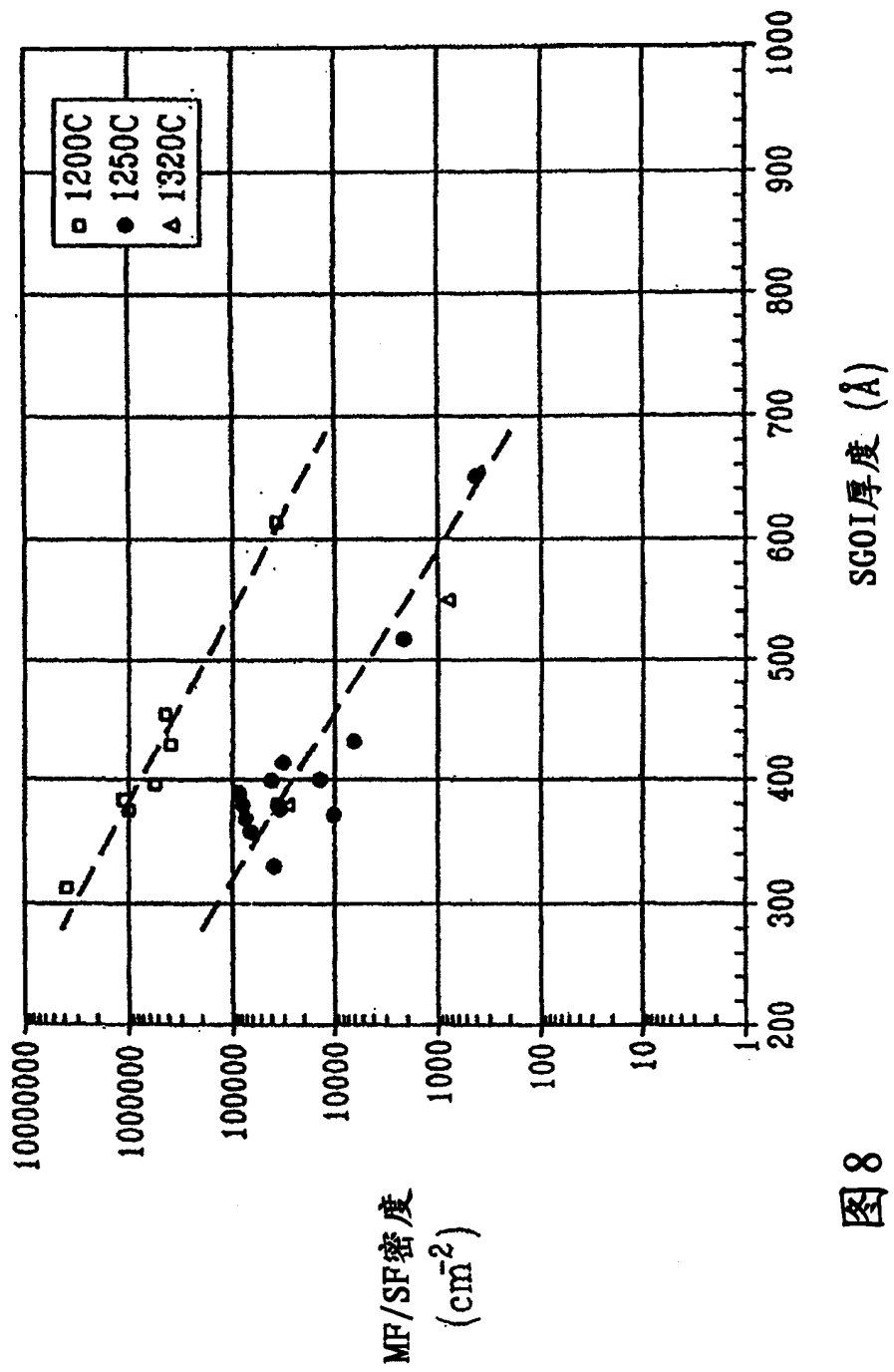


图8

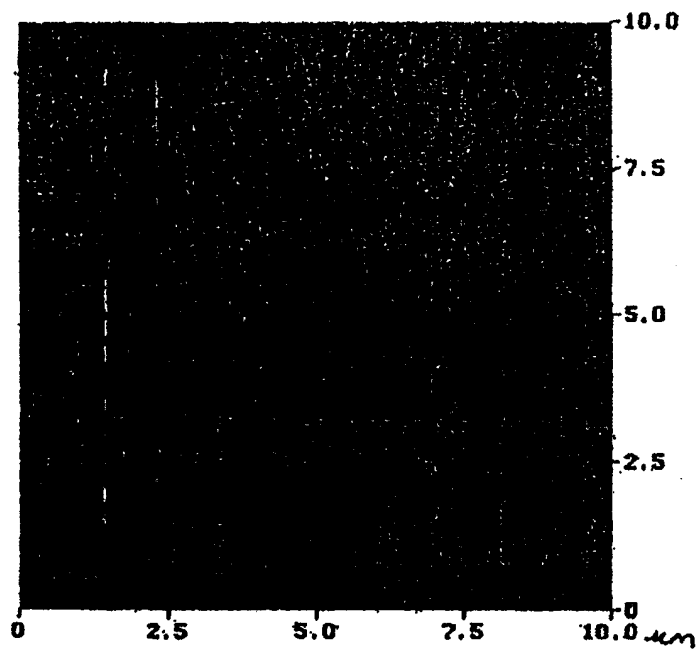


图9

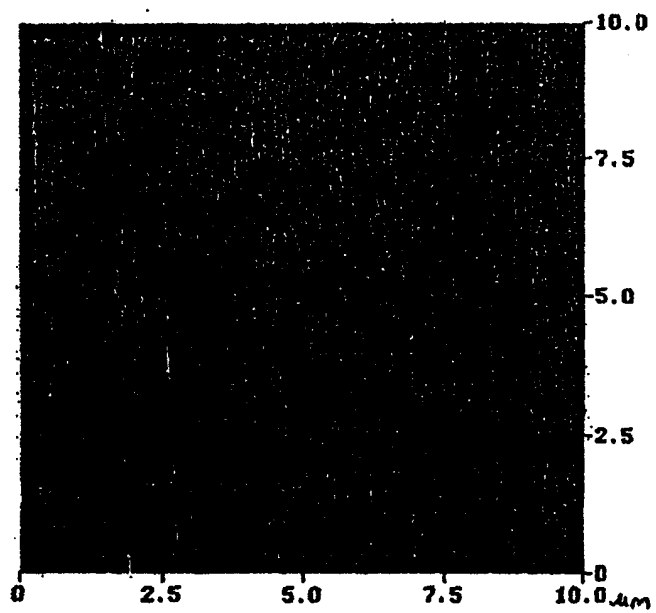


图10

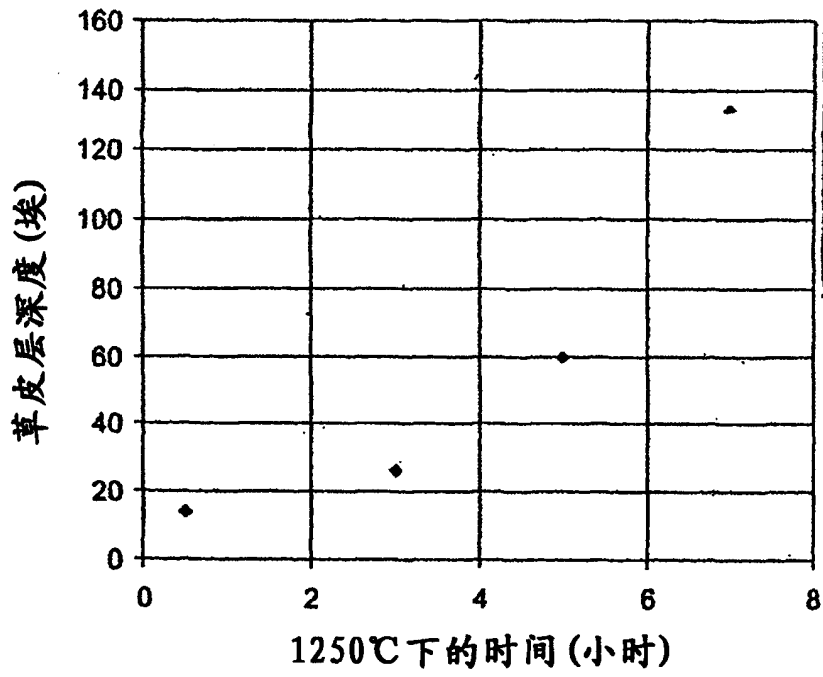


图11