(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2007 年9 月27 日 (27.09.2007)

PCT

(10) 国際公開番号
WO 2007/108149 A1

(51) 国際特許分類:
G09G 3/30 (2006.01) *G09G 3/20* (2006.01)

(21) 国際出願番号: PCT/JP2006/320311

(22) 国際出願日: 2006 年10 月11 日 (11.10.2006)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2006-077792 2006 年3 月20 日 (20.03.2006) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 仙田 孝裕 (SENDA, Takahiro). 大橋 誠二 (OHHASHI, Seiji).

(74) 代理人: 特許業務法人原謙三国際特許事務所 (HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府大阪市北区天神橋２丁目北２番６号 大和南森町ビル Osaka (JP).

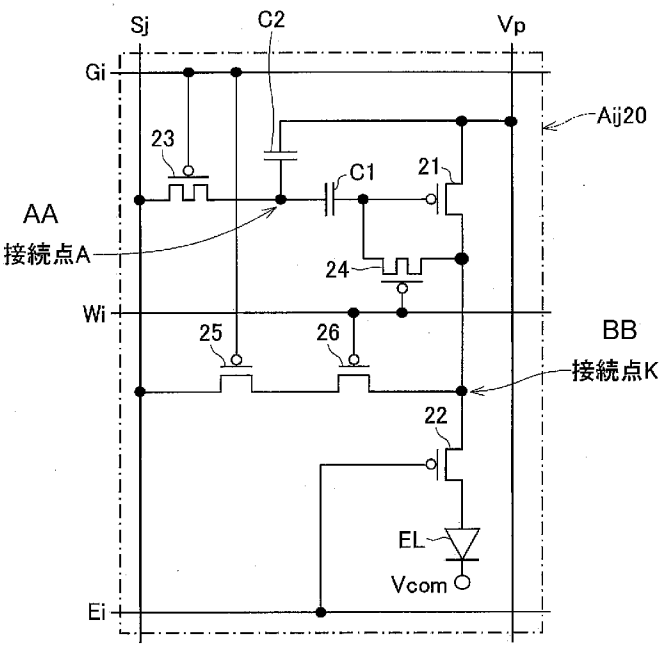
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) **Title:** DISPLAY DEVICE AND ITS DRIVE METHOD

(54) 発明の名称: 表示装置及びその駆動方法



AA CONNECTION POINT A
BB CONNECTION POINT K

(57) Abstract: Provided are a display device and its drive method capable of suppressing lowering of a contrast caused by unnecessary light emission in a pixel circuit and degradation of an electro-optical element and freely setting a period for compensating a drive transistor threshold value so as to perform more accurate compensation, thereby realizing a high-quality display. On a first path connecting a power supply wire (Vp) and a common cathode (Vcom), a drive TFT (21) for deciding the current to flow in the first path by a display signal is connected in series to an organic EL element (EL). Switch TFT (25, 26) of different control types are arranged on a second path connecting a point between the drive TFT (21) and the organic EL element (EL) to a third power supply line formed by a data line (Sj).

[続葉有]

WO 2007/108149 A1

SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

表示装置及びその駆動方法において、画素回路における不要な発光によるコントラストの低下や電気光学素子の劣化を抑制し、かつ駆動用のトランジスタの閾値を補償する期間を自由に設定し、より正確な補償を行うことによって高品位の表示を得るを実現することを課題とする。
電源配線（Ｖｐ）と共通陰極（Ｖｃｏｍ）とを結ぶ第１の経路上に、表示信号によって第１の経路に流す電流を決定する駆動用ＴＦＴ（２１）と有機ＥＬ素子（ＥＬ）とが直列に接続されている。第１の経路上の駆動用ＴＦＴ（２１）と有機ＥＬ素子（ＥＬ）との間と、データライン（Ｓｊ）からなる第３の電源配線とを結ぶ第２の経路上に、制御の異なるスイッチ用ＴＦＴ（２５）・（２６）が設けられている。

明 細 書

表示装置及びその駆動方法

技術分野

[0001] 本発明は、有機EL(Electro Luminescence)ディスプレイやFED(Field Emission Display)等の電流駆動素子を用いた表示装置及びその駆動方法に関するものである。

背景技術

[0002] 近年、軽量、薄型及び高速応答のディスプレイの需要が高まるにつれ、有機EL(Electro Luminescence)ディスプレイやFED(Field Emission Display)の研究開発が活性化してきている。

[0003] 有機EL素子の輝度と電圧との関係は駆動時間や周辺温度等によって容易に変動してしまうため、電圧制御型の駆動方法では輝度のバラツキを抑えることが非常に困難である。

[0004] しかし、輝度と電流とは比例関係にあり、周辺温度等の外的要因の影響も少ない。このため、有機ELディスプレイの駆動方式としては電流制御型が好ましい。

[0005] 一方、ディスプレイにおける画素回路及び駆動回路を構成するスイッチング素子であるTFT(Thin Film Transistor:薄膜トランジスタ)には、アモルファスシリコン、低温多結晶シリコン又はCG(Continuous Grain)シリコンが用いられる。しかし、閾値電圧や移動度といった特性にバラツキが生じ易く、それぞれのバラツキを補償する回路構成をもって輝度のバラツキを抑制することが一般的である。

[0006] 電流制御型の駆動方法において、TFT特性のバラツキを補償する画素回路を大別すると、電流プログラム方式と電圧プログラム方式との2つの方法がある。それぞれ駆動用のTFTに流れる電流値を、前者は電流信号によってプログラムする一方、後者は電圧信号によってプログラムする。前者は駆動用のTFTの閾値電圧及び移動度を補正することができるが、後者は閾値電圧のみ補正する。しかし、非常に微少な電流値を扱うため、電流プログラム方式の画素及びドライバ回路の設計が困難である。また、電流値のプログラムに要する期間に寄生容量が与える影響が大きく、大面積化は容易ではない。これに対し、電圧プログラム方式は、TFTの移動度を補正するこ

とができないが、電圧信号にて電流値のプログラムを行うため、寄生容量等の影響も軽微で比較的回路設計が簡単である。さらに、移動度のバラツキが電流値に与える影響は、閾値電圧のバラツキが与える影響に比べると小さく、ある程度はTFT作製プロセスで抑え込むことが期待できる。したがって、電圧プログラム方式の表示装置であっても十分な表示品位を得ることが可能である。

[0007] ここで、電圧制御型の駆動方法を採用した有機ELディスプレイの画素回路構成として、特許文献1に開示された回路構成を図10に示す。

[0008] 上記電圧制御型の駆動方法を採用した有機ELディスプレイの画素回路100は、図10に示すように、駆動用TFT110、スイッチ用TFT120・130・140、コンデンサ160・150、及び有機EL素子(OLED:Organic Light Emitting Diode)170から構成されている。上記駆動用TFT110及びスイッチ用TFT120・130・140は、いずれもpチャネル型である。

[0009] 画素回路100は、電源ライン184(+VDD)から、駆動用TFT110、スイッチ用TFT130、有機EL素子170の順に、共通陰極(GND)まで直列に接続されている。駆動用TFT110のゲート端子とデータライン180との間には、スイッチ用TFT140とコンデンサ160とが直列に接続されている。また、スイッチ用TFT120は駆動用TFT110のゲート端子とドレイン端子との間に接続され、コンデンサ150は駆動用TFT110のゲート端子と電源ライン184との間に接続されている。

[0010] また、スイッチ用TFT140のゲート端子はセレクトライン181に接続され、スイッチ用TFT120のゲート端子はオートゼロライン182に接続され、スイッチ用TFT130のゲート端子は照明ライン183にそれぞれ接続されている。

[0011] 上記画素回路100の動作タイミングの例を図11に示す。

[0012] 同図11において、まず、第1期間にオートゼロライン182及び照明ライン183をLow電位にすることによって、スイッチ用TFT120及び130が導通状態となり、駆動用TFT110のドレイン端子とゲート端子とが同電位となる。このとき、駆動用TFT110も導通状態となり、電源ライン184から駆動用TFT110及びスイッチ用TFT130を通じて有機EL素子170に向けて電流が流れる。このとき、データライン180は基準電位にセットされており、セレクトライン181をLow電位としてコンデンサ160のスイッチ用TF

T140側の端子を基準電位Vstdとしておく。

[0013] 次いで、第2期間に、照明ライン183のみをHigh電位とすることにより、スイッチ用TFT130を非導通状態とする。この状態では、駆動用TFT110のゲート端子には、駆動用TFT110及びスイッチ用TFT120を通じて電源ライン184から電流が流れる。駆動用TFT110のゲート端子電位は徐々に上昇し、閾値電圧Vth(Vthは駆動用TFT110のゲート・ソース間電圧であって負の値)に対応した値(+VDD+Vth)となったときに、駆動用TFT110は非導通状態となる。

[0014] 第3期間においては、オートゼロライン182をHigh電位とすることにより、スイッチ用TFT120を非導通状態とする。これにより、そのときのスイッチ用TFT120のゲート端子電位と基準電位との差がコンデンサ160に記憶される。すなわち、駆動用TFT110のゲート端子電位は、データライン180の電位が基準電位Vstdであるときに、閾値状態(ゲート・ソース間の電圧差が閾値電圧Vthとなる状態)に対応した値(+VDD+Vth)となる。

[0015] 第4期間では、データライン180の電位が基準電位Vstdからデータ電圧Vdataに変更される。この状態では、駆動用TFT110のゲート端子電位は、基準電位Vstdとデータ電位Vdataの電位差だけ変動する。第3期間において、駆動用TFT110は閾値状態に設定されており、この基準電位Vstdとデータ電位Vdataとの電位差に対応した電流が流れるように設定される。したがって、駆動用TFT110の閾値電圧Vthに関係なく、基準電位Vstdとデータ電位Vdataとの電位差によって電流値を決定することができる。

[0016] 最後に、第5期間において、セレクトライン181をHigh電位とすることにより、スイッチ用TFT140を非導通状態として、この駆動用TFT110のゲート端子電位をコンデンサ150の端子間電圧として保持し、画素回路100の選択期間を終了する。その後、照明ライン183をLow電位にすることによって、上記第4期間において設定した電流値が駆動用TFT110を介して有機EL素子170に流れる。

[0017] 以上のように、図10に示す画素回路100では、駆動用TFT110に流れる電流は閾値電圧Vthのバラツキに影響されることなく決定されるため、TFTの閾値電圧のバラツキに左右されることなく、有機EL素子170へ出力する電流値を設定することができ

る。

[0018] 次に、図12に特許文献2に記載された画素回路を示す。図12に示す画素回路200は、駆動用TFT202、スイッチ用TFT201・203・204・205、コンデンサ251・252及び有機EL素子253から構成されている。上記5つの駆動用TFT202及びスイッチ用TFT201・203・204・205は全てpチャネル型である。

[0019] 上記画素回路200では、電源ライン(+VDD)271から、駆動用TFT202、スイッチ用TFT204及び有機EL素子253の順に、共通陰極(GND)まで直列に接続されている。また、スイッチ用TFT205は、スイッチ用TFT204と有機EL素子253との間から共通陰極まで、有機EL素子253と並列に接続されている。

[0020] スイッチ用TFT201とコンデンサ251とは、駆動用TFT202のゲート端子とデータライン272との間に、コンデンサ251スイッチ用TFT201をデータライン272側として、直列に接続されている。スイッチ用TFT203は、駆動用TFT202のゲート端子とソース端子との間に接続されている。コンデンサ252は、駆動用TFT202のゲート端子と電源ライン271との間に接続されている。

[0021] スイッチ用TFT201のゲート端子は選択線281に接続され、スイッチ用TFT203のゲート端子は制御信号線283に接続され、スイッチ用TFT204のゲート端子は制御信号線284に接続され、スイッチ用TFT205のゲート端子は制御信号線285に接続されている。

[0022] 図13に画素回路200の動作タイミングを示す。

[0023] 同図13において、第1期間(時刻t3～時刻t4)に制御信号線283・284・285がLowとなることにより、スイッチ用TFT203・204・205が導通状態となり、駆動用TFT202のドレイン端子とゲート端子とが同電位となる。これにより、駆動用TFT202が導通状態となり、駆動用TFT202から共通陰極に向けて電流が流れる。このとき、スイッチ用TFT205及び有機EL素子253のそれぞれには、スイッチ用TFT205の導通状態及び有機EL素子253のそれぞれのインピーダンス比に応じた電流が流れる。このとき、データライン272を基準電位のプリチャージ電位Vpcとし、選択線281をLowとすることにより、スイッチ用TFT201を導通状態とし、コンデンサ251の他方端子(スイッチ用TFT201側の端子)を基準電位であるプリチャージ電位Vpcとしておく。

[0024] 次に、第2期間(時刻t4～時刻t5)となり、制御信号線284をHighとすることにより、スイッチ用TFT204を非導通状態とする。これにより、駆動用TFT202のゲート端子電位は徐々に高くなり、駆動用TFT202の閾値電圧Vth(閾値電圧Vthはゲート・ソース間電圧であって負の値)に対応した値(＋VDD＋Vth)となったときに駆動用TFT202は非導通状態となる。

[0025] 次に、第3期間(時刻t5～時刻t9)となり、制御信号線283をHighとすることにより、スイッチ用TFT203を非導通状態とする。これにより、コンデンサ251に、そのときのスイッチ用TFT203のゲート端子電位と基準電位であるプリチャージ電位Vpcとの差が記憶される。すなわち、駆動用TFT202のゲート端子電位は、データライン272の電位が基準電位であるプリチャージ電位Vpcであるときに、閾値状態に対応した値となる。そして、データライン272の電位がその基準電位であるプリチャージ電位Vpcから画像データ電位Vdataに変化すれば、駆動用TFT202の閾値電圧Vthに関係なく、その電位変化に対応した電流が駆動用TFT202を流れる。

[0026] そこで、所望の画像データ電位をデータライン272に与えた後、選択線281をHighとすることによりスイッチ用TFT201を非導通状態として、駆動用TFT202のゲート端子電位をコンデンサ252の端子間電圧として維持し、画素回路200の選択期間を終了する。

[0027] このように、図12に示す画素回路200を用いることによって、図10に示す画素回路100と同様に、駆動用TFT202の閾値電圧Vthに依らず、駆動用TFT202から有機EL素子253へ出力する電流値を設定することができる。また、有機EL素子253に比べてスイッチ用TFT205の導通状態のときのインピーダンスを小さくすることによって、第1期間に有機EL素子253へ流れる電流を抑制することができる。

特許文献1:日本国公表特許公報「特表2002－514320号公報(2002年5月14日公表)」

特許文献2:日本国公開特許公報「特開2002－351401号公報(2002年12月6日公開)」

非特許文献1:“4.0-in. TFT-OLED Displays and a Novel Digital Driving Method”(SID'00 Digest、pp.924-927、半導体エネルギー研究所)

非特許文献2:“Continuous Grain Silicon Technology and Its Applications for Active Matrix Display”(AM-LCD 2000 、pp.25-28、半導体エネルギー研究所)

非特許文献3:“Polymer Light-Emitting Diodes for use in Flat panel Display”(AM-LCD '01、pp.211-214、半導体エネルギー研究所)

発明の開示

[0028] 上記従来の図10に示す画素回路100を用いれば、駆動用TFT110の閾値電圧Vthに関係なく、所望の電流を有機EL素子170に流すことができる。しかしながら、図10に示す第1期間に駆動用TFT110から有機EL素子170に向けて電流が流れるため、有機EL素子170が発光してしまう。図10に示す第1期間は、閾値電圧を補償するための期間であり、駆動用TFT110に流れる電流を正確に制御することが困難な状態にある。したがって、有機EL素子170に流れる電流も制御することができず、視認できる輝度で発光することもあるため、コントラストの低下及び有機EL素子の劣化を招くという問題点を有している。

[0029] 図12に示す画素回路200についても同様である。画素回路200においては、図14に示す第1期間に有機EL素子253と並列に接続されたスイッチ用TFT205を導通状態にすることによって、有機EL素子253に流れる電流を抑制することができる。

[0030] しかしながら、一般的に有機EL素子253のインピーダンスに比べてスイッチ用TFT205の導通状態のときのインピーダンスはそれほど小さな値にはならない。したがって、図12に示す画素回路200を用いた場合にも、コントラストの低下及び有機EL素子253の劣化を免れることはできない。

[0031] 本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、画素回路における不要な発光によるコントラストの低下や電気光学素子の劣化を抑制し、かつ駆動用のトランジスタの閾値を補償する期間を自由に設定し、より正確な補償を行うことによって高品位の表示を得る表示装置及びその駆動方法を実現することにある。

[0032] 本発明の表示装置は、上記課題を解決するために、走査線とデータ信号線との各交差点に対応して配置された画素回路を備えると共に、各上記画素回路は電流駆動型の電気光学素子を備え、走査信号出力回路から上記走査線に出力した走査信

号により書き込み可能状態とした上記画素回路に、表示信号出力回路から上記データ信号線を介して上記電気光学素子の駆動電流に対応した表示信号を書き込む表示装置であって、第1の電源配線と第2の電源配線とを結ぶ第1の経路上に、上記表示信号によって該第1の経路に流す電流を決定する駆動素子と上記電気光学素子とが直列に接続されており、上記第1の経路上の上記駆動素子と電気光学素子との間と、第3の電源配線又は信号配線とを結ぶ第2の経路上に、制御の異なる第1のスイッチング素子及び第2のスイッチング素子が設けられている。なお、制御の異なるとは、互いに独立して第1のスイッチング素子と第2のスイッチング素子とを駆動できることを意味する。

[0033] 上記発明によれば、第1のスイッチング素子及び第2のスイッチング素子を導通状態とすることによって、駆動素子の閾値状態に設定するときに流れる電流を、第2の経路における第1のスイッチング素子及び第2のスイッチング素子を通して第3の配線に流すことによって、電気光学素子には流れないようにすることができる。すなわち、第1の電源配線と第2の電源配線とのうち、駆動素子側の第1の電源配線又は第2の電源配線と第3の配線との間で電流を流すことができる。

[0034] また、第1のスイッチング素子及び第2のスイッチング素子を非導通状態とすると共に、電気光学素子に電流を流す状態を形成すれば、駆動素子から電気光学素子に設定された電流を流すことができる。すなわち、第1の電源配線と第2の電源配線との間で電流を流すことができる。

[0035] したがって、駆動素子から電気光学素子に電流を流さない状態と、駆動素子から電気光学素子に電流を流す状態とを区別して形成することができる。これにより、画素回路において、駆動素子を閾値状態とする期間等、画像表示以外の期間には電気光学素子が発光しない構成とすることができる。

[0036] すなわち、駆動素子を閾値状態とする期間に電気光学素子への電流を抑制できなければ、画像が黒となる表示信号を送信したとしても微小な発光が生じてしまう。また、駆動素子を閾値状態とするときの電流値や、電流の流れる期間は制御することが困難であり、不要な発光は電気光学素子の劣化につながる。

[0037] しかし、本発明のように、駆動素子を閾値状態とする期間に生じる電流を迂回させ

る配線に、電気光学素子の電源とは異なる第3の配線を利用し、この第3の配線へ逃がすことによって、これら不要な電気光学素子への電流を遮断することができる。

[0038] この結果、不要な発光によるコントラストの低下や電気光学素子の劣化を抑制し、かつ駆動素子の閾値を補償する期間を自由に設定し、より正確な補償を行うことによって高品位の表示を得る表示装置を実現することができる。

[0039] また、本発明の表示装置は、上記課題を解決するために、走査線とデータ信号線との各交差点に対応して配置された画素回路を備えると共に、各上記画素回路は電流駆動型の電気光学素子を備え、走査信号出力回路から上記走査線に出力した走査信号により書き込み可能状態とした上記画素回路に、表示信号出力回路から上記データ信号線を介して上記電気光学素子の駆動電流に対応した表示信号を書き込む表示装置であって、第1の電源配線と第2の電源配線とを結ぶ第1の経路上に、上記表示信号によって該第1の経路に流す電流を決定する駆動素子と上記電気光学素子とが直列に接続されており、上記第1の経路上の上記駆動素子と電気光学素子との間と、上記第1の電源配線若しくは第2の電源配線のいずれか一方、又は上記データ信号線とを結ぶ第2の経路上に、制御の異なる第1のスイッチング素子及び第2のスイッチング素子が設けられている。なお、制御の異なるとは、互いに独立して第1のスイッチング素子と第2のスイッチング素子とを駆動できることを意味する。

[0040] 上記発明によれば、第1のスイッチング素子及び第2のスイッチング素子を導通状態とすることによって、駆動素子を閾値状態に設定するときに流れる電流を、第2の経路における第1のスイッチング素子及び第2のスイッチング素子を通して第1の電源配線若しくは第2の電源配線のいずれか一方、又は上記データ信号線に流すことによって、電気光学素子には流れないようにすることができる。

[0041] すなわち、駆動素子が存在する側の第1の電源配線又は第2の電源配線から、駆動素子、第1のスイッチング素子及び第2のスイッチング素子を通して、残る第1の電源配線と第2の電源配線とのどちらか一方、又は上記データ信号線との間で電流を流すことができる。したがって、駆動素子を閾値状態に設定するときに流れる電流を迂回させる配線として電気光学素子の陽極若しくは陰極の配線である第1の電源配線若しくは第2の電源配線、又は表示信号を送信する上記データ信号線を利用し、

第1の経路のうち電気光学素子がある部分を避けて電流を流すことができる。

[0042] また、第1のスイッチング素子及び第2のスイッチング素子を非導通状態とすると共に、電気光学素子に電流を流す状態を形成すれば、駆動素子から電気光学素子に設定された電流を流すことができる。すなわち、電気光学素子が存在する第1の経路を通して第1の電源配線と第2の電源配線との間で電流を流すことができる。

[0043] したがって、駆動素子を通じて電気光学素子に電流を流さない状態と、駆動素子を通じて電気光学素子に電流を流す状態とを区別して形成することができる。これにより、不要な電気光学素子への電流を遮断することができるため、従来の画素回路と比べて不要な発光によるコントラストの低下や電気光学素子の劣化を抑制し、かつ駆動素子の閾値を補償する期間を自由に設定し、より正確な補償を行うことによって高品位の表示を得る表示装置を実現することができる。さらに、第2の経路として電気光学素子の電源、又は表示信号を送信するデータ信号線を利用することによって、配線を追加することなく上記の効果を得ることができる。

[0044] また、本発明の表示装置では、前記第1のスイッチング素子と第2のスイッチング素子のいずれか1つは、前記表示信号出力回路から前記データ信号線を通じて表示信号が送信されるときに、非導通状態に制御されることが好ましい。

[0045] また、本発明の表示装置の駆動方法では、走査線とデータ信号線との各交差点に対応して配置された画素回路を備えると共に、各上記画素回路は電流駆動型の電気光学素子を備え、走査信号出力回路から上記走査線に出力した走査信号により書き込み可能状態とした上記画素回路に、表示信号出力回路から上記データ信号線を介して上記電気光学素子の駆動電流に対応した表示信号を書き込む表示装置の駆動方法であって、第1の電源配線と第2の電源配線とを結ぶ第1の経路上に、上記表示信号によって該第1の経路に流す電流を決定する駆動素子と上記電気光学素子とを直列に接続し、上記第1の経路上の上記駆動素子と電気光学素子との間と、上記第3の電源配線、又は信号配線とを結ぶ第2の経路上に、制御の異なる第1のスイッチング素子及び第2のスイッチング素子を設け、上記第1のスイッチング素子と第2のスイッチング素子のいずれか1つは、上記表示信号出力回路から上記データ信号線を通じて表示信号が送信されるときに、非導通状態に制御する。

[0046] また、本発明の表示装置の駆動方法では、走査線とデータ信号線との各交差点に対応して配置された画素回路を備えると共に、各上記画素回路は電流駆動型の電気光学素子を備え、走査信号出力回路から上記走査線に出力した走査信号により書き込み可能状態とした上記画素回路に、表示信号出力回路から上記データ信号線を介して上記電気光学素子の駆動電流に対応した表示信号を書き込む表示装置の駆動方法であって、第1の電源配線と第2の電源配線とを結ぶ第1の経路上に、上記表示信号によって該第1の経路に流す電流を決定する駆動素子と上記電気光学素子とを直列に接続し、上記第1の経路上の上記駆動素子と電気光学素子との間と、上記第1の電源配線若しくは第2の電源配線のいずれか一方、又は上記データ信号線とを結ぶ第2の経路上に、制御の異なる第1のスイッチング素子及び第2のスイッチング素子を設け、上記第1のスイッチング素子と第2のスイッチング素子のいずれか1つは、上記表示信号出力回路から上記データ信号線を通じて表示信号が送信されるときに、非導通状態に制御する。

[0047] 上記の発明によれば、表示信号出力回路からデータ信号線を通して対応する画素回路の表示信号が出力されている期間において、第1のスイッチング素子及び第2のスイッチング素子のいずれか1つは非導通状態とすることができる。すなわち、対応する表示信号の書き込みを行っている期間においては、第1のスイッチング素子又は第2のスイッチング素子のいずれか1つを非導通状態とすることにより、第1の電源配線又は第2の電源配線から駆動素子を通して第2の経路へ流れる電流を遮断することができる。

[0048] したがって、例えば、第3の配線をデータ信号線としても、表示信号を送信している期間では第1の電源配線又は第2の電源配線から駆動素子を介して第2の経路を通して流れる電流を遮断することができる。これにより、第2の経路を通じて流れる電流が他の配線の信号に干渉することがなくなるため、第3の配線としてデータ信号線を用いることが可能になり、回路構成に必要な配線の数を減らすことができる。

[0049] また、本発明の表示装置では、前記第1のスイッチング素子と第2のスイッチング素子との両方を導通状態することにより前記第2の経路を導通状態とする導通選択期間と、上記第1のスイッチング素子と第2のスイッチング素子とのいずれか1つを非導

通状態とすることにより上記第2の経路を非導通状態とする非導通選択期間とが設けられていることが好ましい。

[0050] 上記の発明によれば、第2の経路が導通する導通選択期間においては、駆動素子から第2の経路に電流を流しながら電気光学素子に電流を流さない状態を形成する一方、第2の経路が非導通となる非導通選択期間においては、駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することが可能になる。これにより、導通選択期間において駆動素子を一旦導通状態とすることが可能になる。

[0051] また、導通選択期間において駆動素子を一旦導通状態とした後に非導通選択期間を実行することにより、駆動素子から第2の経路に電流を流さずに駆動素子を閾値状態へと設定することができる。また、非導通選択期間において駆動素子のゲート端子に表示信号を印加することが可能になる。この結果、第2の経路にデータ信号線を用いることが可能になり、画素回路に必要な配線を少なくすることができる。

[0052] また、本発明の表示装置では、前記第2の経路を導通状態とする導通選択期間において、前記第1の経路のうち前記駆動素子側の経路は導通状態とする一方、上記第1の経路のうち前記電気光学素子側の経路は、上記第1の経路上に設けられた第3のスイッチング素子によって非導通状態とすることが好ましい。

[0053] 上記発明によれば、第2の経路が導通する導通選択期間においては、駆動素子から第2の経路に電流を流しながら、第3のスイッチング素子を非導通状態とすることによって電気光学素子に電流を流さない状態を形成する一方、第2の経路が非導通となる非導通選択期間のうち、送信された表示信号にしたがって電気光学素子を発光させる期間においては、駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

[0054] これにより、駆動素子を閾値状態とする期間において、電気光学素子に電流を流すことなく、第2の経路に電流を流すことができるため、不要な発光によるコントラストの低下や電気光学素子の劣化を抑制することができる。

[0055] また、本発明の表示装置では、前記第1の電源配線又は第2の電源配線のうちいずれか1つは電位が可変であることが好ましい。

[0056] 上記の発明によれば、電気光学素子の陽極又は陰極に接続される側の第1の電源配線又は第2の電源配線の電位を、電気光学素子に流れる電流が発光する閾値以下となるような電圧が印加されるような電位と、電気光学素子に発光に寄与する電流が流れる電圧が印加されるような電位とで切り替えることにより、第1の経路のうち、電気光学素子に電流を流すか否かを切り替えることができる。

[0057] また、電気光学素子と第1の電源配線又は第2の電源配線との間に第3スイッチング素子を設けることなく、電気光学素子に電流を流すか否かを切り替えることができるので、画素回路の規模を縮小化し、より高精細の表示装置を実現することができる。

[0058] また、本発明の表示装置では、前記第2の経路を導通状態とする導通選択期間において、前記第1の経路のうち前記駆動素子側の経路は導通状態とする一方、上記第1の経路のうち前記電気光学素子側の経路は、第1の電源配線又は第2の電源配線の少なくとも1つの電位を変動させることによって非導通状態とすることが好ましい。

[0059] 上記の発明によれば、第2の経路が導通する導通選択期間においては、駆動素子から第2の経路に電流を流しながら、第1の電源配線又は第2の電源配線の電位を変動させることによって電気光学素子に電流を流さない状態を形成する一方、第2の経路が非導通となる非導通選択期間においては、駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

[0060] すなわち、導通選択期間において、電気光学素子に電流が流れないようにするため、陰極又は陽極の電位を変更する。

[0061] これにより、駆動素子を閾値状態とする期間において、第1の経路にスイッチング素子を追加することなく電気光学素子に流れる電流を遮断し、第2の経路に電流を流すことができるため、画素の回路構成を簡略化できる。

[0062] また、本発明の表示装置では、前記第2の経路を導通状態とする導通選択期間は、前記駆動素子を閾値状態とする前に該駆動素子の出力電流を該第2の経路に流すために設定される期間である一方、上記第2の経路を非導通状態とする非導通選択期間は、該第2の経路の導通選択期間の後に上記駆動素子が上記閾値状態へと設定される期間、及び前記電気光学素子の駆動電流に対応した表示信号を書き込

む期間であり、画素回路において、対応する上記導通選択期間と非導通選択期間とが異なる水平走査期間で実行されることが好ましい。

[0063] 上記の発明によれば、駆動素子を閾値状態へと設定するため、駆動素子を一旦導通状態とする導通選択期間と、駆動素子から第2の経路に電流を流さずに、駆動素子のゲート端子に表示信号を印加する非導通選択期間とは分離して設定することができる。すなわち、導通選択期間は駆動素子の閾値補償を行う準備期間とし、非導通選択期間は駆動素子を閾値状態に設定する期間と、表示信号の書き込み期間とすることができる。

[0064] このため、非導通選択期間よりも導通選択期間が先に実行されるならば、それぞれ異なる水平走査期間で実行することが可能である。したがって、2つの選択期間の間隔を広げることができるため、駆動素子を閾値状態に設定するための期間が1水平走査期間以内に制限されることがなくなり、十分な時間をかけて上記駆動素子をより精度の高い閾値状態とすることができる。

[0065] また、本発明の表示装置では、前記電気光学素子は、有機EL素子からなっていることが好ましい。

[0066] これにより、電流駆動型の電気光学素子である有機EL素子を備えた表示装置において、コントラストを高くすることが可能であり、かつ有機EL素子の劣化を抑制することができる。

[0067] また、本発明の表示装置では、前記駆動素子、並びに前記第1のスイッチング素子及び第2のスイッチング素子は、薄膜トランジスタからなっていることが好ましい。

[0068] これにより、薄膜トランジスタが形成可能な表示装置において、駆動素子、第1のスイッチング素子及び第2のスイッチング素子を全て薄膜トランジスタで構成することにより、表示装置を容易かつ高性能に製造することができる。

[0069] また、本発明の表示装置では、前記画素回路に含まれる薄膜トランジスタは全て同じチャネル極性であることが好ましい。

[0070] これにより、画素回路に配置する薄膜トランジスタを同じプロセスで製造することができるので、異なるチャネル極性が混在することによるマスク種類の増加等のプロセスの煩雑さを回避することが可能になる。

[0071] したがって、表示装置を低コスト化することができる。また、同じチャネル極性のトランジスタであれば、2つのトランジスタをより接近させて配置することが可能になり、同じ面積であってもより多くのトランジスタを配置することができる。

[0072] また、本発明の表示装置では、前記駆動素子はpチャネル型の薄膜トランジスタからなっていることが好ましい。

[0073] これにより、駆動素子から流す電流を、駆動素子のゲート端子の、第1の電源配線又は第2の電源配線の電位に対して決定することができる。したがって、ソースフォロワにおける負荷変動を回避して、駆動素子から正確な電流を流すことができる。

[0074] また、本発明の表示装置では、前記駆動素子はnチャネル型の薄膜トランジスタからなっていることが好ましい。

[0075] これにより、駆動素子から流す電流を、駆動素子のゲート端子の、第1の電源配線又は第2の電源配線の電位に対して決定することができる。したがって、ソースフォロワにおける負荷変動を回避して、駆動素子から正確な電流を流すことができる。

[0076] また、本発明の表示装置では、前記第2の経路を導通状態とする導通選択期間において、前記データ信号線には、上記第2の経路を非導通状態とする非導通選択期間とは異なる電位を与え、かつその電位は可変であることが好ましい。

[0077] 上記の発明によれば、第2の経路を導通状態とする導通選択期間にデータ信号線から表示信号とは異なるプリチャージ電位を与え、その電位を基準として駆動素子を閾値状態へと設定した後、表示信号を新たな基準電位とすることによって、プリチャージ電位と表示信号の電位との電位差を駆動素子のゲート電位に印加することができる。すなわち、導通選択期間では、データ信号線に可変するプリチャージ電位を与えることによって、同じ電位の表示信号を与えたとしても、駆動素子のゲート電位が異なる状況を作り出すことができるため、ピーク輝度を発生させることができる。

[0078] 一般的に、表示する映像の発光／非発光部分の比率が異なる場合に、1つの画素に対し、同じ輝度の画像信号であっても輝度を変化させる(ピーク輝度)ことによって、画像の表示品位を向上させることができる。したがって、表示する画像によってプリチャージ電位を適切な値へ変動させることによって、同じ表示信号であっても、異なる輝度で表示することができる。

[0079] また、本発明の表示装置では、前記第2の経路を導通状態とする導通選択期間において、前記駆動素子はpチャネル型の薄膜トランジスタからなり、前記データ信号線に与えられる電位は、ピーク輝度が最大となる場合を基準の電位とし、その基準電位よりも低い方向へのみ調整されることが好ましい。

[0080] 例えば、駆動素子がpチャネル型の薄膜トランジスタの場合、駆動素子のソース電位が一定であれば、ゲート電位が低いほど大きな電流が流れる。駆動素子の最終的なゲート電位は、プリチャージ電位と表示信号との電位差によって決定されるため、黒表示、すなわち駆動素子に殆ど電流が流れない状態とするため、電位差が生じないようプリチャージ電位と上記表示信号との電位は略等しいことが望ましい。したがって、白表示、すなわち駆動素子に電流を流すためには、表示信号の電位は黒表示のデータを上限とし、それよりも低い電位とする必要がある。

[0081] 一方、プリチャージ電位は、黒表示の表示信号の電位を基準とし、電位をどちら側に振っても実現できるが、電位を上昇させた場合、黒表示の表示データ電位を与えた場合であっても駆動素子に電流が流れる電位差が発生するため、却って表示品位を低下させる場合がある。

[0082] したがって、プリチャージ電位はピーク輝度が最大となる電位を基準とし、その基準電位よりも低い方向にのみ電位を変動させることによって、つまり電位が下降するように制御することによって、コントラストを低下させずにピーク輝度を実現することができる。

[0083] また、本発明の表示装置では、前記第2の経路を導通状態とする導通選択期間において、前記記駆動素子はnチャネル型の薄膜トランジスタからなり、前記データ信号線に与えられる電位は、ピーク輝度が最大となる場合を基準の電位とし、その基準電位よりも高い方向へのみ調整されることが好ましい。

[0084] 例えば、駆動素子がnチャネル型の薄膜トランジスタの場合、駆動素子のソース電位が一定であれば、ゲート電位が高いほど大きな電流が流れる。駆動素子の最終的なゲート電位は、上記プリチャージ電位と表示信号との電位差によって決定されるため、黒表示とするためには、電位差が生じないようプリチャージ電位と表示信号との電位は略等しいことが望ましい。したがって、白表示のためには、表示信号の電位は

黒表示のデータを下限とし、それよりも高い電位とする必要がある。

[0085] 一方、プリチャージ電位は、黒表示の表示信号の電位を基準とし、電位をどちら側に振っても実現できるが、電位を下降させた場合、黒表示の表示データ電位を与えた場合であっても駆動素子に電流が流れる電位差が発生するため、却って表示品位を低下させる場合がある。したがって、プリチャージ電位はピーク輝度が最大となる電位を基準とし、その基準電位よりも高い方向にのみ電位を変動させることによって、つまり電位が上昇するように制御することによって、コントラストを低下させずにピーク輝度を実現することができる。

[0086] また、本発明の表示装置では、前記駆動素子の一方の入出力端子は前記第1の電源配線に接続され、前記駆動素子の他方の入出力端子は前記第1のスイッチング素子に接続され、前記第1のスイッチング素子及び第2のスイッチング素子は、上記駆動素子の他方の入出力端子と第3の配線との間に直列に接続され、前記電気光学素子は、上記駆動素子の他方の入出力端子と前記第2の電源配線との間に、電気的に接続されることが好ましい。

[0087] 上記の発明によれば、第3の配線に電流を流すことによって、電気光学素子に電流を流すことなく、駆動素子を閾値状態とするための期間を設定することができる。これにより、駆動素子から電気光学素子に電流を流さない状態と、駆動素子から電気光学素子に電流を流す状態とを区別して形成することができ、不要な電気光学素子への電流を遮断することができる。この結果、従来の画素回路と比べてコントラストを高くすることが可能であり、かつ電気光学素子の劣化を抑制することのできる表示装置を実現することができる。

[0088] また、本発明の表示装置では、前記駆動素子の一方の入出力端子は前記第1の電源配線に接続され、上記駆動素子の他方の入出力端子は前記第1のスイッチング素子に接続され、上記第1のスイッチング素子及び第2のスイッチング素子は、上記駆動素子の他方の入出力端子と上記第2の電源配線との間に直列に接続され、前記電気光学素子は、上記駆動素子の他方の入出力端子と上記第2の電源配線との間に電気的に接続されることが好ましい。

[0089] 上記の発明によれば、第2の電源配線に電流を流すことによって、電気光学素子に

電流を流すことなく、駆動素子を閾値状態とするための期間を設定することができる。これにより、駆動素子から電気光学素子に電流を流さない状態と、駆動素子から電気光学素子に電流を流す状態とを区別して形成することができ、不要な電気光学素子への電流を遮断することができる。この結果、従来の画素回路と比べてコントラストを高くすることが可能であり、かつ電気光学素子の劣化を抑制することのできる表示装置を実現することができる。

[0090] 本発明のさらに他の目的、特徴、及び優れた点は、以下に示す記載によって十分わかるであろう。また、本発明の利益は、添付図面を参照した次の説明で明白になるであろう。

図面の簡単な説明

[0091] [図1]本発明における表示装置の実施の一形態を示すものであり、第1の画素回路の構成を示す回路図である。

[図2]上記表示装置の全体構成を示すブロック図である。

[図3]上記表示装置における第1の画素回路の動作を示すタイミングチャートである。

[図4]上記表示装置における第1の画素回路の他の動作を示すタイミングチャートである。

[図5]上記表示装置における第2の画素回路の構成を示す回路図である。

[図6]上記表示装置における第2の画素回路の動作を示すタイミングチャートである。

[図7]上記表示装置における第3の画素回路の構成を示す回路図である。

[図8]上記表示装置における第4の画素回路の構成を示す回路図である。

[図9]上記表示装置における第5の画素回路の構成を示す回路図である。

[図10]従来技術を示すものであり、表示装置における画素回路の構成を示す回路図である。

[図11]上記表示装置における画素回路の動作を示すタイミングチャートである。

[図12]従来の表示装置における他の画素回路の構成を示す回路図である。

[図13]上記他の画素回路の動作を示すタイミングチャートである。

符号の説明

[0092] 21 駆動用TFT(駆動素子)

22	スイッチ用TFT(第3のスイッチング素子)
23・24	スイッチ用TFT
25・26	スイッチ用TFT(第1のスイッチング素子及び第2のスイッチング素子)
45	スイッチ用TFT
55	スイッチ用TFT
61	駆動用TFT
62・63・64	スイッチ用TFT
65・66	スイッチ用TFT
A・K	接続点
Aij20	画素回路
Aij30	画素回路
Aij40	画素回路
Aij50	画素回路
Aij60	画素回路
C1・C2	コンデンサ
C52	コンデンサ
CO1・CO2	コンデンサ
CAi	電源配線(第2の電源配線)
Gi	走査ライン(走査線)
EL	有機EL素子(電気光学素子)
Wi・Ei	制御線
Sj	データライン(データ信号線)
Ve	電源配線(第1の電源配線)
Vp	電源配線(第1の電源配線)
Vcom	共通陰極(第2の電源配線)

発明を実施するための最良の形態

[0093] 本発明の一実施形態について図1ないし図9に基づいて説明すれば、以下の通り

である。なお、本発明に用いられるスイッチング素子はアモルファスシリコンTFT、低温ポリシリコンTFTやCG（Continuous Grain）シリコンTFT等で構成できるが、本実施の形態ではCGシリコンTFTを用いることとする。

[0094] ここで、CGシリコンTFTの構成は、例えば非特許文献1に発表されており、CGシリコンTFTの製造プロセスは、例えば非特許文献2に発表されている。すなわち、CGシリコンTFTの構成及びその製造プロセスは何れも公知であるため、ここではその詳細な説明は省略する。

[0095] また、本実施の形態で用いる電気光学素子である有機EL素子についても、その構成は、例えば非特許文献3に発表されており公知であるため、ここではその詳細な説明は省略する。

[0096] 図2に、本実施の形態の表示装置10の構成を示す。

[0097] 本実施の形態の表示装置10は、図2に示すように、複数の画素回路Aij（i＝1～n、j＝1～m）と、ソースドライバ回路1と、ゲートドライバ回路2と、コントロール回路3とを備えている。画素回路Aijは、複数の互いに平行に配されたデータ信号線としてのデータラインSjと、これらに直交する複数の互いに平行に配された走査線としての走査ラインGiとの各交差点に対応してマトリクス状に配置されている。データラインSjは、画素回路Aijに信号を供給するために、ソースドライバ回路1に接続されている。走査ラインGiは、ゲートドライバ回路2に接続されている。

[0098] ソースドライバ回路1及びゲートドライバ回路2は、表示装置10全体の小型化及び作製コストの低減を図るため、画素回路Aijと同じ基板上に、多結晶シリコンTFT又はCGシリコンTFTを用いて、全部又は一部形成されることが好ましい。

[0099] ソースドライバ回路1は、mビットのシフトレジスタ1aと、レジスタ1bと、ラッチ1cと、m個のD／Aコンバータ1dとを有している。

[0100] このソースドライバ回路1において、シフトレジスタ1aは、縦続接続されたm個のレジスタを有しており、コントロール回路3から先頭のレジスタに入力されるスタートパルスSPをクロックCLKに同期して転送し、各出力段からタイミングパルスDLPとしてレジスタ1bへ出力する。レジスタ1bには、タイミングパルスが入力されるタイミングでコントロール回路3から表示データDAが入力される。レジスタ1bに表示データDAが一列

分記憶されると、コントロール回路3からラッチ1cに入力されるラッチパルスLPに同期して上記一列分の表示データDAがラッチ1cに入力される。ラッチ1cに保持された表示データDAのそれぞれは対応するD／Aコンバータ1dへ出力される。D／Aコンバータ1dは、各データラインSjに1つずつ設けられており、ラッチ1cから入力される表示データDAをアナログの信号電圧Daとして、対応するデータラインSjに与える。

[0101] ゲートドライバ回路2は、図示しないシフトレジスタ回路と、論理演算回路と、バッファとを含んでいる。このゲートドライバ回路2において、入力されたスタートパルスYIをクロックYCKに同期して上記シフトレジスタ回路内を転送し、論理演算回路によって、シフトレジスタ回路各出力段から出力されたパルスとタイミング信号OEとで論理演算を行い、バッファを通して対応した走査ラインGi、及び図示しないが走査ラインGiと互いに平行に配置された制御線Wi・Eiへ必要な電圧を出力する。各走査ラインGiには複数個の画素回路Aijが接続されており、画素回路Aijはこれらのグループ単位で走査ラインGiによって走査される。

[0102] このように、ソースドライバ回路1は、ある走査ライン1行分の画素回路Aijへデータを一度に送信する、線順次走査型の回路である。なお、画素1つ1つに順次データを送信する点順次走査型の回路であっても構わない。いずれもポリシリコンTFT液晶等で用いられるソースドライバ回路1と同様な構成であり、ここでは点順次走査型の回路についての詳細な説明は省略する。

[0103] プリチャージ回路4は、コントロール回路3から入力される電圧制御信号PDAによってプリチャージ電圧Vpcの電位を決定し、タイミングパルスPCKによって所定のタイミングでデータラインSjにプリチャージ電圧Vpcを与える。

[0104] コントロール回路3は、ソースドライバ回路1に、上記スタートパルスSP、クロックCLK、表示データDA、ラッチパルスLLPを出力する回路である。また、コントロール回路3は、ゲートドライバ回路2に与えるためのタイミング信号OE、スタートパルスYI、クロックYCKを出力する。さらに、コントロール回路3は、プリチャージ回路4に電圧制御信号PDAとタイミングパルスPCKとを出力する。

[0105] また、画素回路Aijが配置されている領域には、電源配線Vp及び共通陰極Vcom、又は陰極配線CAiが配置されているが、これについては後述する。なお、本実施の

形態の説明においては、便宜上、電源配線Vpを第1の電源配線、共通陰極Vcom又は陰極配線CAiを第2の電源配線と設定する。

[0106] 次に、表示装置10に備えられる画素回路Aijの各実施例について以下に説明する。

[0107] 〔実施例1〕

図1は、本実施例の画素回路Aij20の構成を示す回路図である。

[0108] 図1に示すように、画素回路Aij20は、駆動素子としての駆動用TFT21、スイッチ用TFT22・23・24・25・26、コンデンサC1・C2、及び電気光学素子としての有機EL素子ELを備えている。なお、上記TFTのチャネル極性は全てp型である。上記スイッチ用TFT22・23は、本発明の第1のスイッチング素子及び第2のスイッチング素子としての機能を有する。

[0109] 上記駆動用TFT21と、スイッチ用TFT22と、有機EL素子ELとは、電源配線Vpと共通陰極Vcomとを結ぶ第1の経路上に、駆動用TFT21を電源配線Vp側としてこの順で直列に設けられている。第1の経路上の素子は、図1の場合、駆動用TFT21、スイッチ用TFT22、及び有機EL素子ELのみからなる。駆動用TFT21は有機EL素子ELに駆動電流を供給する駆動用のトランジスタである。スイッチ用TFT22はスイッチングトランジスタである。なお、スイッチ用TFT22と有機EL素子ELとの位置は上記の関係であっても互いに入れ替わってもよい。電源配線Vpは一定の電位VDDとなっている。共通陰極Vcomには一定の電位VSS（VDD＞VSS）が付与されており、各有機EL素子ELの共通電極となっている。

[0110] スイッチ用TFT23及びコンデンサC1は、データラインSjと駆動用TFT21のゲート端子との間に、スイッチ用TFT23、コンデンサC1の順で直列に接続されている。なお、スイッチ用TFT23のドレイン端子とコンデンサC1との接続点をAとする。

[0111] コンデンサC2は接続点Aと電源配線Vpとの間に接続されている。

[0112] スイッチ用TFT24は、駆動用TFT21のゲート端子とドレイン端子との間に接続されている。スイッチ用TFT22は、第1の経路上の駆動用TFT21と有機EL素子ELとの間に設けられている。また、スイッチ用TFT22と駆動用TFT21との接続点をKとし、この接続点Kとデータライン Sjとを結ぶ第2の経路上にスイッチ用TFT25（第1のス

イッチング素子)・26(第2のスイッチング素子)が設けられている。

[0113] スイッチ用TFT23・25のゲート端子は走査ラインGiに接続され、スイッチ用TFT24・26のゲート端子は制御配線Wiに接続され、スイッチ用TFT22のゲート端子は制御配線Eiに接続されている。

[0114] なお、それぞれの素子や配線の接続、制御信号、及び表示データ信号を適切に選択するならば、TFTの極性は一部n型、又は全てn型であっても構わない。また、ここでは第3の配線としてデータラインSjを用いているが、これに限らず、電源配線Vp及び共通陰極Vcomとは異なる配線であって、その電位が設定可能な配線であればよい。

[0115] 図3は、上記構成の画素回路Aij20の動作を示すタイミングチャートである。この画素回路Aij20の動作は、コントロール回路3から供給される前述の各種の信号に基づいて、ソースドライバ回路1及びゲートドライバ回路2によって制御される。以下、本画素回路Aij20の動作を図3のタイミングチャートを用いて説明する。

[0116] 図3においては、走査ラインGi、制御配線Wi・Ei、データラインSjにそれぞれ設定される電位が変化するタイミングが示されている。また、走査ラインGi+1、制御配線Wi+1・Ei+1のそれぞれは、同じデータラインSjに接続され、かつ走査ラインGiの次に走査される走査ラインGi+1に接続される画素回路A(i+1)jに対応する。したがって、図3における時刻t0～時刻t4までが1水平走査期間に当たる。

[0117] 図3に示すように、時刻t0～時刻t10は画素回路Aij20の選択期間である。まず、最初の時刻t0に制御配線Eiの電位をGH(High)とすることにより、スイッチ用TFT22を非導通状態とする。これにより、第1の経路のうちの接続点Kから共通陰極Vcom側の電流が遮断される。

[0118] 次に、時刻t1で制御配線Wiの電位をGL(Low)とすることにより、スイッチ用TFT24・26を導通状態とする。さらに時刻t2から時刻t3まで走査ラインGiの電位GLとすることにより、スイッチ用TFT23・25を導通状態とする。この時刻t2～時刻t3は、第2の経路の導通選択期間である。

[0119] 一方、この時刻t2～時刻t3の期間に、データラインSjにはプリチャージ回路513からプリチャージ電位Vpcを与える。したがって、接続点Aの電位はプリチャージ電位V

pcとなり、このプリチャージ電位Vpcはコンデンサ C2に記憶される。一方、コンデンサC1の両端については、駆動用TFT21のゲート端子側の電位もプリチャージ電位Vpcとなり、殆ど電位差を生じない。

[0120] このとき、スイッチ用TFT22が非導通状態にあるため、電流は電源配線Vpから駆動用TFT21とスイッチ用TFT25・26とを順に通ってデータラインSjへ流れ、有機EL素子ELには電流は流れない。

[0121] 次に、時刻t3において走査ラインGiの電位をGHとして、スイッチ用TFT23・25を非導通状態とする。したがって、第2の経路の電流は遮断される。また、接続点Aはデータライン Sjから切り離され、この段階で接続点Aの電位がプリチャージ電位VpcとなるようにコンデンサC2に電荷が保持される。

[0122] また、時刻t3から、時刻t5において制御配線Wiの電位がGHとなるまでの期間、駆動用TFT21のゲート端子の電位は電源配線Vpから駆動用TFT21及びスイッチ用TFT23を通じて電流が流れ込み、徐々に高くなる。そして、駆動用TFT21の閾値電圧Vth(ただし、閾値電圧Vthはゲート・ソース間電圧であって負の値)に対応した値(Vp+Vth)となったときに、駆動用TFT21は非導通状態となる。この期間は、TFTの閾値電圧ばらつきを補償するための期間である。これにより、駆動用TFT21がどのような閾値電圧を有していても、当該期間において駆動用TFT21を閾値状態とすることができる。このときの駆動用TFT21のゲート電位は、コンデンサC1によって記憶される。また、時刻t5にて制御配線Wiの電位がGHとなることにより、スイッチ用TFT24・26が非導通状態となる。したがって、コンデンサC1には、駆動用TFT21の閾値電圧に対応した電位を保持することができる。このとき、接続点Aの電位はプリチャージ電位Vpcであり、コンデンサC1に保持される電位差は、データラインSj側を基準としてVp+Vth−Vpcとなる。駆動用TFT21に所望の電流を流すように制御するには、この後に駆動用TFT21のゲート・ソース間電圧を、閾値状態から所望の電流に応じた電圧だけ変化させればよい。

[0123] なお、接続点Aの電位は、実際には駆動用TFT21のゲート端子の電位が変動する影響を受ける。その変動する電圧をVaとした場合、時刻t5でのコンデンサC1に保持される電位差はVp+Vth−Vpc+Vaとなる。したがって、コンデンサC1に駆動用

TFT21の閾値電圧Vthを補償すること自体には問題は生じない。しかし、後述するデータ電位Daによって駆動用TFT21に流す電流を正確に決定するため、できるだけVaは小さいことが好ましい。

[0124] したがって、電圧Vaの値を小さくするため、例えばコンデンサC1の容量に対し、コンデンサC2の容量を大きくとることが望ましい。これにより、駆動用TFT21のゲート端子の電位が変動しても、コンデンサC2の容量が大きいため、接続点Aの電位が大きく変動することを抑制することができる。

[0125] 或いは、データラインSjに与えるプリチャージ電位Vpcが、駆動用TFT21が閾値状態となる電位から、導通状態になる方向にわずかに低い電位となるように、各電源配線及びデータラインの電位を調整することが望ましい。これにより、時刻t3から時刻t5までの、駆動用TFT21におけるゲート端子の電位の変動を小さく抑えることができるため、上記電圧Vaの値を小さく抑えることができる。

[0126] 次に、時刻t8において走査ラインGiの電位をGLとすることにより、スイッチ用TFT23・25を導通状態とする。また、データラインSjには、有機EL素子ELに所望の電流が流れるよう、駆動用TFT21のゲート端子の電位が得られる電位Daがソースドライバ回路1から与えられる。

[0127] このとき、駆動用TFT21のゲート端子の電位(Vda)は

$$Vda = Vp + Vth - Vpc + Da$$

となる。閾値電圧Vthは、上記時刻t3から時刻t5にて、それぞれの駆動用TFT21に対応した電圧が補償されているため、駆動用TFT21に流れる電流は、閾値電圧Vthのばらつきの影響を受けることなく、指定したプリチャージ電位Vpcとデータ電位Daとの電位差に従って決定される。

[0128] なお、プリチャージ回路4は、コントロール回路3から入力される電圧制御信号PDAによってプリチャージ電圧Vpcの電位を決定し、データラインSjに与える。画素回路Aij20の構成では、駆動用TFT21のチャネル極性はp型であるため、$Vpc \geqq Da$という関係で、かつプリチャージ電位Vpcの電位が高いほど、駆動用TFT21に流れる電流は大きくなる。すなわち、プリチャージ電位Vpcの電位を上げるほど、ピーク輝度を高くすることができる。ただし、プリチャージ電位Vpcの基準電位は、本来は黒表示、

すなわち殆ど発光に寄与しない電流値に設定し、有機EL素子ELを非発光状態に設定する表示データを送信した際に所望の状態となるよう、電位を調整しておく必要がある。

[0129] この状態において、ピーク輝度を発生させるためにプリチャージ電位Vpcの電位を上げる場合、どのデータ電位Daに対しても、最終的に駆動用TFT21のゲート端子に印加される電位差は大きくなり、駆動用TFT21に流れる電流が大きくなることになる。したがって、本来は黒表示、すなわち殆ど発光に寄与しない電流値に設定し、有機EL素子ELを非発光状態に設定する表示データを送信したとしても、実際には有機EL素子ELは発光してしまう。

[0130] したがって、上記のようにプリチャージ電位Vpcの電位は、黒表示の表示データを送信した際に所望の状態となるよう調整し、かつプリチャージ電位Vpcがその電位を上限とし、プリチャージ電位Vpcがその電位で最も高いピーク輝度となるように、各電源配線の電位や表示データを設定することが望ましい。このように設定することによって、プリチャージ電位Vpcを上げることによりピーク輝度が高くなるように調整でき、かつ最大のピーク輝度を発生させた場合であっても、黒表示の表示データは正しく反映される。なお、プリチャージ電位Vpcの電位、それぞれの制御信号、及び表示データ信号を適切に選択するならば、駆動用TFT21の極性はn型であっても構わない。

[0131] また、時刻t8から時刻t9にかけて、スイッチ用TFT25は導通状態にあるが、スイッチ用TFT26は非導通状態である、第2の経路が非導通選択期間となる。したがって、データ電位Daに設定されているデータラインSjに、電源配線Vpから電流が流れ込むことはなく、データ電位Daに干渉することがない。したがって、データラインSjを第2の経路を接続する第3の配線として利用することができるため、画素回路Aij20が占有する面積を小さく抑えることができる。

[0132] スイッチ用TFT25・26に関しても、それぞれ独立した、比較的大きな面積を有するTFTである必要はなく、例えばスイッチ用TFT23・24のような役割を持つスイッチング素子に一般的に用いられる、デュアルゲート構造のTFTでよい。デュアルゲート構造のTFTは2つのゲート端子があり、通常、共通の電位を印加するが、それぞれのゲート端子をスイッチ用TFT25・26と見なし、異なる制御線に接続して利用することも

可能である。デュアルゲート構造のTFTであれば、通常使用するTFTよりも占有する面積が大幅に増加することはない。逆に、一般的に、配線が占有する面積はTFTのそれに比べ大きく、スイッチ用TFTの制御線として、既存のGi及びWiを利用することができ、かつ、データラインSjを第3の配線として利用できることによって、画素回路の規模を大幅に増加させることなく、コントラストの向上と有機EL素子の寿命を延長する効果を得ることができる。

[0133] 次に、時刻t9において走査ラインGiの電位をGHとし、接続点Aがデータ電位Daとなるよう、コンデンサC2に電位差を保持する。これにより、駆動用TFT21のゲート端子の電位は、所望の電流を流す電位Vdaで保持されることになり、指定した表示データでのプログラムが完了する。

[0134] 最後に、時刻t10において制御配線Eiの電位をGLとすることにより、スイッチ用TFT22を導通状態とすると、第1の経路のうち、接続点Kから共通陰極Vcom側の経路が導通し、駆動用TFT21から有機EL素子ELへ所望の電流が流れる。これにより、指定した表示データに対応した輝度で有機EL素子ELが発光する。

[0135] このように、第2の経路にスイッチング素子を2つ設置し、それぞれ異なる制御を行うことによって、閾値電圧を補償する動作における、不要な有機EL素子の発光を抑制することができるため、コントラストの向上と素子寿命の延長を図ることができるという効果がある。

[0136] また、各スイッチ用TFTの制御線の共通化や、データラインSjを第3の配線として利用することができ、画素回路の占有面積を拡大することなく、上記の効果を得られる。

[0137] 〔実施例2〕

図8は、本実施例の画素回路Aij20の動作を示す、タイミングチャートである。

[0138] 各信号の関係は、基本的に図3と共通である。しかし、駆動素子としての駆動用TFT21の閾値電圧Vthを補償する期間が実施例1と異なる。

[0139] 実施例1においては、上記の閾値電圧Vthの補償期間は図3における時刻t3～時刻t5に対応していた。図3においては、時刻t0～時刻t4までが1水平走査期間に当たるため、上記の閾値電圧Vthの補償期間は1水平走査期間よりも短い期間しか確

保できていない。

[0140] これに対し、図4のタイミングでは、上記の閾値電圧Vthの補償期間として時刻t3～時刻t9を確保できる。これは1水平走査期間よりも長い期間である。図4における、時刻t10～時刻t11の期間、すなわち走査ラインGiに対応する画素回路Aij20にデータラインSjからデータ電位を送信するタイミング（走査ラインGiに対応する画素の、第2の経路の非導通選択期間）が図4の関係を保つのであれば、さらに長い期間を設定することも可能である。

[0141] このように、第2の経路の導通選択期間と非導通選択期間とを分けることによって、上記の閾値電圧Vthの補償期間は1水平走査期間の制約を受けることなく設定することが可能となる。

[0142] 〔実施例3〕

図5は、本実施例の画素回路Aijである画素回路Aij30の構成を示す回路図である。

[0143] 図5に示すように、画素回路Aij30は、駆動素子としての駆動用TFT21、スイッチ用TFT23・24・25・26、コンデンサC1・C2、及び電気光学素子としての有機EL素子ELを備えている。なお、上記TFTのチャネル極性は全てp型である。

[0144] この画素回路Aij30の構成は、図1の画素回路Aij20において、スイッチ用TFT22を除去するとともに制御配線Eiを除去し、共通陰極Vcomを電源配線CAiとしたものである。したがって、駆動用TFT21のドレイン端子と有機EL素子ELの陽極とは直接接続されて、第1の経路上の素子は駆動用TFT21及び有機EL素子ELのみとなり、その接続点をKとする。

[0145] なお、それぞれの素子や配線の接続、制御信号、及び表示データ信号を適切に選択するならば、TFTの極性は一部n型、又は全てn型であっても構わない。

[0146] また、ここでは第3の配線としてデータラインSjを用いているが、これに限らず、電源配線Vp及び電源配線CAiとは異なる配線であって、その電位が設定可能な配線であればよい。

[0147] この画素回路Aij30の動作は、図1に示した画素回路Aij20と同様に、コントロール回路3から供給される前述の各種の信号に基づいて、ソースドライバ回路1及びゲー

トドライバ回路2によって制御される。図6は、上記構成の画素回路Aij30の動作を示すタイミングチャートである。図6のタイミングチャートは、CAiを除き、それぞれ図3のタイミングチャートの対応する信号と同じ役割を果たす。したがって、画素回路Aij30は、電源配線CAiの動作を除いて、画素回路Aij20と同様の動作をする。

[0148] 図6のタイミングチャートにおける電源配線CAiは、図3のタイミングチャートの制御配線Eiに当たる。すなわち、電源配線CAiの電位を、有機EL素子ELに発光に寄与する電流が流れない電位Vchに引き上げることによって、画素回路Aij30の接続点Kから電源配線CAiへの経路の電流を遮断し、駆動用TFT21の閾値電圧の補償を行うものである。また、駆動用TFT21のゲート端子電位を、所望の電流が流れるように実施例1と同様に設定した後、電源配線CAiの電位をVclへと変化させることによって、接続点Kから第1の経路に電流が流れるようにする。したがって、画素回路Aij20における、スイッチ用TFT22とその制御配線Eiとが果たす役割を、電源配線CAiが担う構成となっている。

[0149] すなわち、画素回路Aij30の構成をとることによって、画素回路Aij20と同様に、第2の経路にスイッチング素子を2つ設置し、それぞれ異なる制御を行うことによって、閾値電圧を補償する動作における、不要な有機EL素子の発光を抑制することができるため、コントラストの向上と素子寿命の延長を図ることができるという効果がある。

[0150] また、各スイッチ用TFTの制御線の共通化や、データラインSjを第3の配線として利用することができ、画素回路の占有面積を拡大することなく、上記の効果を得られる。

[0151] さらに、画素回路Aij20におけるスイッチ用TFT22と制御配線Eiとを省略することができるため、画素回路Aij30の占有面積を小さく抑えることができる。

[0152] なお、電源配線CAiの電位Vchは、有機EL素子ELの陽極と陰極との間に印加される電圧が順方向であり、かつ有機EL素子ELの閾値電圧となるような電位に設定することが望ましい。これは、有機EL素子ELの陽極と陰極との間に印加される電圧を、順方向であって有機EL素子ELの閾値電圧よりも小さくしたり、逆方向となったりするような電位に設定すると、電源配線CAiを充放電するのに伴う消費電力が大きくなり、表示装置10の消費電力が大きくなってしまうためである。

[0153] 〔実施例4〕

図7は、本実施例の画素回路Aijである画素回路Aij40の構成を示す回路図である。

[0154] 図7に示すように、画素回路Aij40は、駆動素子としての駆動用TFT21、スイッチ用TFT22・23・24・45・26、コンデンサC1・C2、及び電気光学素子としての有機EL素子ELを備えている。なお、上記TFTのチャネル極性は全てp型である。

[0155] この画素回路Aij40は、図1の画素回路Aij20において、スイッチ用TFT24の接続先、すなわち第2の経路を接続する先を、データラインSjから共通陰極Vcom(第2の電源配線)へと変更したスイッチ用TFT45を有する構成になっている。

[0156] なお、それぞれの素子や配線の接続、制御信号、及び表示データ信号を適切に選択するならば、TFTの極性は一部n型、又は全てn型であっても構わない。また、ここでは第2の経路の接続先として第2の電源配線である共通陰極Vcomを利用しているが、これに限らず、各TFTの極性等を適宜調整した構成であれば、電源配線Vp(第1の電源配線)であってもよい。

[0157] この画素回路Aij40の構成をとることによって、画素回路Aij20と同様に、各制御配線を共通化した構成にて、電気光学素子の不要な発光を抑制する効果が得られる。

[0158] また、第2の経路を導通させる導通選択期間において、画素回路Aij20では駆動用TFT21を通じて電源配線VpからデータラインSjに電流が流れ込み、プリチャージ電位Vpに影響を与えるが、画素回路Aij40では、第2の経路の接続先が共通陰極Vcomであるため、第2の経路を流れる電流はプリチャージ電位Vpcには干渉しない。したがって、より正確なプリチャージ電位Vpcを与えることができる。

[0159] さらに、走査ラインGiをスイッチ用TFT45の制御配線として用いた場合でも、第2の経路の非導通選択期間にはスイッチ用TFT26が非導通状態となるため、不要な電流が共通陰極Vcomへ流れ込むことを遮断できる。したがって、制御配線を共通化した構成であっても、不要な電流が電源配線に流れることを防止し、電源配線の電位が変動することによる、第1の経路の電流変動を抑制することができる効果がある。

[0160] 〔実施例5〕

図8は、本実施例の画素回路Aijである画素回路Aij50の構成を示す回路図である

。

[0161] 図8に示すように、画素回路Aij50は、駆動素子としての駆動用TFT21、スイッチ用TFT22・23・24・55・26、コンデンサC1・C52、及び電気光学素子としての有機EL素子ELを備えている。なお、上記TFTのチャネル極性は全てp型である。

[0162] この画素回路Aij50は、図6の画素回路Aij20において、スイッチ用TFT25の接続先、すなわち、第2の経路を接続する先を、データラインSjから電源配線Ve(第3の配線)へと変更したスイッチ用TFT55を有する構成になっている。さらに、図6の画素回路Aij20におけるコンデンサC2は、接続点Aから電源配線Veに変更されたコンデンサC52となっている。

[0163] なお、それぞれの素子や配線の接続、制御信号、及び表示データ信号を適切に選択するならば、TFTの極性は一部n型、又は全てn型であっても構わない。

[0164] 上記画素回路Aij50の構成をとることによって、画素回路Aij20と同様に、各制御配線を共通化した構成にて、電気光学素子の不要な発光を抑制する効果が得られる。

[0165] また、画素回路Aij20に備えられたコンデンサC2の基準を、表示装置10の各画素回路Aij20～Aij40に流れる電流の総量にしたがって電位が変動する電源配線Vpから、第2の経路の導通選択期間のみわずかに電流が流れる電源配線Veに変更することによって、接続点Aの電位を安定して保持することが可能になる効果がある。

[0166] 〔実施例6〕

図9は、本実施例の画素回路Aijである画素回路Aij60の構成を示す回路図である。

[0167] 図9に示すように、画素回路Aij60は、駆動素子としての駆動用TFT61、スイッチ用TFT62・63・64・65・66、コンデンサCO1・CO2、及び電気光学素子としての有機EL素子ELを備えている。なお、上記TFTのチャネル極性は全てn型である。

[0168] この画素回路Aij60は、図1の画素回路Aij20における、p型のTFTの駆動用TFT21、スイッチ用TFT22・23・24・25・26それぞれn型TFTの駆動用TFT61、スイッチ用TFT62・63・64・65・66に置き換えたものである。すなわち、画素回路Aij20をn型TFTのみで構成した場合の画素回路であり、それぞれの制御信号は反転するが

、基本動作は図1の画素回路Aij20に準ずる。したがって、画素回路Aij60においても、上記の構成と同様、第2の経路にスイッチング素子を2つ設置し、それぞれ異なる制御を行うことによって、閾値電圧を補償する動作における、不要な有機EL素子の発光を抑制することができるため、コントラストの向上と素子寿命の延長を図ることができるという効果がある。

[0169] また、各スイッチ用TFTの制御線の共通化や、データラインSjを第3の配線として利用することができ、画素回路の占有面積を拡大することなく、上記の効果を得られる。

[0170] なお、本実施の形態では、画素回路の電気光学素子として有機EL素子を用いたが、これに限らず、電流駆動型の電気光学素子であればよい。したがって、上記画素回路に設置する電気光学素子として、半導体LEDやFED(Field Emission Display)の発光部等も使用可能である。

[0171] また、電気光学素子の駆動用トランジスタとして、ガラス基板等の絶縁基板上に形成されるTFTを用いたが、これに限らず、電流制御端子に印加する制御電圧で出力電流を制御する電圧制御型の素子であって、制御電圧に出力電流の有無を決定する閾値電圧が存在する素子であればよい。したがって、半導体基板上に形成されるMOSトランジスタ等も含む、一般の電界効果トランジスタが使用可能である。

[0172] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

[0173] 本発明の表示装置は、駆動用トランジスタの電流制御端子の制御電圧を閾値電圧に対応した値に設定する際に、電気光学素子に電流を流さないため、高画質化を図ることができるので、電流駆動型表示素子を用いた表示装置に利用することができる。

請求の範囲

[1] 走査線とデータ信号線との各交差点に対応して配置された画素回路を備えると共に、各上記画素回路は電流駆動型の電気光学素子を備え、走査信号出力回路から上記走査線に出力した走査信号により書き込み可能状態とした上記画素回路に、表示信号出力回路から上記データ信号線を介して上記電気光学素子の駆動電流に対応した表示信号を書き込む表示装置であって、

第1の電源配線と第2の電源配線とを結ぶ第1の経路上に、上記表示信号によって該第1の経路に流す電流を決定する駆動素子と上記電気光学素子とが直列に接続されており、

上記第1の経路上の上記駆動素子と電気光学素子との間と、第3の電源配線又は信号配線とを結ぶ第2の経路上に、制御の異なる第1のスイッチング素子及び第2のスイッチング素子が設けられていることを特徴とする表示装置。

[2] 走査線とデータ信号線との各交差点に対応して配置された画素回路を備えると共に、各上記画素回路は電流駆動型の電気光学素子を備え、走査信号出力回路から上記走査線に出力した走査信号により書き込み可能状態とした上記画素回路に、表示信号出力回路から上記データ信号線を介して上記電気光学素子の駆動電流に対応した表示信号を書き込む表示装置であって、

第1の電源配線と第2の電源配線とを結ぶ第1の経路上に、上記表示信号によって該第1の経路に流す電流を決定する駆動素子と上記電気光学素子とが直列に接続されており、

上記第1の経路上の上記駆動素子と電気光学素子との間と、上記第1の電源配線若しくは第2の電源配線のいずれか一方、又は上記データ信号線とを結ぶ第2の経路上に、制御の異なる第1のスイッチング素子及び第2のスイッチング素子が設けられていることを特徴とする表示装置。

[3] 前記第1のスイッチング素子と第2のスイッチング素子とのいずれか1つは、前記表示信号出力回路から前記データ信号線を通じて表示データ信号が送信されるときに、非導通状態に制御されることを特徴とする請求項1又は2記載の表示装置。

[4] 前記第1のスイッチング素子と第2のスイッチング素子との両方を導通状態すること

により前記第2の経路を導通状態とする導通選択期間と、

上記第1のスイッチング素子と第2のスイッチング素子とのいずれか1つを非導通状態とすることにより上記第2の経路を非導通状態とする非導通選択期間とが設けられていることを特徴とする請求項1又は2記載の表示装置。

[5] 前記第2の経路を導通状態とする導通選択期間において、

前記第1の経路のうち前記駆動素子側の経路は導通状態とする一方、

上記第1の経路のうち前記電気光学素子側の経路は、上記第1の経路上に設けられた第3のスイッチング素子によって非導通状態とすることを特徴とする請求項1又は2記載の表示装置。

[6] 前記第1の電源配線又は第2の電源配線のうちいずれか1つは電位が可変であることを特徴とする請求項1又は2記載の表示装置。

[7] 前記第2の経路を導通状態とする導通選択期間において、

前記第1の経路のうち前記駆動素子側の経路は導通状態とする一方、

上記第1の経路のうち前記電気光学素子側の経路は、第1の電源配線又は第2の電源配線の少なくとも1つの電位を変動させることによって非導通状態とすることを特徴とする請求項6記載の表示装置。

[8] 前記第2の経路を導通状態とする導通選択期間は、前記駆動素子を閾値状態とする前に該駆動素子の出力電流を該第2の経路に流すために設定される期間である一方、

上記第2の経路を非導通状態とする非導通選択期間は、該第2の経路の導通選択期間の後に上記駆動素子が上記閾値状態へと設定される期間、及び前記電気光学素子の駆動電流に対応した表示信号を書き込む期間であり、

画素回路において、対応する上記導通選択期間と非導通選択期間とが異なる水平走査期間で実行されることを特徴とする請求項1又は2記載の表示装置。

[9] 前記電気光学素子は、有機EL素子からなっていることを特徴とする請求項1又は2記載の表示装置。

[10] 前記駆動素子、並びに前記第1のスイッチング素子及び第2のスイッチング素子は、薄膜トランジスタからなっていることを特徴とする請求項1又は2記載の表示装置。

[11] 前記画素回路に含まれる薄膜トランジスタは全て同じチャネル極性であることを特徴とする請求項1又は2記載の表示装置。

[12] 前記駆動素子はpチャネル型の薄膜トランジスタからなっていることを特徴とする請求項6記載の表示装置。

[13] 前記駆動素子はnチャネル型の薄膜トランジスタからなっていることを特徴とする請求項6記載の表示装置。

[14] 前記第2の経路を導通状態とする導通選択期間において、

前記データ信号線には、上記第2の経路を非導通状態とする非導通選択期間とは異なる電位を与え、かつその電位は可変であることを特徴とする請求項1又は2記載の表示装置。

[15] 前記第2の経路を導通状態とする導通選択期間において、

前記駆動素子はpチャネル型の薄膜トランジスタからなり、前記データ信号線に与えられる電位は、ピーク輝度が最大となる場合を基準の電位とし、その基準電位よりも低い方向へのみ調整されることを特徴とする請求項14記載の表示装置。

[16] 前記第2の経路を導通状態とする導通選択期間において、

前記駆動素子はnチャネル型の薄膜トランジスタからなり、前記データ信号線に与えられる電位は、ピーク輝度が最大となる場合を基準の電位とし、その基準電位よりも高い方向へのみ調整されることを特徴とする請求項14記載の表示装置。

[17] 前記駆動素子の一方の入出力端子は前記第1の電源配線に接続され、

前記駆動素子の他方の入出力端子は前記第1のスイッチング素子に接続され、

前記第1のスイッチング素子及び第2のスイッチング素子は、上記駆動素子の他方の入出力端子と上記第3の配線との間に直列に接続され、

前記電気光学素子は、上記駆動素子の他方の入出力端子と前記第2の電源配線との間に、電気的に接続されることを特徴とする請求項1記載の表示装置。

[18] 前記駆動素子の一方の入出力端子は前記第1の電源配線に接続され、

上記駆動素子の他方の入出力端子は前記第1のスイッチング素子に接続され、

上記第1のスイッチング素子及び第2のスイッチング素子は、上記駆動素子の他方の入出力端子と上記第2の電源配線との間に直列に接続され、

前記電気光学素子は、上記駆動素子の他方の入出力端子と上記第2の電源配線との間に電気的に接続されることを特徴とする請求項2記載の表示装置。

[19] 走査線とデータ信号線との各交差点に対応して配置された画素回路を備えると共に、各上記画素回路は電流駆動型の電気光学素子を備え、走査信号出力回路から上記走査線に出力した走査信号により書き込み可能状態とした上記画素回路に、表示信号出力回路から上記データ信号線を介して上記電気光学素子の駆動電流に対応した表示信号を書き込む表示装置の駆動方法であって、

第1の電源配線と第2の電源配線とを結ぶ第1の経路上に、上記表示信号によって該第1の経路に流す電流を決定する駆動素子と上記電気光学素子とを直列に接続し、

上記第1の経路上の上記駆動素子と電気光学素子との間と、第3の電源配線又は信号配線とを結ぶ第2の経路上に、制御の異なる第1のスイッチング素子及び第2のスイッチング素子を設け、

上記第1のスイッチング素子と第2のスイッチング素子とのいずれか1つを、上記表示信号出力回路から上記データ信号線を通じて表示データ信号が送信されるときに、非導通状態に制御することを特徴とする表示装置の駆動方法。

[20] 走査線とデータ信号線との各交差点に対応して配置された画素回路を備えると共に、各上記画素回路は電流駆動型の電気光学素子を備え、走査信号出力回路から上記走査線に出力した走査信号により書き込み可能状態とした上記画素回路に、表示信号出力回路から上記データ信号線を介して上記電気光学素子の駆動電流に対応した表示信号を書き込む表示装置の駆動方法であって、

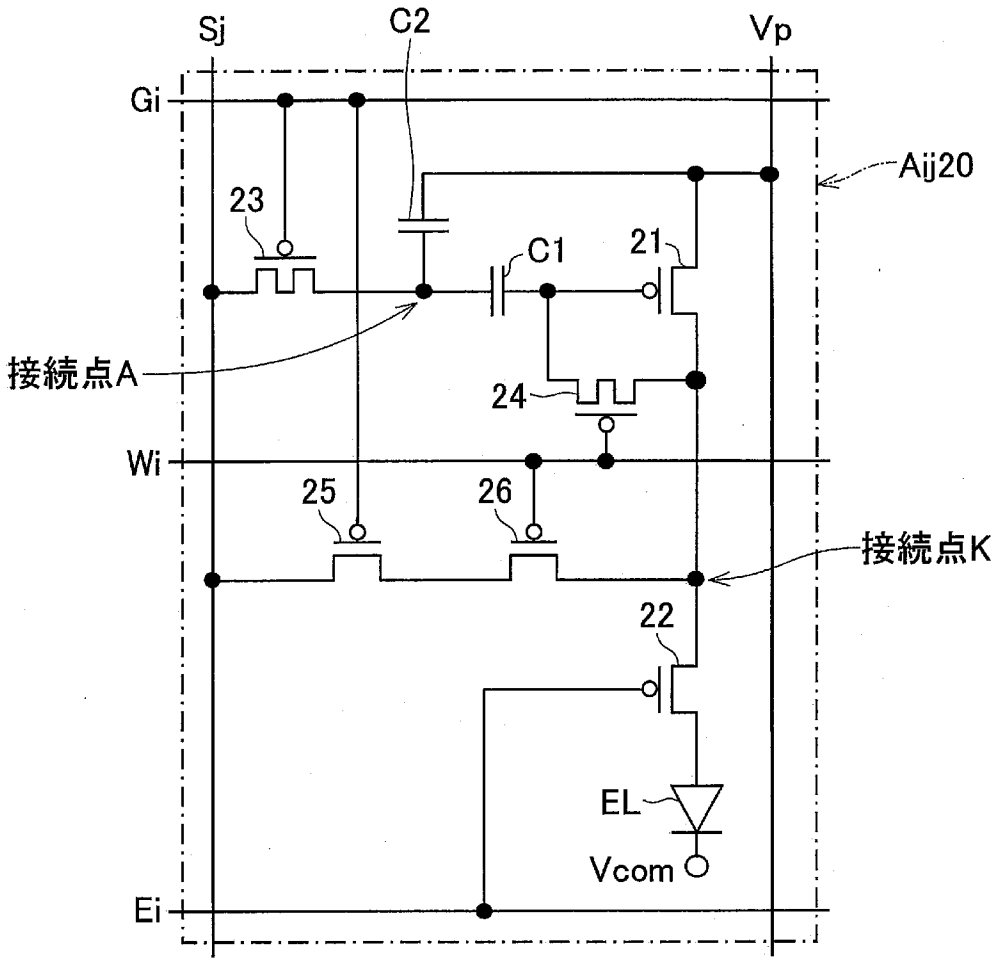
第1の電源配線と第2の電源配線とを結ぶ第1の経路上に、上記表示信号によって該第1の経路に流す電流を決定する駆動素子と上記電気光学素子とを直列に接続し、

上記第1の経路上の上記駆動素子と電気光学素子との間と、上記第1の電源配線若しくは第2の電源配線のいずれか一方、又は上記データ信号線とを結ぶ第2の経路上に、制御の異なる第1のスイッチング素子及び第2のスイッチング素子を設け、

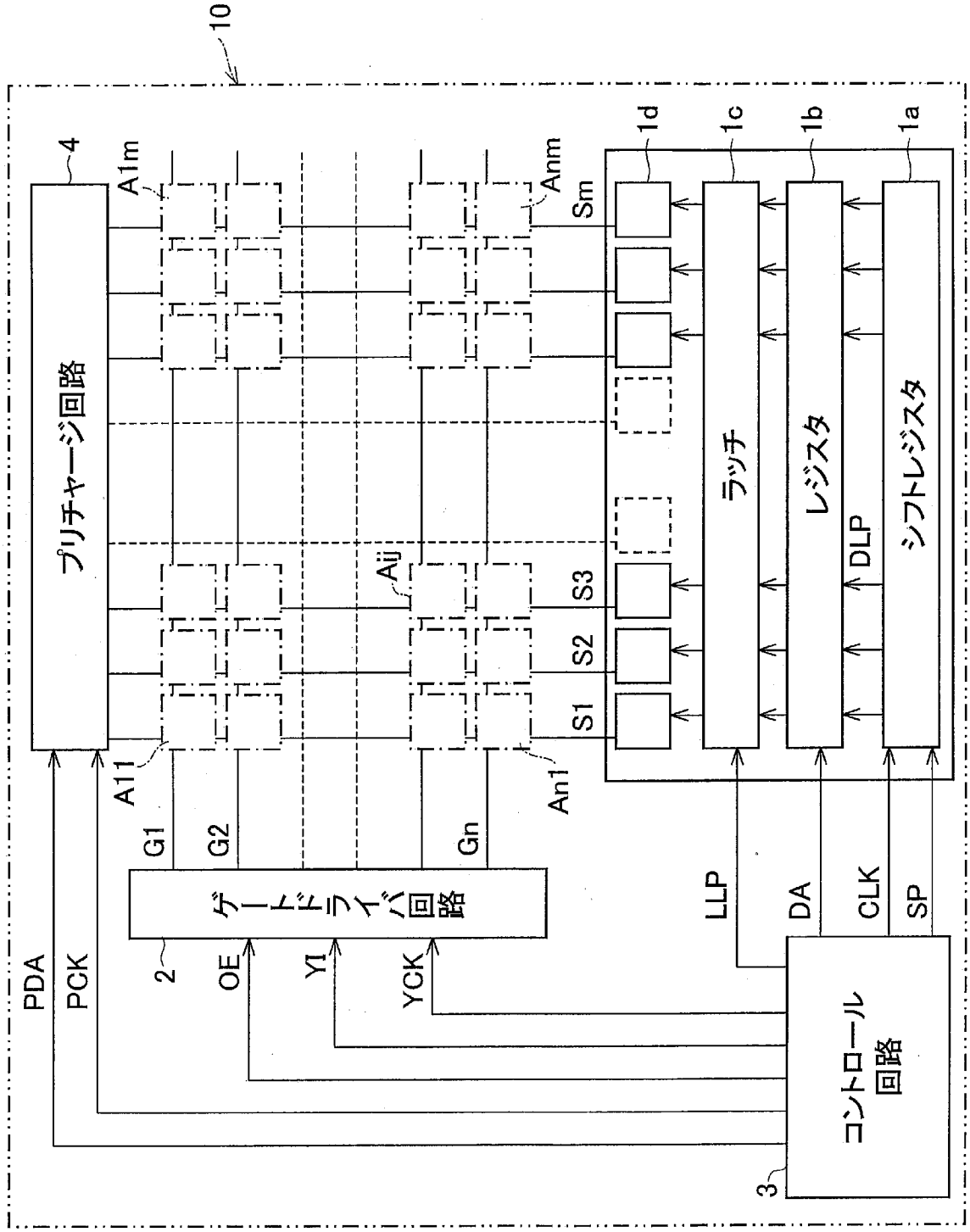
上記第1のスイッチング素子と第2のスイッチング素子とのいずれか1つを、上記表

示信号出力回路から上記データ信号線を通じて表示データ信号が送信されるときに、非導通状態に制御することを特徴とする表示装置の駆動方法。

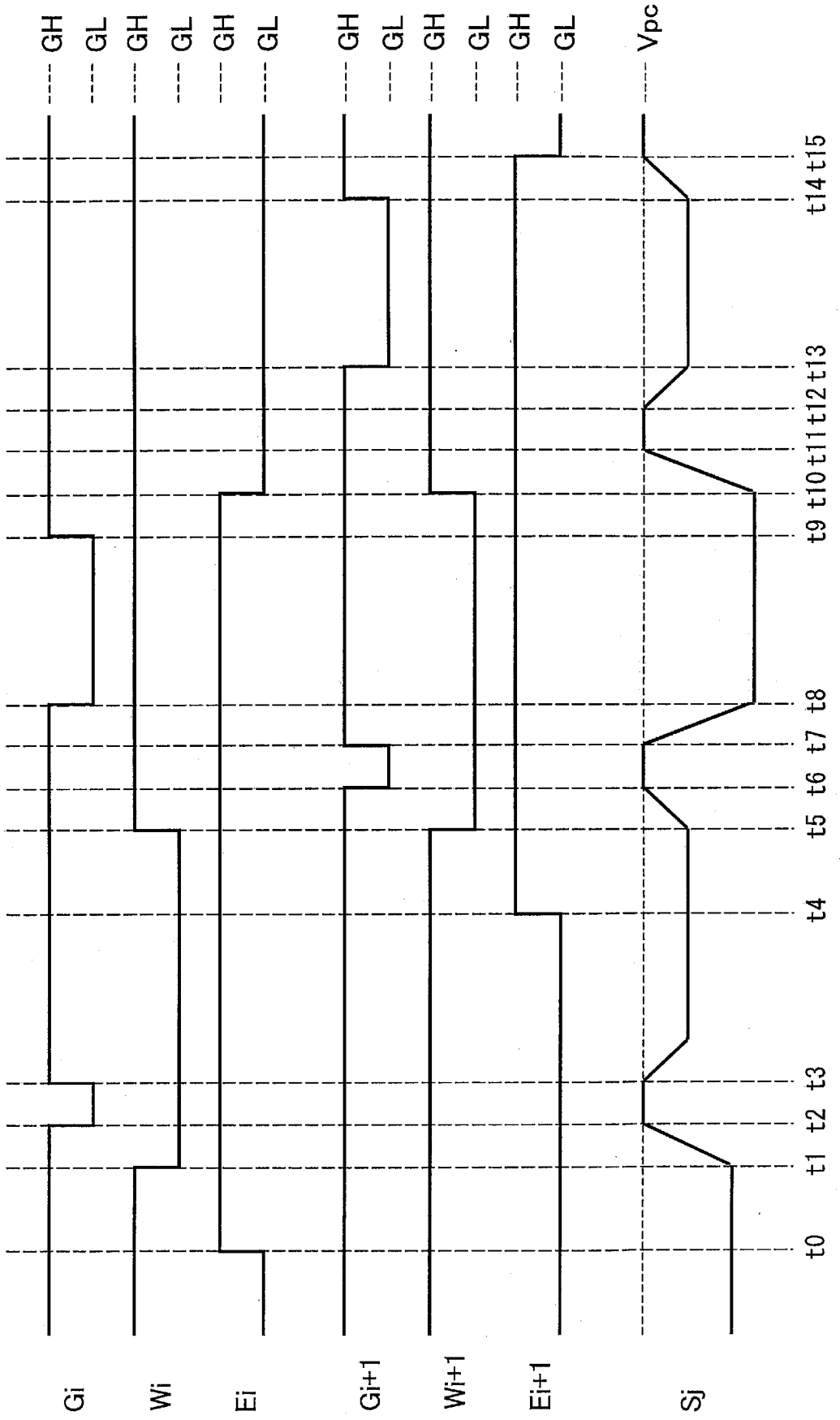
[図1]



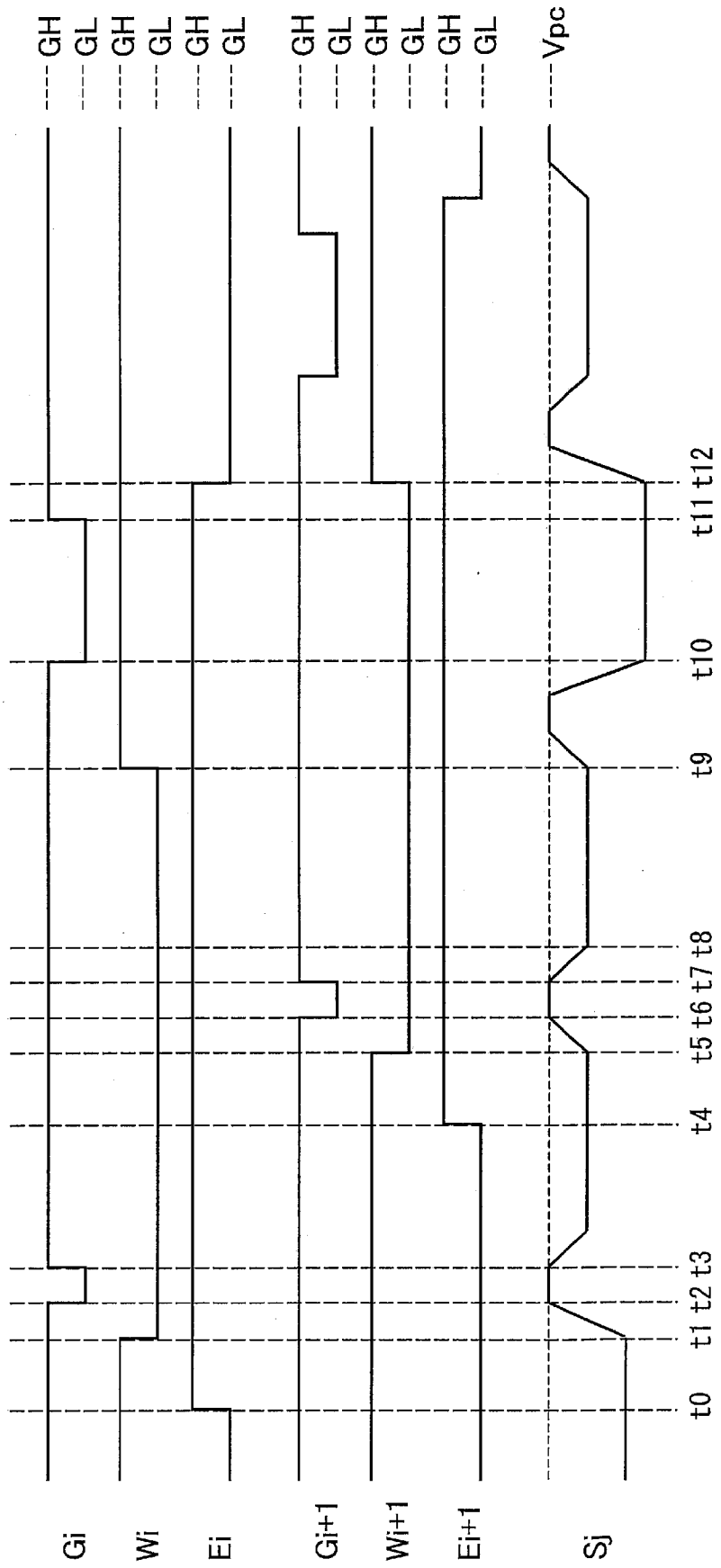
[図2]


10
4
プリチャージ回路
A1m
Anm
Sm
S3
S2
S1
Aij
A11
An1
G1
G2
Gn
2
ゲートドライバ回路
OE
Y1
YCK
PDA
PCK
1d
1c
1b
1a
ラッチ
レジスタ
DLP
シフトレジスタ
LLP
DA
CLK
SP
3
コントロール回路

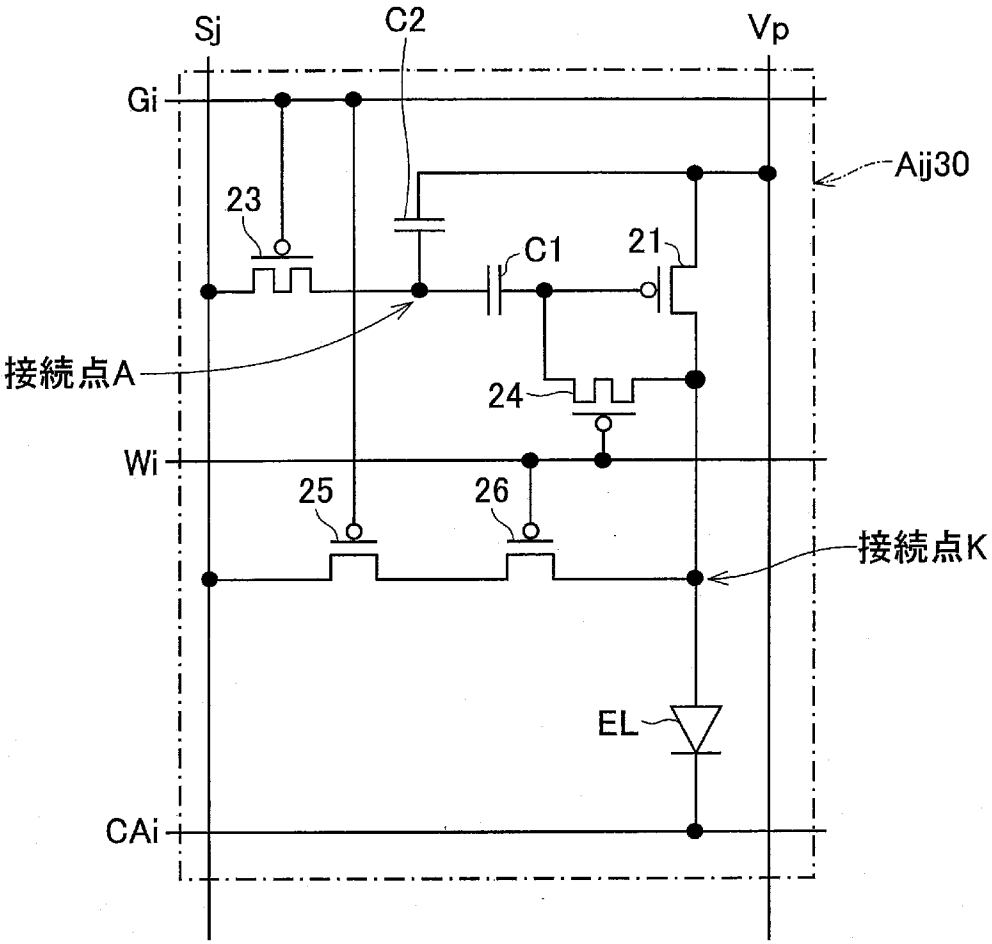
[図3]


GH
GL
Vpc
t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15
Gi
Wi
Ei
Gi+1
Wi+1
Ei+1
Sj

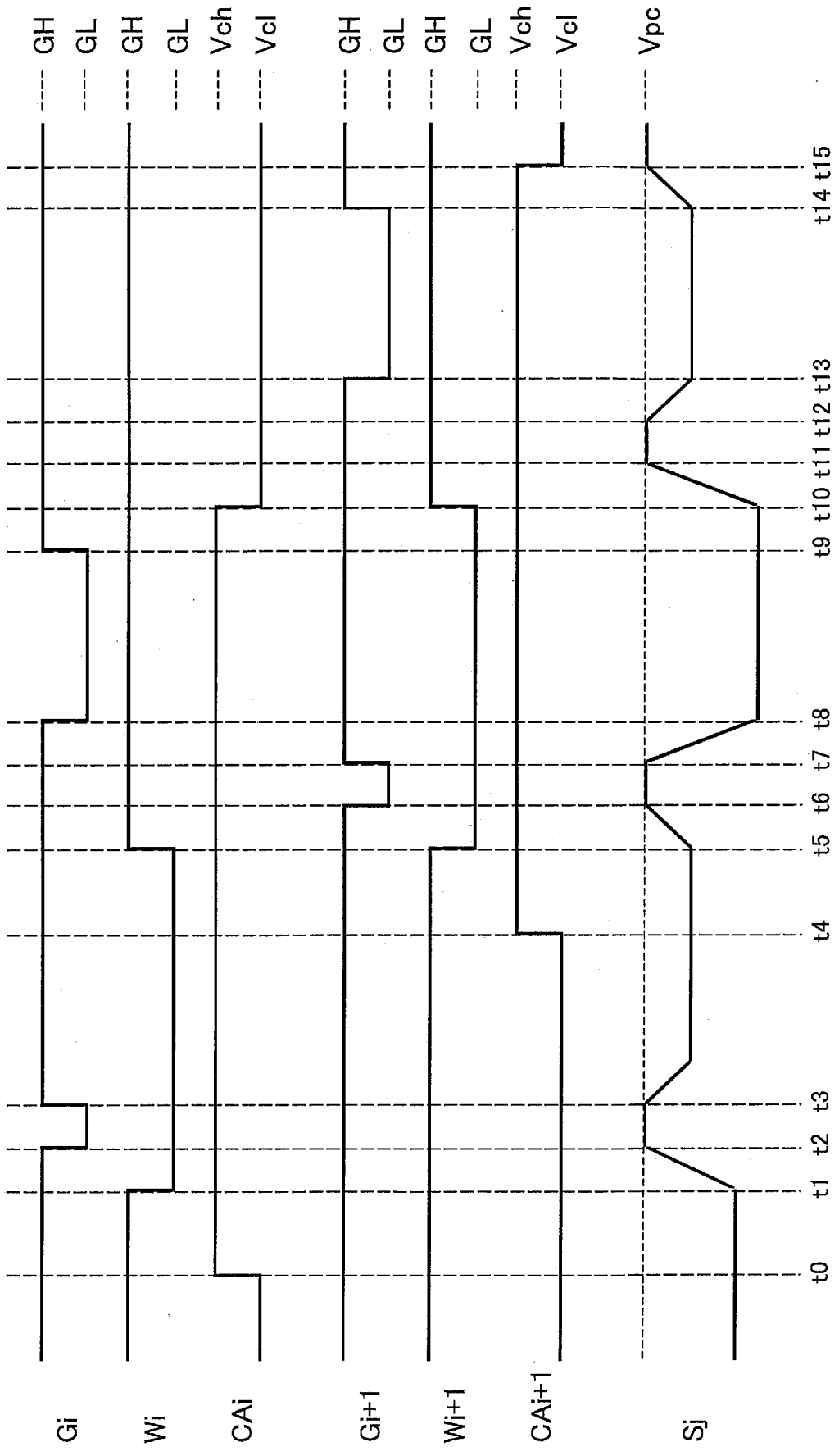
[図4]


GH
GL
GH
GL
GH
GL
GH
GL
GH
GL
GH
GL
Vpc
t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
Gi
Wi
Ei
Gi+1
Wi+1
Ei+1
Sj

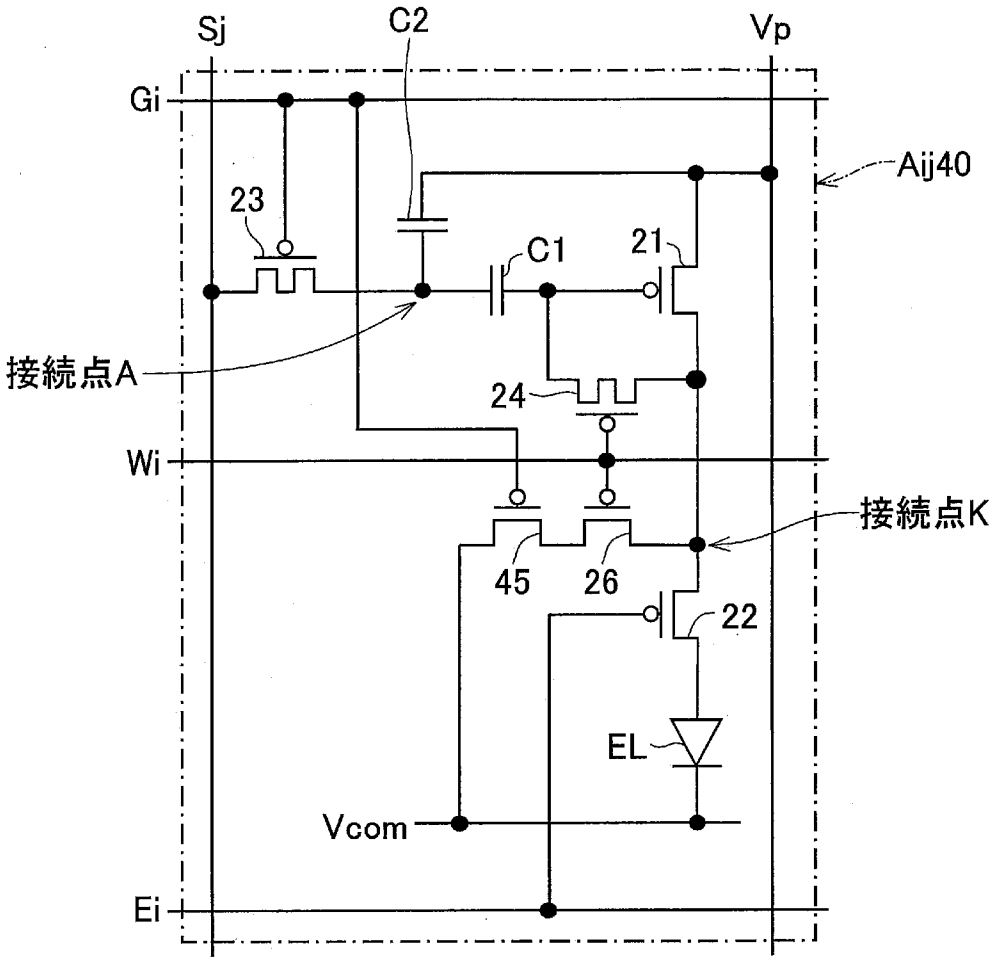
[図5]



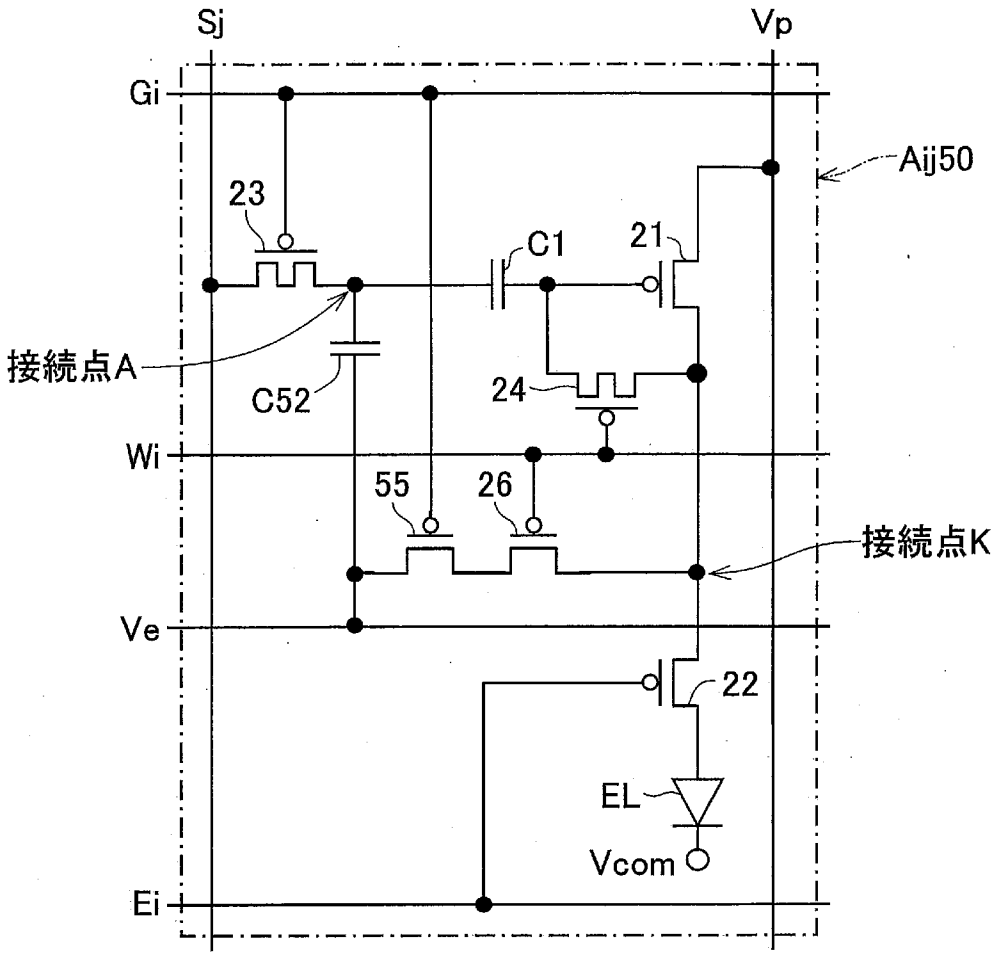
[図6]


GH
GL
GH
GL
Vch
Vcl
GH
GL
GH
GL
Vch
Vcl
Vpc
t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15
Gi
Wi
CAi
Gi+1
Wi+1
CAi+1
Sj

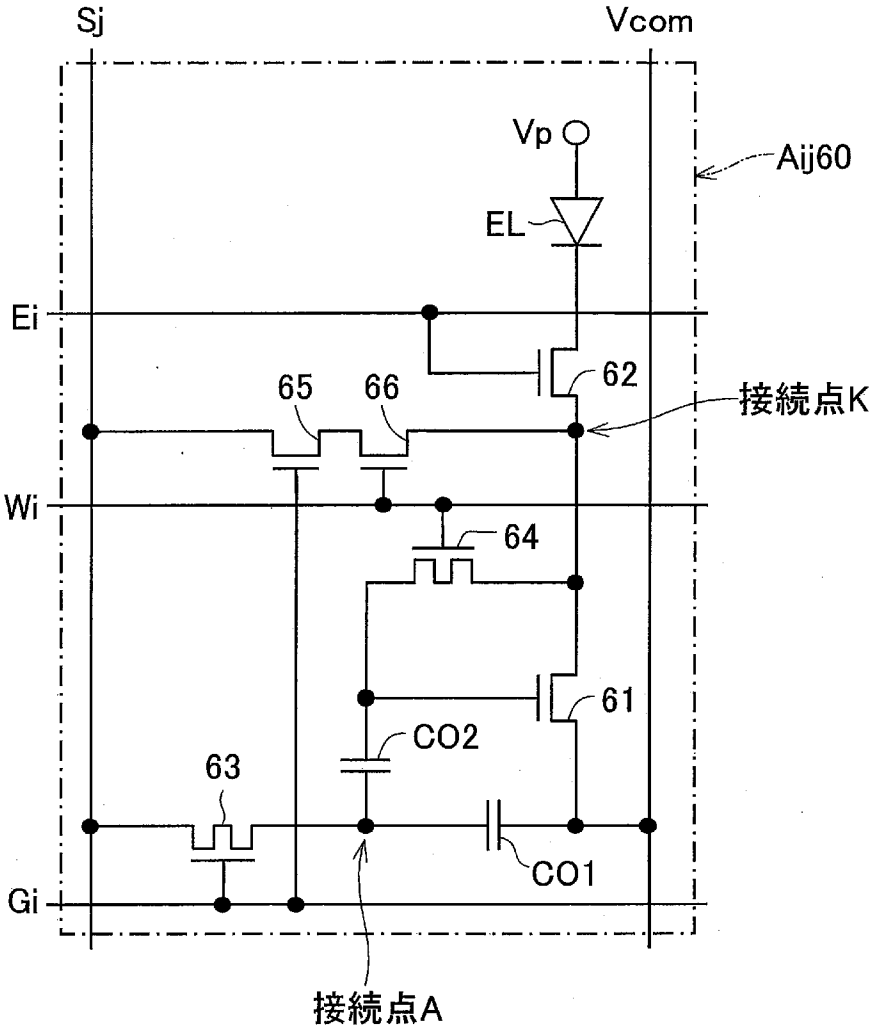
[図7]



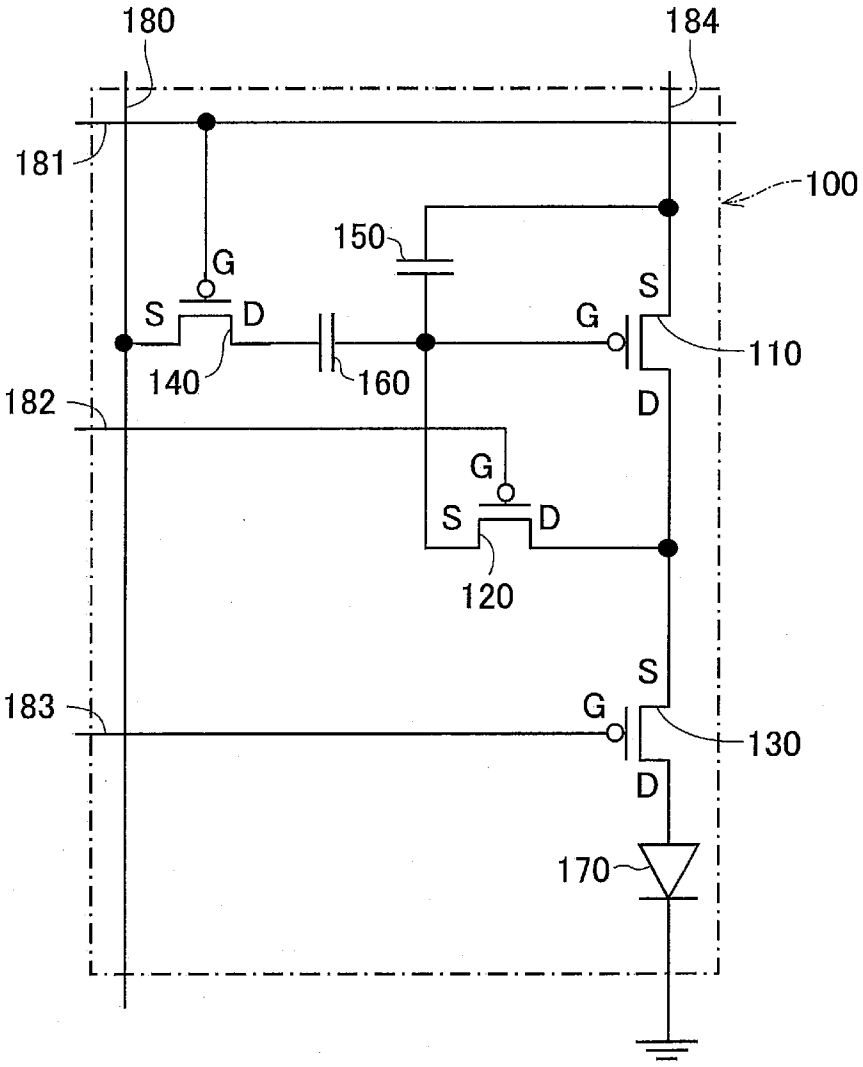
[図8]



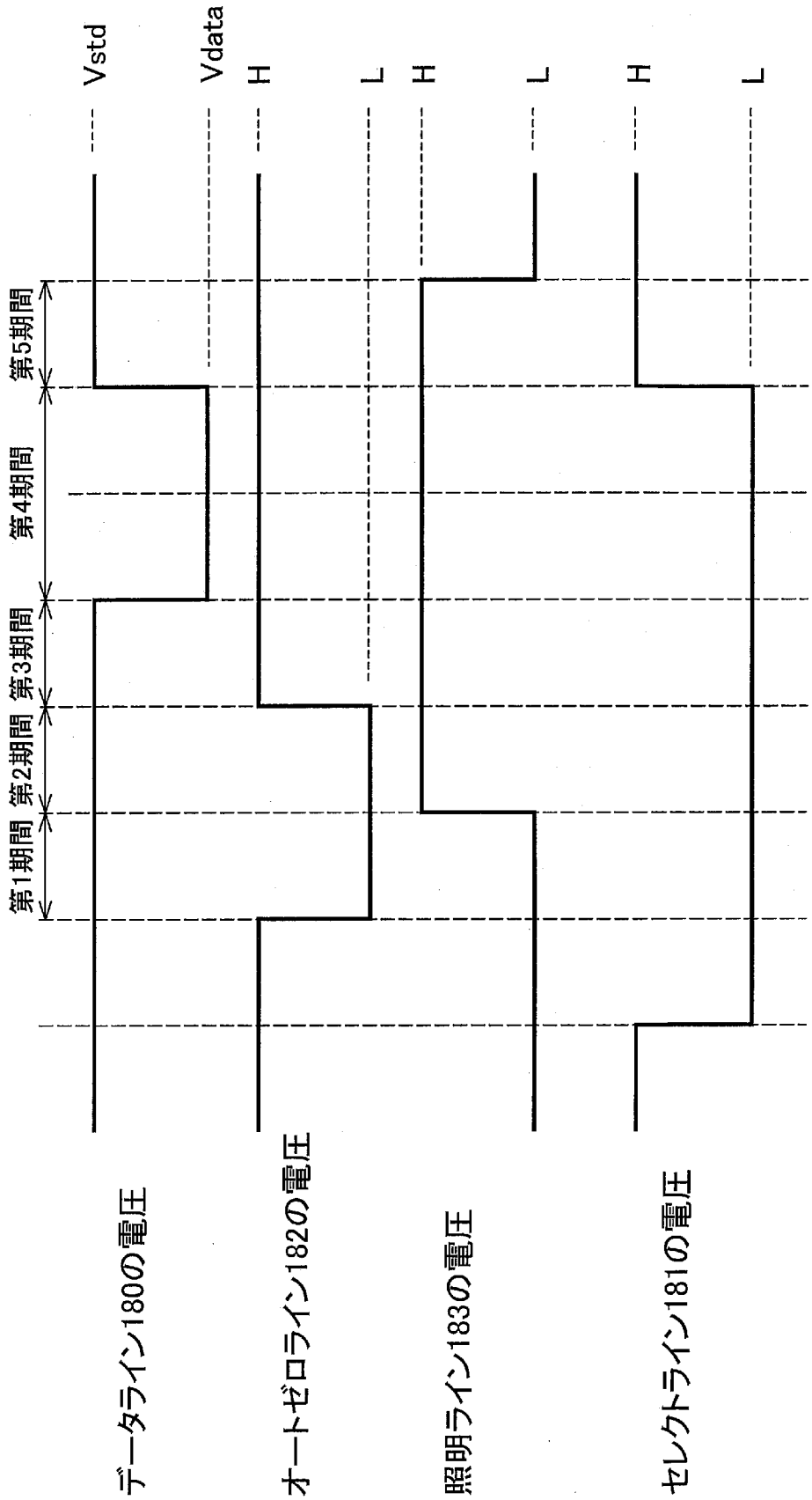
[図9]



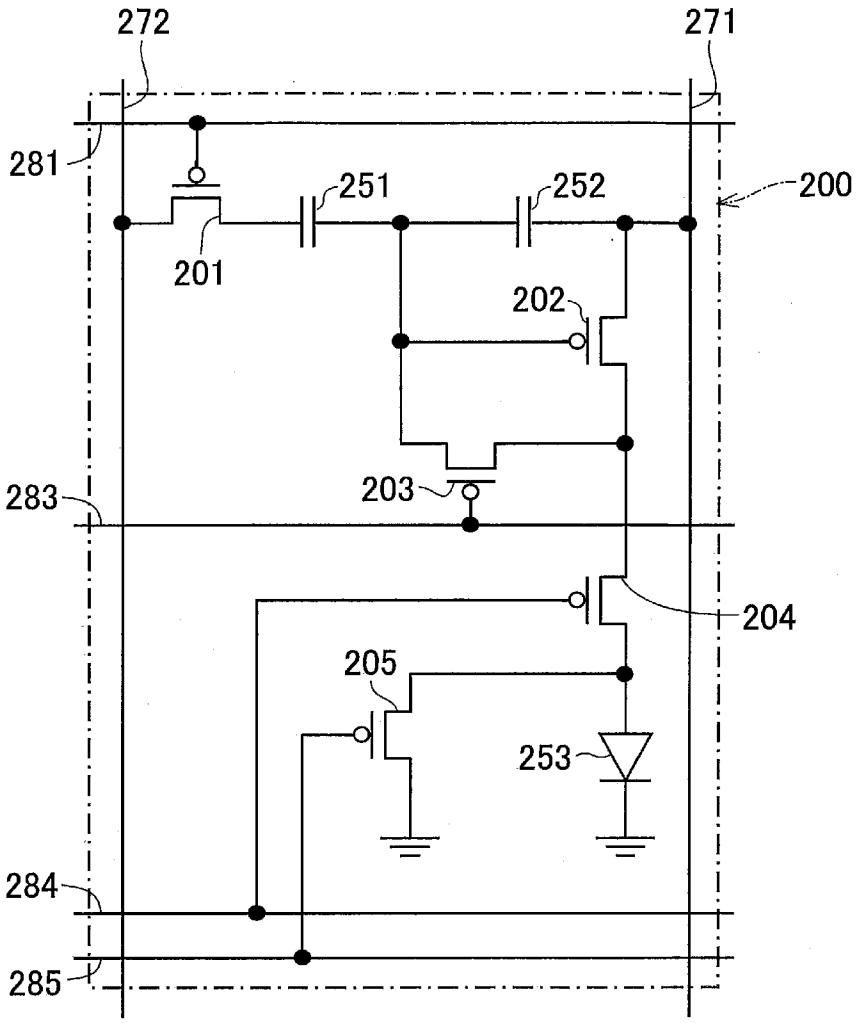
[図10]


180
184
181
100
150
G
S
D
140
160
G
S
110
D
182
G
S
D
120
S
183
G
130
D
170

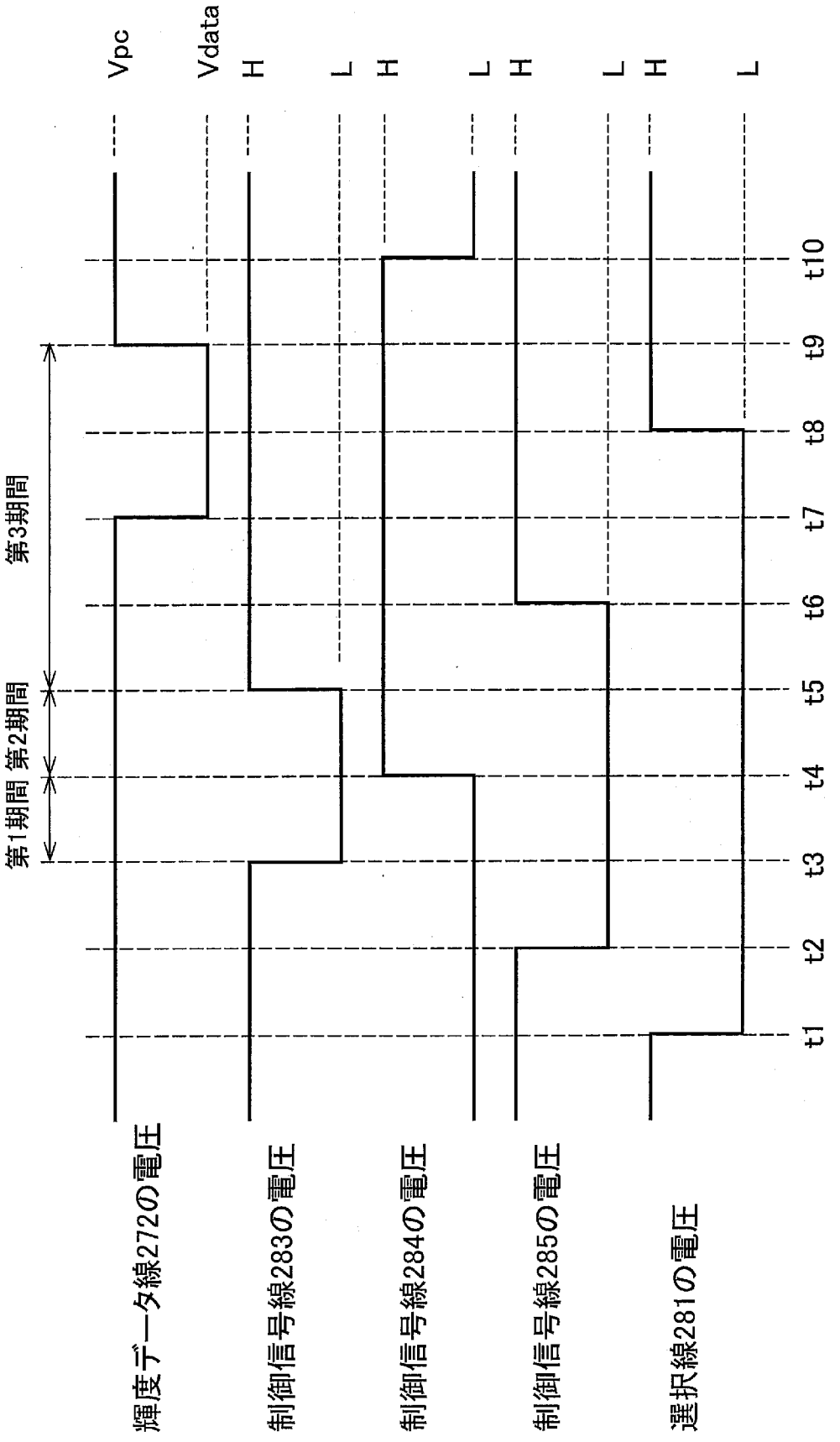
[図11]


Vstd
Vdata
H
L
H
L
H
L
第1期間
第2期間
第3期間
第4期間
第5期間
データライン180の電圧
オートゼロライン182の電圧
照明ライン183の電圧
セレクトライン181の電圧

[図12]



[図13]


Vpc
Vdata
H
L
H
L
H
L
H
L
第3期間
第1期間 第2期間
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
輝度データ線272の電圧
制御信号線283の電圧
制御信号線284の電圧
制御信号線285の電圧
選択線281の電圧

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/320311

A. CLASSIFICATION OF SUBJECT MATTER
G09G3/30(2006.01)i, ***G09G3/20***(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/30, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2003-223138 A (Semiconductor Energy Laboratory Co., Ltd.), 08 August, 2003 (08.08.03), Fig. 32; Par. Nos. [0303] to [0307] & US 2004/0080474 A1	1-3,9-11, 17-20 4-8,12-16
X A	JP 2006-065282 A (Samsung SDI Co., Ltd.), 09 March, 2006 (09.03.06), Figs. 5 to 8; Par. Nos. [0053] to [0079] & US 2006/0055336 A1	1-3,9-11, 17-20 4-8,12-16

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 January, 2007 (05.01.07)	16 January, 2007 (16.01.07)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

The inventions of claims 1 to 20 include all the display devices and the display methods having the configuration described in the claims. However, what is disclosed within the meaning of PCT Article 5 is only the configuration for controlling the first and the second switching element by a scan line Gi and a control line Wi at such a timing that the object of invention can be achieved. Accordingly, the inventions of claims 1 to 20 are not supported within the meaning of PCT Article 6.

Consequently, search was made on only the display device or the display method having the configuration that each switching element is controlled at a particular timing which is specifically described in the Description. The search did not find any document disclosing the display device or the display method having the configuration that each switching element is controlled at a particular timing as is specifically described in the Description. However, the display device or the display method corresponding to the inventions of claims 1 to 20 is disclosed in the documents given in column C which have been found in the process of the search.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００６／３２０３１１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　*G09G3/30(2006.01)i, G09G3/20(2006.01)i*

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/30, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００７年
日本国実用新案登録公報	１９９６－２００７年
日本国登録実用新案公報	１９９４－２００７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	ＪＰ　２００３－２２３１３８　Ａ（株式会社半導体エネルギー研究所）２００３．０８．０８，図３２、【０３０３】ないし【０３０７】　＆　ＵＳ　２００４／００８０４７４　Ａ１	1-3, 9-11, 17-20
A		4-8, 12-16
X	ＪＰ　２００６－０６５２８２　Ａ（三星エスディアイ株式会社）２００６．０３．０９，図５ないし８、【００５３】ないし【００７９】　＆　ＵＳ　２００６／００５５３３６　Ａ１	1-3, 9-11, 17-20
A		4-8, 12-16

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０５．０１．２００７	１６．０１．２００７

国際調査機関の名称及びあて先

日本国特許庁（ＩＳＡ／ＪＰ）

郵便番号１００－８９１５

東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｇ　９０１６

樋口　信宏

電話番号　０３－３５８１－１１０１　内線　３２２６

請求の範囲１ないし２０に係る発明は、請求項に記載された構成を有するあらゆる表示装置又は表示方法を含ものであるが、ＰＣＴ第５条の意味において開示されているのは、明細書に記載された、発明の課題を達成するようなタイミングで、走査ラインＧｉと制御線Ｗｉなどにより第１第２のスイッチング素子を制御する構成のみである。そうしてみれば、請求項１ないし２０に係る発明は、ＰＣＴ第６条の意味での裏付けを欠いているものである。

したがって、調査は、明細書に裏付けられ、開示されている範囲、すなわち、明細書に具体的に記載されている特定のタイミングで各スイッチング素子が制御される構成を備えた表示装置又は表示方法についてのみ行った。その結果、明細書に具体的に記載されている特定のタイミングで各スイッチング素子が制御される構成を備えた表示装置又は表示方法を開示する文献は発見されなかったが、請求の範囲１ないし２０に係る発明に該当する表示装置又は表示装置を開示する文献については、調査の過程においてＣ欄に記載のとおり発見された。