(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118369771 A
(43)申请公布日 2024.07.19

(21)申请号 202280080937.7
(22)申请日 2022.11.22
(30)优先权数据
2021-199975 2021.12.09 JP
(85)PCT国际申请进入国家阶段日
2024.06.06
(86)PCT国际申请的申请数据
PCT/JP2022/043169 2022.11.22
(87)PCT国际申请的公布数据
WO2023/106087 JA 2023.06.15
(71)申请人 国立研究开发法人产业技术综合研究所
地址 日本
(72)发明人 中岛昭 原田信介 儿岛一聪
(74)专利代理机构 北京银龙知识产权代理有限公司 11243
专利代理师 陈彦 孔博
(51)Int.Cl.
H01L 29/778(2006.01)
H01L 21/336(2006.01)
H01L 21/337(2006.01)
H01L 21/338(2006.01)
H01L 21/822(2006.01)
H01L 27/04(2006.01)
H01L 29/78(2006.01)
H01L 29/808(2006.01)
H01L 29/812(2006.01)

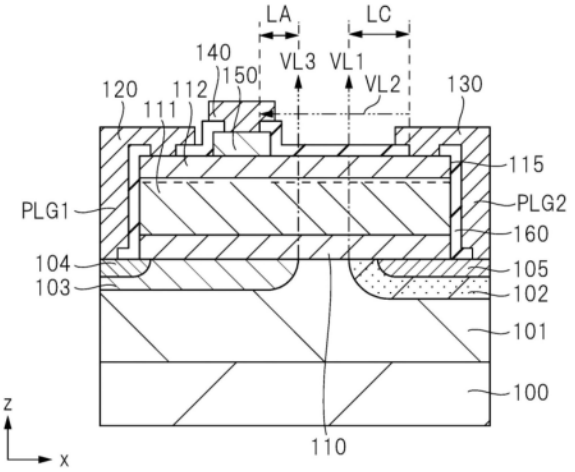
权利要求书2页 说明书17页 附图12页

(54)发明名称

半导体装置

(57)摘要

在使用氮化镓系的高电子迁移率晶体管作为功率器件的情况下,抑制达到器件破坏的破坏模式。设计为如下方式,与HEMT反向并联连接二极管,在向漏极130施加的漏极电位与向源极120施加的源极电位之差即漏极-源极间电压超过HEMT的耐压之前,该反向并联连接的二极管发生雪崩击穿。



CN 118369771 A

1.一种半导体装置,具有:

形成在碳化硅基板上的pn结二极管;以及

形成在所述pn结二极管上的高电子迁移率晶体管,

在所述半导体装置中,

所述pn结二极管包括:

形成在所述碳化硅基板上的第一导电型的碳化硅外延层;

形成在所述碳化硅外延层上且与所述第一导电型为相反导电型的第二导电型的电场缓和区域,

所述高电子迁移率晶体管包括:

由第一氮化物半导体层构成的沟道层;

与所述沟道层相接的由第二氮化物半导体层构成的阻挡层;

设置在所述沟道层与所述碳化硅外延层之间、并且禁带宽度比所述碳化硅外延层大的由第三氮化物半导体层构成的缓冲层;

与所述阻挡层的第一区域相接的源极;

与所述阻挡层的第二区域相接的漏极;以及

设置在所述源极与所述漏极之间的栅极,

所述碳化硅外延层与所述源极电连接,

所述电场缓和区域与所述漏极电连接,

在俯视观察下,所述电场缓和区域包含从所述漏极突出的区域。

2.如权利要求1所述的半导体装置,其中,

在将所述pn结二极管与所述高电子迁移率晶体管的层叠方向作为第一方向,

将与所述第一方向正交的方向作为第二方向的情况下,

在剖视观察下,从所述电场缓和区域的一端部沿所述第一方向延伸的第一假想线与沿所述第二方向延伸的第二假想线在所述漏极与所述栅极之间交叉。

3.如权利要求1或2所述的半导体装置,其中,

所述pn结二极管的击穿电压比漏极-源极间电压下的所述高电子迁移率晶体管的耐压低,所述漏极-源极间电压是向所述漏极施加的漏极电位与向所述源极施加的源极电位之差。

4.如权利要求3所述的半导体装置,其中,

所述pn结二极管具有通过雪崩击穿来防止在所述漏极-源极间电压超过所述高电子迁移率晶体管的耐压时所产生的所述高电子迁移率晶体管的破坏模式的功能。

5.如权利要求2所述的半导体装置,其中,

所述pn结二极管具有所述第一导电型的半导体区域,所述第一导电型的半导体区域形成于所述碳化硅外延层,且杂质浓度比所述碳化硅外延层高,且与所述源极电连接。

6.如权利要求5所述的半导体装置,其中,

在剖视观察下,从所述半导体区域的一端部沿所述第一方向延伸的第三假想线与沿所述第二方向延伸的第二假想线在所述漏极与所述栅极之间交叉。

7.如权利要求5或6所述的半导体装置,其中,

所述半导体区域具有缓和向所述高电子迁移率晶体管施加的电场的影响的功能。

8.如权利要求1至7中任一项所述的半导体装置,其中,

所述缓冲层是铝即Al组成X大于30％的$Al_xGa_{1-x}N$。

9.如权利要求1至7中任一项所述的半导体装置,其中,

所述缓冲层为AlN。

10.如权利要求1至9中任一项所述的半导体装置,其中,

所述第一导电型为p型,

所述第二导电型为n型,

所述pn结二极管是沿着与所述碳化硅外延层的主面平行的方向具有主要电流路径的横向二极管。

11.如权利要求1至10中任一项所述的半导体装置,其中,

所述碳化硅基板是具有形成所述碳化硅外延层的主面的4H-碳化硅基板,所述主面从{0001}面向预定的晶体方向具有大于2度且4度以下的偏角。

12.如权利要求1至11中任一项所述的半导体装置,其中,

所述沟道层和所述阻挡层形成台面结构,

所述台面结构的侧面被绝缘膜覆盖。

13.如权利要求1至12中任一项所述的半导体装置,其中,

在所述源极与所述漏极之间具有600V以上的击穿电压,

向所述电场缓和区域添加的供体的片料杂质浓度为$3.42\times10^{12}cm^{-2}$以上。

14.如权利要求1至12中任一项所述的半导体装置,其中,

在所述源极与所述漏极之间具有1200V以上的击穿电压,

向所述电场缓和区域添加的供体的片料杂质浓度为$8.55\times10^{12}cm^{-2}$以上且$1.27\times10^{13}cm^{-2}$以下。

半导体装置

技术领域

[0001] 本发明涉及半导体装置,例如,涉及适用于包含高电子迁移率晶体管和二极管的半导体装置的有效技术。

背景技术

[0002] 日本专利特开第2007-226475号公报(专利文献1)记载了将GaN系的场效应晶体管与作为其保护元件的二极管集成的半导体装置。特别是作为形成二极管的基板,可例示氮化镓(GaN)、碳化硅(SiC)、硅(Si),在基板的与元件形成面相反的背面形成有肖特基二极管。

[0003] 日本专利特开第2009-004398号公报(专利文献2)记载了将GaN系的横向高电子迁移率晶体管与二极管集成的半导体装置。在此,作为二极管,记载了硅系的横向pn结二极管、硅系的纵向肖特基二极管、碳化硅系的纵向肖特基二极管。

[0004] 日本专利特开第2010-010262号公报(专利文献3)记载了将形成在硅基板上的GaN系的横向高电子迁移率晶体管与pn结二极管集成的半导体装置。在此,pn结二极管记载了通过离子注入在硅基板上形成的横向pn结二极管。

[0005] 日本专利特开第2010-267958号公报(专利文献4)记载了将GaN系的横向高电子迁移率晶体管与pn结二极管集成的半导体装置。在此,pn结二极管记载了GaN系的横向pn结二极管、硅系的纵向pn结二极管。

[0006] 日本专利特开第2019-004084号公报(专利文献5)记载了在碳化硅基板上将GaN系的横向高电子迁移率晶体管与碳化硅系的纵向的结型场效应晶体管进行了串联连接的元件集成的半导体装置。在此,碳化硅系的结型场效应晶体管的漏极形成在碳化硅基板的与元件形成面相反的背面,因此电流路径成为碳化硅基板的厚度方向。

[0007] 非专利文献1记载了在具有0度～2度的偏角(off角)的碳化硅基板上使AlGaN/GaN HEMT结构进行外延生长的技术。

[0008] 现有技术文献

[0009] 专利文献

[0010] 专利文献1:日本专利特开第2007-226475号公报

[0011] 专利文献2:日本专利特开第2009-004398号公报

[0012] 专利文献3:日本专利特开第2010-010262号公报

[0013] 专利文献4:日本专利特开第2010-267958号公报

[0014] 专利文献5:日本专利特开第2019-004084号公报

[0015] 非专利文献

[0016] 非专利文献1:M.Leszczynski et al.,ECS Transactions(ECS会报),50(3),(2012),pp.163-171

[0017] 非专利文献2:E.A.Jones et al.,IEEE JOURNAL OF EMERGING AND SELECTED TOPICS IN POWER ELECTRONICS(IEEE电力电子新兴与专题选刊),VOL.4,NO.3,SEPTEMBER

2016,pp.707-719

[0018] 非专利文献3:W.Saito et al.,IEEE TRANSACTIONS ON ELECTRON DEVICES(IEEE电子器件学报),VOL.52,NO.1,JANUARY 2005,pp.106-111

[0019] 非专利文献4:W.Saito et al.,IEEE TRANSACTIONS ON ELECTRON DEVICES(IEEE电子器件学报),VOL.54,NO.8,AUGUST 2007,pp.1825-1830

[0020] 非专利文献5:S.Karmalkar et al.,Solid State Electronics(固态电子)45,(2001),pp.1645-1652

[0021] 非专利文献6:T.Deguchi et al.,ELECTRONICS LETTERS(电子学快报)Vol.48No.2,(2012),pp.109-110

[0022] 非专利文献7:O.Ambacher et al.,Journal of Applied Physics(应用物理学杂志),85(6),(1999),pp.3222-3233

发明内容

[0023] 发明要解决的问题

[0024] 最近,面向低碳化社会,更高效率利用能量成为重要且紧急的问题。为了能量的高效率利用,例如,为了能够有助于变流器等电力转换器中电力损失的降低效果,构成电力转换器的功率器件的开发变得重要。在这样的研究开发状况之中,作为功率器件的材料,研究了取代Si(硅)而向SiC(碳化硅)或GaN(氮化镓)等氮化物半导体的转换。这是因为,SiC或氮化物半导体与Si相比,绝缘破坏电场强度及禁带宽度(band gap,带隙)大,因此能够提供能够同时实现导通电阻降低和绝缘耐压的高性能的功率器件。此外,氮化物半导体通过AlGaN/GaN等异质结能够制作高电子迁移率晶体管,与SiC的功率MOSFET相比具有高频特性优异这样的特性,在电力转换器的小型、高频用途中有利。

[0025] 然而,在使用了氮化物半导体作为功率器件的材料的高电子迁移率晶体管中,如果施加超过耐压的漏极-源极间电压,则不是产生雪崩击穿这样的可恢复的故障,而是产生无法恢复的达到破坏的破坏模式。其结果是,在使用氮化镓系的高电子迁移率晶体管作为功率器件的情况下,希望抑制达到器件破坏的破坏模式的情况。

[0026] 用于解决上述问题的技术手段

[0027] 一个实施方式的半导体装置,其具有形成在碳化硅基板上的pn结二极管和形成在pn结二极管上的高电子迁移率晶体管。

[0028] 在此,pn结二极管包括形成在碳化硅基板上的第一导电型的碳化硅外延层、以及形成在碳化硅外延层上且与第一导电型为相反导电型的第二导电型的电场缓和区域。

[0029] 对此,高电子迁移率晶体管包括:由第一氮化物半导体层构成的沟道层;与沟道层相接的由第二氮化物半导体层构成的阻挡层;设置在沟道层与碳化硅外延层之间且禁带宽度比碳化硅外延层大的由第三氮化物半导体层构成的缓冲层;与阻挡层的第一区域相接的源极;与阻挡层的第二区域相接的漏极;以及设置在源极与漏极之间的栅极。

[0030] 此时,碳化硅外延层与源极电连接,电场缓和区域与漏极电连接。并且,在俯视观察下,电场缓和区域包含从漏极突出的区域。

[0031] 发明效果

[0032] 根据一个实施方式,能够防止高电子迁移率晶体管的破坏。

附图说明

[0033] 图1是表示开关电路的构成例的图。

[0034] 图2是表示UIS试验电路的图。

[0035] 图3是表示基于基本思想的半导体装置的结构的剖视图。

[0036] 图4是表示基于基本思想的半导体装置的结构的俯视图。

[0037] 图5是表示基于基本思想的半导体装置的变形例的剖视图。

[0038] 图6是表示基于基本思想的半导体装置的变形例的俯视图。

[0039] 图7是表示进行了模拟的器件结构的图。

[0040] 图8是表示模拟结果的曲线图。

[0041] 图9是表示关断(OFF)状态下的耐压试验的评价结果的曲线图。

[0042] 图10是表示耐压试验中的多次扫描结果的曲线图。

[0043] 图11是表示实施方式的半导体装置的结构的剖视图。

[0044] 图12是表示半导体装置的制造工序的流程的流程图。

[0045] 图13是表示导通(ON)状态下的Id-Vds特性的实验结果的曲线图。

[0046] 图14是表示Vds＝5V的传递特性的实验结果的曲线图。

[0047] 图15是表示Vgs＝-4V时相对于负的Vds的Id-Vds特性的实验结果的曲线图。

[0048] 图16是表示变形例的剖视图。

[0049] 图17是表示变形例的剖视图。

[0050] 图18是表示变形例的剖视图。

[0051] 图19是表示变形例的剖视图。

[0052] 图20是表示变形例的剖视图。

[0053] 图21是表示变形例的剖视图。

[0054] 图22是表示模拟结果的曲线图。

具体实施方式

[0055] 在用于说明实施方式的全部附图中,对于同一构件,原则上标注同一符号,省略其重复的说明。需要说明的是,为了便于理解附图,有时即使是俯视图也标注阴影线。

[0056] <开关电路的构成例>

[0057] 图1是表示开关电路的构成例的图。

[0058] 在图1中,开关电路10具有功率晶体管Q1和二极管FRD,功率晶体管Q1与二极管FRD反向并联连接。即,功率晶体管Q1具有栅极G、源极S和漏极D,而二极管FRD具有阳极A和阴极C。并且,将功率晶体管Q1的源极S与二极管FRD的阳极A电连接,而将功率晶体管Q1的漏极D与二极管FRD的阴极C电连接。在这样构成的功率晶体管Q1的栅极G连接栅极控制电路(未图标),通过该栅极控制电路来控制功率晶体管Q1的开关动作(导通(ON)/关断(OFF)动作)。

[0059] <开关器件的种类>

[0060] 例如,作为功率晶体管Q1,可以列举功率MOSFET、IGBT(Insulated Gate Bipolar Transistor,绝缘栅双极晶体管)、结型场效应晶体管(JFET)、高电子迁移率晶体管(HEMT:High Electron Mobility Transistor)等。

[0061] <二极管>

[0062] 例如,在使用IGBT作为功率晶体管Q1的情况下,需要设置与IGBT反向并联连接的二极管FRD。

[0063] 从仅通过功率晶体管Q1来实现开关功能的观点出发,需要作为功率晶体管Q1的IGBT,但是可认为不需要设置二极管FRD。关于这一点,在例如负载为电动机时那样,连接于开关电路10的负载包含电感的情况下,需要设置二极管FRD。以下,说明其理由。

[0064] 在负载是不包含电感的纯电阻的情况下,由于没有回流的能量,因此不需要二极管FRD。然而,在与负载中包括电动机那样的电感的电路连接的情况下,存在负载电流向与导通的开关相反的方向流动的模式(回流模式)。即,在负载包含电感的情况下,有时能量从负载的电感向开关电路10返回(有时电流逆流)。

[0065] 此时,在IGBT单体中,不具有可使该回流电流流动的功能,因此需要与IGBT反向并联连接二极管FRD。即,在开关电路10中,在如电动机控制那样负载包含电感的情况下,在将IGBT关断时,必须将电感所蓄积的能量($1/2LI^2$)释放。然而,在IGBT单体中,无法流动用于将电感所蓄积的能量释放的回流电流。因此,为了使该电感所蓄积的电能回流,与IGBT反向并联连接二极管FRD。即,二极管FRD具有为了释放电感所蓄积的电能而使回流电流流动的功能。根据以上的情况可知,在与包含电感的负载连接的开关电路10中,在采用IGBT作为功率晶体管Q1的情况下,需要与IGBT反向并联设置二极管FRD。该二极管FRD被称为“续流二极管”。

[0066] 相对于此,在使用功率MOSFET作为功率晶体管Q1的情况下,在原理上,不需要设置与功率MOSFET反向并联连接的续流二极管。其原因是,在功率MOSFET的器件结构中,必然寄生形成作为pn结二极管的体二极管(body diode),结果是该体二极管作为续流二极管发挥功能。

[0067] 进而言之,与IGBT不同,无论有无体二极管,单极晶体管(结型场效应晶体管、高电子迁移率晶体管等)都可以不必设置续流二极管。原因是,在单极晶体管中,源极与漏极为对称结构,能够使回流模式的电流流动。因此,如果着眼于高电子迁移率晶体管,则从使回流电流流动的本来的目的出发,可以说不需要设置“续流二极管”。

[0068] <着眼于高电子迁移率晶体管的见解>

[0069] 以下,作为功率晶体管Q1,着眼于使用了氮化镓的高电子迁移率晶体管(以下,有时称为HEMT)。

[0070] 在该情况下,如上所述,从使回流电流流动这样的本来的目的出发,可以说无需设置“续流二极管”。

[0071] 在此,在使用了氮化镓系晶体作为功率器件的材料的HEMT中,如果施加超过耐压的漏极-源极间电压,则不是产生雪崩击穿这样的可恢复的故障,而是产生无法恢复的达到破坏的破坏模式这样的HEMT所特有的现象。其结果是,在使用氮化镓系的HEMT作为功率器件的情况下,抑制达到器件破坏的破坏模式至关重要。

[0072] 氮化镓系晶体也称为III族氮化物半导体或氮化物半导体,是以GaN、AlN、InN及它们的混晶(AlGaN、InGaN等)为代表的半导体。也使用“氮化镓系”、“GaN系”这样的省略名称。

[0073] 因此,本发明人在氮化镓系的HEMT中,从抑制达到器件破坏的破坏模式的观点出发,研究了上述利用“续流二极管”的情况。即,本发明人在氮化镓系的HEMT中,着眼于从使回流电流流动的本来目的出发并非必需的“续流二极管”,从抑制达到HEMT破坏的破坏模式

的观点出发,想到了利用该“续流二极管”的情况。

[0074] <着眼于pn结二极管的见解>

[0075] 以下,作为二极管FRD,着眼于使用了碳化硅的pn结二极管。已知使用了碳化硅的pn结二极管与硅的pn结二极管相比,能够大幅减少恢复损失。

[0076] 然而,使用了碳化硅的二极管中,被称为肖特基势垒二极管的单极型二极管是主流。双极型的pn结二极管被实用化的例子非常少。其理由是因为使电流在使用了碳化硅的pn结二极管的正向上通电时,会产生被称为正向劣化的元件劣化。在此,正向劣化是起因于与SiC基板有关的基底面错位,由原本存在的晶体缺陷的增大而引起的现象。

[0077] 因此,在基于碳化硅的pn结二极管中,本发明人从抑制正向劣化的观点出发,研究了电流沿横向(与基板表面水平的方向)流动的横向pn结二极管。即,本发明人想到了不利用碳化硅中通常使用的纵向(与基板表面垂直的方向)pn结二极管,而是利用通常不使用的横向pn结二极管。

[0078] <着眼于功率晶体管在电力转换器中的应用的见解>

[0079] 进而,以下,以由氮化镓系的高电子迁移率晶体管与pn结二极管的一体化而得到非破坏性击穿的情况为前提来进行考察。具体而言,着眼于在应用于电力转换器中功率晶体管发生击穿的状况,考察因此而要求的器件动作。

[0080] 在功率器件中通常实施基于UIS(Unclamped Inductive Switching,非钳位感性开关)电路的开关试验作为假设了发生击穿的状况的试验。图2是表示UIS试验电路的电路图。在图2中,当功率晶体管导通时,能量从直流电源积蓄到L负载。在积蓄了预定的能量之后将功率晶体管关断时,漏极电压跳升直至击穿。此时,功率晶体管稳定发生非破坏性的雪崩击穿,能够吸收L负载的蓄积能量至关重要。具体而言,要求在图2的击穿电流路径A中流动击穿电流。

[0081] 另一方面,当电流在击穿电流路径B中流动时,会产生电路的误动作,稳定的雪崩击穿崩溃,功率晶体管进入反复导通和关断的振荡模式。具体而言,当电流流过击穿电流路径B时,由于有限的栅极电阻Rg而使栅极电压上升,成为反复误导通和关断的振荡模式。特别是在功率晶体管中,即使是常断型(normally-off),为了使关断高速化,在关断时也相对于源极,向栅极施加负电压。栅极的电位变得最低,由雪崩击穿产生的空穴的流入令人担心。因此,抑制流入功率晶体管的栅极的击穿电流变得重要。

[0082] 因此,本发明人想到了以下的结构:在氮化镓系的HEMT与上述的“续流二极管”之间设置禁带宽度大的缓冲层,由此在“续流二极管”产生的击穿电流不会流入HEMT。

[0083] <实施方式中的基本思想>

[0084] 以下,说明基于该本发明人的见解的技术思想。

[0085] 本实施方式的基本思想是设计为与HEMT反向并联连接二极管,在向漏极施加的漏极电位与向源极施加的源极电位之差即漏极-源极间电压超过HEMT关断状态的耐压之前,该反向并联连接的二极管发生雪崩击穿的思想。而且,基本思想还包括极力抑制二极管雪崩击穿所产生的电子及空穴(特别是空穴)流入HEMT的栅极的思想。

[0086] 根据该基本思想,在漏极-源极间电压超过HEMT的耐压之前,二极管发生雪崩击穿,由此能够防止当漏极-源极间电压超过HEMT的耐压时产生的HEMT的破坏模式。即,本实施方式的基本思想是通过设计为在超过HEMT的耐压之前二极管发生雪崩击穿,从而漏极-

源极间电压被钳住,从而防止HEMT的破坏这样的思想。此外,基本思想还包括为了防止由雪崩击穿产生的电子及空穴(特别是空穴)流入栅极,向二极管与HEMT之间插入具有比形成二极管的半导体的禁带宽度能量大的禁带宽度能量的半导体层。

[0087] 这样的基本思想,在HEMT中,着眼于从使回流电流流动的本来目的出发并非必需的二极管,从抑制达到HEMT破坏的破坏模式的观点出发,积极利用该二极管,有效抑制HEMT特有的破坏模式的发生,并抑制在实际的电力转换器的应用中的误导通,从这些点上来看是崭新且优异的技术思想。

[0088] <基于基本思想的半导体装置>

[0089] 接下来,说明基于上述基本思想的半导体装置。

[0090] 图3是表示基于基本思想的半导体装置的结构的剖视图。

[0091] 如图3所示,基于基本思想的半导体装置具有形成在碳化硅基板100上的pn结二极管和形成在pn结二极管上的HEMT。

[0092] 具体而言,pn结二极管包括形成在碳化硅基板100上的p型的碳化硅外延层101和形成于碳化硅外延层101且n型的电场缓和区域(RESURF区域,即降低表面电场区域)102。即,在p型的碳化硅外延层101与n型的电场缓和区域102的边界区域形成pn结的结果是,通过p型的碳化硅外延层101和n型的电场缓和区域102构成pn结二极管。在此,向电场缓和区域102导入的n型杂质(供体)的杂质浓度比向碳化硅外延层101导入的p型杂质(受体)的杂质浓度高。

[0093] 另一方面,HEMT包括禁带宽度比碳化硅外延层101大的缓冲层110、与缓冲层110相接的沟道层111、与沟道层111相接的阻挡层112、与阻挡层112的第一区域相接的源极120、与阻挡层112的第二区域相接的漏极130、设置在源极120与漏极130之间的栅极140。在这样构成的HEMT中,在沟道层111与阻挡层112的界面产生二维电子气体。另外,碳化硅外延层101经由插头PLG1与源极120电连接,电场缓和区域102经由插头PLG2与漏极130电连接。

[0094] 并且,在图3中,在将pn结二极管与高电子迁移率晶体管的层叠方向设为第一方向(图3的z方向),将从漏极130朝向栅极140的方向设为第二方向(图3的-x方向)的情况下,在剖视观察下,从电场缓和区域102的一端部沿z方向延伸的第一假想线VL1与沿-x方向延伸的第二假想线VL2在漏极130与栅极140之间交叉。

[0095] 此外,第一方向和第二方向如果以碳化硅基板为基准,则第一方向也可以理解为与碳化硅基板的主面垂直的方向,第二方向也可以理解为与碳化硅基板的主面平行的方向(与第一方向正交的方向)。

[0096] 图4是表示基于基本思想的半导体装置的结构的俯视图,在图4的A-A线处切断的剖视图对应于图3。在图4中,源极120和漏极130分别具有相互相对的同时沿x方向延伸、并沿y方向突出的多个指部。即,半导体装置的源极120和漏极130呈“多指结构”。并且,电场缓和区域102包含从漏极130朝向栅极140突出的区域。

[0097] 接下来,说明这样构成的半导体装置实现基本思想的情况。基本思想是设计为对于与HEMT反向并联连接的pn结二极管,在漏极-源极间电压超过HEMT的耐压之前,该反向并联连接的pn结二极管发生雪崩击穿的思想。但是,在此重要的是,避免pn结二极管在远低于HEMT的耐压的漏极-源极间电压下发生雪崩击穿。换言之,重要的是pn结二极管在虽然低于HEMT的耐压但尽可能接近HEMT的耐压的漏极-源极间电压下发生雪崩击穿。其原因是,例

如,当HEMT自身的耐压是600V或1.2kV时,如果pn结二极管在100V左右发生雪崩击穿,则作为半导体装置的耐压不能再为600V或1.2kV。即,基本思想可以说是设计为对于与HEMT反向并联连接的pn结二极管,在漏极-源极间电压超过HEMT的耐压之前,该反向并联连接的pn结二极管发生雪崩击穿,并且设计为pn结二极管在尽可能接近HEMT的耐压的漏极-源极间电压下发生雪崩击穿。

[0098] 例如在图3中,该基本思想通过以从电场缓和区域102的一端部向z方向延伸的第一假想线VL1与沿-x方向延伸的第二假想线VL2在漏极130与栅极140之间交叉的方式设计电场缓和区域102来实现。换言之,如图3和图4所示,基本思想通过电场缓和区域102以包含从漏极130朝向栅极140突出的区域的方式构成来实现。

[0099] 例如,在基本思想未实现的情况下,即,当电场缓和区域102未从漏极130朝向栅极140突出时,即使向漏极130施加100V左右的正电位,由于电场缓和区域102的长度较短,空乏层未充分延伸,因此pn结二极管会发生雪崩击穿。其结果是,例如,即使在HEMT自身的耐压为600V左右的情况下,作为半导体装置的耐压也如后所述成为100V左右。

[0100] 相对于此,当电场缓和区域102以包含从漏极130向栅极140突出的区域的方式构成时,由于电场缓和区域102的长度较长,空乏层充分延伸,其结果是pn结二极管在低的漏极-源极间电压下不易发生雪崩击穿。因此,即使在HEMT自身的耐压为600V左右的情况下,也能够避免作为半导体装置的耐压成为100V左右。

[0101] 即,通过将电场缓和区域102的杂质浓度和电场缓和区域102的长度以实现基本思想的方式设计(具体而言,设计为电场缓和区域102包含从漏极130向栅极140突出的区域),从而在电场缓和区域102内能够充分延长空乏层。其结果是,即使设计为该反向并联连接的pn结二极管在漏极-源极间电压超过HEMT的耐压之前发生雪崩击穿,也能够使pn结二极管在虽然低于HEMT的耐压但尽可能接近HEMT的耐压的漏极-源极间电压下发生雪崩击穿。此外,当电场缓和区域102以包含从漏极130向栅极140突出的区域的方式构成时,电场缓和区域102的表面的电场强度减小,结果能够减少电场对形成在电场缓和区域102上方的HEMT的影响。

[0102] <变形例>

[0103] 图5是表示基于基本思想的半导体装置的变形例的剖视图。

[0104] 图6是表示基于基本思想的半导体装置的变形例的俯视图,在图6的A-A线处切断的剖视图对应于图5。

[0105] 如图6所示,将源极120与碳化硅外延层电连接的插头PLG1、将漏极130与电场缓和区域102电连接的插头PLG2也可以配置在“多指结构”的外侧。在该情况下,能够实现单元间距的缩小化,由此,能够实现半导体装置的小型化。

[0106] <验证结果>

[0107] 接下来,说明表示基本思想的有用性的验证结果。

[0108] 具体而言,说明关于pn结二极管的耐压的模拟结果。

[0109] 图7是表示进行了模拟的器件结构(模拟结构)的图。如图7所示,模拟是基于以下的模拟结构实施的:在具有p^-SiC区域、p^+SiC区域、电场缓和区域和n^+SiC区域的pn结二极管上形成GaN-HEMT,在该GaN-HEMT上形成绝缘膜(SiO_2膜)。例如,将p^-SiC区域的受体浓度Nax设为$1\times10^{16}(cm^{-3})$,将p^+SiC区域(阳极侧)与n^+SiC区域(阴极侧)之间的距离LX设为11μm,使

电场缓和区域的长度LN和供体的掺杂浓度变化,计算了pn结二极管的耐压。其计算结果如图8所示。

[0110] 如图8所示,例如,预测到为了得到600V以上的高耐压(击穿电压),作为电场缓和区域的片料(sheet)浓度(DN)需要是$3\times10^{12}(cm^{-2})$以上。而且,预想到通过将电场缓和区域的长度(LN)设为6μm以上,从而能得到1.2kV以上的耐压。在该图8中,至片料浓度(DN)到$1.05\times10^{13}(cm^{-2})$为止击穿电压单调增加,相对于此,在$1.80\times10^{13}(cm^{-2})$时减少。

[0111] 更详细的耐压的模拟结果如图22所示。在图22中,图7中的p^-SiC区域的受体浓度$Nax=7\times10^{15}(cm^{-3})$,$p^+$SiC区域与$n^+$SiC区域之间的距离LX=18(μm)。在图22中,使片料浓度(DN)的刻度细小。根据图22,当将600V设为耐压目标时,片料浓度(DN)进一步缩减为$3.42\times10^{12}(cm^{-2})$以上。可知将1200V以上设为耐压目标时的片料浓度(DN)只要是$8.55\times10^{12}(cm^{-2})$以上以及$1.27\times10^{13}(cm^{-2})$以下即可。

[0112] 此外,对于各种模拟的结果,可知以下的情况。通过设为目标的耐压,p^-SiC区域的厚度、p^-SiC区域的受体浓度Nax、p^+SiC区域(阳极侧)与n^+SiC区域(阴极侧)之间的距离(LX)、以及电场缓和区域的长度(LN)需要适时调整。而且可知,即使为相同的耐压目标,所需的p^-SiC区域的受体浓度Nax也依赖于p^-SiC区域的厚度。另一方面,关于最佳的电场缓和区域的片料浓度(DN),可知不依赖于设为目标的耐压。即,可知通过将片料浓度(DN)设为$8.55\times10^{12}(cm^{-2})$以上以及$1.27\times10^{13}(cm^{-2})$以下,从而能在更短的$p^+$SiC区域(阳极侧)与$n^+$SiC区域(阴极侧)之间的距离(LX)下,得到目标的耐压。

[0113] 此外,图9是表示关断状态下的耐压试验的评价结果的曲线图。

[0114] 图9和图10是预先说明图12至图15中后述的试制元件的一部分评价结果,是向栅极-源极间施加了-3V的晶体管为关断状态时的试验结果。

[0115] 如图9所示,在实际的耐压试验中而不是模拟试验中,漏极电流(ID)逐渐增加,即使增加至2mA/mm,也未发生破坏。用于测定的试制元件为LX=18(μm)、LN=13(μm)、$Nax=1\times10^{16}(cm^{-3})$、$DN=1.0\times10^{13}(cm^{-2})$。而且,将禁带宽度为较大的6.2eV的AlN缓冲层设置在HEMT与二极管之间。由此,可知击穿时的栅极电流(IG)为漏极电流的1/200以下,且源极电流(IS)为漏极电流的1/50以下,击穿电流向pn结二极管流动。即,可知发生pn结二极管的非破坏性的雪崩击穿而防止HEMT的破坏,且能抑制击穿电流流入HEMT。

[0116] 因此,如图10所示,对于同一器件能够进行多次耐压试验。图10是将图9进行线性标绘并重叠多次扫描结果的曲线图。如图10所示,可知发生pn结二极管的非破坏性的雪崩击穿,因此无论多少次都能稳定的击穿。

[0117] 将漏极电流达到2mA/mm的电压设为耐压的情况下,耐压为1.27kV。与模拟结果同样,通过从漏极突出形成电场缓和区域,能够实验性确认1.2kV以上的高耐压动作。

[0118] 根据以上的情况可知,通过设计为电场缓和区域包含从漏极向栅极突出的区域,能够将pn结二极管的击穿电压调整成高电压。这意味着,根据基于基本思想的半导体装置的结构,能够设计为在漏极-源极间电压超过HEMT的耐压之前,该反向并联连接的pn结二极管发生雪崩击穿,同时能够设计为pn结二极管在虽然低于HEMT的耐压但是尽可能接近HEMT的耐压的漏极-源极间电压下发生雪崩击穿。因此,根据上述的验证结果,证明了根据基于基本思想的半导体装置,能够提供防止HEMT的破坏,并抑制击穿电流流入HEMT,且具有高耐压的半导体装置。

[0119] <具体的方式>

[0120] 接下来,说明体现本实施方式中的基本思想的具体的方式。

[0121] 图11是表示本实施方式中的半导体装置的结构的剖视图。

[0122] 在图11中,半导体装置具有形成在碳化硅基板100上的pn结二极管和形成在pn结二极管上的HEMT。

[0123] 具体而言,pn结二极管包括形成在碳化硅基板100上的p型的碳化硅外延层101和形成于碳化硅外延层101且n型的电场缓和区域(RESURF区域,即降低表面电场区域)102。此外,pn结二极管具有形成于碳化硅外延层101且受体浓度比碳化硅外延层101高的p型半导体区域103、和内置在该p型半导体区域103内的p^+型半导体区域104。而且,pn结二极管具有内置在电场缓和区域102内的n^+型半导体区域105。

[0124] 在pn结二极管上形成HEMT。具体而言,例如,在以碳化硅为主材料的pn结二极管上形成由氮化铝(AlN)构成的缓冲层110,在该缓冲层110上形成由未掺杂的氮化镓(GaN)构成的沟道层111。此时,缓冲层是未掺杂层或掺杂了杂质(碳、铁、镁等)的层。

[0125] 在此,形成缓冲层110的目的是为了缓和构成pn结二极管的碳化硅的晶格间隔与构成沟道层111的氮化镓(GaN)的晶格间隔的失配。即,如果在碳化硅上直接形成由氮化镓(GaN)构成的沟道层111,则沟道层111上会形成多个晶体缺陷,导致HEMT的性能下降。

[0126] 另外,碳化硅的禁带宽度能量为3.2eV,相对于此,AlN的禁带宽度能量为较大的6.2eV,因此能够防止由于使用了碳化硅的pn结二极管的雪崩击穿而产生的电子及空穴流入GaN侧。

[0127] 由此,向构成pn结二极管的碳化硅与沟道层111之间插入以缓和晶格及防止由于碳化硅侧的击穿而产生的电子及空穴流入GaN侧为目的的禁带宽度大的缓冲层110。通过形成该缓冲层110,能够提高形成在缓冲层110上的沟道层111的质量,并且在击穿时抑制电子及空穴侵入GaN侧。由此,能够实现HEMT的性能提高。

[0128] 接下来,在沟道层111上形成例如由未掺杂的氮化铝镓(AlGaN)构成的阻挡层112。并且,在阻挡层112上分离形成源极120和漏极130。也就是说,以与阻挡层112的第一区域接触的方式形成源极120,并且以与阻挡层112的第二区域接触的方式形成漏极130。

[0129] 选择源极120和漏极130的材料以使得该源极120与阻挡层112、或者漏极130与阻挡层112进行欧姆接触。

[0130] 接下来,在分离的源极120与漏极130所夹持的阻挡层112上形成例如由p型氮化镓(p^-GaN)构成的p型帽(cap)层150,在该p型帽层150上形成栅极140。

[0131] 在此,在本实施方式中,构成HEMT的缓冲层110、沟道层111和阻挡层112形成台面结构115,在该台面结构115的两侧的侧面形成例如由氧化硅膜构成的绝缘膜160。

[0132] 并且,HEMT的源极120经由插头PLG1与pn结二极管的p^+型半导体区域104电连接,插头PLG1与p^+型半导体区域104进行欧姆接触。同样,HEMT的漏极130经由插头PLG2与pn结二极管的n^+型半导体区域105电连接,插头PLG2与n^+型半导体区域105进行欧姆接触。

[0133] 由此,在图11所示的半导体装置中,HEMT与pn结二极管反向并联连接(参照图1)。

[0134] 在如上构成的HEMT中,在沟道层111与阻挡层112的界面附近生成二维电子气体。即,构成沟道层111的氮化镓(GaN)的电子亲和力与构成阻挡层112的氮化铝镓(AlGaN)的电子亲和力不同。因此,由于基于电子亲和力的差异的传导能带偏移、以及沟道层111和阻挡

层112中所存在的压电极化和自发极化的影响,在沟道层111和阻挡层112的界面附近产生比费米能阶低的方阱势。其结果是,在该方阱势内蓄积电子,由此,在沟道层111与阻挡层112的界面附近生成二维电子气体。

[0135] 在此,在图11所示的HEMT中,p型帽层150形成在栅极140的下面,因此在阻挡层112的结构中能够将阈值电压设计成正或负。例如,构成阻挡层112的AlGaN越厚且其Al组成越大,则阈值电压越向负的方向偏移。具体而言,通过非专利文献7公开的计算方法来计算对于Al组成的极化电荷密度,并且能够根据AlGaN层的厚度和介电常数设计阈值电压。更具体而言,当阻挡层112的厚度为15nm时,通过使Al组成为23%以下,从而阈值电压为正,成为常断型。将HEMT应用于电力转换器时,多数情况下需要常断型的器件,但是为此需要降低Al组成,与此同时,栅极正下方以外的二维电子气体浓度也降低,因此导通电阻有增加的倾向。因此,在考虑与导通电阻的权衡的同时,设计阈值电压是很重要的。

[0136] 在图11中,在这样构成的半导体装置中,在将pn结二极管与HEMT的层叠方向设为第一方向(图11的z方向),将从漏极130朝向栅极140的方向设为第二方向(图11的-x方向)时,在剖视观察下,从电场缓和区域102的一端部沿z方向延伸的第一假想线VL1与沿-x方向延伸的第二假想线VL2在漏极130与栅极140之间交叉。即,电场缓和区域102包括从漏极130向栅极140突出的区域。而且,在剖视观察下,从p型半导体区域103的一端部沿z方向延伸的第三假想线VL3也与沿-x方向延伸的第二假想线VL2在漏极130与栅极140之间交叉。即,p型半导体区域103包括从栅极140向漏极130突出的区域。

[0137] 如图11所示,在实际的器件中,由于电极经由在形成于半导体层之上的绝缘膜上所设置的接触孔与半导体层接触,因此更详细而言,源极区域、栅极区域、漏极区域成为电极与半导体层接触的区域。电场缓和区域102的突出距离LC定义为从漏极区域的端向栅极方向突出的突出距离。漏极区域是漏极130与阻挡层112相接的区域,漏极区域的端是该漏极区域的接近栅极140一侧的端。p型半导体区域103的突出距离LA定义为从栅极区域的端向漏极方向突出的突出距离。栅极区域是栅极140与p型帽层150相接的区域,栅极区域的端是该栅极区域的接近漏极130一侧的端。栅极-漏极间距离是栅极区域的端与漏极区域的端之间的距离。

[0138] 如上述那样构成本实施方式的半导体装置。

[0139] <半导体装置的制造方法>

[0140] 接下来,说明本实施方式的半导体装置的制造方法。

[0141] 图12是表示实际试制的图11所示的半导体装置的制造工序的流程的流程图。如图12所示,准备距(0001)面具有大于2度且4度以下的偏角的碳化硅基板100(S101)。在试制中,使用了沿<11-20>方向具有4度偏角的n型的4H-SiC基板(4H-碳化硅基板)。接下来,通过使用基于CVD法的外延生长法,从而形成例如第一p型碳化硅外延层(厚度1μm,受体浓度$1\times10^{18}(cm^{-3})$)及第二p型碳化硅外延层(厚度16μm,受体浓度$1\times10^{16}(cm^{-3})$)(S102)。受体掺杂剂使用了铝(Al)。在此,第一p型碳化硅外延层在图11的剖视图中并非必须而进行了省略。即,图11所示的碳化硅外延层101表示第二p型碳化硅外延层。并且,通过使用光刻技术和离子注入法,从而将电场缓和区域102、p型半导体区域103、p^+型半导体区域104和n^+型半导体区域105选择性地形成在第二p型碳化硅外延层内之后,通过高温退火处理使杂质活性化(S103)。

[0142] 在此,在试制元件中,电场缓和区域102、p型半导体区域103、p^+型半导体区域104和n^+型半导体区域105的片料杂质浓度分别设为$1.0\times10^{13}(cm^{-2})$(氮(N)注入)、$1.2\times10^{14}(cm^{-2})$(铝(Al)注入)、$5\times10^{15}(cm^{-2})$(Al注入)、$7\times10^{14}(cm^{-2})$(磷(P)注入)。

[0143] 此外,各区域的掺杂剂浓度也可以进行如下的变形。例如,第二p型碳化硅外延层(碳化硅外延层101)的受体浓度可以设为$2\times10^{15}(cm^{-3})\sim1\times10^{17}(cm^{-3})$。但是,随着提高浓度而需要减薄碳化硅外延层101的厚度,当将受体浓度设为$1\times10^{17}(cm^{-3})$时,希望将碳化硅外延层101的厚度减薄为1(μm)以下,并且希望碳化硅基板100为高电阻基板。

[0144] 电场缓和区域102、p型半导体区域103、p^+型半导体区域104及n^+型半导体区域105的各自的片料杂质浓度(cm^{-2})的范围如以下所述。例如,电场缓和区域102的片料杂质浓度的范围在图8、图22中如前述那样。p型半导体区域103是具有与碳化硅外延层101相同导电性的区域,不是作为器件动作必需的区域。但是,通过形成比碳化硅外延层101高浓度的p型半导体区域103,能够防止空乏层侵入到栅极140之下,通过设置p型半导体区域103,能够提高防止破坏的长期可靠性。因此,作为设置p型半导体区域103时的杂质浓度,希望高于二维电子气体的浓度,具体而言优选为$1\times10^{13}(cm^{-2})$以上的片料杂质浓度。由于只要进行欧姆接触即可,因此p^+型半导体区域104及n^+型半导体区域105的各自的片料杂质浓度优选为$5\times10^{14}(cm^{-2})$以上。

[0145] 另外,作为碳化硅基板100,如上所述,典型的是选择从(0001)面(Si面)向<11-20>方向以预定角度倾斜的4H-SiC离轴基板。在此,基板主面也具有取代Si面而使用(000-1)面(C面)的选择项。在将(0001)面和(000-1)面双方一并记载时,标记为{0001}面。离轴基板的倾斜的晶体方向(偏离方向)也具有取代<11-20>而使用<01-10>的选择项。

[0146] 然后,通过MOCVD法,形成由AlN构成的缓冲层110、由GaN构成的沟道层111(厚度800nm)、由AlGaN构成的阻挡层112(Al组成23%、厚度20nm)以及由p型GaN构成的p型帽层150(厚度60nm),进行由镁(Mg)构成的杂质的活性化处理(S104)。

[0147] 接下来,通过使用光刻技术和干蚀刻技术,从而形成台面结构(S105)。接下来,在碳化硅表面上沉积镍膜(Ni膜),然后通过烧结处理形成作为欧姆电极的插头PLG1和插头PLG2。进而,在阻挡层112上形成Al/Ti系的电极作为源极120和漏极130,并且沉积镍膜(Ni)作为栅极140,然后通过实施热处理来形成欧姆电极(S106)。这之后,例如,在通过绝缘膜保护表面之后,形成焊垫电极。这样,能够制造本实施方式的半导体装置。此外,在该试制中,栅极140是使用Ni的欧姆电极,但例如也可以是基于TiN系合金或Al/Ti系合金等的肖特基电极。

[0148] <试制的器件的元件特性>

[0149] 接下来,描述通过上述制造方法试制的器件的元件特性的评价结果。

[0150] 以下的评价结果是在试制的器件之中,栅极-漏极间距离为26(μm)、以及电场缓和区域102的突出距离(图11的LC)为15(μm),电场缓和区域102的供体的片料杂质浓度为$1.0\times10^{13}(cm^{-2})$的条件。而且,p型半导体区域103的突出距离(图11的LA)为6(μm),受体的片料杂质浓度为$1.2\times10^{14}(cm^{-2})$。用于形成与SiC进行良好的欧姆接触的$p^+$型半导体区域104以及$n^+$型半导体区域105的片料杂质浓度为$5\times10^{14}(cm^{-2})$以上。

[0151] 图13示出导通状态下的I_D-V_{DS}特性的实验结果。如图13所示,该器件表现出300mA/mm的高通电能力,单位栅极宽度的导通电阻为47Ωmm的较低的值。在本次的试制中,与通常

的HEMT使用的“on-axis基板(同轴基板)”不同,使用4度偏离的碳化硅基板,因此HEMT结构的表面观察到30nm左右的粗糙。然而,作为导通状态的特性,能得到与通常的HEMT相同程度的值,可知能得到二维电子气体的高迁移率。

[0152] 此外,关于二维电子气体的迁移率,另行进行了霍尔测定。即,制成了在向<11-20>方向4度偏离的碳化硅基板上形成有HEMT结构的霍尔效应测定用的样品。其结果是,室温(300K)下的迁移率为1550(cm^2/Vs),得到随着温度下降而单调增加的倾向,低温(80K)下的迁移率为8720(cm^2/Vs)。该结果显示二维电子气体具有被物理性的声子散射所限速的迁移率。即,确认到即使在此前在GaN系晶体生长中一直被敬而远之的4度偏离的碳化硅基板中,也能得到与一般的HEMT中使用的“on-axis基板”上同等的电气特性。

[0153] 此前报告的使用“on-axis基板”的1.2kV耐压的HEMT的最高数据为20Ω㎜左右。本次的试制器件在初期试制中通过导通电阻得到了与最高数据相同等级的良好特性,与Si横向晶体管的材料极限相比,得到了1/100左右的低导通电阻。

[0154] 图14示出Vds=5V时的传递特性的实验结果。当以HEMT中的一般定义的Id=1μA/㎜进行判定时,栅极阈值电压为-0.25V。由于阈值电压为负,因此本次的试制的器件为常通型(normally-on)。

[0155] 该器件的耐压如上述图9和图10所示,为1.2kV以上,且为非破坏,且击穿时的栅极电流相对于漏极电流被抑制为1/200以下。

[0156] 图15示出Vgs=-4V时,相对于负Vds的Id-Vds特性的实验结果。在此,负的Vds相对于碳化硅pn结二极管相当于正向偏压。因此,当漏极-源极电压达到碳化硅的pn结的内建电压即约-3V时,电流开始经由集成的碳化硅pn结二极管流动(图15中的IB)。当电压进一步下降时,与以往的HEMT同样,HEMT的栅极通道打开,电流也从HEMT的通道流动,因此观察到经由碳化硅pn结二极管流动的电流相加(图15中的ID)。

[0157] 另外,同时在图11中制作了电场缓和区域102未掺杂的比较器件,即电场缓和区域未从漏极突出的比较器件。比较器件中二极管的击穿电压的评价结果低至100V左右。可知电场缓和区域102从漏极突出对于得到高击穿电压是必不可少的。

[0158] <实施方式的特征>

[0159] 接下来,说明本实施方式的特征点。

[0160] 例如图11所示,本实施方式的第一特征点在于,电场缓和区域102包含从漏极130朝向栅极140突出的区域。换言之,本实施方式的第一特征点在于,在图11中,在将pn结二极管与HEMT的层叠方向设为第一方向(图11的z方向),将从漏极130朝向栅极140的方向设为第二方向(图11的-x方向)的情况下,在剖视观察下,从电场缓和区域102的一端部沿z方向延伸的第一假想线VL1与沿-x方向延伸的第二假想线VL2在漏极130与栅极140之间交叉。由此,根据本实施方式,电场缓和区域102的长度变长,因此在向pn结二极管施加反向偏压的情况下,在电场缓和区域102内能够将空乏层充分延长。其结果是,能够设计为在漏极-源极间电压超过HEMT的耐压之前,该反向并联连接的pn结二极管发生雪崩击穿,并且能够使pn结二极管在虽然低于HEMT的耐压但是尽可能接近HEMT的耐压的漏极-源极间电压下发生雪崩击穿。即,pn结二极管的击穿电压比HEMT的漏极-源极间的耐压低。因此,根据本实施方式中的第一特征点,能够防止HEMT的破坏,并确保半导体装置的耐压。

[0161] 接下来,本实施方式的第二特征点在于,在HEMT与pn结二极管之间设置禁带宽度

比碳化硅大的缓冲层。由此,能够抑制在pn结二极管的雪崩击穿时产生的电子和空穴流入HEMT的栅极。这是因为缓冲层相对于碳化硅的能带偏移作为对于电子和空穴的壁发挥功能。

[0162] 接下来,本实施方式的第三特征点在于,使用HEMT作为功率晶体管。由此,在包含HEMT和pn结二极管的半导体装置中,能够确保正方向的高导通能力。即,根据本实施方式,能够减少正方向的导通损失。这是因为HEMT具有高导通能力。

[0163] 在此,能获得HEMT的高导通能力的理由是使其与由具有与GaN匹敌的绝缘破坏电场强度的碳化硅形成的pn结二极管一体化的缘故。因此,在栅极-漏极间距离为26μm的较小尺寸下,作为碳化硅pn结二极管的非破坏性击穿电压能够得到1.2kV左右。假设与基于硅的pn结二极管组合时,为了获得1.2kV的耐压,阴极-阳极之间在水平方向需要为120μm以上,HEMT的栅极-漏极间距离比这个长。当然,会导致导通电阻、芯片面积的大幅增大。由此可知,使用基于硅的pn结二极管并不现实。即,正因为使HEMT与基于碳化硅的pn结二极管一体化,才能够在确保作为碳化硅pn结二极管的非破坏性击穿电压的1.2kV左右的同时,能够缩短HEMT的栅极-漏极间距离,由此在HEMT中能够获得高导通能力。

[0164] 另一方面,也可以考虑在沟道层与缓冲层之间形成基于GaN系的pn结二极管的想法。然而,对于GaN系而言,通过离子注入形成p型区域非常困难。具体而言,为了使作为受体杂质的Mg在离子注入后活性化,需要1300℃以上的高温退火。另一方面,GaN系在大气压下在1000℃以上的温度下发生热分解。为了抑制热分解,需要在1万大气压以上的高压氮气下进行退火。因此,基于GaN系制作横向pn结二极管在工业上非常困难。另外,作为在平面上选择性地形成GaN系pn结二极管的p型区域的方法,也有蚀刻、选择区域晶体生长、基于CMP等使结晶面平坦化等的组合技术的想法。然而,该技术的量产化、成品率等工业性的门坎高,担心成本上升。

[0165] 本实施方式的第四特征点在于,与HEMT反向并联连接pn结二极管。由此,能够确保反方向的高导通能力。即,根据本实施方式,能够减少反方向的导通损失。

[0166] 例如,当与负载中包含电动机那样的电感的电路连接时,存在负载电流向导通的开关的相反方向流动的模式(回流模式)。在该回流模式中,源极电位比漏极电位高,电流向与通常的正方向不同的反方向(从源极120向漏极130的方向)流动。

[0167] 此时,在本实施方式中,与HEMT反向并联连接pn结二极管。其结果是,在回流模式中,除了基于HEMT的反方向电流之外,也流动有基于与HEMT反向并联连接的pn结二极管的正方向电流。因此,根据本实施方式的第四特征点,与通常由HEMT单体构成的半导体装置相比,能够流动多了与HEMT反向并联连接的pn结二极管中流动的正向电流的量的反向电流。由此,根据本实施方式的半导体装置,可以获得能够减少反方向上的导通损失的显著效果。

[0168] 接下来,说明本实施方式的第五特征点。

[0169] 例如,在本实施方式中,在高电阻的碳化硅基板上形成碳化硅系的pn结二极管,在该pn结二极管上形成GaN系的HEMT。在此,使用高电阻的碳化硅基板的理由是能够获得如下优点:能够降低高频损失的优点、以及由于具有高导热性因而散热特性优异的优点。因此,在本实施方式中,在高电阻的碳化硅基板上形成碳化硅系的pn结二极管,在该pn结二极管上形成GaN系的HEMT。

[0170] 关于这一点,在碳化硅基板上形成碳化硅系的pn结二极管时,例如,可考虑采用在

基板的厚度方向上流动电流的纵向pn结二极管。然而,当在碳化硅基板上形成纵向pn结二极管时,已知由于沿纵向(基板的厚度方向)长时间流动电流而产生正方向电流减少这样的“正向劣化现象”。这被认为是由于在碳化硅基板与碳化硅外延层的界面上形成的基底面错位所引起的。

[0171] 因此,在本实施方式中,不是在碳化硅基板上形成纵向的pn结二极管,而是形成使电流沿着基板的水平方向流动的横向的pn结二极管。这一点是本实施方式的第五特征点。即,本实施方式的第五特征点在于,在高电阻的碳化硅基板上形成横向的pn结二极管。

[0172] 在该情况下,在横向的pn结二极管中,电流在碳化硅外延层的表面流动,因此电流不会流经碳化硅基板与碳化硅外延层的界面处形成的基底面错位。其结果是,根据本实施方式的第五特征点,能够抑制正向电流减少这样的“正向劣化现象”。

[0173] 接下来,本实施方式的第六特征点在于,例如图11所示,设置p型半导体区域103,在剖视观察下,从p型半导体区域103的一端部沿z方向延伸的第三假想线VL3与沿-x方向延伸的第二假想线VL2在漏极130与栅极140之间交叉。即,本实施方式的第六特征点在于,p型半导体区域103包含从栅极140朝向漏极130突出的区域。

[0174] 由此,根据本实施方式,能够减少pn结二极管的导通电阻。此外,p型半导体区域103与源极120电连接,并向源极120施加“0V”。由此,向p型半导体区域103也施加“0V”。并且,根据本实施方式的第六特征点,p型半导体区域103包含从栅极140朝向漏极130突出的区域,因此与“场板(field plate)”同样,该p型半导体区域103具有缓和施加到HEMT的电场对形成在pn结二极管上方的HEMT的影响的功能。其结果是,根据本实施方式的第六特征点,能够提高HEMT的耐压。

[0175] 此外,在此说明了设置p型半导体区域103的例子,但是p型半导体区域103并非必需的构成要素,也可以不设置p型半导体区域103。

[0176] 本实施方式的第七特征点在于,例如图11所示,台面结构115的侧面被绝缘膜160覆盖。由此,根据本实施方式,在HEMT中,能够减少来自台面结构115侧面的漏电流。

[0177] 此外,在此说明了以覆盖台面结构115侧面的方式形成绝缘膜160的例子,但是覆盖台面结构115侧面的绝缘膜160并非必需的构成要素,也可以不设置绝缘膜160。

[0178] 接下来,说明本实施方式的第八特征点。

[0179] 在本实施方式中,4H-SiC基板(碳化硅基板)要求碳化硅外延层及氮化物半导体层(AlN层、GaN层、AlGaN层)的晶体生长。

[0180] 在此,在4H-SiC基板上外延生长4H-SiC层的所谓同质外延晶体生长中,例如,为了防止6H等除4H以外的各种多型的混入,通常使用相对于作为生长面的(0001)面向晶体方位<11-20>方向设置4度以上的微倾斜(偏角)的4H-SiC基板。

[0181] 另一方面,GaN单晶基板在开发过程中造价极高,因此在晶格失配的前提下,使用替代单晶基板的异质外延晶体生长法被实用化。4H-SiC基板相对于GaN单晶的晶格常数差为约3.3%左右,已知在其上生长结晶性比较好的氮化物半导体层的技术。该技术通过量产性优异的有机金属化学气相沉积法(MOCVD法)被实用化。该目标碳化硅基板是用于不生长SiC层而直接形成氮化物半导体层的模板,优选“on-axis基板”。“on-axis基板”是指不从生长面(0001)面倾斜(无偏角)的基板,“on-axis基板”的偏角的误差在标准规格下为0.25度以内。由于这样的“on-axis基板”难以抑制多型,因此被认为不适合通常的SiC层的同质外

延生长。

[0182] 根据以上的情况,在本实施方式中,在碳化硅基板上需要碳化硅外延层及氮化物半导体层的晶体成长,但是碳化硅外延层的晶体成长通常使用具有偏角的碳化硅基板(见解1)。相对于此,在基于MOCVD法的氮化物半导体层的晶体成长中,通常使用“on-axis基板”(见解2)。因此,在制造本实施方式的半导体装置时,很难同时实现相互相反的见解1与见解2,并且存在在碳化硅基板上用于良好地进行碳化硅外延层和氮化物半导体层的晶体成长的技术困难性。

[0183] 关于这一点,本发明人对于该技术困难性反复研究的结果是,新发现了通过使用例如具有大于2度且4度以下的偏角的碳化硅基板,能够使良好的碳化硅外延层晶体成长,同时能够确保使用了通过MOCVD法进行晶体成长的氮化物半导体层的HEMT的迁移率。即,本实施方式的第八特征点在于,使用具有大于2度且4度以下的偏角的碳化硅基板。并且,根据该本实施方式的第八特征点,能够确保包含HEMT和pn结二极管的半导体装置的性能。

[0184] <变形例>

[0185] <<电场缓和区域的变形>>

[0186] 以下,说明作为实施方式的主要构成要素的电场缓和区域102的变形例。需要变形例的理由如以下所述。通常,为了提高晶体管的性能及降低成本,要求维持所希望的耐压并缩短栅极140与漏极130的距离。即,关于p^+SiC区域(阳极侧)与n^+SiC区域(阴极侧)之间的距离(LX),也要求维持所希望的耐压且更短。此外,为了降低成本,在更薄的p^-SiC区域(碳化硅外延层101)中,希望得到目标的耐压。为此,空间地调制电场缓和区域102的片料浓度(DN)的方法是有效的。但是,即使在空间地调制片料浓度(DN)的情况下,电场缓和区域102的至少一处也要求片料浓度(DN)为8.55×10^{12}(cm^{-2})以上及1.27×10^{13}(cm^{-2})以下。以下,从上述的观点出发,示出电场缓和区域的变形。

[0187] 如图16所示,通过使插头PLG2正下方的电场缓和区域102的部分变浅,能够在减薄碳化硅外延层101的厚度的同时,确保纵向的耐压。在该情况下,由于能够减薄碳化硅外延层101的厚度,因此能够削减半导体装置的制造成本。

[0188] 如图17所示,通过对电场缓和区域102设置倾斜,在相同的栅极-漏极间距离下,能够提高耐压。其结果是,能够推进半导体装置的小型化。此外,虽然在图17的剖视图中未示出,但设置成岛状的电场缓和区域102在进深方向等上全部与漏极130接触。由此,当导通时,电子快速地再注入电场缓和区域102。

[0189] 但是,图17所示的倾斜的电场缓和区域102在制造工艺上很难制造。因此,如果考虑制造的容易性,则例如图18所示,为了形成电场缓和区域102,通过多次进行改变注入能量的离子注入,能够容易地制造相当于图17所示的倾斜的电场区域102的结构。而且,通过形成图19所示的电场缓和区域102,能够减少离子注入的次数,由此能够削减半导体装置的制造成本。

[0190] 如图20所示,通过将电场缓和区域102的一部分埋入碳化硅外延层101的内部,能够确保pn结二极管的耐压,同时提高电场缓和区域102的杂质浓度。其结果是,能够减少半导体装置的导通损失。此外,如图21所示,将p型半导体区域103与电场缓和区域102重叠,形成所谓的“超级结结构”,由此,能够使电场缓和区域102的杂质浓度高浓度化,并能够延长电场缓和区域102的长度,因此能够在确保耐压的同时,减少导通损失。

[0191] <<HEMT结构的变形>>

[0192] 在实施方式中,HEMT的缓冲层使用了AlN层,但是也可以变更为禁带宽度能量远大于碳化硅的AlGaN。具体而言,可以使用禁带宽度能量为4eV以上的Al组成为30％以上的AlGaN。即,缓冲层也可以由铝(Al)组成X大于30％的$Al_xGa_{1-x}N$构成。

[0193] 另外,HEMT的阻挡层使用AlGaN,但可以变更为InAlN、InGaAlN等III-V族氮化物半导体混晶,其禁带宽度能量大于作为沟道层的GaN。而且,阻挡层不是单层而是设为多个III-V族氮化物半导体混晶,从而能够提高HEMT的性能。例如,能够将阻挡层设为AlGaN/AlN(AlN为下侧)。由此,能够提高二维电子气体的迁移率。而且,可以将阻挡层设为GaN/AlGaN(AlGaN为下侧)。由此,能够减少电流崩溃。

[0194] 此外,可以向缓冲层与沟道层之间增加插入禁带宽度能量比作为沟道的GaN大的III-V族氮化物半导体。由此,增加了二维电子气体的限制,能够减少关断状态下的漏极漏电流。

[0195] 在实施方式中,作为HEMT的栅极结构,采用对于p型GaN(p型帽层150)形成使用了Ni系合金的欧姆电极的结构。关于这一点,也可以使用Pt系合金形成同样的欧姆电极。

[0196] 另外,也可以采用其他p型III-V族氮化物半导体混晶取代栅极下的p型GaN。例如,可以采用p型的InGaN、AlInN或AlGaN(非专利文献2,图8(b))等。

[0197] 此外,也可以将栅极变更为针对p型GaN的肖特基电极。代表性的肖特基电极可列举Al/Ti或TiN等Ti系合金。由此,能够减少向栅极施加正电压时的栅极漏电流,能够向栅极施加更高的电压(5V～8V左右)。

[0198] 另外,可以去除栅极下的p型GaN而设置绝缘层(非专利文献2,图8(c)、(e)、(f))。此时,对栅极下的AlGaN阻挡层进行氟系等离子体处理(非专利文献2,图8(c)),或者通过干蚀刻将阻挡层蚀刻至中途(非专利文献2,图8(e)),或者贯通蚀刻阻挡层(非专利文献2,图8(f)),由此控制阈值电压,并通过绝缘栅极结构减少栅极漏电流,从而能够使用更高的栅极电压(15V～30V左右)。

[0199] <<HEMT的场板结构的变形>>

[0200] 虽然在图中未描绘,但是在实施方式的半导体装置中,可以采用到目前为止报告的各种场板结构。例如,在实施方式中,设想具备与栅极140、源极120及漏极130连接的三个种类的场板结构。由此,能够防止GaN结构内(HEMT)的破坏,实现1.2kV以上的高耐压动作。

[0201] 作为场板结构的变形,可以采用与源极120连接的场板结构(非专利文献3,图1(a))。而且,也可以采用与漏极130连接的场板结构(非专利文献3,图1(b))。此外,除了与源极120连接的场板结构之外,也可以采用与栅极140连接的场板结构(非专利文献4,图1(a))。

[0202] 在与栅极140、源极120及漏极130连接的场板中,也可以增加级数。例如,报告了将与栅极140连接的场板设为二级所实现的高耐压化(非专利文献5,图1(a))。可以采用这样增加了场板级数的结构。但是,为了增加级数,光刻工序增加,制造成本增大。考虑该情况,也可以采用使场板倾斜的结构(非专利文献6,图1)。

[0203] 以上,基于实施方式具体说明了本发明人作出的发明,但是本发明没有限定为前述实施方式,在不脱离其主旨的范围内当然可以进行各种变更。

[0204] 符号说明

[0205] 10:开关电路,100:碳化硅基板,101:碳化硅外延层,102:电场缓和区域,103:p型半导体区域,104:p^+型半导体区域,105:n^+型半导体区域,110:缓冲层,111:沟道层,112:阻挡层,115:台面结构,120:源极,130:漏极,140:栅极,150:p型帽层,160:绝缘膜,A:阳极,C:阴极,D:漏极,FRD:二极管,G:栅极,PLG1:插头,PLG2:插头,Q1:功率晶体管,S:源极,VL1:第一假想线,VL2:第二假想线,VL3:第三假想线。

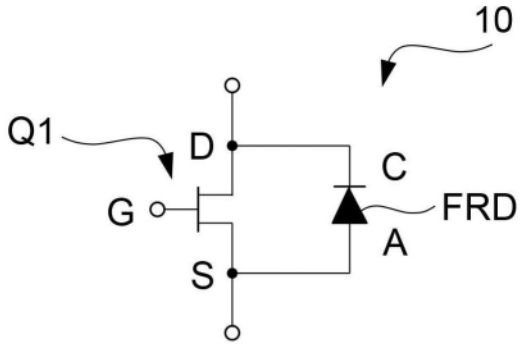


图1

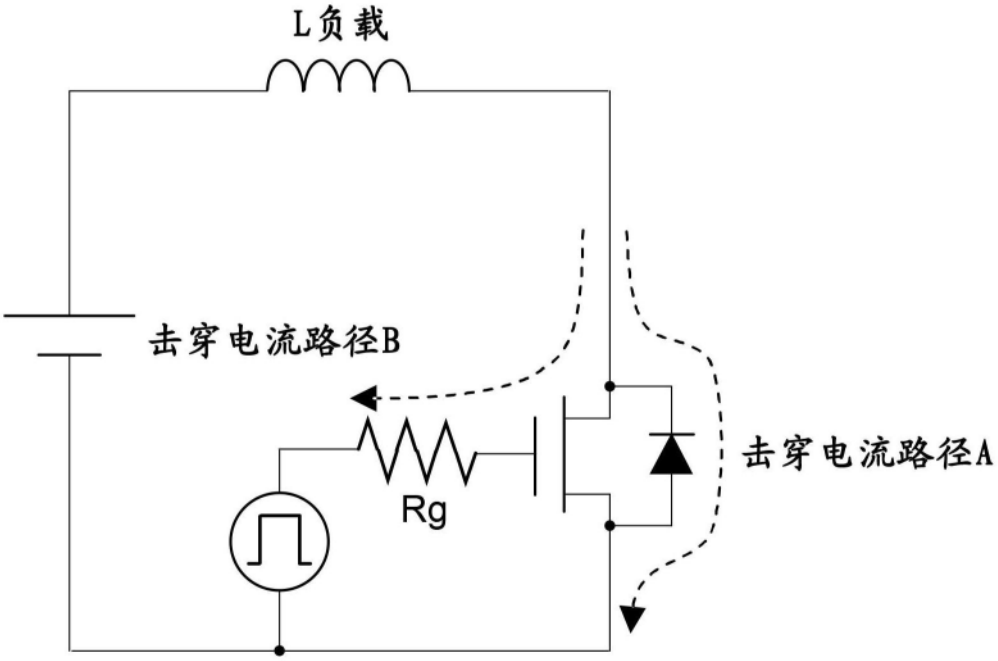


图2

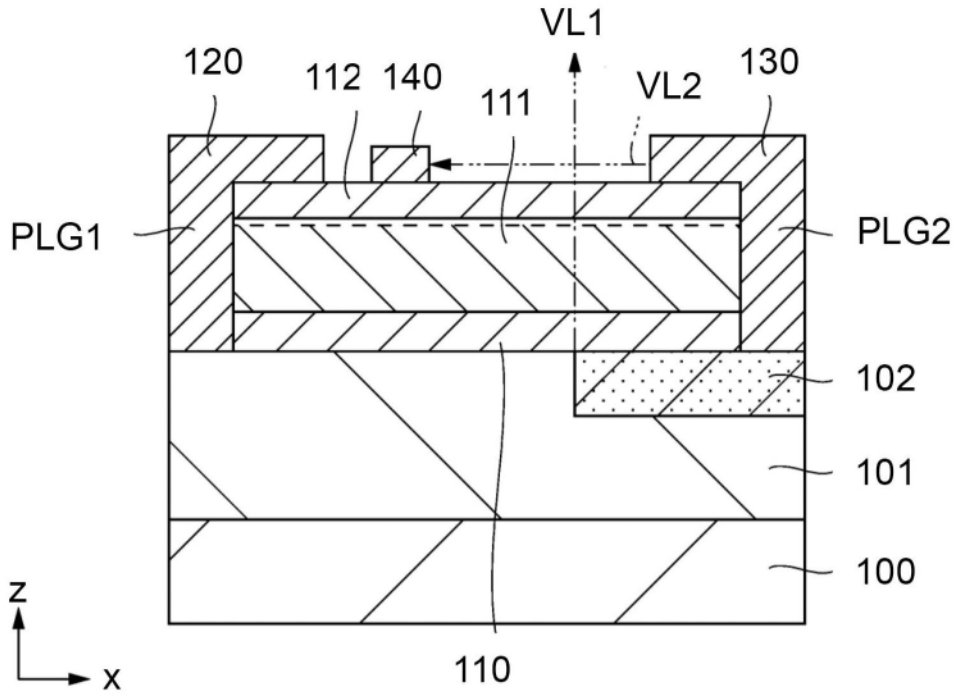

VL1
120
112
140
111
VL2
130
PLG1
PLG2
102
101
100
z
x
110

图3

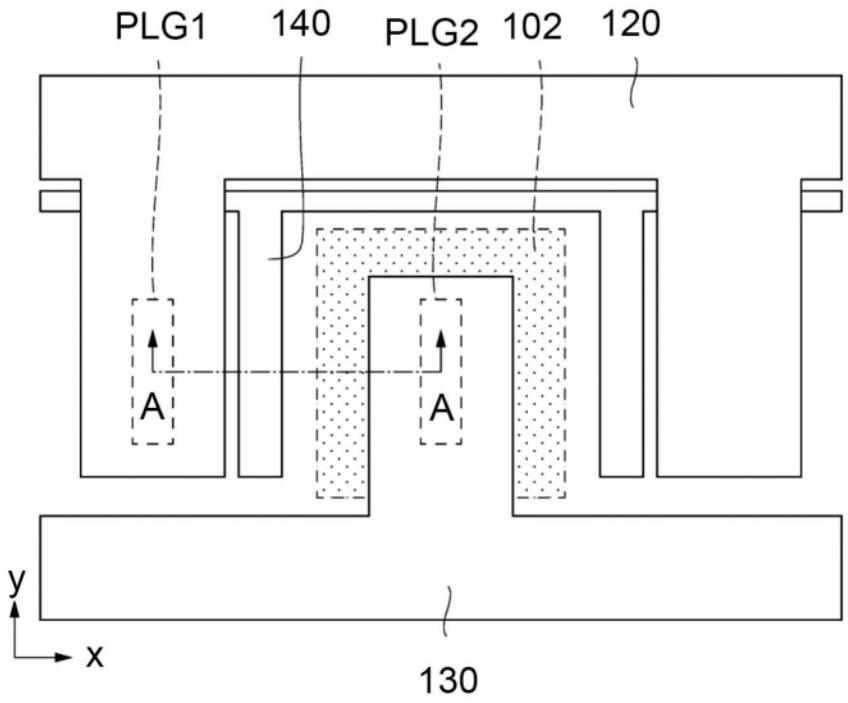

PLG1
140
PLG2
102
120
A
A
y
x
130

图4

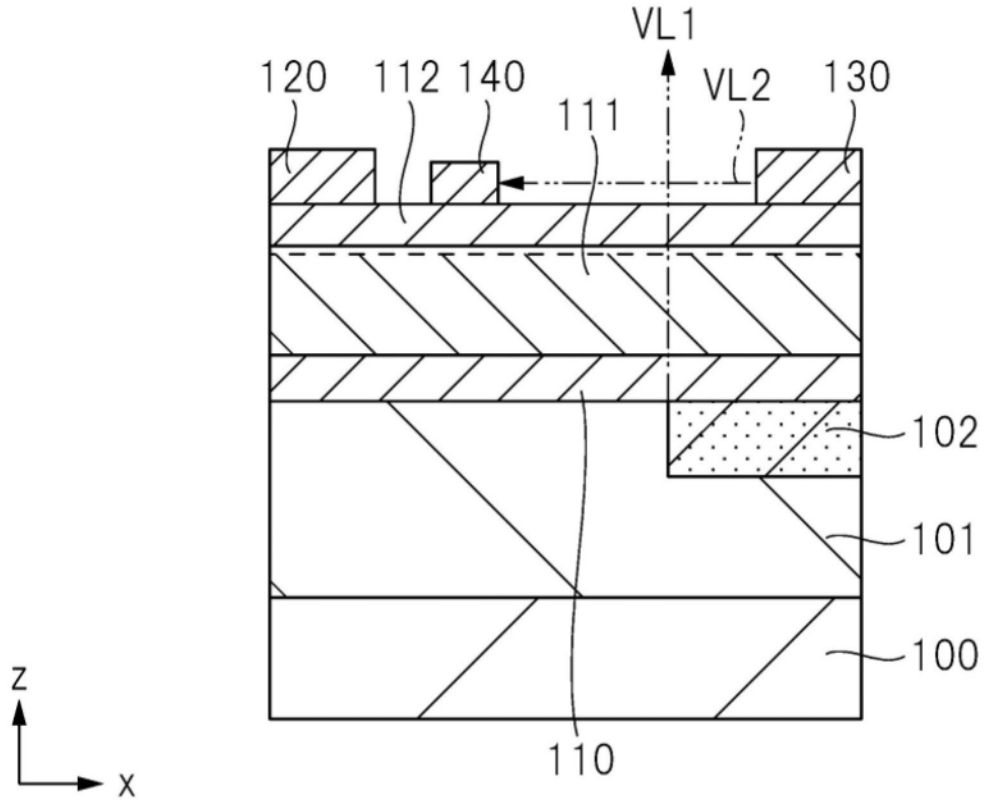

VL1
120
112
140
111
VL2
130
102
101
100
110
z
x

图5

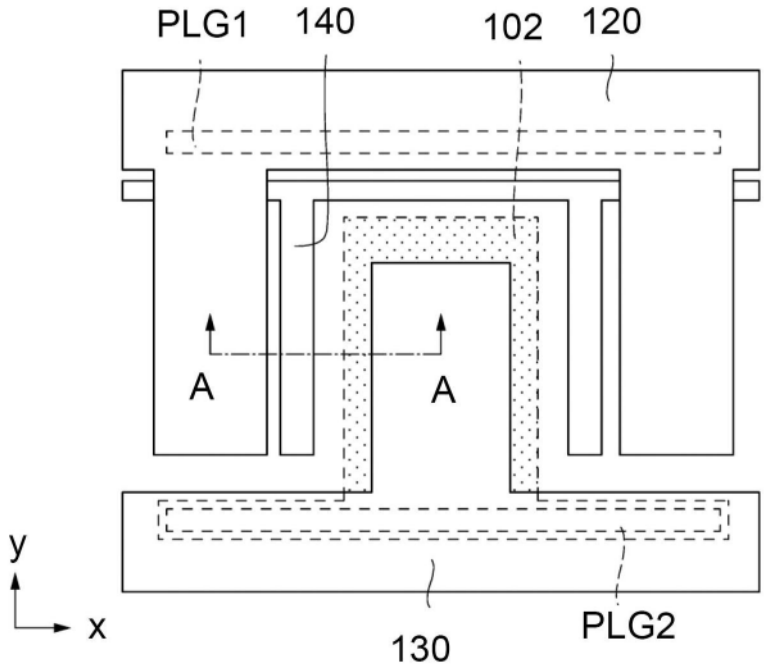

PLG1
140
102
120
A
A
y
x
130
PLG2

图6

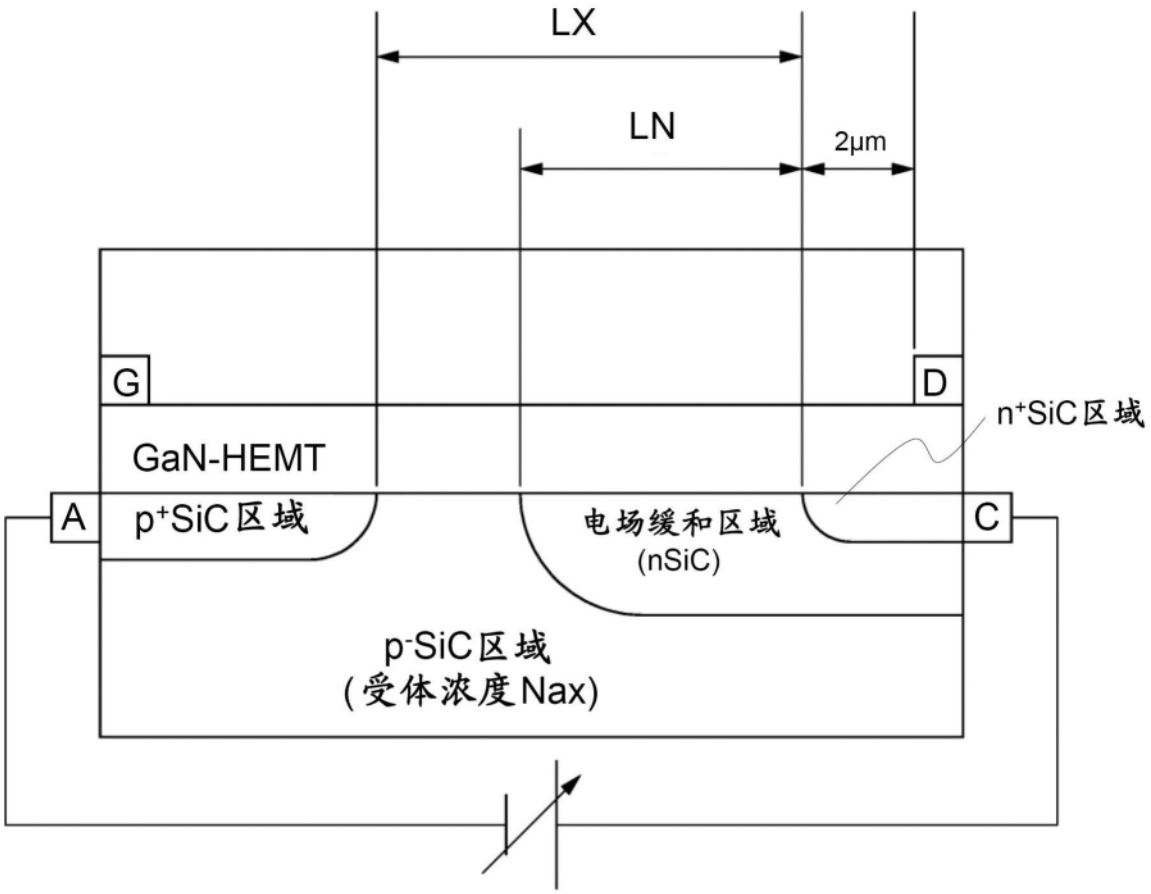

LX
LN
2μm
G
D
n+SiC区域
GaN-HEMT
A
p+SiC区域
电场缓和区域
(nSiC)
C
p-SiC区域
(受体浓度Nax)

图7

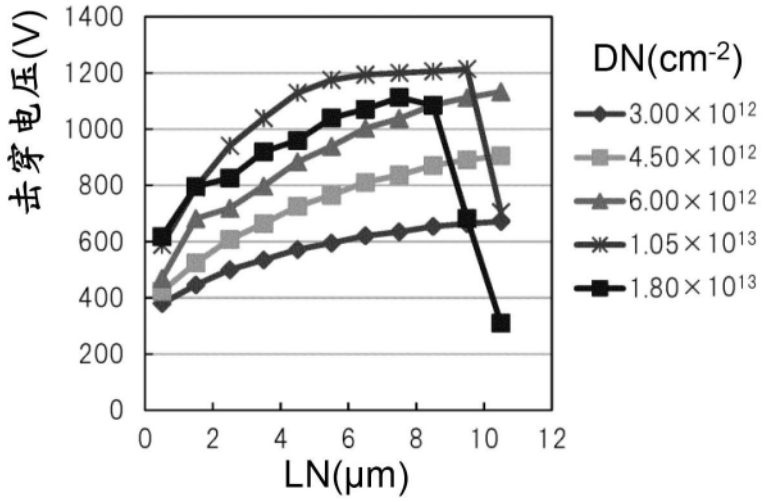

击穿电压(V)
1400
1200
1000
800
600
400
200
0
0
2
4
6
8
10
12
LN(μm)
DN(cm-2)
3.00×10^12
4.50×10^12
6.00×10^12
1.05×10^13
1.80×10^13

图8

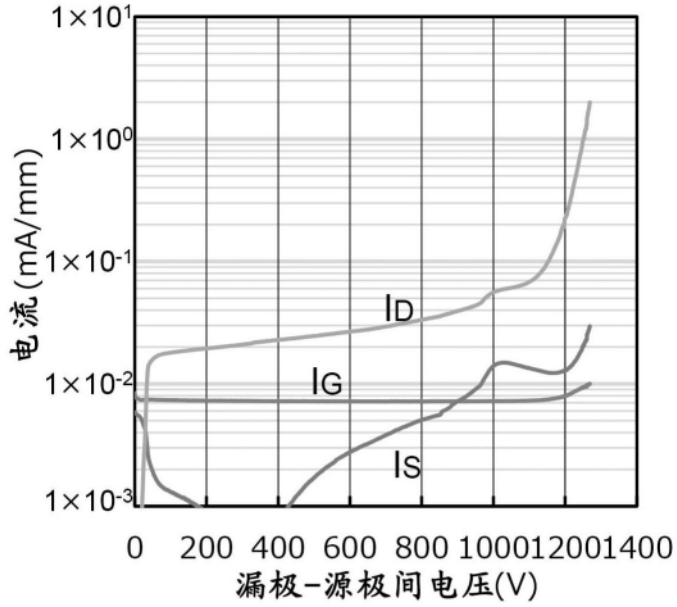

1×10¹
1×10⁰
1×10⁻¹
1×10⁻²
1×10⁻³
电流(mA/mm)
ID
IG
IS
0 200 400 600 800 1000 1200 1400
漏极-源极间电压(V)

图9

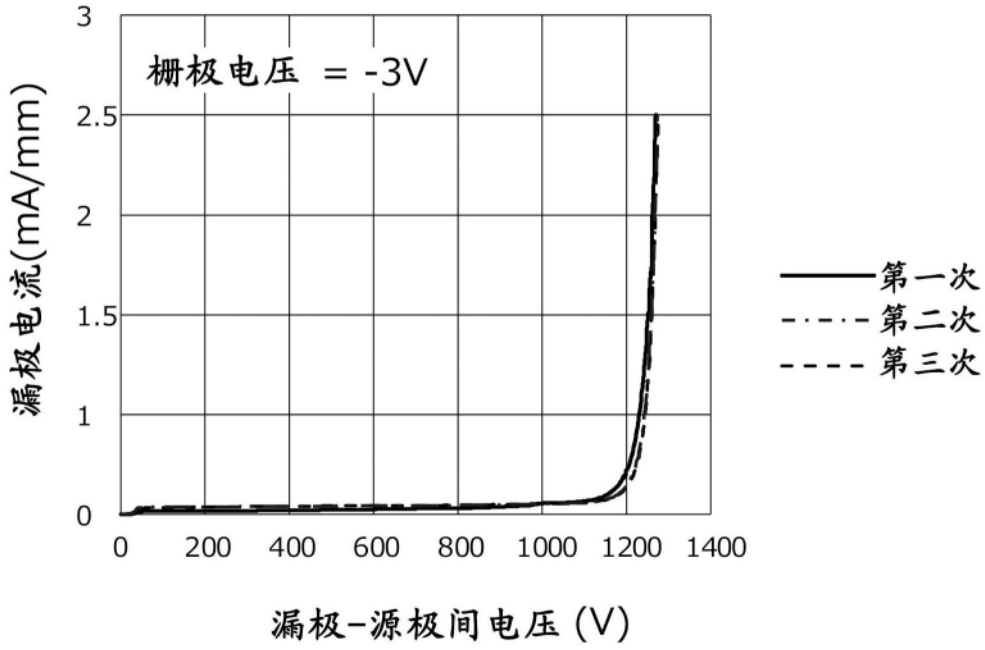

栅极电压 = -3V
漏极电流(mA/mm)
3
2.5
2
1.5
1
0
0 200 400 600 800 1000 1200 1400
漏极-源极间电压 (V)
第一次
第二次
第三次

图10

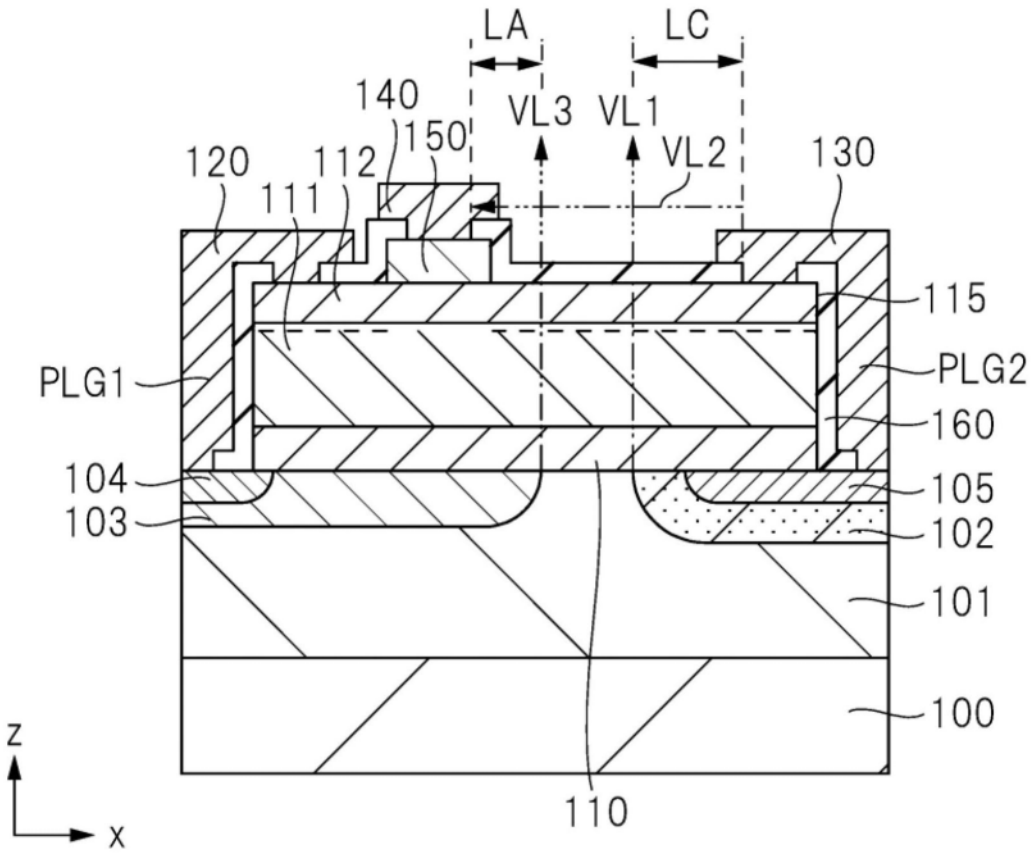

LA
LC
140
150
VL3
VL1
VL2
120
112
111
130
115
PLG1
PLG2
160
104
105
103
102
101
100
110
z
x

图11

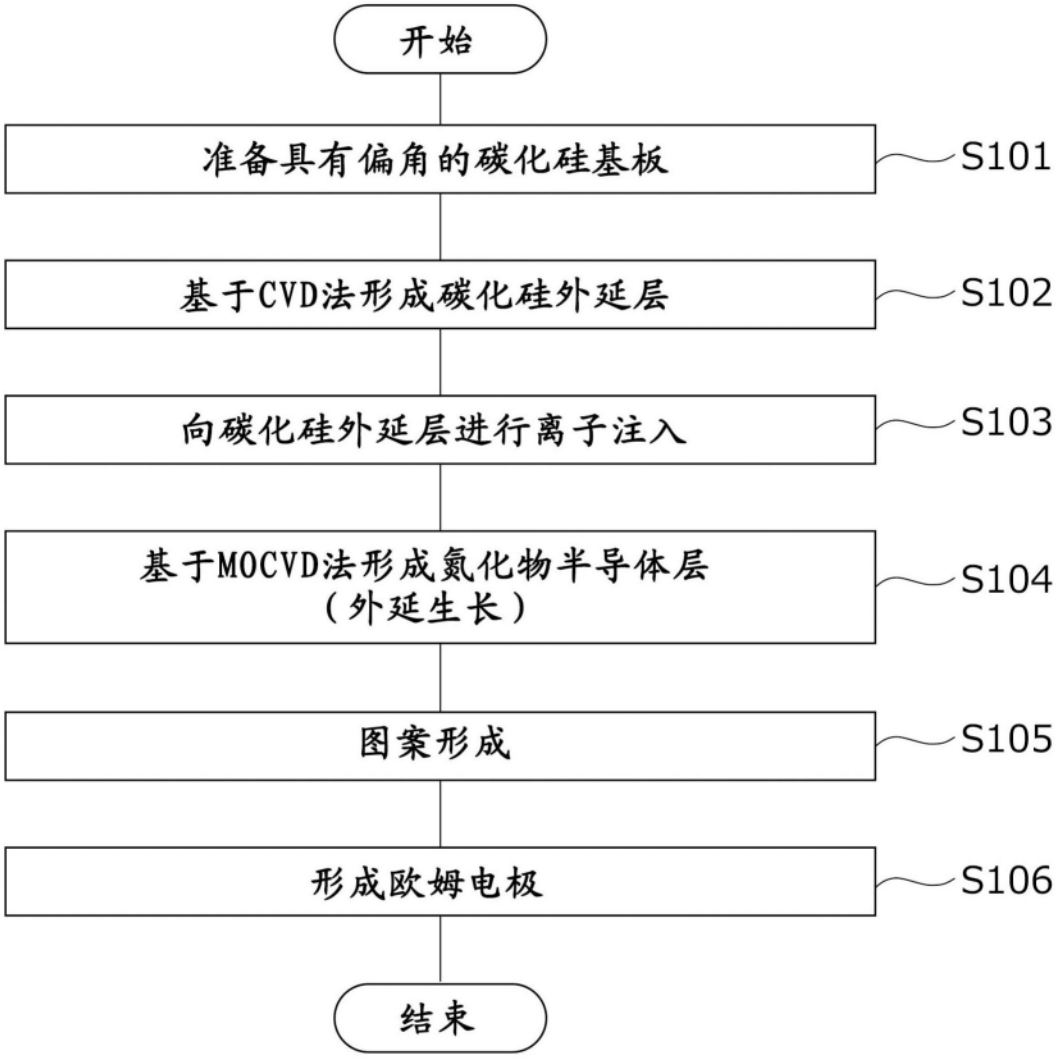

开始
准备具有偏角的碳化硅基板
S101
基于CVD法形成碳化硅外延层
S102
向碳化硅外延层进行离子注入
S103
基于MOCVD法形成氮化物半导体层
（外延生长）
S104
图案形成
S105
形成欧姆电极
S106
结束

图12

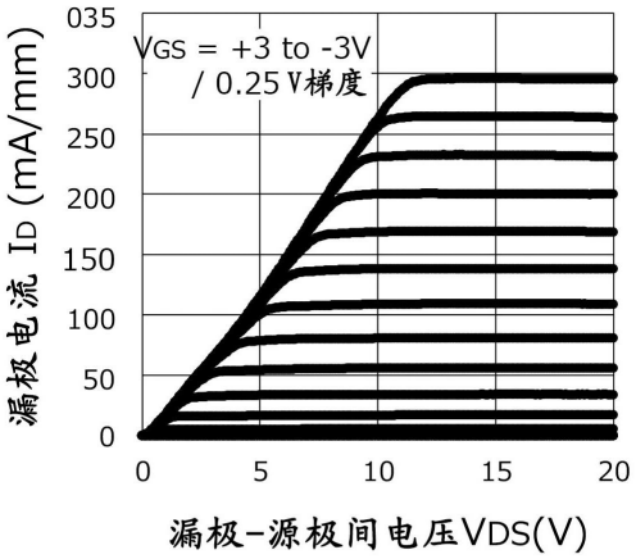

035
300
250
200
150
100
50
0
VGS = +3 to -3V
/ 0.25 V梯度
漏极电流 ID (mA/mm)
0
5
10
15
20
漏极-源极间电压VDS(V)

图13

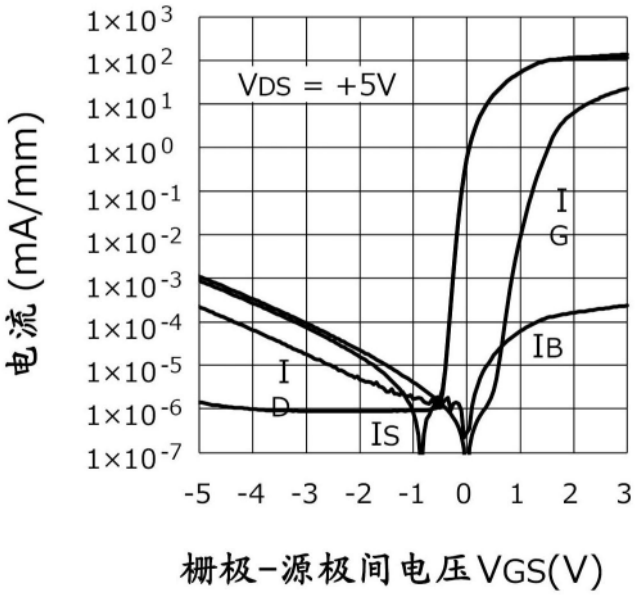

1×10^3
1×10^2
1×10^1
1×10^0
1×10^-1
1×10^-2
1×10^-3
1×10^-4
1×10^-5
1×10^-6
1×10^-7
VDS = +5V
I G
IB
I D
IS
电流 (mA/mm)
-5 -4 -3 -2 -1 0 1 2 3
栅极-源极间电压VGS(V)

图14

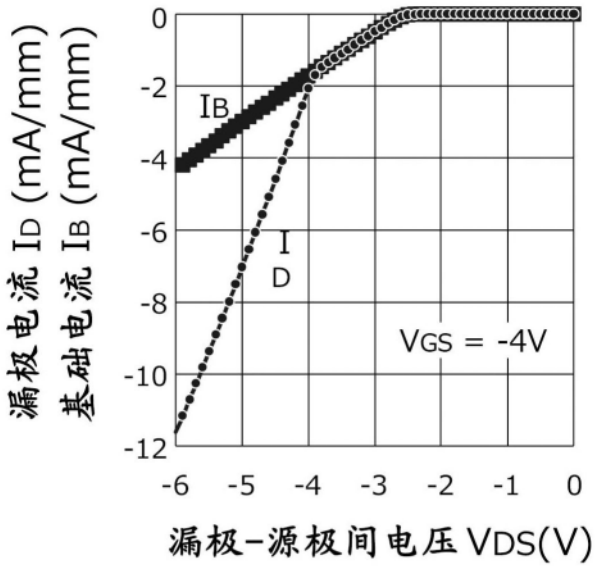

漏极电流 ID (mA/mm)
基础电流 IB (mA/mm)
0
-2
-4
-6
-8
-10
-12
IB
I
D
VGS = -4V
-6 -5 -4 -3 -2 -1 0
漏极-源极间电压 VDS(V)

图15

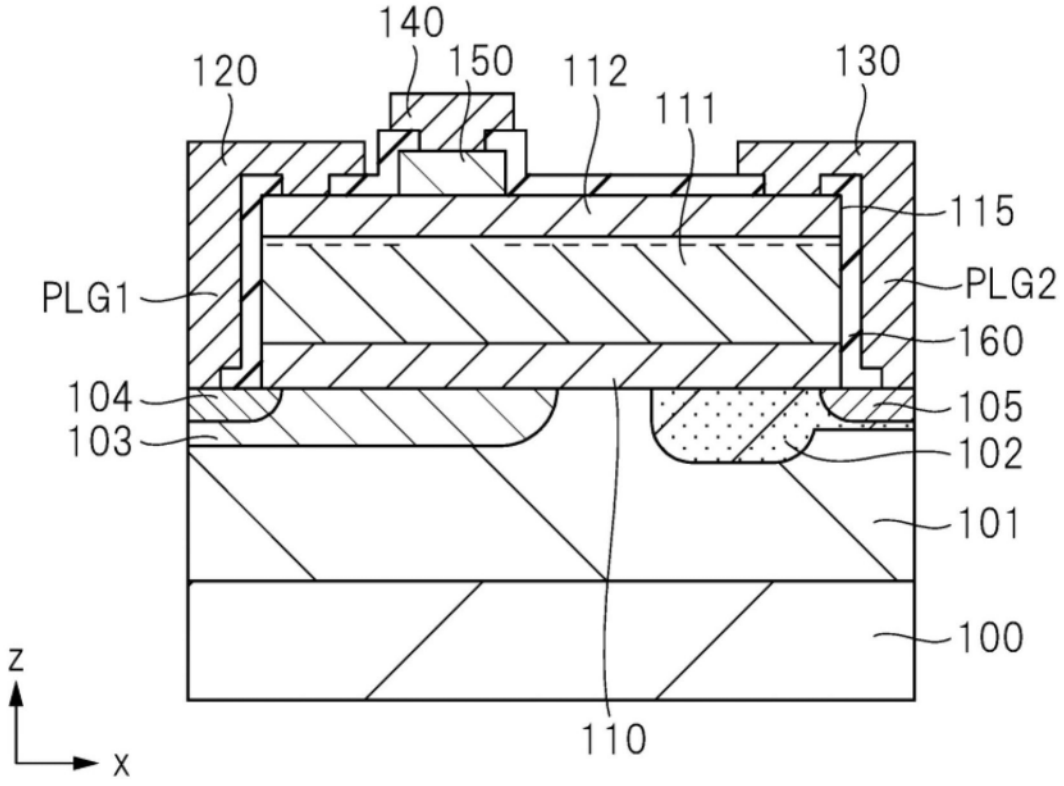

140
120
150
112
111
130
115
PLG1
PLG2
160
104
105
103
102
101
100
110
Z
X

图16

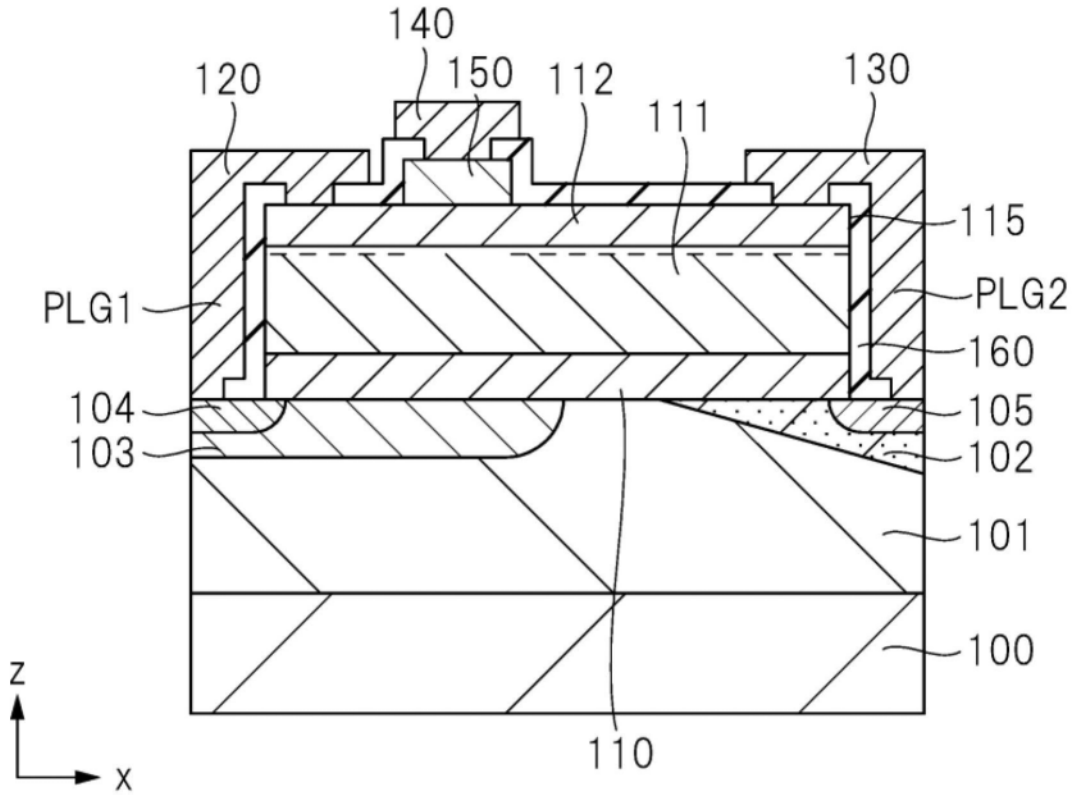

140
120
150
112
111
130
115
PLG1
PLG2
160
104
105
103
102
101
100
110
Z
X

图17

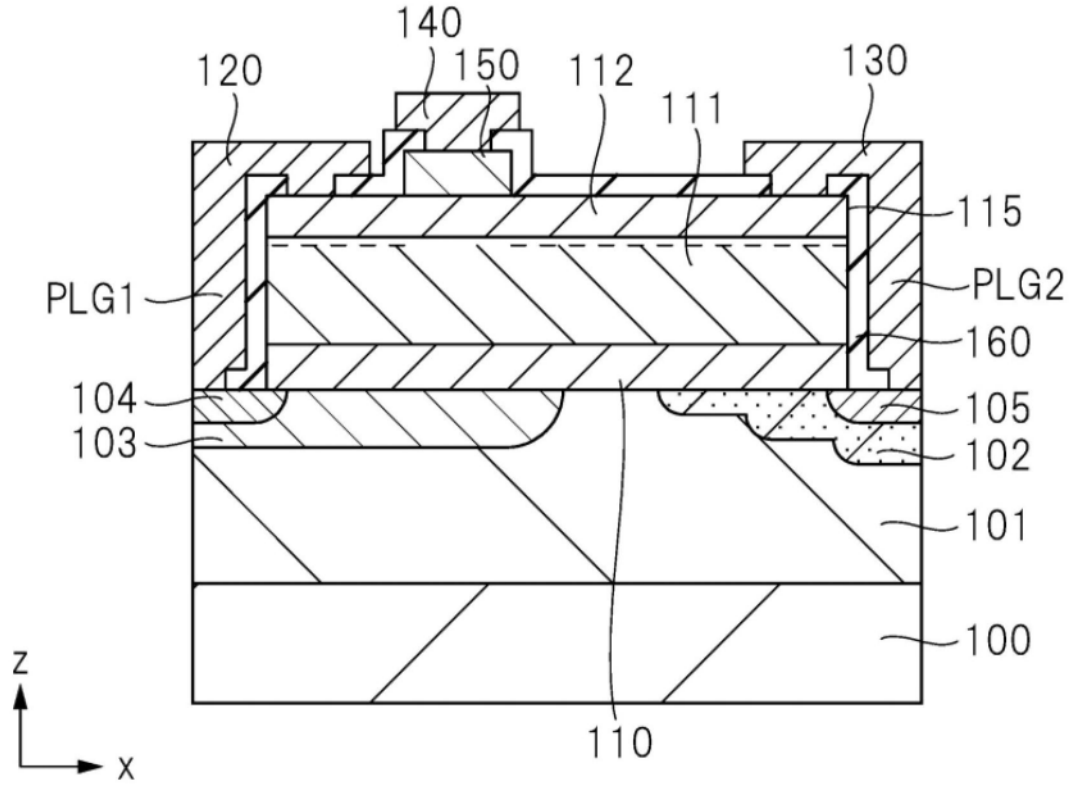

140
120
150
112
111
130
115
PLG1
PLG2
160
104
105
103
102
101
100
110
Z
X

图18

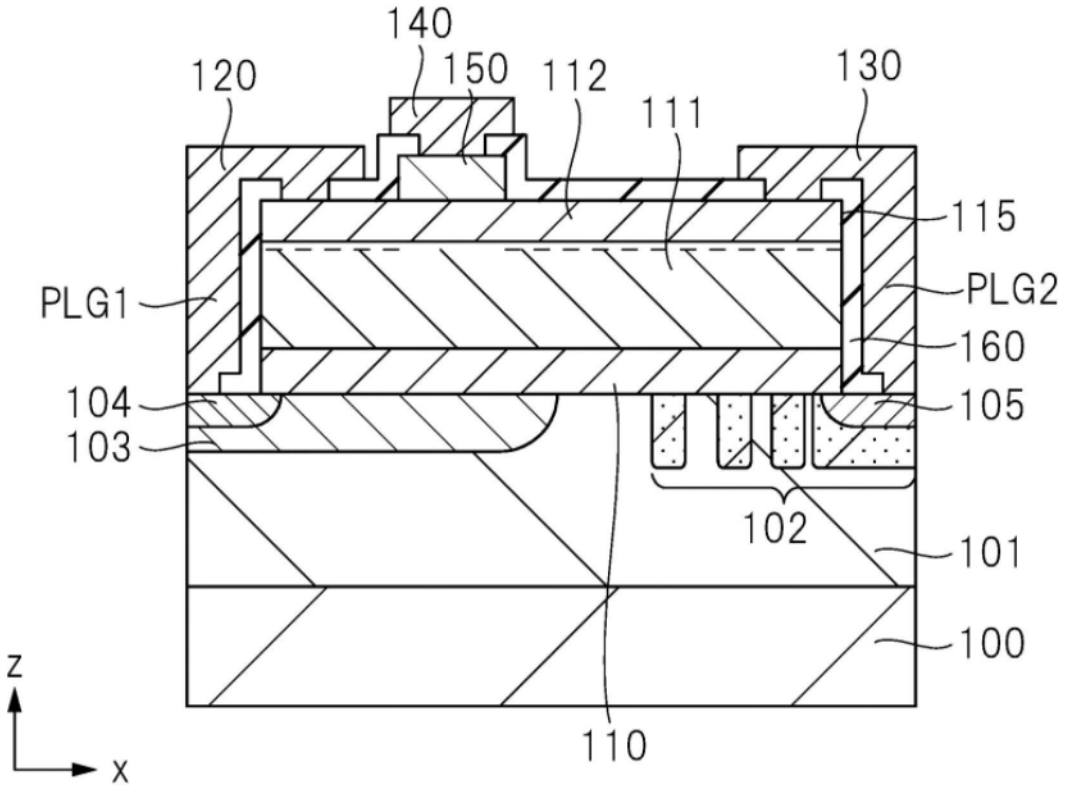

140
150
112
111
120
130
115
PLG1
PLG2
160
104
105
103
102
101
100
110
Z
X

图19

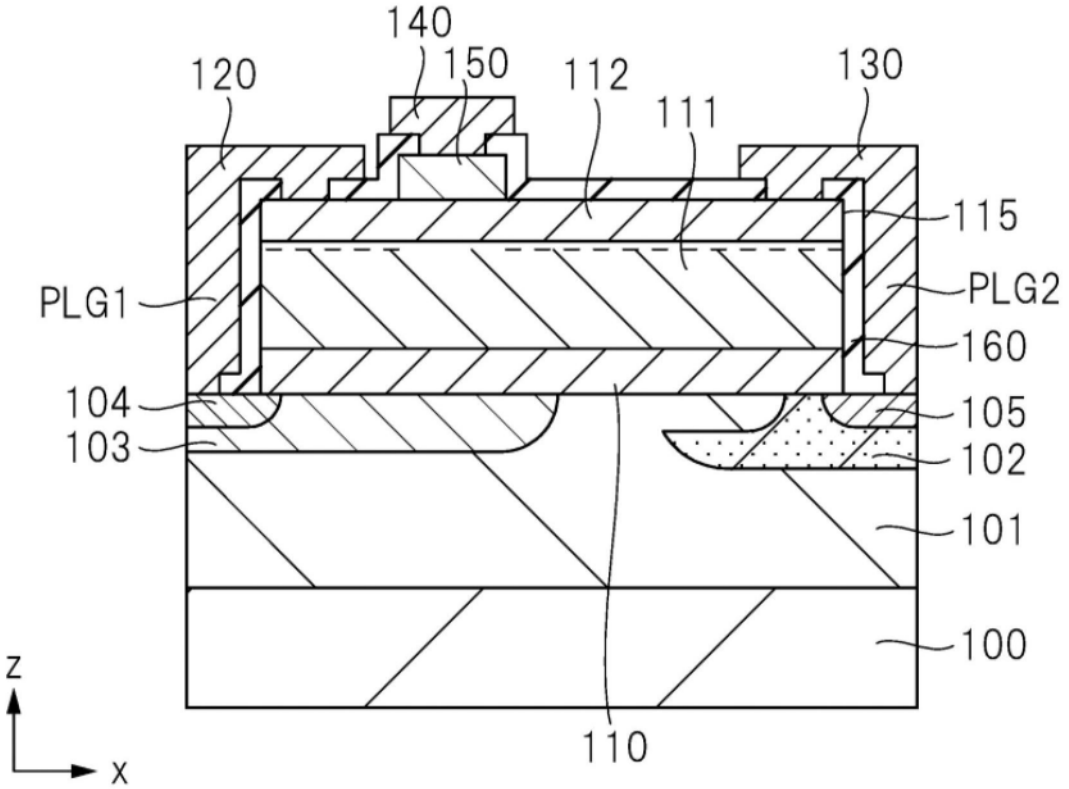

140
150
112
111
120
130
115
PLG1
PLG2
160
104
105
103
102
101
100
110
Z
X

图20

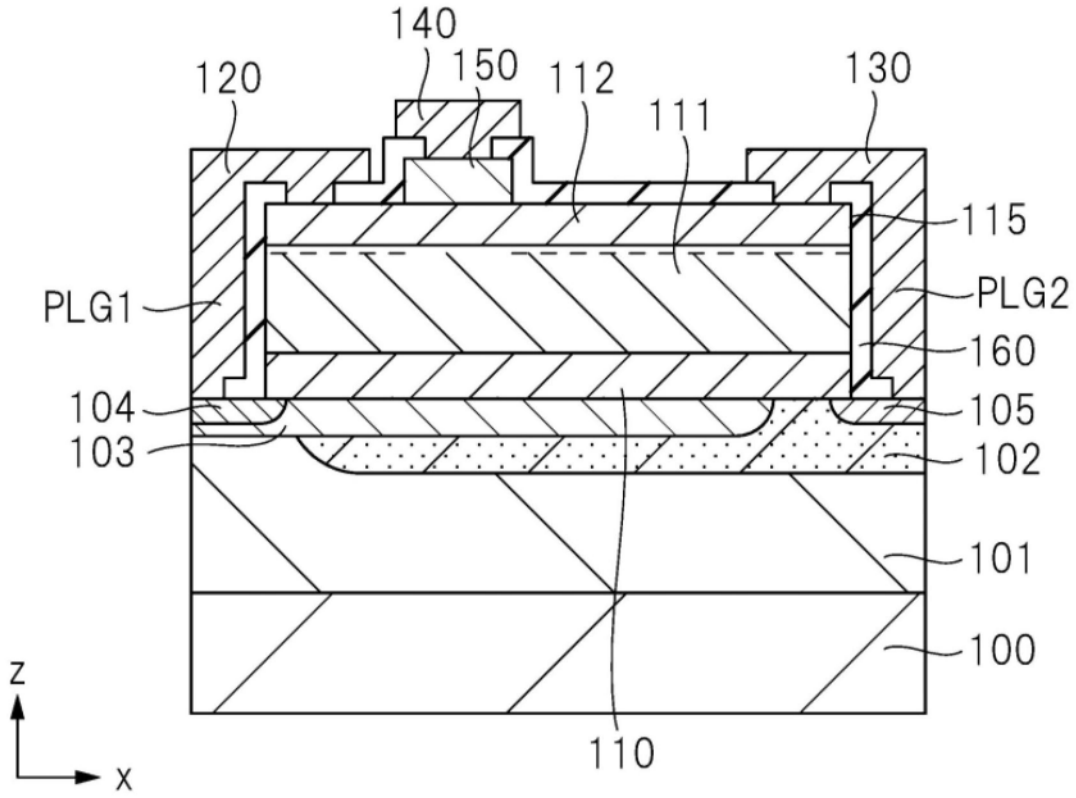

140
150
120
112
111
130
115
PLG1
PLG2
160
104
105
103
102
101
100
110
Z
X

图21

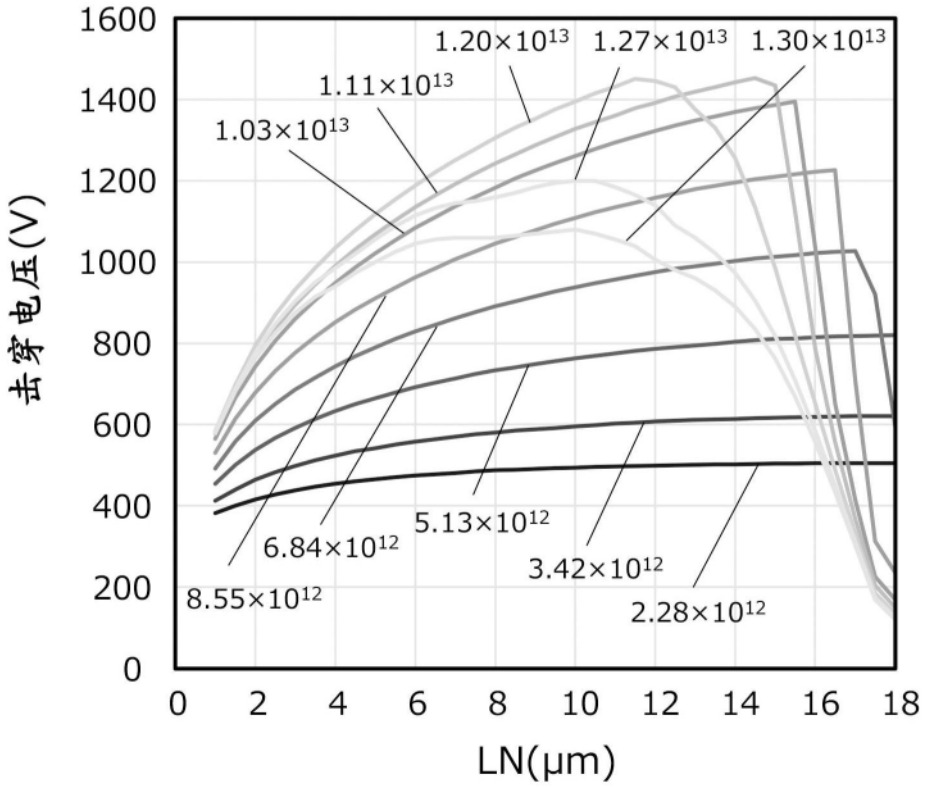

1600
1400
1200
1000
800
600
400
200
0
击穿电压(V)
0
2
4
6
8
10
12
14
16
18
LN(μm)
1.20×10¹³
1.27×10¹³
1.30×10¹³
1.11×10¹³
1.03×10¹³
8.55×10¹²
6.84×10¹²
5.13×10¹²
3.42×10¹²
2.28×10¹²

图22