

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】平成 29 年 7 月 6 日 (2017.7.6)

【公表番号】特表 2016-524228 (P2016-524228A)  
 【公表日】平成 28 年 8 月 12 日 (2016.8.12)  
 【年通号数】公開・登録公報 2016-048  
 【出願番号】特願 2016-516745 (P2016-516745)  
 【国際特許分類】

G 0 6 F 12/02 (2006.01)

G 0 6 F 12/00 (2006.01)

【 F I 】

G 0 6 F 12/02 5 7 0 A

G 0 6 F 12/00 5 1 4 M

G 0 6 F 12/00 5 9 7 U

【手続補正書】  
 【提出日】平成 29 年 5 月 29 日 (2017.5.29)  
 【手続補正 1】  
 【補正対象書類名】特許請求の範囲  
 【補正対象項目名】全文  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】  
 【請求項 1】

メモリ・コントローラであって、

メモリの記憶システム・ブロックとメモリの主メモリ・ブロックとの間に 1 つ以上のエイリアスを作成する要求を受けるように構成されたインタフェースであって、前記メモリの記憶システム・ブロックが記憶システム・データを維持するときに使用され、前記メモリの主メモリ・ブロックがコンピュータの主メモリのために使用される、インタフェースと、

前記メモリの記憶システム・ブロックと前記メモリの主メモリ・ブロックとの間、および前記メモリの記憶システム・ブロックの各サブブロックと前記メモリの主メモリ・ブロックの各対応するサブブロックとの間に、エイリアスを作成するように構成されたエイリアス回路と、

前記主メモリ・ブロックのデータを求める読み取り要求に応答して、前記エイリアスが切断されない限り、前記記憶システム・ブロックからデータを得るように構成された引き出し回路と、  
 を備える、メモリ・コントローラ。

【請求項 2】

請求項 1 記載のメモリ・コントローラにおいて、前記記憶システム・データがファイル・システムのファイル・システム・データを含む、メモリ・コントローラ。

【請求項 3】

請求項 1 記載のメモリ・コントローラにおいて、前記インタフェースが、前記コンピュータ上にホストされたオペレーティング・システムのファイル・システム・ドライバから前記要求を受けるように構成される、メモリ・コントローラ。

【請求項 4】

請求項 1 記載のメモリ・コントローラにおいて、前記メモリの主メモリ・ブロックがメモリのページを含み、前記メモリの主メモリ・ブロックの各サブブロックがキャッシュ・ラインを含む、メモリ・コントローラ。

**【請求項 5】**

請求項 1 記載のメモリ・コントローラにおいて、前記引き出し回路が、更に、エイリアスが切断されていない前記記憶システム・ブロックのサブブロックから第 1 データを得る前記読み取り要求に応答して、エイリアスが切断された前記主メモリ・ブロックのサブブロックから第 2 データを得るように構成され、前記引き出し回路が、更に、前記読み取り要求に応答するために、前記第 1 データおよび前記第 2 データを組み合わせるように構成される、メモリ・コントローラ。

**【請求項 6】**

請求項 1 記載のメモリ・コントローラにおいて、前記エイリアス回路が、更に、前記第 1 サブブロックに書き込む要求または前記第 2 サブブロックに書き込む要求に応答して、第 1 サブブロックから第 2 サブブロックへのエイリアスを切断するように構成される、メモリ・コントローラ。

**【請求項 7】**

請求項 6 記載のメモリ・コントローラにおいて、前記エイリアス回路が、更に、前記書き込み要求の後、および前記第 1 サブブロックからの読み取り要求にサービスする直前に、前記第 1 サブブロックから前記第 2 サブブロックへの前記エイリアスを切断するように構成される、メモリ・コントローラ。

**【請求項 8】**

請求項 1 記載のメモリ・コントローラであって、更に、前記主メモリ・ブロックを新たな位置にコピーする要求に応答するように構成されたコピー回路を含む、メモリ・コントローラ。

**【請求項 9】**

請求項 8 記載のメモリ・コントローラにおいて、前記コピー回路が、前記主メモリ・ブロック内にデータを残し、前記新たな位置から要求されたときに前記データが戻されるようにマッピング・エレメントを変更することによって、前記主メモリ・ブロックを前記新たな位置にコピーする要求に応答するように構成される、メモリ・コントローラ。

**【請求項 10】**

請求項 1 記載のメモリ・コントローラであって、更に、前記主メモリの一部または全部を含む要求メモリ範囲を消去する要求に応答するように構成された消去回路を含む、メモリ・コントローラ。

**【請求項 11】**

請求項 10 記載のメモリ・コントローラにおいて、前記消去回路が、前記要求範囲が消去されたことを示し、その後、前記要求メモリ範囲に関与する読み取り要求に応答して、リード・キャッシュにゼロを入れることによって、前記メモリの要求範囲を消去する要求に応答するように構成される、メモリ・コントローラ。

**【請求項 12】**

請求項 10 記載のメモリ・コントローラにおいて、前記消去回路が、前記主メモリをホストするコンピュータの再起動の指示を受けた後に、前記メモリの要求範囲を消去することによって、前記メモリの要求範囲を消去する要求に応答するように構成される、メモリ・コントローラ。

**【請求項 13】**

請求項 1 記載のメモリ・コントローラにおいて、前記エイリアス回路が、更に、エイリアス・ブロックを移動させる要求に応答して、前記エイリアス・ブロックを再エイリアスするように構成される、メモリ・コントローラ。

**【請求項 14】**

請求項 1 記載のメモリ・コントローラにおいて、前記メモリの主メモリ・ブロックおよび前記記憶システム・ブロックが共に、メモリ・バスに取り付けられた不揮発メモリに含まれる、メモリ・コントローラ。

**【請求項 15】**

少なくとも部分的にコンピュータによって実装される方法であって、

メモリ・コントローラ・インタフェースにおいて、メモリの記憶システム・ブロックとメモリの主メモリ・ブロックとの間にエイリアスを作成する要求を受けるステップであって、前記メモリの記憶システム・ブロックが記憶システム・データを維持するときに使用され、前記メモリの主メモリ・ブロックがコンピュータの主メモリのために使用される、ステップと、

前記メモリの記憶システム・ブロックと前記メモリの主メモリ・ブロックとの間、および前記メモリの記憶システム・ブロックと前記メモリの主メモリ・ブロックとにおける各対応するサブブロックの間に、前記エイリアスを作成するステップと、

データを求める要求に応答して、前記メモリの記憶システム・ブロックから前記データを供給するステップであって、前記要求が、前記メモリの主メモリ・ブロックを示す、ステップと、  
を含む、方法。

【請求項 16】

請求項 15 記載の方法において、前記メモリの記憶システム・ブロックおよび前記メモリの主メモリ・ブロックの一方が不揮発メモリ・デバイスに含まれ、前記メモリの記憶システム・ブロックおよび前記メモリの主メモリ・ブロックの他方が揮発メモリ・デバイスに含まれる、方法。

【請求項 17】

請求項 15 記載の方法であって、更に、

前記データを求める要求に応答して、エイリアスが切断されていない前記記憶システム・ブロックのサブブロックから第 1 データを得ると共に、エイリアスが切断された前記主メモリ・ブロックのサブブロックから第 2 データを得るステップと、

前記第 1 データおよび前記第 2 データを組み合わせ、前記データを求める要求に応答するステップと、  
を含む、方法。

【請求項 18】

コンピュータ実行可能命令を有するコンピュータ記憶媒体であって、前記命令が実行されると、

オペレーティング・システムのファイル・システム・ドライバから、要求をメモリ・コントローラのインタフェースに送るアクションであって、前記要求がメモリの第 1 ブロックとメモリの第 2 ブロックとの間、および前記第 1 および第 2 ブロックの各対応するサブブロックの間における 1 つ以上のエイリアスの作成を要求し、前記メモリの第 1 ブロックが記憶システム・データを維持するときに使用され、前記メモリの第 2 ブロックがコンピュータの主メモリのために使用される、アクションと、

前記ファイル・システム・ドライバから前記メモリ・コントローラに、データを求める要求を送るアクションであって、前記要求が前記メモリの第 1 ブロックを示す、アクションと、

前記データを求める要求に応答して、前記メモリ・コントローラから、前記メモリの第 2 ブロックからのデータを受けるアクションと、  
を含む、コンピュータ記憶媒体。