(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102222660 B
(45)授权公告日 2014.07.02

(21)申请号 201010167961.3

(22)申请日 2010.04.16

(73)专利权人 万国半导体有限公司
地址 美国加利福尼亚州桑尼维尔墨丘利大道 495 号

(72)发明人 刘凯 石磊 鲁军 安荷·叭剌

(74)专利代理机构 上海申新律师事务所 31272
代理人 竺路玲

(51)Int.Cl.
H01L 23/52(2006.01)
H01L 23/495(2006.01)

审查员 王丹

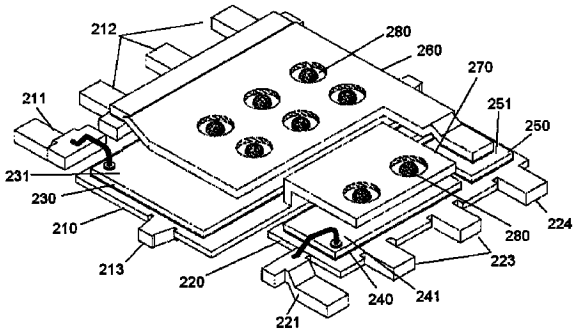
权利要求书3页 说明书8页 附图7页

(54)发明名称

双引线框架多芯片共同封装体及其制造方法

(57)摘要

本发明公开了一种双引线框架多芯片共同封装体及其制造方法，包括两个引线框架；多个芯片，多个芯片包括第一芯片、第二芯片及第三芯片；第一芯片设置在第一引线框架上，第二芯片及第三芯片共同设置在第二个引线框架上，第三芯片为旁路电容；两个连接片，分别为顶部连接片和立体连接片，顶部连接片连接第二芯片的顶部接触区及第一引线框架的外部引脚，并且顶部连接片同时连接第三芯片的顶部接触区。本发明简化了多框架多芯片的封装制成工艺，降低了芯片之间的电阻和电感，并且在封装中集成了一个旁路电容，降低了封装过程中的寄生电感，从而提高了整个器件的能量转换效率，并且减小了半导体封装的尺寸，此外，本发明工艺操作简单，制造成本低。



CN 102222660 B

1. 一种双引线框架多芯片共同封装体，其特征在于，包括：

第一引线框架及第二引线框架，所述第一引线框架包括一个第一芯片座和多个外部引脚，所述第二引线框架包括一个第二芯片座和一个与第二芯片座一体构成的立体连接片，该立体连接片为第二引线框架的一个组成部分；

分别具有数个顶部接触区及一底部接触区的第一芯片及第二芯片；所述第一芯片设置在第一芯片座上，所述第二芯片设置在第二芯片座上；所述第一芯片的底部接触区与第一芯片座电连接，所述第二芯片的底部接触区与第二芯片座电连接；

所述立体连接片连接第一芯片的一第一顶部接触区，使第一芯片与第二芯片座电学连接，从而使第一芯片的第一顶部接触区与第二芯片的底部接触区电学连通。

2. 根据权利要求 1 所述的双引线框架多芯片共同封装体，其特征在于，

还包括一个顶部连接片，所述顶部连接片连接第二芯片的一顶部接触区及至少一外部引脚。

3. 根据权利要求 2 所述的双引线框架多芯片共同封装体，其特征在于，

所述顶部连接片进一步延伸连接第一芯片的一第二顶部接触区。

4. 根据权利要求 2 所述的双引线框架多芯片共同封装体，其特征在于，

还包括具有一顶部接触区及一底部接触区的第三芯片，所述第三芯片设置在第一芯片座上，所述第三芯片的底部接触区与第一芯片座电连接；所述顶部连接片进一步延伸连接第三芯片的顶部接触区。

5. 根据权利要求 4 所述的双引线框架多芯片共同封装体，其特征在于，

所述第一芯片为上管金属氧化物半导体场效应晶体管，所述第二芯片为下管金属氧化物半导体场效应晶体管，所述第三芯片为旁路电容。

6. 一种双引线框架多芯片共同封装体，其特征在于，包括：

两个引线框架，分别为第一引线框架及第二引线框架，所述第一引线框架包括一个第一芯片座和多个外部引脚，所述第二引线框架包括一个第二芯片座和一个与第二芯片座一体构成的立体连接片，该立体连接片为第二引线框架的一个组成部分；

多个芯片，所述多个芯片分别具有顶部接触区及底部接触区；所述多个芯片进一步包括第一芯片、第二芯片及第三芯片；所述第一芯片及第三芯片设置在第一芯片座上，所述第二芯片设置在第二芯片座上，所述第一芯片及第三芯片的底部接触区分别与第一芯片座电学连接，所述第二芯片的底部接触区与第二芯片座电学连接，所述第一芯片和第二芯片还分别包括顶部栅接触区，第一芯片和第二芯片的栅接触区分别与第一引线框架的外部引脚连接；

一个顶部连接片，用于多芯片共同封装体内的连接，所述顶部连接片连接第二芯片的顶部接触区及外部引脚，并且所述顶部连接片同时连接第三芯片的顶部接触区；

所述立体连接片连接第一芯片的顶部接触区，使所述第一芯片的顶部接触区与所述第二芯片座电学连接。

7. 根据权利要求 6 所述的双引线框架多芯片共同封装体，其特征在于，所述第一芯片和第三芯片集成为一个芯片设置在第一引线框架上。

8. 根据权利要求 6 或 7 所述的双引线框架多芯片共同封装体，其特征在于，所述的第一芯片为上管金属氧化物半导体场效应晶体管，所述第二芯片为下管金属氧化物半导体场效

应晶体管，所述第三芯片为旁路电容。

9. 一种双引线框架多芯片共同封装体的制作方法，其特征在于，包括以下步骤：

步骤 1：提供一个第一引线框架，所述第一引线框架包括第一芯片座和多个外部引脚；

步骤 2：提供多个芯片，包括第一芯片及第二芯片，所述第一芯片及第二芯片分别包括底部接触区及顶部接触区；

步骤 3：将所述第一芯片设置在第一芯片座上，第一芯片的底部接触区与第一芯片座通过粘接材料电学连接；

步骤 4：提供一个第二引线框架及一个立体连接片，所述第二引线框架包括一个第二芯片座，所述第二芯片座与所述立体连接片为一体化成形结构，该立体连接片为第二引线框架的一个组成部分，立体连接片连接第一芯片的顶部接触区；

步骤 5：将第二芯片设置在第二芯片座上，第二芯片的底部接触区与第二芯片座电学连接；

步骤 6：提供一个顶部连接片，所述顶部连接片连接第二芯片的顶部接触区及第一引线框架的外部引脚。

10. 一种双引线框架多芯片共同封装体的封装制作方法，其特征在于，包括以下步骤：

步骤 1：提供一个第一引线框架，所述第一引线框架包括第一芯片座及多个外部引脚；

步骤 2：提供多个芯片，多个芯片包括第一芯片、第二芯片及第三芯片，将第一芯片及第三芯片设置在第一芯片座上，所述多个芯片都分别包含底部接触区及顶部接触区，将第一芯片及第三芯片的底部接触区与第一芯片座电学连接；

步骤 3：提供一个第二引线框架，所述第二引线框架包括第二芯片座和一个与第二芯片座一体构成的立体连接片，该立体连接片为第二引线框架的一个组成部分，将所述立体连接片与第一芯片的顶部接触区连接，从而使第一芯片的顶部接触区与第二芯片座电学连接；

步骤 4：将第二芯片设置在第二芯片座上，并将所述第二芯片与所述第二芯片座电学连接；

步骤 5：提供一个顶部连接片，并将顶部连接片连接第二芯片的顶部接触区及第一引线框架的外部引脚，并且所述顶部连接片同时连接第三芯片的顶部接触区；

步骤 6：第一芯片和第二芯片的顶部接触区包括一个栅接触区，第一芯片和第二芯片的栅接触区分别与第一引线框架的外部引脚连接；

步骤 7：清洗引线框架，用塑封体封装引线框架、连接片及芯片，仅露出部分引线框架的外部引脚，电镀引脚。

11. 根据权利要求 10 所述的双引线框架多芯片共同封装体的制造方法，其特征在于，在步骤 2 中，首先将第一芯片与第三芯片集成在一个集成芯片中，然后将所述集成芯片设置在第一引线框架上。

12. 根据权利要求 10 或 11 所述的双引线框架多芯片共同封装体的制造方法，其特征在于，在步骤 6 中还包括以下步骤：

a）在第一芯片的栅极、第二芯片的栅极上回流焊料球形成凸点；

b）用引线分别连接第一芯片和第二芯片上的栅接触区与第一引线框架的外部引脚。

13. 根据权利要求 10 所述的双引线框架多芯片共同封装体的制造方法，其特征在于，

通过粘接材料将芯片设置在芯片座上，并且通过粘接材料进行连接片与芯片顶部接触区的连接，所述立体连接片及顶部连接片上设置多个孔，通过所述多个孔吸附粘接材料，使连接片与芯片的顶部接触区之间稳定连接。

14. 根据权利要求 10 所述的双引线框架多芯片共同封装体的制造方法，其特征在于，所述第一芯片为上管金属氧化物半导体场效应晶体管，所述第二芯片为下管金属氧化物半导体场效应晶体管，所述的第三芯片为旁路电容。

双引线框架多芯片共同封装体及其制造方法

技术领域

[0001] 本发明涉及一种半导体封装结构和制造方法，特别涉及一种双引线框架多芯片共同封装体及其制造方法。

背景技术

[0002] 功率金属氧化物半导体场效应晶体(metal-oxide-semiconductor field effecttransistor，简称MOSFET)器件具有高集成密度、高可靠性、极低的静态漏电流和不断改进的功率处理能力，被广泛的应用在消费电子、计算机等领域。

[0003] 现有技术中，如图1所示，在封装上管金属氧化物半导体场效应晶体管(HSMOSFET)2和下管金属氧化物半导体场效应晶体管(LS MOSFET)1时，将上管MOSFET2和下管MOSFET 1分别设置在一引线框架芯片座4和芯片座3上，通过引线5分别连接下管MOSFET 1和上管MOSFET 2、下管MOSFET 1的顶部接触区与芯片座3以及上管MOSFET 2的底部接触区与芯片座3。

[0004] 现有技术中，如图2所示，将表面安装型的电容11设置在半导体封装12的表面，以降低寄生电感。

[0005] 在上述器件的封装中，通过引线连接芯片，增加了芯片之间的电阻和电感，另外在半导体封装表面设置电容器，增加了半导体封装的尺寸及成本。

发明内容

[0006] 本发明的目的是提供一种双引线框架多芯片共同封装体及其制造方法，该封装结构将连接片用于芯片之间的连接及芯片与芯片座之间的连接，降低了芯片之间的电阻和电感，并且在封装中集成了一个旁路电容，降低了封装过程中的寄生电感，提高了整个器件的能量转换效率，并同时减小了半导体封装的尺寸，本发明的工艺操作简单，易操作，制造成本低。

[0007] 为了达到上述目的，本发明的技术方案是：一种双引线框架多芯片共同封装体，其特点是，包括：

[0008] 第一引线框架及第二引线框架，所述第一引线框架包括一个第一芯片座和多个外部引脚，所述第二引线框架包括一个第二芯片座和一个与第二芯片座一体构成的立体连接片；

[0009] 分别具有数个顶部接触区及一底部接触区的第一芯片及第二芯片；所述第一芯片设置在第一芯片座上，所述第二芯片设置在第二芯片座上；所述第一芯片的底部接触区与第一芯片座电连接，所述第二芯片的底部接触区与第二芯片座电连接；

[0010] 所述立体连接片连接第一芯片的一第一顶部接触区，使第一芯片与第二芯片座电学连接，从而使第一芯片的第一顶部接触区与第二芯片的底部接触区电学连通。

[0011] 上述的双引线框架多芯片共同封装体，其中，

[0012] 还包括一个顶部连接片，所述顶部连接片连接第二芯片的一顶部接触区及至少一

外部引脚。

[0013] 上述的双引线框架多芯片共同封装体，其中，

[0014] 所述顶部连接片进一步延伸连接第一芯片的一第二顶部接触区。

[0015] 上述的双引线框架多芯片共同封装体，其中，

[0016] 所述多个芯片还包括具有一顶部接触区及一底部接触区的第三芯片，所述第三芯片设置在第一芯片座上，所述第三芯片的底部接触区与第一芯片座电连接；所述顶部连接片进一步延伸连接第三芯片的顶部接触区。

[0017] 上述的双引线框架多芯片共同封装体，其中，

[0018] 所述第一芯片为上管金属氧化物半导体场效应晶体管，所述第二芯片为下管金属氧化物半导体场效应晶体管，所述第三芯片为旁路电容。

[0019] 一种双引线框架多芯片共同封装体，其特点是，包括：

[0020] 两个引线框架，分别为第一引线框架及第二引线框架，所述第一引线框架包括一个第一芯片座和多个外部引脚，所述第二引线框架包括一个第二芯片座；

[0021] 多个芯片，所述多个芯片分别具有顶部接触区及底部接触区；所述多个芯片进一步包括第一芯片、第二芯片及第三芯片；所述第一芯片及第三芯片设置在第一芯片座上，所述第二芯片设置在第二芯片座上，所述第一芯片及第三芯片的底部接触区分别与第一芯片座电学连接，所述第二芯片的底部接触区与第二芯片座电学连接，所述第一芯片和第二芯片还分别包括顶部栅接触区，第一芯片和第二芯片的栅接触区分别与第一引线框架的外部引脚连接；

[0022] 一个顶部连接片，用于多芯片共同封装体内的连接，所述顶部连接片连接第二芯片的顶部接触区及外部引脚，并且所述顶部连接片同时连接第三芯片的顶部接触区；

[0023] 所述第一芯片的顶部接触区与所述第二芯片座电学连接。

[0024] 上述的双引线框架多芯片共同封装体，其中，通过引线连接第一芯片的顶部接触区与第二引线框架的内部引脚。

[0025] 上述的双引线框架多芯片共同封装体，其中，所述第一芯片和第三芯片集成为一个芯片设置在第一引线框架上。

[0026] 上述的双引线框架多芯片共同封装体，其中，所述的第一芯片为上管金属氧化物半导体场效应晶体管，所述第二芯片为下管金属氧化物半导体场效应晶体管，所述第三芯片为旁路电容。

[0027] 一种双引线框架多芯片共同封装体的制作方法，其特点是，包括以下步骤：

[0028] 步骤 1：提供一个第一引线框架，所述第一引线框架包括第一芯片座和多个外部引脚；

[0029] 步骤 2：提供多个芯片，包括第一芯片及第二芯片，所述第一芯片及第二芯片分别包括底部接触区及顶部接触区；

[0030] 步骤 3：将所述第一芯片设置在第一芯片座上，第一芯片的底部接触区与第一芯片座通过粘接材料电学连接；

[0031] 步骤 4：提供一个第二引线框架及一个立体连接片，所述第二引线框架包括一个第二芯片座，所述第二芯片座与所述立体连接片为一体化成形结构，立体连接片连接第一芯片的顶部接触区；

[0032] 步骤 5 :将第二芯片设置在第二芯片座上,第二芯片的底部接触区与第二芯片座电学连接 ;

[0033] 步骤 6 :提供一个顶部连接片,所述顶部连接片连接第二芯片的顶部接触区及第一引线框架的外部引脚。

[0034] 一种双引线框架多芯片共同封装体的封装制作方法,其特点是,包括以下步骤 :

[0035] 步骤 1 :提供一个第一引线框架,所述第一引线框架包括第一芯片座及多个外部引脚 ;

[0036] 步骤 2 :提供多个芯片,多个芯片包括第一芯片、第二芯片及第三芯片,将第一芯片及第三芯片设置在第一芯片座上,所述多个芯片都分别包含底部接触区及顶部接触区,将第一芯片及第三芯片的底部接触区与第一芯片座电学连接 ;

[0037] 步骤 3 :提供一个第二引线框架,所述第二引线框架包括第二芯片座,连接第一芯片的顶部接触区及第二芯片座 ;

[0038] 步骤 4 :将第二芯片设置在第二芯片座引上,并将所述第二芯片与所述第二芯片座电学连接 ;

[0039] 步骤 5 :提供一个顶部连接片,并将顶部连接片连接第二芯片的顶部接触区及第一引线框架的外部引脚,并且所述顶部连接片同时连接第三芯片的顶部接触区 ;

[0040] 步骤 6 :第一芯片和第二芯片的顶部接触区包括一个栅接触区,第一芯片和第二芯片的栅接触区分别与第一引线框架的外部引脚连接 ;

[0041] 步骤 7 :清洗引线框架,用塑封体封装引线框架、连接片及芯片,仅露出部分引线框架的外部引脚,电镀引脚。

[0042] 上述的双引线框架多芯片共同封装体的制造方法,其中,在步骤 3 中,还包括一个立体连接片,所述立体连接片与所述第二芯片座为一体化成形结构,或所述立体连接片和所述第二芯片座电学连接,将所述立体连接片与第一芯片的顶部接触区连接,从而使第一芯片的顶部接触区与第二芯片座电学连接。

[0043] 上述的双引线框架多芯片共同封装体的封装制作方法,其中,在步骤 3 中,还包括多个引线,通过所述引线连接第一芯片的顶部接触区与第二芯片座。

[0044] 上述的双引线框架多芯片共同封装体的制造方法,其中,在步骤 2 中,首先将第一芯片与第三芯片集成在一个集成芯片中,然后将所述集成芯片设置在第一引线框架上。

[0045] 上述的双引线框架多芯片共同封装体的制造方法,其中,在步骤 6 中还包括以下步骤 :

[0046] a) 在第一芯片的栅极、第二芯片的栅极上回流焊料球形成凸点 ;

[0047] b) 用引线分别连接第一芯片和第二芯片上的栅接触区与第一引线框架的外部引脚。

[0048] 上述的双引线框架多芯片共同封装体的制造方法,其中,通过粘接材料将芯片设置在芯片座上,并且通过粘接材料进行连接片与芯片顶部接触区的连接,所述立体连接片及顶部连接片上设置多个孔,通过所述多个孔吸附粘接材料,使连接片与芯片的顶部接触区之间稳定连接。

[0049] 上述的双引线框架多芯片共同封装体的制造方法,其中,所述第一芯片为上管金属氧化物半导体场效应晶体管,所述第二芯片为下管金属氧化物半导体场效应晶体管,所

述的第三芯片为旁路电容。

[0050] 上述的双引线框架多芯片共同封装体的制造方法，其中，所述第一引线框架和第二引线框架为一个整体框架。

[0051] 本发明一种双引线框架多芯片共同封装体及其制造由于采用上述技术方案，使之与现有技术相比，具有以下优点和积极效果：

[0052] 1、本发明通过一个连接片同时连接两个芯片及引线框架的引脚，简化了制作工艺。

[0053] 2、本发明由于将连接片用于芯片之间及芯片与芯片座之间的连接，降低了芯片之间的电阻和电感，并且缩小了芯片之间的距离。

[0054] 3、本发明由于在芯片的封装中集成一个旁路电容，从而使寄生电感最小化，提高了整个器件的能量转换效率。

[0055] 4、本发明双引线框架多芯片共同封装体的工艺制作简单、易操作，制造成本低。

附图说明

[0056] 参考所附附图，以更加充分的描述本发明的实施例。然而，所附附图仅用于说明和阐述，并不构成对本发明范围的限制。

[0057] 图 1 为现有技术中上管 MOSFET 和下管 MOSET 的封装结构示意图。

[0058] 图 2 为现有技术中在半导体封装表面设置电容的结构示意图。

[0059] 图 3 为实施例一双引线框架多芯片共同封装体的结构示意图。

[0060] 图 4 为实施例一双引线框架多芯片共同封装体的制作方法流程图

[0061] 图 5 为实施例二双引线框架多芯片共同封装体的结构示意图。

[0062] 图 6 为实施例二双引线框架多芯片共同封装体的制作方法流程图。

[0063] 图 7 为实施例二双引线框架多芯片共同封装体的制作方法过程中提供的第一引线框架结构示意图。

[0064] 图 8 为实施例二双引线框架多芯片共同封装体的制作方法过程中将第一芯片和第三芯片设置在第一芯片座上的结构示意图。

[0065] 图 9 为实施例二双引线框架多芯片共同封装体的制作方法过程中一体化成形的第二芯片座及立体连接片的结构示意图。

[0066] 图 10 为实施例二双引线框架多芯片共同封装体的制作方法过程中一个第二芯片及顶部连接片的结构示意图。

[0067] 图 11 为实施例三双引线框架多芯片共同封装体的结构示意图。

[0068] 图 12 为实施例四双引线框架多芯片共同封装体的结构示意图。

[0069] 图 13 为实施例四双引线框架多芯片共同封装体的制作方法流程图。

具体实施方式

[0070] 实施例一、如图 3 所示，一种双引线框架多芯片共同封装体，包括两个引线框架，两个芯片及两个连接片。两个引线框架分别为第一引线框架 101 及第二引线框架 102，第一引线框架 101 包括第一芯片座 110 及多个外部引脚 111、112、113、114 及多个内部引脚（可选项，图中未显示），多个外部引脚是为了与内部芯片对应连接，实际应用时可按需要

增加或者减少；第二引线框架 102 包括第二芯片座 120 及多个内部引脚（可选项图中未显示）及多个连筋 121、122，连筋 121、122 用于引线框架之间的连接，同时对引线框架起加固作用。多个芯片分别具有顶部接触区（图中未显示）及底部接触区（图中未显示），两个芯片分别为第一芯片 130 及第二芯片 140；通过粘接材料，优选地如通过导电胶或焊锡膏将第一芯片 130 设置在第一芯片座 110 上，同样，通过粘接材料将第二芯片 140 设置在第二芯片座 120 上；第一芯片 130 的底部接触区与第一引线框架 101 的外部引脚 112 电学连接，第二芯片 140 的底部接触区与第二芯片座 120 电学连接。连接片用于多芯片共同封装体内的连接，两个连接片包括立体连接片 150 及顶部连接片 160，优选地，立体连接片 150 与第二芯片座 120 为一体化成形结构，为第二引线框架 102 的一个组成部分，或者，立体连接片 150 与第二芯片座 120 电学连接；同时通过导电粘接材料的粘结作用立体连接片 150 连接第一芯片 130 的顶部接触区，使第一芯片 130 与第二芯片座 120 电学连接，由于第二芯片 140 与第二芯片座 120 电学连接，因而通过立体连接片 150 及第二芯片座 120，第一芯片 130 与第二芯片 140 电学连通。顶部连接片 160 连接第二芯片 140 的顶部接触区及第一芯片座的 110 外部引脚 114，优选地，第一芯片 130 为上管金属氧化物半导体场效应晶体管，第二芯片 140 为下管金属氧化物半导体场效应晶体管。在本实施例中，立体连接片 150 及顶部连接片 160，一方面缩小了上管金属氧化物半导体场效应晶体管和下管金属氧化物半导体场效应晶体管之间的距离，另一方面减少了芯片之间的电感和电阻，其中由于立体连接片 150 与第二芯片座 120 一体成形，确保立体连接片 150 与第二芯片座 120 之间稳定连接，本实施例列举了两个芯片的封装，在实际封装过程中，可在双引线框架上设置多个芯片，通过连接片连接各个芯片，实现双引线框架多芯片的共同封装，制作工艺简单方便。

[0071] 双引线框架多芯片共同封装体在制作过程，如图 4 所示，包括以下几个步骤：首先，提供一个第一引线框架 101，第一引线框架 101 包括芯片座 110 及多个外部引脚 111、112、113、114，还可选择性地包括多个内部引脚（图中未显示）；同时提供多个芯片，包括第一芯片 130 及第二芯片 140，优选地，第一芯片 130 为上管金属氧化物半导体场效应晶体管，第二芯片 140 为下管金属氧化物半导体场效应晶体管，第一芯片 130 及第二芯片 140 分别包括底部接触区及顶部接触区；其次，通过导电粘接材料将第一芯片 130 设置在第一芯片座 110 上，第一芯片 130 的底部接触区与第一芯片座电学连接，并通过连接第一芯片座 110 的外部引脚 112 引出；接着，提供一个第二引线框架 102 及一个立体连接片 150，第二引线框架 102 包括芯片座 120，还可包括多个内部引脚（图中未显示）多个连筋 121、122，优选地，第二芯片座 120 与立体连接片 150 为一体化成形结构，为第二引线框架 102 的一个组成部分，或立体连接片 150 与第二芯片座 120 电学连接，立体连接片 150 通过导电粘接剂连接第一芯片 130 的顶部接触区；然后，通过导电粘接材料，例如通过导电胶或焊锡膏将第二芯片 140 设置在第二芯片座 120 上，第二芯片 140 的底部接触区与第二芯片座 120 电学连接；最后，提供一个顶部连接片 160，顶部连接片 160 连接第二芯片 140 的顶部接触区及第一引线框架 101 的外部引脚 114。

[0072] 实施例二、如图 5 所示，一种双引线框架多芯片共同封装体，包括两个引线框架、三个芯片及两个连接片。两个引线框架分别为第一引线框架 201 及第二引线框架 202，第一引线框架 201 包括第一芯片座 210 及多个外部引脚 211、212、213、214、215 及选择性的多个内部引脚（图中未显示），多个外部引脚是为了与内部芯片对应连接，实际应用时可按需要

增加或者减少；第二引线框架 202 包括第二芯片座 220 和选择性的多个内部引脚（图中未显示）及多个连筋 221、222，连筋 221、222 用于引线框架之间的连接，同时对引线框架起加固作用。多个芯片分别具有顶部接触区及底部接触区，多个芯片包括第一芯片 230、第二芯片 240 及第三芯片 250；第一芯片 230 及第三芯片 250 通过导电粘接材料设置在第一芯片座 210 上，同样通过导电粘接材料将第二芯片 240 设置在第二芯片座 220 上，优选地，导电粘接材料为锡焊膏或导电胶。第一芯片 230 及第三芯片 250 的底部接触区分别与第一芯片座 210 的外部引脚 212、213 电学连接，第二芯片 240 的底部接触区与第二芯片座 220 电学连接；第一芯片 230 和第二芯片 240 还分别包括栅接触区 2311、2411，第一芯片 230 和第二芯片 240 的栅接触区 2311、2411 分别与第一芯片座 210 的外部引脚 211、214 电学连接，优选地，第一芯片 230 及第二芯片 240 的栅接触区 2311、2411 通过引线 280 分别与第一引线框架 210 的外部引脚 211、214 连接。两个连接片分别为立体连接片 260 及顶部连接片 270，立体连接片 260 及顶部连接片 270 上分别设有多个孔 261、271，多个孔 261、271 用于吸附粘接材料，使连接片与芯片的顶部接触区之间稳定连接，优选地，立体连接片 260 和第二芯片座 220 一体成型，为第二引线框架 202 的一个组成部分，或者立体连接片 260 与第二芯片座 220 电学连接，立体连接片 260 连接第一芯片 230 的顶部接触区，从而使第一芯片 230 的顶部接触区与第二芯片座 220 电学连接；顶部连接片 270 用于多芯片共同封装体内的连接，顶部连接片 270 连接第二芯片 220 的顶部接触区及第一引线框架 201 的外部引脚 215，并且顶部连接片 270 同时连接第三芯片 250 的顶部接触区；优选地，第一芯片 230 为上管金属氧化物半导体场效应晶体管，第二芯片 240 为下管金属氧化物半导体场效应晶体管，第三芯片 250 为旁路电容，旁路电容 250 用于降低寄生电感，在本实施例中，立体连接片 260 及顶部连接片 270，一方面缩小了上管金属氧化物半导体场效应晶体管和下管金属氧化物半导体场效应晶体管之间的距离，另一方面同时减少了芯片之间的电感和电阻，其中由于立体连接片 260 与第二芯片座 220 一体成形，立体连接片 260 与第二芯片座 220 之间的连接稳定，此外，旁路电容降低电路中的寄生电感，提高了整个器件的能量转换效率，本实施例列举了两个芯片的封装，在实际封装过程中，可在双引线框架上设置多个芯片，通过连接片连接各个芯片，实现双引线框架多芯片的共同封装。

[0073] 双引线框架多芯片共同封装体在制作过程时，如图 6-10 所示，包括以下步骤，如图 7 所示，首先提供一个第一引线框架 201，第一引线框架 201 包括第一芯片座 210 及多个外部引脚 211、212、213、214、215，还可选择性地包括多个内部引脚（图中未显示）；其次提供多个芯片，多个芯片包括第一芯片 230、第二芯片 240 及第三芯片 250，优选地，第一芯片 230 为上管金属氧化物半导体场效应晶体管，第二芯片 240 为下管金属氧化物半导体场效应晶体管，第三芯片 250 为旁路电容，第一芯片 230、第二芯片 240 及第三芯片 250 都分别包含底部接触区（图中未显示）及顶部接触区 231、241、251，如图 8 所示，将第一芯片 230 及第三芯片 250 设置在第一芯片座 210 上，优选地，通过粘接剂，例如通过导电胶或焊锡膏将第一芯片 230 及第三芯片 250 设置在第一芯片座 210 上，同时将第一芯片 230 及第三芯片 250 的底部接触区与第一芯片座 210 电学连接；再次，如图 9 所示，提供一个第二引线框架 202 及一个立体连接片 260，优选地，立体连接片 260 与第二芯片座 220 为一体化成形结构，或立体连接片 260 和第二芯片座 220 电学连接，第二引线框架 202 包括多个连筋 221、222，立体连接片 260 上设有多个孔 261，在孔位置吸附粘接剂，通过粘接剂将立体连接片 260 与

第一芯片 230 的顶部接触区 231 连接，优选地，将立体连接片 260 与第一芯片 230 的源接触区连接，从而使第一芯片 230 的顶部接触区与第二芯片座 220 电学连接；接着，如图 10 所示，将第二芯片 240 设置在第二芯片座 220 上，并将第二芯片 240 的底部接触区与第二芯片座 220 电学连接；然后提供一个顶部连接片 270，顶部连接片 270 上设有多个孔 271，在多个孔 271 的位置吸附粘接剂，从而连接顶部连接片 270 及第二芯片的顶部接触区，同时顶部连接片 270 连接第一引线框架 201 的外部引脚 215 及第三芯片 250 的顶部接触区 251；接着，在第一芯片和第二芯片的栅接触区 2311、2411 处回流焊料球形成凸点，通过引线 280 分别将第一芯片及第二芯片的栅接触区 2311、2411 连接至第一引线框架的引脚 211、214 上；最后，清洗引线框架用塑封体封装芯片座、连接片及芯片，仅露出部分引线框架的外部引脚以及电镀引脚。

[0074] 实施例三、如实施例 11 所示，一种双引线框架多芯片共同封装体，包括两个引线框架、两个连接片及三个芯片，两个引线框架分别为第一引线框架 301 及第二引线框架 302，两个连接片分别为立体连接片 350 及顶部连接片 360，三个芯片分别为第一芯片、第二芯片 340 及第三芯片，优选地，第一芯片上管金属氧化物半导体场效应晶体管，第二芯片 340 为下管金属氧化物半导体场效应晶体管，第三芯片为旁路电容，如图 10 所示，实施例三与实施例二基本相同，区别在于，上管金属氧化物半导体场效应晶体管和旁路电容首先集成为一个芯片 330 设置在第一芯片座 310 上，将上管金属氧化物半导体场效应晶体管与旁路电容集成在一个集成芯片上，降低了芯片的寄生电感，提高了整个器件的能量转换效率，并且提高芯片封装的集成度。

[0075] 实施例四、如图 12 所示，一种双引线框架多芯片共同封装体，包括两个引线框架、三个芯片及一个连接片。两个引线框架分别为第一引线框架 401 及第二引线框架 402，优选地，第一引线框架和第二引线框架为一个整体基板的两个部分，整个基板可包括多个部分，第一引线框架 401 包括第一芯片座 410 及多个外部引脚 411、412、413、414、415，还可选择性地包括多个内部引脚（图中未显示），第二引线框架 402 包括第二芯片座 420 及多个连筋 421、422，还可包括多个内部引脚（图中未显示）。多个芯片分别具有顶部接触区及底部接触区，多个芯片包括第一芯片 430、第二芯片 440 及第三芯片 450；优选地，第一芯片 430 为上管金属氧化物半导体场效应晶体管，第二芯片 440 为下管金属氧化物半导体场效应晶体管，第三芯片 450 为旁路电容。第一芯片 430 及第三芯片 450 通过粘接材料设置在第一芯片座 410 上，第二芯片 440 通过粘接材料设置在第二芯片座 420 上，第一芯片 430 及第三芯片 450 的底部接触区分别与第一芯片座 410 电学连接，第二芯片 440 的底部接触区与第二芯片座 420 电学连接，第一芯片 430 和第二芯片 440 还分别包括栅接触区 4311、4411，第一芯片 430 和第二芯片 440 的栅接触区 4311、4411 分别与第一引线框架 401 的外部引脚 411、414 电学连接，优选地，第一芯片 430 及第二芯片 440 的栅接触区 4311、4411 通过引线 480 分别与第一芯片座 410 的外部引脚 411、414 连接。一个连接片为顶部连接片 460，顶部连接片 460 上设有多个孔 461，多个孔 461 用于吸附粘接材料，从而更好的连接顶部连接片 460 及第二芯片 420 的顶部接触区；顶部连接片 460 连接第二芯片 420 的顶部接触区及第一引线框架 401 的外部引脚 415，并且顶部连接片 460 同时连接第三芯片 450 的顶部接触区；第一芯片 430 的顶部接触区 4312 通过引线 470 与第二芯片座 420 电学连接，从而使第一芯片 430 与第二芯片 420 电学连接，在本实施例中，顶部连接片 460 用于芯片之间及芯片与芯片

座之间的连接，降低了芯片之间的电感，提高了连接的稳定性，同时在局部芯片之间通过引线连接，提高了芯片连接的灵活性。

[0076] 双引线框架多芯片共同封装体的制作过程，包括以下步骤，首先提供一个整体基板，整体基板包括第一引线框架 401 及第二引线框架 402，第一引线框架 401 包括第一芯片座 410 及多个外部引脚 411、412、413、414、415，还可包括多个内部引脚（图中未显示），第二引线框架 402 包括第二芯片座 420 及多个连筋 421、422，还可包括多个内部引脚（图中未显示），优选地，第一引线框架 401 和第二引线框架 402 为一个整体框架，然后提供多个芯片，多个芯片包括第一芯片 430、第二芯片 440 及第三芯片 450，优选地，第一芯片 430 为上管金属氧化物半导体场效应晶体管，第二芯片 440 为下管金属氧化物半导体场效应晶体管，第三芯片 450 为旁路电容，将第一芯片 430 及第三芯片 450 设置在第一芯片座 410 上，优选地，通过粘结剂，例如通过导电胶或焊锡膏将第一芯片 430 及第三芯片 450 设置在第一芯片座 410 上，同时将第一芯片 430 及第三芯片 450 的底部接触区电学连接第一芯片座 410 与外部引脚 412、413 电学连接；再次，通过引线 470 连接第一芯片 430 的顶部接触区及第二芯片座或与第二芯片座电学连接的内部引脚（图中未显示），然后，将第二芯片 440 设置在第二芯片座上，第二芯片 440 与第二芯片座 420 电学连接；接着提供一个顶部连接片 460，顶部连接片 460 上设有多个孔 461，多个孔 461 吸附粘接材料，连接顶部连接片 460 与第二芯片 440 的顶部接触区，将顶部连接片 460 连接第二芯片 440 的顶部接触区及第一引线框架 401 的外部引脚 415，并且顶部连接片 460 同时连接第三芯片 450 的顶部接触区；接着，通过引线 480 分别将第一芯片 430 及第二芯片 440 的栅接触区 4311、4411 连接至第一引线框架的引脚 411、414 上；最后，清洗引线框架，用塑封体封装芯片座、连接片及芯片，仅露出部分引线框架的外部引脚，电镀引脚。

[0077] 当然，必须认识到，上述介绍是有关本发明优选实施例的说明，只要不偏离随后所附权利要求所显示的精神和范围，本发明还存在着许多修改。

[0078] 本发明决不是仅局限于上述说明或附图所显示的细节和方法。本发明能够拥有其它的实施例，并可采用多种方式予以实施。另外，大家还必须认识到，这里所使用的措辞和术语以及文摘只是为了实现介绍的目的，决不是仅仅局限于此。

[0079] 正因为如此，本领域的技术人员将会理解，本发明所基于的观点可随时用来作为实施本发明的几种目标而设计其它结构、方法和系统。所以，至关重要的是，所附的权利要求将被视为包括了所有这些等价的建构，只要它们不偏离本发明的精神和范围。

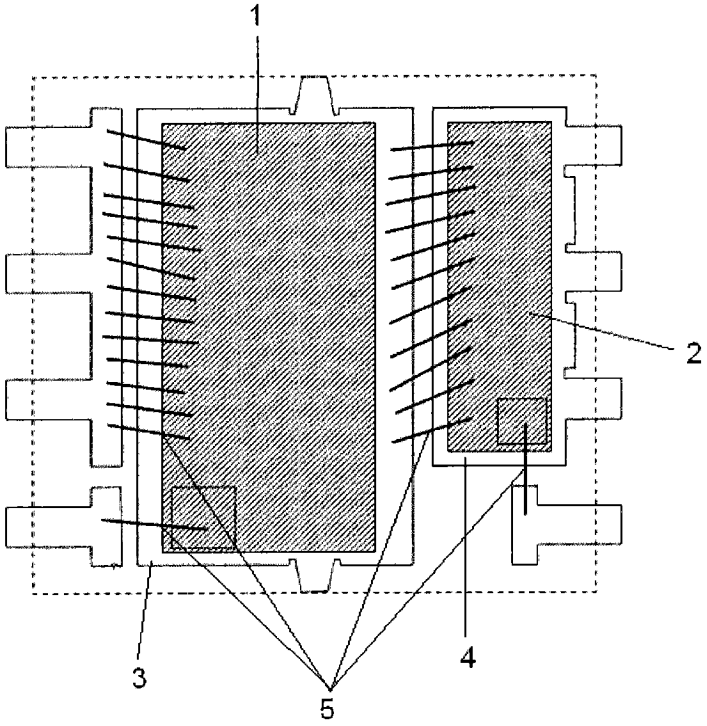


图 1

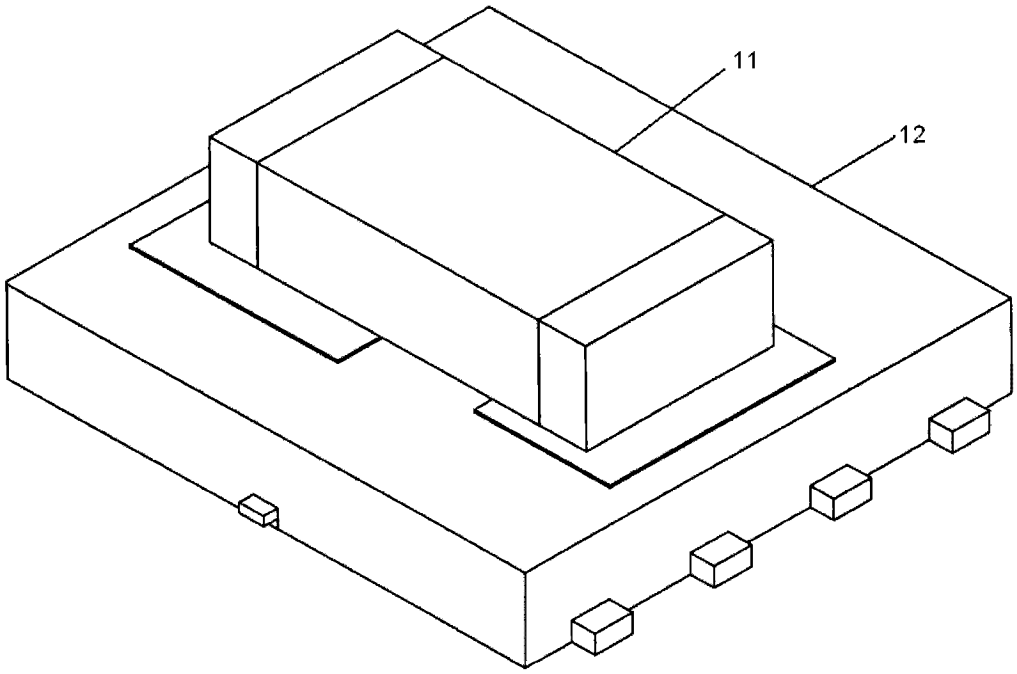


图 2

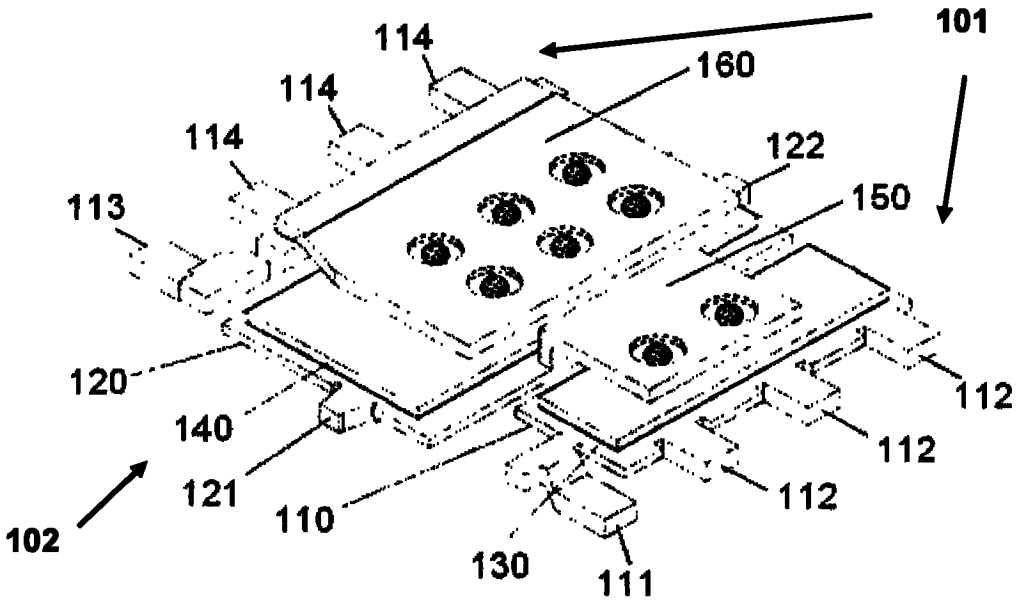

101
114
160
114
114
122
113
150
120
112
140
112
121
112
110
102
130
111

图 3

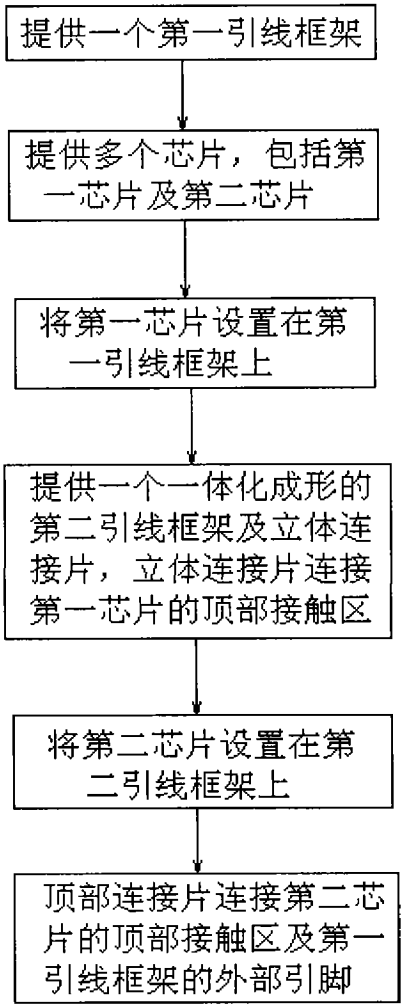

提供一个第一引线框架
提供多个芯片，包括第一芯片及第二芯片
将第一芯片设置在第一引线框架上
提供一个一体化成形的第二引线框架及立体连接片，立体连接片连接第一芯片的顶部接触区
将第二芯片设置在第二引线框架上
顶部连接片连接第二芯片的顶部接触区及第一引线框架的外部引脚

图 4

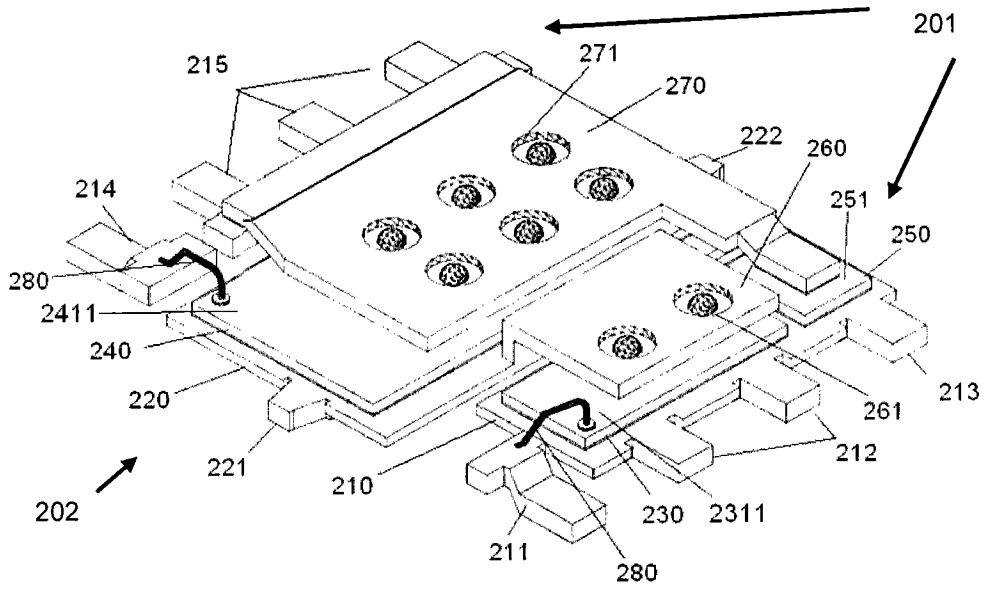

201
215
271
270
222
260
214
251
250
280
2411
240
220
213
261
212
221
210
230
2311
202
211
280

图 5

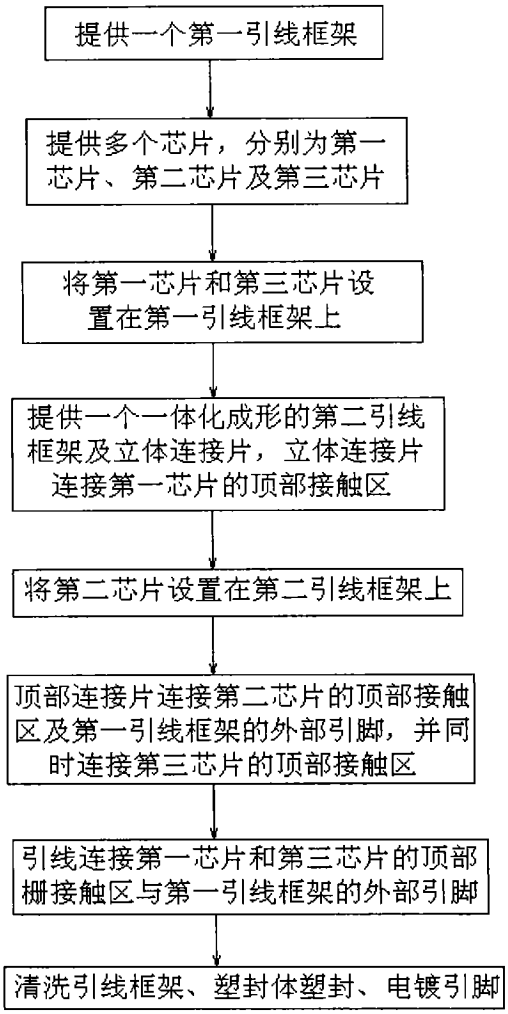

提供一个第一引线框架
提供多个芯片，分别为第一芯片、第二芯片及第三芯片
将第一芯片和第三芯片设置在第一引线框架上
提供一个一体化成形的第二引线框架及立体连接片，立体连接片连接第一芯片的顶部接触区
将第二芯片设置在第二引线框架上
顶部连接片连接第二芯片的顶部接触区及第一引线框架的外部引脚，并同时连接第三芯片的顶部接触区
引线连接第一芯片和第三芯片的顶部栅接触区与第一引线框架的外部引脚
清洗引线框架、塑封体塑封、电镀引脚

图 6

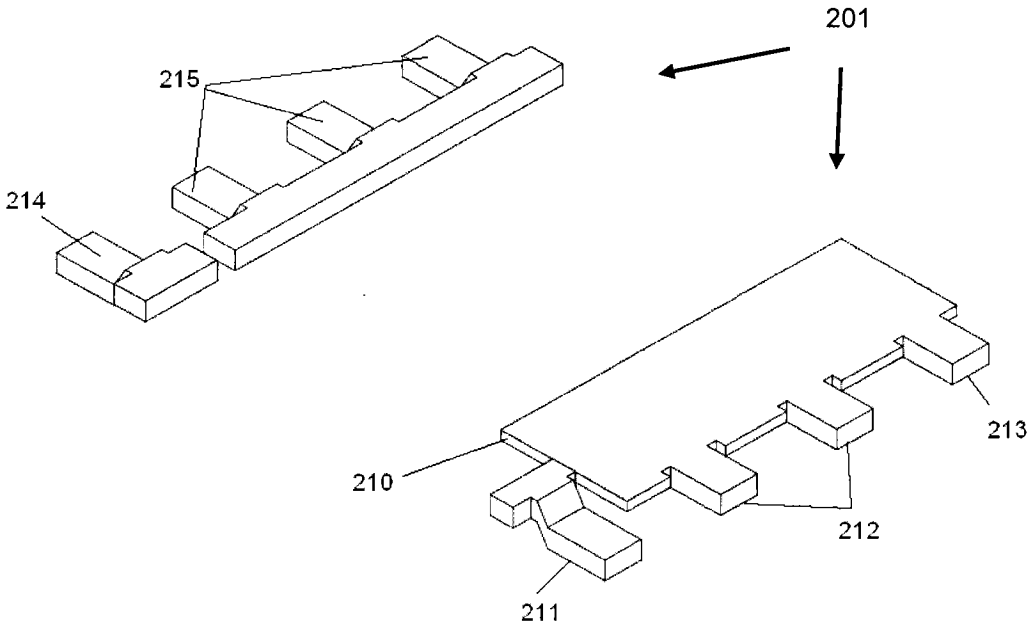

201
215
214
213
210
212
211

图 7

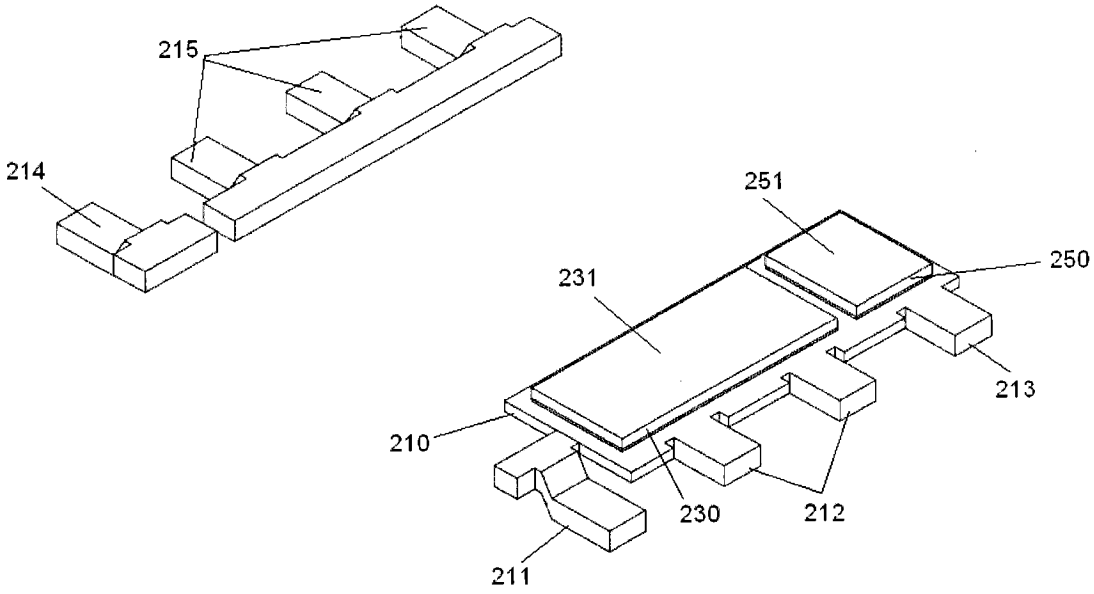

215
214
251
250
231
213
210
230
212
211

图 8

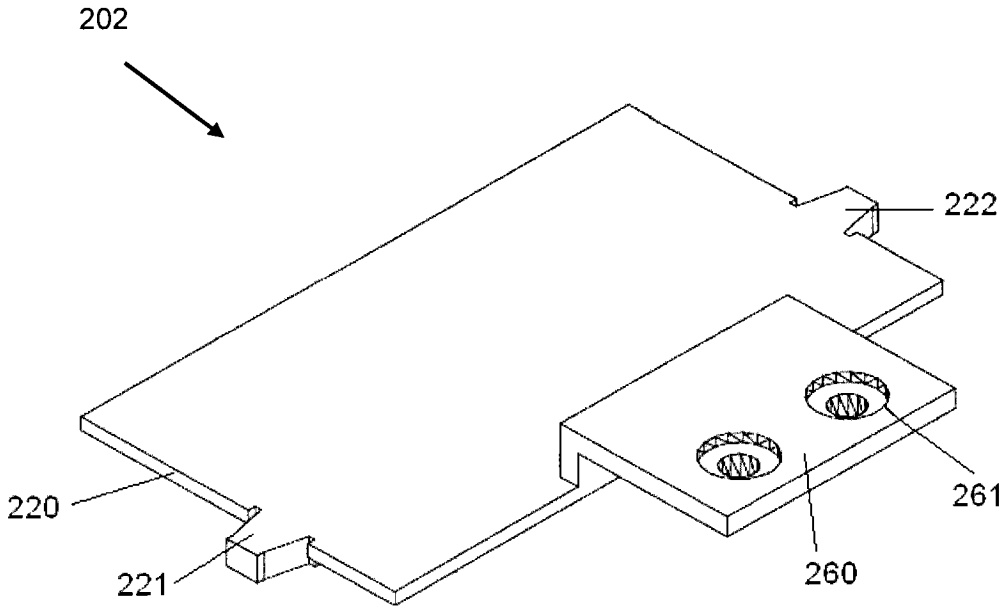


图 9

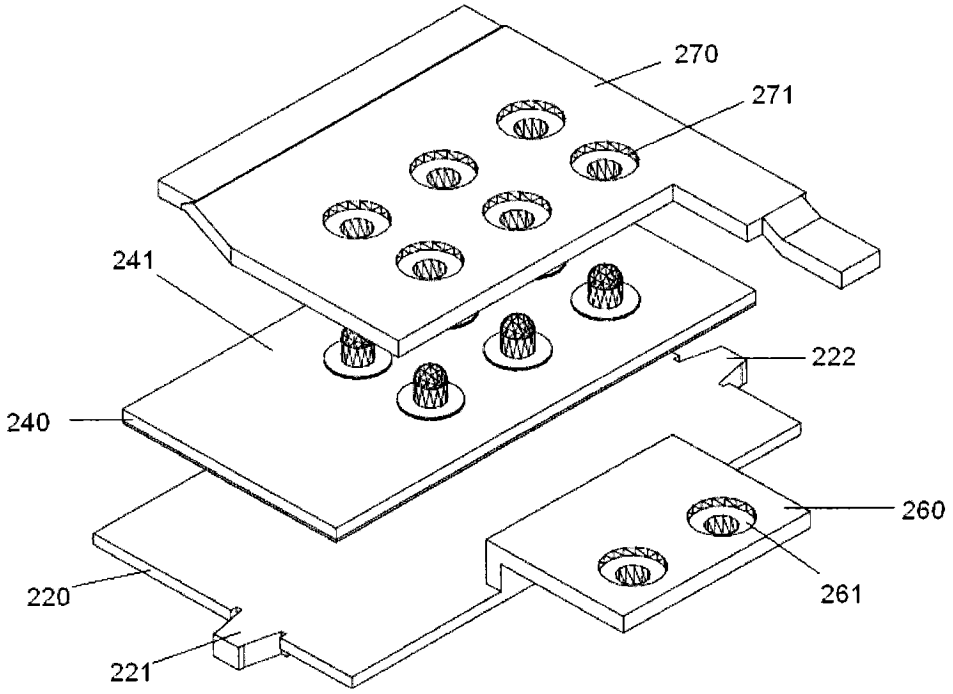


图 10

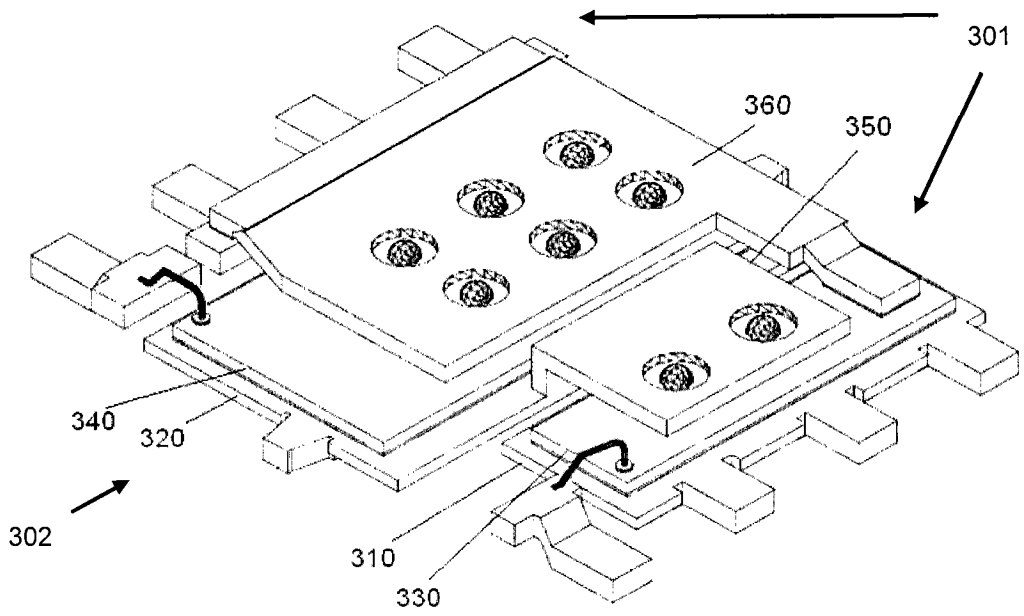

301
360
350
340
320
302
310
330

图 11

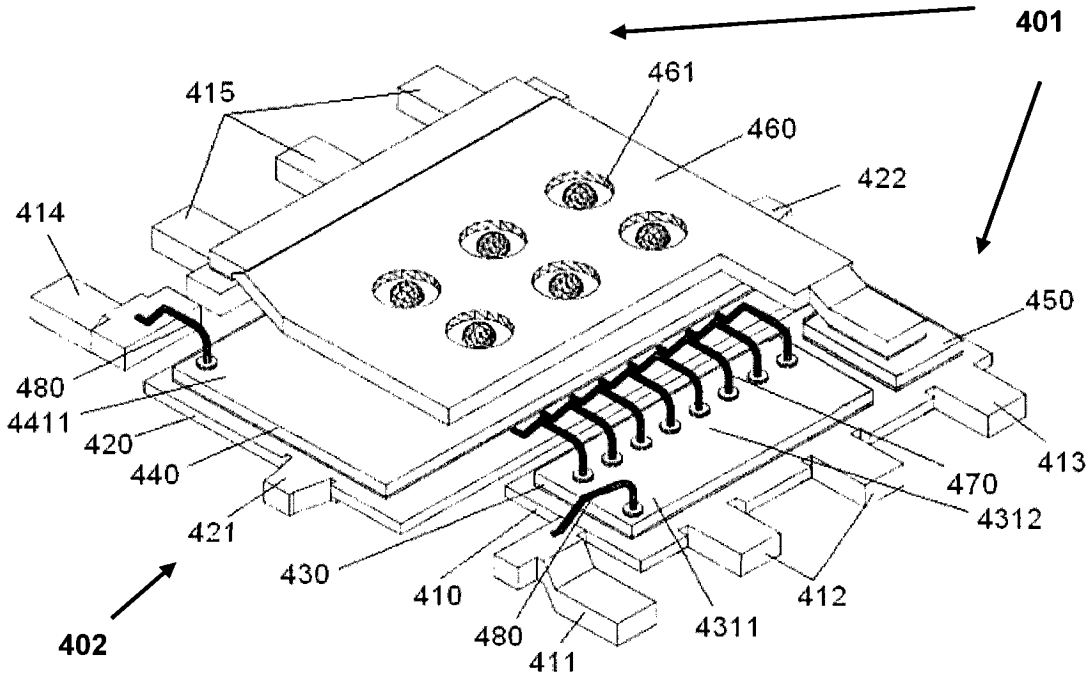

401
461
415
460
422
414
450
480
4411
420
440
413
470
421
4312
430
410
412
402
480
4311
411

图 12

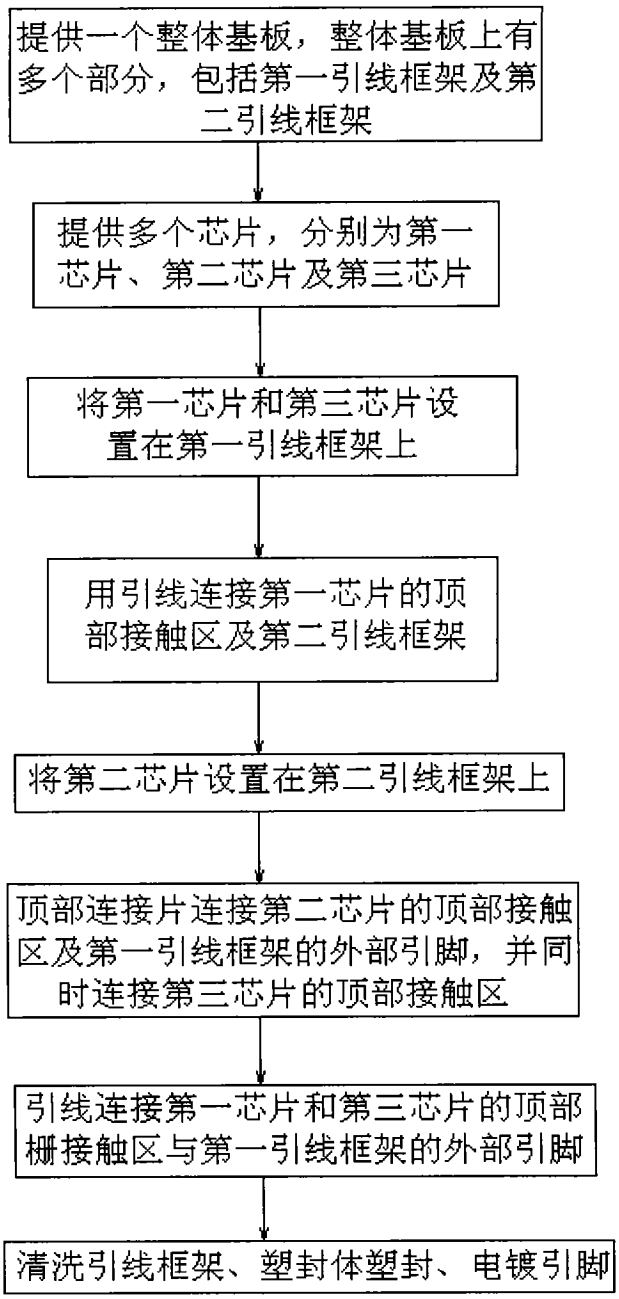

提供一个整体基板，整体基板上有多个部分，包括第一引线框架及第二引线框架
提供多个芯片，分别为第一芯片、第二芯片及第三芯片
将第一芯片和第三芯片设置在第一引线框架上
用引线连接第一芯片的顶部接触区及第二引线框架
将第二芯片设置在第二引线框架上
顶部连接片连接第二芯片的顶部接触区及第一引线框架的外部引脚，并同时连接第三芯片的顶部接触区
引线连接第一芯片和第三芯片的顶部栅接触区与第一引线框架的外部引脚
清洗引线框架、塑封体塑封、电镀引脚

图 13