(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0028530
(43) 공개일자 2013년03월19일

(51) 국제특허분류(Int. Cl.)
G11C 5/06 (2006.01) *G11C 7/22* (2006.01)
H01L 23/48 (2006.01)
(21) 출원번호 10-2011-0092149
(22) 출원일자 2011년09월09일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
이현우
경기도 이천시 부발읍 경충대로 2241, 신하6리 104-804 (삼익아파트)
권대한
서울특별시 노원구 상계7동 주공아파트 410-305
(뒷면에 계속)
(74) 대리인
특허법인 신성

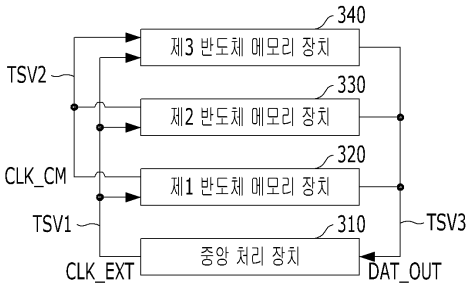
전체 청구항 수 : 총 26 항

(54) 발명의 명칭 **멀티 칩 패키지와 그의 동작 방법**

(57) 요 약

다수의 반도체 메모리 장치를 포함하는 멀티 칩 패키지에 관한 것으로, 읽기 명령에 따라 데이터를 출력하여 중앙 처리 장치로 전달하는 다수의 반도체 메모리 장치를 구비하는 멀티 칩 패키지에 있어서, 상기 중앙 처리 장치에서 생성되는 외부 클럭 신호를 다수의 반도체 메모리 장치로 전달하기 위한 제1 관통 비아, 및 상기 다수의 반도체 메모리 장치와 연결되며, 상기 다수의 반도체 메모리 장치 중 어느 하나에서 생성되는 반도체 메모리 장치에서 생성되는 공통 내부 클럭 신호를 나머지 반도체 메모리 장치로 전달하기 위한 제2 관통 비아를 구비하는 멀티 칩 패키지가 제공된다.

대 표 도 - 도3



(72) 발명자

김기한

경기도 의정부시 장암동 장암동아아파트 101-2301

구자범

경상남도 창원시 의창구 원이대로222번길 34 (명서동)

김철우

서울특별시 성북구 길음1동 래미안3차 605-1301

임수빈

서울특별시 동대문구 왕산로19가길 53, 프로방스빌 407호 (용두동)

특허청구의 범위

청구항 1

읽기 명령에 따라 데이터를 출력하여 중앙 처리 장치로 전달하는 다수의 반도체 메모리 장치를 구비하는 멀티 칩 패키지에 있어서,

상기 중앙 처리 장치에서 생성되는 외부 클럭 신호를 다수의 반도체 메모리 장치로 전달하기 위한 제1 관통 비아; 및

상기 다수의 반도체 메모리 장치와 연결되며, 상기 다수의 반도체 메모리 장치 중 어느 하나에서 생성되는 반도체 메모리 장치에서 생성되는 공통 내부 클럭 신호를 나머지 반도체 메모리 장치로 전달하기 위한 제2 관통 비아

을 구비하는 멀티 칩 패키지.

청구항 2

제1항에 있어서,

상기 다수의 반도체 장치에서 출력되는 상기 데이터를 상기 중앙 처리 장치로 전달하기 위한 제3 관통 비아를 더 구비하는 멀티 칩 패키지.

청구항 3

제1 내부 클럭 신호를 생성하고, 상기 제1 내부 클럭 신호에 응답하여 자신의 데이터를 동기화시켜 출력하는 제1 반도체 메모리 장치;

상기 제1 내부 클럭 신호를 전달하기 위한 신호 전달 라인; 및

상기 신호 전달 라인으로부터 상기 제1 내부 클럭 신호를 전달받으며, 상기 신호 전달 라인에 반영되는 지연량을 보상하여 제2 내부 클럭 신호를 생성하고, 상기 제2 내부 클럭 신호에 응답하여 자신의 데이터를 동기화시켜 출력하는 제2 반도체 메모리 장치

를 구비하는 멀티 칩 패키지.

청구항 4

제3항에 있어서,

상기 제1 반도체 메모리 장치는 상기 제1 내부 클럭 신호를 버퍼링하여 출력하기 위한 출력 버퍼링부를 더 구비하고,

상기 제2 반도체 메모리 장치는 상기 제1 내부 클럭 신호를 입력받아 버퍼링 하기 위한 입력 버퍼링부를 더 구비하는 것을 특징으로 하는 멀티 칩 패키지.

청구항 5

제3항에 있어서,

상기 제2 반도체 메모리 장치는,

상기 제2 내부 클럭 신호에 상기 신호 전달 라인의 지연량을 반영하여 피드백 클럭 신호를 생성하기 위한 지연 복제 모델링부;

상기 제1 내부 클럭 신호와 상기 피드백 클럭 신호의 위상을 비교하기 위한 위상 비교부;

상기 위상 비교부의 출력 신호에 대응하는 지연량을 외부 클럭 신호에 반영하여 상기 제2 내부 클럭 신호를 생성하기 위한 가변 지연부; 및

상기 제2 내부 클럭 신호에 응답하여 자신의 데이터를 동기화시켜 출력하기 위한 데이터 동기화부를 구비하는 것을 특징으로 하는 멀티 칩 패키지.

청구항 6

제5항에 있어서,

상기 제2 내부 클럭 신호는 상기 제2 반도체 메모리 장치의 실제 클럭 경로에 대응하는 지연량이 반영된 것을 특징으로 하는 멀티 칩 패키지.

청구항 7

제5항에 있어서,

상기 제1 반도체 메모리 장치에서 상기 제1 내부 클럭 신호에 동기화되어 출력되는 데이터와 상기 데이터 동기화부의 출력 신호는 관통 비아를 통해 출력되는 것을 특징으로 하는 멀티 칩 패키지.

청구항 8

제3항에 있어서,

상기 신호 전달 라인은 상기 제1 및 제2 반도체 메모리 장치와 연결된 관통 비아인 것을 특징으로 하는 멀티 칩 패키지.

청구항 9

다수의 반도체 메모리 장치 중 어느 하나의 반도체 메모리 장치에서 데이터를 동기화시키기 위한 공통 내부 클럭 신호를 생성하는 단계; 및

상기 다수의 반도체 메모리 장치 중 나머지 반도체 메모리 장치에서 상기 공통 내부 클럭 신호를 소오스로 하여 외부 클럭 신호에 대응하는 동작을 수행하는 단계

를 포함하는 멀티 칩 패키지의 동작 방법.

청구항 10

제9항에 있어서,

상기 공통 내부 클럭 신호는 상기 다수의 반도체 메모리 장치와 연결된 관통 비아를 통해 전달되는 것을 특징으로 하는 멀티 칩 패키지의 동작 방법.

청구항 11

제10항에 있어서,

상기 나머지 반도체 메모리 장치에서 상기 관통 비아에 반영되는 지연량만큼 상기 공통 내부 클럭 신호를 보상하는 단계를 더 포함하는 것을 특징으로 하는 멀티 칩 패키지의 동작 방법.

청구항 12

제9항에 있어서,

상기 나머지 반도체 메모리 장치에서 상기 공통 내부 클럭 신호를 소오스로 하여 해당하는 내부 클럭 신호를 생성하는 단계를 더 포함하는 멀티 칩 패키지의 동작 방법.

청구항 13

제12항에 있어서,

상기 어느 하나의 반도체 메모리 장치는 상기 공통 내부 클럭 신호에 응답하여 데이터를 출력하고, 상기 나머지 반도체 메모리 장치는 해당하는 내부 클럭 신호에 응답하여 데이터를 출력하는 것을 특징으로 하는 멀티 칩 패키지의 동작 방법.

청구항 14

다수의 반도체 메모리 장치를 구비하는 멀티 칩 패키지에 있어서,

상기 다수의 반도체 메모리 장치 각각은,

상기 다수의 반도체 메모리 장치 중 어느 하나의 반도체 메모리 장치에서 생성된 공통 내부 클럭 신호를 관통 비아를 통해 입력받기 위한 입력 버퍼링부;

상기 입력 버퍼링부의 출력 신호와 피드백 클럭 신호를 비교하기 위한 위상 비교부;

상기 위상 비교부의 출력 신호에 대응하는 지연량을 외부 클럭 신호에 반영하여 내부 클럭 신호를 생성하기 위한 가변 지연부;

상기 내부 클럭 신호에 상기 관통 비아의 지연량을 반영하여 상기 피드백 클럭 신호를 생성하기 위한 지연 복제 모델링부;

상기 공통 내부 클럭 신호를 생성하기 위한 공통 내부 클럭 신호 생성부;

상기 공통 내부 클럭 신호를 상기 관통 비아를 통해 출력하기 위한 출력 버퍼링부; 및

상기 공통 내부 클럭 신호 또는 내부 클럭 신호에 응답하여 데이터를 동기화시켜 출력하기 위한 데이터 동기화부

를 구비하는 것을 특징으로 하는 멀티 칩 패키지.

청구항 15

제14항에 있어서,

상기 다수의 반도체 메모리 장치 중 공통 내부 클럭 신호를 생성하는 반도체 메모리 장치는 자신의 출력 버퍼링부를 활성화시키고, 나머지 반도체 메모리 장치는 자신의 입력 버퍼링부를 활성화시키는 것을 특징으로 하는 멀티 칩 패키지.

청구항 16

다수의 반도체 메모리 장치를 구비하는 멀티 칩 패키지에 있어서,

상기 다수의 반도체 메모리 장치 각각은,

외부 클럭 신호에 지연 제어 신호에 대응하는 지연량을 반영하여 출력하기 위한 공통 가변 지연부;

상기 가변 지연부에서 출력되는 내부 클럭 신호를 관통 비아를 통해 출력하기 위한 출력 버퍼링부;

상기 내부 클럭 신호에 응답하여 데이터를 동기화시켜 출력하기 위한 공통 데이터 동기화부;

상기 내부 클럭 신호에 실제 클럭 경로를 모델링한 시간만큼 반영하여 제1 피드백 클럭 신호를 생성하기 위한 DLL 지연 복제 모델링부;

상기 다수의 반도체 메모리 장치 중 어느 하나의 반도체 메모리 장치에서 생성된 공통 내부 클럭 신호에 상기 관통 비아의 지연량을 반영하여 제2 피드백 클럭 신호를 생성하기 위한 TSV 지연 복제 모델링부; 및

읽기 명령에 응답하여 상기 외부 클럭 신호와 상기 제1 피드백 클럭 신호의 위상 차이를 비교하거나 상기 공통 내부 클럭 신호와 상기 제2 피드백 클럭 신호의 위상 차이를 비교하여 상기 지연 제어 신호를 생성하기 위한 지연 제어 신호 생성부

를 구비하는 멀티 칩 패키지.

청구항 17

제16항에 있어서,

상기 외부 클럭 신호를 버퍼링하기 위한 제1 버퍼링부; 및

상기 공통 클럭 신호를 버퍼링하기 위한 제2 버퍼링부를 더 구비하는 멀티 칩 패키지.

청구항 18

제17항에 있어서,

상기 제1 및 제2 버퍼링부는 상기 읽기 명령에 따라 활성화 여부가 결정되는 것을 특징으로 하는 멀티 칩 패키지.

청구항 19

제16항에 있어서,

상기 읽기 명령은 상기 다수의 반도체 메모리 장치 각각에 대응하여 활성화되는 것을 특징으로 하는 멀티 칩 패키지.

청구항 20

제16항에 있어서,

상기 지연 제어 신호 생성부는,

상기 외부 클럭 신호와 상기 제1 피드백 클럭 신호의 위상 차이를 비교하기 위한 제1 위상 비교부;

상기 공통 내부 클럭 신호와 상기 제2 피드백 클럭 신호의 위상 차이를 비교하기 위한 제2 위상 비교부; 및

상기 읽기 명령에 따라 상기 제1 및 제2 위상 비교부의 출력 신호를 다중화하여 상기 지연 제어 신호로 출력하기 위한 다중화부를 구비하는 것을 특징으로 하는 멀티 칩 패키지.

청구항 21

제16항에 있어서,

상기 내부 클럭 신호는 해당하는 반도체 메모리 장치의 실제 클럭 경로에 대응하는 지연량이 반영된 것을 특징으로 하는 멀티 칩 패키지.

청구항 22

다수의 반도체 메모리 장치 각각에서 외부 클럭 신호를 소오스로 하여 내부 클럭 신호를 생성하는 제1 락킹 동작 수행 단계;

상기 다수의 반도체 메모리 장치 중 어느 하나의 반도체 메모리 장치에서 생성된 내부 클럭 신호를 공통 내부 클럭 신호로 관통 비아를 통해 나머지 반도체 메모리 장치 각각에 입력하는 단계; 및

상기 나머지 반도체 메모리 장치에서 상기 관통 비아에 반영되는 지연량만큼 상기 공통 내부 클럭 신호를 보상하고, 상기 공통 내부 클럭 신호를 소오스로 하여 해당하는 내부 클럭 신호를 생성하는 제2 락킹 동작 수행 단계

를 포함하는 멀티 칩 패키지의 동작 방법.

청구항 23

제22항에 있어서,

상기 제1 락킹 동작 수행 단계는,

해당하는 반도체 메모리 장치의 실제 클럭 경로를 모델링한 시간만큼 반영된 제1 피드백 클럭 신호와 상기 외부 클럭 신호의 위상을 비교하는 단계; 및

상기 위상을 비교하는 단계의 출력 신호에 대응하는 시간만큼 상기 외부 클럭 신호를 지연하여 상기 내부 클럭 신호를 생성하는 단계를 포함하는 것을 특징으로 하는 멀티 칩 패키지의 동작 방법.

청구항 24

제22항에 있어서,

상기 제2 락킹 동작 수행 단계는,

상기 관통 비아에 반영되는 지연량만큼 반영된 제2 피드백 클럭 신호와 상기 공통 내부 클럭 신호의 위상을 비교하는 단계; 및

상기 위상을 비교하는 단계의 출력 신호에 대응하는 시간만큼 상기 외부 클럭 신호를 지연하여 상기 해당하는 내부 클럭 신호를 생성하는 단계를 포함하는 것을 특징으로 하는 멀티 칩 패키지의 동작 방법.

청구항 25

제24항에 있어서,

상기 제2 피드백 클럭 신호는 해당하는 반도체 메모리 장치의 실제 클럭 경로에 대응하는 지연량이 반영된 것을 특징으로 하는 멀티 칩 패키지의 동작 방법.

청구항 26

제22항에 있어서,

상기 어느 하나의 반도체 메모리 장치는 상기 제1 락킹 동작을 통해 생성된 상기 내부 클럭 신호에 응답하여 데이터를 출력하고, 상기 나머지 반도체 메모리 장치 각각은 상기 제1 락킹 동작 상태에서 상기 제2 락킹 동작을

반영하여 생성된 해당하는 내부 클럭 신호에 응답하여 데이터를 출력하는 것을 특징으로 하는 멀티 칩 패키지의 동작 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 설계 기술에 관한 것으로, 특히 다수의 반도체 메모리 장치를 포함하는 멀티 칩 패키지와 그의 동작 방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로 DDR SDRAM(Double DAT_OUTa Rate Synchronous DRAM)을 비롯한 반도체 메모리 장치는 여러 가지 다양한 요구에 따라 이를 만족하기 위한 방향으로 변화하고 있다. 이러한 변화 중에는 구조적인 측면에서의 변화가 있을 수 있으며, 멀티 칩 패키지(Multi Chip Package, MCP)가 바로 그것이다. 멀티 칩 패키지는 반도체 메모리 장치와 같은 반도체 칩을 하나의 단일 칩으로 사용하고자 하는 구성으로, 단층형 멀티 칩 패키지와 다층형 멀티 칩 패키지로 나뉠 수 있다. 단층형 멀티 칩 패키지는 다수의 반도체 칩이 평면상에 나란히 배치되는 구조를 가지고, 다층형 멀티 칩 패키지는 다수의 반도체 칩이 적층되는 구조를 가진다.

[0003] 한편, 다수의 반도체 메모리 장치를 다층형 멀티 칩 패키지로 구현하는 경우, 기존에는 각각의 반도체 메모리 장치의 입/출력 단자를 와이어 본딩(wire bonding)하여 구현하였다. 하지만, 와이어 본딩이 여러 가지 노이즈에 취약한 단점이 있기 때문에, 요즈음에는 와이어 본딩 대신에 관통 실리콘 비아(Throuth Silicon Via, TSV)를 이용하고 있다.

[0004] 도 1 은 일반적인 멀티 칩 패키지를 설명하기 위한 블록도이다.

[0005] 도 1 을 참조하면, 멀티 칩 패키지는 제1 내지 제3 반도체 메모리 장치(110, 120, 130)와, 중앙 처리 장치(140)를 구비한다.

[0006] 제1 내지 제3 반도체 메모리 장치(110, 120, 130)는 중앙 처리 장치(140)에서 전달되는 읽기 명령(RD)에 응답하여 데이터(DAT_OUT)를 출력한다. 여기서, 제1 내지 제3 반도체 메모리 장치(110, 120, 130)는 중앙 처리 장치(140)로부터 외부 클럭 신호(CLK_EXT)를 입력받으며, 이 외부 클럭 신호(CLK_EXT)를 소오스로 하여 데이터(DAT_OUT)를 출력한다. 이때, 제1 내지 제3 반도체 메모리 장치(110, 120, 130) 각각의 내부에는 외부 클럭 신호(CLK_EXT)를 소오스로 하여 내부 클럭 신호를 생성하기 위한 내부 클럭 신호 생성 회로가 구비되어 있으며, 이 내부 클럭 신호를 이용하여 데이터(DAT_OUT)를 동기화시켜 출력한다.

[0007] 도 2 는 도 1 의 제1 내지 제3 반도체 메모리 장치(110, 120, 130)의 데이터 출력 동작을 설명하기 위한 동작 파형도이다.

[0008] 도 2 에는 외부 클럭 신호(CLK_EXT)가 도시되어 있으며, 제1 내지 제3 반도체 메모리 장치(110, 120, 130)에서 데이터가 정상적으로 출력되는 경우(OUT_DAT1)와 비정상적으로 출력되는 경우(OUT_DAT2)가 도시되어 있다. 참고로, 'A', 'B', 'C' 구간은 제1 내지 제3 반도체 메모리 장치(110, 120, 130) 각각의 데이터 출력 구간을 의미한다.

[0009] 도 2 에서 볼 수 있듯이, 데이터가 정상적으로 출력되는 경우(OUT_DAT1) 제1 내지 제3 반도체 메모리 장치(110, 120, 130)의 각 출력 구간(A, B, C)에서 데이터가 서로 겹치지 않는다. 하지만, 데이터가 비정상적으로 출력되는 경우(OUT_DAT2) 제2 반도체 메모리 장치(120)의 데이터 출력 구간(B)과 제3 반도체 메모리 장치(130)의 데이터 출력 구간(C) 사이에 데이터가 겹치는 부분(점선으로 표시됨)이 발생한다.

[0010] 이렇게 데이터가 겹치는 부분은 제1 내지 제3 반도체 메모리 장치(110, 120, 130)의 데이터 출력 시점이 서로 불일치함에 따라 발생하며, 이러한 불일치 현상은 반도체 메모리 장치 각각의 공정(process) 변화에 따라 크게 발생한다. 이어서, 이러한 불일치 현상은 데이터 유효 구간을 줄여 데이터 상실 요인으로 작용하며, 원치않는 데이터 충돌로 인하여 불필요한 전류 소모를 유발한다.

발명의 내용

해결하려는 과제

[0011] 본 발명은 다수의 반도체 메모리 장치 중 어느 하나의 반도체 메모리 장치에서 공통 내부 클럭 신호를 생성하고, 나머지 다수의 반도체 메모리 장치는 이 공통 내부 클럭 신호를 소오스로 하여 데이터를 출력하는 멀티 칩 패키지를 제공하고자 한다.

과제의 해결 수단

[0012] 본 발명의 일 측면에 따르면, 멀티 칩 패키지는 읽기 명령에 따라 데이터를 출력하여 중앙 처리 장치로 전달하는 다수의 반도체 메모리 장치를 구비하는 멀티 칩 패키지에 있어서, 상기 중앙 처리 장치에서 생성되는 외부 클럭 신호를 다수의 반도체 메모리 장치로 전달하기 위한 제1 관통 비아; 및 상기 다수의 반도체 메모리 장치와 연결되며, 상기 다수의 반도체 메모리 장치 중 어느 하나에서 생성되는 반도체 메모리 장치에서 생성되는 공통 내부 클럭 신호를 나머지 반도체 메모리 장치로 전달하기 위한 제2 관통 비아를 구비한다.

[0013] 바람직하게, 상기 다수의 반도체 장치에서 출력되는 상기 데이터를 상기 중앙 처리 장치로 전달하기 위한 제3 관통 비아를 더 구비한다.

[0014] 본 발명의 다른 측면에 따르면, 멀티 칩 패키지는 제1 내부 클럭 신호를 생성하고, 상기 제1 내부 클럭 신호에 응답하여 자신의 데이터를 동기화시켜 출력하는 제1 반도체 메모리 장치; 상기 제1 내부 클럭 신호를 전달하기 위한 신호 전달 라인; 및 상기 신호 전달 라인으로부터 상기 제1 내부 클럭 신호를 전달받으며, 상기 신호 전달 라인에 반영되는 지연량을 보상하여 제2 내부 클럭 신호를 생성하고, 상기 제2 내부 클럭 신호에 응답하여 자신의 데이터를 동기화시켜 출력하는 제2 반도체 메모리 장치를 구비한다.

[0015] 바람직하게, 상기 제1 반도체 메모리 장치는 상기 제1 내부 클럭 신호를 버퍼링하여 출력하기 위한 출력 버퍼링부를 더 구비하고, 상기 제2 반도체 메모리 장치는 상기 제1 내부 클럭 신호를 입력받아 버퍼링 하기 위한 입력 버퍼링부를 더 구비한다.

[0016] 본 발명의 또 다른 측면에 따르면, 멀티 칩 패키지의 동작 방법은 다수의 반도체 메모리 장치 중 어느 하나의 반도체 메모리 장치에서 데이터를 동기화시키기 위한 공통 내부 클럭 신호를 생성하는 단계; 및 상기 다수의 반도체 메모리 장치 중 나머지 반도체 메모리 장치에서 상기 공통 내부 클럭 신호를 소오스로 하여 외부 클럭 신호에 대응하는 동작을 수행하는 단계를 포함한다.

[0017] 바람직하게, 상기 나머지 반도체 메모리 장치에서 상기 관통 비아에 반영되는 지연량만큼 상기 공통 내부 클럭 신호를 보상하는 단계를 더 포함하는 것을 특징으로 한다.

[0018] 본 발명의 또 다른 측면에 따르면, 멀티 칩 패키지는 다수의 반도체 메모리 장치를 구비하는 멀티 칩 패키지에 있어서, 상기 다수의 반도체 메모리 장치 각각은, 상기 다수의 반도체 메모리 장치 중 어느 하나의 반도체 메모리 장치에서 생성된 공통 내부 클럭 신호를 관통 비아를 통해 입력받기 위한 입력 버퍼링부; 상기 입력 버퍼링부의 출력 신호와 피드백 클럭 신호를 비교하기 위한 위상 비교부; 상기 위상 비교부의 출력 신호에 대응하는 지연량을 외부 클럭 신호에 반영하여 내부 클럭 신호를 생성하기 위한 가변 지연부; 상기 내부 클럭 신호에 상기 관통 비아의 지연량을 반영하여 상기 피드백 클럭 신호를 생성하기 위한 지연 복제 모델링부; 상기 공통 내부 클럭 신호를 생성하기 위한 공통 내부 클럭 신호 생성부; 상기 공통 내부 클럭 신호를 상기 관통 비아를 통해 출력하기 위한 출력 버퍼링부; 및 상기 공통 내부 클럭 신호 또는 내부 클럭 신호에 응답하여 데이터를 동기화시켜 출력하기 위한 데이터 동기화부를 구비한다.

[0019] 바람직하게, 상기 다수의 반도체 메모리 장치 중 공통 내부 클럭 신호를 생성하는 반도체 메모리 장치는 자신의 출력 버퍼링부를 활성화시키고, 나머지 반도체 메모리 장치는 자신의 입력 버퍼링부를 활성화시키는 것을 특징으로 한다.

[0020] 본 발명의 또 다른 측면에 따르면, 멀티 칩 패키지는 다수의 반도체 메모리 장치를 구비하는 멀티 칩 패키지에 있어서, 상기 다수의 반도체 메모리 장치 각각은, 외부 클럭 신호에 지연 제어 신호에 대응하는 지연량을 반영하여 출력하기 위한 공통 가변 지연부; 상기 가변 지연부에서 출력되는 내부 클럭 신호를 관통 비아를 통해 출력하기 위한 출력 버퍼링부; 상기 내부 클럭 신호에 응답하여 데이터를 동기화시켜 출력하기 위한 공통 데이터

동기화부; 상기 내부 클럭 신호에 실제 클럭 경로를 모델링한 시간만큼 반영하여 제1 피드백 클럭 신호를 생성하기 위한 DLL 지연 복제 모델링부; 상기 다수의 반도체 메모리 장치 중 어느 하나의 반도체 메모리 장치에서 생성된 공통 내부 클럭 신호에 상기 관통 비아의 지연량을 반영하여 제2 피드백 클럭 신호를 생성하기 위한 TSV 지연 복제 모델링부; 및 읽기 명령에 응답하여 상기 외부 클럭 신호와 상기 제1 피드백 클럭 신호의 위상 차이를 비교하거나 상기 공통 내부 클럭 신호와 상기 제2 피드백 클럭 신호의 위상 차이를 비교하여 상기 지연 제어 신호를 생성하기 위한 지연 제어 신호 생성부를 구비한다.

[0021] 바람직하게, 상기 외부 클럭 신호를 버퍼링하기 위한 제1 버퍼링부; 및 상기 공통 클럭 신호를 버퍼링하기 위한 제2 버퍼링부를 더 구비하고, 상기 제1 및 제2 버퍼링부는 상기 읽기 명령에 따라 활성화 여부가 결정되는 것을 특징으로 한다.

[0022] 본 발명의 또 다른 측면에 따르면, 멀티 칩 패키지의 동작 방법은, 다수의 반도체 메모리 장치 각각에서 외부 클럭 신호를 소오스로 하여 내부 클럭 신호를 생성하는 제1 락킹 동작 수행 단계; 상기 다수의 반도체 메모리 장치 중 어느 하나의 반도체 메모리 장치에서 생성된 내부 클럭 신호를 공통 내부 클럭 신호로 관통 비아를 통해 나머지 반도체 메모리 장치 각각에 입력하는 단계; 및 상기 나머지 반도체 메모리 장치에서 상기 관통 비아에 반영되는 지연량만큼 상기 공통 내부 클럭 신호를 보상하고, 상기 공통 내부 클럭 신호를 소오스로 하여 해당하는 내부 클럭 신호를 생성하는 제2 락킹 동작 수행 단계를 포함한다.

[0023] 바람직하게, 상기 어느 하나의 반도체 메모리 장치는 상기 제1 락킹 동작을 통해 생성된 상기 내부 클럭 신호에 응답하여 데이터를 출력하고, 상기 나머지 반도체 메모리 장치 각각은 상기 제1 락킹 동작 상태에서 상기 제2 락킹 동작을 반영하여 생성된 해당하는 내부 클럭 신호에 응답하여 데이터를 출력하는 것을 특징으로 한다.

[0024] 본 발명의 실시예에 따른 멀티 칩 패키지는 다수의 반도체 메모리 장치 중 어느 하나의 반도체 메모리 장치에서 생성된 공통 내부 클럭 신호를 이용하여 다수의 반도체 메모리 장치가 읽기 동작을 수행함으로써, 다수의 반도체 메모리 장치로 하여금 하나의 공통 내부 클럭 신호에 응답하여 데이터를 동기화시켜 출력하는 것이 가능하다.

발명의 효과

[0025] 다수의 반도체 메모리 장치에서 출력되는 데이터가 하나의 공통 내부 클럭 신호에 응답하여 출력되어 중앙 처리 장치로 전달되는 데이터가 서로 겹치지 않게 됨으로써, 데이터 유효 구간을 최대한 확보할 수 있는 효과를 얻을 수 있다.

[0026] 또한, 기존에 데이터의 충돌로 인하여 발생하던 불필요한 전류 소모를 막아줄 수 있는 효과를 얻을 수 있다.

도면의 간단한 설명

[0027] 도 1 은 일반적인 멀티 칩 패키지를 설명하기 위한 블록도이다.

도 2 는 도 1 의 제1 내지 제3 반도체 메모리 장치(110, 120, 130)의 데이터 출력 동작을 설명하기 위한 동작 파형도이다.

도 3 은 본 발명의 실시예에 따른 멀티 칩 패키지를 설명하기 위한 블록도이다.

도 4 는 도 3 의 제1 및 제2 반도체 메모리 장치(320, 330)를 설명하기 위한 블록도이다.

도 5 는 본 발명의 다른 실시예에 따른 멀티 칩 패키지를 설명하기 위한 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0029] 도 3 은 본 발명의 실시예에 따른 멀티 칩 패키지를 설명하기 위한 블록도이다.

[0030] 도 3 을 참조하면, 멀티 칩 패키지는 중앙 처리 장치(310)와, 제1 내지 제3 반도체 메모리 장치(320, 330, 340)를 구비한다.

[0031] 중앙 처리 장치(310)는 제1 내지 제3 반도체 메모리 장치(320, 330, 340)에 읽기 명령 같은 외부 명령과 외부 클럭 신호(CLK_EXT)을 전달한다. 여기서, 외부 클럭 신호(CLK_EXT)는 중앙 처리 장치(210)에서 생성되는 클럭 신호로서, 제1 관통 실리콘 비아(TSV1)를 통해 중앙 처리 장치(310)에서 제1 내지 제3 반도체 메모리 장치(320, 330, 340)로 전달된다.

[0032] 제1 내지 제3 반도체 메모리 장치(320, 330, 340)는 중앙 처리 장치(310)에서 전달되는 읽기 명령에 따라 데이터(DAT_OUT)를 출력한다. 본 발명의 실시예에 따른 멀티 칩 패키지는 제1 내지 제3 반도체 메모리 장치(320, 330, 340) 중 어느 하나의 반도체 메모리 장치에서 공통 내부 클럭 신호(CLK_CM)를 생성하고, 나머지 반도체 메모리 장치에서 이 공통 내부 클럭 신호(CLK_CM)을 입력받는 것을 특징으로 한다.

[0033] 이하, 설명의 편의를 위하여 공통 내부 클럭 신호(CLK_CM)가 제1 반도체 메모리 장치(320)에서 생성되는 것을 일례로 한다. 즉, 제1 반도체 메모리 장치(320)에서 생성된 공통 내부 클럭 신호(CLK_CM)는 제2 및 제3 반도체 메모리 장치(330, 340)로 입력되고, 제2 및 제3 반도체 메모리 장치(330, 340)는 이 공통 내부 클럭 신호(CLK_CM)를 소오스로 하여 데이터(DAT_OUT)를 동기화시켜 출력한다. 관통 실리콘 비아와 관련하여 말하면, 외부 클럭 신호(CLK_EXT)는 제1 관통 실리콘 비아(TSV1)를 통해 중앙 처리 장치(310)에서 제1 반도체 메모리 장치(320)로 전달되고, 공통 내부 클럭 신호(CLK_CM)은 제2 관통 실리콘 비아(TSV2)를 통해 제1 반도체 메모리 장치(320)에서 제2 및 제3 반도체 메모리 장치(330, 340)로 전달되며, 데이터(DAT_OUT)는 제3 관통 실리콘 비아(TSV3)를 통해 제1 내지 제3 반도체 메모리 장치(320, 330, 340)에서 중앙 처리 장치(310)로 전달된다.

[0034] 이하, 본 발명의 실시예에 따른 멀티 칩 패키지의 간단한 동작을 살펴보기로 한다.

[0035] 우선, 제1 반도체 메모리 장치(320)는 내부에 배치된 내부 클럭 신호 생성 회로를 통해 내부 클럭 신호를 생성한다. 본 발명의 실시예에서는 이 내부 클럭 신호가 공통 내부 클럭 신호(CLK_CM)이다. 이어서, 이렇게 생성된 공통 내부 클럭 신호(CLK_CM)는 제2 관통 실리콘 비아(TSV2)를 통해 제2 및 제3 반도체 메모리 장치(330, 340)로 전달된다. 이후 다시 설명하겠지만, 제2 및 제3 반도체 메모리 장치(330, 340)에서는 제2 관통 실리콘 비아(TSV2)에 반영되는 지연량만큼 공통 내부 클럭 신호(CLK_CM)을 보상하고, 이를 이용하여 제2 및 제3 반도체 메모리 장치(330, 340)에서 출력되는 데이터를 동기화시키기 위한 해당하는 내부 클럭 신호를 생성한다. 따라서, 제1 반도체 메모리 장치(320)는 공통 내부 클럭 신호(CLK_CM)에 응답하여 데이터를 동기화시켜 출력하고, 제2 및 제2 반도체 메모리 장치(330, 340)는 공통 내부 클럭 신호(CLK_CM)를 소오스로 하여 생성된 각각의 내부 클럭 신호에 응답하여 데이터를 동기화시켜 출력한다.

[0036] 도 4 는 도 3 의 제1 및 제2 반도체 메모리 장치(320, 330)를 설명하기 위한 블록도로서, 제1 반도체 메모리 장치(320)와 제2 반도체 메모리 장치(330)의 내부 구성이 개시되어 있다.

[0037] 도 4 를 참조하면, 제1 반도체 메모리 장치(320)는 제1 내부 클럭 신호(CLK1)를 생성하고 이 제1 내부 클럭 신호(CLK1)에 응답하여 제1 내부 데이터(DAT_IN1)를 동기화시켜 출력하기 위한 것으로, 외부 클럭 버퍼링부(411)와, 공통 내부 클럭 신호 생성부(412), 실제 클럭 경로(413)와, 데이터 동기화부(414), 및 출력 버퍼링부(415)를 구비한다.

[0038] 외부 클럭 버퍼링부(411)는 제1 관통 실리콘 비아(TSV1)를 통해 입력되는 외부 클럭 신호(CLK_EXT)를 버퍼링하고, 공통 내부 클럭 신호 생성부(412)는 외부 클럭 버퍼링부(411)의 출력 신호를 입력받아 내부 클럭 신호를 생성한다. 여기서, 공통 내부 클럭 신호 생성부(412)는 지연 고정 루프(DLL)를 일례로 할 수 있다. 이렇게 생성된 내부 클럭 신호는 제1 반도체 메모리 장치(320)의 실제 클럭 경로(413)를 거쳐 제1 내부 클럭 신호(CLK1)로 전달된다. 데이터 동기화부(414)는 이렇게 전달된 제1 내부 클럭 신호(CLK1)에 제1 내부 데이터(DAT_IN1)를 동기화시켜 제3 관통 실리콘 비아(TSV3)를 통해 출력한다. 이어서, 출력 버퍼링부(415)는 제1 내부 클럭 신호(CLK1)를 버퍼링하고, 이렇게 버퍼링된 제1 내부 클럭 신호(CLK1)는 신호 전달 라인인 제2 관통 실리콘 비아(TSV2)를 통해 공통 내부 클럭 신호(CLK_CM)로 전달된다.

[0039] 다음으로, 제2 반도체 메모리 장치(330)는 공통 내부 클럭 신호(CLK_CM)를 전달받으며, 제2 관통 실리콘 비아(TSV2)에 반영되는 지연량만큼을 보상하여 제2 내부 클럭 신호(CLK2)를 생성하고, 이 제2 내부 클럭 신호(CLK2)에 응답하여 제2 내부 데이터(DAT_IN2)를 동기화시켜 출력하기 위한 것으로, 외부 클럭 버퍼링부(421)와, 가

변 지연부(422)와, 실제 클럭 경로(423)와, 데이터 동기화부(424)와, 공통 클럭 입력 버퍼링부(425)와, 지연 복제 모델링부(426), 및 위상 비교부(427)를 구비한다.

[0040] 외부 클럭 버퍼링부(421)는 제1 관통 실리콘 비아(TSV1)를 통해 입력되는 외부 클럭 신호(CLK_EXT)를 버퍼링하고, 가변 지연부(422)는 지연 제어 신호(CTR_DL)에 대응하는 지연량을 외부 클럭 신호(CLK_EXT)에 반영한다. 이렇게 지연된 외부 클럭 신호(CLK_EXT)는 제2 반도체 메모리 장치(330)의 실제 클럭 경로(423)를 거쳐 제2 내부 클럭 신호(CLK2)로 된다. 데이터 동기화부(424)는 이렇게 전달된 제2 내부 클럭 신호(CLK2)에 제2 내부 데이터(DAT_IN2)를 동기화시켜 제3 관통 실리콘 비아(TSV3)를 통해 출력한다.

[0041] 한편, 본 발명의 실시예에 따른 제2 반도체 메모리 장치(330)는 제2 관통 실리콘 비아(TSV2)에 반영되는 지연량만큼 공통 내부 클럭 신호(CLK_CM)을 보상하는 것이 가능하며, 공통 클럭 입력 버퍼링부(425)와, 지연 복제 모델링부(426), 및 위상 비교부(427)가 이를 위한 구성이다.

[0042] 우선, 공통 클럭 입력 버퍼링부(425)는 제2 관통 실리콩 비아(TSV2)를 통해 입력되는 공통 내부 클럭 신호(CLK_CM)를 버퍼링하고, 지연 복제 모델링부(426)는 제2 내부 클럭 신호(CLK2)에 제2 관통 실리콘 비아(TSV2)의 지연량을 반영하여 피드백 클럭 신호(CLK_FD)를 생성한다. 그리고, 위상 비교부(427)는 버퍼링된 공통 내부 클럭 신호(CLK_CM)와 피드백 클럭 신호(CLK_FD)의 위상을 검출하여 지연 제어 신호(CTR_DL)를 생성한다.

[0043] 이와 같은 구성을 통해 외부 클럭 신호(CLK_EXT)는 외부 클럭 신호(CLK_EXT) 대비 공통 내부 클럭 신호(CLK_CM)가 지연된 시간만큼 지연되고 추가로 제2 관통 실리콘 비아(TSV2)에 반영되는 지연량만큼 지연된다. 즉, 제2 내부 클럭 신호(CLK2)는 공통 내부 클럭 신호(CLK_CM)를 제2 관통 실리콘 비아(TSV2)에 반영되는 지연량만큼 보상한 신호가 된다. 따라서, 공통 내부 클럭 신호(CLK_CM)는 제2 클럭 신호(CLK2)를 생성하는 소오스 신호가 되며, 결국 제2 반도체 메모리 장치(330)는 공통 내부 클럭 신호(CLK_CM)를 소오스로 하여 외부 클럭 신호(CLK_EXT)에 대응하는 동작을 수행한다.

[0044] 한편, 도 4 의 실시예에 따른 멀티 칩 패키지는 제1 반도체 메모리 장치(320)에서 공통 내부 클럭 신호(CLK_CM)를 생성하고, 제2 반도체 메모리 장치(330)에서 이를 입력받는 것을 일례로 하였다. 하지만, 본 발명의 실시예에 따른 멀티 칩 패키지는 다수의 반도체 메모리 장치 중 어느 하나에서 공통 내부 클럭 신호(CLK_CM)를 생성하고, 나머지 반도체 메모리 장치가 이 공통 내부 클럭 신호(CLK_CM)을 입력받아 외부 클럭 신호(CLK_EXT)에 대응하는 동작을 수행한다. 따라서, 다수의 반도체 메모리 장치 각각은 공통 내부 클럭 신호(CLK_CM)를 생성하는 구성과 이 공통 내부 클럭 신호(CLK_CM)를 입력받아 동작하는 구성을 모두 구비하여야 한다. 즉, 본 발명의 실시예에 따른 다수의 반도체 메모리 장치 각각은 도 4 의 제1 및 제2 반도체 메모리 장치(320, 330)의 각 구성요소를 모두 구비하면 된다.

[0045] 다수의 반도체 메모리 장치 각각이 제1 및 제2 반도체 메모리 장치(320, 330)의 각 구성 요소를 모두 구비하는 경우의 동작은 아래와 같다.

[0046] 우선, 최초 읽기 명령이 인가된 반도체 메모리 장치는 공통 내부 클럭 신호(CLK_CM)를 생성하여 데이터를 동기화시켜 출력하고, 이후 공통 내부 클럭 신호(CLK_CM)을 입력받은 나머지 반도체 메모리 장치는 해당하는 내부 클럭 신호를 생성하여 데이터를 동기화시켜 출력한다. 이때, 공통 내부 클럭 신호(CLK_CM)을 생성하는 반도체 메모리 장치는 공통 내부 클럭 신호(CLK_CM)를 출력하기 위한 자신의 출력 버퍼링부를 활성화시키고, 나머지 반도체 메모리 장치 각각은 공통 내부 클럭 신호(CLK_CM)를 입력받기 위한 자신의 입력 버퍼링부를 활성화시킨다.

[0047] 한편, 위에서 설명한 바와 같이 다수의 반도체 메모리 장치 각각에 해당하는 내부 클럭 신호는 공통 내부 클럭 신호(CLK_CM)에 제2 관통 실리콘 비아(TSV2)에 반영되는 지연량만큼을 보상한 클럭 신호이다. 때문에, 결국 다수의 반도체 메모리 장치는 하나의 공통 내부 클럭 신호(CLK_CM)에 응답하여 데이터를 동기화시켜 출력한다.

[0048] 도 5 는 본 발명의 다른 실시예에 따른 멀티 칩 패키지를 설명하기 위한 블록도이다. 설명의 편의를 위하여 멀티 칩 패키지에 구비되는 다수의 반도체 메모리 장치 중 어느 하나의 반도체 메모리 장치를 대표로 설명하기로 한다.

[0049] 도 5 를 참조하면, 멀티 칩 패키지는 외부 클럭 버퍼링부(511)와, 공통 가변 지연부(512)와, 실제 클럭 경로(513)와, 출력 버퍼링부(514)와, 공통 데이터 동기화부(515)와, 공통 클럭 입력 버퍼링부(516)와, 지연 제어 신호 생성부(517)와, DLL 지연 복제 모델링부(518), 및 TSV 지연 복제 모델링부(519)를 구비한다.

[0050] 외부 클럭 버퍼링부(511)는 제1 관통 실리콘 비아(TSV1)를 통해 전달되는 외부 클럭 신호(CLK_EXT)를 버퍼링하여 제1 버퍼링 클럭 신호(CLK_BF1)를 생성하고, 공통 가변 지연부(512)는 지연 제어 신호(CTR_DL)에 대응하는

지연량을 제1 버퍼링 클럭 신호(CLK_BF1)에 반영하여 출력한다. 이렇게 출력된 신호는 실제 클럭 경로(513)를 통해 내부 클럭 신호(CLK_INN)로 전달되고, 출력 버퍼링부(514)는 이 내부 클럭 신호(CLK_INN)를 버퍼링하여 제2 관통 실리콘 비아(TSV2)를 통해 출력한다. 이어서, 공통 데이터 동기화부(515)는 내부 클럭 신호(CLK_INN)에 응답하여 데이터(DAT_IN)를 동기화시켜 제3 관통 실리콘 비아(TSV3)를 통해 출력한다. 그리고, 공통 클럭 입력 버퍼링부(516)는 다른 반도체 메모리 장치에서 제2 관통 실리콘 비아(TSV2)를 통해 전달되는 공통 내부 클럭 신호(CLK_CM)를 입력받아 버퍼링하여 제2 버퍼링 클럭 신호(CLK_BF2)를 생성한다.

[0051] 한편, 위에서 설명하였듯이, 공통 가변 지연부(512)는 지연 제어 신호(CTR_DL)에 대응하는 지연량만큼 제1 버퍼링 클럭 신호(CLK_BF1)를 지연하는데 이 지연 제어 신호(CTR_DL)는 지연 제어 신호 생성부(517)에서 생성된다.

[0052] 지연 제어 신호 생성부(517)는 읽기 명령(RD)에 응답하여 외부 클럭 신호와 제1 피드백 클럭 신호(CLK_FD1)의 위상 차이를 비교하거나, 공통 내부 클럭 신호(CLK_CM)와 제2 피드백 클럭 신호(CLK_FD2)의 위상 차이를 비교하여 지연 제어 신호(CTR_DL)를 생성한다. 여기서, 제1 피드백 클럭 신호(CLK_FD1)는 공통 가변 지연부(512)에서 출력되는 신호를 실제 클럭 경로(513)를 모델링한 시간만큼 반영한 신호로써 DLL 지연 복제 모델링부(518)에서 생성되며, 제2 피드백 클럭 신호(CLK_FD2)는 내부 클럭 신호(CLK_INN)를 제2 관통 실리콘 비아(TSV2)의 지연량을 반영한 신호로써 TSV 지연 복제 모델링부(519)에서 생성된다.

[0053] 이어서, 지연 제어 신호 생성부(517)는 제1 버퍼링 클럭 신호(CLK_BF1)와 제1 피드백 클럭 신호(CLK_FD1)의 위상을 비교하기 위한 제1 위상 비교부(517_1)와, 제2 버퍼링 클럭 신호(CLKBF_2)와 제2 피드백 클럭 신호(CLK_FD2)의 위상을 비교하기 위한 제2 위상 비교부(517_2), 및 읽기 명령(RD)에 따라 제1 및 제2 위상 비교부(517_1, 517_2)의 출력 신호를 다중화하여 지연 제어 신호(CTR_DL)로 출력하기 위한 다중화부(517_3)를 구비한다.

[0054] 이하, 본 발명의 실시예에 따른 멀티 칩 패키지의 동작을 살펴보기로 한다. 설명의 편의를 위하여 제1 및 제2 반도체 메모리 장치 각각이 도 5 와 같은 구성을 가지며, 제1 반도체 메모리 장치에서 공통 내부 클럭 신호(CLK_CM)를 생성하는 것을 일례로 한다.

[0055] 우선, 다수의 반도체 메모리 장치에 읽기 명령(RD)이 인가되기 이전 제1 및 제2 반도체 메모리 장치 각각은 제1 위상 비교부(517_1)를 이용하여 내부 클럭 신호(CLK_INN)를 생성한다. 즉, 제1 반도체 메모리 장치는 자신의 내부 클럭 신호(이하, '제1 내부 클럭 신호'라 칭함)를 생성하고, 제2 반도체 메모리 장치 역시 자신의 내부 클럭 신호(이하, '제2 내부 클럭 신호'라 칭함)을 생성한다.

[0056] 한편, 제1 반도체 메모리 장치의 읽기 동작을 위한 읽기 명령(RD)이 활성화되면, 제1 반도체 메모리 장치는 제1 내부 클럭 신호를 이용하여 데이터(DAT_IN)를 동기화시켜 출력하고, 이와 함께 제1 반도체 메모리 장치의 출력 버퍼링부(514)를 활성화시킨다. 따라서, 제1 내부 클럭 신호는 제2 관통 실리콘 비아(TSV2)를 통해 공통 내부 클럭 신호(CLK_CM)로 출력된다.

[0057] 이어서, 제2 반도체 메모리 장치는 이 읽기 명령(RD)에 따라 제2 반도체 메모리 장치의 공통 클럭 입력 버퍼링부(516)를 활성화시키고, 제2 관통 실리콘 비아(TSV2)를 통해 전달된 공통 내부 클럭 신호(CLK_CM)를 입력받는다. 이때, 제2 반도체 메모리 장치는 제2 위상 비교부(517_2)를 이용하여 제2 내부 클럭 신호를 생성한다. 이후 제2 반도체 메모리 장치의 읽기 동작을 위한 읽기 명령(RD)이 활성화되면, 제2 반도체 메모리 장치는 이렇게 생성된 제2 내부 클럭 신호에 응답하여 데이터(DAT_IN)를 동기화시켜 출력한다.

[0058] 위에서 설명한 바와 같이, 제2 반도체 메모리 장치의 제2 내부 클럭 신호는 읽기 명령(RD)이 인가되기 이전에 제1 위상 비교부(517_1)를 이용하여 생성된 내부 클럭 신호이고, 읽기 명령(RD)이 인가된 이후 제2 위상 비교부(517_2)를 이용하여 생성된 내부 클럭 신호이다.

[0059] 다시 말하면, 도 5 의 본 발명의 실시예에 따른 멀티 칩 패키지의 동작 방법은 외부 클럭 신호(CLK_EXT)의 위상을 비교하는 제1 위상 비교부(517_1)를 이용하여 제1 락킹 동작을 수행하고, 공통 내부 클럭 신호(CLK_CM)의 위상을 비교하는 제2 위상 비교부(517_2)를 이용하여 제2 락킹 동작을 수행한다. 제1 락킹 동작의 경우 원하는 락킹 상태에서 조금 벗어난 상태이기 때문에, 본 발명의 실시예에서는 제1 락킹 동작 상태에서 제2 락킹 동작을 수행하여 락킹 완료 시점을 단축하는 것이 가능하다.

[0060] 전술한 바와 같이, 본 발명의 실시예에 따른 멀티 칩 패키지는 다수의 반도체 메모리 장치 중 어느 하나의 반도체 메모리 장치에서 공통 내부 클럭 신호(CLK_CM)를 생성하고, 나머지 반도체 메모리 장치에서 이 공통 내부 클럭 신호(CLK_CM)를 이용하여 내부 클럭 신호를 생성함으로써, 다수의 반도체 메모리 장치에서 데이터가 서로 겹치지 않게 출력된다. 이 결과, 데이터 유효 구간을 최대한 확보하는 것이 가능하며, 기존에 데이터의 충돌로 인

하여 발생하던 불필요한 전류 소모를 막아주는 것이 가능하다.

[0061] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 이상에서 설명한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 여러 가지 치환, 변형 및 변경으로 다양한 실시예가 가능함을 이해할 수 있을 것이다.

[0062] 한편, 본 발명의 실시예에 개시된 관통 실리콘 비아는 다수의 반도체 메모리 장치를 관통한 것을 일례로 하였다. 하지만, 본 발명은 다수의 반도체 메모리 장치 각각에 구비되는 관통 실리콘 비아와 각 관통 실리콘 비아 사이에 연결되는 예컨대, 범프(bump)를 실시예와 같이 하나의 관통 실리콘 비아와 동일한 구성으로도 볼 수 있다.

부호의 설명

[0063] 310 : 멀티 칩 패키지는 중앙 처리 장치

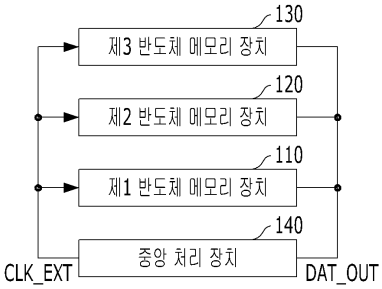
320 : 제1 반도체 메모리 장치

330 : 제2 반도체 메모리 장치

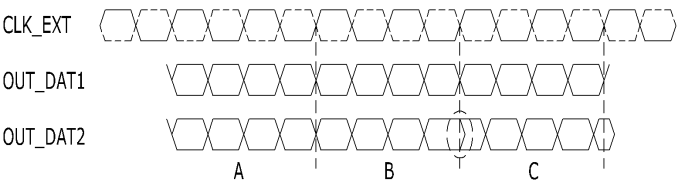
340 : 제3 반도체 메모리 장치

도면

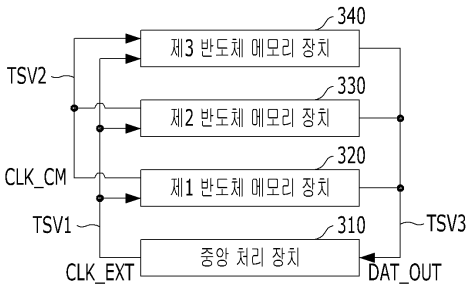
도면1



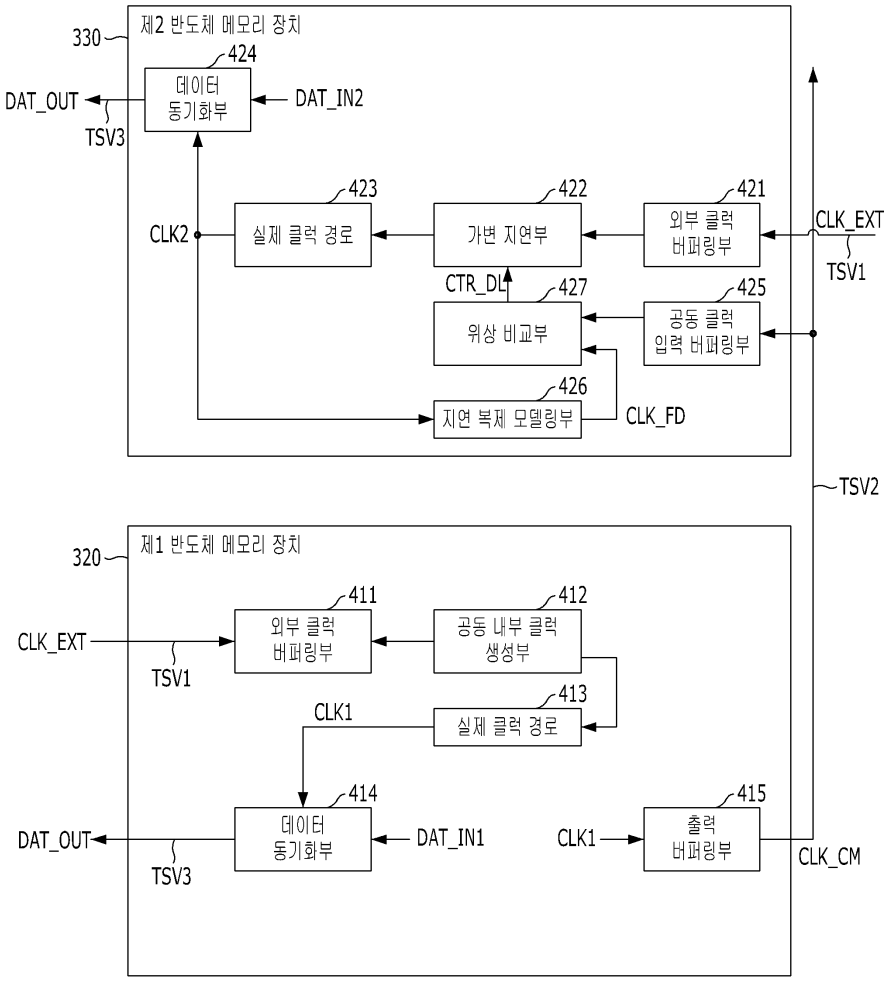
도면2



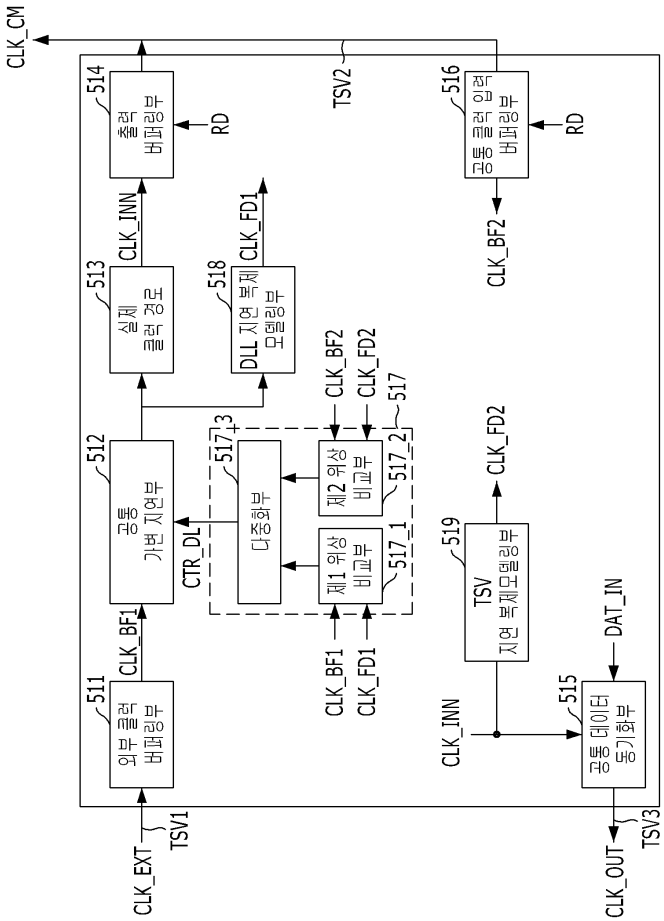
도면3


340
제3 반도체 메모리 장치
TSV2
330
제2 반도체 메모리 장치
320
CLK_CM
제1 반도체 메모리 장치
TSV1
310
TSV3
중앙 처리 장치
CLK_EXT
DAT_OUT

도면4


330
제2 반도체 메모리 장치
424
데이터 동기화부
DAT_OUT
TSV3
DAT_IN2
423
422
421
CLK2
실제 클럭 경로
가변 지연부
외부 클럭 버퍼링부
CLK_EXT
TSV1
CTR_DL
427
425
위상 비교부
공동 클럭 입력 버퍼링부
426
지연 복제 모델링부
CLK_FD
TSV2
320
제1 반도체 메모리 장치
411
412
CLK_EXT
외부 클럭 버퍼링부
공동 내부 클럭 생성부
TSV1
413
CLK1
실제 클럭 경로
414
415
DAT_OUT
데이터 동기화부
DAT_IN1
CLK1
출력 버퍼링부
TSV3
CLK_CM

도면5


CLK_CM
514
출력 버퍼링부
RD
TSV2
516
공통 클럭 입력 버퍼링부
RD
CLK_INN
513
실제 클럭 경로
518
DLL 지연 복제 모델링부
CLK_FD1
CLK_BF2
CLK_BF2
CLK_FD2
517
512
공통 가변 지연부
517_3
다중화부
제2 위상 비교부
517_2
제1 위상 비교부
517_1
CTR_DL
CLK_BF1
CLK_FD1
519
TSV 지연 복제모델링부
CLK_FD2
CLK_BF1
511
외부 클럭 버퍼링부
CLK_INN
515
공통 데이터 동기화부
DAT_IN
CLK_EXT
TSV1
CLK_OUT
TSV3